GOVP1200509118

M10203000113

국 가 지 정 연 구 실 사 업

고성능 나노 SOI 공정 기술 개발

Process Technology Development of
High Performance Nano-SOI

한 양 대 학 교

제 출 문

과학기술부 장관 귀하

본 보고서를 " 고성능 나노 SOI 공정 기술 개발에 관한 연구"과제 (세부과제 "고성능 나노 SOI 공정기술에 관한 연구") 의 보고서로 제출합니다.

2004 . 9 . 22

주관연구기관명 : 한양대학교

주관연구책임자 : 박 재 근

연 구 원 : 이 곤 섭

〃 : 심 태 헌

〃 : 이 은 하

협동연구기관명 :

협동연구책임자 :

보고서 초록

과제관리번호	M10203000113	해당단계 연구기간	2002.6.25 ~2004.6.24	단계 구분	1 / 2
연구사업명	중 사 업 명	국가 지정 연구실 사업			
	세부사업명	국가 지정 연구실 사업			
연구과제명	중 과 제 명				
	세부(단위)과제명	고성능 나노-SOI 공정 기술 개발			
연구책임자	박 재 근	해당단계 참여연구원수	총 : 20 명 내부 : 명 외부 : 명	해당단계 연구비	정부: 440,000 천원 기업: 천원 계: 440,000 천원
연구기관명 및 소속부서명	한양대학교 나노-SOI 공정연구실		참여기업명		
국제공동연구	상대국명 :		상대국연구기관명 :		
위 탁 연 구	연구기관명 :		연구책임자 :		

요 약	보고서 면수	119

메모리 소자, SoC, 고속 마이크로프로세서, IMT-2000용 소자, MEMS 센서, Smart power IC 및 PDP 구동 IC용 소자 구조는 벌크 실리콘 웨이퍼 기반 구조를 가지고 있어, 저전력 소모화, 고속화, 고집적화의 한계에 와 있다. 이 극복을 위해 기존의 실리콘 웨이퍼 기반 고조 대비 소자 동작 속도가 20~40% 향상되고, 전력 소비가 2~4배 감소되며, SER의 불량 발생이 2~3배 감소되는 나노 SOI 기반 소자 구조가 필수적으로 개발되어야 한다.

본 과제는 나노 SOI 웨이퍼 제작 및 고성능 나노 SOI 웨이퍼의 시작 sample 제작에 있으며, 다음과 같은 연구 성과를 확보하였다.

나노 cleavage 기술, 나노 토포그라피 CMP 기술, 나노 표면 처리 기술의 융합에 의해 웨이퍼 표면 roughness 0.4nm를 달성하였다. 나노 복합 SiGe층 성장 기술, 저에너지 수소이온 주입 기술의 융합에 의해 균일 나노 변위 복합층 성장 기술을 확보하였다. 슈퍼실리콘 웨이퍼 기술, 무결함 본딩 기술, 무결함 및 저단가 공정 설계 기술의 융합에 의해 소자 동작 영역의 무결정 결함 기술을 확보하였다. 또한 초미세 표면 결정 결함 분석 기술 및 고성능 나노 SOI 소자 컴퓨터 모사 기술 등의 융합에 의해 proto type의 나노 SOI 웨이퍼를 제작하였다.

상기 과제 수행 중 8인치 및 12인치 나노 SOI 공정 기술을 개발하였으며, 부가적으로 나노 SOI 공정 기술에 있어서 필수 공정인 STI CMP용 나노 세리아 슬러리, 나노 scale 표면 roughness 제거용 CMP 설비의 End-point 계측기술, 나노 소자용 기판 웨이퍼의 BMD 제어용 고온 고속 RTA, 12인치 자동 수직 본더, Single wafer-type의 저에너지 수소 이온 주입기, 고성능 나노 SOI 소자 컴퓨터 모사 기술 등을 개발하였으며, 관련 기업체에 기술 이전을 실시하였다.

색 인 어		
	한 글	고성능 나노-SOI, 무결함 본딩, 수소이온주입
	영 어	Nano-SOI Process, High performance nano-SOI, bonding, hydrogen implantation

요 약 문

SOI 구조의 상층부 실리콘 두께가 20nm 이하로 줄어들게 되면, 양자 현상인 나노 SOI 두께 효과가 발생되며, inversion의 두께 폭이 함께 줄어들기 때문에 전자의 phonon limited 이동도가 함께 줄어든다. 따라서 본 과제는 이러한 문제점을 해소하기 위해 top silicon과 BOX(Buried Oxide) 사이에 SiGe 층을 삽입하여 strained Si/SiGe/SiO_2/Si 구조를 개발하는 것으로 SiGe 층이 삽입되면 impact ionization에 의해 드레인 끝에서 생성된 홀은 아래쪽 SiGe 층에 국한되므로 channel의 source 끝에 미치는 영향을 현저히 줄일 수 있다. 또한 SiGe의 source-to-body barrier가 Si 보다 낮아지기 때문에 SiGe 층에 trap된 hole이 source 영역으로 쉽게 이동된다.

Ⅰ. 제 목

고성능 나노 SOI 공정 기술

Ⅱ. 연구개발의 목적 및 필요성

수십 Giga Hertz급 이상(소자 게이트 길이 : 90nm 이하) MPU, CPU, SoC, DSP 등의 시스템 LSI 소자를 partially depletion thin SOI C-MOSFET 소자로 설계 제작시는 kink-effect의 문제가 발생한다. 이를 해결하기 위해서 fully depletion nano-SOI C-MOSFET 구조를 가진 MPU, CPU, SoC, 소자를 설계 제작해야 하며, 소자 성능을 더욱더 초고속, 초고집적, 극저전력화 시키기 위해서는 나노 scale을 가진 SOI 두께가 필요하다. 그러나 나노 C-MOSFET 제작시 SOI 상층 실리콘 두께가 20nm 이하가 되면 transistor channel에 있는 carrier들이 phonon-scattering 현상 증가로 인하여 carrier 이동도가 감소하며 전류가 감소되는 결과를 가지게 된다. 이를 해결하기 위해 기존 나노 SOI C-MOSFET의 carrier mobility를 증가시키기 위해 SiGe층을 삽입하는 고성능 나노 SOI C-MOSFET 소자(nano-scale strained Si/relaxed SiGe/SiO_2/Si 구조위에 C-MOSFET 제작)를 제작하는 고성능 나노 SOI 공정 기술 개발이 반드시 필요하다.

Ⅲ. 연구개발의 내용 및 범위

1. 표면 roughness : < 0.4nm 달성 : 저에너지 수소이온 주입 기술, 나노 cleavage 기술, 나노 표면 처리기술, 나노 토포그라피 CMP 기술의 융합에 의해 달성
2. 표면결함밀도 : <1개/cm^2 : Infra 무결함 본딩 공정기술, 나노 cleavage 공정 기술, 슈퍼실리콘 웨이퍼를 적용한 나노 SOI 구조 공정 설계 기술의 융합에 의해 달성
3. 고성능 나노 SOI 채널층 두께 균일도 : < 3% : 저온 나노 epi 실리콘층 30nm 성장 공정 기술, 고성능 복합층 nano-strained Si/relaxed SiGe 성장 공정 기반 기술, 저에너지 수소이온 주입 공정 기술의 융합에 의해 달성

4. interface micro-void 밀도 : < 0.2개/cm^2 : Hydrophilic 본딩 기술, 나노 cleavage 공정 기술 interface micro-void 분석 기술의 융합에 의해 달성
5. 고성능 나노 SOI 소자 컴퓨터 모사 : Strained enhanced mobility의 Monte Carlo program 개발 Long-channel 고성능 나노 C-MOSFET 소자 평가 통해 고성능 나노 SOI C-MOSFET 프로그램 개발, DSOD+FIB+FEM 기술 개발로 100nm 결함의 isolation 및 morphology 기술 개발 완료

Ⅳ. 연구개발결과

1. 8인치 및 12인치 나노 SOI 공정 기술 개발
2. STI CMP용 나노 세리아 슬러리 개발,
3. 나노 scale 표면 roughness 제거용 CMP 설비의 End-point 계측기술 개발
4. 나노 소자용 기판 웨이퍼의 BMD 제어용 고온 고석 RTA 설비 개발
5. 12인치 자동 수직 본더 개발 및 공정 적용
6. Single wafer-type의 저에너지 수소이온주입기 개발
7. 고성능 나노 SOI 소자 컴퓨터 모사기술 개발

Ⅴ. 연구개발결과의 활용계획

개발된 기술 및 노하우는 관련 업체에 기술 이전하여 양산화 할 예정임.

SUMMARY

When the top silicon thickness in SOI(Silicon on Insulator) MOSFETs structure is reduced to the range of less than 20nm, the size effect of nano SOI which is quantum phenomena occurs and the phonon-limited electron mobility is also reduced resulted from the reduction of inversion layer. Therefore, the aim of this project is to develope the structure of strained Si/SiGe/SiO_2/Si by the inserting of SiGe layer between top silicon and BOX(Buried Oxide) in order to solve the problem of degradation of electron mobility. By the inserting of SiGe layer, we can considerably minimize the effect of holes, generated by impact ionization occurring at the drain edge region, on the source edge region of channel. This is attributed to the holes' confinement into SiGe layer. In addition, the trapped holes flow easily to the source region because the source to body barrier in SiGe layer is lower than Si

CONTENTS

1. Executive abstract: summary of the objectives of the project

2. Current state of knowledge/Motivation

3. Proposed research plan

4. Achievement of Goal and Contribution to the industry

5. Application Plan

6. Collected information on science & technology

7. Reference

목 차

제 1 장 연구개발과제의 개요

제 2 장 국내외 기술개발 현황

제 3 장 연구개발수행 내용 및 결과

제 4 장 목표달성도 및 관련분야에의 기여도

제 5 장 연구개발결과의 활용계획

제 6 장 연구개발과정에서 수집한 해외과학기술정보

제 7 장 참고문헌

제 1 장 연구개발과제의 개요

정보화 사회의 급속한 발달은 정보통신 관련 소자 기술 분야에서 고집적화, 고속화, 저전력화 소모화, 기능 복합화 등의 기능이 요구되어졌으며, 이에 따라 정보 통신 핵심 소자 산업의 발전은 정보 통신 소자 구조설계, 회로 배치 기술, 미세 공정 기술, 패키지 복합화 기술, 미세 평가 기술 분야에 있어 최적화 기술 달성과 생산 코스트 절감을 지속적으로 추구해 오고 있다. 특히 고집적화, 고속화, 저전력화, 다기능화의 특성을 갖춘 소자 구조 설계 및 공정 관련 기술 개발이 핵심 과제로 연구되고 있다.

메모리 소자, SoC(System on Chip), 고속 마이크로프로세서, IMT-2000용 소자, MEMS 센서, Smart Power IC 및 PDP(Plasma Display Panel) 구동 IC용 소자 구조는 벌크 실리콘 웨이퍼 기반 구조를 가지고 있어, 저전력 소모화, 고속화, 고집적화의 한계에 있다. 이를 극복하기 위해 기존의 실리콘 웨이퍼 기반 구조 대비 소자 동작 속도가 20~40% 향상되고, 전력 소비가 2~4배 감소되며, SER(Soft Error Rate)의 불량 발생이 2~3배가 감소되는 SOI(Silicon On Insulator) 기반 소자 구조가 필수적인 대안으로 선택되고 있다[1]. 특히 차세대 메모리 소자 및 초고속 마이크로프로세서, IMT-2000의 상용화에 따른 정보통신 소자의 고속화, 고집적화, 다기능화 추구는 SOI 소자 구조의 SOI 채널층 두께가 현재 마이크로미터 단위에서 나노미터 단위로 박막화 되는 새로운 개념의 SOI 구조 설계 및 공정 기술이 필요한 실정이다[2].

차세대 시스템 집적 반도체에서는 SOI 소자 구조의 SOI 채널층에 형성된 공핍층 두께에 따라 FD(Fully Depleted) MOSFET과 PD(Partially Depleted) MOSFET으로 구분되는데, FP는 게이트 밑의 공핍층 두께가 top 실리콘 두께 이상이 되어, top 실리콘 전체가 공핍층이 되는 것을 의미하며, 이에 비해 PD는 공핍층 두께가 작아서 동작 영역이 중성 영역에 남이 있어 SOI top 실리콘의 일부 두께에 채널이 형성되고 나머지 두께는 중성 영역으로 되어 있는 구조를 말한다. 차세대 시스템 집적 반도체에서는 SOI 소자 구조의 SOI 채널층이 top 실리콘 전체가 공핍층이 되는 FD-MOSFET 소자 구조에서는 top 실리콘의 두께가 30nm 이하인 UTB(Ultra Thin Body) SOI 구조가 필연적으로 요구되고 있다.

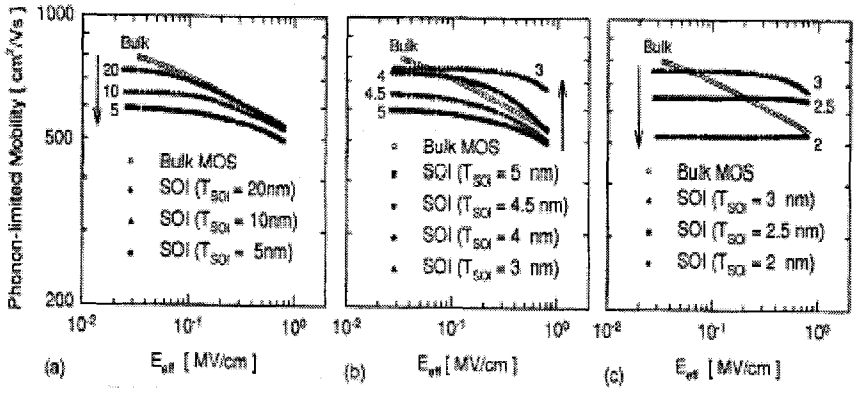


Fig.1 Calculated phonon-limited mobility of bulk and SOI MOSFETs with SOI thickness between 20 to 2nm, as a function of E_{eff}.

SOI 구조의 상층 실리콘 두께가 20㎚ 이하로 줄어들게 되면, 양자 현상인 나노 SOI 두께 효과가 발생되며, Figure 1의 Simulation 결과에서 보듯이 inversion의 두께의 폭이 함께 줄어들기 때문에 전자의 phonon limited 이동도가 함께 줄어드는 문제가 발생한다.[3] 이러한 문제점을 보완하기 위해 top 실리콘과 BOX (Buried Oxide) 사이에 SiGe층을 삽입하게 되는데, Figure 2에서 보는 것과 같이, 삽입된 SiGe(Eg=0.97eV)은 Si(Eg=1.08eV) 보다 좁은 에너지 밴드 Gap을 가지기 때문에 임팩트 ionization에 의해 드레인 끝에서 생성된 홀은 아래쪽 SiGe layer에 국한되어 채널의 소스 끝에 미치는 영향을 현저히 줄일 수 있으며, 또한, SiGe의 source-to-body barrier가 Si 보다 낮아지기 때문에 SiGe 층에 trap된 홀이 source 영역으로 쉽게 이동 할 수 있다.[4] 즉 같은 컬렉터 전류를 가지는데 반해 베이스 전류는 증가함으로써 훨씬 작은 bipolar 전류 이득을 가지게 되어 floating-body effect를 잘 억압 시키며, 높은 전자의 이동도를 갖게 한다.

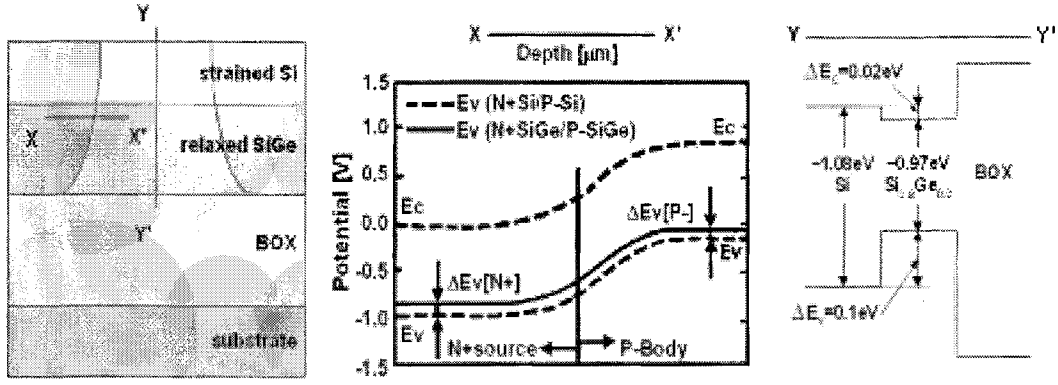


Fig.2 SiGe-Inserted SOI MOSFET Structure and energy band diagram

정보통신소자용 MPU, CPU, SoC 및 DSP는 SOI C-MOSFET 소자로 설계되어 있으며, 최근 핸드폰, 디지털카메라, 뮤직플레이어, 노트북 등 이동통신 제품들의 동작성능에 있어 매우 빠른 속도로 고속화 및 다기능화의 요구가 증가하고 있다. table 1에서 알 수 있듯이 SOI C-MOSFET 소자로 설계 되어 있는 정보통신 소자의 시장은 전 세계 반도체 회사가 구입하고 있는 웨이퍼 유형별 구입 금액에서 추론할 수 있다.

구분		1999	2001	2003	2005	2007	2010
IC시장	메 모 리	21,600	30,400	41,200	61,400	84,000	150,000
	비메모리	77,760	109,400	148,320	221,040	302,400	540,000
	개별소자	8,640	12,160	16,480	24,560	33,600	60,000
	계	108,000	152,000	206,000	307,000	420,000	750,000
Bulk 실리콘 시장		8,230	10,200	13,450	17,700	22,700	36,000
Thick SOI 시장		66.5	243	358	413	410	293
Thin/나노 SOI 시장		34	75	145	655	2,340	18,300

Table 1 Prediction of market amount on IC device, bulk, and SOI silicon wafer

2003년을 살펴보면 전 세계 반도체 회사의 SOI 웨이퍼 구입량은 3억3백만 달러(200mm 웨이퍼는 1억7천2백만 달러, 300mm 웨이퍼는 1억3천백만 달러)로 총 prime 웨이퍼 구입량 45억 8천만 달러의 6.7% 정도이다. 즉 2003년 총 세계 반도체 소자 시장은 1607억달러(데이타퀘스트 2003)로서 SOI C-MOSFET 소자로 설계되어 있는 정보통신 소자의 시장은 108억 달러로 예상할 수 있다. 그러므로 나노 SOI C-MOSFET 공정 기술은 우리나라의 반도체 회사들의 전 세계 반도체 시장의 시장 점유율을 증가시키기 위해 확보해야 할 필수 핵심 기술이다.

Table 1에서 알 수 있듯이 SOI 웨이퍼 구입량은 2003년 총 웨이퍼 구입량의 3.6% 정도이나 2007년이 되면 10.8% 정도로 약 3배 증가함을 알 수 있다[5]. 이는 SOI C-MOSFET 소자 구조를 적용하는 정보통신소자의 고속화와 고집적화 요구 때문이다. 또한 년도가 증가 될수록 디지털컨버전스와 유비쿼터스 환경의 신속한 이동으로 인해 SOI C-MOSFET (nano SOI C-MOSFET → Partially depleted 고성능 nano C-MOSFET → Fully depletion 고성능 nano SGOI C-MOSFET로 이동)을 적용하는 정보통신용 소자의 시장은 기하급수적으로 증가될 것이기 때문에 fully depletion 고성능 nano SGOI 공정기술은 우리나라 반도체 회사가 보유해야 할 미래의 핵심기술이다.

Table 2의 2003년 주요 품목별 세계 반도체 매출액에서 알 수 있듯이 MPU, CPU, SoC, DSP, ASIC등 정보통신소자인 비메모리 반도체는 전체 시장의 80.3%를 차지한다. 반면 국내 반도체 업체는 메모리 반도체 시장 (전세계 반도체 시장 19.7%)의 45.3%를 차지하며 비메모리 반도체(전세계 반도체 시장 80.3%)의 5% 미만을 차지할 정도로 국내 반도체 업체들은 메모리 산업 중심구조로 이루어져 있다.[6] 그러므로 국내 반도체 업체들은 사업을 조속히 국제 반도체 환경에 덜 민감하고 고부가 가치인 비메모리 반도체(system LSI) 분야로 확장해야 한다.

(십억달러)

	[비중][2]	1999	2000	2001	2002	2003				
						연간	1/4	2/4	3/4	4/4
메모리반도체	[19.7]	32.3	49.2	24.9	27.0	31.7	6.8	6.8	8.5	9.6
		(40.4)	(52.3)	(-49.4)	(8.4)	(17.4)	(-10.1)	(1.3)	(24.9)	(12.1)
D램	[10.5]	··	··	··	15.3	16.8	3.5	3.5	4.6	5.2
		(··)	(··)	(··)	(36.2)	(10.1)	(-14.4)	(-0.3)	(32.1)	(14.4)
플래시메모리	[6.8]	··	··	··	7.8	11.0	2.3	2.4	3.0	3.3
		(··)	(··)	(··)	(2.3)	(41.4)	(-5.2)	(6.0)	(22.7)	(12.0)
비메모리반도체	[80.3]	117.1	155.2	114.1	113.7	129.0	29.6	30.8	33.7	34.9
		(14.1)	(32.6)	(-26.5)	(-0.4)	(13.5)	(-1.3)	(4.1)	(9.4)	(3.6)
반도체 전체	[100]	149.4	204.4	139.0	140.7	160.7	36.4	37.6	42.2	44.5
		(18.9)	(36.8)	(-32.0)	(1.3)	(14.2)	(-3.1)	(3.3)	(12.1)	(5.5)

Table 2 Selling amount of each device

그러나 국내 반도체 업체들은 system LSI 분야에서 설계 및 공정의 핵심 기반기술과 관련된 기술력 부족과 인력부족으로 이 분야의 사업규모와 기술력은 여전히 해외 반도체 업체(Intel, Renesas, IBM등) 대비 다소 뒤떨어져 있다. 특히 해외 반도체 업체들은 nano SOI C-MOSFET 설계 적용한 정보통신 소자를 양산하고 있는데 비해 아직 국내 반도체 업체들은 nano SOI C-MOSFET 설계를 적용한 MPU를 개발하고 있는 기술 수준에 머무르고 있다. 그러므로 초고속화, 고기능화 정보통신 소자에 적용되는 핵심기반 기술인 고성능 nano SOI C-MOSFET 기술은 반드시 국내에서 조속히 개발 및 양산이전 되어야만 국내 반도체 산업의 system LSI 분야 기술과 사업규모를 세계적인 수준으로 향상 시킬 수 있을 것이다.

제 2 장 국내외 기술개발 현황

현대 정보 통신 기술의 급속한 발전은 정보 통신 관련 system LSI 반도체 소자 성능에 있어 더욱더 고집적화, 고속화, 저전력화, 다기능화 특성을 요구해오고 있다. 이러한 system LSI 소자들은 기존 bulk 실리콘 웨이퍼 기판 구조위에 C-MOSFET 설계로 제작하는 방법으로는 기술적인 한계에 도달하기 때문에 나노 SOI 구조로 trend가 이동하고 있다.[7)]

이와 더불어 지난 수년간 정보화 사회는 디지털 컨버전스로 확장 및 ubiquitous 통신의 기반 기술 구축으로 정보화 기술 발전이 빨리 이루어지고 있으며, 이러한 급속한 정보화 기술의 발전은 정보통신 관련 system LSI 소자의 성능이 초고속화(수십 Giga Hertz이상), 초고집적화(소자게이트길이 100nm 이하), 극저전력화(nano SOI C-MOSFET 소자구조)가 요구하고 있다.

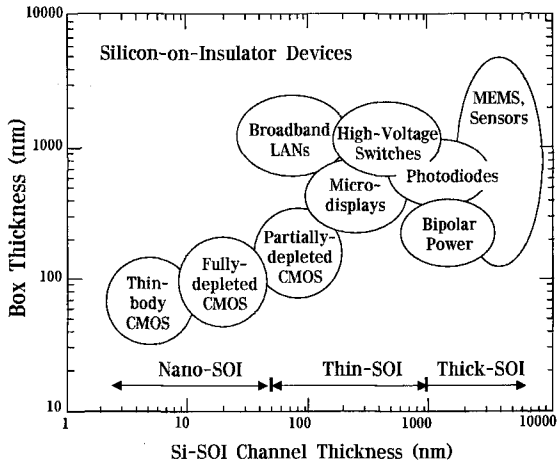


Fig.3 Application for SOI span a wide range of device layer and buried oxide thickness

수십 Giga Hertz급 이상(소자 게이트 길이가 90nm 이하) MPU, CPU, SoC, DSP등의 system LSI 소자를 partially depletion thin SOI C-MOSFET 소자로 설계 제작시는 kink-effect (thin SOI C-MOSFET를 동작시 소자 드레인 가장자리에 발생하는 impact ionization에 의해 hole이 buried oxide 위에 축적되어 드레인 전압을 가할 때 드레인 전류가 급증하는 현상)가 발생하는 문제가 있다. 이와 같은 kink-effect를 해결하기 위해서 Figure 3과 같이 fully depletion nano-SOI C-MOSFET 구조를 가진 MPU, CPU, SoC 소자를 설계 제작하여야 하며, 소자 성능을 더욱더 초고속, 초고집적, 극저전력화 시키기 위해서 Figure 4와 같이 게이트 선폭의 길이가 감소되어야 하고, nano-scale의 SOI 두께 역시 감소되어야 한다.[8)] 예를 들면 게이트 길이가 90nm인 nano SOI C-MOSFET는 30nm SOI 두께가 필요하게 된다.

IBM사는 2002년 초부터 8인치 SOI 웨이퍼 위에 수 Giga Hertz MPU 소자를 SOI 두께가 100nm인 fully depletion형 SOI C-MOSFET 배열로 제작하여 양산 중에 있으며, 특히 세계 최초로 2003년 말부터 12인치 nano SOI 웨이퍼에 수백 Giga Hertz급 MPU 소자를 SOI 두께가 50nm인 fully depletion형 nano SOI C-MOSFET로 설계 제작하여 양산을 시작했다.

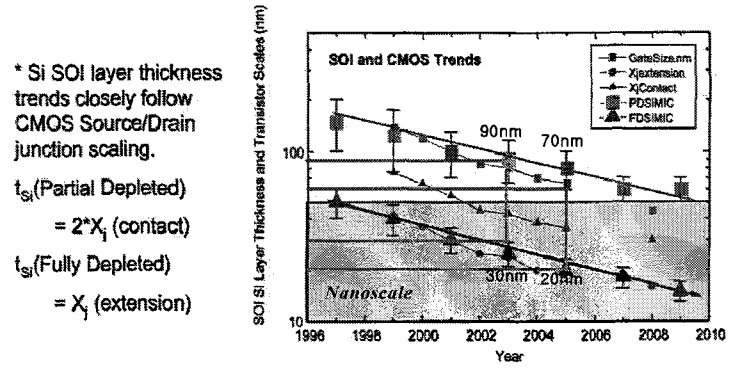


Fig.4 Si SOI thickness trends closely follow CMOS source/drain junction scaling.

또한 AMD사도 2003년 초부터 8인치 nano SOI 웨이퍼에 수십 Giga Hertz급 CPU 소자를 SOI 두께가 100nm 이하인 fully depletion형 nano SOI C-MOSFET으로 설계 제작하여 양산해 오고 있다.

그러므로 최근 정보 통신 기술의 급격한 발전은 정보통신 관련 반도체 소자를 nano SOI C-MOSFET 소자 구조의 설계로 실현할 수 있으며, 이 소자를 개발하기 위한 nano SOI 공정 기술의 개발에 모든 역량을 집중시키고 있다.

제 3 장 연구개발수행 내용 및 결과

제 1 절 균일 나노 변위 복합층 성장기술

1. 나노 복합 SiGe층 성장 기술

가. 연구 목표

- 고성능 복합층의 두께 균일도 : < 3%
- 저온 SiGe층 300nm 성장 공정 기술 개발
- 웨이퍼 표면 roughness : 0.4nm @ 20 wt% SiGe 개발
- 고온 hydrogen baking 온도 : > 1000℃
- 고성능 복합층 nano-strained Si/ relaxed SiGe 성장 공정 기반 기술 확보

나. 연구 추진 전략

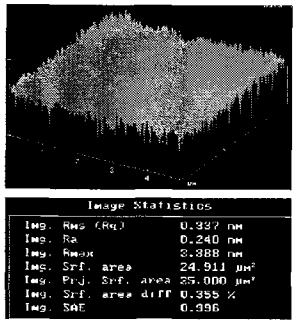
- UHV-CVD 설비를 이용한 저온 SiGe층 성장
- Batch-type의 UHV-CVD에 의한 생산성 향상
- Hydrogen baking 온도 향상에 따른 웨이퍼 표면의 자연 산화막 제거
- 저온 SiGe 성장에 따른 Ge mole fraction 향상
- ULVAC사와 공동으로 SiGe층 성장기술 확보
- ULVAC사에 연구원 파견에 의한 SiGe층 성장기술 확보 및 설비 운용

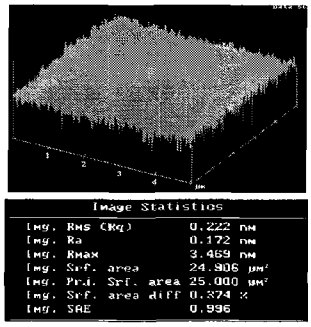
다. 연구 성과

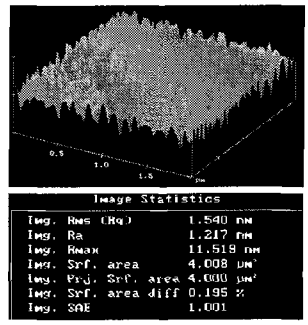
ULVAC사에서 보유한 batch-type의 UHV-CVD설비를 이용하여 10nm의 SiGe층 성장기술을 개발하였음. 이 기술은 i) 성장온도, ii) 성장시간, iii) GeH_4 및 SiH_4가스의 flow rate, iv) GeH_4 가스의 pre-flow, v) furnace내의 압력 조절, vi) pulse 방법에 의한 flow 방법 등에 대하여 고찰을 하였음.

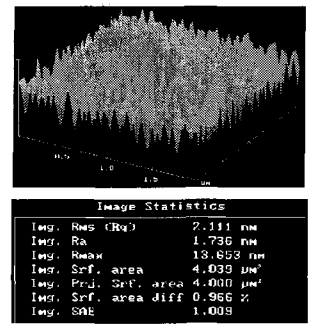
(1) 저온 SiGe층 성장 결과(mole fraction별 AFM 분석 결과)

Mole fraction : 10% 20% 30% 40%









RunNo.S03080702
(10%aim, Preliminary experiment)

SiGeDeposition
GeH4=60sccm,0.1Pa,25sec.,
SiH4=30sccm,0.1Pa,25sec.,
0.1Pa,550degreeC,2cycles

WithoutSiCapDeposition

RunNo.S03080701
(20%aim, Preliminary experiment)

SiGeDeposition
SiH4/GeH4=30/60sccm,0.1Pa,
550degreeC,120sec.

WithoutSiCapDeposition

RunNo.S03081902
(30%aim)

SiGeDeposition
SiH4/GeH4=30/60sccm,0.1Pa,
550degreeC,300sec.

WithoutSiCapDeposition

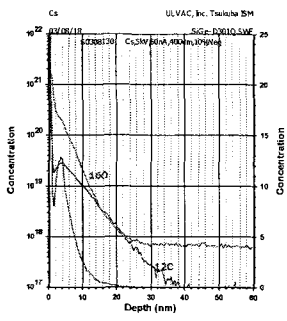
RunNo.S03081401
(40%aim)

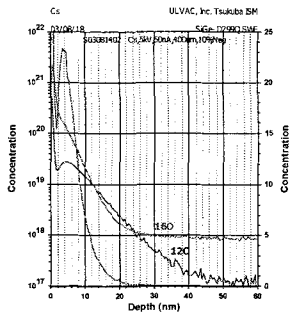
SiGeDeposition
SiH4/GeH4=30/90sccm,0.1Pa,
550degreeC,300sec.

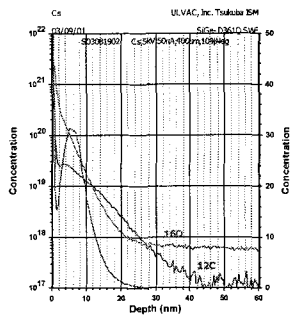
WithoutSiCapDeposition

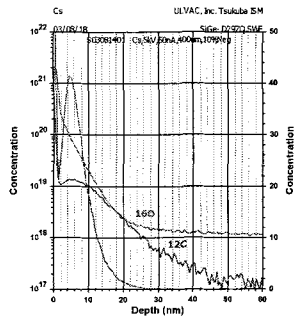
(2) 저온 SiGe층 성장 결과(mole fraction별 SIMS 분석 결과)

Mole fraction : 10% 20% 30% 40%









RunNo.S03081301
(10%aim)

H2Baking1000degreeC,30min

SiGeDeposition
GeH4=60sccm,0.1Pa,25sec.,
SiH4=30sccm,0.1Pa,25sec.,
0.1Pa,550degreeC,2cycles

SiCapDeposition
SiH4=30sccm,0.1Pa,
550degreeC,20min.

RunNo.S03081402
(20%aim)

H2Baking1000degreeC,30min

GeH4Pre-flow10sec

SiGeDeposition
SiH4/GeH4=30/60sccm,0.1Pa,
550degreeC,120sec.

WithoutSiCapDeposition

RunNo.S03081902
(30%aim)
H2Baking1000degreeC,30min

GeH4Pre-flow10sec

SiGeDeposition
SiH4/GeH4=30/60sccm,0.1Pa,
550degreeC,300sec.
WithoutSiCapDeposition

RunNo.S03061401
(40%aim)

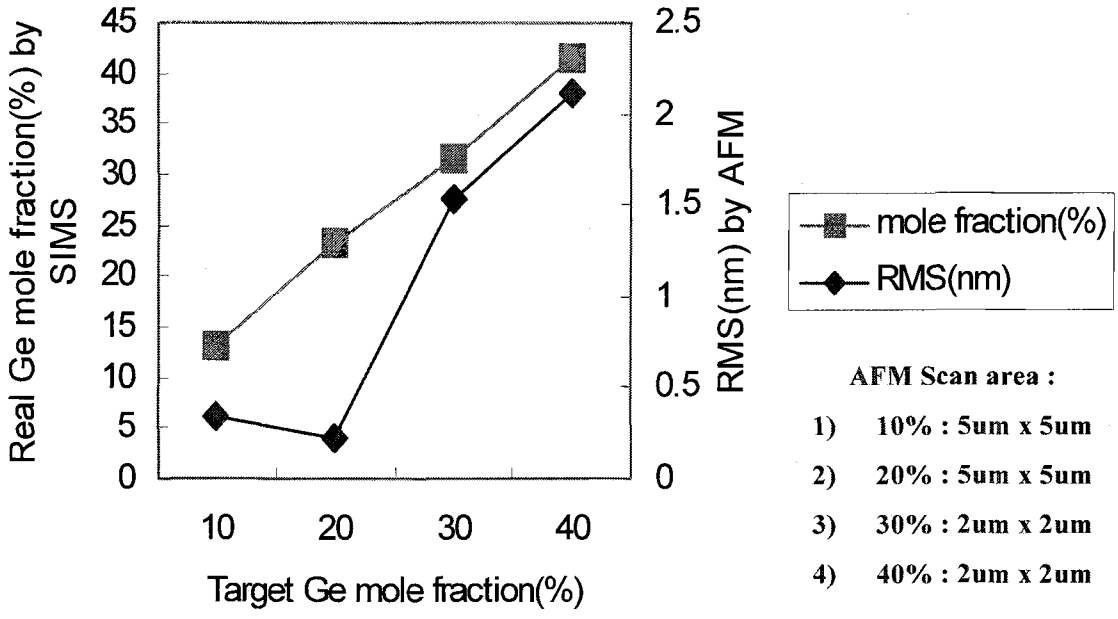
H2Baking1000degreeC,30min

GeH4Pre-flow10sec

SiGeDeposition
SiH4/GeH4=30/90sccm,0.1Pa,
550degreeC,300sec.

WithoutSiCapDeposition

(3) Target mole fraction에 따른 SIMS 및 AFM 평가 결과



(4) mole fraction에 따른 SiGe 두께 균일도(SOPRA 설비로 측정)

SOPRA

LG Siltron

Precision test

CCD mode measurement
20 static measurements without load/unload
1 second measure per point.
SiGe / Si . (100-300 Å, concentration of Ge : 10 - 40 %)
Fit only on SiGe thickness

	SiGe thickness (Å)			
Measure	# 01 (SiGe 10%)	# 02 (SiGe 20%)	# 03 (SiGe 30%)	# 04 (SiGe 40%)
1	35.395	54.14	107.83	94.95
2	35.79	54.48	107.62	94.79
3	35.65	53.92	107.54	94.91
4	35.44	54.18	107.53	94.91
5	35.63	54.30	107.59	94.98
6	35.51	54.22	107.58	94.96
7	35.51	54.38	107.6	94.82
8	35.75	54.22	107.62	94.96
9	35.58	54.49	107.62	94.79
10	35.64	54.14	107.72	94.86
11	35.31	54.34	107.51	95.03
12	35.35	54.33	107.62	94.79
13	35.79	54.15	107.58	94.9
14	35.55	54.15	107.53	95.1
15	35.43	54.19	107.57	94.82
16	35.87	54.20	107.57	94.82
17	35.81	54.21	107.55	95.04
18	35.54	54.18	107.81	94.79
19	35.37	54.17	107.6	94.94
20	35.714	54.51	107.66	95.01
Mean value	35.58	54.25	107.61	94.91
Standart deviation	0.168	0.143	0.086	0.095
Minimum	35.31	53.92	107.51	94.79
Maximum	35.87	54.51	107.83	95.1
Range	0.56	0.59	0.32	0.31

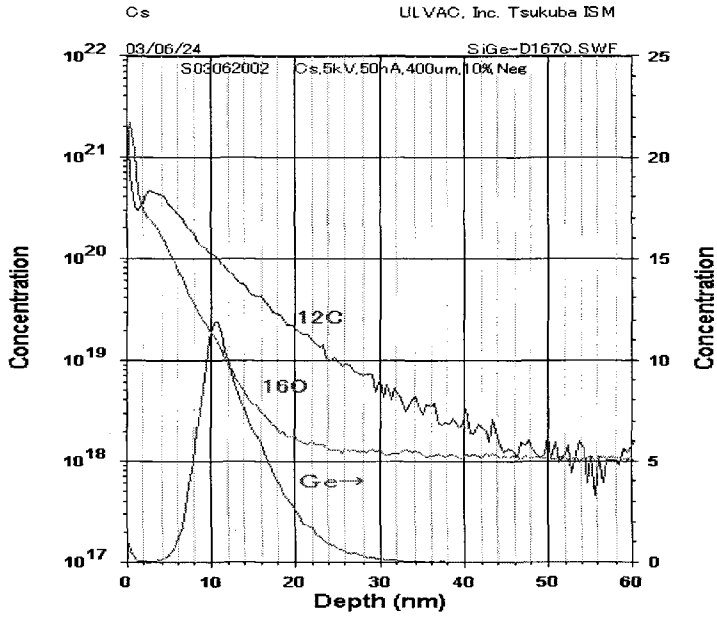
SOPRA , Bois Colombes. January 22, 2004

- 웨이퍼 면내 20points에 대한 SiGe층의 두께 균일도는 0.08 ~ 0.475%로써 spec인 3%를 크게 만족함.

(4) Dislocation 밀도 측정 (TEM 결과)

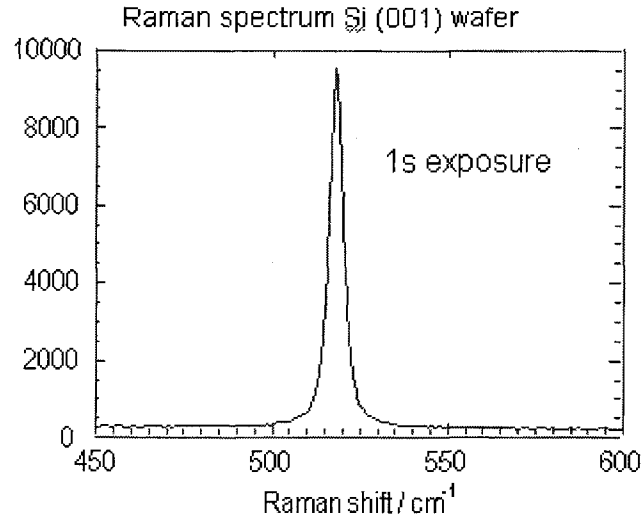
- High Resolution TEM에 의한 SiGe layer 및 Si 계면을 관찰한 결과 계면의 mismatch 없음.
- SiGe 층의 dislocation-free 확인.

(5) Graded SiGe층 성장(SIMS 평가결과) : 12 wt%의 graded SiGe



- mole fraction 20%에서 graded SiGe 성장 후 SIMS로 평가한 결과 graded 프로파일을 보임
- graded SiGe profile : 12%/ 150Å = 0.08 wt%/Å 의 profile

(6) Strain 측정 최적 조건 설정



- Strain 측정을 위한 기존 기술은 Ar laser power(λ=514 nm)를 사용하기 때문에 SiGe 층 위에 성장된 나노 두께의 strained silicon의 strain을 평가할 수 없음.
- Ar laser power(λ=514 nm)를 ultra violet source(λ=514 nm)로 변경하여 나노 두께의 strain silicon층의 strain을 측정하는 기술을 개발함.

(7) 연구 결과

- NRL 프로그램의 국제 협력에 따라 일본 ULVAC사와 공동으로 저온 나노 SiGe층 성장기술 개발.
- batch-type의 초고진공(UHV-CVD)에 의해 저온 나노 SiGe층 성장 기술 개발.
- mole fraction 20 wt%에서 웨이퍼 표면 roughness 0.3nm 이하 달성.
- Target Ge mole fraction에 따라 성장된 실제의 mole fraction 농도는 SIMS에 의해 확인한 결과 완벽하게 matching.
- Graded SiGe층 성장은 18 wt%에서 성장성공.
- Graded SiGe profile : 0.08 wt%/Å으로 < 0.2 wt%의 spec 달성
- 고성능 복합층 nano-strained Si/ relaxed SiGe 성장 공정 기반 기술 확보

2. 저온 나노 에피 실리콘 성장 기술

가. 연구 목표

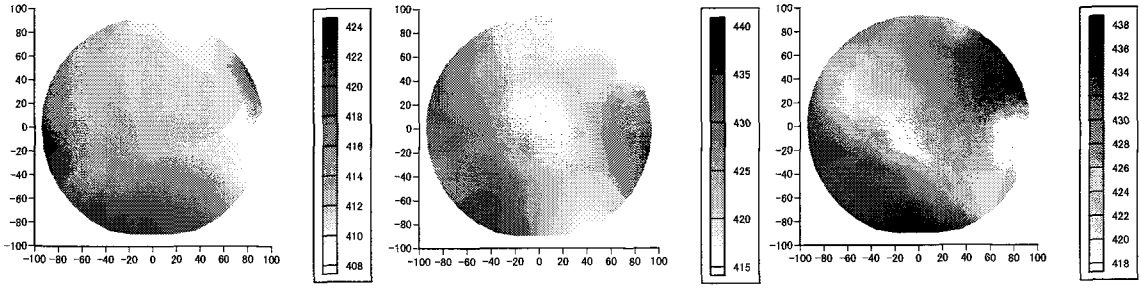
- 저온 nano-epi silicon층 30nm 성장 공정 기술 개발
- nano-epi층 두께 uniformity : <3%

나. 연구 추진 전략

- UHV-CVD 설비를 이용한 저온 silicon층 성장
- Hydrogen baking 온도 향상에 따른 웨이퍼 표면의 자연 산화막 제거
- ULVAC사의 협조를 받아 저온 silicon층 성장

다. 연구 성과

(1) 저온 나노 에피층 성장 및 두께 측정 분포도



Avg. : 414 (Å)	Avg. : 424 (Å)	Avg. : 428 (Å)
σ : 4 (Å)	σ : 6 (Å)	σ : 6 (Å)
Range: 16 (Å)	Range: 21 (Å)	Range: 20 (Å)

- 40nm 두께의 Epi층 성장결과 두께균일도 약 1.5% 수준을 달성하였음.

(2) 연구결과

- 저온에 의한 Epi 두께 40nm 성장에 성공하였음.
- 40nm에서의 두께 균일도 1.5% 수준을 달성하였음.

3. 저에너지 수소 이온 주입 기술

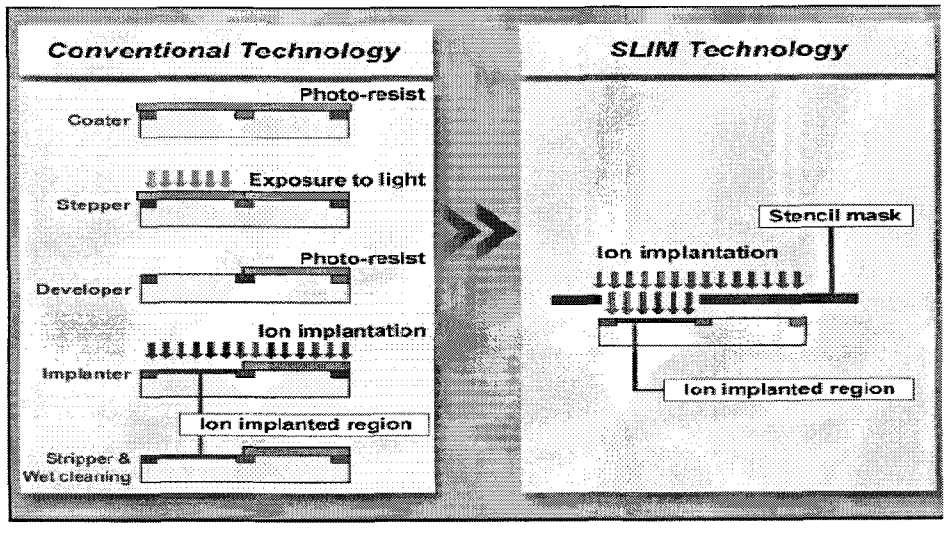
가. 연구 목표

- 가속전압 : < 30 keV
- Nano-cleavage후 표면 roughness : < 5nm

나 연구 추진전략

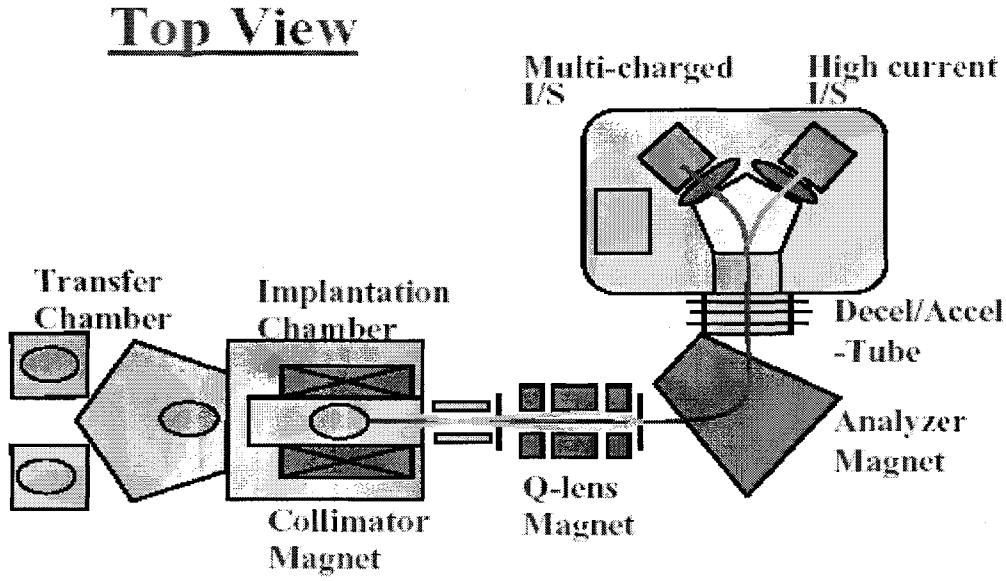
- 한양대학교 국가지정 나노 SOI 공정연구실은 일본 유수의 반도체 장비 메이커인 ULVAC사 및 일본 동북대학과의 기술 교류 및 업무 협조로 세계 최초로 매엽식 웨이퍼(single wafer) 타입의 8인치 및 12인치 겸용의 저에너지 수소 이온 주입기 및 공정 공동 개발.
- 장비개발에 있어서 하드 프레임에 대한 개념은 ULVAC사에서 디자인함.
- 8인치 및 12인치 웨이퍼 겸용 및 싱글 웨이퍼 개념은 한양대 국가지정 나노 SOI 공정연구실에서 제안함.
- 한양대가 보유하고 있는 "나노에스오아이 웨이퍼의 제조 방법 및 그에 따라 제조된 나노에스오아이 웨이퍼(특허 출원번호 : 2002-0047351)"의 공정에 맞게 Simulation(TRIM)에 의한 계산에 의거하여 수소이온주입의 에너지 및 도즈 농도 등에 한양대학의 결과를 인계받아 일본 동북대학교 수소이온 소스를 개발함.
- 동북대학교는 이온 소스 개발에 있어 필수 장비인 이온 가속 장치(cyclotron)을 보유하고 있음.
- 개발된 수소 이온소스는 한양대학교-ULVAC-동북대학교 연구원이 참여한 가운데 테스트를 실시하였으며, 적정한 레벨의 Current(3mA 이상)가 나올 수 있는 공정을 최적화함.
- 장비 모델명 : SMI-40H

- SLIM(Stencil mask Lithographic Ion IMplanter)기본 개념

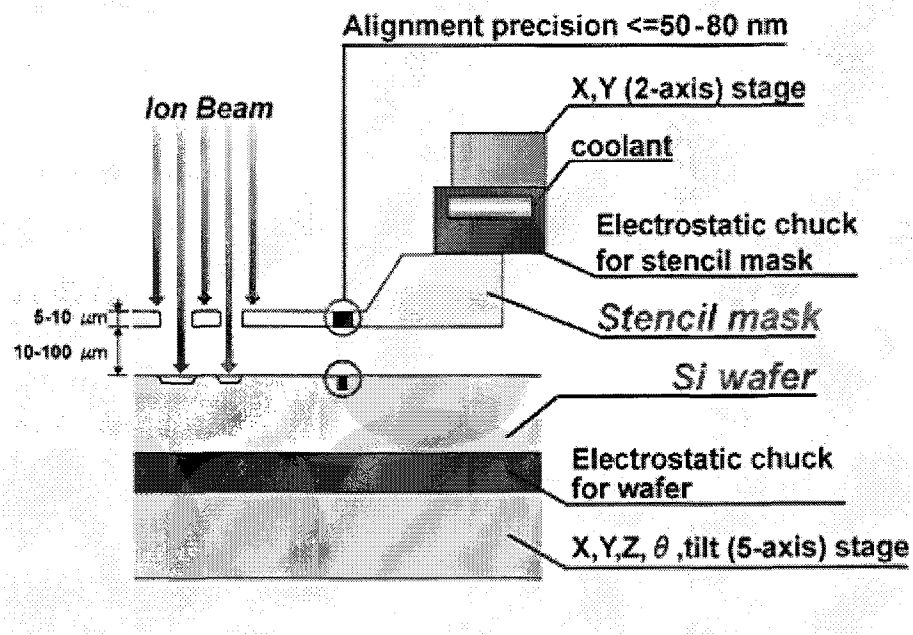


일반적인 implantation 공정은 PR coating → Stepper → Developer → Implanter → PR stripper → Wet cleaning 공정으로 되어 있으나, SLIM은 stencil mask를 활용하여 shot 단위로 이온 주입하므로 implantation 한 공정으로 완료되는 획기적인 신개념 이온주입임.

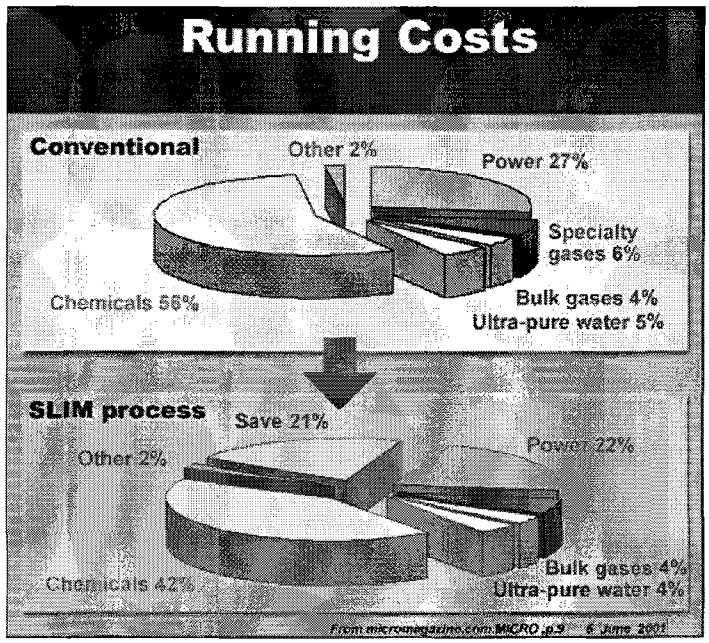
SLIM의 장비 구성



SLIM의 이온주입 개념도



- Running cost에 대한 시뮬레이션 결과



"micromagazine.com, MICRO, p.9, 6 June 2001"에 의하면 약 21%의 cost 절감 효과가 있음.

- SMI-40H의 특징

① Compact한 system size(H x W x D : 2.5m x 2m x 3m), 종래의 implanter에 비해 1/3의 foot-print

② Wafer size 변화(200mm & 300mm)에 대한 유연한 대응 및 최초 200mm process로 구축한 후 간단한 transfer 변경에 의한 300mm process 전환 가능

③ High reliability : 기본개념의 기술은 SLIM에 의해 완성되었으므로 약 20%의 cost 절감

④ Short beam path : 짧은 빔 패스에 의한 고효율 빔 전달 및 저 오염

⑤ Single wafer type에 의한 파티클 발생 감소

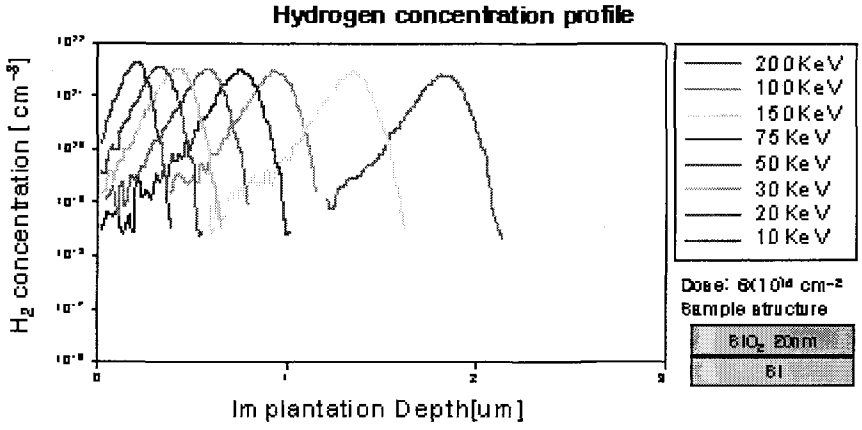
다. 연구 성과

(1) Simulation tool(TRIM)을 이용한 수소 이온 주입 에너지에 따른 cleavage후 surface roughness 예측

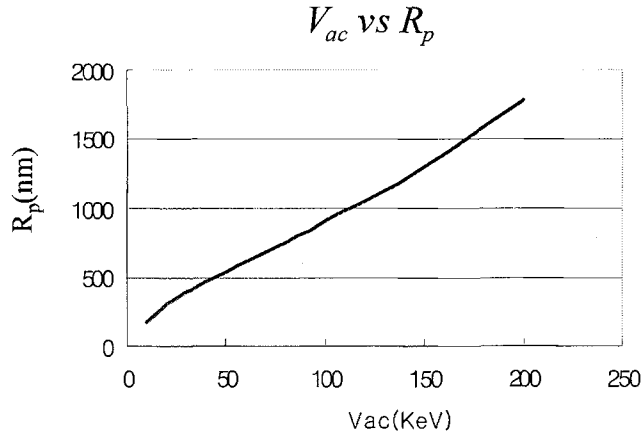
(가) 수소 주입 에너지에 따른 Rp, ΔRp와의 상관관계

수소 이온 주입 에너지(keV)	10	20	30	50	75	100	150	200
Rp(nm)	180.8	299.4	389.6	542.4	718	900	1300	1780
ΔRp	55.9	73.1	81.5	91.5	99.3	106.6	120.3	129.5

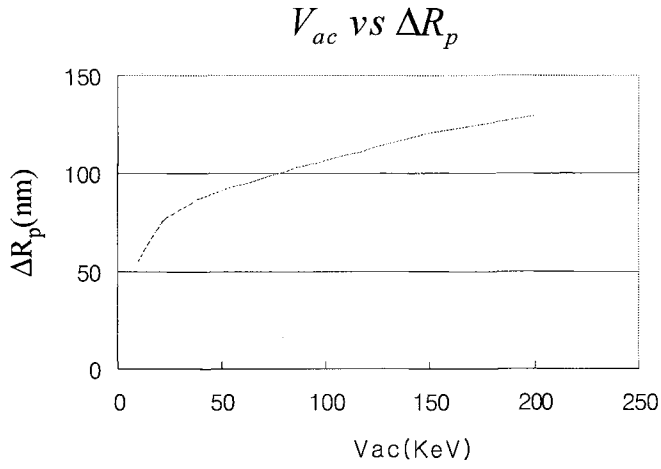
(나) 수소 이온 주입 에너지(Vac)에 따른 hydrogen concentration depth profile



(다) Vac와 Rp와의 상관관계



(라) Vac와 △Rp와의 상관관계

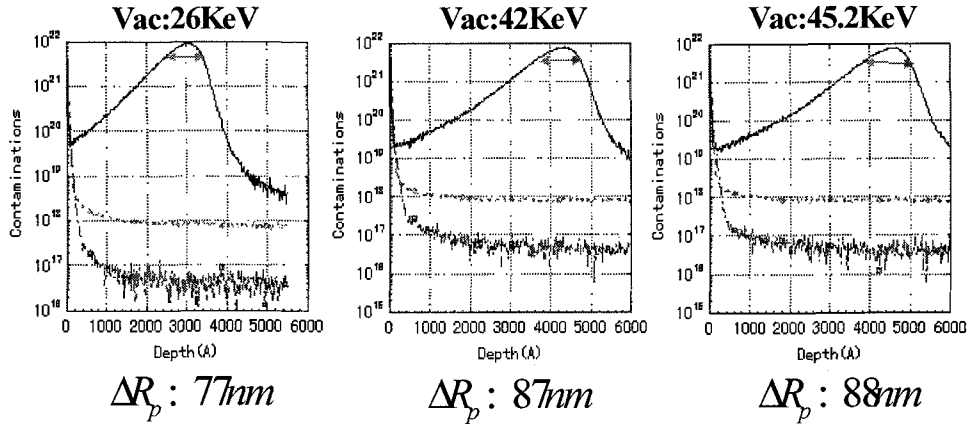


(마) 연구결과

- TRIM 계산에 의하면, 수소 이온 주입 에너지가 증가하면 Rp 및 ΔRp가 선형적으로 증가함.
- Cleavage후 웨이퍼 표면 roughness를 5nm 이하가 되도록 하기 위해서는 ΔRp가 작아야 하고, ΔRp를 작게 하기 위해서는 반드시 저에너지 수소 이온 주입(30KeV 이하)이 필요함.

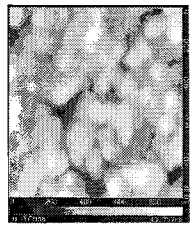
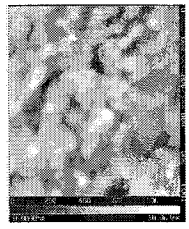
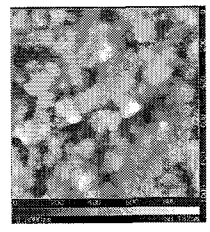
(2) 수소 이온 주입 에너지에 따른 cleavage후 웨이퍼 표면 roughness 개선

(가) 수소 이온 주입 에너지와 ΔRp와의 상관관계 (SIMS 분석)



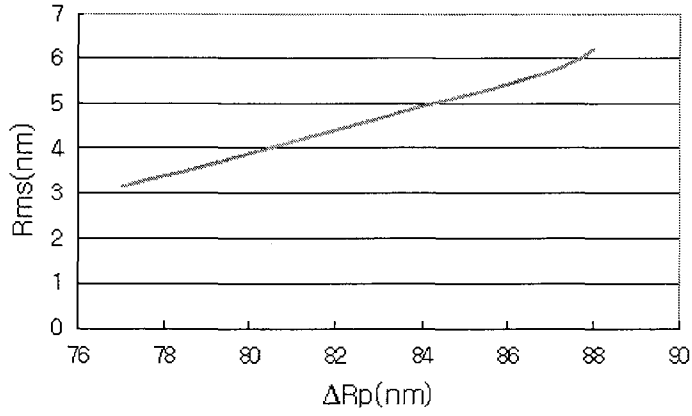
- 수소 이온 주입 에너지가 클수록 ΔRp가 증가함.
- 웨이퍼 표면 roughness를 작게 하기 위해 ΔRp가 작은 저에너지 수소 이온주입이 필요함.

(나) 수소 이온 주입 에너지에 따른 cleavage후 웨이퍼 표면 roughness와의 상관관계

V_{ac}	26KeV	42KeV	45.2KeV
Cleavage후 Rms (10㎛X10 ㎛) By AFM	 Rms: 3.16nm	 Rms:5.72nm	 Rms:6.55nm

- AFM 측정 면적인 10um x 10um로 측정하였을 때 수소 이온 주입 에너지가 클수록 웨이퍼 cleavage후의 웨이퍼 표면 roughness가 열화됨.
- 이는 수소 이온 주입 에너지가 큼으로써 ΔRp가 커지게 되고, 결국 ΔRp는 cleavage 열처리 후 웨이퍼 표면의 roughness를 크게 함.
- 따라서 웨이퍼 표면의 roughness를 좋게 하기 위해서는 낮은 수소 이온 주입 에너지를 주입해야 함.

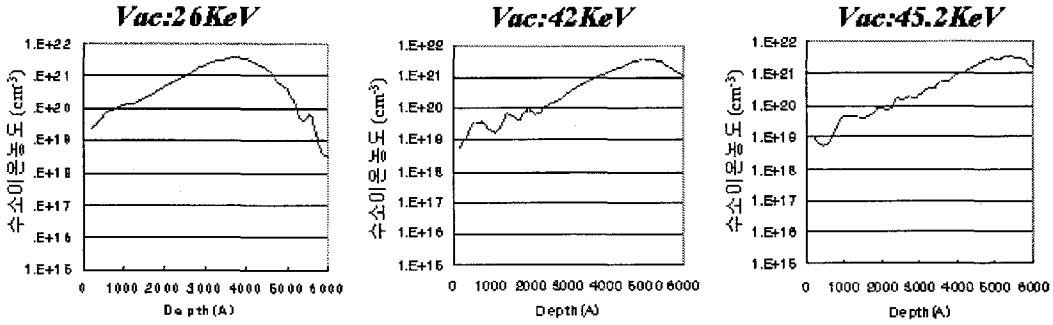
(다) ΔRp와 웨이퍼 표면 roughness와의 상관관계



- 수소 이온 주입이 증가하면 ΔRp가 증가하고 웨이퍼 cleavage 완료후 웨이퍼 표면 roughness를 증가시킴.

(3) 수소 이온 분포 시뮬레이션과 SIMS 프로파일 비교

(가) 수소 이온 분포 시뮬레이션 프로파일

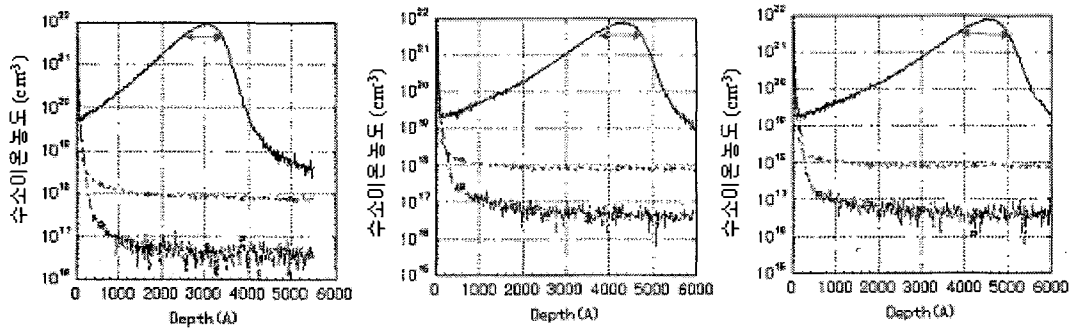


R_p : 343.8nm
ΔR_p : 79nm

R_p : 474.6nm
ΔR_p : 87nm

R_p : 494.8nm
ΔR_p : 90nm

(나) 수소 이온 분포 SIMS 프로파일

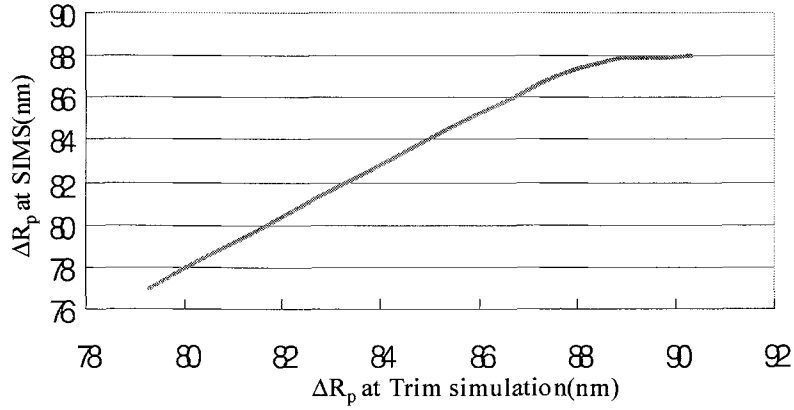


Rp : 301nm
ΔRp : 77nm

Rp : 435nm
ΔRp : 87nm

Rp : 455nm
ΔRp : 86nm

(다) 수소 이온 농도의 시뮬레이션과 SIMS 프로파일 상관관계



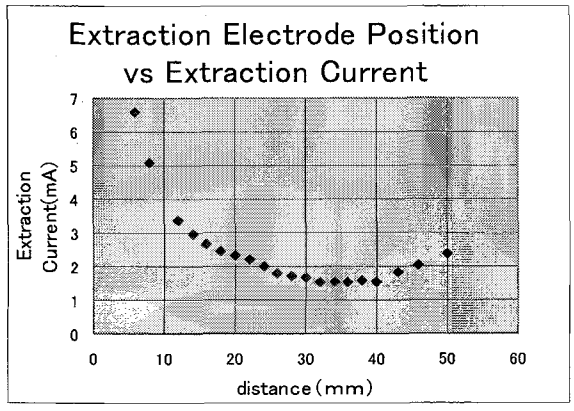
(라) 연구결과

- 저전압 수소 이온 주입시 시뮬레이션의 수소 농도와 실제 측정치(SIMS 농도)와는 양호한 상관성을 보임.
- 수소 이온 주입 에너지가 크면 △Rp가 크고 cleavage후 웨이퍼 표면 roughness가 높음.
- 수소 이온 주입 에너지를 26keV로 적용하면 cleavage후 웨이퍼 표면 roughness가 3.16nm로써 spec인 5nm 이하를 만족함.

(4) 저전압 수소 이온 주입기(SMI-40H) 개발 및 양산 라인 set-up 결과

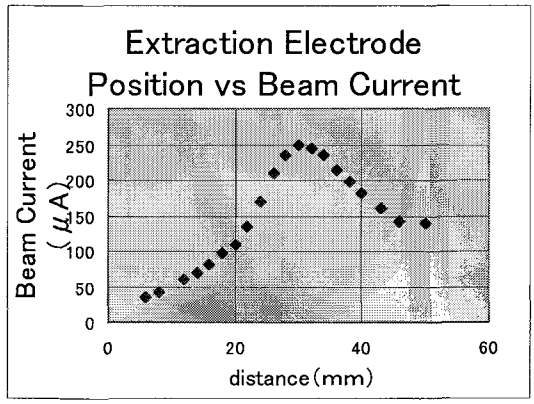
(가) 이온 소스 개발

① Extraction 전극 위치와 Extraction 전류와의 관계



- Extraction 전극 위치와 slit과의 거리가 5mm일 때 Extraction 전류가 peak (10mA)를 나타냄.

② Extraction 전극 위치와 beam 전류와의 관계



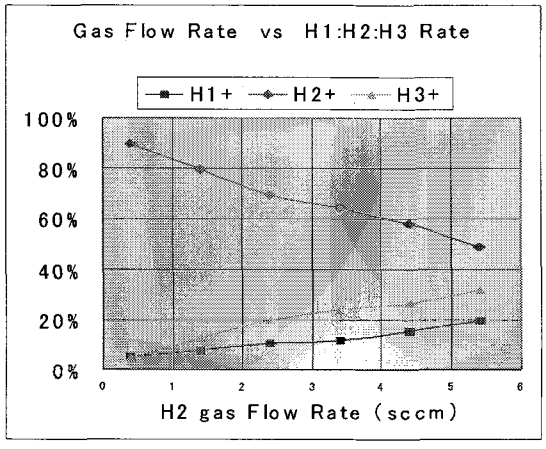
- Extraction 전극 위치와 slit과의 거리가 30mm일 때 빔 전류가 peak(250uA)를 나타냄.

③ H^+효율(H^+, H^{2+}, H^{3+}에서 H^+가 차지하는 비율)

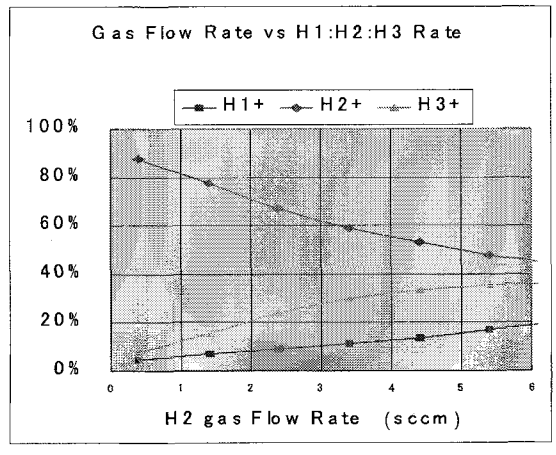
수소이온에는 H^+, H^{2+}, H^{3+}와 같이 동위 수소가 같이 발생하는데, 나노 SOI 공정에서는 H^+에 의한 blister 형성 및 flake에 의한 웨이퍼 spilt를 해야 하므로 H^+의 효율을 높여 수소이온주입하는 시간을 줄여야함. 따라서 다음과 같은 파라미터를 조정하여 H^+효율을 높일 필요가 있음.

<Cusp field 인가에 의한 H^+효율 향상>

< Cusp filed : On >

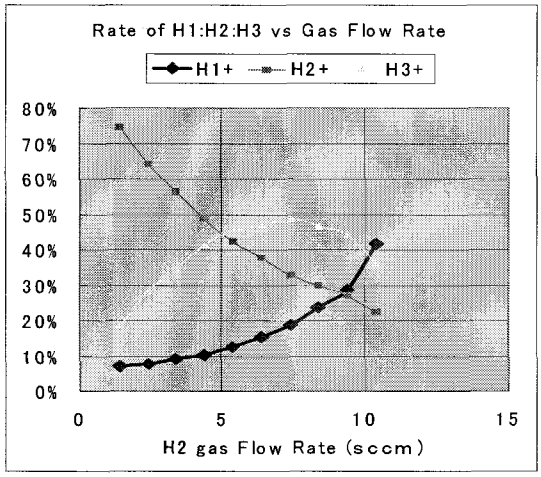


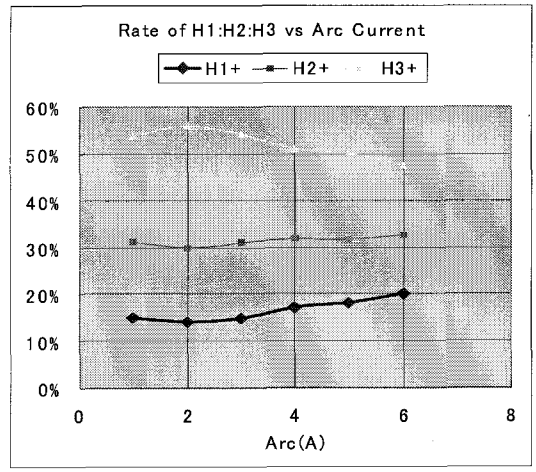
< Cusp field : Off >



- Iron jig의 on/off시에는 H^+효율에 영향이 없음.

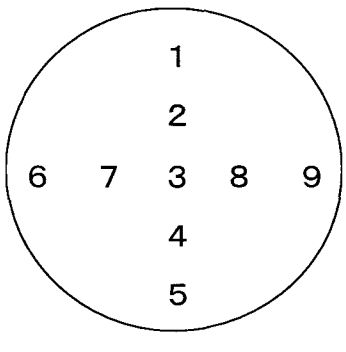
<H2 가스 flow rate 및 Arc 전류 최적화에 의한 H^+효율 향상>





- H2 가스 flow rate를 높이면 H+효율이 증가하고, 10sccm에서 최대 효율 40%를 나타냄.
- Arc 전류가 증가하면 H^+효율이 증가하는데, H_2 가스 flow rate를 7.4sccm 일 때 6A에서 효율 20%를 얻었음.
- Arc 전류 6A와 H_2 가스 flow rate 10sccm을 조합하면 H^+ 효율 40%로 최적의 조건을 얻었음. 이는 보통 batch type의 H^+ 효율이 25~30%인 것을 감안하면 매우 높은 효율임. 특히 이는 이온 소스 건이 짧기 때문에 실현 가능하였음.
- 이온 소스 개발은 ULVAC사(일본), 동북대학(일본), 한양대학교 3기관의 공동 협동에 의해 개발되었음.
- 최대 빔 전류는 4mA로써 8인치 웨이퍼 기준으로 3mA로 6×10^{16}ions/cm^{3}을 26KeV로 주입하는데 약 30분이 소요됨.

(나) 8인치 웨이퍼의 SIMS 분석 결과



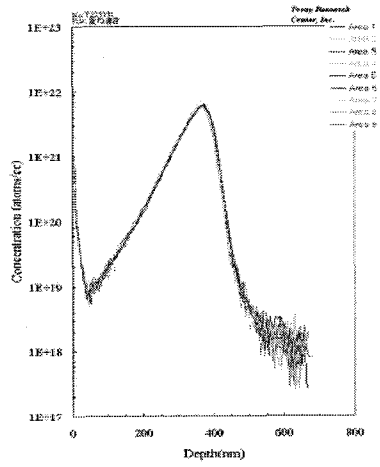
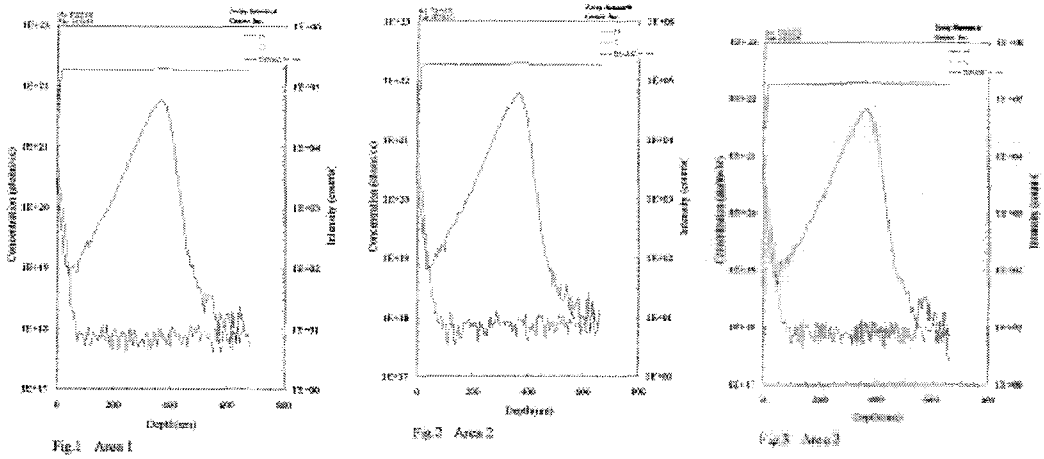
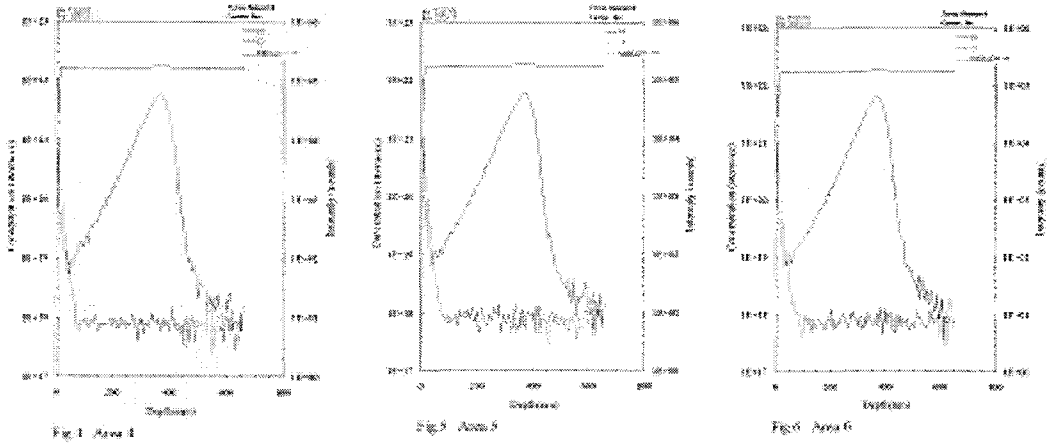
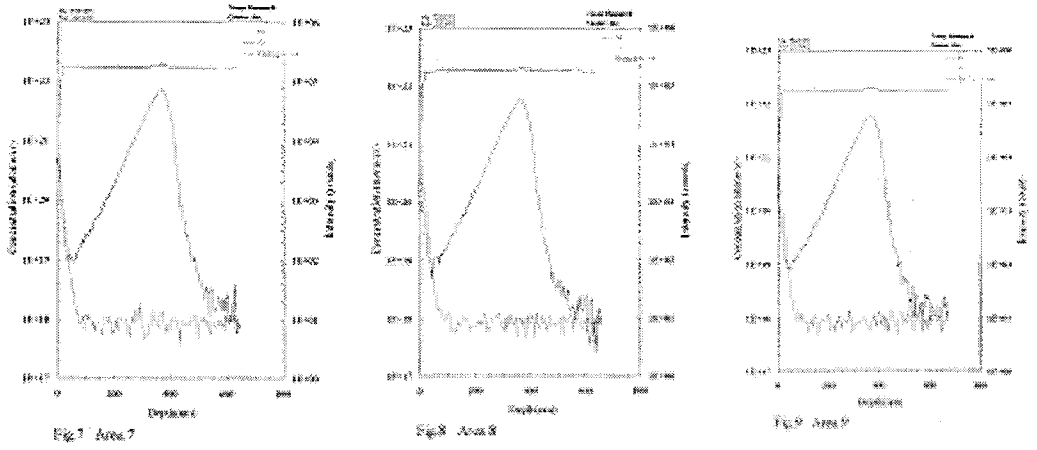


Fig.10 H profiles of Areal-9



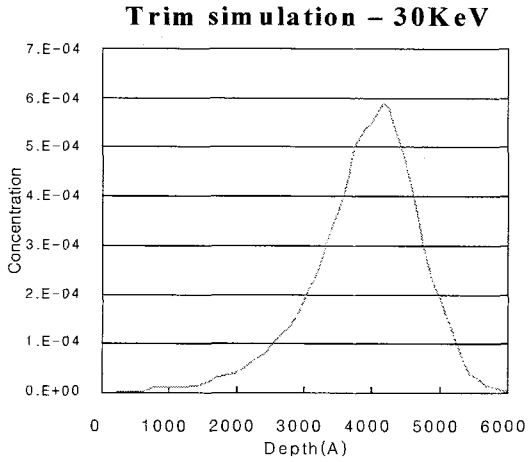


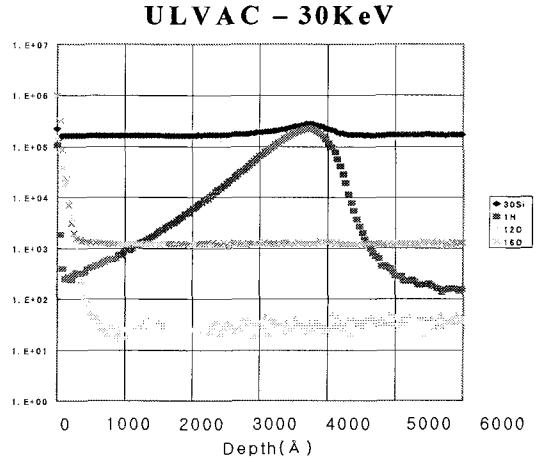


권위 있는 분석 전문 기관인 일본의 Toray사에 의뢰하여 저에너지 수소이온주입후 웨이퍼 면내 수소이온 주입 Rp 및 농도를 SIMS에 의해 분석한 결과 Rp 재현성이 1.37%의 batch-type의 수소 이온 주입기 보다 양호한 1.07% 로 개선되었음.

△Rp의 재현성도 batch-type의 4.87% 보다 양호한 1.16%로 개선되어 batch type 대비 웨이퍼 면내 균일도가 양호한 양산 장비로써 사용할 수 있음.

(다) TRIM에 의한 시뮬레이션 결과와의 비교





Rp : 379nm

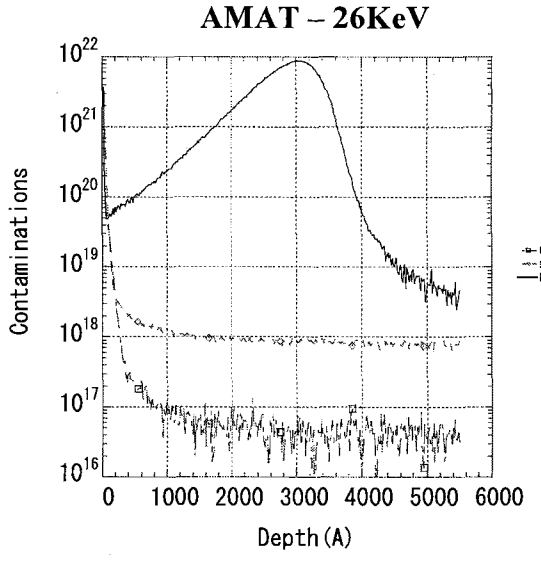
ΔRp : 82nm

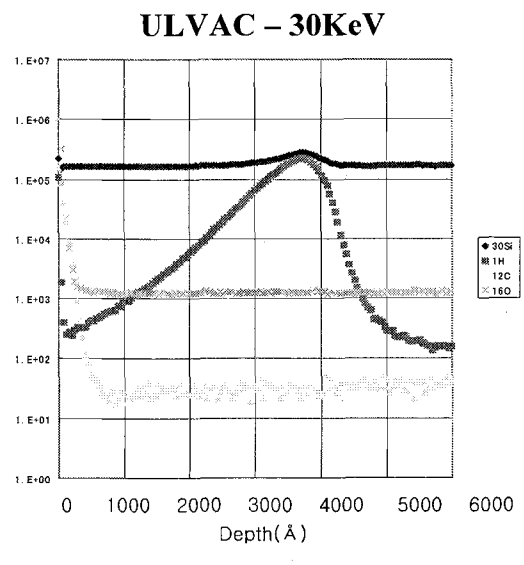
Rp : 369nm

ΔRp : 78nm

- TRIM에 의한 시뮬레이션 결과 및 ULVAC사 SMI-40H에 의한 30keV에서 이온주입후 실제 SIMS 결과는 Rp 및 ΔRp에서 동일한 결과를 보임. TRIM 시뮬레이터는 한양대학교에서 나노 SOI용으로 calibration하여 사용하고 있음.

(라) batch-type 장비와의 비교 결과





Rp : 301nm

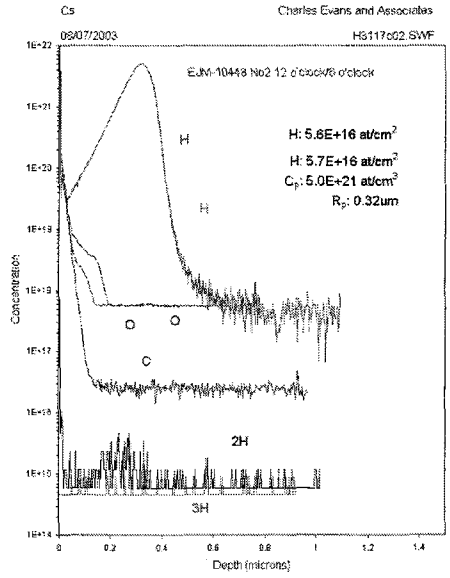
ΔRp : 75nm

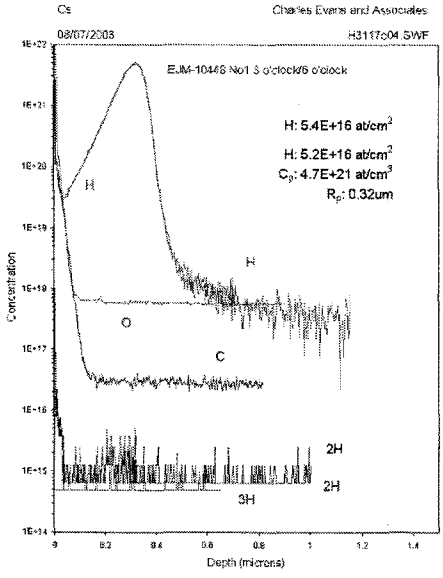
Rp : 369nm

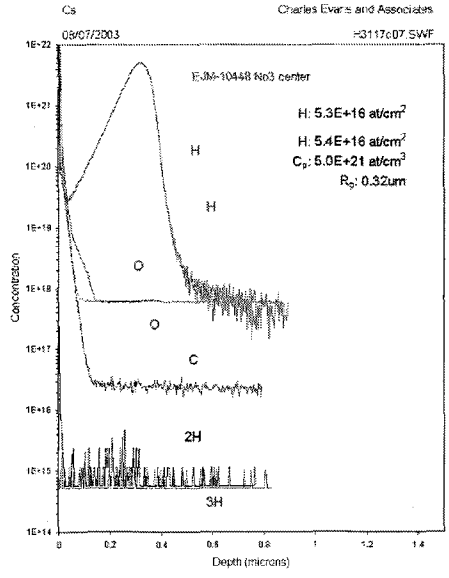
ΔRp : 78nm

- batch type의 AMAT 설비와 single type인 ULVAC의 SMI-40H의 비교는 ΔRp 측면에서 유의차 없음. Rp에서의 차이는 이온주입의 에너지에 따른 차이임.

(라) 12인치 웨이퍼의 SIMS 분석결과

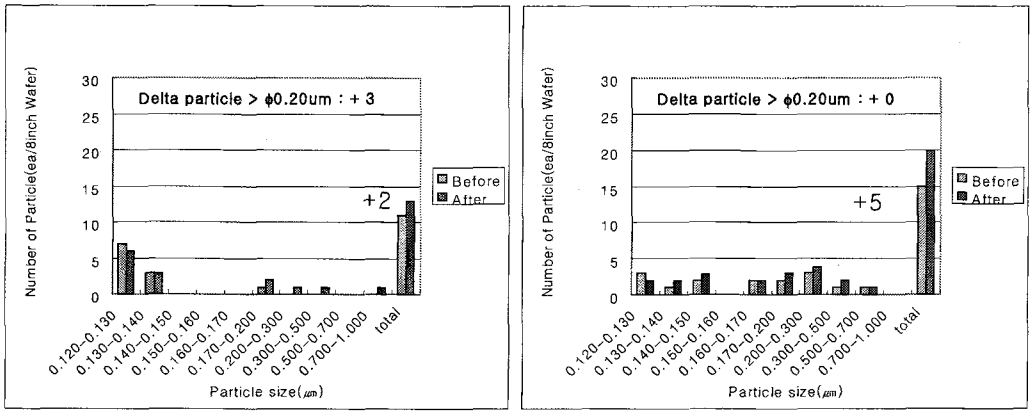






- 8인치에서 12인치 웨이퍼로 웨이퍼 로딩 시스템을 교체한 후 12인치 웨이퍼에 저 에너지 수소이온주입하였음.
- 이온주입 후 권위 있는 분석 전문 기관인 Charles Evans(미국)에 의뢰하여 수소이온주입 Rp 및 농도를 SIMS에 의해 분석한 결과 8인치와 유사한 분포를 보이고 있으며, 매우 안정적인 프로파일을 나타내었음.
- 상기 결과는 세계 최초의 12인치 싱글 웨이퍼 타입의 저에너지 수소이온주입기의 개발임.

(마) 파티클 증가 분석 결과

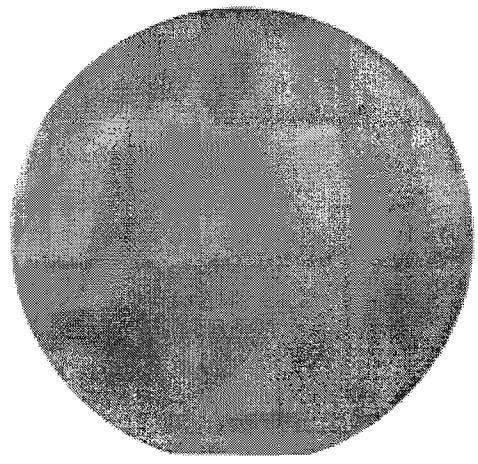


- 저에너지 수소이온 주입기(SMI-40H)에 의한 파티클 발생은 이온주입시간 33분을 기준으로 KLA-Tencor의 SP1의 normal 모드로 측정한 결과 0.20um 이상의 size에서 최대 5~8개 증가됨.
- 보통 일반적인 설비의 파티클 spec이 20개/8인치 웨이퍼 이하인 것을 고려할 때 매우 양호한 결과임.

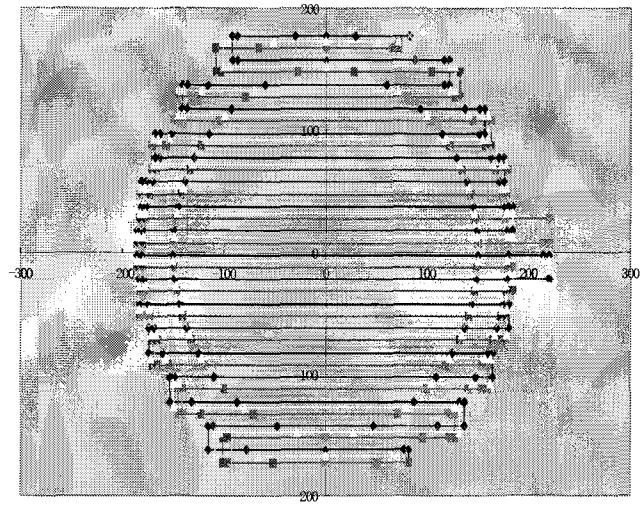
(바) Beam stripe 현상 해결

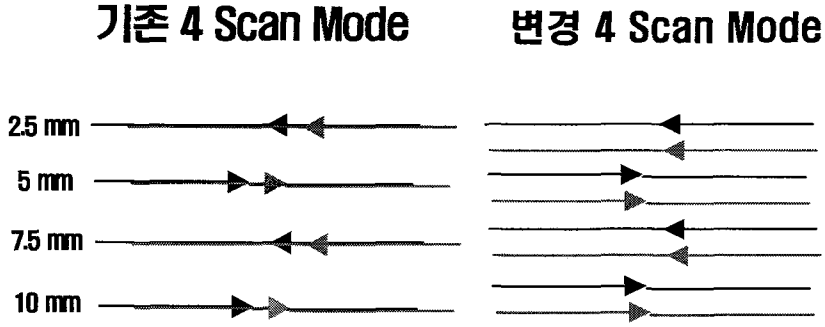
< 이온 도즈 밀도 차에 의한 stripe 발생 >

< 빔 scan 방법 변경에 의한 stripe-free >



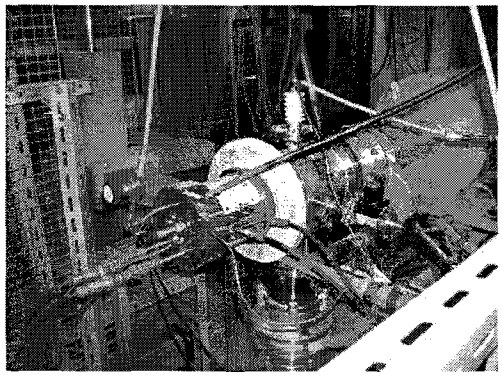
< 이온빔 scan 방법 변경 >

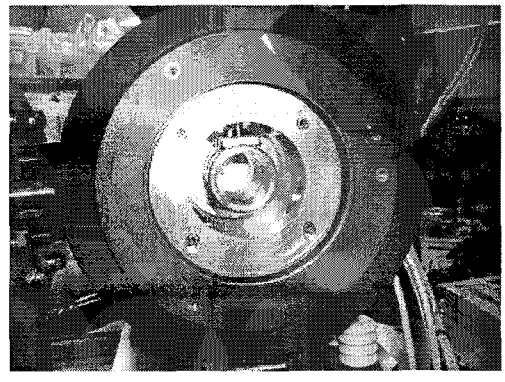




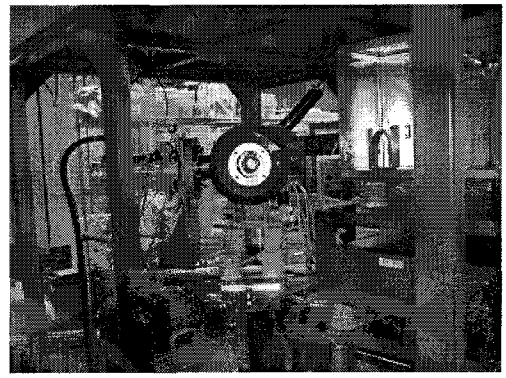
- 이온빔 scan 방법을 기존 mode에서 변경 mode로 개선하였을 때, 빔 도즈 밀도차이에 의한 웨이퍼 표면의 stripe 현상은 개선되었음.

(사) 이온 소스 개발 검수(동북대학교)





(아) 양산라인 set-up 과정(LG실트론)



(자) 연구결과

- 수소 이온 빔 전류 및 Extraction 전류는 extraction 전극과 slit의 거리의 의존성에 대하여 연구하였으며, 이를 토대로 최대 4mA의 빔 전류를 확보하였음.
- 최대의 H^+ 효율을 얻기 위해 cusp magnetic field 및 H_2 가스의 flow rate와 Arc 전류의 의존성에 대하여 연구한 결과 이들의 최적 조건을 설정함으로써 최대 40%의 효율을 달성하였음.
- ULVAC사와 공동으로 세계 최초로 개발한 싱글 웨이퍼 타입의 저에너지 수소이온 주입기(모델명 SMI-40H)는 8인치 및 12인치 웨이퍼 겸용으로 사용할 수 있음.
- 특히 싱글 웨이퍼 타입으로 인해 웨이퍼 면내 균일도가 Rp인 경우 1.07%, △Rp인 경우 1.16%로 batch-type보다 양호한 재현성을 보임.
- 8인치 웨이퍼 기준으로 웨이퍼 transportation에 의한 파티클 증가는 5~8개/8인치 웨이퍼로 매우 양호한 결과를 확보하였음.
- 개발된 설비는 2003년 (주)LG실트론에 입고되어 양산 장비로 사용되고 있음.

제 2 절 나노 웨이퍼 표면처리 기술

1. Nano-Cleavage 기술

가. 연구 목표

- 550℃ cleavage 공정 기술 개발
- Nano-Cleavage 후 표면 roughness : < 5nm

나. 연구 추진 전략

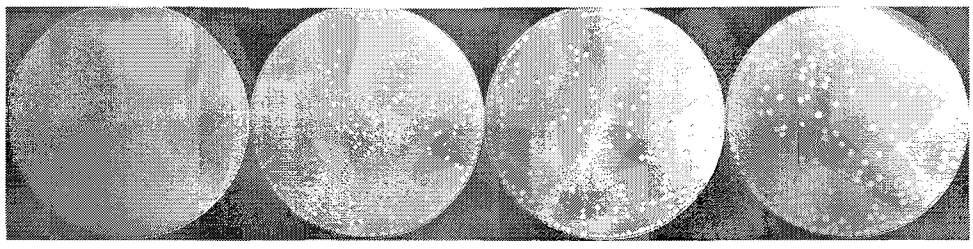
- 저에너지 수소 이온 주입(26keV, $6X10^{16}/cm^3$)후 hydrophilic bonding후 Furnace 및 clean oven을 이용하여 cleavage 온도 및 시간을 split하여 500℃ 이하의 저온 cleavage 공정 개발.
- 각 온도에 따라 cleavage된 SOI 웨이퍼를 투과전자현미경(TEM)을 이용하여 cleavage가 이루어지는 blister의 크기를 관찰하여 각 온도에 따른 blister의 morphology를 비교 분석하여 저온 cleavage 공정 개발.
- Cleavage후 웨이퍼 표면의 roughness를 AFM을 통하여 분석한 후 각 온도에 따른 표면 roughness를 비교 분석함.
- Cleavage 온도는 수소 이온을 out-diffusion시키므로 cleavage 전후의 수소 프로파일을 SIMS를 통해 비교 분석함.
- Cleavage 온도에 다른 micro-void의 밀도 및 star-defect 밀도 등을 비교 분석함.

다. 연구 성과

(1) 표면 defect 발생의 Cleavage annealing 온도 의존성

□ 표면 defect = interface void induced surface pit

< 나노 SOI 시제품 >

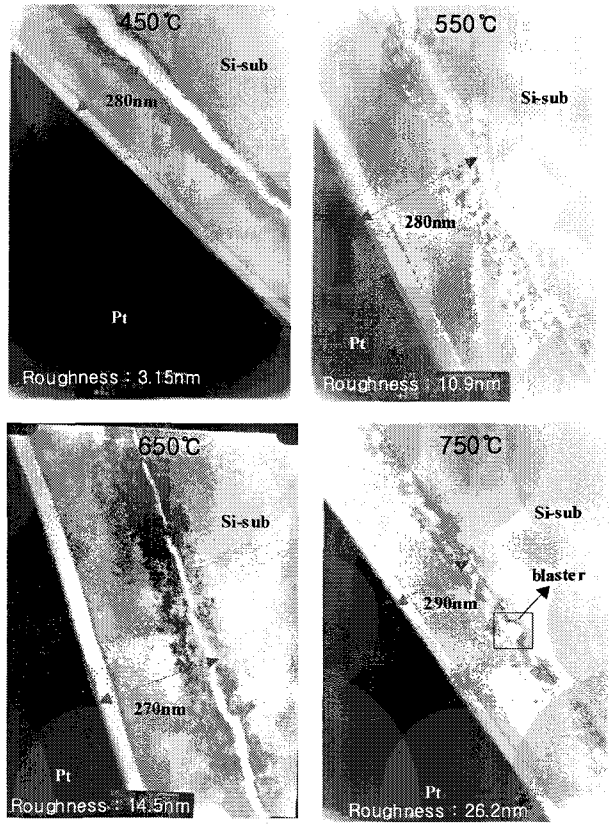


450℃,1hr　　550℃,1hr　　650℃,1hr　　750℃,1h

- 450℃이하의 cleavage annealing 온도에서 표면 defect-free 공정 개발 완료.
- 저온 처리에 의해 표면 defect-free인 나노 SOI 웨이퍼 개발 완료.

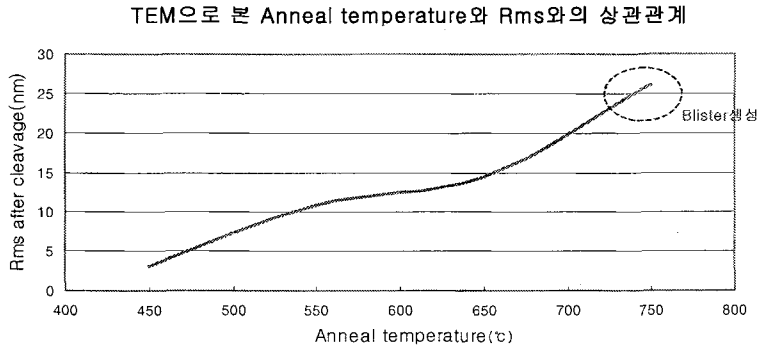
(2) cleavage 온도에 따른 blister 발생에 의한 wafer surface roughness

<X-section TEM>



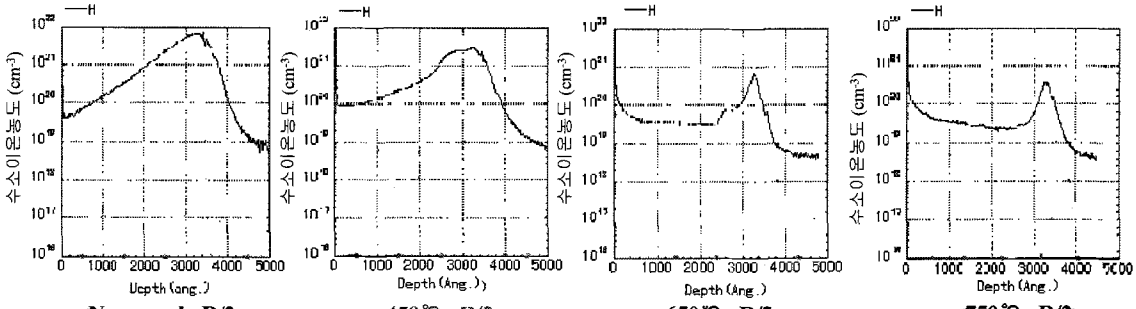
- 550℃ 이상의 온도에서는 dislocation loop이 발생되지만 450℃이하에서는dislocation loop가 free한 cleavage면 달성.
- Cleavage annealing time이 증가하면 X-TEM상 rms가 증가.
- 450℃의 열처리에서 cleavage후 웨이퍼 표면 roughness는 3.15nm임.

(3) wafer surface roughness에 대한 cleavage 온도의 효과



- Cleavage 온도를 450℃에서 처리함으로써 blister를 최소화하여 wafer cleavage후 wafer surface roughness를 개선함.(TEM에 의한 blister size 관찰 결과)

(4) Cleavage annealing 온도에 따른 이온 주입된 수소 gas out-diffusion 현상

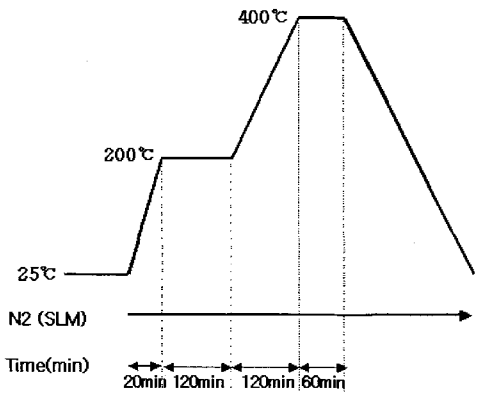


<No anneal , R/2> <450℃ , R/2> <650℃ , R/2> <750℃ , R/2>

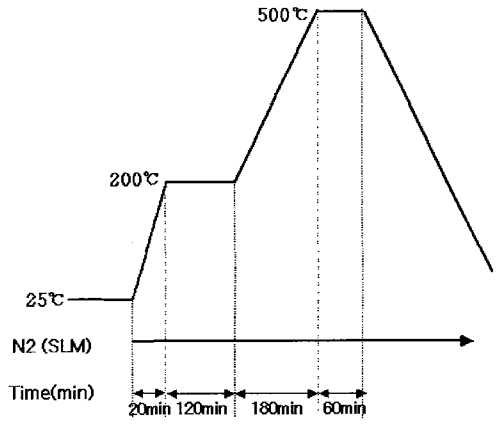
- Cleavage 온도가 높아지면 Hydrogen의 out-diffusion이 일어나므로 blister 및 flake 현상이 일어나기 어려워서 cleavage가 잘 되지 않음. (특히 700℃이상),
- 700℃이상 온도에서 cleavage를 위해서는 hydrogen dose의 증가가 필요함. 참고로 hydrogen dose가 증가되면 nano SOI wafer의 제조단가가 급증함.

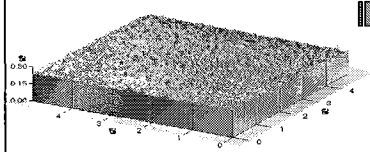
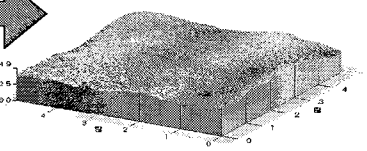
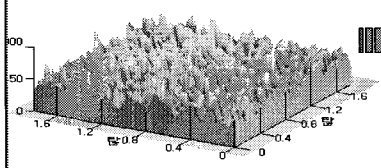
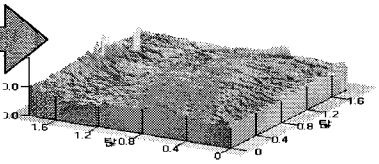
(5) Cleavage annealing 온도에 따른 웨이퍼 결과

- 8인치 cleavage recipe



- 12인치 cleavage recipe



구 분	Cleavage 후	Epi 열처리후
8인치 나노 SOI 웨이퍼	 Rms : 3.16nm	 Rms : 0.332nm
12인치 나노 SOI 웨이퍼	 Rms : 7.62nm	 Rms : 0.32nm

(6) 연구결과

- 고온의 cleavage 온도에서는 이온 주입된 hydrogen의 out-diffusion이 발생함.
- 고온에서는 cleavage를 위해 high dose 량이 필요하며, cleavage된 wafer surface의 roughness가 불량함.
- 본 연구에서 개발된 저온 cleavage 공정(250~300℃ + 400℃) 적용 시 무표면 결함의 nano-SOI wafer를 달성함.
- Nano-Cleavage 후 표면 roughness 3.16nm로 spec인 < 5nm를 달성함.
- 8인치 나노 SOI 웨이퍼 보다 12인치 나노 SOI 웨이퍼의 cleavage 온도(500℃)가 높기 때문에 cleavage 후 웨이퍼 표면 roughness는 8인치(3.16nm) 보다 약 2배정도 높은 7.62nm임. 이는 X-TEM에 의하여 측정한 blister의 size와 동일한 수준임.
- 12인치 나노 SOI 웨이퍼는 Cleavage후 웨이퍼 roughness가 8인치 보다 약 2배 크지만, 1135℃의 Epi reactor 처리 후는 8인치 웨이퍼와 동일한 표면 0.32nm의 roughness를 유지함.

2. 나노 표면 처리 기술

가. 연구 목표

- 고온 열처리(1100℃ 이상) 공정 기술 개발
- 고속 ramp up/down(> 5.5℃/min) 및 열처리 시간 : < 5min.
- 고온 열처리시 slip이 발생하지 않는 공정 개발
- 웨이퍼 표면 roughness가 0.4nm 이하인 공정 개발

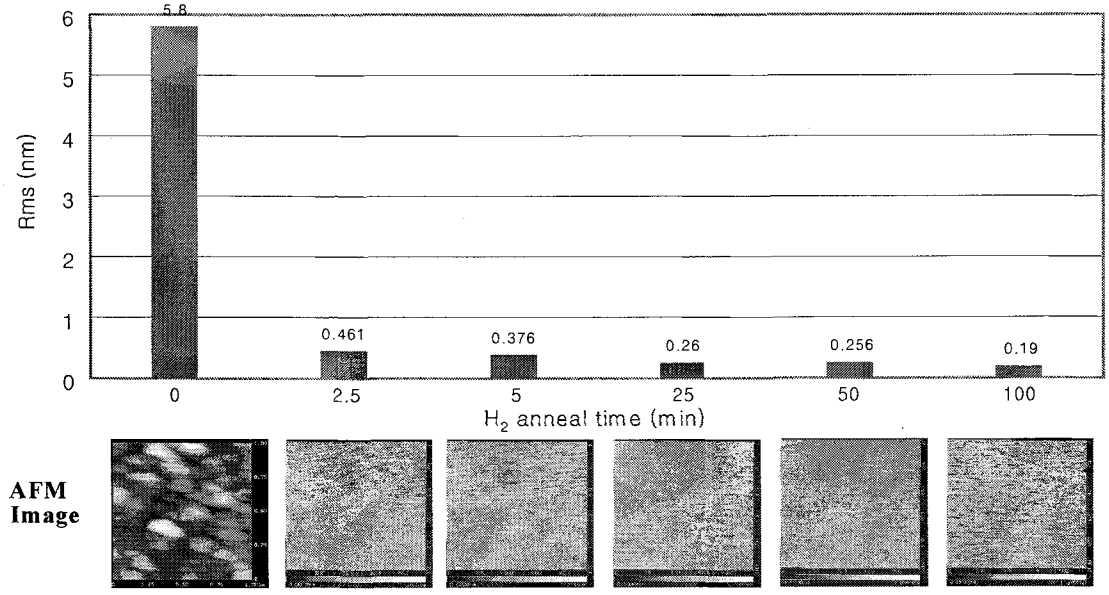
나. 연구 추진 전략

- Epi reactor의 가스 조건, 가스 유량, annealing 온도 및 시간에 따른 실리콘 웨이퍼 표면의 roughness의 평가 및 migration 제어를 통한 개발
- RTA(rapid thermal annealing) 적용에 의한 온도 및 분위기 가스에 따른 실리콘 웨이퍼 표면의 roughness를 평가
- RTA 공정은 국내 RTA 장비 제조사인 코닉시스템과 "나노 소자용 기판 Wafer의 BMD 제어용 고온 RTA 설비 개발"을 수행 중에 있으므로 이들 설비 및 유틸리티를 활용하여 개발
- Epi reactor 및 RTA에 의한 slip-free의 최적 공정 조건을 실험 계획법에 의거 개발

다. 연구 성과

(1) Epi reactor(1135℃, H2, 20slm) 열처리 공정 기술 개발

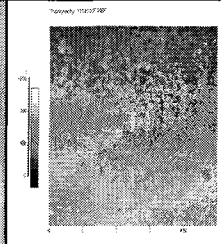
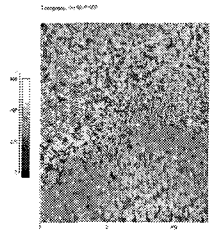
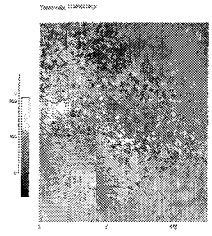
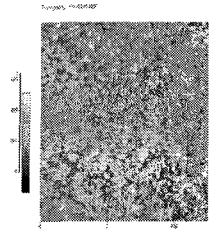
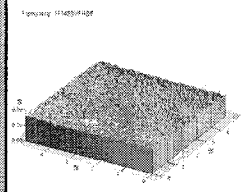
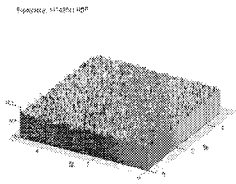
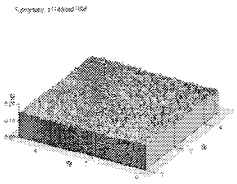
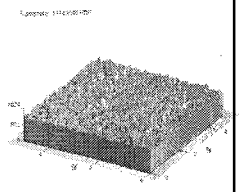
(가) Annealing 시간에 따른 웨이퍼 표면 roughness 의존성(저에너지 수소이온주입)



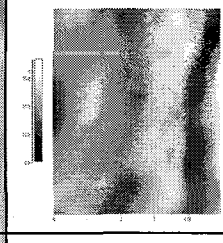
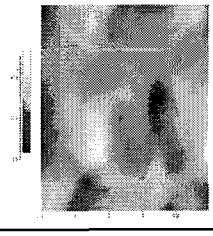
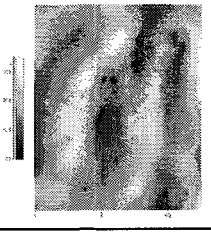
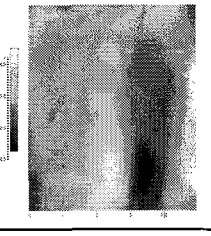
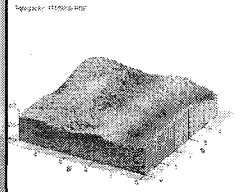
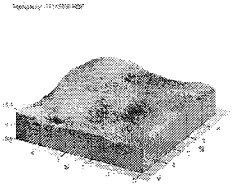
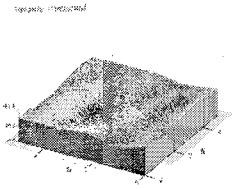
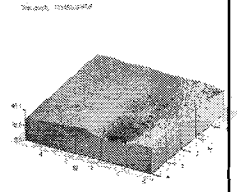
(나) Epi 열처리 전후 웨이퍼의 표면 roughness의 개선 및 균일도

① 8인치 나노 SOI 웨이퍼(고에너지 수소이온주입)

< 고에너지 수소이온주입에 의한 cleavage후의 웨이퍼 표면 roughness >

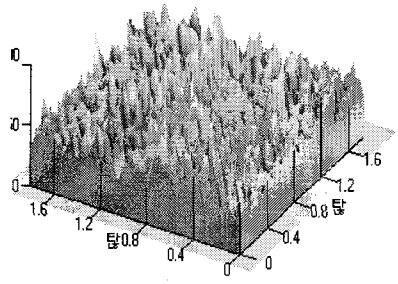
	Center	R/2 -1	R/2-2	R/2-3
2D				
3D				
rms	7.09(nm)	7.43(nm)	6.08(nm)	6.37(nm)

< Epi reactor(1135℃, H_2, 20slm) 열처리후의 웨이퍼 표면 roughness >

	Center	R/2 -1	R/2-2	R/2-3
2D				
3D				
rms	0.332(nm)	0.338(nm)	0.313(nm)	0.382(nm)

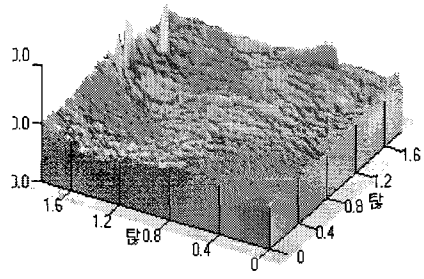
② 12인치 나노 SOI 웨이퍼(저에너지 수소이온주입)

< cleavage후 웨이퍼 표면 roughness>



RMS : 7.62nm

< Epi reactor 처리후 웨이퍼 표면 roughness>
(1135℃, H_2, 45slm, 5min)



RMS : 0.32nm

(다) 연구결과

- Epi reactor에서 1135℃, H_2 분위기에서 5분 이상 열처리 하면 웨이퍼 표면의 실리콘 원자들의 migration에 의해 웨이퍼 표면의 roughness(rms)가 0.376nm로써 연구개발 목표치인 0.4nm 이하의 목표치 달성.
- Ramp up/down rate은 5.5℃/sec로써 slip-free 확보.
- 고에너지 수소 이온 주입에 의한 cleavage후 rms(약 7nm)는 저에너지 수소 이온 주입에 의한 cleavage후 rms(약 3nm) 보다 약 2배 이상 높음. 따라서 저에너지 수소 이온 주입이 필요.
- 고에너지 수소 이온 주입에 의한 cleavage후 웨이퍼 표면의 rms 균일도는 0.2%였으나, Epi reactor에서 1135℃, H2 분위기에서 5분 열처리후의 웨이퍼 rms의 균일도는 0.15%로 좀 더 균일도가 향상되었으며, rms 자체도 0.4nm를 만족하는 0.34nm 수준임.
- 300mm 나노 SOI 웨이퍼는 cleavage 온도를 450℃(8인치 나노 SOI 웨이퍼 : 400℃)에서 진행하기 때문에 cleavage후 웨이퍼 표면 roughness는 8인치(3.16nm) 보다 큰 7.62nm임. 그러나 Epi 처리후 웨이퍼 표면 roughness는 0.32nm로 8인치 웨이퍼와 동일한 수준임.

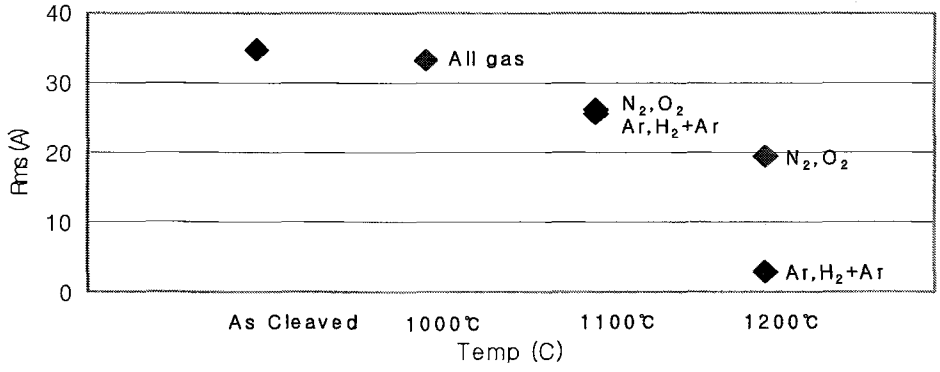
(2) RTA 열처리 공정 기술 개발

(가) RTA annealing 온도 및 가스 분위기에 의한 웨이퍼 표면 roughness 의존성

Temp.	1000℃	1100℃	1200℃
Time	10sec		
Gas	Ar	Ar	Ar
	H_2+Ar	H_2+Ar	H_2+Ar
	N_2	N_2	N_2
	O_2	O_2	O_2

Gas 유량 : 5slm

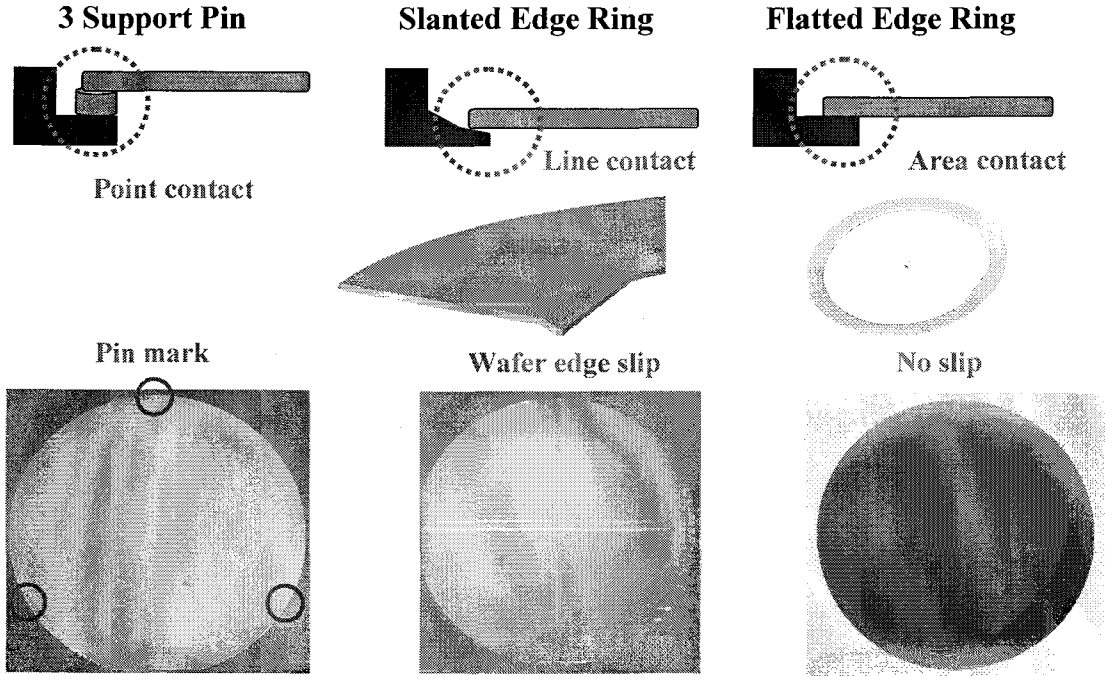
(나) 실험 실시 결과



(다) 연구 결과

- As-cleavage 상태의 웨이퍼 표면의 roughness는 3.5nm로 1000℃ 이하의 온도에서는 가스 조건에 관계없이 개선 효과 없음.
- 1100℃에서는 모든 가스 조건에서 비슷한 수준으로 2.6nm까지 개선되었으나 효과는 크지 않음.
- 실리콘 웨이퍼 표면의 migration 향상을 위하여 온도를 1200℃로 올려서 실시하면, N_2, O_2 분위기에서는 2nm로 향상되고, Ar 및 Ar + H_2 가스 분위기에서는 0.3nm로 급격히 개선되어 개발 목표치인 0.4nm를 만족함.

- slip-free인 edge-ring 개발(코닉사 설비에 양산 적용 중)



- RTA 설비의 웨이퍼 support system의 재료 및 형태를 3pin → slanted edge-ring → flatted edge-ring으로 변경함으로써 slip-free의 RTA 설비 개발
- "나노 소자용 기판 웨이퍼의 BMD 제어용 고온 RTA 설비 개발" 연구프로젝트 수행 (코닉시스템, 연구기간 : 2002.1.1 ~ 2004.6.30) 및 기술 이전 완료

3. nano-topography CMP 기술

가. 연구 목표

- 나노 SOI 웨이퍼 CMP용 나노 세리아 슬러리 연마 입자 합성 기술 개발
- 슬러리에 첨가된 계면활성제 농도에 따른 nanotopography 의존성 개발
- 나노 세리아 슬러리의 비선형 Prestonian 거동을 통한 웨이퍼의 nanotpography 의존성 개발
- Slurry 분산 안정 및 웨이퍼 계면 전위 제어를 통한 표면 두께 변곡 < 6nm 수준의 나노 토포그래피 CMP 공정 기술 확보

나. 연구 추진 전략

- 나노 SOI 표면 roughness 개선을 위한 세리아 슬러리 합성 방법 개발
  - 나노 세리아 연마 입자의 크기 변화에 따른 nanotopography 의존성 평가
  - 고상법 및 액상법을 통한 제조된 연마입자의 nanotopography 의존성 평가
  -분쇄 공정을 통해 변화된 연마입자의 nanotopography 의존성 평가
  - 슬러리 분산 안정성 및 웨이퍼의 계면전위 제어를 통한 roughness 최소화 공정 개발

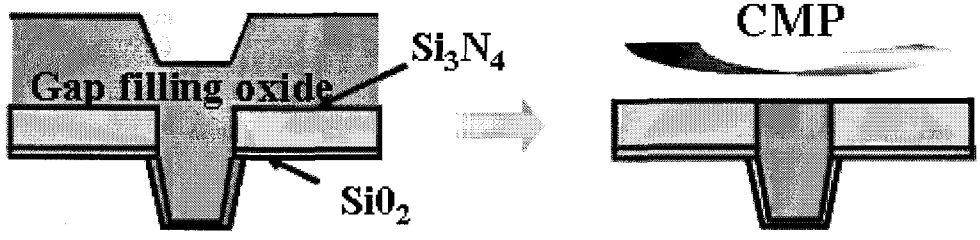
- 슬러리에 첨가된 계면활성제 농도에 따른 nanotopography 의존성 평가
  - 계면활성제의 농도에 따른 nanotopography 의존성 평가
  - 웨이퍼 표면 roughness 개선을 위해 산화막과 질화막의 고선택비 구현
  - 계면활성제의 농도 및 분자량에 따른 nanotopography 제어

- 나노 세리아 슬러리의 비선형 Prestonian 거동을 통한 웨이퍼의 nanotpography 의존성 개발
  - 나노 세리아 연마입자의 농도에 따른 웨이퍼의 roughness 의존성 평가
  - 나노 세리아 연마입자의 크기, 계면활성제의 농도, 압력 의존성에 따른 nanotopography 특성 평가
  - 웨이퍼의 nanotpography 전산모사를 통한 roughness 제어 기술 확보

다. 연구 성과

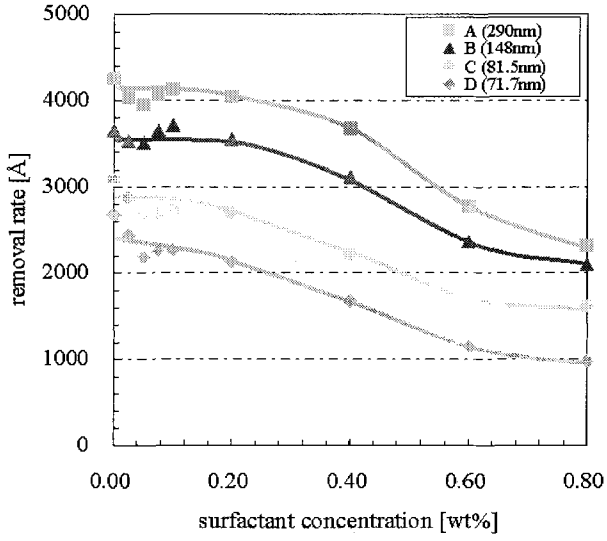
(1) STI CMP에서 나노 세리아 슬러리의 선택적 제거량의 메카니즘에 대한 연구

(가) STI CMP



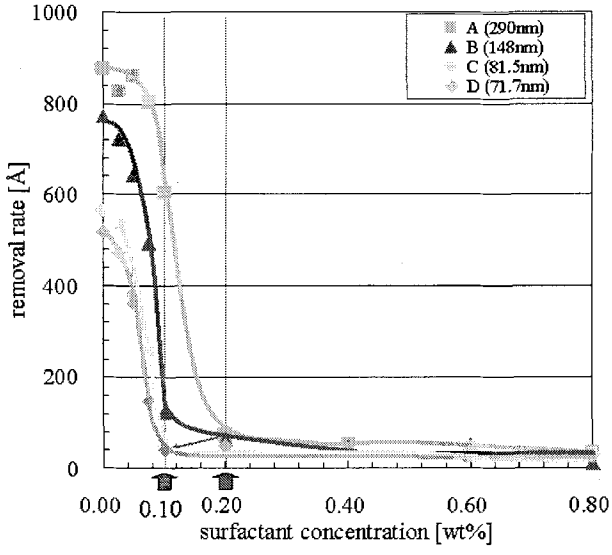
- STI는 위와 같은 구조를 하고 있으며, Gap filling oxide를 CMP하기 위해 Nitride/Oxide의 고 선택비를 가지는 Ceria Slurry가 사용 되어지고 있음.

(나) Oxide Removal Rate versus Surfactant Concentration



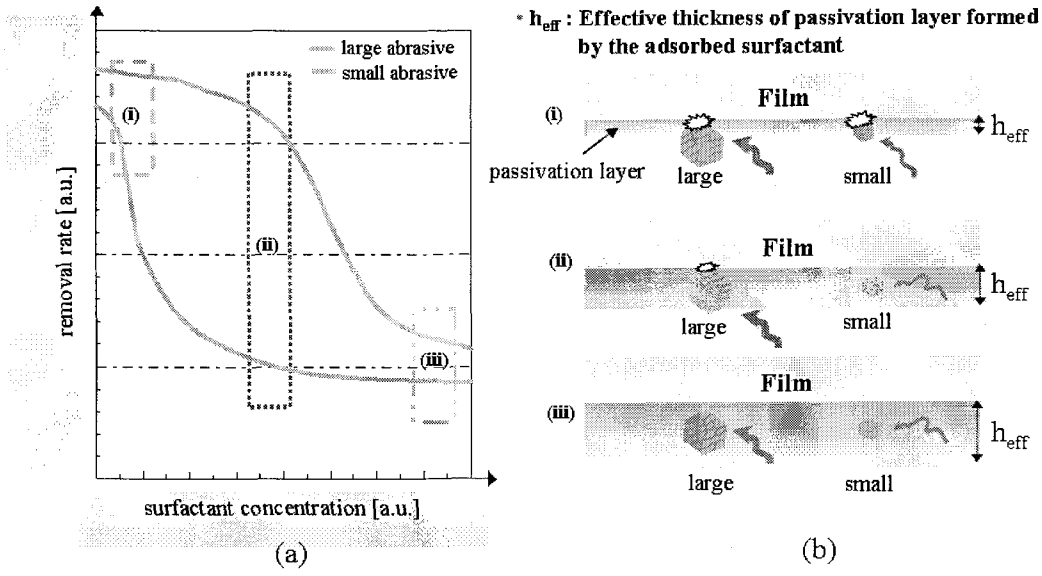
- 연마 입자의 크기가 일정하고 계면활성제의 농도가 증가함에 따라 산화막 제거속도가 완만하게 떨어짐.
- 입자 크기가 작아질수록 계면활성제의 농도가 증가함에 따라 산화막 제거속도가 더 크게 떨어짐.

(다) Nitride Removal Rate versus Surfactant Concentration



- 질화막의 제거속도에서는 산화막과 유사한 거동을 나타내었으며 특히 계면활성제의 농도가 0.1wt%이상에서는 질화막 제거속도가 급격하게 떨어져 그 이상의 농도에서는 거의 포화상태가 되는 현상을 통해 한계 농도를 찾음.

(라) Abrasive Size and Viscos Resistance



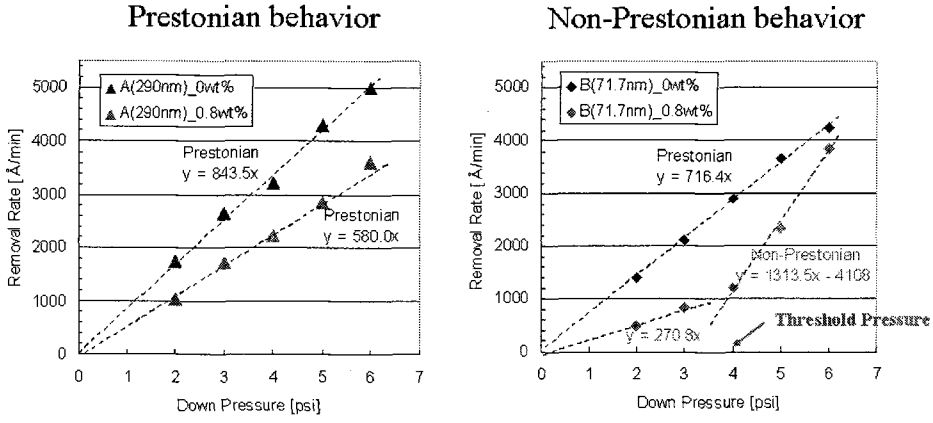
- 계면활성제의 농도에 따라 산화막과 질화막 표면에 나타나는 정전기적인 인력의 차이에 의해 흡착된 층이 다르므로 각각의 제거속도가 달라진다는 연마제의 유체역학 거동에 근거한 우리의 모델을 뒷받침 해줌.

(마) 연구결과

- 연마 입자의 크기가 일정하고 계면활성제의 농도가 증가함에 따라 산화막 제거속도가 완만하게 떨어지며 입자 크기가 작아질수록 계면활성제의 농도가 증가함에 따라 산화막 제거속도가 더 크게 떨어짐.
- 질화막의 제거속도에서는 산화막과 유사한 거동을 나타내었으며 특히 계면활성제의 농도가 0.1wt%이상에서는 질화막 제거속도가 급격하게 떨어져 그 이상의 농도에서는 거의 포화상태가 되는 현상을 통해 한계 농도를 찾음.
- 이를 통해 계면활성제의 농도에 따라 산화막과 질화막 표면에 나타나는 정전기적인 인력의 차이에 의해 흡착된 층이 다르므로 각각의 제거속도가 달라진다는 연마제의 유체역학 거동에 근거한 우리의 모델을 확인함.

(2) STI CMP에서 나노 세리아 슬러리의 non-Prestonian 거동에 대한 연마 입자 크기와 계면 활성제의 농도의 영향

(가) 슬러리에 대한 Perstonian 거동과 non-Prestonian 거동의 영향



Slurry A(290nm)

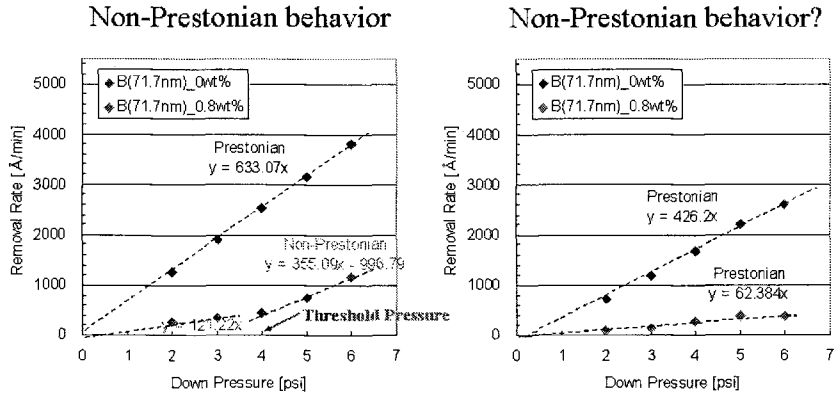
Abrasive Concentration	Surfactant Concentration
1wt%	0, 0.8wt%

Slurry B(71.7nm)

Abrasive Concentration	Surfactant Concentration
1wt%	0, 0.8wt%

- 연마 입자 농도가 1wt%이며 크기가 큰 슬러리 A 인 경우 계면활성제의 농도 증가와 압력 증가에 따라 Prestonian 거동을 보임.
- 연마 입자 농도가 1wt%이며 크기가 작은 슬러리 B 인 경우 계면활성제의 농도 증가가 증가할 때 일정 압력까지 Prestonian 거동을 보이다가 일정 압력이후 non-Prestonian거동을 보임.

(나) 슬러리에 대한 Perstonian 거동과 non-Prestonian 거동의 영향



Slurry B(71.7nm)

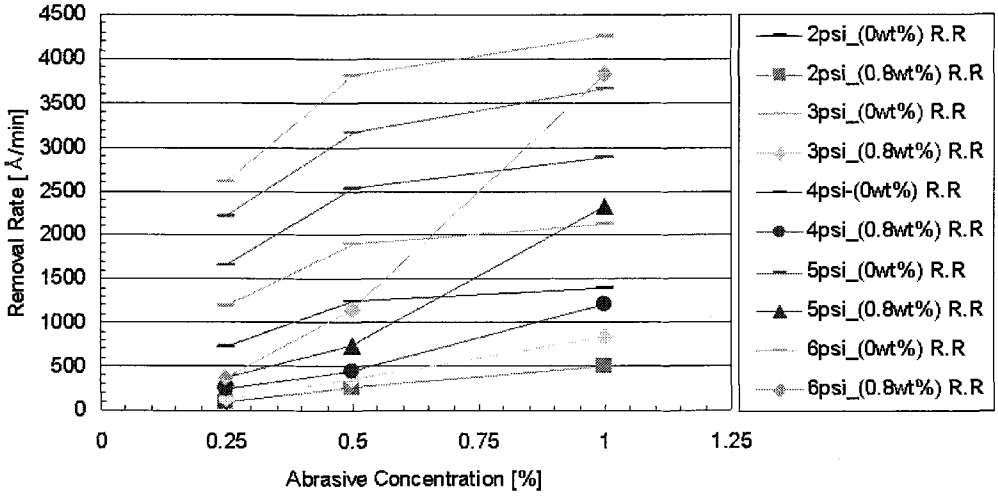
Abrasive Concentration	Surfactant Concentration
0.5wt%	0, 0.8wt%

Slurry B(71.7nm)

Abrasive Concentration	Surfactant Concentration
0.25wt%	0, 0.8wt%

- 연마 입자 농도가 0.5wt%이며 크기가 작은 슬러리 B 인 경우 계면활성제의 농도 증가가 증가할때 일정 압력까지 Prestonian 거동을 보이다가 일정 압력 이후 non-Prestonian거동을 보임.
- 연마 입자 농도가 0.25wt%이며 크기가 작은 슬러리 B 인 경우 계면활성제의 농도 증가와 압력증가에 따라 Prestonian 거동을 보임.

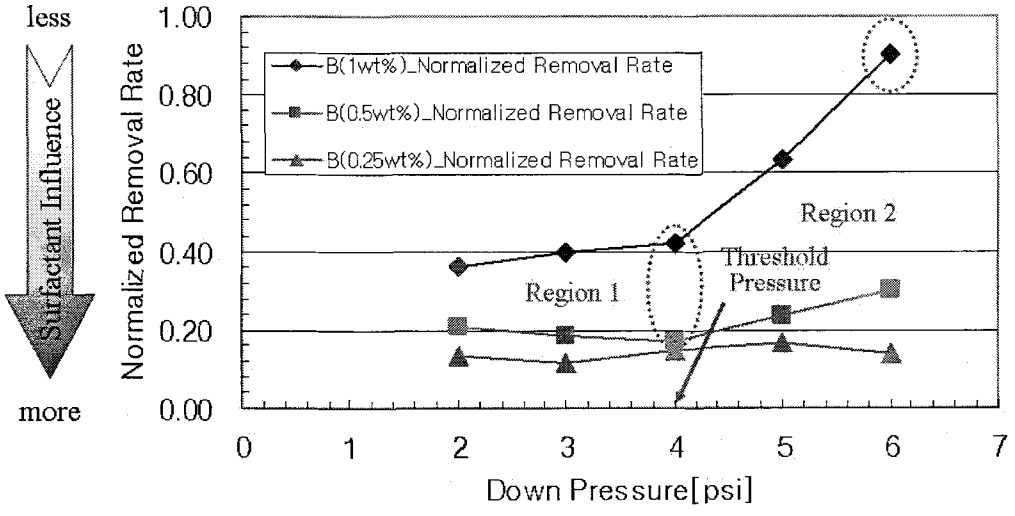
(다) 연마 입자와 계면 활성제의 농도에 대한 연마 제거량 변화



- 연마 입자 농도와 계면 활성제 농도의 압력 변화에 따른 연마 제거량 비교.
- 연마 입자 농도가 0.25wt%이상에서 계면활성제 농도 0.8wt%에 압력 증가에 따라 non -Prestonian 거동을 보임.

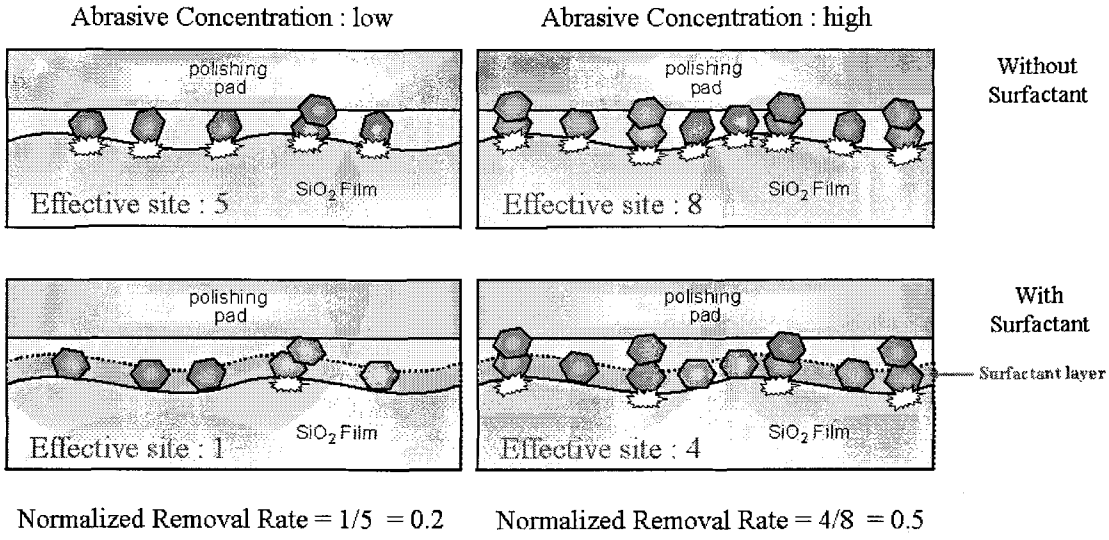
(라) 계면활성제의 농도 차이에 대한 평균화된 연마 제거량

❖ Normalized Removal Rate = Surfactant 0.8wt% R.R / Surfactant 0wt% R.R



- 연마 입자 농도가 1wt%와 0.5wt%에서 문턱 압력 4psi이상에서 계면 활성제의 농도 차이에 대한 평균화된 연마 제거량을 통해 non-Prestonian 거동을 보임.
- 연마 입자 농도가 0.25wt%에서는 문턱 압력 4psi이상에서도 계면활성제 농도 차이에 대한 평균화된 연마 제거량을 통해 non-Prestonian 거동을 보이지 않음.

(마) 연마 입자 농도의 영향에 대한 개략적인 모델



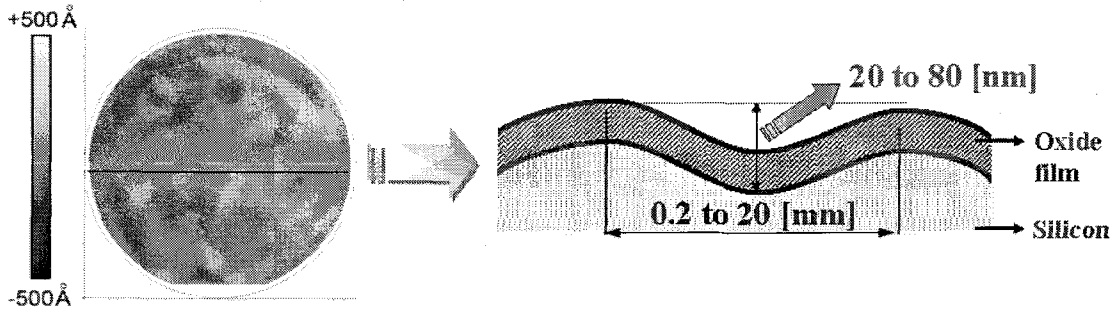
- 연마 입자 농도가 적을 경우에는 overlapping된 연마 입자 수가 적어 웨이퍼 표면에 닿아 평균화된 연마 제거량이 적음.
- 연마 입자 농도가 많을 경우에는 overlapping된 연마 입자 수가 많아 웨이퍼 표면에 닿아 평균화된 연마 제거량이 많음.

(바) 연구결과

- 계면 활성제의 농도를 증가시킬 때, 크기가 큰 연마 입자는 일정 압력 이상의 CMP 후의 연마된 산화막 제거량을 통해 Prestonian 거동을 보임 .
- 계면 활성제의 농도를 증가시킬 때, 크기가 작은 연마 입자는 일정 압력 이상의 CMP 후의 연마된 산화막 제거량을 통해 non-Prestonian 거동을 보임.
- 이를 통해 다음과 같이 overlapping된 연마 입자 통한 개략적인 모델을 제시함.
- 연마 입자 농도가 적을 경우에는 overlapping된 연마 입자 수가 적어 웨이퍼 표면에 닿아 평균화된 연마 제거량이 적음.
- 연마 입자 농도가 많을 경우에는 overlapping된 연마 입자 수가 많아 웨이퍼 표면에 닿아 평균화된 연마 제거량이 많음.

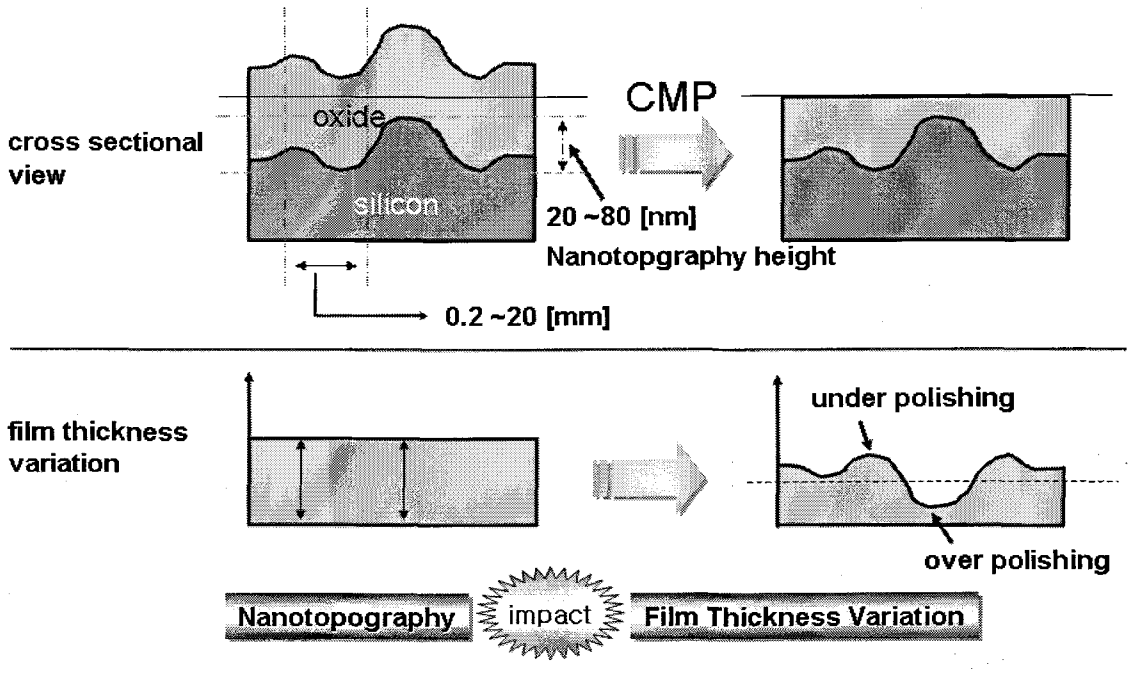
(3) STI CMP에서 나노 세리아 슬러리의 연마 입자 크기와 계면 활성제의 농도에 대한 Nanopotography의 영향

(가) Nanopotography의 정의



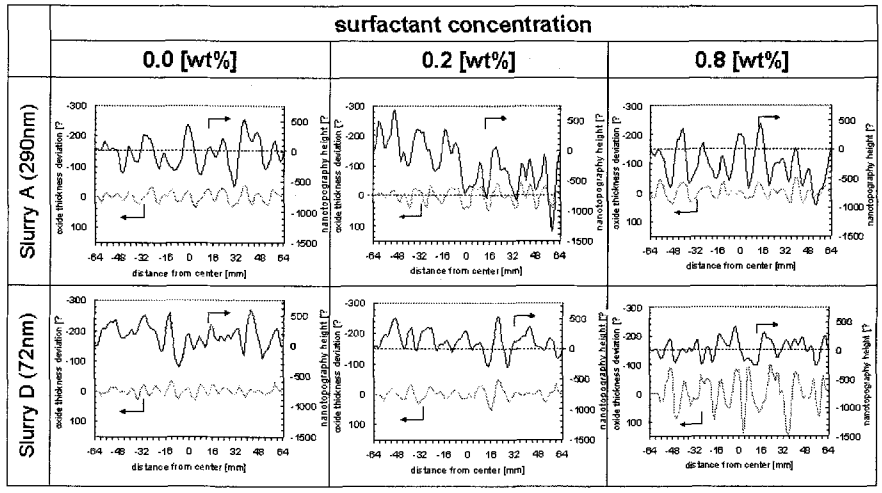
- Backside chucking이 없을 때 웨이퍼 표면의 height variation이 20~80[nm]이고, lateral wavelength가 0.2~20[mm]의 막질 두께 변화를 말함.

(나) 막질 두께 변화에 따른 Nanotopography의 영향



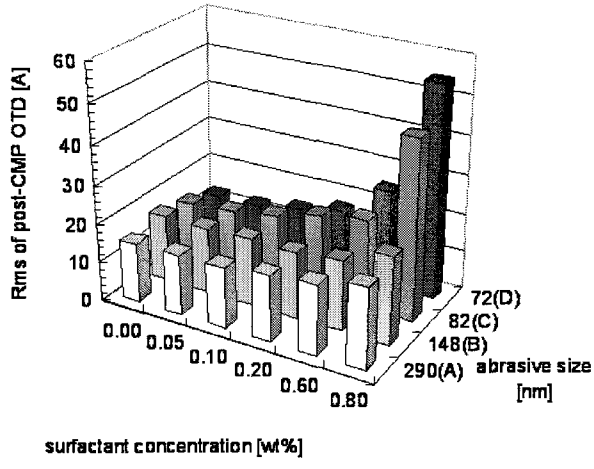
- Nanotopography의 영향에 의해 웨이퍼 표면의 CMP 후, 남은 막질의 두께 변화가 일어남.

(다) Experimental results on nanotopography impact 1



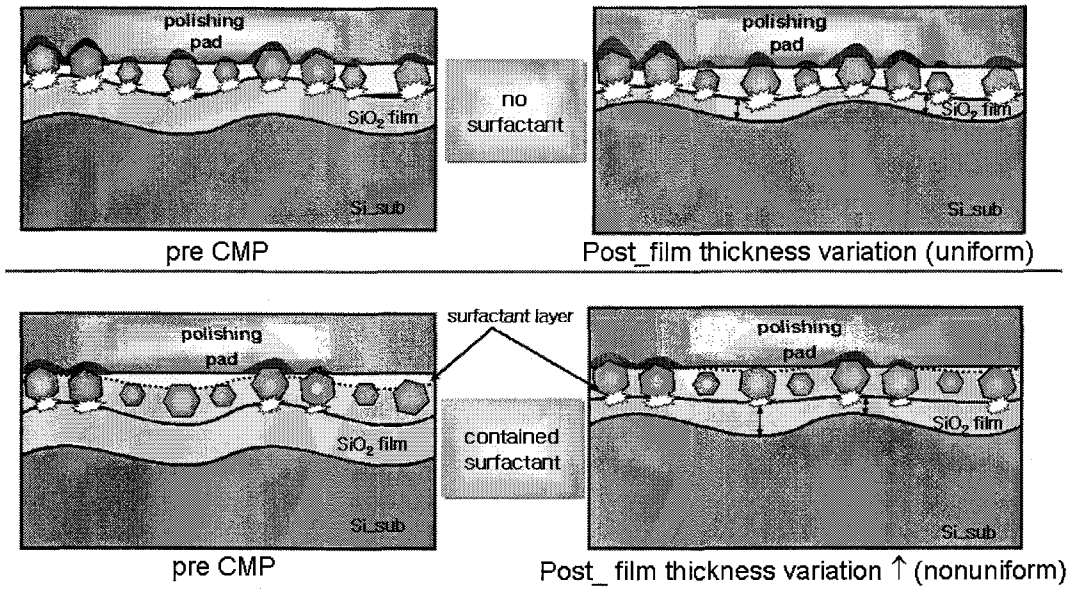
- 입자사이즈가 가장 큰 Slurry A와 가장 작은 B를 surfactant concentration을 0~0.8wt%로 증가하여 실험한 결과임. (그래프 상에서 위쪽의 곡선이 NH이며 아래쪽이 OTD).
- 입자 사이즈가 큰 A의 경우 surfactant 농도를 증가하여도 OTD의 변화는 크지 않지만, 입자 사이즈가 작은 B의 경우 surfactant 농도가 증가할 수 록 OTD의 변화가 심한 것을 실험결과 알 수 있었음.

(라) Experimental results on nanotopography impact 2



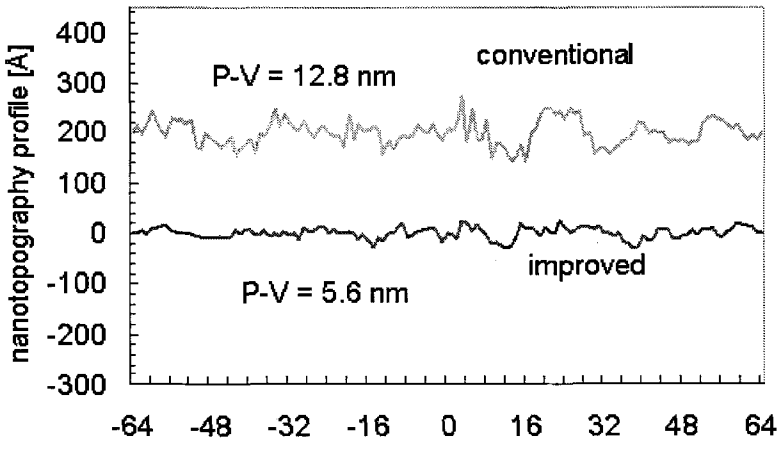
- Surfactant concentration이 증가하고, 연마 입자 사이즈가 작아질 수 록 Oxide Thickness Deviation(OTD)이 커지는 것을 알 수 있음.

(마) 계면 활성제의 농도에 대한 막질 두께 변화의 개략적 모델



- 계면 활성제의 농도가 많아질수록 nanotopography의 영향의해 막질 두께 변화가 커짐 .
- 계면 활성제의 농도가 적을수록 nanotopography의 영향의해 막질 두께 변화가 작음.

(바) Conventional 웨이퍼 CMP 공정과 나노토포그라피가 적용된 CMP 공정에서 개선된 P-V값



- 웨이퍼 표면 두께 변곡 < 6nm 수준의 나노토포그라피 CMP 공정 기술 개발
  : 웨이퍼 연마에서 최적의 계면활성제 농도와 연마입자의 크기를 선정하여 슬러리의 분산안정성 최적화를 통해 나노토포그라피 CMP 공정을 진행한 결과, 기존의 나노토포그래피를 고려하지 않은 CMP 공정에 비해 웨이퍼의 PV(Peak to Valley)값이 개선된 공정기술을 개발함

(사) Preston's equation

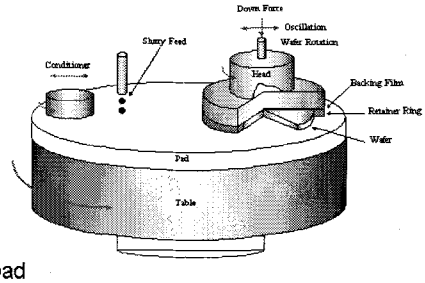
$$RR\,[Å/min] = \eta \cdot p \cdot v$$

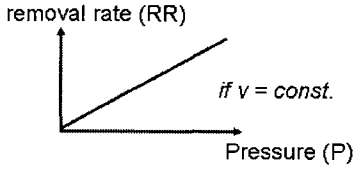
RR : removal rate

η : Preston's constant

p : polishing pressure

v : relative velocity between wafer & pad

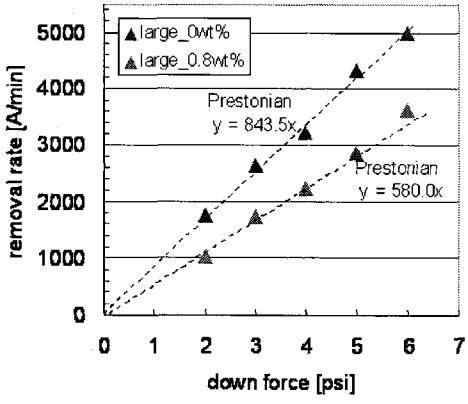




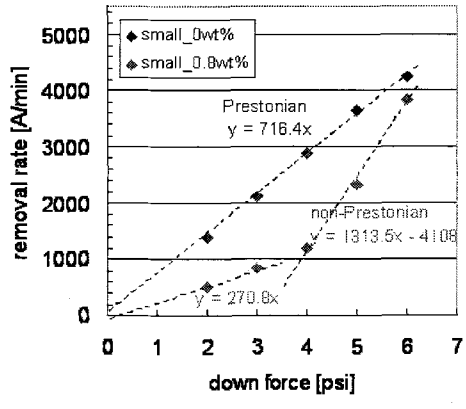
*F.W. Preston: J. Soc. Glass Tech. 11 (1927) 247.

- Removal rate은 polishing pressure(p)와 wafer와 패드 사이의 속도(v)에 비례하여 증가하는데 이것을 Preston's equation이라고 한다.
- 만약 v가 일정하다면, removal rate은 pressure(p)가 증가할수록 비례하여 증가할 것이다.

(아) Prestonian / Non-Prestonian Behavior of the Slurries



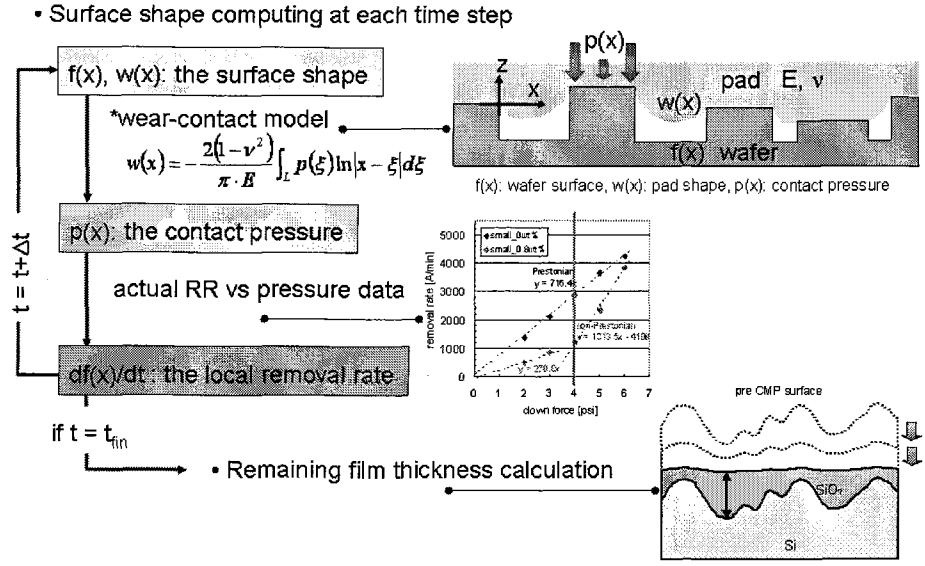
slurry A (290nm)



slurry D (72nm)

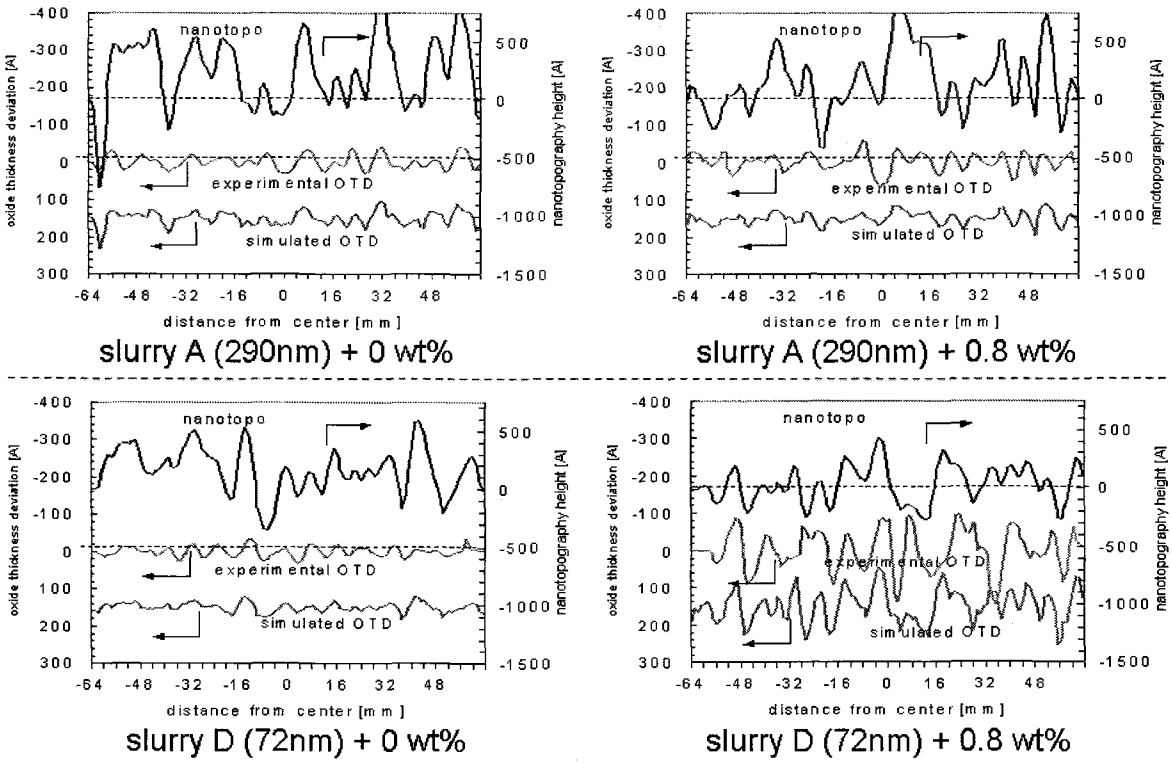
- 연마입자 사이즈가 가장 큰 슬러리 A와 가장 작은 슬러리 B에 surfactant를 첨가한 것과 첨가 하지 않은 것을 압력 변화를 주어 실험한 결과이다.
- 연마입자 사이즈가 가장 큰 슬러리 A의 경우는 surfactant를 첨가한 것이나 하지 않은 것 모두 압력에 따라 removal rate이 비례하여 증가하는 Prestonian 거동을 보였지만, 연마입자 사이즈가 가장 작은 슬러 B의 경우 surfactant를 첨가하지 않은 것은 Prestonian 거동을 보였지만 surfactant를 첨가한 것은 낮은 압력에서는 removal rate이 서서히 증가하다가 특정 압력 이상에서는 removal rate이 급격히 증가하는 Prestonian 거동을 나타내지 않는 Non-Prestonian 거동을 보였다.

(자) Schema of Nanotopography Impact Simulation



- wafer shape은 미리 알고 있는 상황에서 각 지점에 걸리는 압력분포를 구해야 하며 wear-contact model을 적용하여 계산하였다.
- 계산된 압력은 실제 실험한 결과 값에 대입하여 그 removal rate를 구했다.
- 이러한 방법으로 target으로 하는 시간까지 반복하여 film 두께를 구하였다.

(차) Simulation Results of Nanotopography Impact

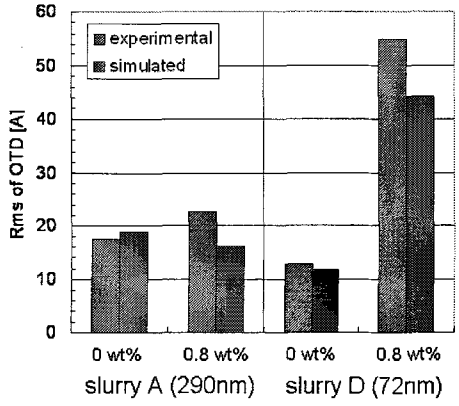


- 연마입자 크기가 가장 큰 슬러리A와 가장 작은 슬러리B의 nanotopography에 대한

실험적인 OTD와 simulation한 OTD 결과이다.

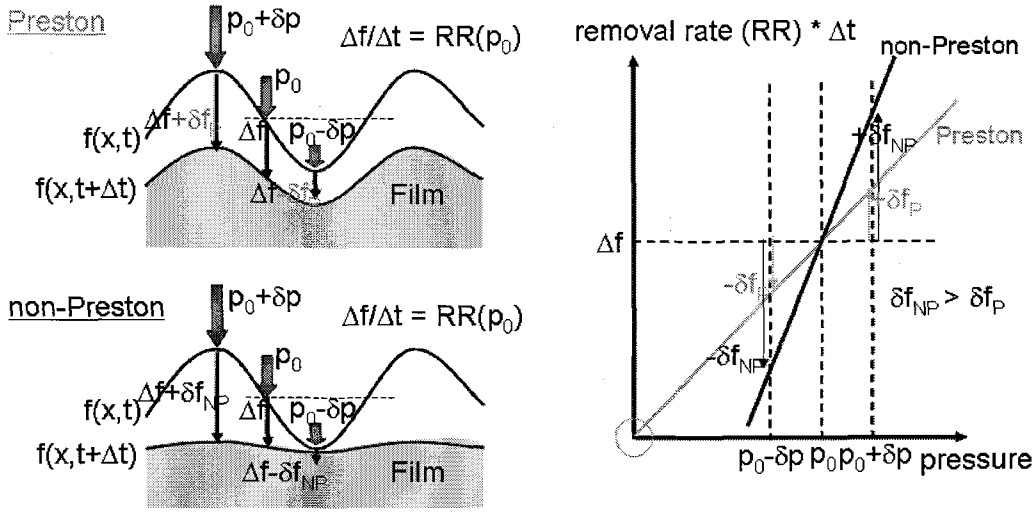
- 실제 실험한 OTD 결과와 simulation된 OTD의 결과가 잘 일치함을 알 수 있다.
- 연마입자 크기가 가장 큰 슬러리A에 surfactant를 첨가하였을 때나 하지 않았을 경우 모두 실험적인 OTD나 simulation된 OTD 모두 큰 변화가 없었다.
- 연마입자 크기가 가장 작은 슬러리B의 경우 surfactant를 첨가하지 않았을 때는 OTD의 변화가 크지 않지만 surfactant를 첨가하였을 경우에는 OTD의 변화가 실험치나 simulation한 결과 값 모두 큰 변화가 있는 것을 알 수 있었다.

(카) Comparison between Experiment and Simulation



- 실험 결과와 simulation한 결과가 잘 일치하는 것을 보여주는 그래프이다.

(타) Non-Prestonian Behavior and Nanotopography Impact

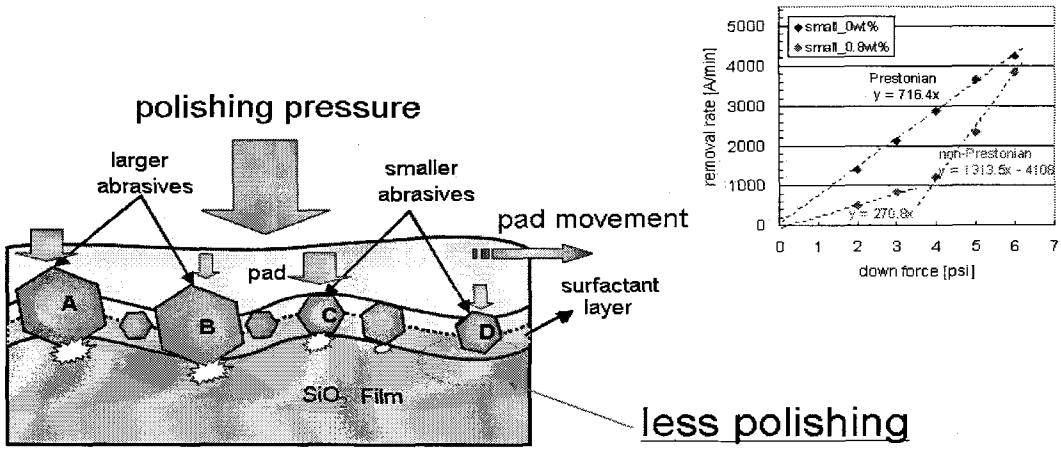


(a) surface advance during CMP (b) removal vs pressure curve

- 오른쪽의 그래프는 Preston과 non-preston의 압력과 removal rate의 관계를 나타낸 그래프이다.

- 왼쪽 그림은 표면에 굴곡이 있을 때, 굴곡의 높은 부분과 낮은 부분에 걸리는 압력 차이와 그에 따른 removal rate의 관계를 도식화 한 것이다.
- Prestonian 이나 Non-Prestonian 모두 굴곡이 높은 곳에서는 평균압력 P0보다 많은 P0+ΔP의 압력을 받고 굴곡이 낮은 부분에서는 평균압력 P0보다 적은 P0-ΔP의 압력을 받게 된다.
- 하지만 오른쪽 그래프에서 보는 바와 같이 x축의 같은 압력 P0+ΔP라 할지라도 y축의 removal rate의 차이는 Prestonian일 때 보다 Non-Prestonian일 때가 더 큰 것을 알 수 있다.
- 마찬가지로 반대의 결과 굴곡이 낮은 곳에서의 removal rate의 차이는 Pretonian 보다 Non-Prestonian일 때 removal rate이 낮은 것을 알 수 있었다.
- 따라서 Non-Prestonian은 굴곡이 높은 부분은 Prestonian일 때 보다 더 빨리 polishing 되고 굴곡이 낮은 부분은 더 늦게 polishing 되어 Prestonian 보다 더 평탄화가 되는 것을 그림을 통해 알 수 있다.

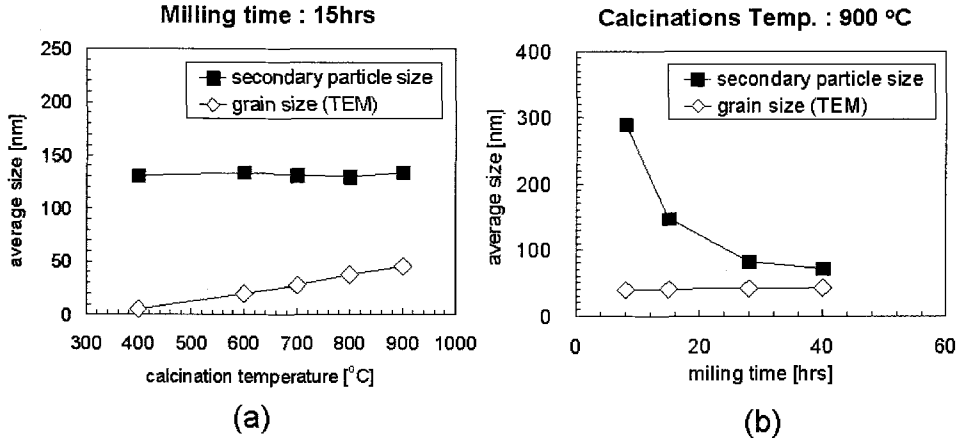
(파) Surfactant, Abrasive Size and Non-Prestonian Behavior



- wafer 표면에 surfactant layer가 형성이 되고 낮은 압력이 가해질 때 연마입자 사이즈가 큰 것은 굴곡이 높고 낮음에 관계없이 터치되어 polishing 되지만, 연마입자 사이즈가 작은 것은 낮은 압력에서 굴곡이 높은 곳에서는 쉽게 터치되지만 굴곡이 낮은 곳은 그림에서처럼 surfactant layer층에 의해 터치되지 않아 removal rate이 낮게 나오게 된다고 생각되어진다.
- 높은 압력에서는 연마입자 사이즈에 상관없이 압력에 의해 모두 wafer 표면에 터치되어 removal rate이 급격이 증가하는 것이라고 생각되어진다.

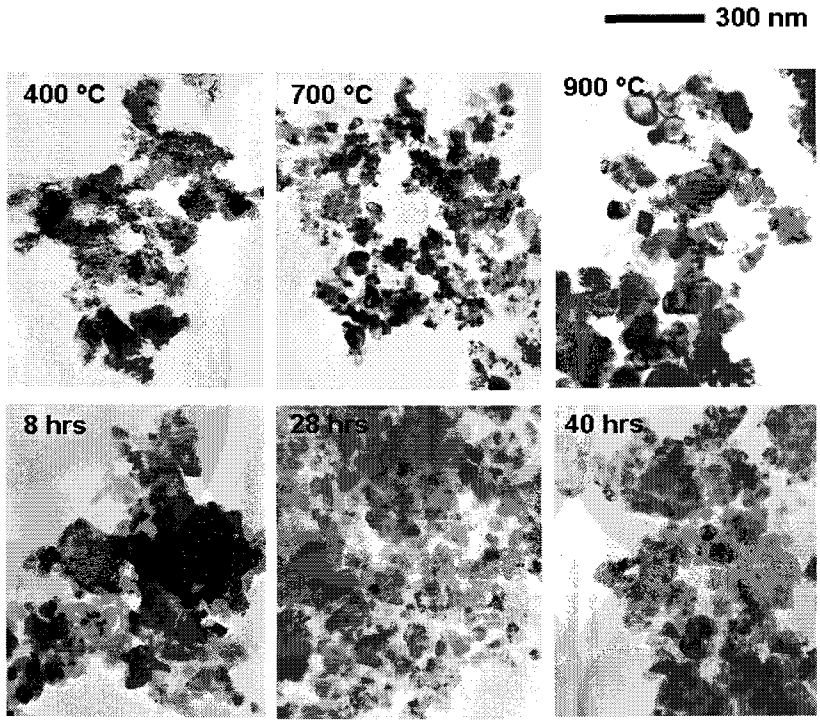
(4) STI CMP에서 나노 세리아 슬러리의 연마 입자 결정 특성에 대한 평탄화 효과의 의존성

(가) Grain & Secondary Particle Size 제어



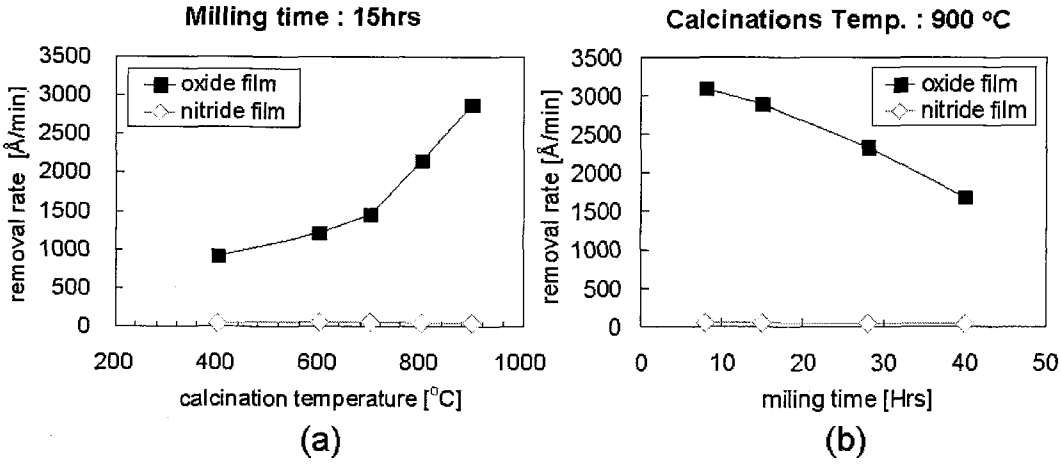
- (a)에서처럼 Calcination Temperature를 변화시킴으로써 Grain Size를 제어시킴.
- (b)에서처럼 Milling Time을 변화시킴으로써 Secondary Particle Size를 제어시킴.

(나) TEM of Calcination temp and Milling time



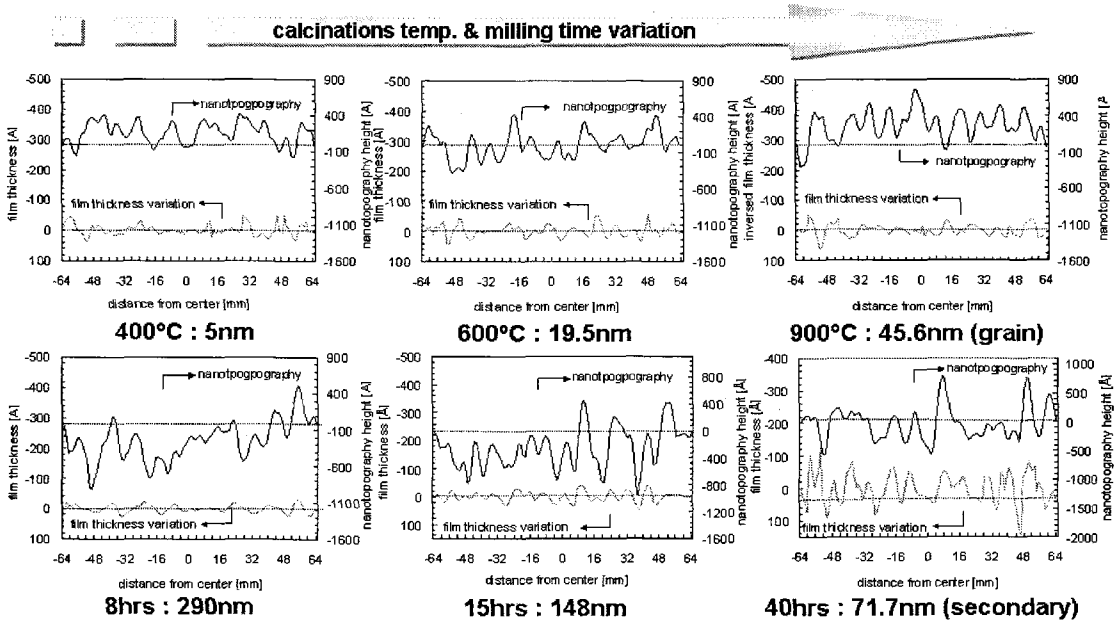
- Calcination Temp.이 올라갈 수 록, Milling Time이 증가할 수 록 Grain Size가 증가 하는 것을 볼 수 있다.

(다) Grain & Secondary Particle Size 제어를 통한 연마 제거량



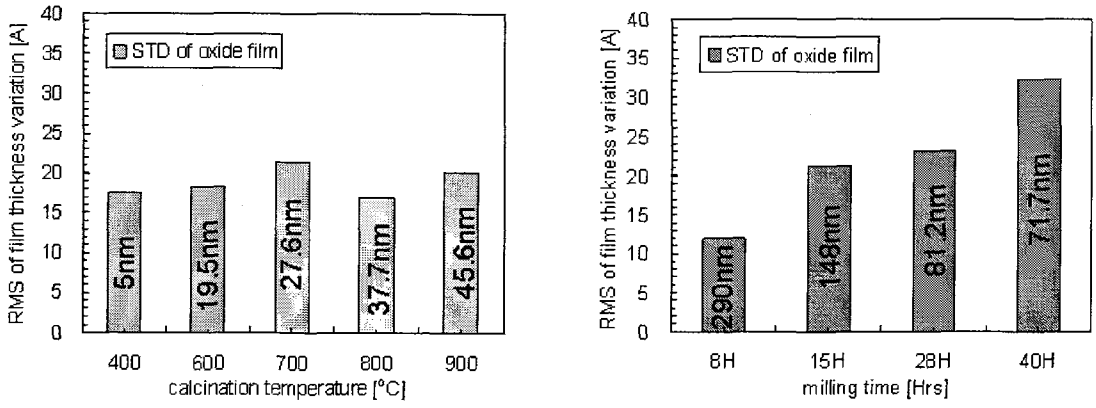
- (a)에서처럼 Calcination Temperature가 증가할수록 산화막의 연마 제거량은 증가하며, 질화막은 일정한 연마 제거량을 보임.
- (b)에서처럼 Milling Time을 증가할수록 산화막의 연마 제거량은 급속히 감소하며, 질화막은 일정한 연마 제거량을 보임.

(라) Grain & Secondary Particle Size에 의한 nanotopography 영향



- Calcination Temperature제어에 의한 granin size는 nanotopography 영향이 없음을 보임.
- Milling Time제어에 의한 secondary particle size가 작을수록 nanotopography 영향이 커짐을 보임.

(마) Grain & Secondary Particle Size에 의한 연마된 산화막 두께 변화



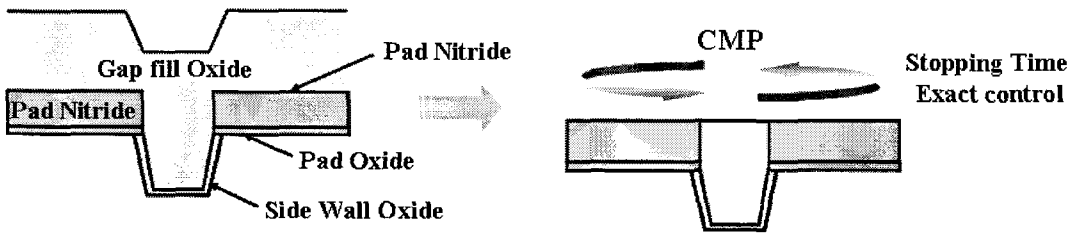
- Calcination Temperature제어에 의한 granin size는 연마된 산화막 두께 변화가 없음을 보임.
- Milling Time제어에 의한 secondary particle size가 작을수록 연마된 산화막 두께 변화가 커짐을 보임.

(바) 연구결과

- Calcination Temperature제어에 의한 granin size는 연마된 산화막 두께변화와 nanotopography 영향이 없음을 보임.
- Milling Time제어에 의한 secondary particle size가 작을수록 연마된 산화막 두께변화와 nanotopography 영향이 커짐을 보임.

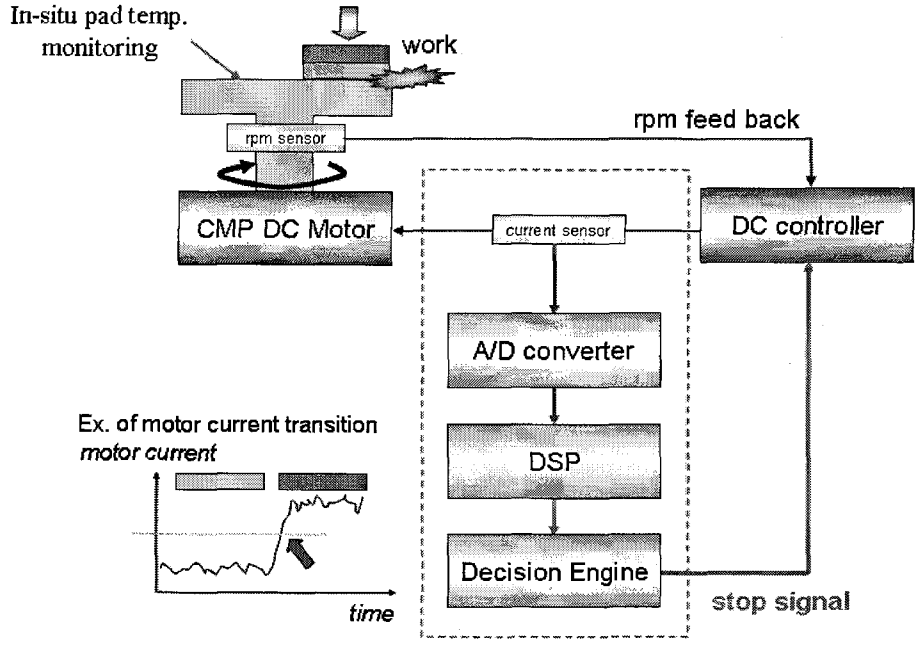
(5) CMP 가공종점 검출을 위한 연구

(가) CMP 가공종점 검출 장치(End Point Detection



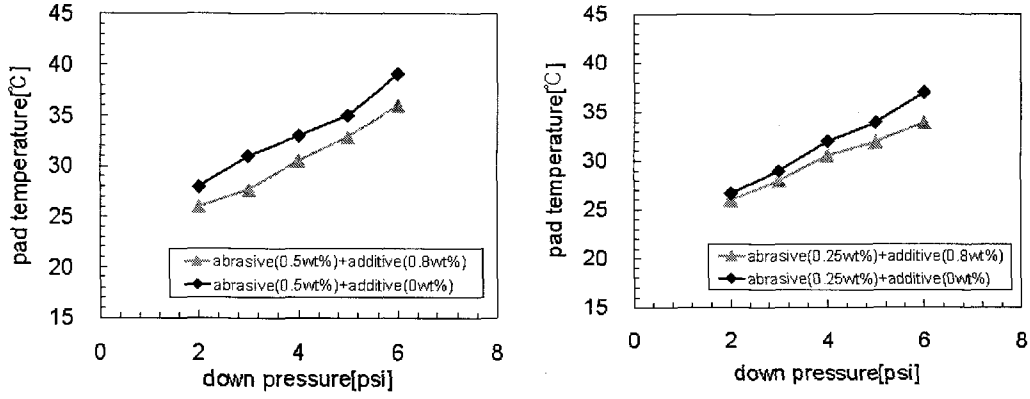
- CMP 공정에서 산화막과 질화막과의 선택적인 연마 제거비를 실시간으로 연마가공 종점을 자동으로 검출 할 수 있는 EPD장치가 필수적임.

(나) 본 연구실에서 개발한 CMP 가공종점 검출 장치(End Point Detection)모식도



- 여러 가공종점 검출 방법 중 토크 검출법과 적외선 온도 측정법을 택하여 본 연구실 CMP 장비에서 연마 헤드 부분의 DC Motor의 전류와 패드 온도를 실시간으로 측정하여 정확히 연마 가공 종점을 제어하는 CMP 가공종점 검출 장치를 개발함.

(다) 산화막질 연마 시 연마 패드 표면 온도 측정

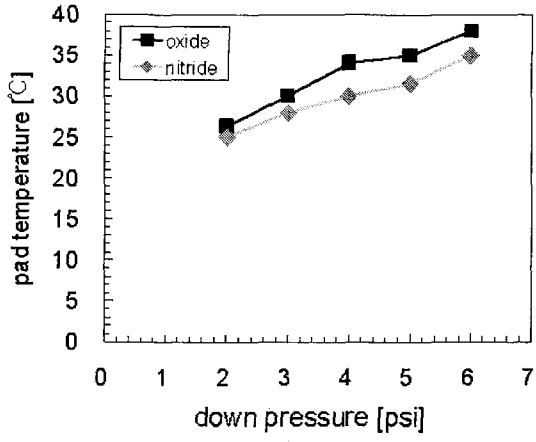


(a) 0.5wt% abrasive concentration Vs. surfactant concentration variation

(b) 0.25wt% abrasive concentration Vs. surfactant concentration variation

- 0.5wt%의 연마 입자 농도에서 첨가제의 농도가 높을수록 산화막질 연마 시 연마 패드 표면 온도는 첨가제를 첨가하지 않은 경우에 비해 온도가 낮음.
- 0.25wt%의 연마 입자 농도에서도 첨가제의 농도가 높을수록 산화막질 연마시 연마 패드 표면 온도는 첨가제를 첨가하지 않은 경우에 비해 온도가 낮음.

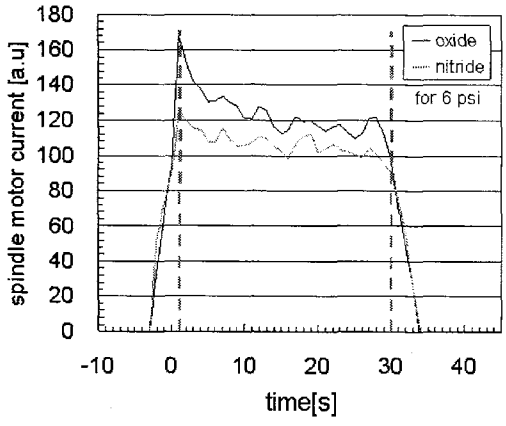
(라) 산화막과 질화막의 연마 시 압력 변화에 따른 연마 패드 표면 온도 측정



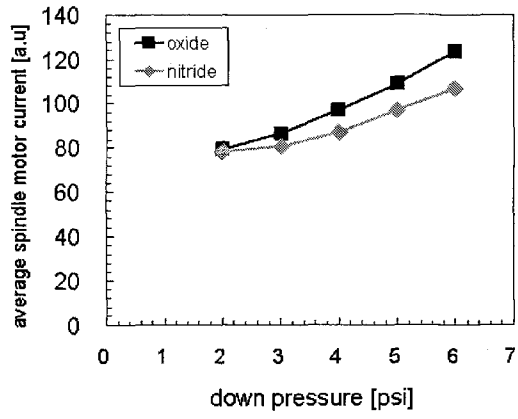
0.8wt% surfactant & 0.5wt% abrasive

- 0.5wt%의 연마 입자 농도에서 첨가제의 농도가 0.8wt%일 때 산화막과 질화막의 선택적 연마 시 연마 패드 표면 온도는 산화막이 질화막보다 더 높음.

(마) 산화막과 질화막의 연마시 시간과 압력 변화에 따른 연마 헤드 모터 전류 측정



(a) Spindle motor current



(b) Average spindle motor current

- 산화막과 질화막의 연마 시 동일 압력에서 시간에 따라 산화막의 연마 헤드 모터 전류값이 질화막보다 더 높음.
- 산화막과 질화막의 연마 시 압력 증가에 따라 산화막의 연마 헤드 모터 전류값이 질화막보다 더 높음.

(바) 연구결과

- 산화막과 질화막의 연마 시 연마 패드 표면 측정과 연마 헤드 모터 전류 측정을 통해서 선택적 연마 제거를 위한 연마 가공종점 검출 장치를 개발.
- 이를 통해 국내 CMP 가공종점 검출 기술력 증대를 기대.

제 3 절 무결정 결함 기술

1. 슈퍼 실리콘 웨이퍼 제조 기술

가. 연구 목표

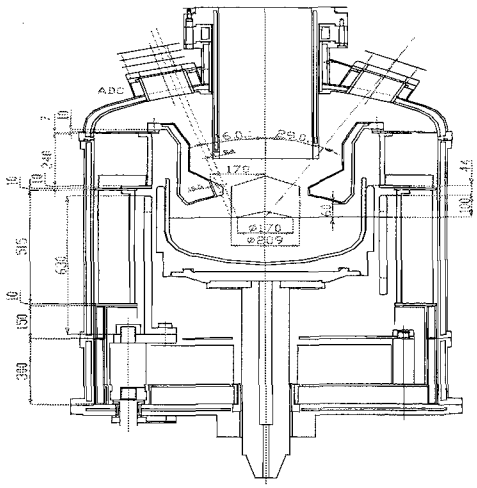
- 표면 결함 밀도 : < 1개/cm^2
- 무결정 결함 : crystal defect-free

나. 연구 추진 전략

- FEMAG 시뮬레이터를 이용한 무결정 결함 Hot-zone 설계
- Sumitomo-Mitsubishi Silicon Corp.(일본)과의 협력하에 무결정 결함 잉곳 성장
- Hot-zone 및 process parameter 변경에 의한 pure silicon margin 확인
- *Universite catholique de Louvain*의 Dupret 교수 연구실과의 협력을 통한 FEMAG 개선
- *Universite catholique de Louvain*의 Dupret 교수 연구실에 연구원 파견을 통한 프로그램 개발

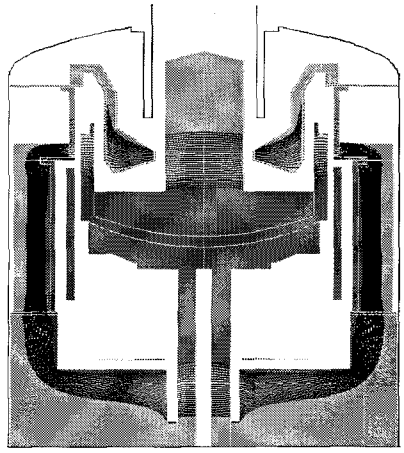
다. 연구 성과

(1) 무결정 결함 8인치 Hot-zone 설계기술



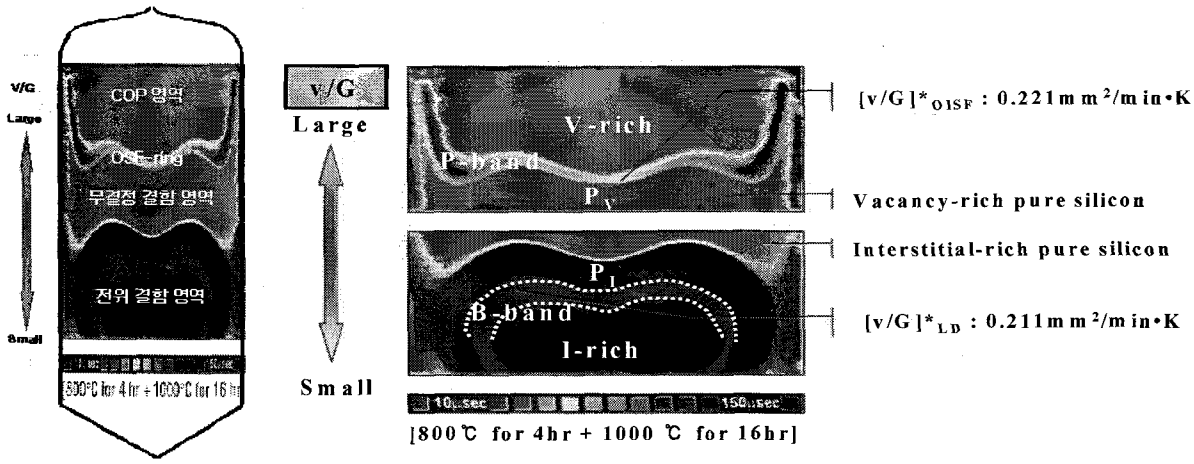
- Ingot의 melt/solid의 온도 구배를 최소화하기 위해 heat cap, insulator, cooling chamber, carbon parts 등을 디자인하는 기술력 확보
- Ar flow rate 및 magnetic field 인가에 의한 산소 농도 및 결정결함 제어 기술력 확보

(2) 무결정 결함 Heat Flux 컴퓨터 모사기술(FEMAG)



- Hot zone 설계기술에 의해 개발된 디자인을 FEMAG을 통하여 Heat flux 등의 컴퓨터 모사기술 확보
- melt/solid의 interface 온도 구배를 최소화하여 pure margin을 극대화하는 시뮬레이션 기술 확보
- Vertical magnetic 인가에 따른 pure margin의 극대화 및 magnetic field의 최적점 도출 기술 확보

(3) 무결정 결함 결정 성장 기술

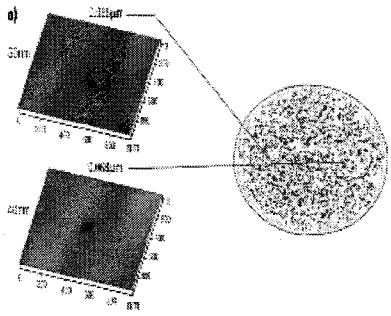


- Hot zone 설계기술 및 컴퓨터 모사기술에 의해 설정된 조건으로 성장된 슈퍼실리콘 잉곳의 일례
- 시뮬레이터에 의한 V/G 계산 및 pure silicon margin 확인.

(4) 일반 실리콘 wafer와 슈퍼 실리콘 wafer의 비교

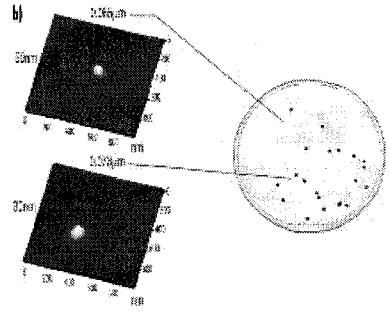
(가) Particle counter 및 AFM image

(일반 실리콘 wafer)



(crystal 표면결함 존재)

(슈퍼 실리콘 wafer)



(crystal 표면 결함 없음)

- AFM에 의해 표면 결함을 확인한 결과 일반 실리콘 웨이퍼에는 표면 결함이 존재하지만, 슈퍼 실리콘 웨이퍼에는 표면 결함이 존재하지 않음.

(나) DSOD defect image(나노 SOI공정연구실 자체제작설비)

① 일반 실리콘 Wafer

② 슈퍼 실리콘 wafer

< 나노 SOI wafer 시작제품 >

(Many defect)

(defect free)

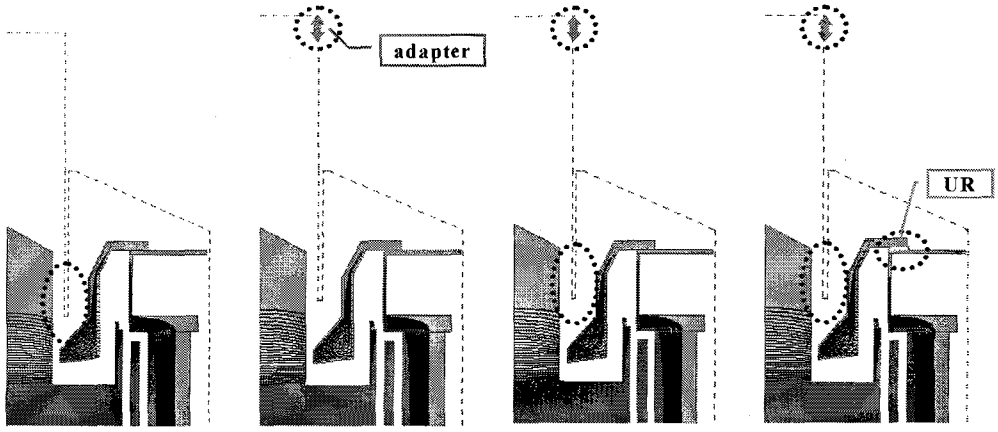
- 시판중인 디지털 카메라에 의한 wafer 표면 결함 검출가능

(5) 결정성장조건 (V/g) 설정 : FEMGA에 의한 컴퓨터 모사기술

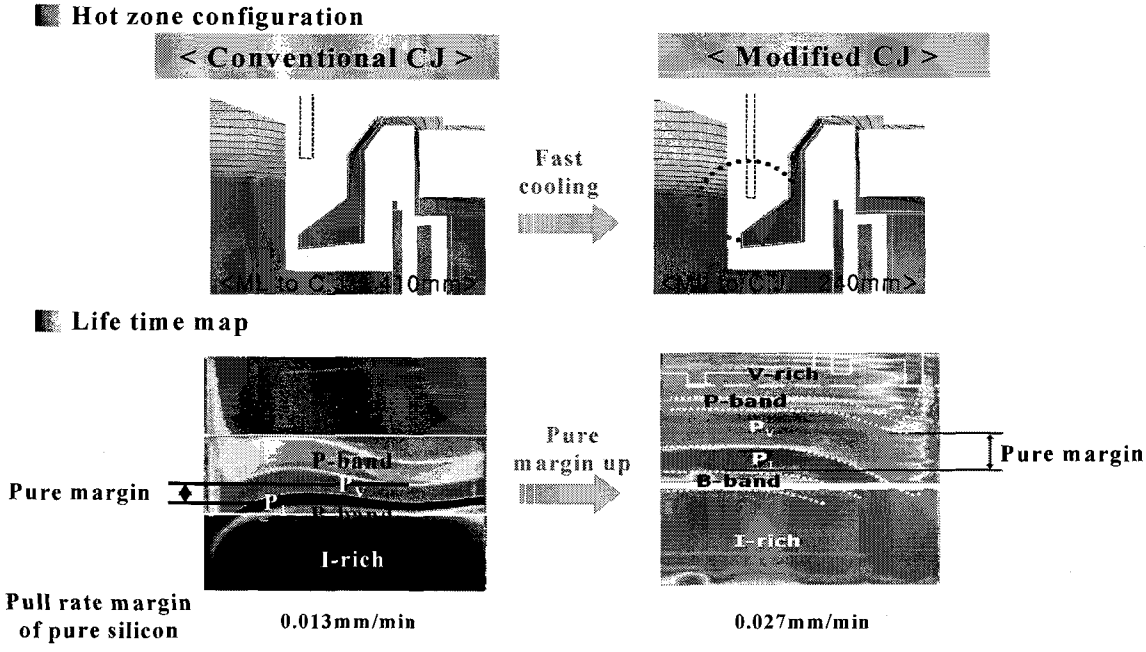
(가) 일반 실리콘 wafer : > 0.221mm2/min·k

(나) 슈퍼 실리콘 wafer : 0.213~0.221mm2/min·k

(5) pure margin 향상을 위한 FEMAG에 의한 컴퓨터 모사 결과



	Long Cooling Jacket Standard	Adapter 60	Adapter 60	Adapter 60
Distance of melt surface to CJ(WJ)	250mm	310mm	300mm	300mm
Melt Level	160mm	160mm	150mm	150mm
Gap	80mm	80mm	70mm	80mm
G-Value	1.899724	1.879252	1.941271	1.902848
△G-Value	0.411512	0.391041	0.450387	0.402000



(6) 연구결과

- 슈퍼 실리콘 웨이퍼 기판 적용 고성능 nano-SOI 웨이퍼 제조 공정 설계 완료 및 무표면 결함 달성
- FEMAG 컴퓨터 모사 프로그램을 이용하여 Hot-zone 설계를 통한 pure silicon margin 향상결과 0.013mm/min에서 0.027mm/min으로 획기적으로 향상되었음.

2. 무결함 본딩 기술

가. 연구 목표

- 표면 결함 밀도 : 1개/cm^2 공정 개발
- 수동 수직 웨이퍼 본더 설비 개발
- 자동 수직 웨이퍼 본더 설비 개발(추가)

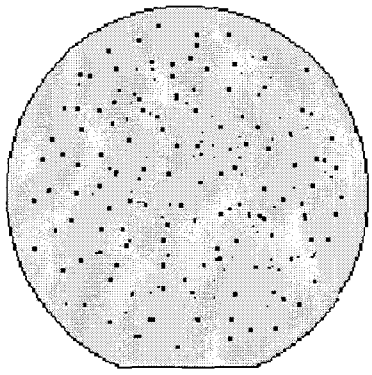
나. 연구 추진 전략

- Hydrophilic 본딩 기술개발
- 수동 수직 웨이퍼 본더 설비개발
- 자동 수직 웨이퍼 본더 설비 개발(추가)
- LG 실트론과 협조체제하에 자동 수직 웨이퍼 본더의 디자인 및 본딩 실험 실시
- 300mm 실리콘 웨이퍼는 LG 실트론에서 공급받아 실시

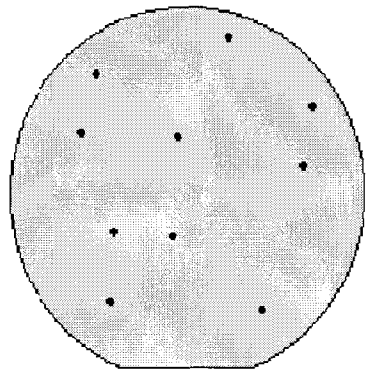
다. 연구 성과

(1) 본딩전 cleaning 방법 설정

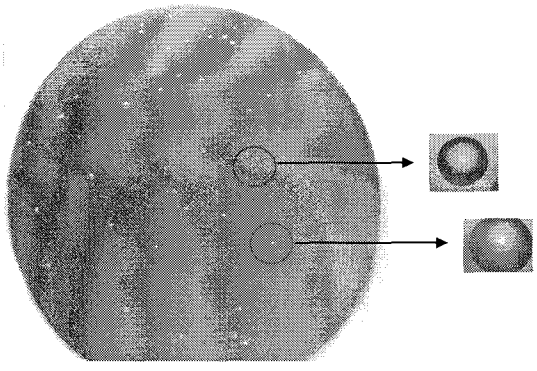
(가) Cleaning 방법에 따른 hydrophilic bonding과 cleavage후 웨이퍼 표면 상태



< Hydrophobic cleaning >
HF only,
HF + DI water

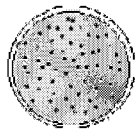
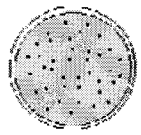
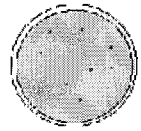
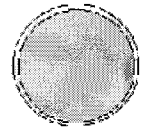


< Hydrophilic cleaning >
SFWC, SC1 + SC2 + DI water,
SC1 + DI water



< star-defect의 morphology >
Dark-hood에서 웨이퍼 표면의
star-defect 관찰

< cleaning 방법에 따른 star-defect의 개수 >

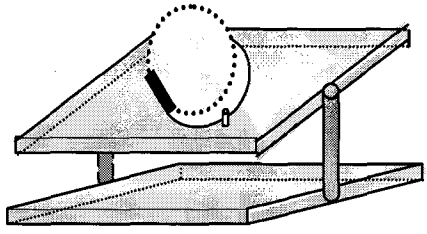
Cleaning	HF only	HF + DI	SFWC	SC1+SC2+DI	SC1 + DI
Star-defect					
No of defect (ea/8" wafer)	70ea/wafer	50ea/wafer	6ea/wafer	8ea/wafer	0ea/wafer

(나) 연구 결과

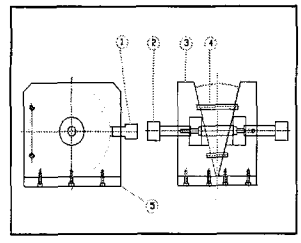
- SC1 + DI water에 의한 cleaning이 가장 낮은 surface defect(star-defect)을 보이며, HF cleaning은 웨이퍼 표면을 hydrophobic 상태로 전환시키고, SC2 cleaning은 Cl기가 존재하여 Cl기에 의한 완벽한 본딩이 이루어지지 않아 웨이퍼 표면 defect 밀도를 높게 함.
- star-defect은 육안 혹은 dark-hood하에서 관찰되며, micro-scope에 의하여 관찰하면 본딩 interface에서 본딩이 되지 않음.
- Hydrophilic에 의한 cleaning 개발을 완료하여 웨이퍼 표면의 defect-free 공정을 실현함.(SC1 base cleaning)

(2) 수동 수직 웨이퍼 본더 설비 개발(200mm 웨이퍼용)

(가) 수동 수직 본더의 개념도 및 설계도

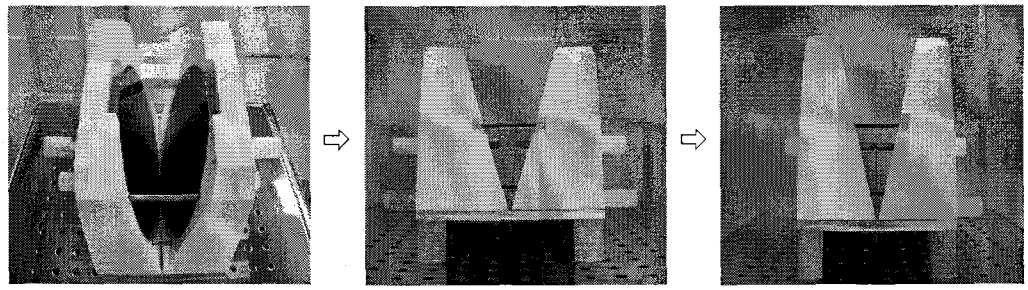


<Conventional bonding>



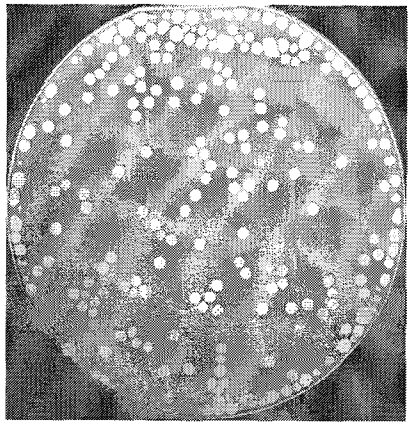
<Vertical bonding>

(나) 수동 수직 웨이퍼 본더의 실물 사진(한양대 자체 디자인 개발)



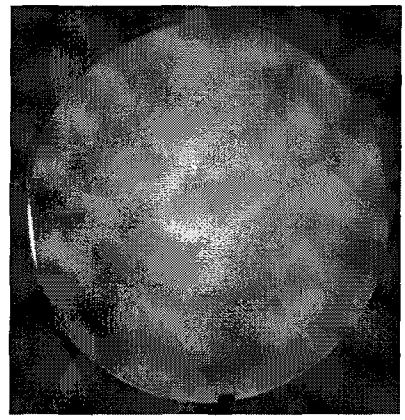
(다) 본더에 따른 표면 결함 비교 분석(ultra sonic에 의하여 측정)

<Conventional bonding>
<horizontal bonder>



(Many micro void defect)

<Vertical bonding>
< 자체 제작 나노 SOI wafer 시제품 >



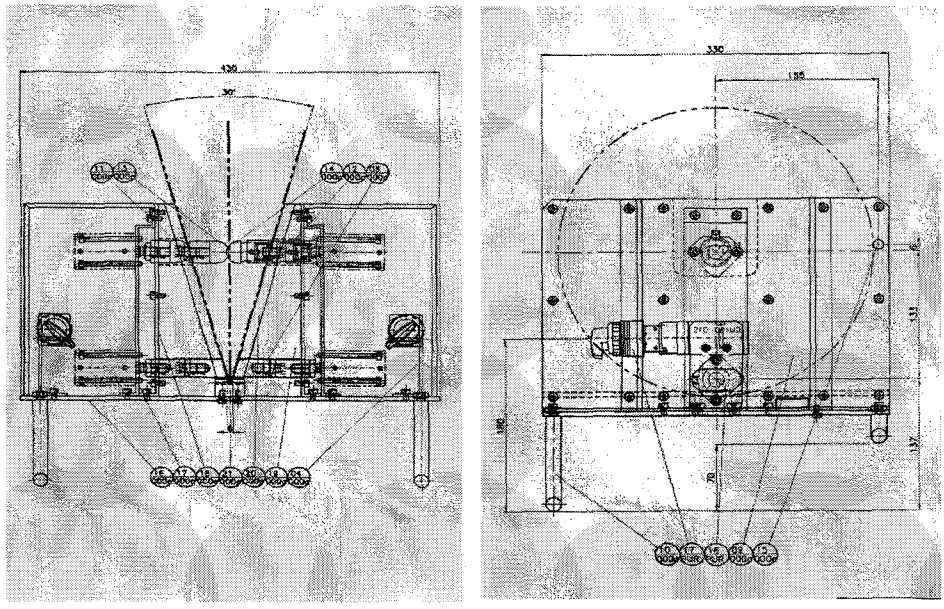
(No void defect)

(라) 연구 결과

- 수동 수직 웨이퍼 본더 설계도 개발 완료
- 수동 수직 웨이퍼 본더 자체 제작 완료하여 공정 적용 중
- 수동 수직 웨이퍼 본더에 의한 본딩된 무결함 나노 SOI 웨이퍼 시제품 제작 및 공정 적용

(3) 자동 수직 웨이퍼 본더 설비 개발(300mm 웨이퍼용)

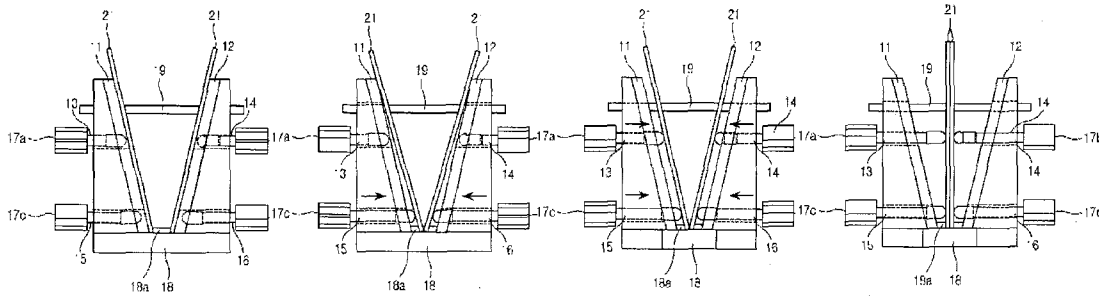
(가) 자동 수직 본더의 개념도 및 설계도(한양대 자체 디자인 개발 : 수동 본더에서 응용)



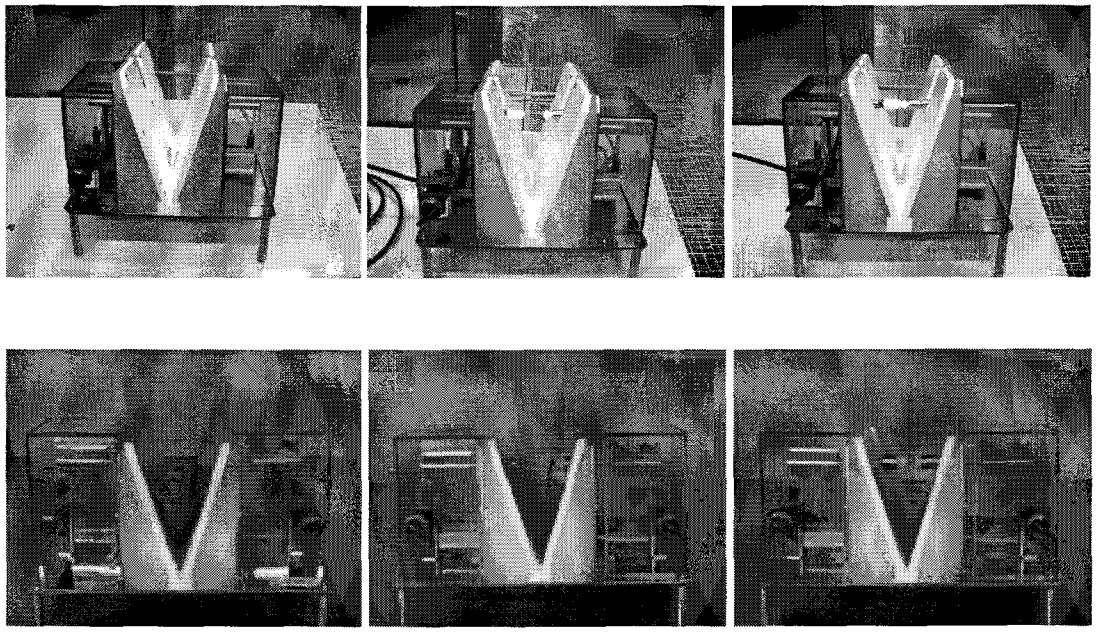
< 정면도 >

< 측면도 >

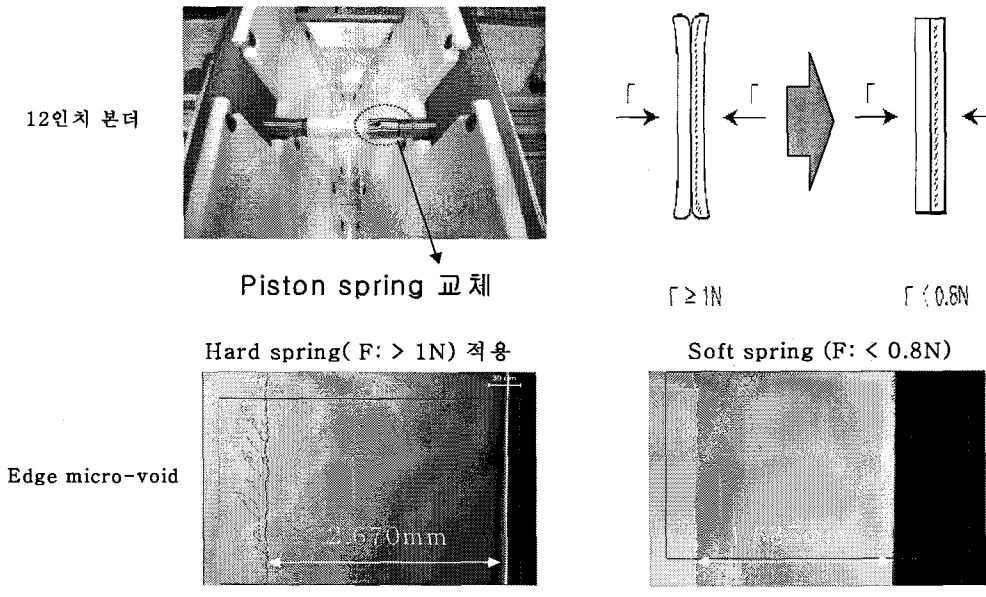
(나) 자동 수직 본더의 본딩 과정 개념도

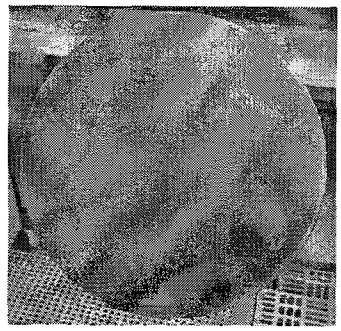
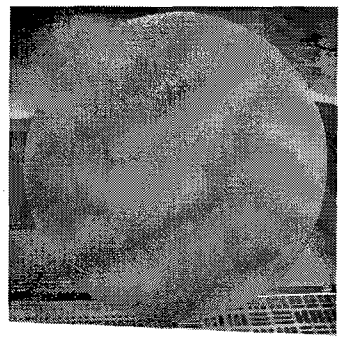


(다) 자동 수직 웨이퍼 본더의 실물 사진(한양대 크린룸에 설치 운용 중)



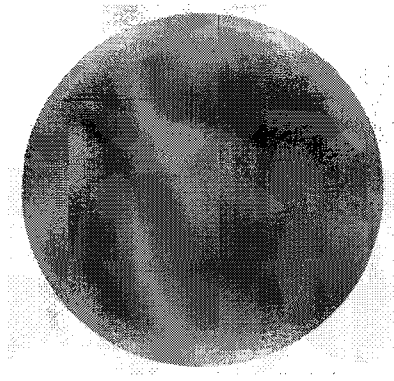
(라) 자동 수직 웨이퍼 본더의 piston 압력 조절에 의한 edge micro-void 개선



	Hard spring(F: >1N) 적용	Soft spring(F: < 0.8N) 적용
Macro-void		

- 자동 수직 본더의 본딩 압력을 조절하는 spring을 hard(> 1N)에서 soft(< 0.8N)으로 교체한 결과 edge micro-void가 제거되며, edge exclusion width도 2.670mm에서 1.685mm로 개선됨.
- 또한 웨이퍼 edge 부분의 macro-void도 크게 개선됨.

(마) 자동 수직 웨이퍼 본더에 의한 본딩 결과



- 본딩시 발생할 수 있는 마이크로 보이드는 XRT에 의해 관찰한 결과 마이크로 보이드가 발생하지 않았음.

(바) 연구 결과

- 자동 수직 웨이퍼 본더 설계도 개발 완료
- 자동 수직 웨이퍼 본더 자체 제작 완료하여 공정 적용 중
- 자동 수직 웨이퍼 본더에 의한 본딩된 무결함 나노 SOI 웨이퍼 시제품 제작 및 공정 적용
- 나노 SOI 기술 이전 업체인 LG 실트론에서 양산 공정 적용 중

3. 무결함 및 저단가 설계 기술

가. 연구 목표

- 균일 나노 변위 복합층 성장 기술 개발
- 나노 웨이퍼 표면처리 기술 개발
- 무결정 결함 기술 개발
- 평가 기술 개발

나. 연구 추진 전략

- 각 단위 공정을 융합한 코아 기술개발
- 저 단가의 공정 기술 개발
- 국내외 협력사와의 공동 협력에 의한 시너지 효과
- 간단한 프로세스 flow 설계 기술 개발

다. 연구 성과

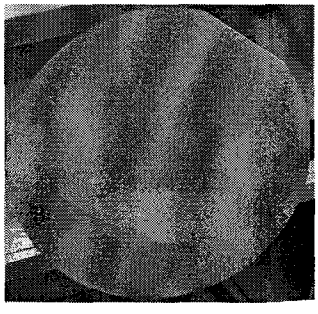
(1) 균일 나노 변위 복합층 성장 기술 : 나노 복합 SiGe층 성장기술, 저온 나노 에피 실리콘 성장기술, 저에너지 수소 이온 주입기술에 대하여 각 parameter에 대한 공정 평가 완료후 최적 공정 조건을 설정함.

(2) 나노 웨이퍼 표면 처리 기술 : nano-cleavage 기술, 나노 표면 처리 기술, nano-topography CMP 기술에 대하여 기본 실험을 통해 최적 공정 조건을 설정함.

(3) 무결정 결함 기술 : 슈퍼 실리콘 웨이퍼 제조 기술, 무결함 bonding 기술, 무결함 및 저단가 설계 기술 등에 대한 최적 공정 조건을 설정함.

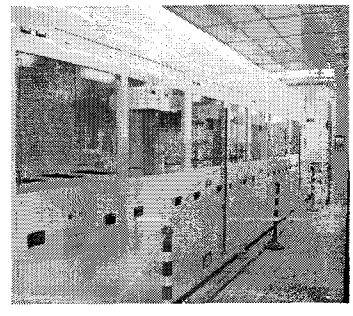
(4) 1단계에서 설정한 무결함 및 저단가로 공정 설계된 나노 SOI 웨이퍼 프로세스

디바이스 웨이퍼 산화막성장 ⇨ 저에너지 수소 이온주입 ⇨ Hydrophilic 세정



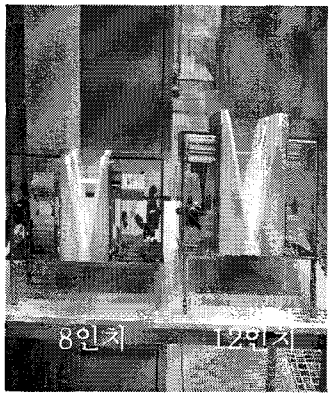
- 나노 SOI의 spec에 맞게 vertical furnace에서 산화막 형성

- 이온주입에너지 : 26KeV
- 이온주입도즈 : $6\times10^{16}/cm^2$
- H^+ only : H^+효율 40%
- Beam Current : > 3mA



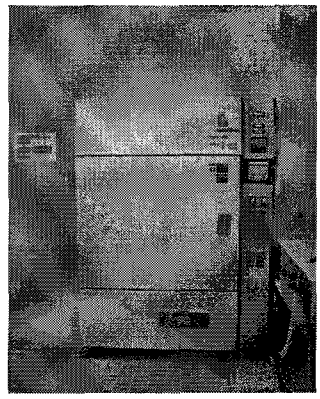
- SC1 Cleaning

Hydrophilic 수직 본딩



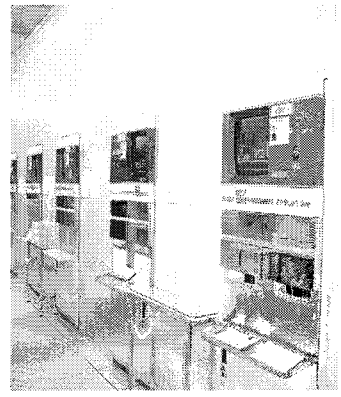
- SC1 Cleaning 직후 bonding 실시
- 최적의 piston 압력 설정

저온 cleavage



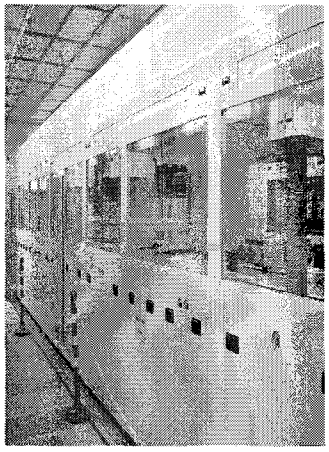
- 8인치 나노 SOI 웨이퍼 : 400℃, 1Hr
- 12인치 나노 SOI 웨이퍼 : 500℃, 1Hr
- pre-annealing 조건 : 200℃, 2Hr

고온 고속 수소열처리



- 1135℃, 5min, H2, 25s/m

Chemical thinning

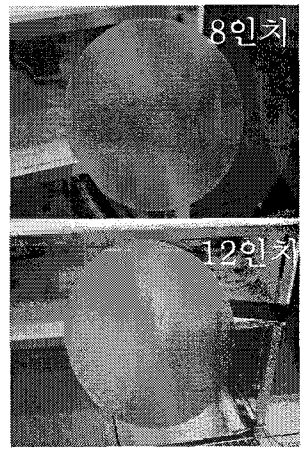


- 나노 SOI의 spec에 맞게 SC1 etching 실시함 : 시간 설정

나노 두께 측정기

- Top Silicon 및 BOX의 spec에 의거 program 선정

나노 SOI 웨이퍼



- 8인치 나노 SOI 웨이퍼
- 12인치 나노 SOI 웨이퍼

제 4 절 평가 기술

1. 초미세 표면 결정 결함 분석 기술

가. 연구 목표

- DSOD + FIB/TEM 분석을 이용한 nano scale(10nm이하)의 결함 분석 개발
- 고성능 나노 소자의 결함 밀도 및 mophology 분석 개발
- 나노 SOI 공정 문제 feed back

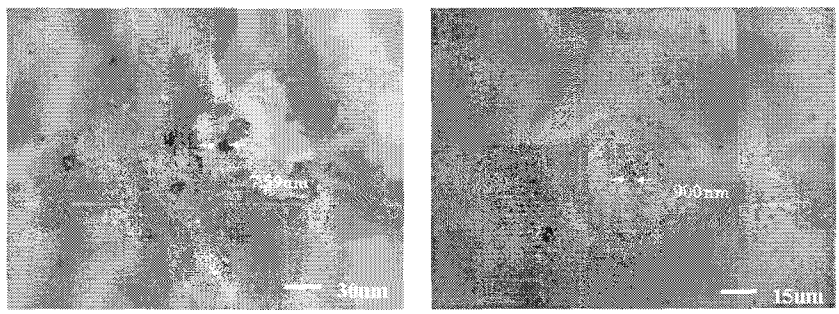
나. 연구 추진 전략

- Nano scale의 SIMOX Wafer 와 Bonded Wafer의 Surface Defect 평가 기술 개발
- 표면에 산화막 두께에 따른 top si의 소모와 DSOD 실험 시 전압 관계를 평가
- Dual beam FIB를 이용한 high resolution에서 nano scale의 결함 평가

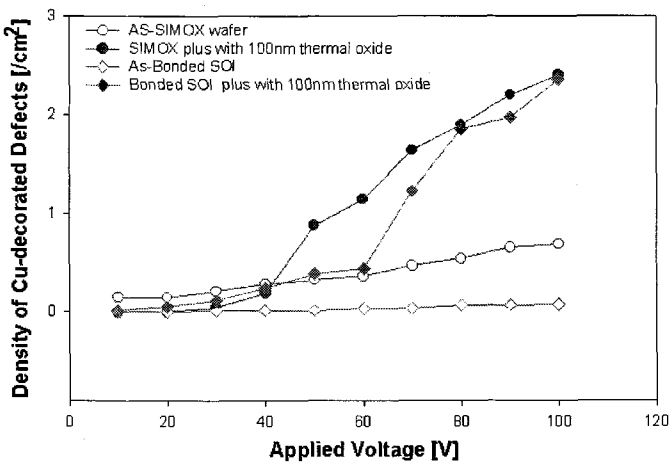
다. 연구 성과

(1) Direct Surface Oxide Defect 측정기기 및 평가 방법 개발

(가) 웨이퍼 표면에 존재하는 미세 결함 분석



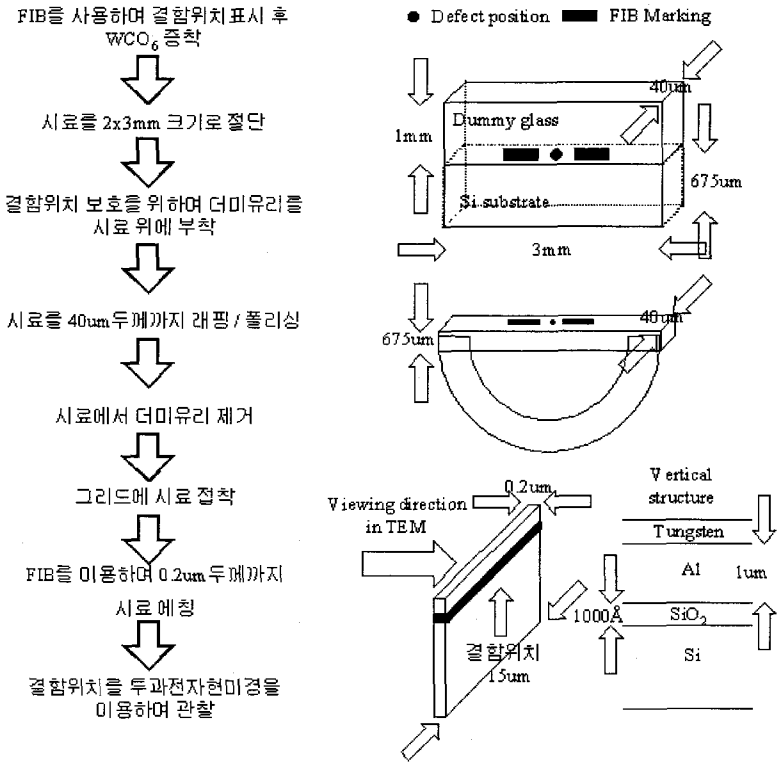
(나) 전압 인가에 의한 웨이퍼 표면 결함의 의존성



(다) 연구결과

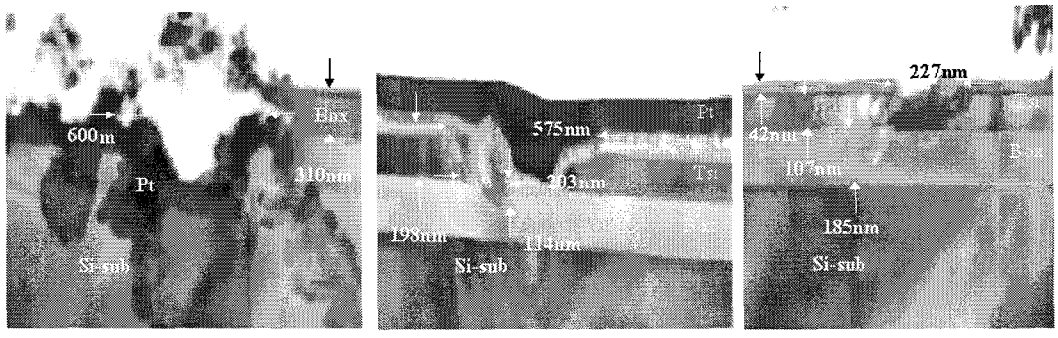
- DSOD 측정방법은 표면에 있는 결함을 찾는데 유용한 방법임.
- 광학현미경과 SEM을 이용한 분석 시 시료의 정확한 크기를 알 수 있음
- 전압의 증가에 의해 결함 밀도는 증가하고, As-grown wafer보다 산화막을 형성한 wafer에서 결함 밀도가 더 높음.

(2) FIB를 이용한 TEM 시료 제작 개발



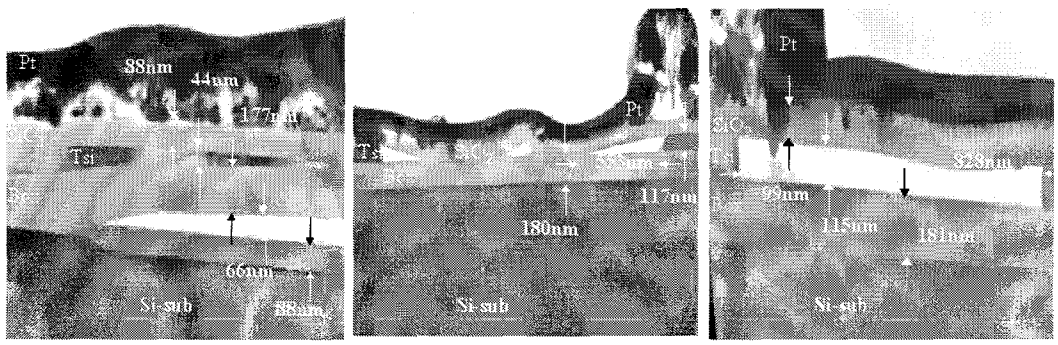
(3) FIB/TEM을 이용한 SOI 소자의 cross-sectional 분석 예

(가) As-grown wafer의 결함 분석(DSOD + FIB/TEM)



30V 50V 80V

(나) 100nm 산화 공정을 이용한 결함 분석 개발(DSOD + FIB/TEM)



30V 50V 80V

(다) 연구결과

- FIB/TEM 분석은 시료의 cross-section 이미지를 정확히 관찰할 수 있음.
- 전압이 증가함에 따라 결함의 크기는 감소하였음.

2. 고성능 나노 소자 컴퓨터 모사 기술

가. 개발 목표

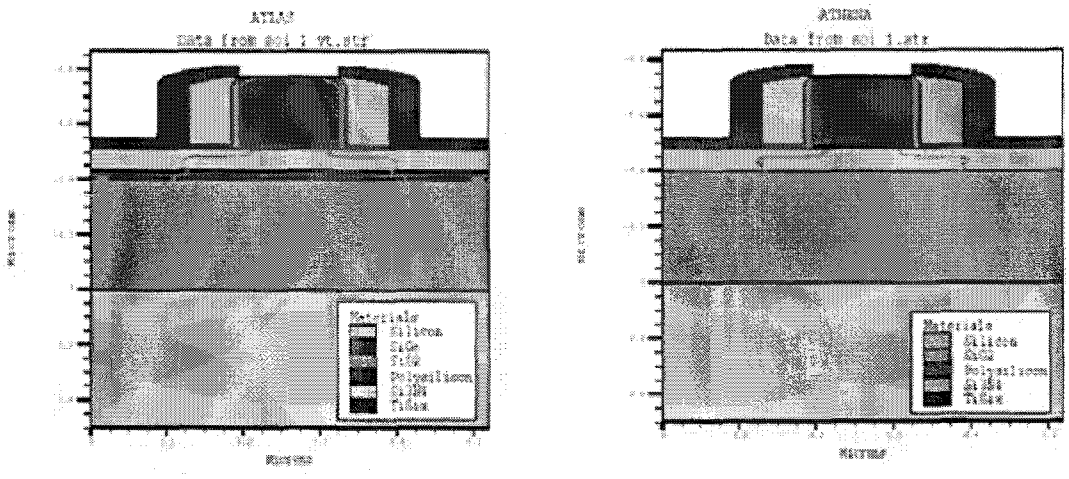
- 100nm CMOSFET CMOS 소자 특성 Simulation
- 고성능 나노 SOI 구조적용 100nm CMOSFET 소자 제작 평가
- 90nm CMOSFET CMOS 소자 특성 Simulation 및 소자

나. 연구 추진 전략 :

- ETRI의 미래소자연구팀과 공동 협력으로 ETRI FAB을 이용하여 소자 제작 공정 조건 개발 및 특성 평가 시행
- Shallow Source Drain Junction 특성 구현을 위하여 일반적인 Implantation 공정 대신 Plasma Immersion Implantation 공정 적용 후 Laser Anneal을 적용한다. 고성능 나노 SOI (Strained Si/ Relaxed SiGe/ SiO_2/ Si) MOSFET 구조의 Strained에 의한 mobility 개선 Effect을 정확히 변별하기 위하여 Long Channel 소자 제작을 진행 함
- 나노 Scale의 Top Silicon 두께로 인해 기존의 Simulation 프로그램이 구현 할 수 없는 Quantum Effect를 구현 할 수 있는 Schrödinger Equation을 Solving하는 1D 프로그램을 개발
- Si Bulk의 에너지 밴드 구조와 Strained Si 에너지 밴드 구조에 관한 프로그램 개발
- Monte Carlo 방법을 사용한 Simulator 개발

다. 연구 성과

(1) 알파칩 process 적용 MOSFET 공정 모사 Program 개발



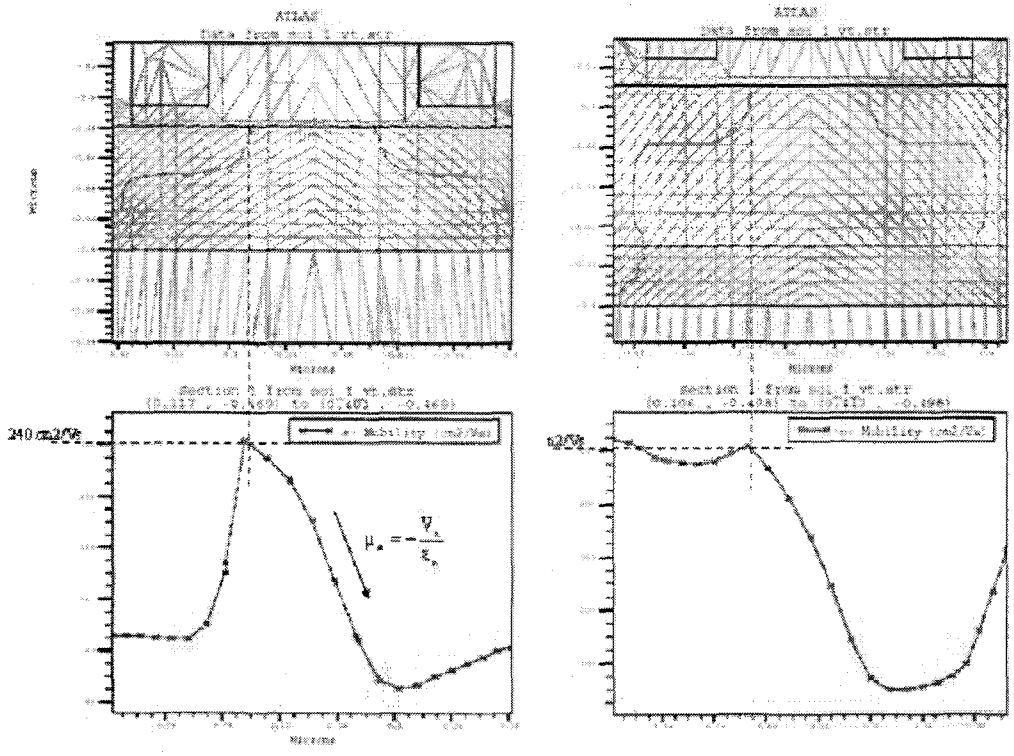
a) 일반 SOI MOSFET 소자 구조 공정모사 b) SiGe층 삽입 MOSFET 소자 구조 공정모사

- 100nm CMOSFET 소자 구조를 Simulation 프로그램으로 구현하여 제작 결과를 보임. a)는 일반 SOI MOSFET 소자 구조 공정모사이며 b)는 고성능 나노 SOI 구조인

SiGe층 삽입 MOSFET 소자 구조 공정모사.

- 공정 모사 시 적용된 주요 공정 조건 설정
  - Lg = 100nm
  - Spacer Length = 65nm
  - Poly Thickness = 250nm
  - Vt adjust IIP : Bf2 dose=7.0e12 energy=40 monte amorph
  - LDD IIP : As dose=1e13 energy=10 tilt=7 monte amorph
    As dose=2e13 energy=10 tilt=7 monte amorph
  - n+ S/D IIP : As dose=5e13 energy=60 monte amorph

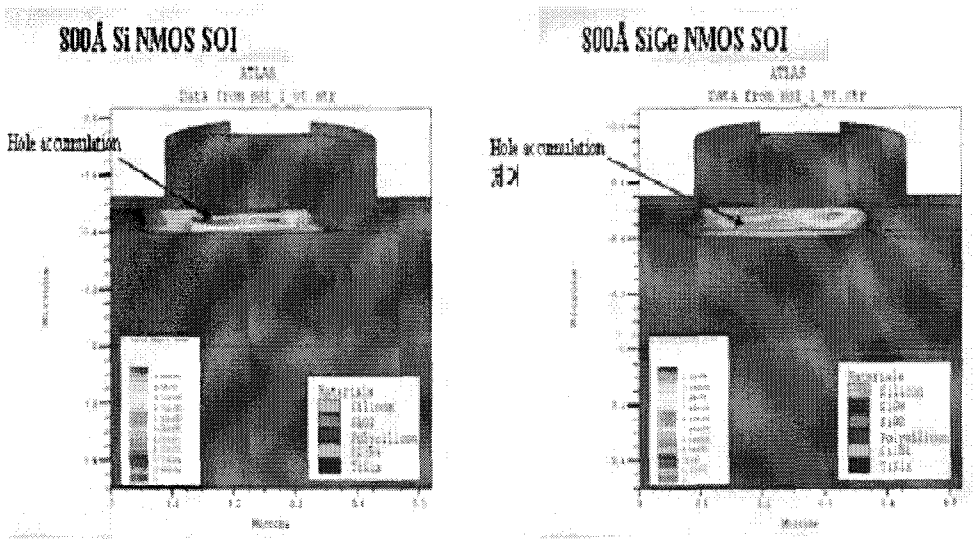
(2) source/drain의 mobility와 electric field 특성 모사



a) 일반 SOI MOSFET　　b) SiGe층 삽입 MOSFET

- Source에서 channel를 가로 질러 Drain에 이르는 Horizontal 방향으로의 mobility 변화 특성과 전계 분포의 변화를 보임.

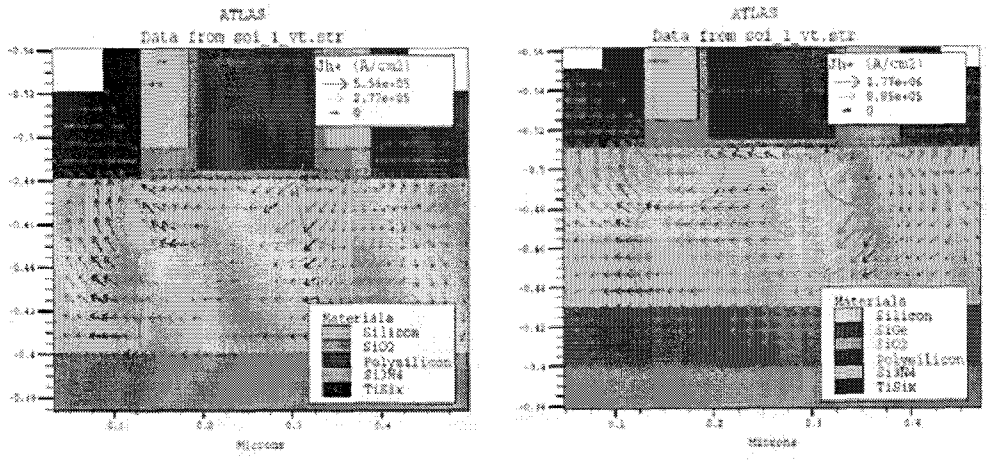
(3) source/drain의 hole current density 특성 모사



a) 일반적인 SOI MOS (홀 축적)　　b) SiGe층을 삽입 MOS (홀 축적 억제)

- Source에서 channel를 가로 질러 Drain에 이르는 Horizontal 방향으로 Hole current density 프로파일 특성에 대하여 시뮬레이션 결과를 보이며 SiGe 층을 삽입한 고성능 SOI NMOSFET 구조가 일반적인 SOI 구조 보다 Channel body에 축적이 덜 되는 것을 보임.

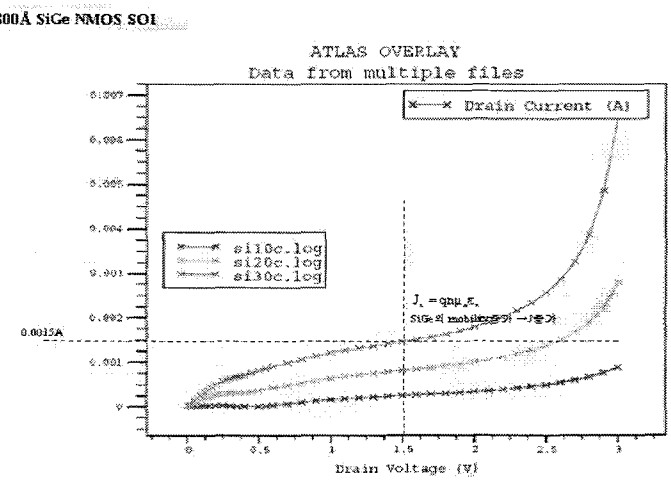
(4) source/ drain의 hole current vector 특성 모사



a) 일반적인 SOI MOS　　b) SiGe층 삽입 MOS

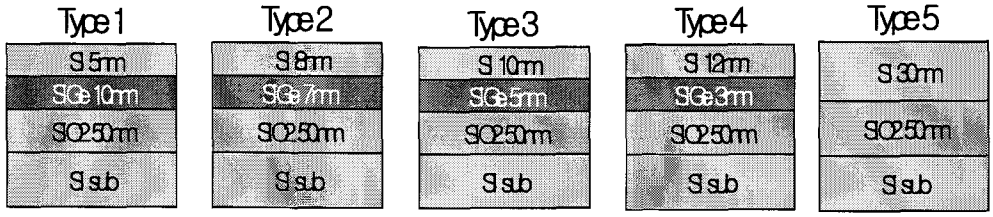
- SiGe층 삽입 MOSFET의 hole 전류 vector가 SiGe층을 통해 source 영역으로 이동되는 현상 모사 : SiGe층 삽입 MOSFET의 hole 전류 vector가 SiGe층을 삽입하지 않은 일반 SOI 구조의 MOSFET보다 Hole current가 source 쪽으로 더 많이 빠져 Silicon Body에 Hole이 Accumulation되지 않는 것을 보임

(5) Id vs. Vd 전류 특성 평가 program 개발

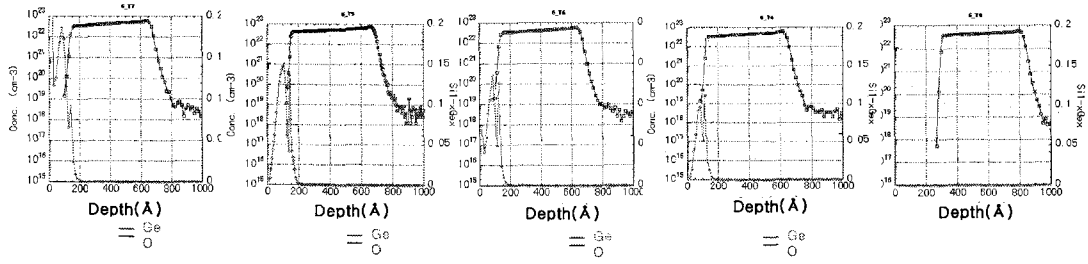


- 드레인 전압과 게이트 전압 변화 시 드레인 전류 특성을 평가 할 수 있는 프로그램 개발

(6) 소자 제작용 Strained Si/ SiGe/ SiO_2/ Si 구조 Sample 제작



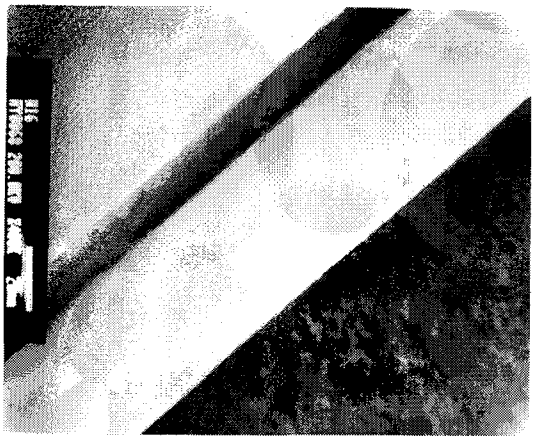
SiGe층의 Ge mole fraction에 대한 SIMS 분석

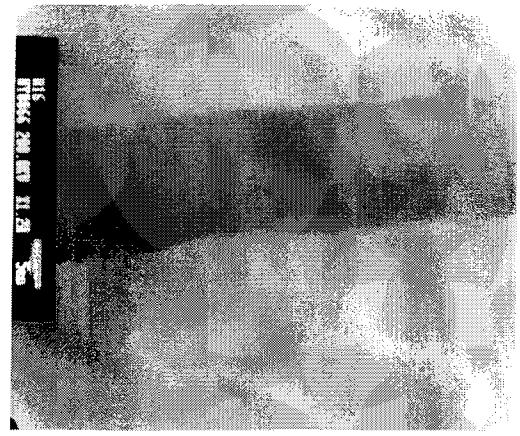


SiGe mole vs Top Si dependency 연구

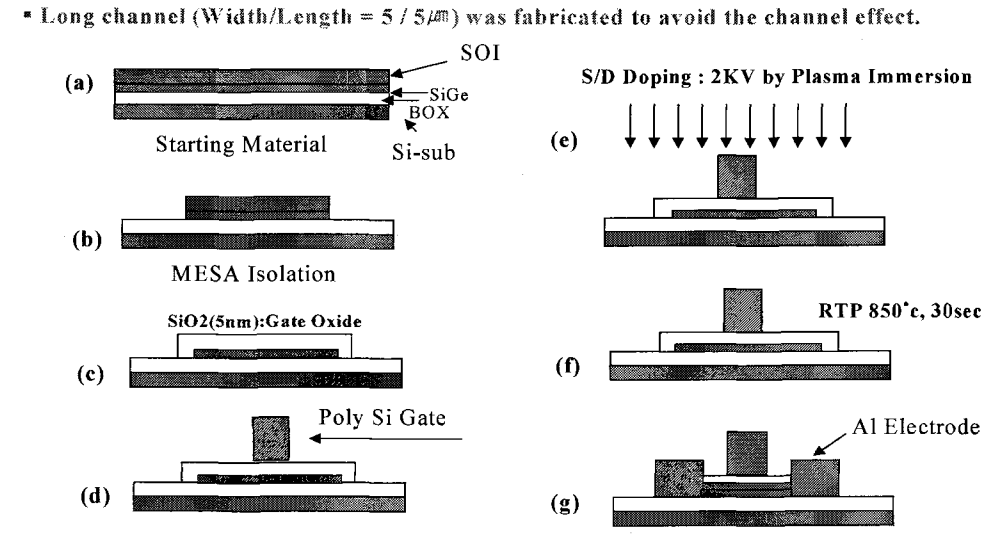
- 고성능 나노 SOI 제조 공정 기술을 적용한 시료 제작.
- SiGe층 내의 Depth에 따른 Ge mole fraction 프로파일은 SIMS(Secondary Ion Mass Spectroscopy) 분석으로 확인.

- Si 층과 SiGe 층의 결정 분석을 HR-TEM 분석으로 확인.



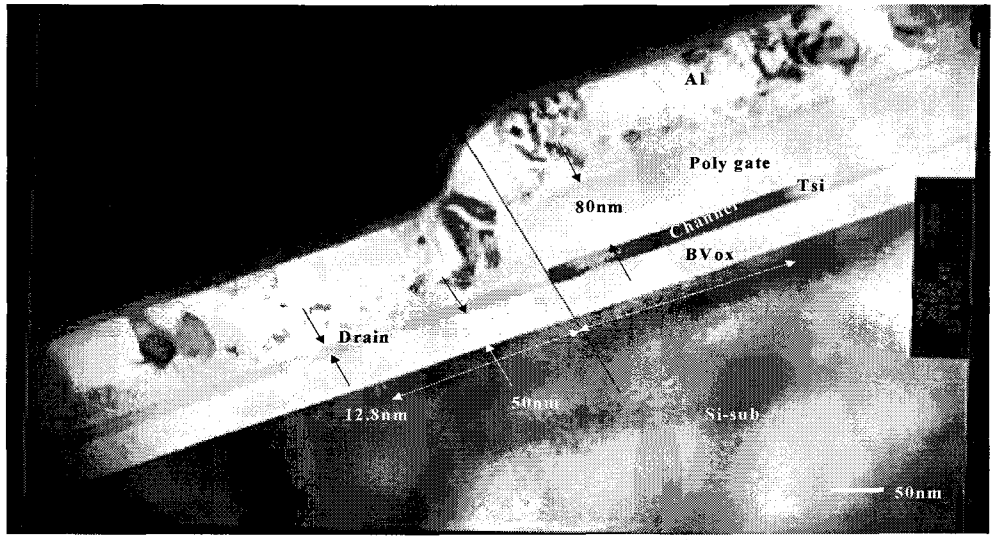


(7) Device 제작을 위한 process (MESA SOI) Recipe 개발



- MESA isolation 공정 → 5nm 게이트 절연막 성장 → Poly silicon 게이트를 증착 → plasma doping implantation (P+) → RTA → Al Electrode Depo.
- Strained에 의한 mobility 개선 효과를 정확히 평가하기 위해 비교적 short channel effect를 배제시킨 long channel 소자 제작을 통해 확인함

(8) MOSFET 소자의 TEM Image 분석

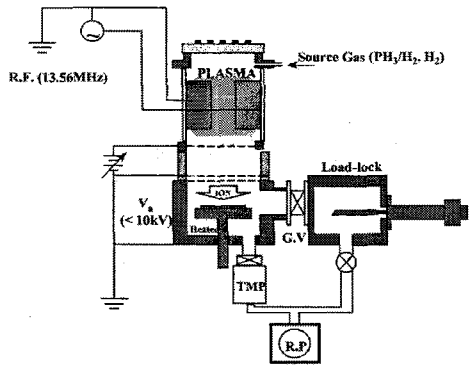


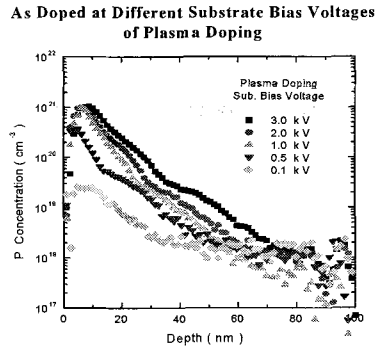
TEM Section 구조 분석 - MOSFET Cross section view

- 공정 진행이 완료된 chip에 대해 TEM 분석을 통해 channel 구조 확인

(9) Shallow Junction Implantation 공정 개발

Schematic Diagram of Plasma Doping System



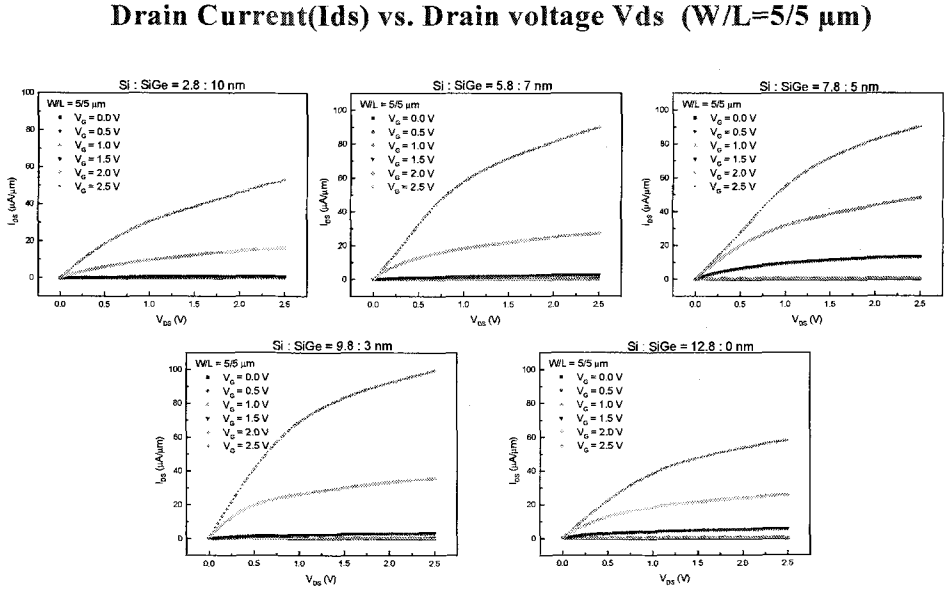


- 연구 실험 및 분석 내용
  - Plasma doping 조건별 dopant profile SIMS 분석
  - Plasma doping 조건별 source/ drain TEM 분석

- plasma doping Implantation 공정 개발
  - Dopant 이온 : P+(phosphorus)
  - Plasma substrate bias 전압 조건 개발 : 2kV

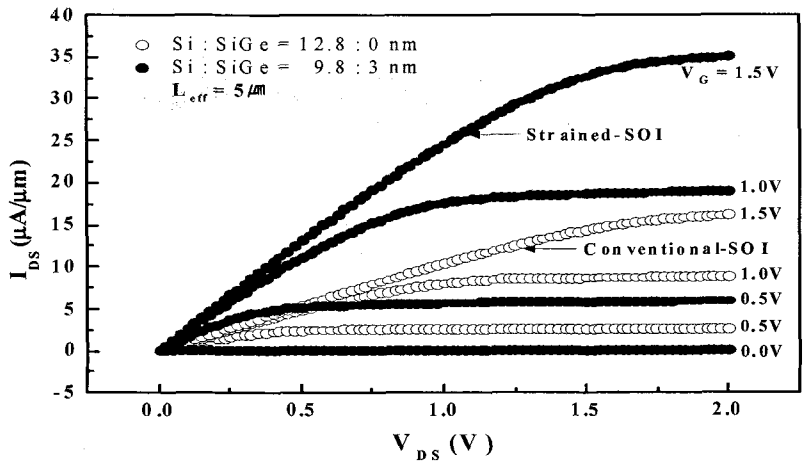
(10) 제작 소자 특성 평가

(가) I_d vs. V_d 전류 특성 분석



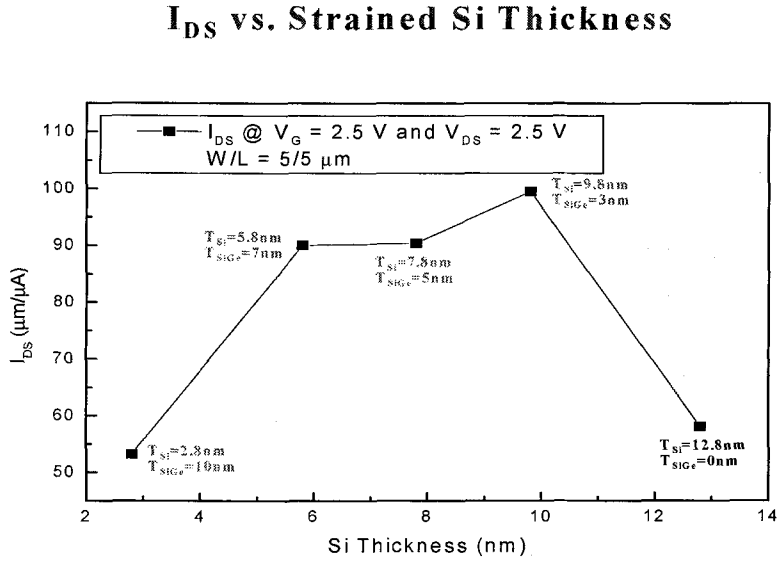
- 제작한 MOSFET 소자 Sample에 대하여 HP4145 측정 설비를 사용하여 I_d vs. V_d 전류 특성을 게이트 전압 0.5V, 1.0V, 1.5V, 2.0V, 2.5V 조건으로 모든 Sample을 측정하였음

(나) SiGe층 삽입 Strained Si MOSFET의 전류 특성 분석



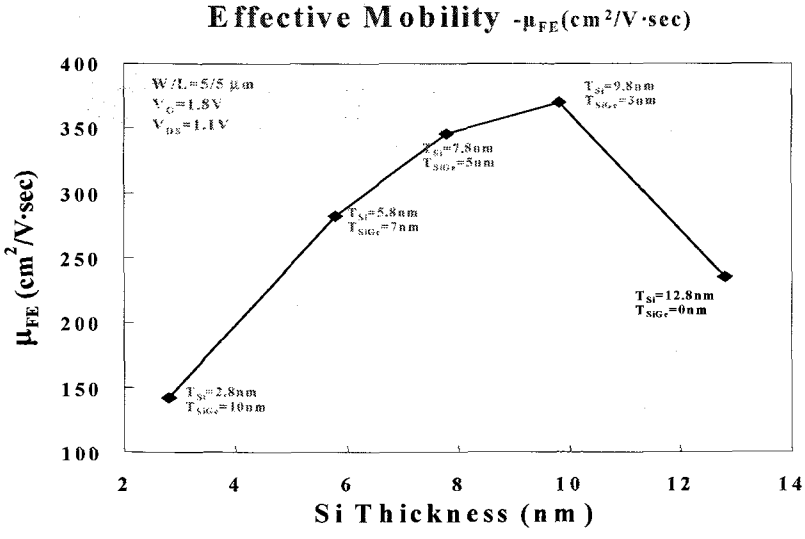
- SiGe층 삽입 Strained Si(10nm)/ relaxed/ SiGe(5nm)/ SiO_2/ Si 구조 MOSFET의 소자 특성 평가 결과, 일반 SOI MOSFET 전류 특성 보다 60% 개선

(다) I_d vs. T_{si} Thickness dependency 특성 연구



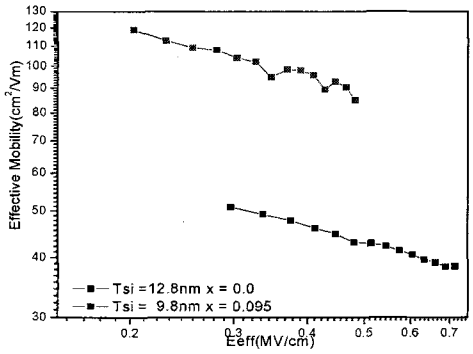
- 게이트 전압 2.5V, 드레인 전압 2.5V 인가 조건 시 드레인 전류 특성을 측정 하였으며 Strained Si Thickness와 드레인 전류 특성간의 관계 규명.
- SiGe층 삽입 Strained Si (10nm)/ relaxed/ SiGe (5nm)/ SiO_2/ Si 구조 MOSFET의 소자 특성 평가 결과, 일반 SOI MOSFET 전류 특성 보다 60% 개선

(라) Top 실리콘층 두께와 Electron mobility Effect 분석



- Vg=1.8V, Vda=1.1V 조건에서 SiGe층 삽입한 MOSFET와 일반적인 SOI 구조의 MOSFET를 electron mobility를 함께 측정하였음
- SiGe층 삽입 Strained Si (10nm)/ relaxed/ SiGe(5nm)/ SiO_2/ Si 구조 MOSFET의 소자 특성 평가 결과, 일반 SOI MOSFET 전류 특성 보다 60% 개선 됨

(11) Electric Field vs. Mobility (파랑색: Strained SOI, 검정색: 일반적인 SOI)

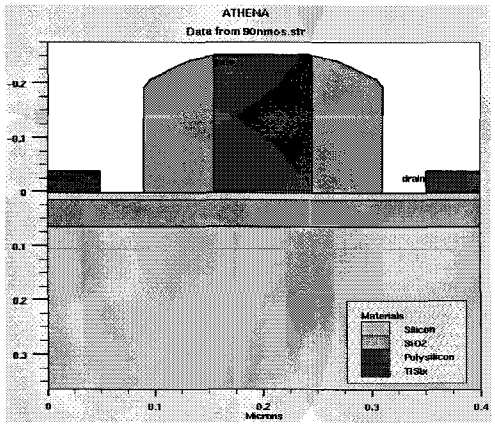


- 일반적인 Si 보다 Strained Si/ relaxed/ SiGe/ SiO_2/ Si 구조의 Mobility가 같은 E_{eff}에서 더 높게 나온다는 결과를 얻었다.

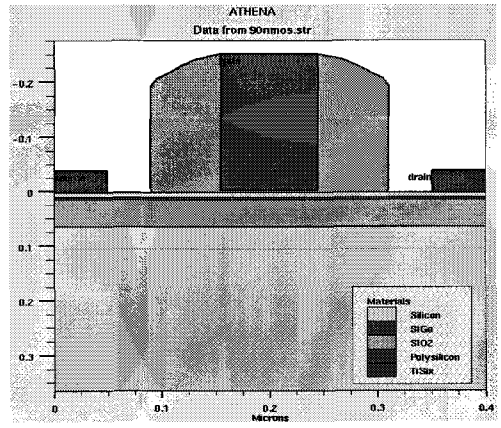
- 프로그램 개발 내용
  - Schrödinger equation 계산 프로그램(PWM)
  - Sub band 계산 프로그램
  - Inversion charge 값 계산 프로그램
  - Form factor 계산 프로그램
  - Inter & infra valley scattering rate 계산 프로그램
  - Mobility 계산 프로그램
  - Schrödinger equation 계산 프로그램(variational method)
  - Screening effect를 고려한 debye length를 donor와 acceptor 별도 계산하는 프로그램
  - Bulk 및 2D scattering 계산 프로그램
  - Bulk 에너지 밴드에서 electron energy, drift velocity, mobility 계산 프로그램

(12) 90nm MOSFET 공정 모사 Program

(가) 90nm MOSFET 소자 구조 구현



a) 일반 SOI MOSFET 소자 구조 공정모사

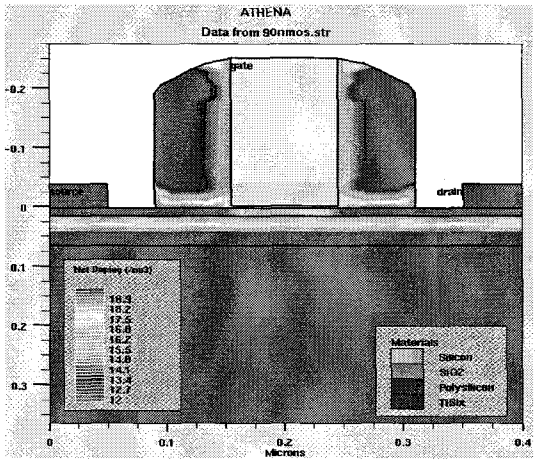


b) SiGe층 삽입 MOSFET 소자 구조 공정모사

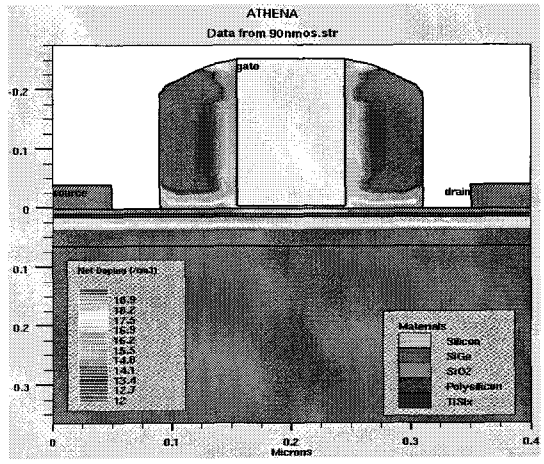
- 90nm NMOSFET 소자 구조를 Simulation 프로그램으로 구현하여 제작 결과를 보임. a)는 일반 SOI MOSFET 소자 구조 공정모사이며 b)는 고성능 나노 SOI 구조인 SiGe층 삽입 MOSFET 소자 구조 공정모사

- 공정 모사 시 적용된 주요 공정 조건 설정
  - Lg = 90nm
  - Spacer Length = 64nm
  - Poly Thickness = 250nm
  - Vt adjust IIP : Bf2 dose=1.5e13 energy=15 monte amorph
  - LDD IIP : As dose=1e13 energy=7 monte amorph
    As dose=2e13 energy=7 monte amorph
  - n+ S/D IIP : As dose=2e14 energy=15 monte amorph

(나) 90nm MOSFET 소자에서의 Impurity Net doping 분포 시뮬레이션 결과



a) 일반 SOI MOSFET 소자 Net-doping

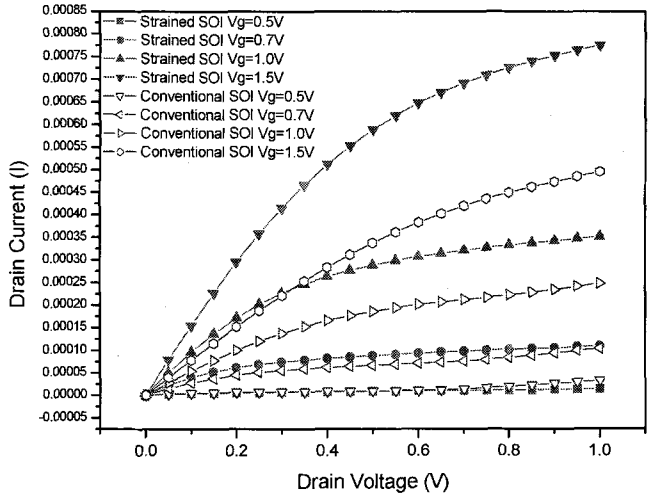


b) SiGe층 삽입 MOSFET 소자 Net-doping

- 90nm NMOSFET 소자 구조를 Simulation 프로그램으로 구현하여 Net Doping 분포를 보임. a)는 일반 SOI MOSFET 소자의 Net Doping 분포 결과이며, b)는 고성능 나노 SOI 구조인 SiGe층 삽입 MOSFET 소자의 Net Doping 분포 결과.

(13) 90nm MOSFET 에서의 I-V 특성 시뮬레이션 구현

(Nano Strained SOI vs. Conventional)



- Strained Si/ Relaxed SiGe/ SiO_2/ Si 구조의 고성능 나노 SOI 소자 구조가 SiGe이 삽입되지 않은 일반적인 Strained 구조의 소자 보다 전류 전압 전달 특성이 약 60% 향상됨을 Simulation 프로그램을 개발하여 90nm CMOSFET 특성을 구현하였음

제 4 장 목표달성도 및 관련분야에의 기여도

번 호	세부 연구 개발 목표 (연구계획서상에 기술된 연구목표)	달 성 내 용	달성도 (%)	기 여 도
1	표면 roughness : < 0.4nm	• **저에너지 수소 이온 주입 기술(<30keV) 개발** - 8인치 및 12인치 겸용 single wafer-type의 저에너지 수소이온 주입기 개발 - ΔRp 최소화에 의한 cleavage후 표면 roughness 개선 위한 수소이온 주입기술 개발 - Simulation tool에 의한 수소이온주입 에너지에 따른 cleavage 후 표면 roughness 예측 프로그램 개발 - ΔRp 분포와 SIMS 프로파일과의 상관관계 개발 - 저전압 수소이온 주입기의 양산라인 set-up(LG실트론) - high beam current 수소이온 소스개발(동북대학, ULVAC 공동) - H^+ 빔 효율 : 40% 달성 • **Nano-cleavage(500℃ 이하) 공정기술 개발** - 8인치 나노 SOI 웨이퍼 기준 400℃ 달성 - 12인치 나노 SOI 웨이퍼 기준 500℃ 달성 - 수소 이온 도즈 및 nano-cleavage 온도와의 상관관계 규명 - Nano-cleavage 온도에 따른 blister의 morphology 변화 mechanism 해석 - Nano-cleavage 온도에 따른 수소 이온 농도의 out-diffusion에 대한 nano-cleavage mechanism 규명 - 저온 oven의 공정 조건 개발 • **나노 표면 처리 기술 : 고온, 고속 수소 열처리 공정기술 개발** ○ Epi reactor 공정 기술 개발 - Epi reactor의 가스조건, 가스유량, annealing 온도 및 시간 설정(1135℃, ramp up/down rate : > 5.5℃/min, time : < 5min, H_2 gas 20slm) - 고속, 고온 열처리에 의한 slip-free 공정 조건 확보 - 수소 이온 열처리 시간에 따른 표면 roughness 개선 효과 규명 ○ RTA 열처리 공정 기술 개발 - 열처리 온도에 따른 표면 roughness 개선 효과 규명 - 열처리 가스 조건에 따른 표면 roughness 개선 효과 규명 - Slip-free의 RTA edge-ring 개발 • **Nano-topography CMP 기술 개발** - Slurry 분산 안정 및 웨이퍼 계면 전위 제어를 통한 표면 두께 변곡 < 6nm 수준의 nano-topography CMP 공정 기술 개발 • **결과** - 상기 기술의 융합에 의해 표면 roughness 0.376nm 달성 - 양산공정 적용(LG실트론)	100	고성능 나노 SOI 나노표면처리 기술 중 각 항목의 기술융합에 의해 목표치 달성 및 양산공정에 기여

2	표면결함밀도 : < 1개/cm^2	• **Infra 무결함 bonding 공정 기술 개발** - Hydrophilic cleaning 공정 조건 설정 - Hydrophilic bonding 공정 최적화 설정 - 8인치 수동 수직 본더 개발 및 양산공정 적용(LG실트론) - 12인치 자동 수직 본더 개발 및 양산공정 적용(LG실트론) - 8인치 및 12인치 수동 본더의 압력 공정 최적화 • **Nano-cleavage 공정 기술 개발** - 저온 annealing process 개발(200~300℃, N_2 분위기) - 저온 oven 공정 기술 개발 : 열처리 온도, 시간, 가스 등 • **슈퍼 실리콘 웨이퍼를 적용한 나노 SOI 구조 공정 설계 기술 개발** - FEMAG 시뮬레이터를 이용한 무결정결함 hot-zone 설계기술 개발 - Sumitomo-Mitsubishi Silicon Corp.(일본)과의 협력 하에 나노 SOI 기판용 슈퍼실리콘 웨이퍼 개발 - Ingot의 melt/solid의 온도 구배를 최소화하기 위한 heat-cap, insulator, cooling chamber, carbon parts 등의 디자인 기술력 확보 - Ar flow rate 및 magnetic field 인가에 의한 산소 농도 및 점결함 제어 기술력 확보 - Hot zone 설계기술로 개발된 디자인을 FEMAG에 의한 heat flux 등의 컴퓨터 모사기술 확보 • **결과** - 상기 기술의 융합에 의해 표면결함 밀도 < 0.1개/cm^2 달성	100	고성능 나노 SOI 무결정 결함 기술 중 각 항목의 기술 융합에 의해 목표치 달성 및 양산 공정에 기여
3	고성능 나노 SOI 채널층 두께 균일도 : < 3%	• **저온 나노 epi 실리콘층 30nm 성장 공정 기술 개발** - Batch-type의 UHV-CVD에 의해 30nm 이상 두께의 epi silicon층 성장기술 개발 - 40nm epi 두께에서 균일도 1.5% 수준 달성 - Hydrogen baking 온도 최적화 실시 • **고성능 복합층 nano-strained Si/ relaxed SiGe 성장 공정 기반 기술 개발** - Batch-type의 UHV-CVD에 의한 SiGe층 성장 기술 개발 - Hydrogen baking 온도 최적화 실시 - 성장온도, 성장시간, GeH_4 및 SiH_4의 flow rate, furnace 압력 등의 공정 조건 최적화 실시 - SiGe mole fraction에 따른 공정 조건 개발 - SOFRA 설비에 의한 두께 균일도 0.08~0.475% 달성 (8인치 20points) - Dislocation-free의 SiGe층 성장 기술 개발 - Strain 측정 기술 및 조건 개발 - graded SiGe 층 성장기술 개발 : < 0.08 wt%/Å • **저에너지 수소 이온 주입 공정기술 개발** - △Rp 최소화에 의한 표면 roughness 최적화 공정 개발 - Simulation tool에 의한 수소이온 주입에너지에 따른 cleavage 후 두께 균일도 예측 program 개발 • **결과** - 저온 나노 epi 층 두께 균일도 : 1.15% 달성 - 저온 나노 SiGe층 두께 균일도 : 0.08~0.475 wt%/Å 달성	100	고선능 나노 SOI 균일나노변위 복합층 성장 기술 중 각 항목의 기술 융합에 의해 목표치 달성 및 양산 공정에 기여

4	interface micro-void 밀도 : < 0.2개/cm^2	• Hydrophilic 본딩 기술 개발 - Hydrophilic Cleaning 및 본딩 공정 조건 개발 - SC1 Cleaning 공정 조건 설정 - Cleaning 후 bonding까지의 Q-time 설정 • Nano-Cleavage 공정 기술 개발 - 저온 pre-annealing 공정 조건개발 - 저온 oven의 ramp-up/down 공정 기술 개발 • interface micro-void의 분석기술 개발 • 결과 - SC1 Cleaning 및 hydrophilic bonding에 의해 interface micro-void 밀도를 0.019-0.025 개/㎠ 달성	100	고선능 나노 SOI 표면 무결함 기술 중 각 항목의 기술 융합에 의해 목표치 달성 및 양산 공정에 기여
5	고성능 나노 SOI 소자 컴퓨터 모사	• Strain enhanced mobility의 Monte Carlo program 개발 완료 - 90nm 고성능 나노 C-MOSFET 소자 특성 프로그램 개발완료 • Long-Channel 고성능 나노 C-MOSFET 소자 평가 통해 고성능 나노 SOI C-MOSFET 프로그램 개발 완료 • DSOD+FIB+TEM 기술개발로 100nm 결함의 isolation 및 morphology 기술개발 완료	100	고성능 나노 SOI 소자 컴퓨터 모사 기술로써 개발된 program process 컴퓨터 모사에 사용 중

제 5 장 연구개발결과의 활용계획

구분	연구 개발 기술	활용 계획	활용 가능성
나노 SOI 핵심 기반기술	STI CMP용 나노 세리아 슬러리 개발	나노 SOI의 2Å수준 roughness 달성 기술로 사용. (주)K.C. Tech에 기술 이전	나노 웨이퍼 표면처리기술의 nano-topography CMP 기술
	나노 scale 표면 roughness 제거용 CMP 설비의 End-point 계측기술 개발	나노 SOI top silicon thinning에 사용되는 CMP polisher의 detector로 사용, (주) 제이비에스인터내셔널에 기술이전	나노 웨이퍼 표면처리기술의 nano-topography CMP 기술
	나노 소자용 기판 웨이퍼의 BMD 제어용 고온 RTA 설비개발	고온 고속 수소 열처리 기술, 슈퍼 실리콘 제조 공정기술, (주) 코닉시스템에 기술이전	나노 웨이퍼 표면처리기술의 나노 표면 처리기술, Super SOI 공정의 기판제조기술
	12인치 자동 수직본더 개발	Hydrophilic void-free 본딩 기술, (주) LG실트론에 양산공정적용	무결정결함 기술의 무결함 본딩기술
	single-type의 저에너지 수소이온 주입기 개발	30KeV 이하의 저에너지 수소이온주입용도로 사용, (주) LG실트론에 양산공정 적용	균일 나노변위 복합층 성장기술의 저에너지 수소이온주입기술
나노 SOI 양산 프로세스 기술	300mm 나노 SOI 공정기술개발	LG 실트론에 기술이전 및 양산공정 적용	SoC, 초고속 마이크로 프로세서 등의 정보통신소자의 고집적 디바이스에 적용
	8인치 Super SOI 공정기술개발	LG 실트론에 기술이전	수백 Giga Hertz CPU급 및 MPU 디바이스에 적용
나노 SOI 응용기술	Flexible silicon을 이용한 OLED 개발	미국 국방성의 ISC Corp.에 기술이전	의료용 및 군사용의 micro-display에 적용

제 6 장 연구개발과정에서 수집한 해외과학기술정보

Intel 사는 2001년 11월에 SOI 상층 두께가 30nm에 게이트 길이 15nm인 Tera Hertz급 nano SOI C-MOSFET 개발 성공을 발표하였다.[9] 또한 IBM사는 2002년 12월에 SOI 상층 두께가 4~8nm이며, 게이트 길이가 4~8nm인 nano SOI C-MOSFET 개발 성공을 발표하였으며[10], 삼성전자는 2004년 7월에 bulk Si 소자 구조위에 SiGe/Si/SiGe/Si epitaxial 성장 구조 소자 공정을 적용하여 채널 게이트 길이가 50nm MOSFET 차세대 다층 채널 트렌지스터 소자 공정 기술을 업계 최초로 512Mb D램에 적용하여 상용화 하는데 성공하였음을 발표 하였다[11].

수백 Giga Hertz급 마이크로 프로세스, CPU 및 SoC 소자 설계에 필요한 나노 C-MOSFET의 게이트 길이는 70nm이며, 이에 요구되는 SOI 상층두께는 20nm이다. 나노 C-MOSFET 제작 시, SOI 상층 실리콘 두께가 20nm 이하가 되면 transistor channel에 있는 캐리어(전자, 전공)들이 phonon-scattering 현상 증가로 인하여 carrier 이동도가 감소하며 전류가 감소되는 결과를 가지게 된다. 이를 해결하기 위해 기존 nano SOI C-MOSFET (nano scale Si/SiO2/bulk Si 구조위에 C-MOSFET 소자 제작)의 캐리어들의 mobility를 증가시키기 위해 SiGe층을 삽입하는 고성능 나노 strained SGOI (SiGe on Insulator) C-MOSFET 소자 (nano-scale strained Si/relaxed SiGe/SiO_2/Si 구조위에 C-MOSFET 제작)를 제작하기 위한 고성능 nano SGOI 공정 기술과 개발이 반드시 필요하다.

Figure 5에서 알 수 있듯이 초고속 및 극저전력 SOI 소자는 Fully Depletion nano SOI CMOSFET[12] → Partially Depletion 고성능 SGOI C-MOSFET(strained Si 층과 relaxed SiGe 층 두께의 합이 게이트 길이보다 큰 경우)→ Fully Depletion 고성능 SGOI C-MOSFET (strained Si층과 relaxed SiGe층 두께의 합이 게이트 길이보다 작은 경우) 순으로 개발 될 것으로 보고되고 있다[13].

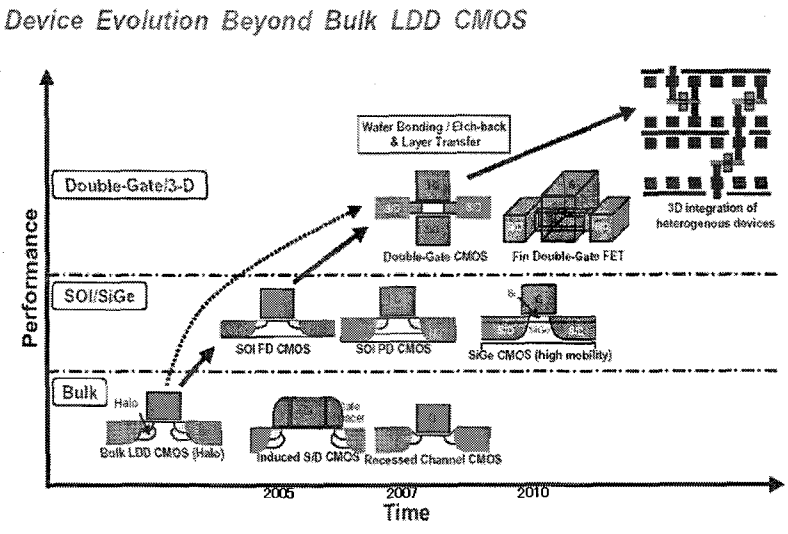


Fig.5 SOI C-MOSFET road map

이와 같은 기술적인 trend에 따라 선진 웨이퍼 업계인 Shinetsu(일본)와 SUMCO(일본)는 SOI 상층두께가 50nm인 8인치 및 12인치 nano SOI 공정기술을 확보하였으나 아직 SOI 상층 두께가 20nm 이하의 nano SOI 공정기술 및 strained SGOI 기술을 확보하지 못한 상태이다.

미국 IBM사에서 제안하는 Strained Si 구조는 SiGe층을 삽입한 Strained Si층/Buffered SiGe층/Relaxed SiGe층/SiO_2층/Si 층 구조인데, Buffer층과 Relaxed SiGe층의 두께가 두껍기 때문에 50㎚급 이상의 나노 FD-SOI에서 요구되는 strained 실리콘 층의 두께와 SiGe층 두께의 합이 20㎚구조의 소자 설계를 실현할 수 없고 고밀도의 dislocation이 존재한다[14]. 다시 말하면, Fully depleted MOSFET 소자 구조에 적합 하지 않다. 또한, 일본 Toshiba의 경우, graded SiGe층을 약 0.8um 성장 후 1 um 두께의 relaxed SiGe을 성장시키고 implantation 공정을 위해 capping silicon을 형성시킨다. 그 후 SIMOX 방법과 동일한 oxygen implantation을 180keV, $4X10^{17}ions/cm^2$에 의한 이온 주입 후 1350℃에서 6시간동안 고온 열처리에 의해 buried 산화막을 형성시킨다. 고온 열처리에 의해 buried oxide가 형성되는 layer보다 밑에 있는 SiGe은 silicon substrate로 확산되어 들어간다. 이후 relaxed silicon surface의 etching 및 HF dipping에 의해 저온에서 성장된 oxide를 제거한 후 buffered layer인 SiGe을 재성장(200㎚)하고 top silicon으로 strained silicon을 20㎚ 성장시킨다. 이와 같은 방법의 문제점은 고온에서 6시간 동안 열처리함으로써 Ge이 silicon bulk 내부로 diffusion되는 문제점이 발생하여 균일한 SiGe층 형성이 안 되기 때문에 소자의 균일한 특성을 확보할 수 없는 치명적인 문제점과 device가 형성되는 channel의 두께가 400㎚이상이 되므로 실제 나노 device인 fully depletion 소자를 제작할 수 없다[15]. 그러나 국내 한양대 박재근 교수 연구팀은 세계 최초로 (2003년 4월 10일, 매일경제신문 발표) 8인치 SOI 웨이퍼를 적용한 나노 SOI 공정기술(고온고속 수소열처리 공정기술개발, 저 에너지 수소이온주입 공정 기술개발, 저온(450℃이하) cleavage 공정 기술 개발, 슈퍼실리콘 웨이퍼의 SOI 기판 구조를 적용한 SOI 제조 공정 설계, 100nm C-MOSFET의 소자 특성 평가 program 개발)을 개발하였으며, 고성능 나노 SGOI 공정기술의 핵심기술인 저온 Epi SiGe층 성장기술 및 direct bonding 방법에 의한 고성능 나노 SGOI 웨이퍼인 strained Si/relaxed SiGe/SiO_2/Si MOSFET 구조를 proto-type 수준까지 개발한 상태이며, 실리콘과 SiGe 경계면 사이에 dislocation이 전혀 없는 소자 공정 기술이다. 또한 본 공정을 적용한 strained Si/ relaxed SiGe/SiO_2/Si MOSFET 구조의 전류 전달 특성이 약 60% 향상됨을 2003년 IEEE SOI conference에서 발표하였다.[16]

제 7 장 참고문헌

1) J-L. Pelloie et al., Solid State Technology. Nov. p36 (2001)
2) SEMI Technical Symposium, SEMI WEST, Proc. p310 (2001)
3) S. Takagi, J. Koga, and A. Toriumi, IEDM 97, p. 219 (1997)
4) G.J. Bae, T.H. Choe, S.S. Kim, H.S. Rhee, K.W. Lee, N.I. Lee, K.D. Lee, Y.K. Park, H.S Kang, Y.W. Kim, K. Fujihara, H.K. Kang, J.T. Moon, Electron Devices Meeting, 2000 IEDM Technical Digest. International , p.667 (2000)
5) Gartner Dataquest (2000)
6) 반도체 산업협회 데이터 퀘스트 제 2003-81호
7) SEMI Technical Symposium, SEMI WEST, Proc. p310 (2001)
8) http://www.sigen.com
9) http://www.intel.com/research
10) http://research.ibm.com
11) S.Y Lee et al., Symp. VLSI Tech. Digest of Technical Papers, p.200 (2004)
12) H.S.Wong, IBM J.RES & DEV. Vol.46 No 3 May(2002)
13) THE INTERNATIONAL TECHNOLOGY ROADMAP SEMICONDUCTOR(2003)
14) A. Matsumura, K. Kawamura, I. Hamaguchi, S. Takayama, T. Yano and Y. Nagatake J. Mater. Sci. 10, p.365 (1999)
15) S. Nakashima : IEICE Trans. Electron. C 80, p.364 (1997)
16) J.G Park et al. IEEE Int. SOI Conference, 03CH37443, p.61 (2003)

특정연구개발사업 연구결과 활용계획서

<table>
<tr><td rowspan="2">사업명</td><td>중사업명</td><td colspan="4">국가 지정 연구실 사업</td></tr>
<tr><td>세부사업명</td><td colspan="4">국가 지정 연구실 사업</td></tr>
<tr><td colspan="2">과제명</td><td colspan="4">고성능 나노-SOI 공정 기술 개발</td></tr>
<tr><td colspan="2">연구기관</td><td colspan="2">한양대학교</td><td>연구책임자</td><td>박재근</td></tr>
<tr><td colspan="2">총연구기간</td><td colspan="4">2002년. 6월. 25일. ~ 2004년. 6월. 24일. (24개월)</td></tr>
<tr><td colspan="2" rowspan="2">총 연구비
(단위 : 천원)</td><td>정부출연금</td><td>민간부담금</td><td>합계</td><td></td></tr>
<tr><td>440,000</td><td></td><td>440,000</td><td></td></tr>
<tr><td colspan="2">기술분야</td><td colspan="4">소재화학</td></tr>
<tr><td colspan="2">참여기업</td><td colspan="4"></td></tr>
<tr><td colspan="2">공동연구기관</td><td colspan="4"></td></tr>
<tr><td colspan="2">위탁연구기관</td><td colspan="4"></td></tr>
<tr><td colspan="2" rowspan="2">연구결과활용
(해당항목에(∨)
표시)</td><td>1. 기업화 ( )</td><td>2. 기술이전(∨)</td><td>3. 후속연구추진( )</td><td>4.타사업에 활용( )</td></tr>
<tr><td>5. 선행 및 기초연구( )</td><td>6. 기타목적활용(교육,연구)( )</td><td>7. 활용중단(미활용)( )</td><td>8. 기타( )</td></tr>
</table>

특정연구개발사업 처리규정 제 31조(연구개발결과의 보고) 제 2항에 의거 연구결과 활용계획서를 제출합니다.

첨부 : 1. 연구결과 활용계획서 1부.
2. 기술요약서 1부

2004 년 9 월 22 일

연구책임자 : 박 재 근 (인)
연구기관장 : 이 영 무 (직인)

과학기술부장관 귀하

[첨부1]

연구결과 활용계획서

1. 연구목표 및 내용

최종 연구목표 "Strained Si/relaxed SiGe/SiO2/Si 복합층 구조를 가진 strained Si과 relaxed SiGe층 두께가 50nm 이하의 양산용 고성능 nano-SOI 구조 공정기술 개발"중 "R&D 수준 고성능 나노 SOI 제조기술 확립", "고성능 나노 SOI 소자 컴퓨터 모사 기반 기술 확립"의 기술을 확보하는데 있다. 이 목표를 달성하기 위해서 웨이퍼 표면 roughness 0.4nm이하 표면처리 기술, 균일 나노면위 복합층 성장기술, 소자 동작영역 무결정결함 기술, 초미세 표면 결정결함 및 분석기술, 고성능 나노 SOI 소자 컴퓨터 모사기술의 융합에 의해 단계목표를 달성한다.

2. 연구수행결과 현황

가. 특허(실용신안) 등 자료목록

발명명칭	특허공고번호 출원(등록)번호	공고일자 출원(등록)일자	발명자 (출원인)	출원국	비고
Insulating-containing ring-shaped heat shields and support members for Czochralski pullers	US6,409,833 B2	2002.06.25	박재근	미국	등록
Semi-pure and pure monocrystalline silicon ingots and wafers	US6,472,040 B1	2002.10.29	박재근	미국	등록
Silicon wafers having controlled distribution of defects and methods of preparing the same	US6,485,807 B1	2002.11.26	박재근	미국	등록
Silicon wafers having controlled distribution of defects and methods of preparing the same	발명 제162,795	2002.12.27	박재근	대만	등록
Silicon wafers having controlled distribution of defects and slip	US6,503,594 B2	2003.01.07	박재근	미국	등록
제어된 결함 분포를 갖는 실리콘 웨이퍼, 그의 제조 공정 및 단결정 실리콘 잉곳의 제조를 위한 초크랄스키 풀러	10-0378184	2003.03.18	박재근	한국	등록
Argon/ammonia rapid thermal annealing for a silicon wafer, silicon wafers fabricated thereby and Czochralski pullers for manufacturing monocrystalline silicon ingots	NI-168752	2003.04.21	박재근	대만	등록
제어된 결함 분포를 갖는 실리콘 웨이퍼 및 그의 제조 공정	10-0385961	2003.05.20	박재근	한국	등록

발명명칭	특허공고번호 출원(등록)번호	공고일자 출원(등록)일자	발명자 (출원인)	출원국	비고
글리코 써멀법에 의한 나노 크기 세리아 분말의 제조방법	10-0417529	2004.01.26	박재근	한국	등록
직경이 50-100nm인 미세 산화 세륨 입자의 제조 방법	10-0417530	2004.02.05	박재근	한국	등록
나노 에스오아이 웨이퍼의 제조방법 및 그에 따라 제조된 나노 에스오아이 웨이퍼	10-2002 -0047351호	2002.08.10	박재근	한국	출원
화학 기계적 연마용 슬러리 조성물, 이것을 이용한 반도체 소자의 표면 평탄화 방법 및 슬러리 조성물의 선택비 제어 방법	10-2002 -0087934호	2002.12.31	박재근	한국	출원
Method of fabricating nano SOI wafer and nano SOI wafer fabricated by the same.	10/391,297	2003.03.19	박재근	미국	출원
반도체 기판 및 그의 제조방법	특원 2003-099541	2003.04.02	박재근	일본	출원
가요성 전기광학 장치 및 그 제조방법	10-2003 -0027824호	2003.04.30	박재근	한국	출원
가요성 단결정 필름 및 그 제조방법	10-2003 -0027825호	2003.04.30	박재근	한국	출원
나노 토포그라피 효과를 보상할 수 있는 화학 기계적 연마용 슬러리 조성물 및 이를 이용한 반도체 소자의 표면 평탄화 방법	10-2003 -0029678호	2003.05.12	박재근	한국	출원
CMP용 세리아 연마제 및 그 제조 방법	10-2003 -30880호	2003.05.15	박재근	한국	출원
단결정 가요성 필름 및 가요성 전기 광학 장치의 제조방법, 이를 제조하는 장치	10-2003 -0032841호	2003.05.23	박재근	한국	출원
나노 에스오아이 웨이퍼의 제조방법 및 그에 따라 제조된 나노 에스오아이 웨이퍼	03127550.8	2003.08.06	박재근	중국	출원
나노 에스오아이 웨이퍼의 제조방법 및 그에 따라 제조된 나노 에스오아이 웨이퍼	2003-291700	2003.08.11	박재근	일본	출원
Slurry composition for chemical mechanical polishing method of planarizing surface of semiconductor device using the same and method of controlling selectivity of slurry composition	PCT/JP03 /16813	2003.12.25	박재근	일본PCT	출원
화학 기계적 연마용 슬러리 조성물, 이를 이용한 반도체 소자의 표면 평탄화 방법 및 슬러리 조성물의 선택비 제어 방법	10-2003 -0099053	2003.12.29	박재근	한국	출원
CMP용 슬러리 및 그의 제조방법	10-2004 -0002743	2004.01.14	박재근	한국	출원
CMP용 슬러리 및 그의 제조법	10-2004 -0016943	2004.03.12	박재근	한국	출원

발명명칭	특허공고번호 출원(등록)번호	공고일자 출원(등록)일자	발명자 (출원인)	출원국	비고
금속막의 화학 기계적 연마에서 부식을 방지할 수 있는 연마용 슬러리 조성물 및 이를 이용한 반도체 소자의 표면 평탄화 방법	10-2004 -0027673	2004.04.22	박재근	한국	출원
유기 EL 디스플레이 및 그 제조방법	10-2004 -0023431	2004.04.06	박재근	한국	출원
집속 이온빔을 이용한 개구 및 마이크로렌즈 시스템 제조 방법, 그에 따라 제조된 마이크로렌즈 시스템	10-2004 -0024666	2004.04.9	박재근	한국	출원
에스오아이 웨이퍼의 제조방법 및 그에 따라 제조된 에스오아이 웨이퍼	10-2004 -0024667	2004.04.09	박재근	한국	출원
기판 접착 장치	10-2004 -0024668	2004.04	박재근	한국	출원
Flexible electro-optical apparatus and method for manufacturing the same	(POA000002)	2004.04.29	박재근	미국	출원
Flexible single-crystal film and method for manufacturing the same	(POA000001)	2004.04.29	박재근	미국	출원
SOI 반도체 기판 및 그 제조 방법	PCR/JP2004/004886	2004.04.02	박재근	일본PCT	출원

나. 프로그램 등록목록

다. 노하우 내역

표면 roughness 0.4nm 이하 표면 처리 기술, 균일 나노 복합 성장 기술, 무결정 결함 기술을 동시 병행 개발한 후 융합하여 나노 SOI 구조 제조 기술을 개발하였고. 나노 SOI 소자 컴퓨터 모사 결과를 나노 SOI 구조 제조 기술에 feed-back하여 공정 제어 변수 최적화 및 최저 생산 단가를 이루어 양산용 나노 SOI 공정 기술을 확보하였다. 이러한 기술개발은 기존 SOI 공정 및 소자의 기반 기술을 바탕으로 본 연구팀에서 기 확보된 기초 기반 기술 및 개발 인프라를 적극적으로 활용하였다. 또한 국·내외 협력 연구기관과 협동으로 요소기술의 공동개발을 추진하는 등 체계적이며 집중력 있는 연구개발을 수행하였다.

(1) 웨이퍼 표면 roughness 0.4nm 이하 표면 처리 기술

- **nano-cleavage 기술**은 i)저전압 수소 이온주입(가속전압 30keV이하, dose : 3E16/cm^2)과 ii)저온 cleavage(450℃ 이하)공정의 연속공정을 개발하였으며, cleavage 후 표면 처리를 위하여 고온고속 수소열처리 Epi reactor 및 RTA 공정을 개발하여 웨이퍼 표면 roughness 0.4nm를 달성하였다.
- **nano-topography CMP 기술**은 silicon CMP slurry의 표면 zeta전위 분산제어, particle 평균 size 제어 등의 초미세 세라믹 입자 거동에 대한 기반 연구를 통해 개발

하였다. 1차 년도에 Fumed silica CMP slurry를 개발하였고 2차 년도에 양산 nano ceria slurry을 개발하였다.

- **나노 표면 처리 기술** : Silicon wafer의 표면 atomic migration 극대화를 위해 i) RTA(Rapid Thermal Annealing), ii) Epi Reactor를 사용하여 surface activation 최적 gas 선택, reactor 분압 조절, ramping up/down rate 등의 **최적 공정 변수를 설정**하였다.

(2) **균일 나노 변위 복합층 성장 기술**

- **나노 복합 SiGe층 성장 기술** : reactor 내 gas 분압 분포, 온도 분포, Ge 유량 자동 feed-back 제어, ramp-up/down 등 최적 공정 제어 변수를 추출하였다.
- **저 에너지 수소 이온 주입 기술** : 수소(H^+) 이온 질량 분리 효율 극대화, 30keV 이하 가속 전압, beam-line alignment, 저 가속 전압 주입 시 nuclear stopping 효과 등 공정 조건 최적화를 유도하여 저전압 이온주입기를 개발하였다.

(3) **소자 동작 영역 무결정 결함 기술**

- **슈퍼 실리콘 웨이퍼 기술** : 8인치 및 12인치 무결함 결정성장 기술 및 고온열처리기술 개발을 완료하였다.
- **무결함 bonding 기술 : 신개념의 8, 12인치 SOI 웨이퍼 vertical bonder 설비를 독자 개발하였다. 특히 12인치 자동 수직 본더는 8인치의 수동 수직본더의 개념을 이용하여 개발**하였다. 또한 bonding 전, 후 처리의 cleaning 및 표면처리의 최적화를 통한 무결함 bonding flow를 개발하였다.
- **무결함 및 저단가 공정 설계** : 웨이퍼 표면 처리 기술, 균일 나노 변위 복합층 성장 기술, 소자 동작 영역의 무결정 결함 기술들을 최적화시켰으며, 각 단위 공정별 제어 변수를 설정하여, 시생산 수준의 나노 SOI 구조 제조 기술을 개발하였다.

(4) **초미세 표면 결정 결함 및 분석기술**

본 연구팀이 개발한 DSOD + FIB + TEM 분석 방법을 기반으로 **최소 표면 결함 size가 10nm까지 결함의 밀도 및 morphology분석**을 통해 각 나노 SOI 제조공정 문제점을 feed-back하고 공정 개선을 유도하는 분석 tool로 활용하고 있다.

(5) **고성능 나노 SOI 소자 컴퓨터 모사**

기 개발 완료한 고성능 나노 SOI 구조를 적용한 0.13㎛ C-MOSFET의 소자(Atlas)와 공정(Athena) 프로그램을 기반으로 양자역학적 물성 특성이 고려된 **고성능 나노 SOI 소자 컴퓨터 소자 모사 기술을 개발**하였다. Silvaco(미국)사와 지속적으로 공동 연구를 진행하고 있으며, 고성능 나노 SOI 공정을 적용한 나노소자를 제작 후 전기적 특성 평가를 통해 최적의 고성능 나노 SOI 공정 변수를 추출하여 R&D 수준의 고성능 나노 SOI 공정기술로 feed-back시키고 있다.

라. 발생품 및 시작품 내역

1단계 과제 수행 중 개발된 시작품으로서 200mmϕ 나노 SOI wafer(T_{Si}:100nm, 50nm), 200mm ϕ 고성능 나노 SOI wafer(T_{Si}:50nm) 및 300mmϕ 나노 SOI wafer(T_{Si}:150nm, 100nm)를 개발하였다.

마. 논문게재 및 발표 실적

○논문게재 실적

학술지 명칭	제목	게재연월일	호	발 행 기 관	국 명	SCI게재 여부
Proc. of the Fifth International Symposium on CMP, 201st Meeting of ECS	Nanotopography Effect of Improved Single-Side-Polished Wafer on Oxide CMP	2002. 07.01	2002.07 p193	The electrochemical society	(USA)	X
Proc. of the Fifth International Symposium on CMP, 201st Meeting of ECS	Spectral Analysis Method for Nanotopography Impact on Pad and Removal Depth Dependency in Oxide CMP	2002. 07.01	2002.07 p202	The electrochemical society	(USA)	X
2002 Asia-Pacific Workshop on Fundamental and Application of Advanced Semiconductor Devices	Effect of Nanotopography on Chemical Mechanical Polishing - Polishing Depth, Pad, slurry and Interlayer Film Dependencies	2002. 07.01	2002.07 p105-109	IEICE&JEEK	(Japan)	X
Jpn. J. Appl. Phys.	The Stability of Nano Fumed Silica Particles and Its Influence on Chemical Mechanical Planarization for Interlayer Dielectrics	2002. 03.18	2002.07 vol.41 p4509-4512	The Japan Society of Applied Physics	(Japan)	O
Journal of Ceramic Processing Research	The Effect of Agglomerated Particle Size on The Chemical Mechanical Planarization For Shallow Trench Isolation	2002. 04.01	2002. Vol.3 p278-281	Ceramic Processing Research Center	(Korea)	O
A Chinese Journal of Science & Applications in the Field of Rare Metals	Abrasive and surfactant effects on ceria slurry for chemical mechanical polishing in shallow trench isolation	2002. 05.20	2002.07 Vol.21 p11	Nonferrous Metals Society of China	(China)	X
Proc. of the China -Korea symposium Semiconduct and IT(CKSSI)	Electronic parameter variations of the two-dimensional electron gas in modulation-doped nanoscale step quantum wells due to a nanosize embedded potential barrier	2002. 10.01	2002.10 Vol.2 p64-67	The Institute of Electronics Engineering of KOREA(IEEK)	(China)	X

학술지 명칭	제목	게재연월일	호	발 행 기 관	국 명	SCI게재 여부
Proc. of the China -Korea symposium Semiconduct and IT(CKSSI)	Application of MPEG-4 Video to Standalone-based Unmanned Monitoring System	2002. 10.01	2002.10 vol.2 p35-38	The Institute of Electronics Engineering of KOREA(IEEK)	(China)	X
Proc. of the China -Korea symposium Semiconduct and IT(CKSSI)	Polishing Condition Dependency of Nanotopography Impacts on Oxide Chemical Mechanical Polishing	2002. 10.01	2002.10 vol.2 p68-72	The Institute of Electronics Engineering of KOREA(IEEK)	(China)	X
Proc. of the China -Korea symposium Semiconduct and IT(CKSSI)	A Study of Interactive T-Commerce Service based on Data Broadcasting	2002. 10.01	2002.10 vol.2 p60-30	The Institute of Electronics Engineering of KOREA(IEEK)	(China)	X
Proc. of the China -Korea symposium Semiconduct and IT(CKSSI)	EFFECT OF SLURRY AND PAD ON NANOTOPOGRAPHY IMPACT ON OXIDE CMP	2002. 10.01	2002.10 vol.2 p51-53	The Institute of Electronics Engineering of KOREA(IEEK)	(China)	X
Jpn. J. Appl. Phys	Effect of Crystallinity of Ceria Particles on the PETEOS Removal Rate in Chemical Mechanical Polishing for Shallow Trench Isolation	2002. 04.23	2002.10 vol.41 p 413-416	The Japan Society of Applied Physics	(Japan)	O
Journal of the Korean Physical Society	A Novel PDP Driver IC Using Bootstrapping High-Voltage Output Circuits	2002. 04.23	2002.10 vol 41. p 562-566	한국 물리학회	(Korea)	O
Proc. of the Semicon West 2002 STS 112	New Spectral Analysis Method to Quantify Nanotopography Impact on CMP	2002. 07.01	2002.07 p 187-190	SEMI	(USA)	X
Jpn. J. Appl. Phys	Effects of the Physical Characteristics of Cerium Oxide on Plasma-Enhanced Tetraethylorthosilicate Removal Rate of Chemical Mechanical Polishing for Shallow Trench Isolation	2002. 07.15	2003.03 vol.42 p1227-1230	The Japan Society of Applied Physics	(Japan)	O
Jpn. J. Appl. Phys	Effects of Abrasive Morphology and Surfactant Concentration on Polishing Rate of Ceria Slurry	2002. 09.05	2003.03 vol.42 p1150-1153	The Japan Society of Applied Physics	(Japan)	O

학술지 명칭	제목	게재연월일	호	발 행 기 관	국 명	SCI게재 여부
Monthly Semiconductor	고성능 나노 세리아 슬러리 개발	2003. 04.01	2003.04 p76-79	월간반도체	(Korea)	X
Microelectronic Engineering	Dependence of crystal nature on the gettering efficiency of iron and nickel in a Czochralski silicon wafer	2003. 02.01	2003.04 vol.66 p247-257	ELSEVIER	(Netherlands)	O
Jpn. J. Appl. Phys	Effect of Slurry Surfactant on Nanotopography Impact in Chemical Mechanical Polishing	2003. 04.02	2003.09 Vol.42 p5430-5432	The Japan Society of Applied Physics	(Japan)	O
Jpn. J. Appl. Phys.	Surfactant Effect on Oxide-to-nitride Removal Selectivity of Nano-abrasive Ceria Slurry for Chemical Mechanical Polishing	2002. 09.24	2003.09 vol.42 p5420-5425	The Japan Society of Applied Physics	(Japan)	O
International Symposium on Moecular-Engineering its Development into Microstems	Electron Mobility Behavior in Ultra Thin and Strained Si Inversion Layer Grown on SiGe-On-Insulator for 50nm MOSFET's	2003. 02.20	2003.02 1L-1	Waseda University	(Japan)	X
Solide State Communications (U.S.A)	Crystal structures of two variants for CuPt-type ordering in strained CdxZn1-xTe epilayer	2003. 03.12	2003.07 Vol.127 p39-41	Solide State Communications	(U.S.A)	O
Applied Physics Letters	Correlation between the ordered structure and the valence-band splitting in highly strained CdZn Te epilayers	2003. 03.11	2003.06 Vol 83 p269-271	American institute of Physics	(U.S.A)	O
Text book of SEMICON West 2003 STS 111: Innovations in Planarization Technology	High Selective Nano Ceria Slurry: Abrasive Size and Surfactant Effects	2003. 07.01	2003.07 p.95	SEMI	(U.S.A)	X
Text book of SEMI Technology Symposium (STS): Session 2. Dielectric, Interconnection and New Materials	Nano-ceramic particulate system for ILD/STI CMP	2003. 07.21	2003.07 p197-200	SEMI	(Korea)	X

학술지 명칭	제목	게재연월일	호	발 행 기 관	국 명	SCI게재 여부
Journal of Materials Research	Influence of the electrokinetic behaviors of abrasive ceria particles and the deposited plasma-enhanced tetraethylorthosilicate and chemically vapor deposited Si_3N_4 films in an aqueous medium on chemical mechanical planarization for shallow trench isolation	2003. 02.01	2003.09 Vol.18 p2163-2169	Materials Research Society	(USA)	O
ISPM-300mm Si SYMPOSIUM PROGRAM	Pure Silicon Ingot and Super Flatness in 300mm Wafers	2003. 04.02	2003.09 p23	ISPM-300mm Si SYMPOSIUM PROGRAM	(China)	X
Monthly Semiconductor	나노 세리아 슬러리 양산 공급 시스템	2002. 09.24	2003.09 p76-79	월간반도체	(Korea)	X
2003 IEEE INTERNATIONAL SOI CONFERENCE	Effect of Nano-scale Strained Si Grown on SiGe-on-Insulator on Electron Mobility	2003. 02.20	2003.09 p61-62	IEEE	(U.S.A)	X
Proc. of the Sixth International Symposium on CMP, 204th Meeting of ECS	EFFECTS OF ABRASIVE MORPHOLOGY AND SURFACTANT IN NANO-CERIA SLURRY FOR SHALLOW TRENCH ISOLATION CHEMICAL MECHANICAL POLISHING	2003. 03.12	2003.10 p216-223	The electrochemical society	(USA)	X
Proc. of the Sixth International Symposium on CMP, 204th Meeting of ECS	EFFECT OF SLURRY CHARACTERISTICS ON NANOTOPOGRAPHY IMPACT IN CHEMICAL MECHANICAL POLISHING	2003. 03.11	2003.10 p191-199	The electrochemical society	(USA)	X
Journal of Materials Research	Nanotopography Impact in Shallow Trench Isolation Chemical Mechanical Polishing - Analysis Method and Consumable Dependency	2003. 07.01	2004.04 Vol.43 p217-220	Materials Research Society	(USA)	O
Jpn. J. Appl. Phys.	Dependence of Nanotopography Impact on Abrasive Size and Surfactant Concentration in Ceria Slurry for Shallow Trench Isolation Chemical Mechanical Polishing	2003. 07.21	2004.01 Vol.43 p.1-4	The Japan Society of Applied Physics	(Japan)	O
Jpn. J. Appl. Phys.	Nanotopography Impact and Non-Prestonian Behavior of Ceria Slurry in STI-CMP	2003. 11.25	2004.02 Vol.43 p217-220	The Japan Society of Applied Physics	(Japan)	O

학술지 명칭	제목	게재연월일	호	발 행 기 관	국 명	SCI게재 여부
Jpn. J. Appl. Phys.	Effects of Grain and Abrasive Sizes of Polycrystalline Nano Ceria Slurry for Shallow Trench Isolation Chemical Mechanical Polishing	2003. 11.28	2004.03 Vol.43 p365-368	The Japan Society of Applied Physics	(Japan)	O
The Engineering Magazine for Electronic Components Industry (전자부품)	초고집적 반도체 STI 연마 공정용 세리아 슬러리의 특성이 나노토포그래피에 미치는 영향	2004. 03	2004.03 p72-80	(주)테크월드	(Korea)	X
Journal of the Korean Physical Society	Effects of Abrasive Size and Surfactant in Nano Ceria Slurry for Shallow Trench Isolation	2003. 08.25	2004.04.15 Vol.44 p796-799	Korean Physical Society	(Korea)	O
Journal of Ceramic Processing Research	Effect of Nano-scale Strained Si Layer Crown on SiGe-on-insulator Structure on MOSFET Drain Current Improvement	2003. 12	to be published 2004	Journal of Ceramic Processing Research	(U.S.A)	O
Journal of Ceramic Processing Research	Proximity Gettering Process for 300-mm Silicon Wafer	2003. 12	to be published 2004	Journal of Ceramic Processing Research	(U.S.A)	O
Jpn. J. Appl. Phys.	Dependency of Precipitation of Interstitial Oxygen on Crystal Nature in Czochralski Silicon Wafer	2003. 12	to be published 2004	The Japan Society of Applied Physics	(Japan)	O
긋북스코리아 (Korea)	Details of Semiconductor CMP Technology	2003. 01	2003.01 p415	긋북스코리아 (Korea)	(Korea)	X
학술정보	반도체 집적 공정	2004. 03	2004.03 p333	학술정보	(Korea)	X
계: 43건						

○ 학술회의 발표 실적(필요시 별지사용)

학술회의 명칭	제목	게재연월일	호	발 행 기 관	국 명
2002 Asia-Pacific Workshop on Fundamental and Application of Advanced Semiconductor Devices	Effect of Nanotopography on Chemical Mechanical Polishing - Polishing Depth, Pad, slurry and Interlayer Film Dependencies -	2002. 07.01	2002.07 p105-109	IEICE&JEEK	(Japan)
2002 Internation nano ceramics / crystals symposium	Effect of Agglomerated Particle Size on The Chemical Mechanical Planarization For Shallow Trench Isolation	2002. 08.14	P-24	The Korean Association of Crystal Growth	(Korea)
ISPSA-2002	Polishing Condition Dependency of Nanotopography Impacts on Oxide Chemical Mechanical Polishing	2002. 8.20-23	Pa-66	The Korean Physical Society	(Korea)
ISPSA-2002	Oxygen precipitation behavior on the crystal nature of Cz grown Si crystal	2002. 8.20-23	Pa-39	The Korean Physical Society	(Korea)
CGCT-2,2002	The Effect of Physicochemical Characteristics of Ceria Particles on PETEOS Removal Rate of Chemical Mechanical Planarization for Shallow Trench Isolation	2002 8.28-31	p-12	The Korean Association of Crystal Growth	(Korea)
2002년 한국물리학회 창립 50주년 심포지엄/학술발표회	Study on Gettering Effect in Silicon Wafers Annealed with RTA	2002.10.24	K-20	The Korean Physical Society	(Korea)
Text of SEDEX Seminar	Effect of Nanotopography and Slurry on Chemical Mechanical Polishing	2002.09.10	p-125	SETEC	(Korea)
2002 한국세라믹학회 추계 연구 발표회	Cu-CMP용 슬러리의 화학적 성질이 슬러리 분산 안정성과 Cu-CMP 공정에 미치는 영향	2002.10.18	P-14	한국세라믹학회	(Korea)
2002년도 한국재료학회 추계학술발표회	세리아 슬러리를 사용한 화학적 기계적 연마에서 연마재의 형태와 계면활성제의 농도가 미치는 영향	2002.11.1	D-10 p67	Material Research Society of Korea	(Korea)
2002 Annual Conference of Core University Program on Ceramic Materials Technology	The effect of the Dispersion Stability of Cu CMP Slurry and its effect on Cu CMP Process	2002.11.28	p15	The Korean Association of Crystal Growth	(Korea)
SEMICON Korea 2003	Nano-Ceramic Particulate System for ILD/STI CMP	2003.01.21	p193	SEMI	(Korea)
International Symposium on Moecular-Engineering its Development into Microstems	Electron Mobility Behavior in Ultra Thin and Strained Si Inversion Layer Grown on SiGe-On-Insulator for 50nm MOSFET's	2003.02.20	IL-1	일본 문부과학성 특별추진연구	(Japan)
제 10회 한국반도체학술대회	Surfactant and Abrasive Morphology Effect on STI-CMP Slurry	2003.02.27	P-10	한국반도체산업협회	(Korea)

학술회의 명칭	제목	게재연월일	호	발 행 기 관	국 명
2003 한국세라믹학회 춘계 연구발표회	STI CMP용 세리아 슬러리의 Suspension pH가 CMP 공정에 미치는 영향	2003.04.18	P-4	한국세라믹학회	(Korea)
2003 한국세라믹학회 춘계 연구발표회	나노세리아 입자의 특성이 CMP 나노토포그래피에 미치는 영향	2003.04.18	A-10	한국세라믹학회	(Korea)
2003 한국세라믹학회 춘계 연구발표회	초고집적 반도체 제조공정에서 CMP를 위한 나노 세라믹 입자 시스템	2003.04.18	p-17	한국세라믹학회	(Korea)
2003 한국물리학회 춘계 학술대회	Effect of Nano-thickness of Strained Si Grown on SiGe-On-Insulator for 50nm MOSFET's on the Electron Mobility Behavior	2003.04.26	Ka-07	The Korean Physical Society	(Korea)
2003 한국물리학회 춘계 학술대회	Theoretical Calculation on the Effect of a Nano-Thickness of Strained Si Grown on SiGe-On-Insulator on the Electron Mobility Behavior	2003.04.26	Ka-08	The Korean Physical Society	(Korea)
2003 한국물리학회 춘계 학술대회	Dependency of Crystal Nature on Gettering Efficiency of Nickel in Czochralski Silicon Wafer	2003.04.26	Ka-18	The Korean Physical Society	(Korea)
2003 한국물리학회 춘계 학술대회	Analysis of the Slurry Role in Nanotopography Impact for STI Chemical Mechanical Polishing	2003.04.26	Ka-12	The Korean Physical Society	(Korea)
2003 한국물리학회 춘계 학술대회	Effect of Light Ion Implantation on crystal defect formation in SIMOX Wafer	2003.04.25	Ka-p048	The Korean Physical Society	(Korea)
2003 한국물리학회 춘계 학술대회	Effect of Implantation Dose and Excimer Laser Annealing Energy on Crystal Defect in Plasma Immersion Ion Implantation	2003.04.25	Ka-p047	The Korean Physical Society	(Korea)
2003 한국물리학회 춘계 학술대회	Effect of Oxygen Precipitates Induced Oxide Breakdown for Czochralski Silicon Wafer	2003.04.25	Ka-p056	The Korean Physical Society	(Korea)
2003 한국물리학회 춘계 학술대회	Effect of Cleavage Temperature on Surface Roughness of Nano-SOI Wafer	2003.04.25	Ka-p057	The Korean Physical Society	(Korea)
2003 한국물리학회 춘계 학술대회	Ammonia Gas Effect of Rapid Thermal Annealing on Oxygen Precipitate Formation in Czochralski Silicon Wafer	2003.04.26	Kb-06	The Korean Physical Society	(Korea)
2003 한국물리학회 춘계 학술대회	Dependency of Nanotopography Impact on Abrasive Size in Ceria Slurry for STI Chemical Mechanical Polishing	2003.04.26	Kb-11	The Korean Physical Society	(Korea)
2003 한국물리학회 춘계 학술대회	Dependency of Nanotopography Impact on Surfactant Concentration in Ceria Slurry for STI Chemical Mechanical Polishing	2003.04.26	Kb-13	The Korean Physical Society	(Korea)
2003 한국물리학회 춘계 학술대회	Study on the Mechanical of High Selectivity of Nano Ceria Slurry for STI Chemical Mechanical Polishing	2003.04.26	Kb-12	The Korean Physical Society	(Korea)
Annual Meeting & Exposition of The American Ceramic Society	The Effect of Physicochemical Characteristics of Ceria Particle on Nanotopography for Chemical Mechanical Planarization	2003.04.28	AM-S17-42-2003	The American Ceramic Society	(U.S.A)

학술회의 명칭	제목	게재연월일	호	발 행 기 관	국 명
Annual Meeting & Exposition of The American Ceramic Society	The Influence of Suspending Environment on the Dispersion Stability of Slurry and Its Effect on Cu CMP Process	2003.04.29	AM-S17-43-2003	The American Ceramic Society	(U.S.A)
2003년도 한국재료학회 춘계 학술발표회	계면활성제의 농도와 연마제의 크기가 STI화학적 기계적 연마에 대한 나노 세리아 슬러리의 선택비에 미치는 영향	2003.05.23	D-4	Material Research Society of Korea	(Korea)
2003년도 한국재료학회 춘계 학술발표회	세리아 슬러리를 사용한 화학적 기계적 연마에서 계면활성제의 농도에 따른 나노토포그래피의 스펙트럼 분석	2003.05.23	D-5	Material Research Society of Korea	(Korea)
SEMICON West 2003	High Selective Nano Ceria Slurry: Abrasive Size and Surfactant Effects	2003. 07.01	p95	SEMI	(U.S.A)
2003년도대한전자공학회 하계종합학술대회	초고속 구동을 위한 Ultra-thin Strained SGOI n-MOS 트랜지스터 제작	2003. 07.10-11	제26권 제1호 p1065	대한전자공학회	(Korea)
ISPM-300mm Si Symposium	Pure Silicon Ingot and Super Flatness in 300mm Wafers	2003. 09.08	p23	GRINM	(China)
SiWEDS REVIEW MEETING	Effect of Nanoscale Strained Si Grown on SiGe-On-Insulator on Electron Mobility	2003. 10.16		SiWEDS	(U.S.A)
2003년도 한국세라믹학회 추계 연구발표회	The Influence of Inhibitors Concentration on Dispersion Stability of Colloidal SiO_2 Slurry and Its Effect on Cu CMP Process	2003. 10.17-18	P-9	한국세라믹학회	(Korea)
2003년도 한국세라믹학회 추계 연구발표회	The Effect of Physicochemical Characteristics of Colloidal Silica Slurry on Wafer Polishing Process	2003. 10.17-18	P-10	한국세라믹학회	(Korea)
2003 한국물리학회 추계 학술대회	Fabrication of Perfect Aperture for Miro source Lenses in Electron Beam Systems using Focused Ion Beam	2003.10.24	Ka-P001	The Korean Physical Society	(Korea)
2003 한국물리학회 추계 학술대회	Nickel Nano structure Fabrication using Focused Ion Beam	2003.10.25	Ka-07	The Korean Physical Society	(Korea)
2003 International Microprocesses and Nano technology Conference	Verification of phase defect correctability of EUV reflective multi layer	2003.10.29			
ACGT & SNS	MCZ Crystal Growth of 300mm Pure Silicon Crystal Ingot	2003.11.14	A 02	KACG & ASCGCT	(Korea)
ACGT & SNS	Proximity Gettering Design for 300mm Silicon Wafer	2003.11.14	A 05	KACG & ASCGCT	(Korea)
ACGT & SNS	Electron mobility Enhancement of nano-thickness of Strained Silicon Grown on Relaxed SiGe layer on Insulator	2003.11.14	A 11	KACG & ASCGCT	(Korea)
2003년도 한국재료학회 추계 학술발표대회	Strained Si를 만들기 위한 SiGe layer 형성에 temperature, GeH_4 gas pre-flow, gas ratio가 미치는 영향	2003.11.21	C-9	Material Research Society of Korea	(Korea)
2003년도 한국재료학회 추계 학술발표대회	STI CMP용 나노 세리아 슬러리의 Non-Prestonian 거동에서 연마 입자의 크기와 계면활성제의 농도가 미치는 영향	2003.11.21	C-13	Material Research Society of Korea	(Korea)

학술회의 명칭	제목	게재연월일	호	발 행 기 관	국 명
2003년도 한국재료학회 추계 학술발표대회	기계·화학적인 연마에서 슬러리의 특성에 따른 나노토포그래피의 영향과 numerical 시뮬레이션	2003.11.21	C-12	Material Research Society of Korea	(Korea)
2003년도 한국재료학회 추계 학술발표대회	STI CMP용 나노 세리아 슬러리에서 연마입자의 결정특성에 따른 평탄화 효율의 의존성	2003.11.21	C-14	Material Research Society of Korea	(Korea)
22th KO-CMPUGM for New Technology in CMP	High Selective Nano Ceria Slurry : Its Mechanism and Control of Nanotopography Impact	2003.11.27	Session 2	KOREA CMP USERS GROUP MEETING	(Korea)
2003년도 한국반도체 장비학회 추계 학술대회	나노 세리아 슬러리에 첨가된 연마입자와 첨가제의 농도가 CMP 연마판 온도에 미치는 영향	2003.12.12	제2권 제2호 P122	한국반도체장비학회	(Korea)
제11회 한국반도체학술대회	Design of Oxygen Precipitate Formation in 300mm Silicon Wafer Using NH_3/Ar Rapid Thermal Annealing	2004. 02.19~20	제 1권 A-4	한국반도체산업협회	(Korea)
제11회 한국반도체학술대회	Nanotopography Impact and Non-Prestonian Behavior of Ceria Slurry in STI-CMP	2004. 02.19~20	제 1권 B-19	한국반도체산업협회	(Korea)
제11회 한국반도체학술대회	Dependence of Planarization Efficiency on Crystal Characteristic of Abrasives in Nano Ceria Slurry for Shallow Trench Isolation Chemical Mechanical Polishing	2004. 02.19~20	제 1권 PA-32	한국반도체산업협회	(Korea)
제11회 한국반도체학술대회	Effect of strained Si/SiGe grown on Insulator on n-MOSFET Transport Characteristic Improvement	2004. 02.19~20	제 1권 PB-44	한국반도체산업협회	(Korea)
2004년도 한국전기화학회	Nanotopography Impact and Planarization Efficiency of Ceria Slurry for STI-CMP	2004.04.08	Symp D4	The Korean Electrochemical Society	(Korea)
SiWEDS REVIEW MEETING	The Korea Ministry of Science and Technology	2004. 04.16		SiWEDS	(U.S.A)
2004년도 한국세라믹학회춘계학술대회	A Study on the Electrokinetic Behavior of Nano-size Ceria Particulate for Damascene Gate Chemical Mechanical Planarization in ULSI Process	2004.04.17	제7권 제2호 P-163	한국세라믹학회	(Korea)
2004년도 한국세라믹학회춘계학술대회	The Effect of Rheological Behavior of Colloidal Silica Slurry with Organic Additive on Wafer Polishing Process	2004.04.17	제7권 제2호 P-170	한국세라믹학회	(Korea)
106th Annual Meeting & Exposition of The American Ceramic Society	The Rheological Behavior of Colloidal Silica Slurry and Its Influence on Wafer Polishing Process	2004.04.19	AM-S6-22-2004	The American Ceranic Society	(U.S.A)
계 : 59건					

3. 연구성과

연월	업체명	기술명	주요내용
2002.01.01 ~ 2004.04	코닉시스템(주)	나노 소자용 기판 웨이퍼의 BMD 제어용 고온 RTA 설비 개발	- 8인치 및 12인치 고온 고속 열처리 시스템 개발 - 고온 고속 수소 어닐링 공정 기술 개발 및 기술 이전
2003.04.01 ~ 2004.04	(주)K.C. Tech.	고성능 나노 세리아 슬러리 개발	- 나노 세라믹 슬러리 CMP 슬러리 제조 기술 이전
2003.05.01 ~ 2004.02.28	(주) 제이비에스 인터내셔널	나노 scale 표면 roughness 제거용 CMP 설비의 End point 계측 기술 개발	- CMP 공정 중 웨이퍼 표면의 가공 종점시점을 검출할 수 있는 end point detector 시스템 개발 및 기술 이전
2002.12.23 ~ 2004.04	(주) LG 실트론	고성능 나노 SOI 공정 기술 개발	- Void-free인 hydrophilic bonding 기술인 고성능 나노 SOI 공정 기술 개발 및 기술 이전 - 12인치 자동 수직 본더 제작 및 기술 이전

4. 기술이전 및 연구결과 활용계획

가. 당해연도 활용계획

(1) 나노 소자용 기판 웨이퍼의 BMD 제어용 고온 RTA 설비 개발

- (주) 코닉시스템에 기술이전 완료되어 고온 어닐링용 RTA로써 대량생산을 하고 있음. 특히 이는 BMD 제어용의 고온 RTA 설비로 개발되었으며, 응용 분야로 나노 SOI 웨이퍼의 고온 고속 웨이퍼 표면 처리용으로 사용될 수 있다.
- 현재 대량생산 시스템을 갖추었으며, 이 기술을 통하여 웨이퍼 벌크 BMD 형성에 대한 이론적 해석이 되었으며, slip-free의 edge-ring을 개발하였다.
- 특허 출원 및 등록 현황 :

(가) 특허 출원 : "제어된 결함 분포를 갖는 실리콘 웨이퍼 및 그의 제조 공정" 1건

(나) 특허 등록 : "Silicon wafers having controlled distribution of defects and methods of preparing the same" 외 6건(국제특허 4건 포함)

(2) 고성능 나노 세리아 슬러리 개발(KC Tech 기술이전 완료)

- (주) KC Tech에 기술이전되어 양산 공정 라인을 갖추었으며, 시험 생산을 거쳐 양산 공정을 진행하고 있다.
- 양산 라인을 가동중이며 대량 생산 시스템을 갖추었음. 생산된 STI용 나노 세리라 슬러리는 현재 (주)하이닉스반도체에 제품을 공급하여 양산 디바이스 인증을 위한 평가중에 있다.
- 특허 출원 및 등록 현황

(가) 특허 출원 : "화학 기계적 연마용 슬러리 조성물, 이것을 이용한 반도체 소자의 표면 평탄화 방법 및 슬러리 조성물의 선택비 제어 방법"외 9건(국제특허 1건 포함)

(나) 특허 등록 : "직경이 50-100nm인 미세 산화 세륨 입자의 제조 방법"외 1건

(3) 나노 scale 표면 roughness 제거용 CMP 설비의 End point 계측기술 개발
(제이비에스인터내셔널 기술이전 완료)

- (주) 제이비에스인터내셔널에 기술이전 완료되었으며, 시제품이 개발되었다.
- 생산된 시제품은 한양대학교 국가지정 나노 SOI 공정연구실의 나노 SOI 공정센터에 설치되어 양산 테스트 중에 있다.

(4) 고성능 나노 SOI 공정기술 개발

- (주)LG실트론에 기술이전되어 양산 공정 라인을 갖추었으며, 대량 생산을 위한 공정 최적화를 시행중에 있음. 8인치 및 12인치 양산 라인을 갖추었다.
- 생산되는 나노 SOI 웨이퍼는 인텔 및 AMD 등에 공급될 예정이다.
- 특허 출원 및 등록 현황

(가) 특허 출원 : "Method of fabricating nano SOI wafer and nano SOI wafer fabricated by the same"외 5건(국제특허 4건 포함)

나. 활용방법

구분	연구 개발 기술	활용 계획	활용 가능성
나노 SOI 핵심 기반기술	STI CMP용 나노 세리아 슬러리 개발	나노 SOI의 2Å수준 roughness 달성 기술로 사용. (주)K.C. Tech에 기술 이전	나노 웨이퍼 표면처리기술의 nano-topography CMP 기술
	나노 scale 표면 roughness 제거용 CMP 설비의 End-point 계측기술 개발	나노 SOI top silicon thinning에 사용되는 CMP polisher의 detector로 사용, (주) 제이비에스인터내셔널에 기술이전	나노 웨이퍼 표면처리기술의 nano-topography CMP 기술
	나노 소자용 기판 웨이퍼의 BMD 제어용 고온 RTA 설비개발	고온 고속 수소 열처리 기술, 슈퍼 실리콘 제조 공정기술, (주) 코닉시스템에 기술이전	나노 웨이퍼 표면처리기술의 나노 표면 처리기술, Super SOI 공정의 기판제조기술
	12인치 자동 수직본더 개발	Hydrophilic void-free 본딩 기술, (주) LG실트론에 양산공정적용	무결정결함 기술의 무결함 본딩기술
	single-type의 저에너지 수소이온 주입기 개발	30KeV 이하의 저에너지 수소이온주입용도로 사용, (주) LG실트론에 양산공정 적용	균일 나노변위 복합층 성장기술의 저에너지 수소이온주입기술
나노 SOI 양산 프로세스 기술	300mm 나노 SOI 공정기술개발	LG 실트론에 기술이전 및 양산공정 적용	SoC, 초고속 마이크로 프로세서 등의 정보통신소자의 고집적 디바이스에 적용
	8인치 Super SOI 공정기술개발	LG 실트론에 기술이전	수백 Giga Hertz CPU급 및 MPU 디바이스에 적용
나노 SOI 응용기술	Flexible silicon을 이용한 OLED 개발	미국 국방성의 ISC Corp.에 기술이전	의료용 및 군사용의 micro-display에 적용

다. 차년도이후 활용계획

- 고성능 나노 SOI 공정기술 이전

: 나노 SOI 공정 기술은 LG 실트론사에 기 이전 완료하여 LG 실트론사는 2004년 중반부터 8인치 및 12인치 양산 웨이퍼 공급이 가능하며 고성능 나노 SOI 공정기술은 LG 실트론사에 이전되어 2006년 중반부터 8인치, 12인치 양산 웨이퍼 공급이 가능할 것이다. 또

한 SUMCO사 및 Shinetsu사에 기술이전 가능성을 검토하여 본 연구팀이 개발한 고성능 나노 SOI 공정이 전세계 표준이 되도록 유지한다.

- 고성능 나노 SOI 공정 적용 C-MOSFET 소자 기술이전
  : 삼성전자, 하이닉스, 동부전자에 산학 연구 프로젝트를 통해 수백 Giga Hertz급 이상 MPU, CPU, DSP소자에 이 기술을 이전하고 반도체 업체 양산시 기술적인 자문을 지속적으로 실시한다.
- 소재 및 장비기술
  : 개발된 nano colloidal silica slurry 제조 기술은 K.C.Tech사에 기술이전하고 SUMCO사에 양산적용케 한다. 개발될 Single wafer 수소이온 주입기는 ULVAC사로부터 기술료를 받고 전세계 반도체 업체에 판매 유도한다.
- Non classical C-MOSFET소자의 backbone 기술 제공
  : 고성능 나노 SOI 공정기술은 2010년에 양산될 것으로 예상되는 Tera bit급 non classical C-MOSFET의 핵심기반기술로서 전세계 반도체에 기술 공개를 통해 본 연구팀 기술이 표준이 되게 유도한다. 또한 이 기술은 3-D C-MOSFET과 nano-floating gate 메모리 기술 개발의 backbone 기술로서의 확대를 추진한다.

5. 기대효과

가. 기술적 측면

- 최근 이동통신 기술의 빠른 발전은 **고속(수Giga Hertz급 이상)화, 고집적(소자 게이트 길이 100nm이하)의** 정보통신소자 (CPU, MPU, SoC, DSP, ASIC등) 응용을 요구해 오고 있다. 이러한 소자 분야 기술은 **Intel, Renasance, IBM, NEC, AMD, Infinion등 선진사들이 주도**해 오고 있으며, 아직도 SOI C-MOSFET 채널층의 두께가 50nm 수준을 사용하고 있다. **국내 반도체 회사(삼성전자, 하이닉스, 동부전자)**는 우선 최근 R&D 집중투자로 선진사의 **설계 및 공정 기술 수준을 따라 잡고자 하는 실정**이다. **특히 국내 반도체회사는 nano SOI C-MOSFET 설계 구조의 System LSI 소자의 개발이 초보적인 단계**에 있다.

- 본 연구팀은 2003년 4월 세계 최초로 SOI C-MOSFET 채널층 두께가 20nm 이하인 8인치 웨이퍼 nano SOI 공정 기술을 개발하여 선진 반도체 회사를 깜짝 놀라게 했다. 현재 LG 실트론사에 양산기술이전중에 있으며, 2004년 중반부터 LG 실트론사는 nano SOI 웨이퍼를 국내 반도체 회사에 양산공급이 가능하여 국내 반도체 회사들의 nano SOI C-MOSFET설계 적용한 정보 통신소자용 system LSI 개발에 박차를 가할 것이며, 이 소자 기술 분야도 5년 이내 선진 반도체 회사를 따라 잡을 수 있을 것이다.

- 본 연구팀이 2단계에서 개발할 고성능 나노 SOI 공정기술개발은 그림 2의 ITRS 2003에서 알 수 있듯이 Tera Hertz급 정보통신소자에 적용되는 차세대 정보통신소자용 system LSI 소자기술로 개발 후 이 기술이 국내 반도체 회사에 기술이전하면 국내 반도체 업체들의 낙후된 정보통신소자용 비메모리반도체(system LSI) 소자 기술 분야에 있어 선진 반도체 업체를 추월할 수 있을 것이다.

나. 경제 · 산업적 측면

- 현재 IBM, AMD, Motorola사는 MPU, CPU, DSP 소자를 8인치 웨이퍼상에 SOI 채널층 두께가 100nm인 thin SOI C-MOSFET 소자로 설계제작하여 양산 중에 있다. 또한 IBM은 MPU를 12인치 SOI 채널층 두께가 50nm인 nano SOI C-MOSFET 소자로 설계하여 양산 중에 있다.

- Intel, IBM, AMD, Renaissance, NEC, Toshiba등은 MPU 및 CPU 소자에 carrier 이동을 개선하기 위해 SiGe층이 삽입된 고성능 nano SOI C-MOSFET 소자를 개발 중에 있다.

- 본연구팀이 개발한 nano SOI 공정기술은 국내 반도체 업체들이 100% 수입하는 나노 SOI 웨이퍼 시장을 국산화가 가능하다. 또한 국내 LG 실트론 사는 수출을 통해 2005년 세계 SOI 웨이퍼 시장20%정도 점유율을 가질 것으로 기대된다.

- 또한 국내 반도체 업체도 나노 SOI C-MOSFET 및 고성능 나노 SOI C-MOSFET 기술확보로 전세계 비메모리소자 (system LSI 소자)의 2005년 7% 및 2010년 10% 시장 점유율을 가질 것으로 기대된다.

- 2010년에는 국내 반도체 업체들도 비메모리 중심사업과 고부가가치 system LSI 사업이 균형을 이루어 시장 변동에 민감하지 않는 국가 반도체 사업을 추진할 수 있을 것으로 예상된다.

표1. 본 기술의 SOI 실리콘 웨이퍼 세계 시장 규모 예측[6] (단위 : 백만불)

구분		1999	2001	2003	2005	2007	2010
IC시장	메 모 리	21,600	30,400	41,200	61,400	84,000	150,000
	비메모리	77,760	109,400	148,320	221,040	302,400	540,000
	개별소자	8,640	12,160	16,480	24,560	33,600	60,000
	계	108,000	152,000	206,000	307,000	420,000	750,000
Bulk 실리콘 시장		8,230	10,200	13,450	17,700	22,700	36,000
Thick SOI 시장		66.5	243	358	413	410	293
Thin/나노 SOI 시장		34	75	145	655	2,340	18,300

6. 문제점 및 건의사항

없음

[첨부2]

기술 요약서

■ 기술의 명칭

고성능 나노 SOI 공정 기술

■ 기술을 도출한 과제현황

과제관리번호	M10203000113			
과제명	고성능 나노 SOI 공정 기술 개발			
사업명	국가 지정 연구실 사업			
세부사업명	국가 지정 연구실 사업			
연구기관	한양대학교		기관유형	대학
참여기관(기업)				
총연구기간	2002. 6. 25 ~ 2004.6.24			
총연구비	정부(440,000)천원 민간( )천원 합계(440,000)천원			
연구책임자 1	성명	박 재 근	주민번호	
	근무기관 부서	한양대학교 나노 SOI 공정 연구실	E-mail	parkjgL@hanyang.ac.kr
	직위/직급	부교수	전화번호	02-2290-0234
연구책임자 2	성명		주민번호	
	근무기관 부서		E-mail	
	직위/직급		전화번호	
실무연락책임자	성명	이 곤 섭	소속/부서	한양대학교 나노 SOI 공정 연구실
	직위/직급	연구교수	E-mail	gslee@hanyang.ac.kr
	전화번호	02-2290-0578	FAX	02-2296-1179
	주소	(133 - 791) 서울특별시 성동구 행당동 17번지 한양대학교 HIT 101호 나노 SOI 공정 연구실		

■ 기술의 주요내용

[기술의 개요]

나노 SOI 소자 구조 경우, 소자의 drain edge에서 발생하는 impact ionization에 의해 hole이 buried oxide층에 축적되는 floating 현상이 필연적으로 발생되는데, 이를 해결하기 위해 SOI 구조의 실리콘 채널층과 buried oxide층 사이에 나노 두께의 SiGe층을 삽입하는 고성능 나노 SOI 소자 구조가 요구되고 있다. 또한, 고성능 나노 SOI 소자 구조는 삽입된 SiGe층이 실리콘 채널층에 변위를 유발시켜 소자 동작시 전자 mobility를 2배 정도까지 증가 시켜 소자 고속화를 가속화시킬 수 있다. 고성능 나노 SOI 소자 구조는 디자인룰이 30nm 소자까지 양산 가능하며, 특히 실리콘 기판 소자의 양자 역학적 한계를 극복한 나노 소자중 하나인 SET(Single Electron Transistor)는 나노 SOI 기반 구조에서만 소자 제작이 가능하다. 이와 같이 경쟁력 있고 미래 지향적인 차세대 정보통신 소자 개발 기술이 무결함 및 저 제조 단가의 고성능 나노 SOI 구조 공정 기술을 개발이다.

고성능 나노 SOI 공정기술은 strained Si / relaxed SiGe / SiO_2 / Si 복합층 구조를 가진 strained Si층과 relaxed SiGe층 두께가 50nm 이하의 고성능 나노 SOI 구조 제조 기술과, 이 기술을 차세대 정보통신소자에 응용하는 나노 SOI 소자 컴퓨터 모사 IT 기술로 융합화 되어 있다.

<기술적 특징>

고성능 나노 SOI 웨이퍼의 제작 기술은 하기 기술 그룹군의 융합에 의하여 이루어져 있다.

(1) 웨이퍼 표면 roughness 0.4nm 이하의 표면처리 기술
- 나노 cleavage 기술 : 저전압 수소이온주입 기술과 저온 cleavage 공정으로 구성
- nano topography CMP 기술 : slurry 표면 zeta 전위 분산제어 기술 등으로 구성
- 나노 표면 처리기술 : Silicon wafer의 표면 atomic migration 극대화 기술로 구성

(2) 균일 나노 변위 복합층 성장 기술
- 나노 복합 SiGe 층 성장 기술 : UHV-CVD에 의한 저온 SiGe 성장 기술
- 저에너지 수소 이온 주입 기술 : 저에너지 및 high beam current 주입기술

(3) 소자 동작 영역 무결정 결함 기술
- 슈퍼 실리콘 웨이퍼 제조 기술 : 8인치 및 12인치 무결함 결정 성장 기술 및 고온 열처리 기술로 구성
- 무결함 본딩 기술 : Hydrophilic 세정 공정 및 상온 상압 수직 본더 기술로 구성
- 무결함 및 저단가 공정 설계기술 : 웨이퍼 표면 처리 기술, 균일 나노 변위 복합층 성장 기술, 소자 동작 영역의 무결정 결함 기술 등의 최적화 기술 및 융합 기술로 구성

(4) 초미세 표면 결정 결함 및 분석 기술
- DSOD + FIB + TEM에 의한 분석 기술로 구성

(5) 고성능 나노 SOI 소자 컴퓨터 모사 기술
- 양자 역학적 물성 특성이 고려된 고성능 나노 SOI 소자 컴퓨터 소자 모사 기술

[용도 · 이용분야]

수십 Giga Hertz급 이상 소자(gate length : 90nm 이하)인 MPU, CPU, SoC, DSP 등의 시스템 LSI 소자를 partially depletion thin SOI C-MOSFET 소자로 설계 제작시에는 kink-effect가 발생하는 문제점이 있다. 이와 같은 kink-effect를 해결하기 위한 수단으로 fully depletion nano-SOI C-MOSFET 구조를 가진 MPU, CPU, SoC 소자를 설계 제작해야 하며, 소자 성능이 초고속, 초고집적, 극저전력화 시키기 위해서 게이트 길이의 감소와 더불어 nano-scale의 SOI 구조가 요구된다. 이상과 같은 초고집적의 디바이스의 기판 웨이퍼로 활용된다.

■ 기술의 분류

[기술코드] 1 3 3 (3 Digit) (KISTEP 홈페이지 기술요약서용 기술분류표 참조)

[기술분야] (1개만 선택(∨로 표시)하여 주십시오)

☐ 정보산업 ☐ 기계설비 ☑ 소재 ☐ 정밀화학·공정 ☐ 생명과학
☐ 원자력 ☐ 자원 ☐ 에너지 ☐ 항공·우주 ☐ 해양
☐ 교통 ☐ 보건·의료 ☐ 환경 ☐ 기초·원천 ☐ 기타

[기술의 활용유형] (1개만 선택(∨로 표시)하여 주십시오)

☑ 신제품개발 ☐ 신공정개발 ☐ 기존제품개선 ☐ 기존공정개선
☐ 기 타 ( )

[기술의 용도] (복수 선택(∨로 표시)가능합니다)

☐ 기계설비 ☑ 부품소자 ☐ 원료재료 ☐ 소프트웨어
☐ 가공처리기술 ☐ 자동화기술 ☐ 불량률 감소 등 현장애로기술
☐ 제품설계기술 ☑ 공정설계기술 ☐ 기 타 ( )

■ 산업재산권 보유현황(기술과 관련한)

권리유형	명 칭	국가명	출원단계	일자	등록번호
특허	Insulating-containing ring-shaped heat shields and support members for Czochralski pullers	미국	등록	2002.06.25	US6,409,833 B2
특허	Semi-pure and pure monocrystalline silicon ingots and wafers	미국	등록	2002.10.29	US6,472,040 B1
특허	Silicon wafers having controlled distribution of defects and methods of preparing the same	미국	등록	2002.11.26	US6,485,807 B1
특허	Silicon wafers having controlled distribution of defects and methods of preparing the same	대만	등록	2002.12.27	발명 제162,795
특허	Silicon wafers having controlled distribution of defects and slip	미국	등록	2003.01.07	US6,503,594 B2
특허	제어된 결함 분포를 갖는 실리콘 웨이퍼, 그의 제조 공정 및 단결정 실리콘 잉곳의 제조를 위한 초크랄스키 풀러	한국	등록	2003.03.18	10-0378184

권리유형	명 칭	국가명	출원단계	일자	등록번호
특허	Argon/ammonia rapid thermal annealing for a silicon wafer, silicon wafers fabricated thereby and Czochralski pullers for manufacturing monocrystalline silicon ingots	대만	등록	2003.04.21	NI-168752
특허	제어된 결함 분포를 갖는 실리콘 웨이퍼 및 그의 제조 공정	한국	등록	2003.05.20	10-0385961
특허	글리코 써멀법에 의한 나노 크기 세리아 분말의 제조방법	한국	등록	2004.01.26	10-0417529
특허	직경이 50-100nm인 미세 산화 세륨 입자의 제조 방법	한국	등록	2004.02.05	10-0417530
특허	나노 에스오아이 웨이퍼의 제조방법 및 그에 따라 제조된 나노 에스오아이 웨이퍼	한국	출원	2002.08.10	10-2002-0047351호
특허	화학 기계적 연마용 슬러리 조성물, 이것을 이용한 반도체 소자의 표면 평탄화 방법 및 슬러리 조성물의 선택비 제어 방법	한국	출원	2002.12.31	10-2002-0087934호
특허	Method of fabricating nano SOI wafer and nano SOI wafer fabricated by the same.	미국	출원	2003.03.19	10/391,297
특허	반도체 기판 및 그의 제조방법	일본	출원	2003.04.02	특원 2003-099541
특허	가요성 전기광학 장치 및 그 제조방법	한국	출원	2003.04.30	10-2003-0027824호
특허	가요성 단결정 필름 및 그 제조방법	한국	출원	2003.04.30	10-2003-0027825호
특허	나노 토포그라피 효과를 보상할 수 있는 화학 기계적 연마용 슬러리 조성물 및 이를 이용한 반도체 소자의 표면 평탄화 방법	한국	출원	2003.05.12	10-2003-0029678호
특허	CMP용 세리아 연마제 및 그 제조 방법	한국	출원	2003.05.15	10-2003-30880호
특허	단결정 가요성 필름 및 가요성 전기 광학 장치의 제조방법, 이를 제조하는 장치	한국	출원	2003.05.23	10-2003-0032841호
특허	나노 에스오아이 웨이퍼의 제조방법 및 그에 따라 제조된 나노 에스오아이 웨이퍼	중국	출원	2003.08.06	03127550.8
특허	나노 에스오아이 웨이퍼의 제조방법 및 그에 따라 제조된 나노 에스오아이 웨이퍼	일본	출원	2003.08.11	2003-291700
특허	Slurry composition for chemical mechanical polishing method of planarizing surface of semiconductor device using the same and method of controlling selectivity of slurry composition	일본PCT	출원	2003.12.25	PCT/JP03/16813
특허	화학 기계적 연마용 슬러리 조성물, 이를 이용한 반도체 소자의 표면 평탄화 방법 및 슬러리 조성물의 선택비 제어 방법	한국	출원	2003.12.29	10-2003-0099053
특허	CMP용 슬러리 및 그의 제조방법	한국	출원	2004.01.14	10-2004-0002743
특허	CMP용 슬러리 및 그의 제조법	한국	출원	2004.03.12	10-2004-0016943

권리유형	명 칭	국가명	출원단계	일자	등록번호
특허	금속막의 화학 기계적 연마에서 부식을 방지할 수 있는 연마용 슬러리 조성물 및 이를 이용한 반도체 소자의 표면 평탄화 방법	한국	출원	2004.04.22	10-2004-0027673
특허	유기 EL 디스플레이 및 그 제조방법	한국	출원	2004.04.06	10-2004-0023431
특허	집속 이온빔을 이용한 개구 및 마이크로렌즈 시스템 제조 방법, 그에 따라 제조된 마이크로렌즈 시스템	한국	출원	2004.04.9	10-2004-0024666
특허	에스오아이 웨이퍼의 제조방법 및 그에 따라 제조된 에스오아이 웨이퍼	한국	출원	2004.04.09	10-2004-0024667
특허	기판 접착 장치	한국	출원	2004.04	10-2004-0024668
특허	Flexible electro-optical apparatus and method for manufacturing the same	미국	출원	2004.04.29	(POA000002)
특허	Flexible single-crystal film and method for manufacturing the same	미국	출원	2004.04.29	(POA000001)
특허	SOI 반도체 기판 및 그 제조 방법	일본PCT	출원	2004.04.02	PCR/JP2004/004886

■ 기술이전 조건

이전형태	☑ 유상 □무상	최저기술료	천원
이전방식	□ 소유권이전 □ 전용실시권 □ 통상실시권 ☑ 협의결정 □ 기타( )		
이전 소요기간	2 년 0 개월	실용화예상시기	2007년도
기술이전시 선행요건	Single wafer-type의 수소이온주입기, Vertical 자동 본더, Hydrophilic 세정장비, Epi reactor, SiGe 성장용 UHV-CVD, SC1 thinner 등의 주요 설비 및 class 1의 크린룸이 확보되어야 한다.		

■ 기술의 개발단계 및 수준

[기술의 완성도]

	① **기초, 탐색연구단계** : 특정용도를 위해 필요한 신지식을 얻거나 기술적 가능성을 탐색하는 단계
	② **응용연구단계** : 기술적 가능성의 실증, 잠재적 실용화 가능성의 입증 등 실험실적 확인 단계
V	③ **개발연구단계** : Prototype의 제작, Pilot Plant Test 등을 행하는 단계
	④ **기업화 준비단계** : 기업화에 필요한 양산화 기술 및 주변 기술까지도 확보하는 단계
	⑤ **상품화 완료단계**

[기술의 수명주기]

	① **기술개념 정립기** : 기술의 잠재적 가능성만 있는 단계
	② **기술실험기** : 기술개발에 성공했으나 아직 실용성, 경제성 등이 확실치 않은 단계
V	③ **기술적용 시작기**: 최초의 기술개발국에서만 활용되고 있는 단계
	④ **기술적용 성장기**: 기술개발국 및 일부 선진국에서 활용되고 있는단계
	⑤ **기술적용 성숙기**: 선진국사이에서 활발한 기술이전이 일어나며, 기술의 표준화가 되어가는 단계
	⑥ **기술적용 쇠퇴기**: 선진국에서 개도국으로 기술이전이 활발하게 일어나고, 선진국에서는 기술의 가치가 저하되나, 개도국에서는 아직 시장의 가치가 높은 기술

[기술발전 과정상의 기술수준]

	① **외국기술의 모방단계** : 이미 외국에서 개발된 기술의 복제, reverse Eng.
	② **외국기술의 소화·흡수단계** : 국내시장구조나 특성에 적합하게 적응시킴
	③ **외국기술의 개선·개량단계** : 성능이나 기능을 개선시킴
V	④ **신기술의 혁신·발명단계** : 국내 최초로 개발

■ 본 기술과 관련하여 추가로 확보되었거나 개발중인 기술

[기술개요]

기술명	Flexible Silicon을 이용한 OLED 개발
개발단계	☐ 연구개발 계획 ☑ 연구개발 중 ☐ 연구개발 완료
기술개요	기존의 플라즈마 디스플레이 패널(Plasma Display Panel; PDP)과 LCD에 비하여 OLED는 유기물 박막에 양극과 음극을 통하여 주입된 전자와 정공이 재결합하여 엑시톤을 형성하고 형성된 엑시톤에 의해 특정한 파장의 빛이 발생하는 현상을 이용하는 자체 발광형 디스플레이 소자이다. OLED는 현재 각광을 받고 있는 LCD와 같은 수광형태의 소자에 비해 응답속도가 음극선관(Cathode Ray Tube; CRT)수준으로 빠르다는 장점을 가지며 플라즈마 방전을 이용하는 PDP에 비해 낮은 직류 구동 전압에서 작동 가능하고 초박막화가 가능하여 벽걸이 또는 휴대용 디스플레이로 응용 가능하다. 또한 다른 디스플레이에 비해 면 발광이므로 발광된 빛이 균일하고 시야각이 넓으며 가시영역의 모든 색상의 발광이 가능하다. 이러한 이유로 OLED는 다음세대의 디스플레이로 각광 받고 있다. 기존의 OLED 제작 기술은 유리 기판을 사용하여 투명전극 또는 비정질, 다결정 실리콘을 사용하여 제작되고 있다. 기존의 제작방법은 나노 초박막 공정을 이용한 단결정 실리콘의 경우와 비교해 유리 기판의 경우는 유연성이 떨어지고 비정질, 다결정 실리콘의 경우 단결정 실리콘에 비해 이동도가 떨어진다. 기존의 OLED를 사용할 경우 고집적화를 통한 고해상도 디스플레이 제작에 많은 한계가 있다. 이와 같은 단점을 극복하기 위하여 본 연구에서 나노 초박막 공정을 이용한 OLED 제작 기술은 미래 멀티미디어 시대에 대응하기 위한 저가격화와 고집적화 기술을 확보하고 저소비 전력 기술 개발을 통한 에너지 절감, 경량화 및 박형화 등 원가 절감을 통한 생산성 향상 기술 확보에 적합한 기술이다. 본 연구에서 새롭게 제안하는 나노 실리콘 기판 위에 유기 물질을 증착시키는 OLED 공정 기술 개발은 기존 디스플레이 업체에서 실행한 적이 없는, 신기술의 OLED 공정기술이다. 또한 본 연구팀은 응답속도가 기존의 OLED에 비하여 월등히 향상된, 매우 얇은 신축성 있는 단결정 실리콘 위에 발광 소자를 형성시킨 OLED 소자 기술을 개발하고자 한다. 이는 ITO 층을 대체함으로 인해 공정 단가를 낮출 수 있을 뿐만 아니라, 실리콘 웨이퍼를 기판으로 씀으로써 반도체 공정의 미세 기술 적용이 가능하므로 고해상도의 디스플레이를 구현할 수 있다. 또한 ITO 대신 사용되는 실리콘 기판의 도핑 농도를 조절하면 비저항 값을 낮출 수 있어 p-type 실리콘 기판의 경우 ITO와 유사한 일함수를 얻을 수 있다. 실리콘 기판으로 ITO을 대체할 수 있는 기술은 고온의 TFT를 간단히 형성시킬 수 있으므로 구동 회로를 동일한 기판 위에 만들 수도 있는 장점이 있어 저가격화, 고집적화를 이루는데 중요한 역할을 하는 기술이다. 특히 OLED 구조에 일함수가 낮은 전극과 전자 수송층인 Alq_3 박막사이에 얇은 절연체 박막을 삽입하여 문턱전압과 효율을 증진하는 새로운 소자를 개발할 예정이다.

[기술을 도출한 과제현황]

과제관리번호	M10203000113			
과제명	고성능 나노 SOI 공정 기술 개발			
사업명	국가 지정 연구실 사업			
세부사업명	국가 지정 연구실 사업			
연구기관	한양대학교		기관유형	대학
참여기관(기업)				
총연구기간	2002.6.25 ~ 2004.6.24			
총연구비	합계 : (440)백만원 - 정부 : (440)백만원 민간 : ( )백만원			
연구책임자	소속	한양대학교	성명	박 재 근
	전화번호	02-2290-1179	E-mail	parkjgl@hanyang.ac.kr

연구개발 주요내용

interface void-free인 hydrophilic 본딩 기술을 이용한 8인치 및 12인치 나노 SOI 공정 기술을 개발하였다. 12인치 나노 SOI 공정 기술은 8인치 나노 SOI 공정 기술을 기반으로 면적 증가에 따른 표면 에너지 및 결합 증착률 증가를 고려하여 공정 조건을 개발하였다. 8인치 및 12인치 나노 SOI 웨이퍼는 수백 Hertz급 이상 MPU, CPU, SoC, DSP 등 고속, 고집적, 고기능 차세대 정보 통신 소자에 적용될 예정이다. 나노 SOI 공정 기술은 IMT-2000 등의 정보 통신 소자의 고속화, 고집적화, 다기능화가 요구되는 디바이스에 사용될 예정이다.

고성능 나노 SOI 소자 컴퓨터 모사기술로써 Schrodinger 방정식 1D solver 프로그램을 C-언어로 coding하여 10nm 이하의 top silicon 두께를 갖는 strained silicon에서의 전자 분포와 밀도를 구했으며, Poisson equation solver 프로그램을 개발하여 acoustic phonon scattering, optical phonon scattering, impurity scattering, surface roughness scattering을 고려한 strained silicon에서의 mobility를 구하여 90nm C-MOSFET의 I-V 특성을 구현할 수 있는 프로그램을 개발하였다.

대표적인 장비 개발로써는 일본 장비 업체인 ULVAC사 및 일본 동북대학과의 기술교류 및 업무협조로 세계 최초로 8인치 및 12인치 겸용의 single wafer-type의 저에너지 수소 이온 주입기를 개발하였다. 이 설비는 기존의 batch-type과 동등 이상의 품질 수준을 보이며, 8인치 및 12인치 웨이퍼를 겸용으로 사용할 수 있는 장점이 있다.

보고서 배포결과

중 사 업 명	국가 지정 연구실 사업			
세부 사 업 명	국가 지정 연구실 사업			
과 제 명	고성능 나노-SOI 공정 기술 개발			
주관기관명	한양대학교	연구책임자	박 재 근 (인)	
해당단계 연구기간	2002.6.25 ~2004.6.24	해당단계 연구비(천원)	정 부	440,000 천원
단계 구분	1 / 2		기 업	
			계	440,000 천원
배포일시(기간)	2004. 9. 23			

배 포 기 관	부 수	배 포 기 관	부 수
<필수배포기관>		<유관기관>	
한국과학기술연구원(도서실)	1	한양대학교(도서관)	1
한국과학기술원(도서실)	1	성균관대학교(도서관)	1
국회도서관	2	건국대학교(도서관)	1
국립중앙도서관	2	서강대학교(도서관)	1
정부기록보존소	3	홍익대학교(도서관)	1
한국과학기술정보연구원	1	단국대학교(도서관)	1
광주과학기술원(도서관)	1	아주대학교(도서관)	1
한국산업기술진흥협회	2	경기대학교(도서관)	1
강원대학교(도서관)	1	명지대학교(도서관)	1
충남대학교(도서관)	1	서울시립대학교(도서관)	1
충북대학교(도서관)	1		
경북대학교(도서관)	1		
경상대학교(도서관)	1		
부산대학교(도서관)	1		
서울대학교(도서관)	1		
전남대학교(도서관)	1		
전북대학교(도서관)	1		
제주대학교(도서관)	1		
포항공과대학교(도서관)	1		
연세대학교(도서관)	1		
고려대학교(도서관)	1		
과학기술부(자료실)	1		