

MS-01-231-01

지능형 마이크로시스템 개발사업

Intelligent Microsystem Program

**마이크로 PDA용 무선송수신 Front-end 모듈 및
집적화 요소기술 개발**

**The Development of RF Transceiver Front-end Module
and Integration Technology for Micro PDAs**

삼성전자(주) 종합기술원

과 학 기 술 부

제 출 문

과학기술부 장관 귀하

본 보고서를 “마이크로 PDA용 무선송수신 Front-end 모듈 및 집적화 요소기술 개발”의 보고서로 제출합니다.

2002 . 8 . 31

주관연구기관명 : 삼성전자(주) 종합기술원

주관연구책임자 : 송 인 상

연 구 원 : 심 동 하

” : 조 진 우

” : 박 선 희

” : 이 문 철

” : 이 은 성

” : 송 훈

” : 김 종 석

위탁연구기관명 : KIST, KAIST, 동국대,
아주대, 연세대

위탁연구책임자 : 주병권, 홍성철, 박형무,
박익모, 윤영중

보고서 초록

이 보고서는 MEMS 기술을 이용한 마이크로 PDA용 2/5GHz 대역의 무선송수신 Front-end 모듈개발에 핵심적인 요소기술을 보여준다. 초소형 RF front-end 모듈은 현재 RF IC의 경우 MMIC(Monolithic Microwave Integrated Circuit) 형태로 제작되고 있으나 Filter, Inductor와 같은 수동부품들은 여전히 외부에 off-chip 형태로 장착되어 RF통신모듈의 초소형에 bottleneck이 되고 있다. MEMS 기술을 이용하여 On-chip inductor, Tunable capacitor, RF MEMS switch, IF/RF filter, Duplexer, VCO의 집적화를 구현함으로써 RF front-end 모듈의 초소형, 고기능, 저가격화를 달성할 수 있으며, RF IC와 집적하여 single package RF front-end 모듈을 실현할 수 있는 가능성을 제공한다. 본 과제를 통해 개발된 요소들은 성능이 우수하고 집적화가 용이하며, 크게 수동소자와 능동소자로 구분될 수 있다. 수동소자로는 RF MEMS switch, High-Q inductor, balun, transformer, MEMS filter, 소형 antenna가 설계, 제작, 평가되었고, 특히 개발된 RF switch는 우수한 RF 성능을 나타내 Multi-band/Multi-Standard RF module을 포함한 Reconfigurable RF system의 핵심요소가 될 것으로 예상된다. 또한 High-Q inductor는 RF IC와의 집적과 신뢰성을 고려하여 기존의 MEMS inductor와는 달리 실제적으로 양산 가능한 공정의 개발을 통해 구현되었다. 한편 능동소자로 VCO, LNA, Mixer, Power amp.를 개발하고 제작된 Tx/Rx MMIC의 modelling을 바탕으로 Design library 구축하였다. 특히 High-Q MEMS inductor와 집적화된 VCO는 우수한 성능을 보여 주었다. 그 외에 RF MEMS 소자의 package를 위한 필수 요소기술로 Wafer Level Hermetic Package와 LTCC Package 공정을 개발하고 RF MEMS switch의 packaging을 통해 가능성을 검증하였다. 상기의 개발된 요소기술들은 집적도가 높고 성능이 우수한 마이크로 PDA용 RF Front-end 모듈의 개발에 핵심적인 역할을 할 것이다. 또한 일반적인 이동통신 단말기에 공통적으로 사용되는 RF front-end 모듈에 응용될 수 있어 폭발적으로 증가하는 개인 이동통신 핵심부품 시장을 점유에 크게 기여할 것으로 기대된다.

| | | | | | |
|---|---|--|------------------------------------|-------------|---|
| 과제관리번호 | MS-01-231-01 | 해당단계 연구기간 | 2000년 5월 1일~ 2002년 6월 30일 | 단계 구분 | 1단계 |
| 연구사업명 | 중 사업명 | - | | | |
| | 세부사업명 | 지능형 마이크로시스템 개발사업 | | | |
| 연구과제명 | 중 과제명 | - | | | |
| | 세부과제명 | 마이크로 PDA용 무선송수신 Front-end 모듈 및 집적화 요소기술 개발 | | | |
| 연구책임자 | 송 인 상 | 해당단계 참여연구원수 | 총 : 60 명 내부 : 30 명 외부 : 30 명 | 해당단계 연구비 | 정부: 1,450,000 천원 기업: 2,425,000 천원 계: 3,875,000 천원 |
| 연구기관명 및 소속부서명 | 삼성전자(주) 종합기술원 MEMS Lab. | | 참여기업명 | 삼성전자(주) | |
| 국제공동연구 | - | | | | |
| 위탁연구 | 연구기관명 : KIST, KAIST, 동국대, 아주대, 연세대 연구책임자 : 주병권, 홍성철, 박형무, 박익모, 윤영중 | | | | |
| 요약 | | | | 보고서 면수 | 129 |
| <p>본 과제는 MEMS 기술을 이용하여, 마이크로 PDA용 2/5GHz 대역의 무선송수신 Front-end 모듈개발에 핵심적인 요소부품을 구현하였다. 개발된 요소부품들은 성능이 우수하고 집적화가 용이하며, 크게 수동소자와 능동소자로 구분된다. 수동소자로는 RF MEMS switch, High-Q inductor, balun, transformer, MEMS filter, 소형 antenna가 설계, 제작, 평가되었고, 특히 개발된 RF switch는 우수한 RF 성능을 나타내 Multi-band/Multi-Standard RF module을 포함한 Reconfigurable RF system의 핵심요소가 될 것으로 예상된다. 또한 High-Q inductor는 RF IC와의 집적이 용이성과 신뢰성을 고려하여 기존의 MEMS inductor와는 달리 실제적으로 양산 가능한 공정의 개발을 통해 구현되었다. 한편 능동소자로 VCO, LNA, Mixer, Power amplifier를 개발하고 제작된 Tx/Rx MMIC의 modelling을 바탕으로 Design library 구축하였다. 특히 High-Q MEMS inductor와 집적화된 VCO는 우수한 성능을 보여 주었다. 그 외에 RF MEMS 소자의 package를 위한 필수 요소기술로 Wafer Level Hermetic Package와 LTCC Package 공정을 개발하고 RF MEMS switch의 packaging을 통해 가능성을 검증하였다. 상기의 개발된 요소기술들은 집적도가 높고 성능이 우수한 RF Front-end 모듈의 개발에 핵심적인 역할을 할 것으로 기대된다.</p> | | | | | |
| 색인어 | 한글 | RF MEMS 스위치, High-Q 인덕터, 송수신 MMIX, 전압제어발진기, 안테나, MEMS 필터 | | | |
| | 영어 | RF MEMS Switch, High-Q Inductor, Tx/Rx MMIC, VCO, Antenna, MEMS Filter | | | |

요 약 문

I. 제 목

마이크로 PDA용 무선송수신 Front-end 모듈 및 집적화 요소기술 개발

II. 연구개발의 목적 및 필요성

아날로그방식의 Cellular Phone으로 시작된 이동통신은 디지털방식의 PCS를 거치면서 사용자수가 유선전화의 사용자수를 넘어서는 놀라운 발전을 보이고 있다. 특히 가까운 장래에는 휴대전화에 인터넷기능이 추가되고, PDA, HPC (Handheld PC)등에는 무선통신기능이 추가되면서 서로간의 구별이 없어지는 시대가 될 것이며 한 개의 복합 무선휴대단말기가 전화, 컴퓨팅, 인터넷등 다양한 기능을 수행하는 형태가 될 것이다. 이와 같이 단말기가 복합화됨에 따라 통신 모듈은 소형화, 고성능화, 저전력화를 더욱 요구하고 있으며 고성능화를 위해 점차 높은 주파수로 바뀌고 있다. 특히 이러한 복합단말기는 전체크기의 대부분이 컴퓨팅, 인터넷 기능을 위한 부분이므로 RF front-end 모듈의 초소형화 연구 개발이 절실히 요구된다.

III. 연구개발의 내용 및 범위

반도체 일괄 공정인 MEMS 기술을 이용한 마이크로 PDA용 2/5GHz 대역의 무선송수신 Front-end 집적화를 위한 요소기술 개발하였다. 먼저 Front-end 모듈 개발을 위해, 성능이 우수하고 집적화가 용이한 저손실 RF MEMS Switch, High q-factor inductor, MEMS filter, 소형 Antenna등의 핵심 MEMS 수동소자와 VCO, LNA, Power Amp. 등의 능동소자를 설계, 제작, 시험하였다. 그 외에 RF MEMS 소자의 package를 위한 필수 요소기술로 Wafer Level Hermetic Package와 LTCC Package 공정을 개발하고 RF MEMS switch의 packaging을 통해 가능성을 검증하였다.

IV. 연구개발결과

개발된 RF switch는 우수한 RF 성능을 나타내 Multi-band/Multi-Standard RF module을 포함한 Reconfigurable RF system의 핵심요소가 될 것으로 예상된다. High-Q inductor는 RF IC와의 집적이 용이성과 신뢰성을 고려하여 기존의 MEMS inductor와는 달리 실제적으로 양산 가능한 공정의 개발을 통해 구현되었다. 능동소자로 VCO, LNA, Mixer, Power amplifier를 개발하고 제작된 Tx/Rx MMIC의 modelling을 바탕으로 Design library를 구축하였다. High-Q MEMS inductor와 집적화된 VCO는 우수한 성능을 보여 주었다.

V. 연구개발결과의 활용계획

본 과제를 통해 RF MEMS 개별소자의 설계 및 제작방법, 공정기술, 그리고 모듈 구조의 최적설계방법, MCM-D 공정기술, 설계분석 기술등 다양한 연구결과 및 Knowhow가 얻어졌다. 또 이를 타 연구기관과 공유하기 위해 총 30편이상의 연구논문을 국내외 학회 및 저널지에 발표하였다. Feasibility가 검증된 switch는 신뢰성(Lifetime, Power handling) 확보 후 사업화에 활용될 것이다. High-Q inductor는 RF IC와 집적된 형태 혹은 단품 Chip inductor로 사업화 될 수 있다. 능동소자와 관련된 Design library는 집적도가 높고 개발된 MEMS 소자와의 집적이 용이한 RF IC의 개발에 활용될 수 있다.

S U M M A R Y

In this project the key technologies for transceiver front-end modules for micro PDAs are developed using MEMS technologies. The developed devices classified into passive and active devices can be easily integrated and show high performances. The passive devices are designed, fabricated, and evaluated including RF MEMS switch, High-Q inductor, balun, transformer, MEMS filter, miniaturized antenna. The switches show excellent RF performances and can be used in reconfigurable RF systems including Multi-band/Multi -Standard RF modules. And the novel fabrication processes for mass-production are developed for the high-Q inductors. The inductors can be easily fabricated above IC and show high performances. Wafer Level Hermetic Package and LTCC Package technologies are developed for the package of RF MEMS devices and show high RF performances. Also active devices and design libraries for Tx/Rx MMIC's are developed including VCO, LNA, mixer and power amplifier. The developed VCO integrated with the high-Q inductor especially shows high performances. The developed technologies are expected to be building blocks for integrated RF front-end modules with high performances.

C O N T E N T S

| | |
|--|-----|
| Chapter 1. Introduction | 9 |
| Section 1. Objectives of the Project | 9 |
| Section 2. Scope of the Project | 10 |
| Chapter 2. Status of the Research and Development | 12 |
| Chapter 3. Results of the Project | 14 |
| Section 1. RF MEMS Switch | 14 |
| Section 2. High-Q inductor | 45 |
| Section 3. Tx/Rx MMIC | 55 |
| Section 4. VCO | 71 |
| Section 5. Filter | 79 |
| Section 6. Antenna | 88 |
| Chapter 4. Achievements of the Research | 106 |
| Section 1. 1FY Achievements | 106 |
| Section 2. 2FY Achievements | 107 |
| Section 3. 3FY Achievements | 108 |
| Chapter 5. Application Plan of the Results of the Research | 110 |
| Chapter 6. Information on Foreign Researches | 111 |
| Chapter 7. References | 113 |

목 차

| | |
|------------------------------------|-----|
| 제 1 장. 연구개발과제의 개요 | 9 |
| 제 1 절. 연구개발의 목적 및 필요성 | 9 |
| 제 2 절. 연구개발의 범위 | 10 |
| 제 2 장. 국내외 기술개발 현황 | 12 |
| 제 3 장. 연구개발수행 내용 및 결과 | 14 |
| 제 1 절. RF MEMS Switch | 14 |
| 제 2 절. High-Q inductor | 45 |
| 제 3 절. Tx/Rx MMIC | 55 |
| 제 4 절. VCO | 71 |
| 제 5 절. Filter | 79 |
| 제 6 절. Antenna | 88 |
| 제 4 장. 목표달성도 | 106 |
| 제 1 절. 1차년도 목표달성도 | 106 |
| 제 2 절. 2차년도 목표달성도 | 107 |
| 제 3 절. 3차년도 목표달성도 | 108 |
| 제 5 장. 연구개발결과의 활용계획 | 110 |
| 제 6 장. 연구개발과정에서 수집한 해외과학기술정보 | 111 |
| 제 7 장. 참고문헌 | 113 |

제 1 장. 연구개발과제의 개요

제 1 절. 연구개발의 목적 및 필요성

무선통신기기에서 필수적인 부품이면서 소형화하기 어려운 것으로 Filter, Duplexer 등의 수동소자, Antenna 및 전압조절 발진기, 전력증폭기 등이 있으나 이들의 크기는 대부분 사용 주파수의 파장에 비례하기 때문에 2GHz 이하의 주파수 대역에서는 그 크기를 소형화하는데 한계가 있다. 현재 단말기에서 사용되고있는 SAW 필터는 압전 소자가 acoustic wave를 전기적 신호로 변환시키는 성질을 이용하여 필터링 효과를 얻는다. SAW 필터는 전극의 간격에 의해서 필터의 주파수 범위가 결정되므로 IF단에서 사용될 경우 크기가 커지고 전극의 간격은 공정상 제한되므로 3GHz 이상의 고주파에서 필터를 구현하기 어려운 문제점을 갖는다.

단말기에서 사용되는 전압조절 발진기의 경우 저위상잡음 성능을 만족하기 위해 off-chip high Q LC tank 회로를 사용하며 주파수 tuning을 위하여 varactor diode를 사용하기 때문에 IC와의 집적이 불가능한 단점을 가진다. 이러한 문제점을 해결하기 위하여 CMOS 공정을 이용한 capacitor와 spiral inductor의 집적화 연구가 진행되고 있으나 기판으로의 손실과 기생 성분 때문에 단말기에서 요구하는 좋은 성능의 RF 소자를 만들기가 어려운 실정이다. 이에 대한 대안으로 MEMS 기술을 이용한 tunable capacitor와 inductor를 기판위로 띄워서 제작함으로써 기존의 하이브리드로 제작시에 발생하는 오차를 줄이고 고성능, 소형화된 RF 소자를 재현성 있게 만들 수 있다. 이외에도 MEMS tunable capacitor와 inductor를 CMOS 회로와 집적화시켜 낮은 위상잡음을 갖는 VCO를 구현하려는 노력이 경주되고 있다. 한편 VCO, MEMS 초고주파 스위치, 전력증폭기 등 개별 모듈에 대한 연구는 많이 진행되었지만, 전체 모듈의 성능과 크기를 최적화하는 연구는 취약하다. 전력증폭기의 경우 전력소자의 모델에 의한 증폭기 설계의 중요성 인식이 부족하고, 대부분 상용 모델에 의존하여 설계한다. 또한 열 효과를 정확하게 고려하지 못하고, 출력 매칭 회로는 그 수동소자들을 IC에 집적하지 못하고 패키지에 집적하고 있다. 따라서 현재 널리 사용되는 LTCC 패키지에 좋은 수동소자들을 집적하면 고성능과 초소형 전력 증폭기가 가능 할 것으로 기대된다. 특히 MEMS switch를 집적하면 고효율 회로를 구현할 수 있으며 Dual mode 회로들이 경제적으로 구현 가능하다.

스위치의 경우 현재 발표된 Micromachined 초고주파 스위치는 40GHz 정도의 높은 주파수까지 낮은 삽입손실과 높은 isolation을 보이고 있다. 그러나 대부분의 경우 30V 이상의 높은 동작 전압을 요구하므로 이동 통신 시스템 등의 소형기기에 사용하기 위해서는 동작 전압을 5V 이하로 낮출 필요가 있다.

제 2 절. 연구개발의 범위

본 과제는 반도체일괄 공정인 MEMS 기술을 이용한 마이크로 PDA용 2/5GHz 대역의 초소형 RF MEMS 부품(Switch, IF, RF Filter, Duplexer, VCO, Antenna 등) 및 WLHP (Wafer Level Hermetic Packaging) 등의 Front-end module 관련 요소기술 개발을 범위로 한다.

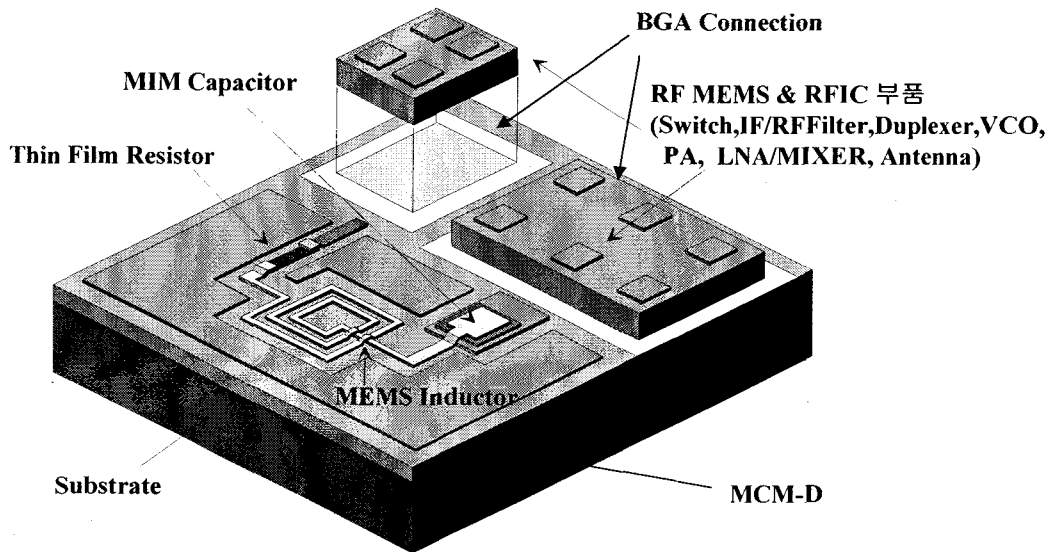


그림 1. RF Front-end module의 개략도

표 1. 마이크로 PDA용 RF Front-end module과 부품의 목표 Spec.

| 구분 | 항목 | 사양 |
|------------------------|---|--|
| Front-end 모듈 | <ul style="list-style-type: none"> - Tx Output Power - Rx NF - Rx Sensitivity - Rx Input IP3 - Image Rejection | <ul style="list-style-type: none"> > +20 dBm < 4 dB < -100 dBm < -10 dBm < -80 dBc |
| MEMS & MMIC Components | RF Switch | <ul style="list-style-type: none"> - 동작 주파수: DC ~ 6GHz - 삽입 손실: < 0.2dB - isolation: > 30dB - 동작 전압: < 3V - 수명: > 10⁷ cycles |
| | MEMS IF Filter | <ul style="list-style-type: none"> - 중심주파수: 0.5-1GHz - Insertion loss: 12dB max. - Rejection: 35dB min. |

| | | |
|------------------------|--------------------|--|
| MEMS & MMIC Components | RF Filter/Duplexer | <ul style="list-style-type: none"> - BW : > 200MHz - IL : < 2.5dB |
| | RF MEMS VCO | <ul style="list-style-type: none"> - 발진주파수 : 2/5GHz대역 - 동작전압 : 3V - 출력전력 : -5dBm min. - SSB phase noise : <ul style="list-style-type: none"> <-90dBc/Hz @100kHz <-120dBc/Hz @1MHz - 크기 : 5 x 5mm² |
| | 전력증폭기 | <ul style="list-style-type: none"> - 2/5GHz Dual power (100 mWatt, 1 W급) - 이득: 25 dB 이상 - IMD: 30 dBc 이상 - 전력 효율: 35% 이상 - 동작 전압: 3V - 크기 5 x 5 mm² |
| | LNA | <ul style="list-style-type: none"> - Gain : > 15dB - NF : < 3dB - VSWR : < 2.0 |
| | Up/Down Converter | <ul style="list-style-type: none"> - Gain : > 0dB - NF : < 10dB - Input IP3 : > -15dBm |
| | Tx Driver Amp. | <ul style="list-style-type: none"> - Gain : > 13dB - NF : < 8dB - VSWR : < 2.0 |
| | Antenna | <ul style="list-style-type: none"> - 중심주파수: 5GHz 대역 - 대역폭: 500 MHz 이상 - 이득 : > 10 dB (LNA포함) - 크기 : < 5x8 mm² |

제 2 장. 국내외 기술개발 현황


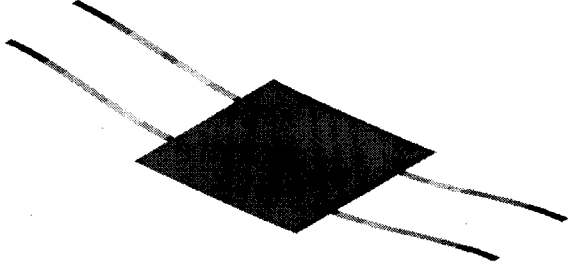
외국은 학문적으로 앞서서 MEMS 연구를 해 왔으나 응용면에서는 국내에서도 세계수준과 동등한 연구를 하고 있다. 한편 국내의 이동통신 단말기업체들은 세계시장에서 상당부분을 차지하는 수준에 올라있다. 그러나 핵심부품의 개발은 아직 미흡한 실정이다. 따라서 새롭게 떠오르고 있는 RF MEMS 개념을 이용한 RF 핵심부품 및 패키징 기술개발이 이루어지게 된다면 전체 이동통신 단말기 시장에서 더욱 크게 발전할 가능성이 크다. 또 이 기술은 PDA RF module 뿐만 아니라 모든 이동통신 RF 모듈에 적용되므로 그 royalty 수준은 상상할 수 없을 정도로 커질 것이다.

| 연구기관 | 연구개발 내용 및 현황 |
|---------------|--|
| 삼성전자 종합기술원 | <ul style="list-style-type: none"> - Ka-band MEMS VCO 개발 (98.4~99.5) (f=34.6GHz, Phase noise=110dBc/Hz@1MHz offset) - CDMA, PCS단말기용 Switch, IF & RF Filter, VCO, Antenna 개발중 (99.6 ~ 현재) - 60GHz Tx/Rx front-end 모듈 개발 ('97~98) |
| KAIST | <ul style="list-style-type: none"> - 4V 동작 Torsion Spring 형 MEMS switch 발표 (~5GHz 까지 동작) - VCO with bonding wire inductor micromachined variable capacitor (-122 dBc/Hz at 1MHz offset, 3.4% tuning range) |
| 동국대 | <ul style="list-style-type: none"> - 10GHz 고전력 MESFET, 저잡음 P-HEMT, HBT와 그를 이용한 2단저잡음 증폭기 제작 - 2.0~2.5GHz GMPCS 단말기용 Tx, Rx MMIC개발 |
| 아주대 | <ul style="list-style-type: none"> - 무선통신용 소형 안테나개발 (Electron. Lett., 32(19), pp 1741-1742, 1996) - 추적형 안테나 시스템의 신호처리 및 안테나개발, 대한전자공학회 논문집, 35(9) - PCS용 narrowband 초전도필터 design, IEEE Trans. Applied Superconductivity, 9(2), 1999 |
| ETRI | <ul style="list-style-type: none"> - GaAs 초고속 집적회로 설계기술 개발 |
| Rockwell | <ul style="list-style-type: none"> - 4GHz까지 동작하는 resistive type의 스위치 개발 (삽입손실: < 0.1dB, isolation: > 50dB, 켈틸레버 형태, 동작전압: 28V) |
| Ratheon TI | <ul style="list-style-type: none"> - millimeter-wave 대역에서 동작하는 capacitive type의 스위치 개발 (삽입손실: < 0.25dB, isolation: 35dB @ 35GHz, 격막 형태, 30-50V) |

| | |
|------------------------|--|
| IMEC | <ul style="list-style-type: none"> - Integrated of passive componts for microwave filters in MCM-D,"Proc of the 6th MCM Conference, 1997 - Spiral inductor integrated in MCM-D technology using the design space concept," International conference on MCM and High Density Packaging, 1998 - Chip package co-design of a 4.7GHz VCO," International conference on MCM, 1999 - Chip package co-design of a 5GHz RF front-end for W-LAN," ISSCC, 2000 |
| Conexant | <ul style="list-style-type: none"> - HBT MMIC와 LTCC 기술로 만든 module 개발 |
| Sanyo | <ul style="list-style-type: none"> - HBT MMIC와 6층 LTCC 기술로 5x5 mm2 PCS 전력모듈 최근 발표 |
| University of Michigan | <ul style="list-style-type: none"> - Micromechanical filters (f=7.81MHz; I.L.<2dB; Rej.=35dB, f=34.5MHz; I.L.<6dB; Rej.=25dB f=92.2MHz; Q=7450@10mTorr) - Low voltage Switch(Total loss=0.26dB) - Low loss transmission line & Filter |
| 서울대 | <ul style="list-style-type: none"> - Micromachined Filter (Tunability:2.5%@32GHz, 12.5%BW, 3.8dB Insertion loss) |

제 3 장. 연구개발수행 내용 및 결과

제 1 절. RF MEMS Switch

| 연구 내용 | 연구 결과 |
|--|---|
| <p>© Concept design 및 상세규격 설정</p> <p>▶ Benchmarking 모델분석</p> | <p>▶ Switch Modeling for Stress & Modal Analysis</p> <ul style="list-style-type: none"> - 구동부 설계기준 <ul style="list-style-type: none"> 첫째, Minimize Actuation voltage 둘째, Maximize Natural frequency 셋째, Minimize self-deflection by gravity loading - Actuation voltage의 예상: FEM(ANSYS)를 이용한 상세해석, Simplified model의 Analytic solution을 이용한 해석을 통하여 수행 <div style="text-align: center;">  <p><Simplified Model></p> </div> <div style="text-align: center;">  </div> <p>그림 2. 설계한 MEMS Switch 구동부의 Schematic diagram</p> <p>▶ 구조해석</p> <ul style="list-style-type: none"> - 공진주파수 및 강성파악 - 구조적 결함 유무 판단 - 구동가능 전압 예측 (구동부 dimension 설정) |

© SAIT독자 모델 기본 idea
도출

- ▶ 공정에 사용될 material을 선정
- ▶ Material에 따른 구조, EM 해석을 통해 dimension 설정

▶ 기본 idea 도출

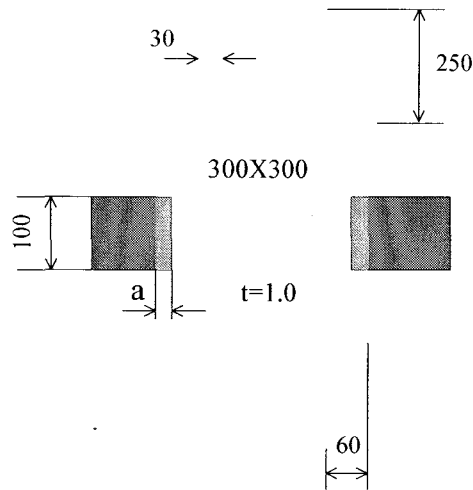


그림 3. 구동부 설계안

| | E(Gpa) | Density(ton/m ³) |
|----|--------|------------------------------|
| Au | 80 | 19.28 |
| Cu | 68 | 8.93 |
| Al | 62 | 2.69 |

<재료>

- 1) switch on
.capacitance = 4.0 pF
.insertion loss = 0.169 dB
- 2) switch off
.capacitance = 0.07 pF
.isolation = 41.1 dB
- 3) on/off ratio= 571
.insertion loss=0.2dB
.isolation = 40 dB

▶ EM test

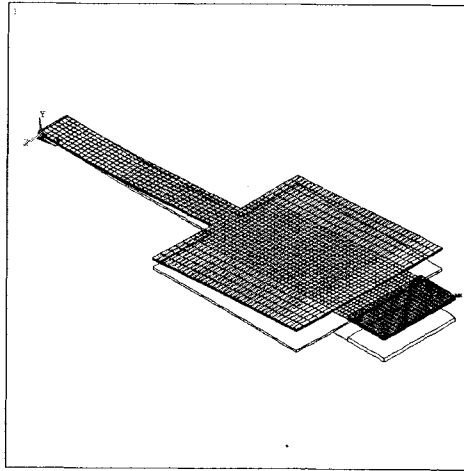


그림 4. EM simulation

◎ EM 해석

- Insertion loss 및 Isolation을 만족시키기 위한 dimension 설정
- 구동부 dimension 결정

▶ 모델

- SOLID45 element (Symm. BC)
- Spring Length = 120 um
- Spring Width = 20 um
- Dielectric Material : PECVD Nitride
 - E = 210 GPa,
 - density = 3100 kg/m³,
 - Thickness = 0.2 um
- Spring & Contact Layer : Gold(Au)
 - E = 50 GPa (electroplated film),
 - density = 19280 kg/m³,
 - Thickness = 1 um
- Node no : 9000, Element no : 8000

- ◎ Switch 설계
- ▶ Structure Design & Electromagnetic Analysis
- ▶ Package pattern, test pattern 설계

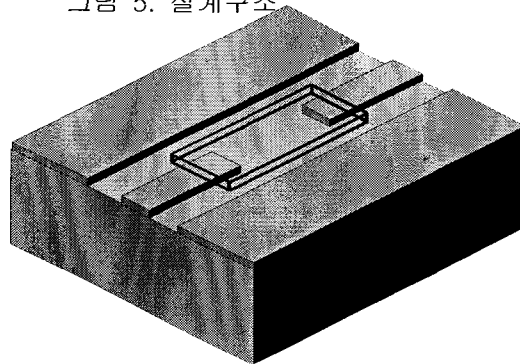
- ▶ Package pattern, test pattern 설계
- Quartz Loss tangent = 0.00033

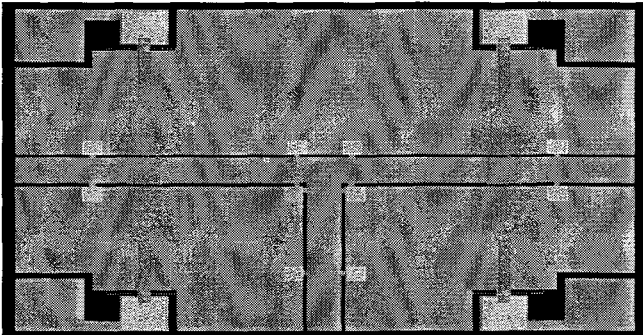
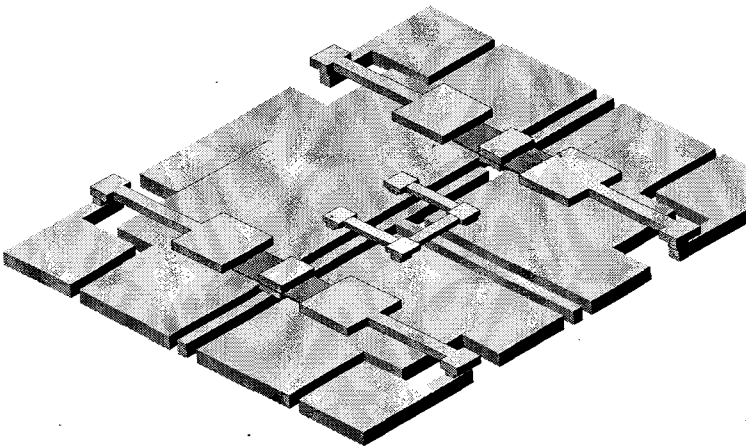

Frequency range

1. 824~894 MHz
2. 1850~1990 MHz

1. Insertion loss is less than 0.1 dB ($S_{21} > -0.1$)
2. Isolation is more than 30 dB ($S_{21} < -30$ dB)
3. $C_w = 50$
4. $d = 1$
5. $T = 2$

그림 5. 설계구조



| 연구 내용 | 연구 결과 |
|--|---|
| <p>◎ Switch 제작</p> <ul style="list-style-type: none"> ▶ Mask 설계 및 제작 ▶ 유전체 (STO) 공정 조건 확보 ▶ 다중층 PR patterning 공정 확보 | <p>▶ MASK 제작</p>  <p>그림 6. 설계된 Mask</p> <p>▶ 제작된 proto type</p>  <p>그림 7. 제작된 Proto type - 구동전압: 3V 확인</p>  <p>그림 8. 제작된 Switch 부분 SEM 사진</p> |

1.1. CPW Line 설계

RF 신호가 전달되는 과정에서 생기는 손실의 최소화를 위하여 신호선의 두께, 폭 및 접지선과의 간격을 최적화할 필요가 있다. 그러나 CPW Line 위에는 마이크로 구조물이 위치하게 되므로 단지 CPW Line Loss만 고려해서는 최적화를 할 수 없다. 그러므로 본 설계 및 해석에서는 구조물까지 고려한 실험을 하기 위한 준비단계로서 최소한의 신호선 두께 및 선폭을 결정하였으며 마이크로구조물과의 교호작용(self-actuation 및 isolation)을 고려하여 추후 계산 및 실험적인 방법으로 결정된다.

결과 :

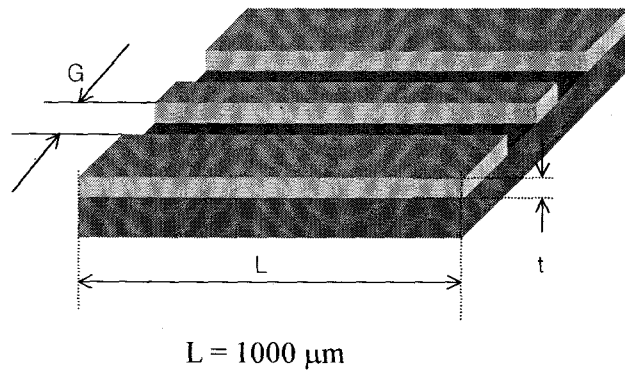


그림 9. 계산을 위한 CPW Line Model 및 인자정의

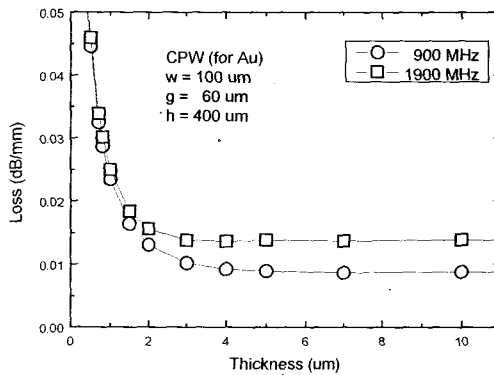


그림 10. 두께에 대한 손실계산결과

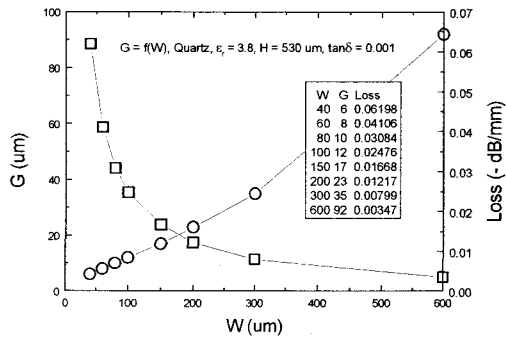


그림 11. 신호선 폭 및 접지선간격에 대한 손실계산결과

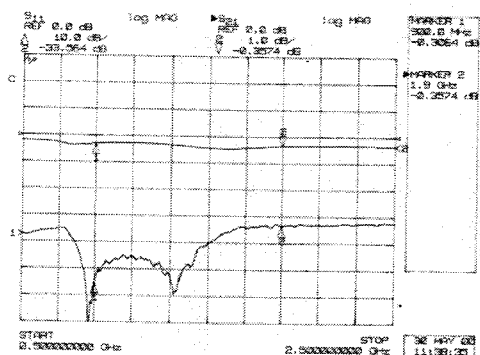


그림 12. 확인실험 결과 (Au, 3um 두께, 100um 폭, 12um 접지선간격)

결론 : 수치계산 및 확인 실험을 통하여 quartz 기판에서 신호선은 다음 두가지 설계치가 결정되었다.

1. Au, 3um 두께, 100um 폭, 12um 접지선간격
2. Au, 3um 두께, 50um 폭, 6um 접지선간격

1.2. Poly-Resistor 설계

RF 신호가 원하는 방향으로 제대로 흘러가게 하기 위해서는 접지선이나 전극에 큰 저항을 설치하여야 한다. 이 저항을 구현하기 위하여 도핑한 poly silicon을 이용하는데 이때 저항값을 결정해야 할 필요가 있다. 이를 위하여 ADS를 이용한 수치해석기법이 사용되었다.

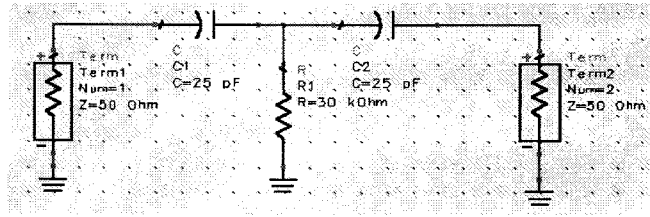


그림 13. Circuit simulation

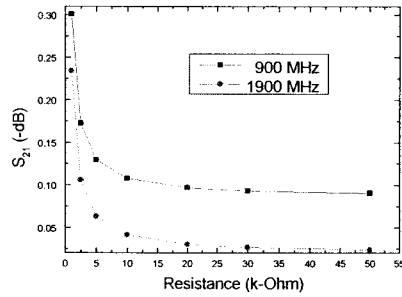


그림 14. 저항값에 따른 손실 계산결과

결과 : 수치적 방법을 이용하여 결정된 저항수치는 약 30kΩ이다.

1.3. 마이크로구조물 형상 및 두께 설계

신호선과 마이크로구조물이 접촉하여 RF 신호를 흐를 수 있게 하는 스위치의 역할에서 구동 전압은 구조물의 형상 및 강성과 밀접한 관계가 있다. 그러므로 구조물의 강성을 결정하기 위해서 구조해석용 프로그램인 ANSYS 및 MEMCAD를 이용하여 형상 및 강성을 결정하였다. 특히 3V 구동을 위하여는 구조물이 외부의 열 및 충격, 진동 등의 외부하중에 민감하지 않도록 설계하는 것이 중요하며 이를 위해서 동적해석을 수행하고 실제 제작하여 특성을 측정하였다.

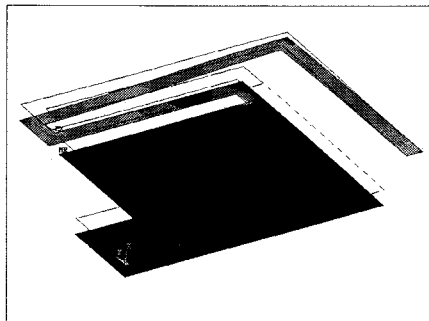


그림 13. 스위치 구동해석 결과 (구동후 변위)

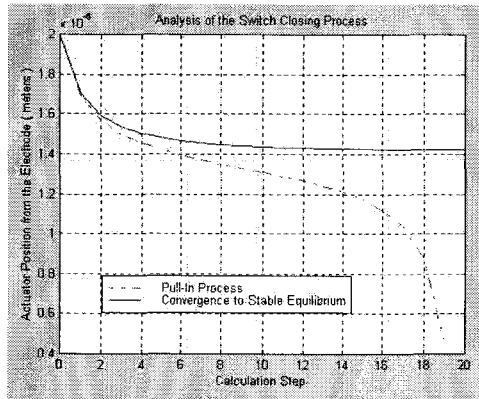


그림 14. 계산 step별 스위치 변위

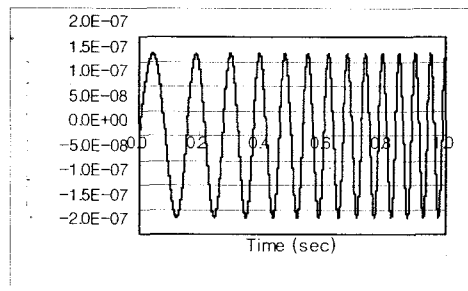


그림 15. 진동 해석결과

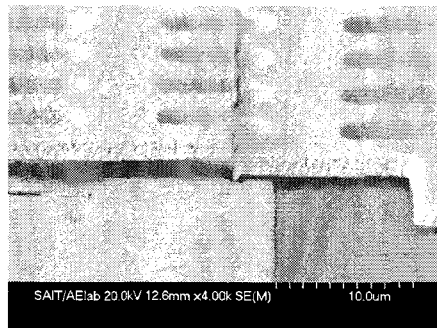


그림 16. 피로파괴 실험

결론 : 3V에서 구동하기 위한 구조물의 형상 및 강성을 결정하였다. 결정된 구조물의 강성은 약 0.8N/m이다.

1.4. SAIT RF MEMS Switch with a Novel Movable Plate

1.4.1. Current Research : Verification of Limit Technology

a. Insertion Loss vs. Contact Force

: What is the minimum contact force required to satisfy the insertion loss Spec.?

b. Minimum Driving Voltage

: Mechanical design considering deformation of moving plate

c. Power Handling Capability

: Effect of various contact materials

1.4.2. Mechanical Design

: Evaluation of driving voltage considering deformation of moving plate due to the stress gradient

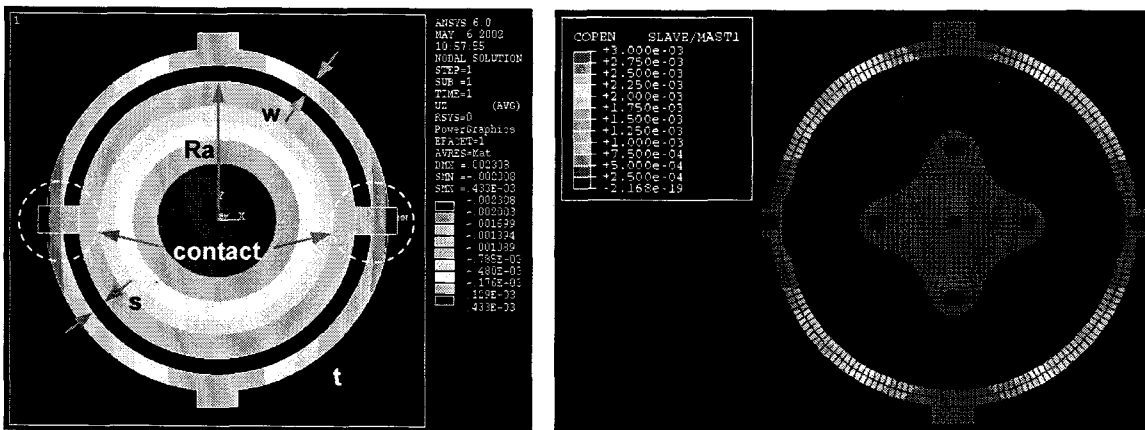


그림 17. Finite Element Analysis of a novel movable plate

표 2. Design parameters of a novel movable plate

| | Model 1 | Model 2 | Model 3 |
|-------------------------|---------|---------|---------|
| R_a (μm) | 120 | 150 | 170 |
| G_1 (μm) | 20 | 20 | 20 |
| W_h (μm) | 20 | 20 | 20 |
| Contact force | 48 | 34 | 40 |
| Restoring force | 256 | 188 | 223 |
| Driving voltage | 30 | 15 | 8 |

1.4.3. RF Design

- a. Series metal-to-metal contact switch
- b. IE3D(MoM) filed simulation
- c. ADS circuit simulation

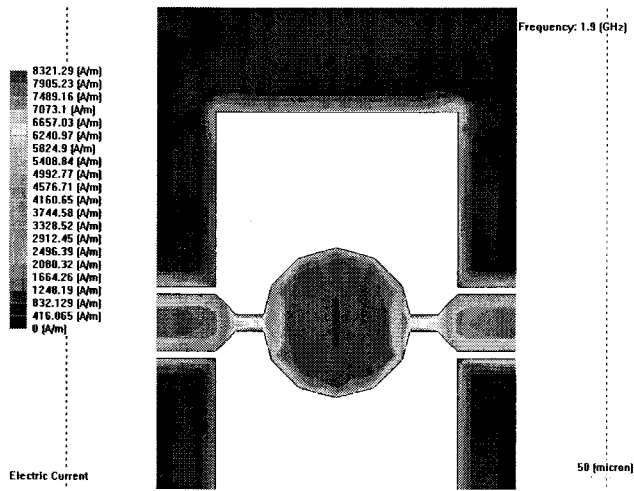


그림 18. EM simulation of a SAIT switch (IE3D)

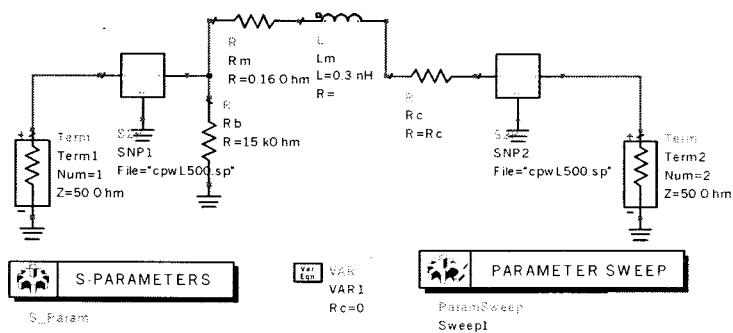
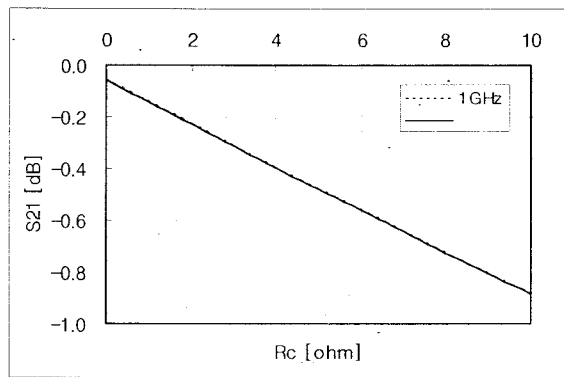


그림 19. Rc (contact resistance) vs. insertion loss

1.4.4. Fabrication

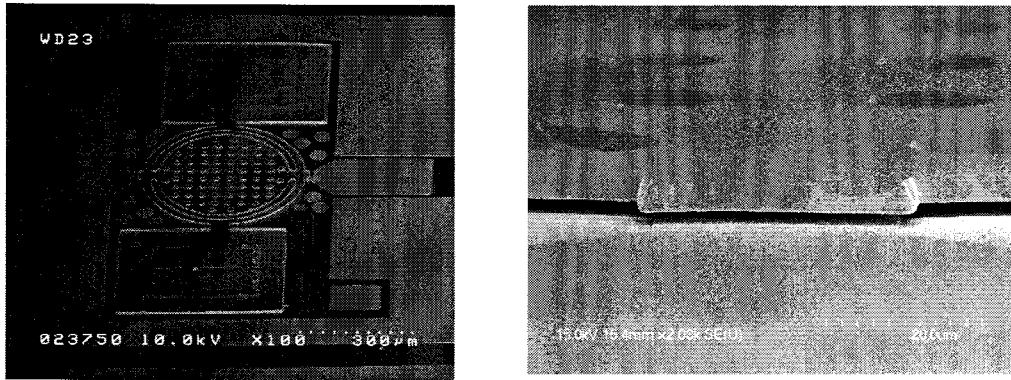


그림 20. A fabricated SAIT switch

1.4.5. Measurement

표 3. Measurement results of SAIT switches

| | |
|-----------------------------|--------------------------|
| Insertion Loss [dB] | 0.17 @1.9 GHz |
| Isolation [dB] | 56 @1.9 GHz |
| Reflection [dB] | 33 @1.9 GHz |
| Driving Voltage [V] | 18 |
| Switching Speed [us] | 50 |
| Lifetime [cycles] | ~2,000 |
| IP3 [dBm] | Resistive contact |
| Power Handling [W] | > 2.5 |

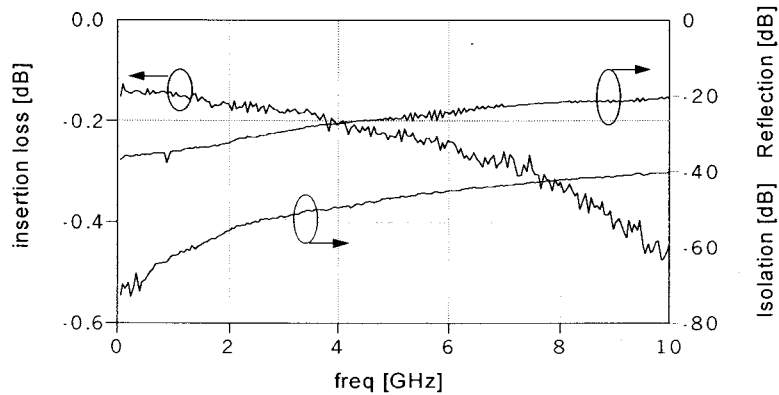


그림 21. RF Performance of SAIT switch

1.4.6. Reliability evaluation

a. Lifetime evaluation

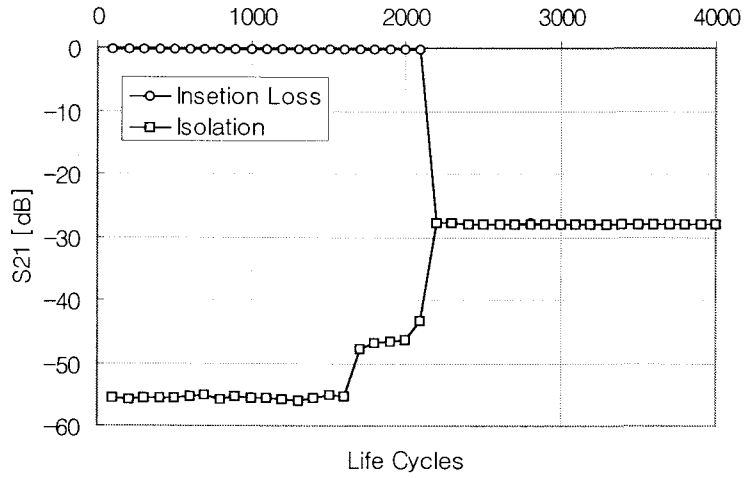


그림 22. Lifecycle test of a SAIT switch

b. Power handling capability evaluation

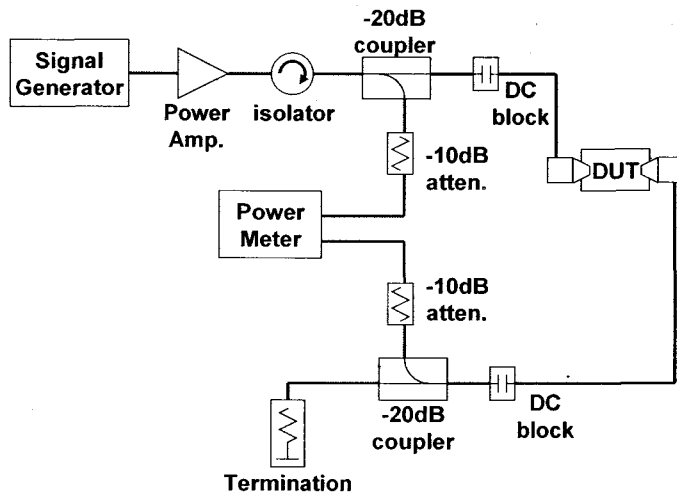


그림 23. Test of power handling capability of SAIT RF MEMS switches (1.9GHz CW used)

표 4. Power handling capability of SAIT switches

| | |
|-----------------------|-------------------|
| Hot switching | > 6 W |
| Soft switching | > 5.5 W |
| Hard switching | > 3.0 W |

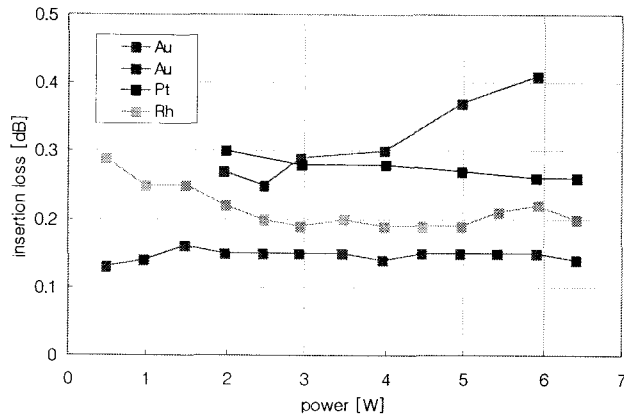


그림 24. Power handling vs. contact material

1.5. 패키지 설계

스위치를 제작하고 나서 이를 하나의 소자로서 사용하기 위해서는 패키지를 하여야 한다. 이때 패키지의 재료와 공정의 선택에 따라 소자의 특성이 결정되므로 수치적인 기법과 실험적인 방법을 사용하였다. 특히 패키지의 재료로서는 LTCC 및 HRS 가 평가대상이며 이때의 삽입손실을 고려하여 재료가 선택된다.

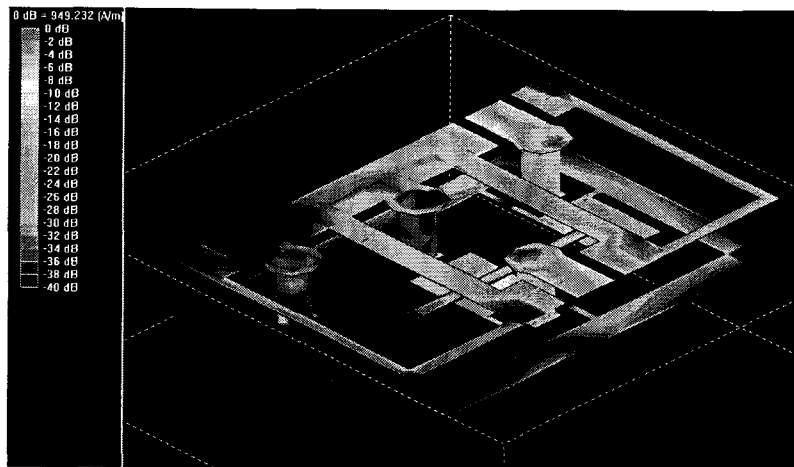


그림 25. 패키지를 고려한 3차원 삽입손실 계산결과

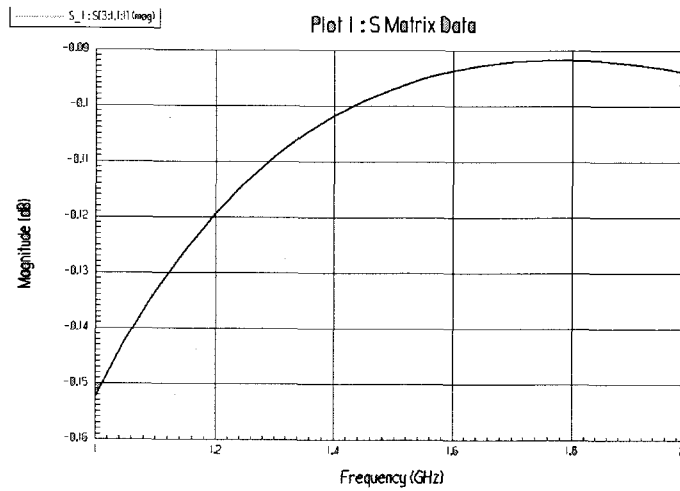


그림 26. HRS 패키지 사용 시 삽입손실 계산결과

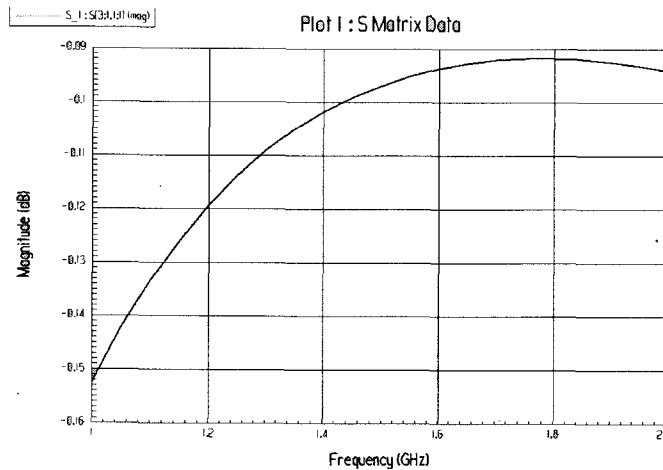


그림 27. LTCC 패키지 사용 시 삽입손실 계산결과

결론 : 고려된 두가지 재료인 HRS와 LTCC 모두 삽입손실면에서 큰 차이를 보이지 않았다. 그러나 LTCC의 경우 가격이 비싸고 curing과정에서 생기는 수축으로 인하여 패키징시 align이 어렵다는 단점이 있다. 그러므로 패키지의 재료는 HRS가 적당할 것으로 판단된다. 그러나 현재까지 고려된 두가지 재료 외에 glass도 좋은 특성을 가지고 있을 것이라 판단되므로 향후 이 재료에 대한 실험을 추가하려고 한다.

1.6. Hermetic sealing

RF MEMS 스위치의 패키징 기판으로는 실리콘 기판, 세라믹 기판과 pyrex #7740 유리기판을 사용하였으며 주로 유리기판에 대하여 실험을 하였고, RF 신호 전달 시 전송 신호의 손실을 일으키는 전기적 길이의 축소와 소자 동작으로 인한 열 발생의 문제를 해결하기 위하여

ultra thin 실리콘 기판을 이용한 패키징 방법을 연구하였다. RF-MEMS 소자를 chip 크기의 hermetic 패키징 할 수 있으면서 동시에 RF 신호의 우수한 전송을 구현하기 위해 전기적 저항이 낮고, RF 응용에 가장 많이 사용되는 gold를 범프로 이용하였고, 소자와 패키징 기판과의 접합 시, 저온 접합이 가능한 플립 칩 기술을 사용하였다. 또한 기존에는 wire 접합을 이용한 전기적 통로를 이용함으로써 발생하는 손실을 최소화하고, 추후 소자의 3D 패키징을 함으로써 집적도를 높이는 방법으로 사용하기 위하여, wire가 없는 수직형 via hole을 형성하였고, 이를 통하여 전기적 신호를 연결하였다. 제안된 구조는 3D 유한요소법(FEM)을 이용하여 시뮬레이션을 했으며, 상용 프로그램으로 RF 소자 제작시 널리 사용되는 Ansoft 사의 3D-HFSS를 사용하였다. 측정을 위하여 석영(quartz)기판에 전송선로인 CPW(Coplanar waveguide)를 형성한 후, 이를 패키징 하여 network analyzer(HP 8753D)를 사용하여 전송특성을 알아보기 S 파라미터를 측정하였다.

그림 28은 본 연구에서 제안한 패키지 구조로써 air blast를 사용하여 via hole을 형성한 후, 전기 도금법을 사용하여 via filling 및 bump를 형성한 후, 상/하부 기판을 접합한 모식도를 보여주고 있다. 패키징 기판으로 pyrex 유리 기판을 사용하였으며, via hole을 통하여 소자의 입/출력 신호 및 그라운드와 DC 신호라인을 형성하였다. 패키지 기판에 cavity를 형성함으로써 소자의 영역으로 사용하였고, 또한 패키지 기판과 소자간의 자체공진이 일어나지 않도록 하였다. Via filling과 bump를 gold로 사용함으로써 소자 패드의 gold와 직접 접합을 통하여 접촉 저항을 최소화 하고자 하였다. 따라서 손실이 없는 신호 전달특성에 초점을 맞추었고, 또한 소자의 보호를 위한 외부로부터의 습기방지에 초점을 맞추어 설계하였다.

제안된 구조의 EM 특성을 확인하기 위하여 유한요소법(FEM: Finite Element Method)을 사용하여 3차원 구조 시뮬레이션을 하였다. 시뮬레이션 툴은 RF 설계시 널리 사용되고 있는 Ansoft 사의 HFSS를 사용하였으며, 기판은 직경이 4인치인 Pyrex 유리기판을 사용하였고 두께는 $300\mu\text{m}$, via hole의 지름은 $250\mu\text{m}$, feedthrough와 범프는 금을 사용하였다. 신호전송을 위한 전송 선로인 CPW는 임피던스를 50Ω 에 맞추어 설계하였으며, 주파수 측정 영역은 0-3GHz까지 하였다.

그림 29는 RF 신호 전달시 전달 특성 및 간섭특성을 살펴보기 위하여 신호라인과 feed-through의 전계분포를 3GHz에서 분석한 그림이다. 그림 29(a)에는 수직형 전기신호의 통로로 사용되는 via hole을 통한 전계 분포를 나타내었고, 그림 29(b)에는 기판과 CPW에서의 전계 분포를 나타내었다. 그림에서 보듯이 전계분포가 via hole에 집중되어 있으며, 또한 CPW 라인과 입/출력 라인에 집중되어 있음을 알 수 있다. 이는 RF 신호가 분산과 간섭에 의한 손실이 매우 작다는 것을 의미한다. 즉 전계 분포의 분석을 통하여 신호전달이 via hole과 CPW을 통하여 전송이 이루어지고 있음을 알 수 있다. 그림 30은 패키지 구조의 시뮬레이션을 통한 s-파라미터의 결과를 나타내고 있다. S11은 반사손실을 나타내며, S21은 구조체의 삽입손실을 나타낸다. S11은 1.5GHz에서 -23.4dB, 2GHz에서 -21.1dB를 나타내고 있으며, 즉 입력으로 반사되는 손실이 거의 없고, 임피던스 매칭이 이루어졌음을 알 수 있다. 삽입손실을 나타내는 S21은 1.5GHz에서 -0.048dB, 2GHz에서 -0.065dB로써 손실이 매우 작음을 알 수 있다.

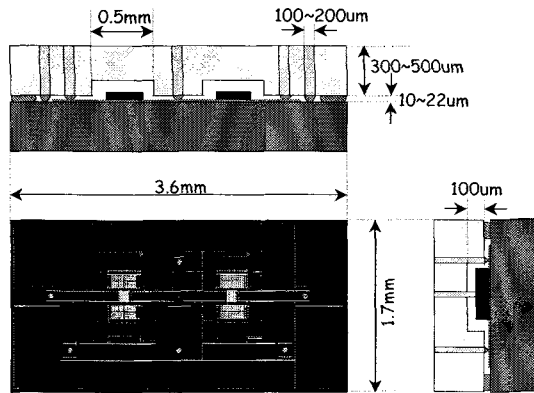


그림 28. 제안된 RF-MEMS 스위치의 패키지 구조도

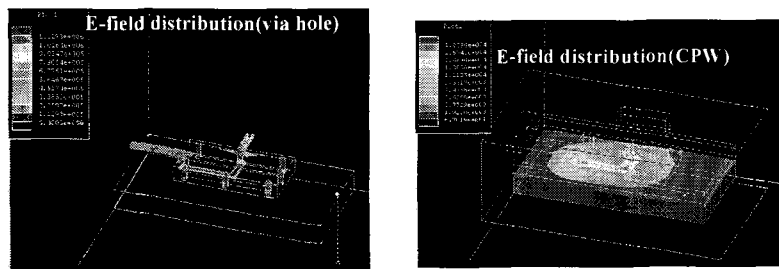
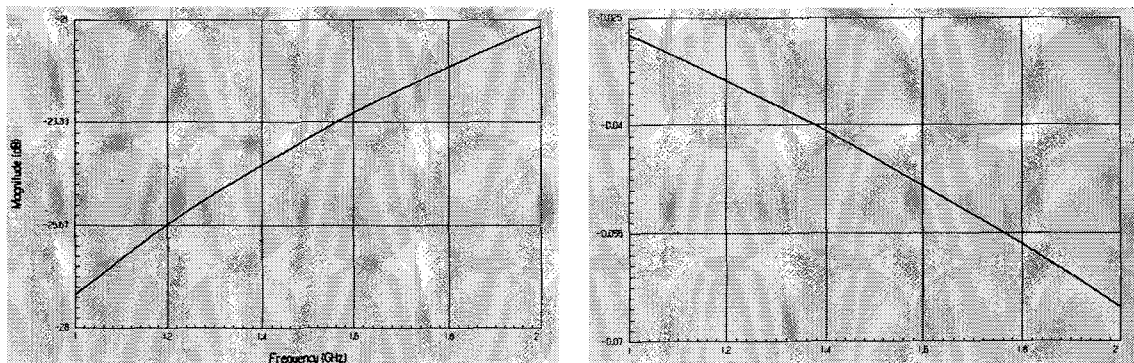


그림 29. 제안된 구조의 시뮬레이션 구조 및 전계 분포도



(a) 반사손실(S11)

(b) 삽입손실(S21)

그림 30. 시뮬레이션 결과(S-Parameter)

일반적으로 via 형성방법으로는 Ultrasonic drilling, Mechanical drilling, Laser(hologram, excimer), ICP RIE(reactive ion etching) 등이 사용되고 있다. 드릴링 방법은 hole 크기의 제한과 사용할 수 있는 기판의 제한이 있으며, laser 방식은 70um 이하 크기와 높은 aspect ratio를 보

여주지만 제작비용과 시간이 많이 걸린다는 단점이 있다. 또한 ICP RIE 방식은 최근 60um의 홀이 가공되었지만 아직 재현성 확보가 되지 않았으며, 유리 기판의 두께에 대한 제한이 있다. 따라서 본 연구에서는 비교적 가공이 수월하고 제작비용이 작게드는 sand blaster를 주로 이용하여 via hole을 제작하였다. sand blaster를 이용하여 유리 기판을 관통하면 4인치 기판 전역에 걸쳐 원뿔대 모양의 via를 얻을 수 있으며, via의 수직 정도는 sand blaster의 공정 조건에 따라 약간씩 변한다. sand blaster 공정시 마스크로는 DFR(dry film resist) 필름을 사용하였다. 그림 31은 제작된 via hole을 보여주고 있으며, 그림에서 보듯이 상부 홀 크기가 약 250~300 μm 이며, 하부 홀 크기가 약 100~150 μm 범위에 드는 샘플을 제작하여 사용하였다.

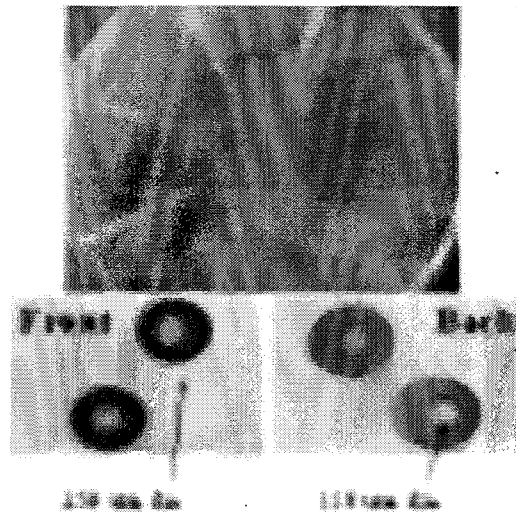


그림 31. Sandblast 가공된 4인치 유리기판

laser 가공은 sandblaster 가공보다 수직형 홀을 가공할 수 있으며, 또한 60um의 홀을 가공할 수 있다. 그러나 앞에서 언급을 하였듯이 laser 가공의 경우 비용이 많이 들며, 사용 기판에 따른 다른 laser를 사용하여야 한다는 단점을 가지고 있다. 그림 32는 wet etching을 이용 유리기판의 홀을 가공한 사진이다. 홀 가공시 사용 용액은 $\text{HF} : \text{HNO}_3 = 1 : 2$ 로 희석을 한후 사용을 하였으며, 식각 시 마스크로는 크롬을 사용하였다. 홀 가공을 위한 초기 패터된 홀 사이즈는 지름이 50um 이었으나 wet 식각의 등방성 식각 메카니즘에 의하여 깊이가 들어감에 따라 옆으로 깊이와 같은 비율로 식각 되는 문제점이 발생되고 있다. 따라서 wet 식각을 이용하여 홀을 가공시는 홀 사이즈의 제한이 있으며 기판 두께의 제한이 따른다. 하지만 장점으로는 가장 비용이 적게 들며, 공정이 단순하다는 장점을 가지고 있다.

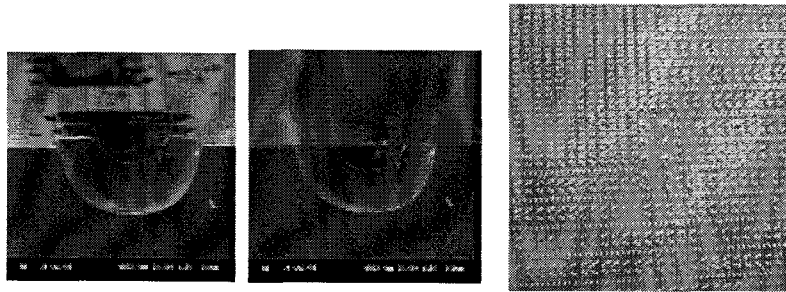


그림 32. Wet etching을 이용한 유리기판 hole 단면 및 평면 사진

- RF-MEMS 패키징용 cavity 의 필요성

RF-MEMS 스위치 소자를 패키징 하는데 있어 스위치 소자 바로 위에 해당하는 부분에 cavity를 형성함으로써 손실을 줄이고자 하였다. 약 100um 정도 깊이의 cavity를 형성함으로써 패키징 후 소자와 패키징 기판과의 coupling으로 인한 자체 공진으로 인하여, 소자가 파손되거나, 오 동작을 일으키는 것을 방지하고자 하였다. 유리기판에 cavity를 형성하는 방법에는 다음과 같이 wet etching 방법과 sandblast 하는 2가지 방법이 존재하나 주로 wet etching 방법을 사용하였으며, sandblast를 이용하여서도 cavity를 제작할 수 있다. 또한, RF 소자의 경우 유전율 특성이 좋은 세라믹 기판을 사용하는 경우가 종종 있으며, 이때에는 wet etching으로는 어려우며 오직 sandblast 등의 mechanical한 가공방법 만이 가능하다.

- Wet etching에 의한 가공 방법

유리기판 위에 식각 마스크로서 스퍼터를 이용하여 Cr 막을 증착한 뒤 cavity 형성 영역을 사진 식각 공정을 통하여 정의한다. 유리 기판의 양면 모두에 Cr 막을 증착하여 한쪽 면만 cavity를 형성하여도 되나, 이렇게 하기에는 스퍼터 막을 증착하는데 시간이 많이 소요되는 단점이 있으므로 한쪽면만 Cr 막을 증착한 후 뒷면은 식각용액에 견디는 왁스 등을 발라 보호하기도 한다. 이렇게 식각될 부분만 남기고 모두 보호한 후 기판을 질불산(2:1, @25C) 용액에 담귀 약 40분 정도 식각하면 100um 깊이의 cavity를 형성할 수 있다. Cavity를 제작한 후에는 식각 마스크로 사용한 Cr 막을 제거하였다. 그림 33은 wet 식각을 통하여 제작된 cavity 사진을 보여주고 있다. 그림에서 보듯이 소자가 정의된 영역과 정렬을 위한 키가 잘 식각되어 있는 것을 알 수 있다.

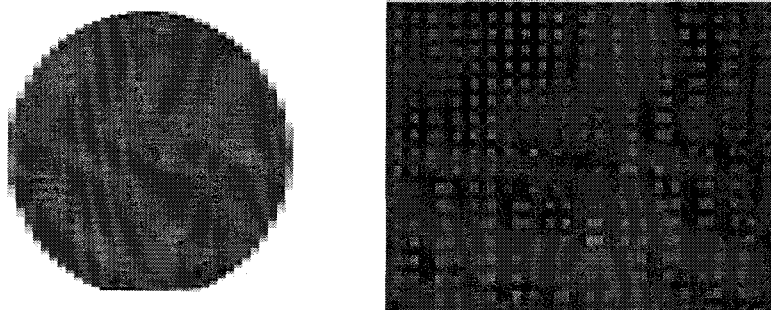


그림 33. Wet etching 으로 형성한 cavity 의 사진

- Sandblast에 의한 가공 방법

유리기판 또는 세라믹 기판에 샌드 블라스트를 이용하여서도 cavity를 형성할 수 있다. 이때에는 마스크로서 DFR 필름을 사용하였으며 sanding 시의 조건을 바꿔가며 여러 가지 작업조건을 구할 수도 있다. Sand 공정에서 식각을 등의 가공 조건은 공압과 사용된 sand의 입자 크기 등에 의하여 변하며 wet etching 에서와 같이 식각율이 일정하지 않다는 특징이 있다.

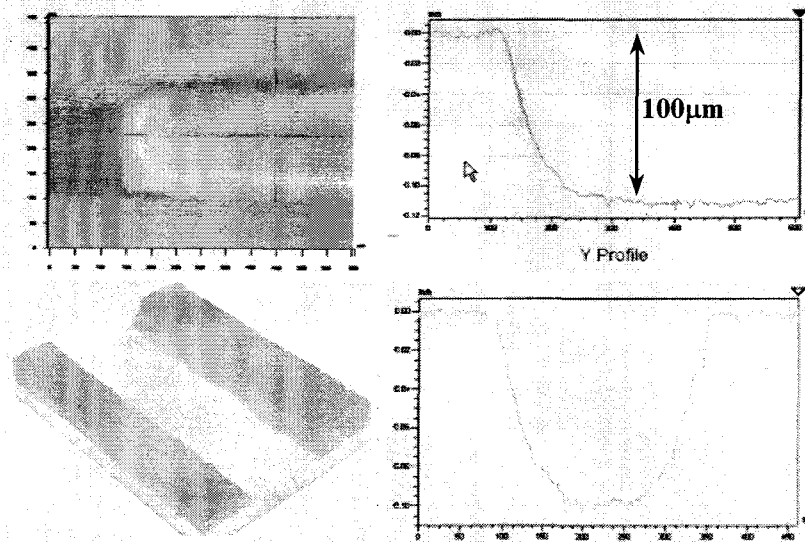


그림 34. Sandblast 가공으로 형성한 cavity의 프로파일

그림 34에서 보여 주듯이 깊이가 100µm 의 cavity가 형성됨을 알수 있다.

- 이외에도 dry etching 등의 기타 다른 가공 방법이 있을 수 있겠다. 위의 두 경우에 있어서는 원치 않는 기판 옆면 방향으로의 식각이 진행되는 특징이 있으므로 마스크 설계시 이를 고려하여 보정한 크기를 사용하여 제작하였다. 질불산의 경우는 등방성 식각 특성이 있으므로 깊이 방향으로 100µm 깊이를 식각할 때에는 옆면 방향으로도 같은 정도 식각 해 들어갈 것이라 예측할 수 있다.

Via를 형성한 후, hole 내부의 전기적인 연결을 위하여 hole filling을 하였다. hole filling 방법으로는 전도성 물질인 실버 페이스트 등을 스크린법이나 진공에 의해 채우는 방법이 있지만 차체 저항이 있으며, 또한 고온 소성 작업을 하며, 소성 후 페이스트가 수축이 되는 문제가 있다.

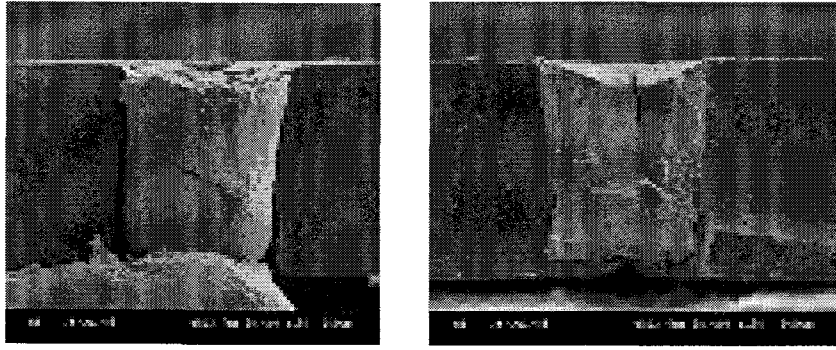


그림 35. 스크린 법으로 filling 된 실버 페이스트 단면

그림 35에서 보듯이 실버 페이스트의 경우 소성 과정중 온도 변화에 따른 스트레스가 발생하여 마이크로 크랙이 발생하거나 홀 표면과의 흡착력이 떨어지는 현상이 발생한다. 따라서 본 연구에서는 저온이며 저항이 낮고, 공정의 단순화를 위한 hole filling이 우수한 전기도금 법을 사용하였다. 전기도금 물질로는 저항이 낮은 gold을 사용하였다. hole이 가공된 유리기판 위에 스퍼터링을 이용하여 전기도금시 seed layer로 이용될 Cr(500Å)/Au(1500Å) 박막을 증착하였다.

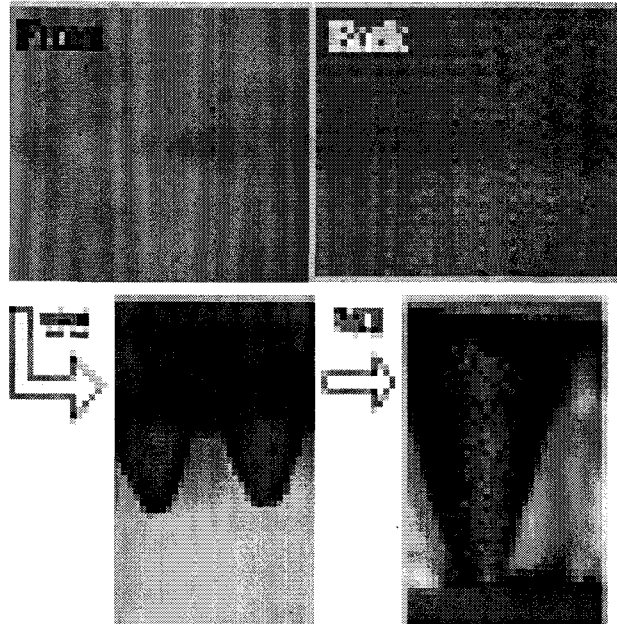


그림 36. 전기도금법으로 filling 홀의 평면 및 단면

전기도금시 홀 내부에 형성되어 있는 void와 수소이온 등은 도금 용액의 침투를 막아 내부의 filling이 이루어지지 않는 문제점이 발생한다. 이런 문제점을 해결하기 위하여 seed layer 형성 후 hole 내부의 void, 잔여물과 수소 이온 등을 제거하기 위하여 초음파로 전처리를 하였

다. 전처리 후 DC와 periodic reverse pulse 전류를 사용하여 전기도금을 하였다. 그림 36은 전기도금을 통하여 채워진 via hole의 단면과 홀 한 개를 광학 현미경으로 확대한 사진을 보여주고 있다. 그림에서 보듯이 금이 void가 없이 채워져 있음을 확인할 수 있었으며, 따라서 RF 신호 전달시 서로간의 간섭 현상이 매우 작고 또한 금속에 의한 손실이 매우 작음을 알 수 있다.

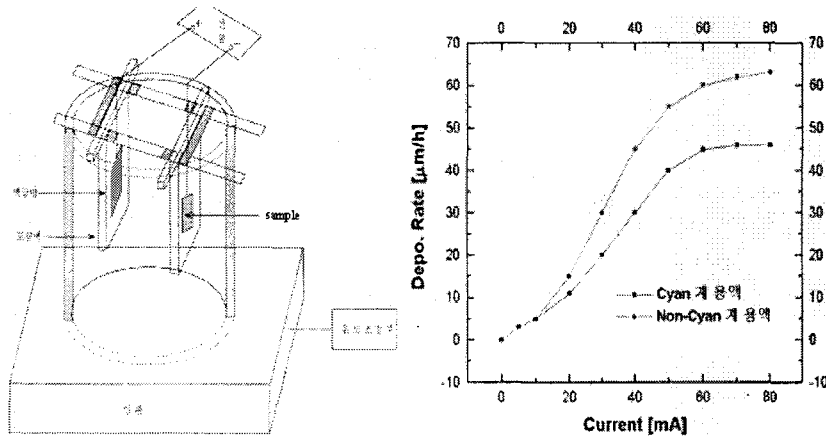


그림 37. 전기도금장치 및 전류량에 따른 증착률

그림 37은 제작된 전기도금 장치와 전류량에 따른 gold 증착률을 나타내었다. 양극으로는 백금 전극을 사용하였으며, 음극은 증착될 기판을 위치하였다. 양극과 음극의 거리는 8cm를 유지하였고, 증착온도는 60°C를 유지하였다. 또한 용액의 pH도를 체크하여 중성을 유지하도록 하였다. 증착률은 사용되는 용액과 인가되는 전류량에 따른 차이를 보였으며, 각각 60mA의 전류가 인가되었을 때 증착률의 포화도를 보이고 있다. 포화도 이상이 되면 도금된 금이 저항이 높아지며, 검게 타는 현상이 발생한다. 본 연구에서 50mA에서 증착을 하였다.

Via를 gold 로 채우고 난 후, AZ 9260 두꺼운 Photo-Resistor를 이용하여 범프 형성 시 가이드를 할 수 있도록 몰드를 제작한 후 다시 gold를 전기도금하여 범프를 형성하였다. 그림 38은 AZ 9260을 사용하여 100um 두께 및 지름이 100um인 범프용 몰드 사진을 보여주고 있다. 그림에서 보듯이 수직형 범프용 몰드가 형성되어 있음을 알 수 있다. 그림 39는 4인치 웨이퍼 레벨로 형성된 범프의 사진과 범프의 높이 및 폭을 보여주고 있다. 그림에서 보듯이 범프의 폭은 100um 의 제작된 몰드 보다 10um 증가되었으며, 높이는 14.8um로써 웨이퍼 전체에 편차는 ±1um 이내로 형성되었다.

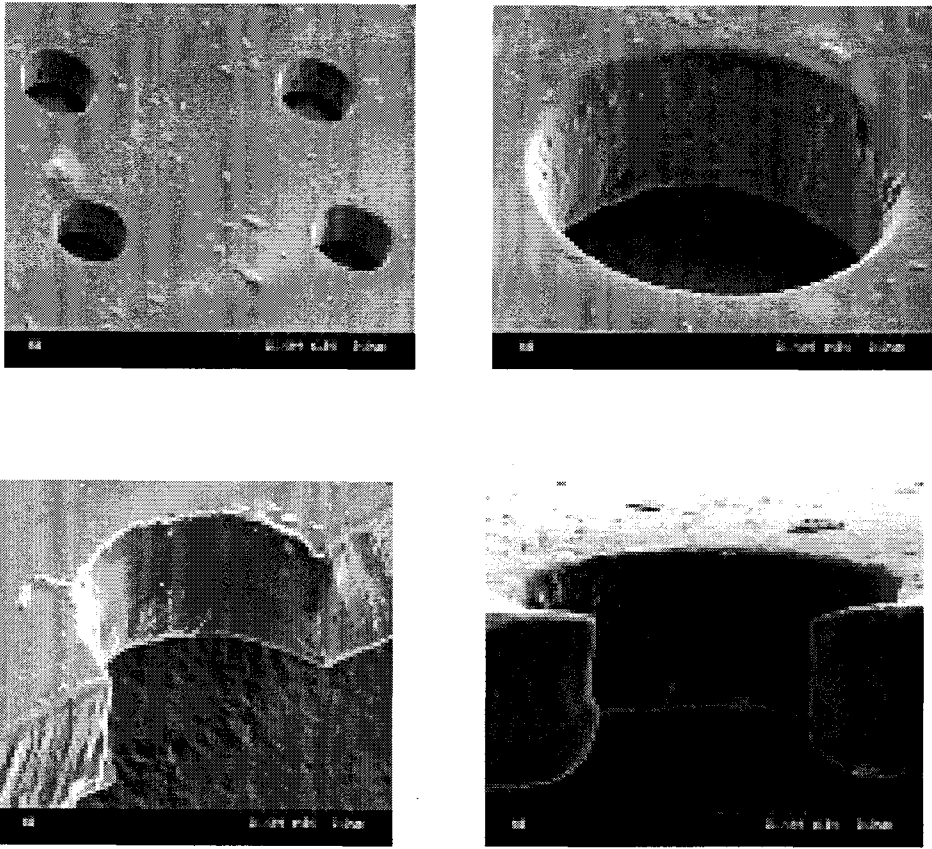


그림 38. AZ9260을 이용한 수직형 범프 형성

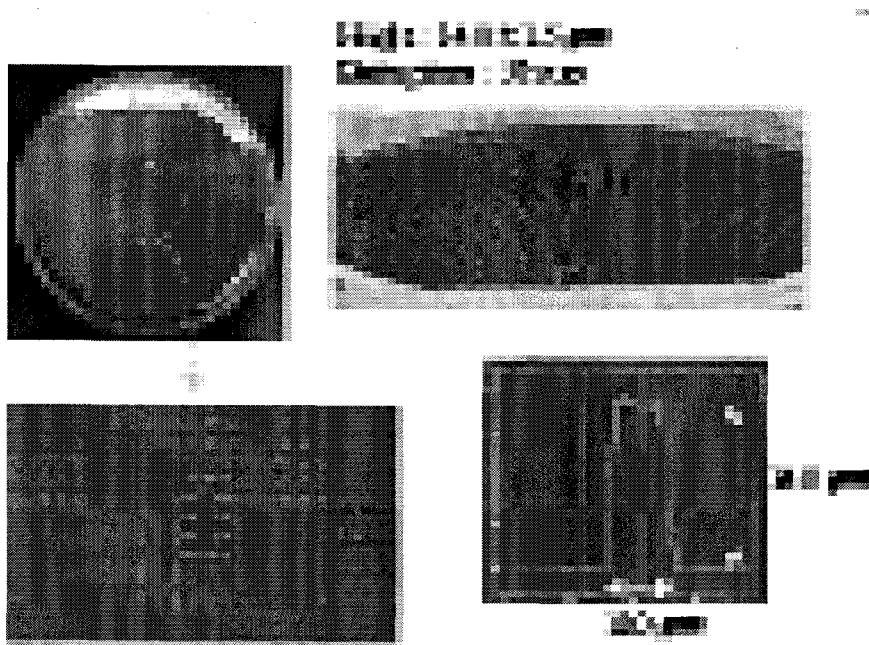


그림 39. 전기도금을 이용한 Bump 형성

이렇게 하면 패키징 구조가 완성되거나 제작된 패키징 기판의 특성을 측정하기 위하여 유리 기판의 상부에 측정용 패턴을 형성하였다. 참고로, 측정용 패턴은 GSG(ground-signal-ground, 400 μ m pitch) probe로 측정이 가능한 구조로 제작하였다. 위와 같이 패키징 기판을 완성한 후, 패키징 될 부분인 석영기판의 소자부분을 형성하였다. 패키징 될 소자는 RF-MEMS 스위치로서 석영 기판에 형성되며 신호는 CPW로 연결되어 있는 구조이다. 본 연구에서는 소자 패키징에 앞서, 소자가 형성될 부분에 CPW 만을 제작하여 놓고 제작된 패키징 기판으로 패키징 한 후 패키징 구조만의 특성을 측정하였다. 패키징은 gold-gold 접합에 의한 방법과 B-stage epoxy에 의한 두 가지 방법에 대하여 연구하였으며 주로 에폭시를 이용한 패키징 방법을 사용하였다.

- Adhesive epoxy를 이용하여 RF-MEMS 스위치를 패키징 하였다. 본 연구에서는 일반적인 에폭시와 B-stage epoxy 2종류를 사용하였으며 주로 B-stage 에폭시를 이용하여 200C 이하, 접합 선폭 500um 이하에서 수분에 견디는 접합 조건을 구하였다.

- 일반적인 에폭시의 경우 패턴의 형성이 어려웠으며 패턴이 뭉그러지는 현상을 관찰할 수 있었다. 그러나, 본 연구에서는 B-stage 에폭시를 사용하여 2차 경화 가능하며 프린팅 가능하도록 조건을 구하였다. B-stage 에폭시는 실크마스크를 이용하여 원하는 패턴대로 프린팅 하여 패턴을 만들 수 있으며, 이 상태에서 1차 경화한 뒤 다른 기판과 정렬하여 접촉시킨 후 2차 경화하여 접합을 수행할 수 있다. B-stage epoxy의 프린팅 후 웨이퍼레벨 높이 차이를 측정하였다. 웨이퍼 전역에 걸쳐 약 0.66um 밖에 차이가 나지 않음을 알 수 있었다. 위의 경우, 한번 프린팅하여 얻은 에폭시의 높이는 약 9um 이며 폭은 500um 정도이다. 실크마스크 조건을 바꿈으로써 에폭시의 높이 및 폭은 조절 가능하다. 에폭시에 의해 접합된 부분을 SEM으로 측정된 결과를 아래 그림에 나타내었다. 프린팅에 사용된 패턴의 크기는 500um 이나 실제로 얻어진 프로파일은 base가 600um 로서 약 100um 정도 넓어졌으며 접합된 부분의 폭은 400um 로서 약 100um 정도 감소한 것을 관찰할 수 있었다.

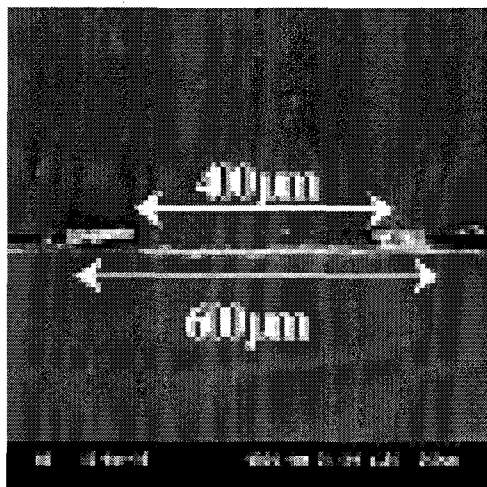


그림 40. 접하부의 확대사진 (에폭시 프로파일 관찰용)

그림 41은 소자 실장시 소자 보호용으로 사용될 B-stage 에폭시의 접합 강도를 측정된 결과를 나타내었다. 에폭시의 접합 강도는 약 20MPa 정도로서 유리-실리콘간 양극접합의 경우에서 얻을 수 있는 값과 유사한 정도의 강도를 얻었다.

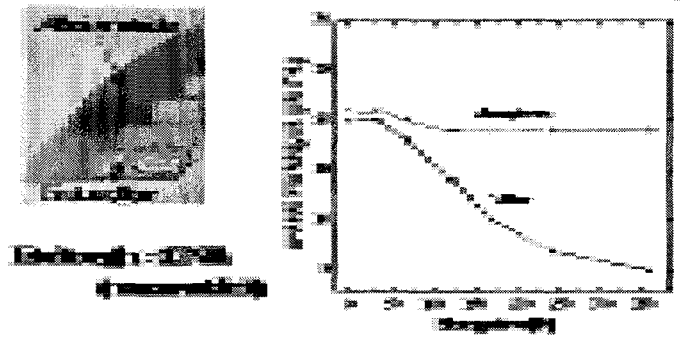


그림 41. 결과 사진 및 에폭시의 접합강도 측정

또한, B-stage 에폭시를 이용한 leak test를 수행하였으며 그 시편의 사진과 결과를 다음 그림에 나타내었다. Leak rate는 약 10^{-7} cc/sec 정도로서 hermetic sealing에 사용하기에는 충분한 특성을 보임을 알 수 있었다. 일반적으로 10^{-7} cc/sec 정도 이하의 누설치를 보일 경우부터 hermetic sealing에 응용 가능성이 알려져 있다.

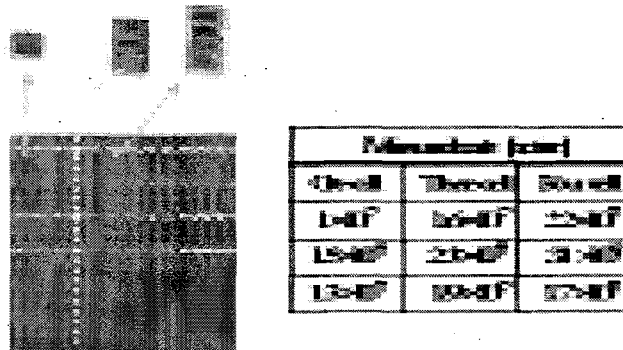


그림 42. 에폭시의 leak rate 측정용 시편 사진 및 측정 데이터

본 연구에서는 보다 낮은 패키징 가격을 이루기 위하여 Au 대체로 저비용의 Cu를 사용하기 위한 실험을 하였다. Cu 도금을 위하여 Au 씨드를 사용하였으며, 애노드와 캐소드의 거리는 7cm 을 유지하였다. 또한 도금조 내의 온도를 29-30도를 유지하였으며, 전류원으로는 DC 정전류원을 사용하였다. 증착시 변수로는 씨드의 두께를 달리 하였으며, 단위면적당 전류량을 변화시켜 증착율을 살펴 보았다.

그림 43은 증착율을 나타내는 도표로써 기존의 Au에 비하여 더 많은 전류의 흐름이 요구됨을 알 수 있다. 이것은 Cu의 이온화 에너지가 Au에 비하여 높기 때문으로 생각되며, 따라서 증착전에 활성화 시간이 요구된다. 활성화 시간을 갖고 증착을 하였을 경우 Cu의 흡착력이 증

가 하였고 표면의 거칠기가 줄어들어 현상을 관찰할 수 있다. 또한 그림에서 보듯이 씨드의 두께에 따른 증착물의 차이가 나왔는데 이는 씨드가 두꺼워짐으로써 표면저항이 감소하고 따라서 전류의 효율이 증가하기 때문이다. 전류의 효율은 이온화의 증가를 가져오며, 확산속도의 증가를 얻을 수 있다. 따라서 저항이 낮을수록 높은 증착물을 얻을 수 있다.

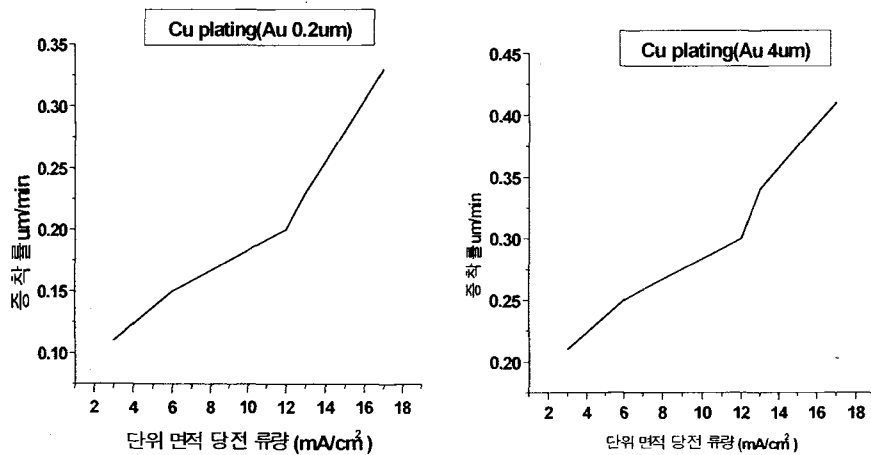


그림 43. 전류량 및 씨드 두께에 따른 Cu 증착률

패키징시 범프 형성과 hermetic sealing을 위한 공정을 동시에 하기 위하여 Sn Electroplating 방법을 제안하였다. Eutetic bonding을 통하여 Sn-Au을 접합을 함으로써 웨이퍼 레벨 패키징시 우수한 실링 특성 및 uniformity을 얻을 수 있다는 장점과 공정의 단순화를 이룰 수 있으며, 또한 에폭시 실링과는 달리 소자의 성능을 향상시키는 진공 패키징에도 적용이 가능하다는 장점이 있다. 그림 44는 Sn의 Sn Electroplating 조건을 나타내고 있다. 전류량에 따른 증착률의 변화와 씨드 물질에 따른 변화를 살펴 보았다. 그림 44에서 보듯이 Cu 씨드인 경우가 증착률이 좀더 빠르며 선형적인 증가를 보이고 있다. Au 씨드인 경우 선형성이 약간은 떨어져지만 전체적으로는 선형적인 특징을 보이고 있다. 또한 Sn²⁺가 이온이 활성화 되는 에너지가 Au 보다 낮은 에너지에서 형성됨으로써 전류의 미세한 변화를 조절하는 것이 매우 중요하다.

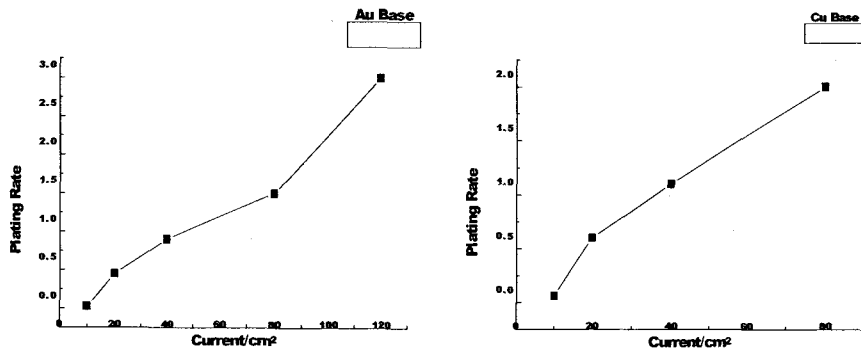


그림 44. 전류량 및 씨드 두께에 따른 Sn 증가

Sn 전기도금을 통하여 범프 형성 및 Sn의 비율에 따른 reflowing 온도를 알아보려고 하였다. AZ9260 thick PR을 이용하여 지름이 60um 이고 높이가 19um 인 홀을 패터닝 하였다. 이때 패터닝을 하기 위한 조건은 다음과 같다.

- PR 증착 1차 ; 500rpm for 5sec, 2차 : 2000rpm for 5sec
- soft bake : 85 in oven for 30min
- Hard bake : 200도 at hotplate for 1min
- D.I Water dipping : 20min
- UV : 15mwatt/cm2 2분 1초
- Develop : AZ 400K , 30도, 10 min

그림 45는 형성된 범프를 보여주고 있다. 범프가 가이드된 PR 보다는 낮은 높이로 조절이 되면 형성된 모양이 매우 우수하게 형성됨을 알 수 있으며, 균일성은 매우 우수하다는 것을 알 수 있다. 웨이퍼 전체에서 균일도는 1um 이내에서 형성이 되었으며 저항은 0.4 ohm으로 매우 우수하게 나왔다.

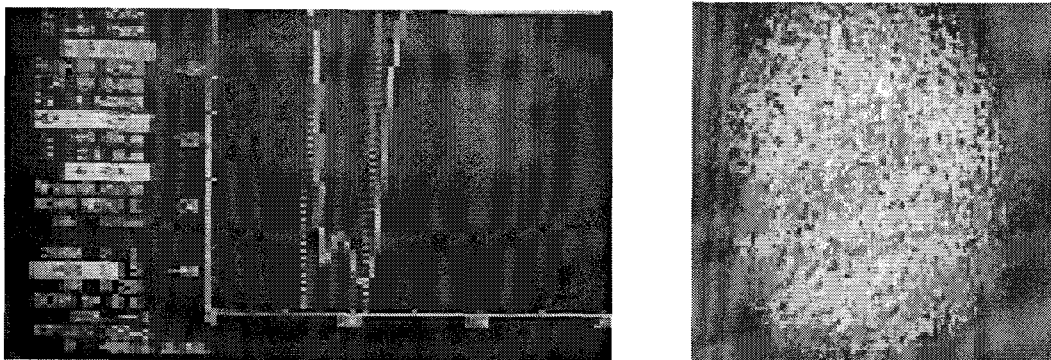


그림 45. Sn 범프 형성 광학 사진 및 높이 프로파일

그림 45에서 보듯이 범프의 높이가 40um 가 나왔으며, 범프의 지름이 60um 나왔다. 범프의 최상단에서 약간의 높이 차이를 보여주고 있으나, 이것은 Sn을 reflowing 할때 일정한 높이가 될 수 있음을 알수 있다. 소자의 외부 환경에 대한 보호를 위하여는 hermetic sealing을 형성하여야 한다. 본 연구에는 소자의 dicing영역에 Sn을 전기도금 하여 Sn-Au와의 reflowing 시 접합을 통하여 실링을 하고자 하였다. 우선 접합 특성 및 강도를 알아보기 위하여 2cm*2cm 의 사이즈 위에 Sn을 2um 전기도금을 하여 형성을 한 후 4um의 Au와 5N의 압력을 가하며 250도의 온도에서 접합을 하였다. 접합 후 접합 강도를 알아보기 위하여 Tensile meter을 이용하여 강도를 측정하였다. 그림 46은 Sn의 reflowing 온도 조건 및 각 온도에서 시간을 보여주고 있다. 온도는 단계적으로 올렸으며, 최종 250도에서 10분간을 유지하며 접합을 하였다.

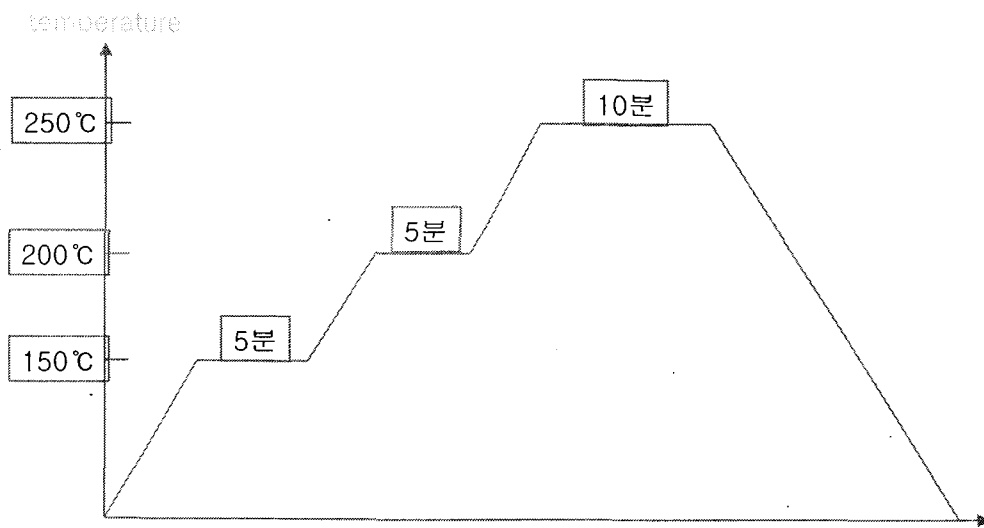


그림 46. Sn의 접합을 위한 reflowing 조건

만일 250도이상으로 온도를 증가하였을 경우 Sn의 퍼짐 현상으로 인하여 원하는 실링 라인 폭 이상으로 실링이 되는 현상이 발생하였다. 또한 Sn의 reflowing 온도는 Sn을 녹이는 하부 금속인 Au와의 비율로써 조정할 수가 있다는 장점이 있다. 또한 범프와 동시에 형성할 수 있으며, 범프의 높이 차이를 실링시 cover 할 수 있는 장점을 가지고 있다. 그리고 에폭시와 달리 진공 패키징에도 사용이 가능하다.

그림 47은 250도 10분간 접합한 쌍의 접합 강도를 측정하기 위하여 tensile meter를 사용하여 측정한 후 떨어진 쌍이다. 그림에서 보듯이 실리콘 계면이 떨어져 나갈 정도의 우수한 강도를 가지고 있음을 알 수 있다. 계면이 결정 방향에 따른 파괴가 아닌 물결 모양을 이루고 있는 것은 실리콘이 Sn의 접합 강도에 의해 떨어져 나왔기 때문이다. 이때 측정된 접합 강도는 60Kg중으로 매우 우수하게 나왔다. 이는 에폭시의 경우 보다 더 큰 강도를 나타내고 있으며, 패키징 적용 시 실링 영역으로 사용이 충분히 가능하다는 것을 알 수 있다.

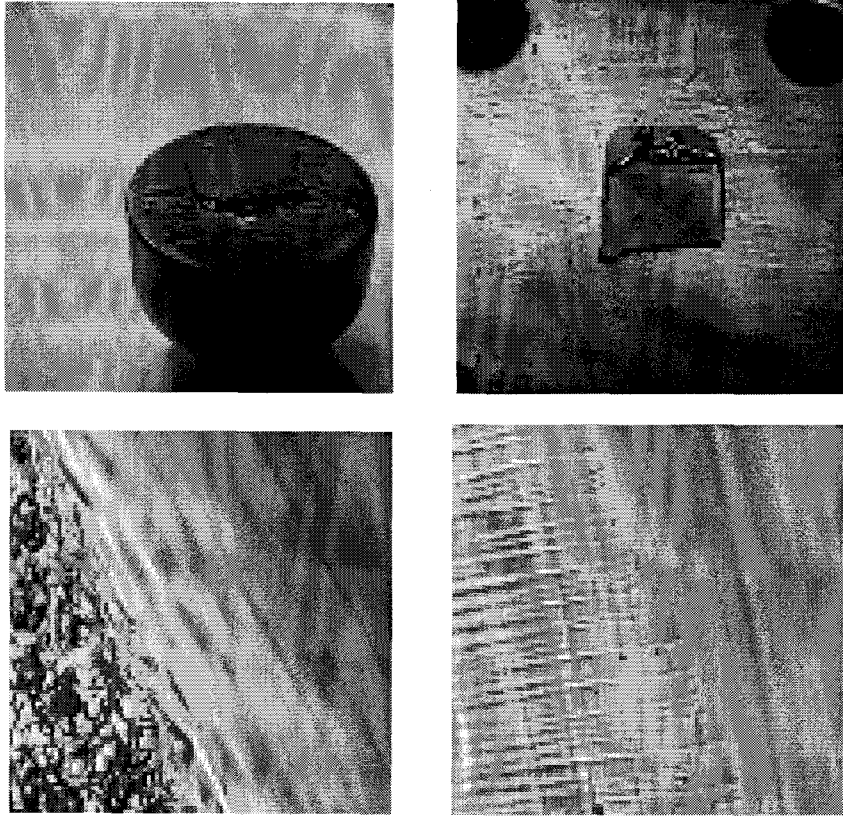


그림 47. 접합된 쌍의 강도 측정

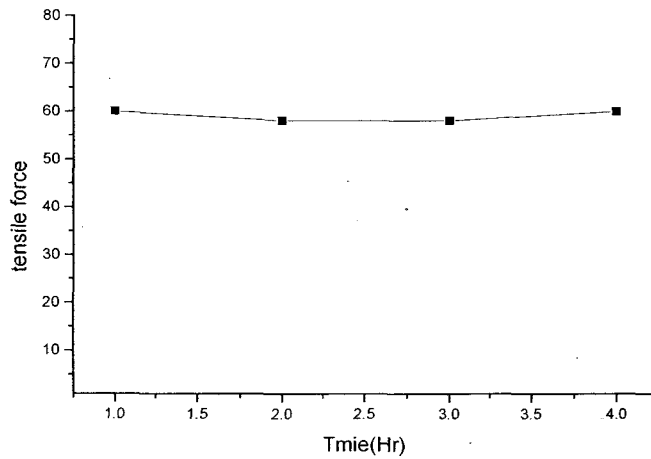


그림 48. Sn의 수분에 따른 접합 강도 변화

Sn 접합 후 수분에 따른 접합 강도를 알아보기 위하여 물속에 접합된 쌍을 담근 후 시간의 변화에 따른 접합 강도의 변화를 살펴 보았다. 그림에서 보듯이 수분에 의한 접합 강도의 변화

를 찾아볼 수 없었다. 이는 금속 접합의 경우 수분에 의한 저항이 매우 크다는 것을 나타내고 있으며, 따라서 패키징에서 소자를 보호하기 위한 hermetic 실링에 응용이 가능하다는 것을 알 수 있다.

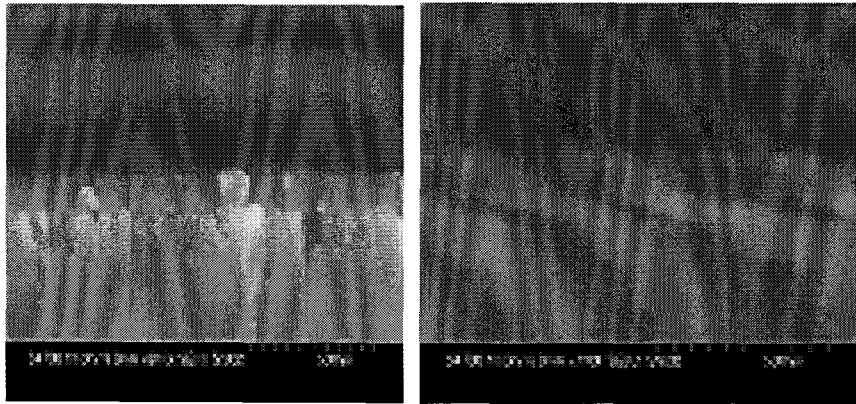
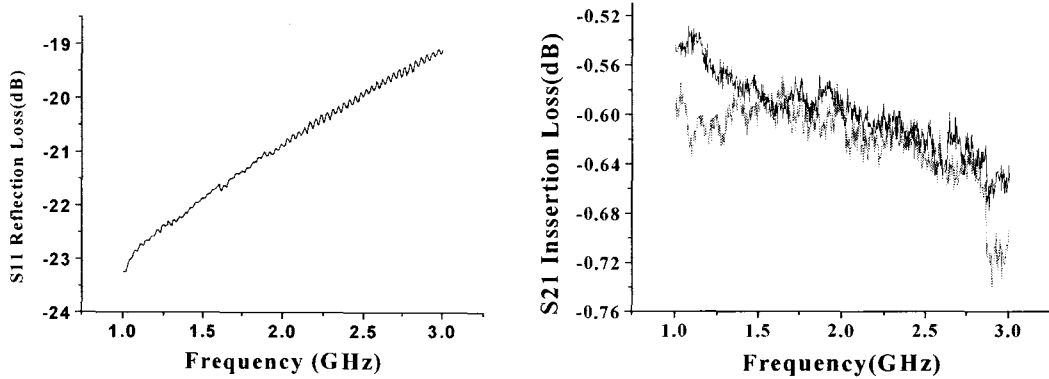


그림 49. Sn의 접합 계면의 SEM 사진

그림 49는 접합된 쌍의 계면 상태를 보기 위하여 SEM을 통하여 단면을 본 사진이다. SEM 사진에서 보듯이 계면에 void가 없이 접합이 되었음을 알 수 있고, 이것은 250°C 온도에서 Sn이 Au에 확산이 됨으로써 접합이 이루어졌음을 알 수 있다. 측정을 위하여 측정용 CPW를 설계하고 제작하였다. 일반적으로 RF 신호 전달에 쓰이는 전송선로는 임피던스가 50Ω에 매칭이 되도록 사용을 한다. 따라서 본 연구에서 패키지 손실을 측정하기 위하여 50Ω에 매칭이 되도록 CPW의 폭과 길이와 갭을 계산하여 설계되었으며 측정의 용이함을 위하여 패드 부분의 면적을 범프 보다 넓게 설계하였다. 소자의 패드와 패키징 기판의 범프를 플립칩 본더를 사용하여 정렬을 한 후 패키징 된 소자에 대해 2 포트 GSG probe 와 HP 8753D network analyzer를 이용하여 패키징 손실을 측정하였다. 전체 패키징 구조의 손실 측정에 앞서 소자 부분으로 정의된 석영기판의 CPW에 대한 손실을 측정하였다. 측정된 CPW의 손실은 샘플에 따라 삽입 손실을 나타내는 S21이 약 -1.3dB에서 -0.55dB가 나왔다. 본 연구에서는 CPW에 대한 제작 특성 파악이 아닌 소자 대체용으로 사용하고자 습식식각 방법을 이용하여 제작하였다. 따라서 CPW의 폭과 그라운드와의 갭이 일정치 못하여, 샘플마다 임피던스의 차이가 발생함으로써 측정값의 차이가 생겨났다. 측정된 반사손실(S11)과 삽입손실(S21)을 그림 50에 나타내었다.

전체 패키징 구조의 손실 측정에 앞서 소자 부분으로 정의된 실리콘 기판의 CPW에 대한 손실을 측정하였다. CPW의 손실을 측정한 결과, 목표 주파수 영역인 3GHz 까지의 범위에 대해 약 0.5 ~ 0.63 [dB]의 특성을 얻을 수 있었다. 이후, 전체 패키징 구조에 대한 손실을 측정하였다. 반사손실은 약 -19 [dB] 이하이며 삽입손실은 약 -0.54 ~ -0.67 [dB] 로써 매우 양호한 특성을 얻을 수 있었다. 여기서, 소자 부분의 손실을 제한다면, 패키징 구조 자체의 손실은 약 -0.05 [dB] 이내로 매우 우수한 값을 보여주고 있다. 이는 패키징으로써 소자의 전송 특성이 악화 되지 않음을 알 수 있다. 측정된 결과가 시뮬레이션으로부터 얻은 값과 약간의 차이를 보이는 데에는 여러 가지 원인이 있을 수 있다고 생각된다. 그 중에서, 시뮬레이션 파라미터와 달

리 via가 수직하게 형성되지 않음으로써 발생된, 기생용량의 증가로 인한 손실의 증가와 bump와 소자기판의 패드 간 접합 시 접촉저항의 발생으로 인한 손실, 또한 기판의 두께가 증가됨으로써 수직형 feed-through의 길이가 증가함으로써 기생 인덕턴스의 증가가 주된 원인일 수 있다고 생각된다.



(a)패키지의 Reflection loss (S11)

(b)패키지의 Insertion loss (S21)

그림 50. 패키징 된 소자의 측정 S-parameters

제 2 절. High-Q Inductor

2.1. Design of high-Q inductors above-RF IC

A SAIT high-q inductor are shown in the following figure. The low-k material, BCB (BenzoCycloButanes), is used to minimize the effect of Si substrate (Resistivity= 1-10 ohm cm). Also thick Cu (10um) electroplating is used to reduce the series resistance of the coils.

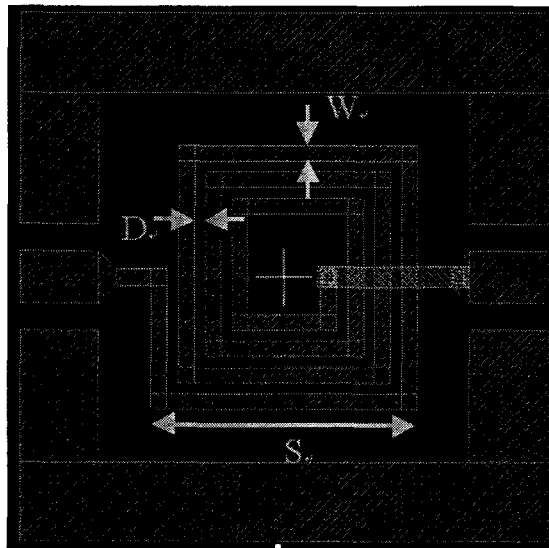


그림 51. Mask layout of a SAIT high-q inductor .

표 5. Design parameters of a SAIT high-q inductor

| Type | R | Rectangular | Substrate | Test Si |
|----------|---|-------------|-----------|---------|
| Diameter | D | 500 um | BCB#1 | 10 um |
| Width | W | 30 um | Metal#1 | Cu 3 um |
| Space | S | 20 um | BCB#2 | 10 um |
| Turns | T | 2.5 | Metal#2 | Cu 10um |

The following figure show the IE3D simulation result (current distribution) of SAIT inductors.

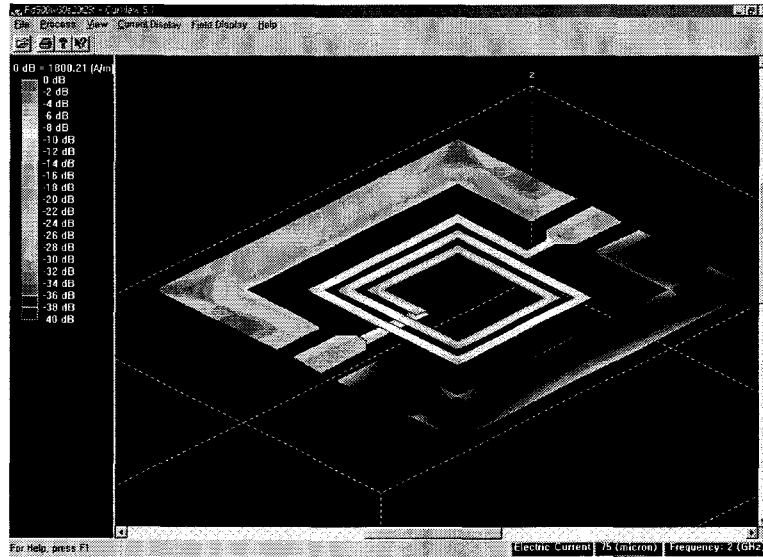


그림 52. Simulated SAIT inductor

Then the obtained S-parameter is exported to ADS to extract inductances and quality factors. The following figure shows the S-parameters. (S11 in Smith chart. S12 in log magnitude)

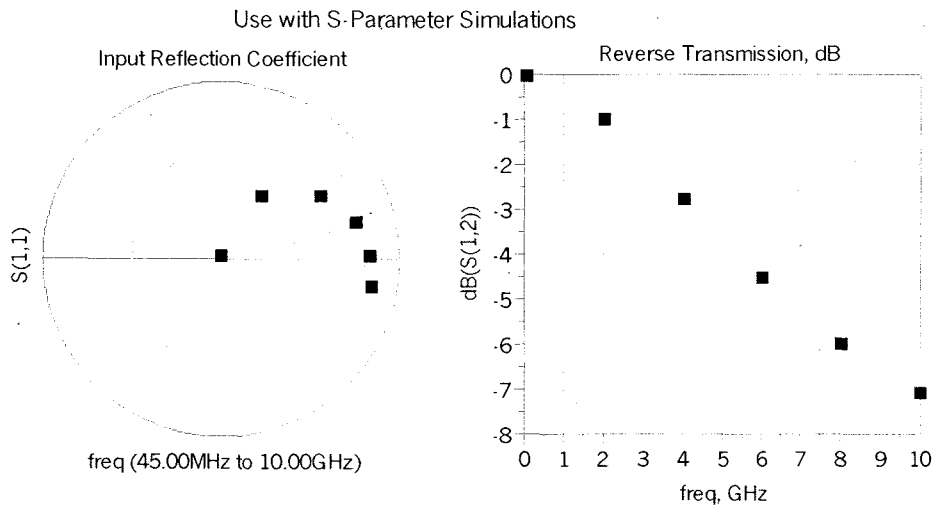


그림 53. Measured S-parameters of a SAIT inductor

Finally the quality factor and inductance is calculated and presented in the following figures. The quality factor is as high as 35 at 2GHz.

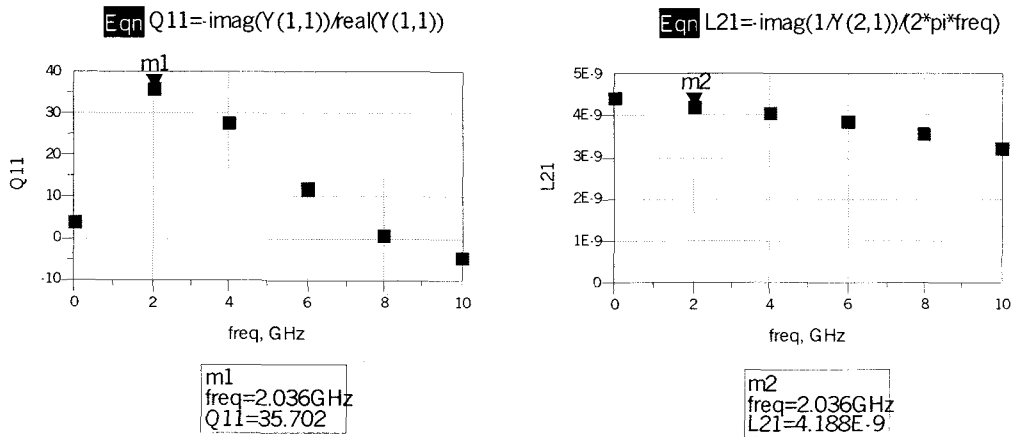
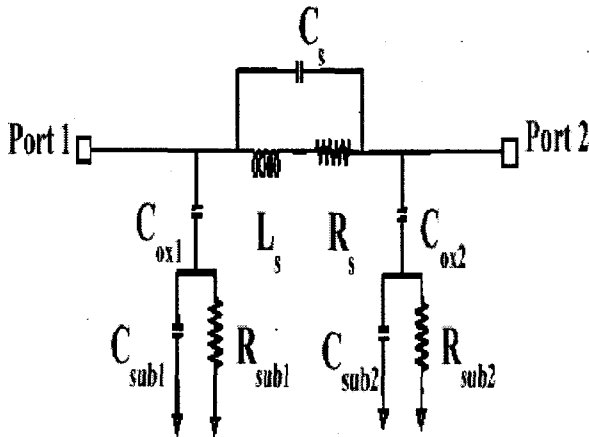


그림 54. Measured Q & L of a SAIT inductor

2.2. 인덕터의 등가회로 simulation

인덕터에서 Q-factor와 self-resonance frequency에 크게 영향을 미치는 기생성분을 파악하기 위한 simulation을 진행하였다. 각각의 기생성분의 영향을 알아보기 위해 아래의 그림과 같이 표현되는 인덕터의 등가회로에서 하나의 기생성분만을 변화시키면서 simulation을 진행하였다.



| Item | Data | Item | Data |
|--------|-------|----------|-------|
| Ls(nH) | 2.307 | Cox(fF) | 64 |
| Rs(Ω) | 2.01 | Csub(fF) | 37.63 |
| Cs(fF) | 18.68 | Rsub(Ω) | 444 |

표 6. 기생성분들의 값

그림 56. Equivalent circuit of a inductor

Rs만을 변화시키면서 simulation한 결과는 그림 57에서 보여주고 있다. 저주파에서는 capacitor의 성분을 무시할 수 있기 때문에 Q-factor는 인덕터와 Rs의 직렬 연결로만 볼 수 있다. 따라서 저주파에서의 Q-factor는 Rs에 반비례하여 나타나는 결과를 볼 수 있다.

그림 58은 Rsub의 영향을 나타낸 그림이다. Rs가 저주파에서의 Q-factor의 기울기를 결정했다면, Rsub는 고주파에서 Q-factor의 기울기를 결정하게 된다. Rsub는 인덕터와 병렬연결로 볼 수 있기 때문에 고주파에서는 Rsub가 증가함에 따라 Q-factor도 증가하는 것을 볼 수 있다. 또

한 R_{sub} 에 따라 self resonance frequency도 변하는 것을 알 수 있다.

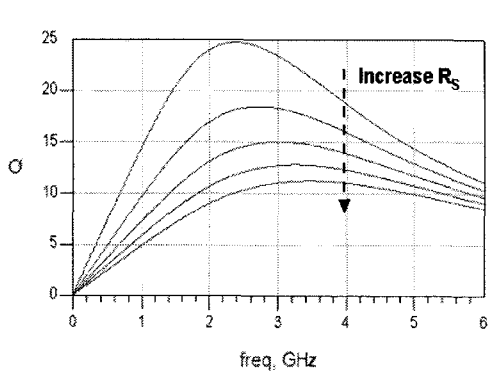


그림 57. factor 와 R_s 의 관계
 $R_s=1, 1.5, 2, 2.5, 3(\Omega)$

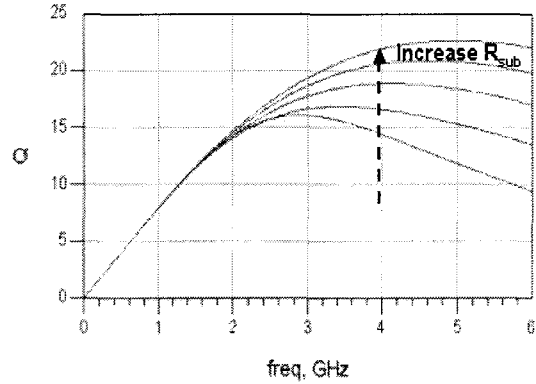


그림 58. factor 와 R_{sub} 의 관계
 $R_{sub}=400, 800, 1200, 1600, 2000(\Omega)$

기생저항이 에너지 손실에 의해 Q-factor를 감소시키는 것에 비해 기생 capacitor는 고주파로 갈수록 인덕터와 서로 상쇄되어 저장할 수 있는 에너지의 양을 줄임으로써 Q-factor를 감소시킨다. 그림 56의 인덕터 등가회로에서 보여주듯이 capacitor는 인덕터와 병렬로 연결되어 있다. 따라서 고주파로 갈수록 capacitor의 임피던스가 감소하여 저장할 수 있는 에너지 양이 줄어 Q-factor가 감소하게 된다.

그림 59-61은 각각 C_s , C_{ox} , C_{sub} 를 변화시킬 때 나타나는 현상을 나타낸 그림이다.

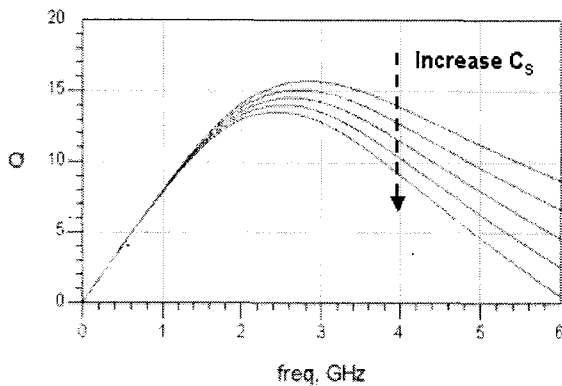


그림 59. Q-factor 와 C_s 의 관계
 $C_s=50, 100, 150, 200, 250(fF)$

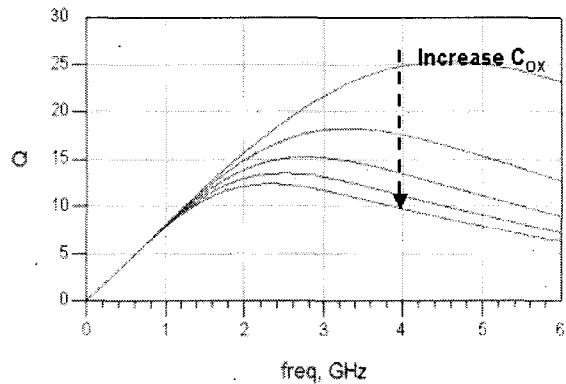


그림 60. factor 와 C_{ox} 의 관계
 $C_{ox}=25, 50, 75, 100, 125(fF)$

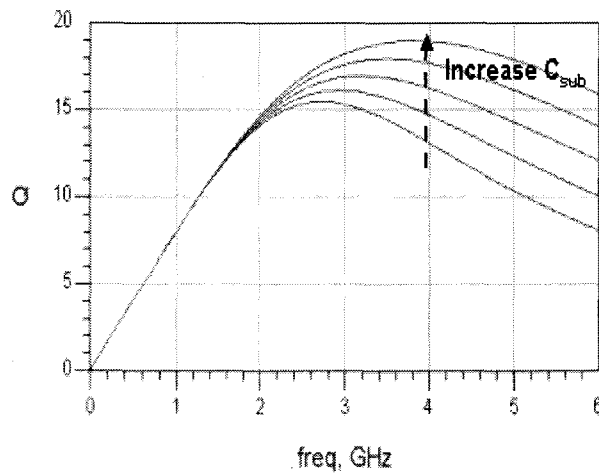


그림 61. Q-factor 와 Csub의 관계
Csub=20, 40, 60, 80, 100(fF)

Simulation 결과 Q-factor와 self-resonance frequency를 개선하기 위해 아래와 같은 방법을 제시할 수 있다.

- Rs를 줄임 : Thick metal을 사용
- Rsub 늘림 : High resistivity substrate을 사용
- Cox를 줄임 : Top metal과 substrate사이의 dielectric을 두껍게 한다.

2.3. TSMC 인덕터 측정 결과 분석

그림 62는 TSMC에서 제공하는 인덕터의 Q-factor graph이다. 동일한 조건하에서 substrate의 doping 농도만이 달라졌을 때의 self resonance frequency와 Q-factor의 변화를 잘 보여준다.

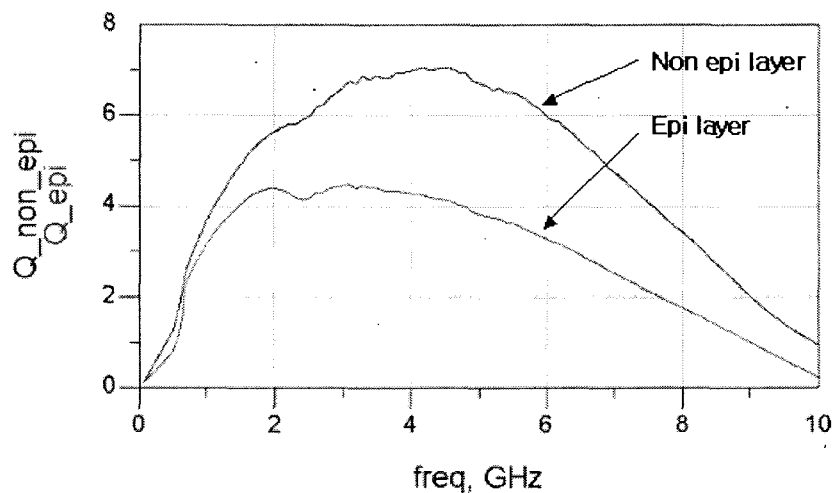


그림 62. TSMC 인덕터 측정결과

기판으로 epi-layer를 사용했을 경우와 사용하지 않았을 경우 기판 저항이 크게 달라지게 된

다. 인덕터의 등가회로 simulation에서 알 수 있듯이 저주파에서는 R_s 에 의해 Q-factor가 결정이 되기 때문에 1GHz 이전까지는 거의 같은 Q-factor를 갖게 된다. 그리고 주파수가 올라감에 따라 R_{sub} 의 영향이 보이게 되어 self-resonance frequency가 낮아지는 것을 확인할 수 있다.

2.4. 인덕터의 EM simulation

인덕터의 EM simulation은 3D simulation이 가능한 HFSS를 사용하여 진행하였다. Q-factor를 향상시키고, self-resonance frequency를 증가시키기 위해 인덕터의 metal line을 두껍게 하여 R_s 를 줄이고, 기판과 metal line간의 간격을 늘림으로써 C_{ox} 를 줄여 Q-factor를 향상시켰다.

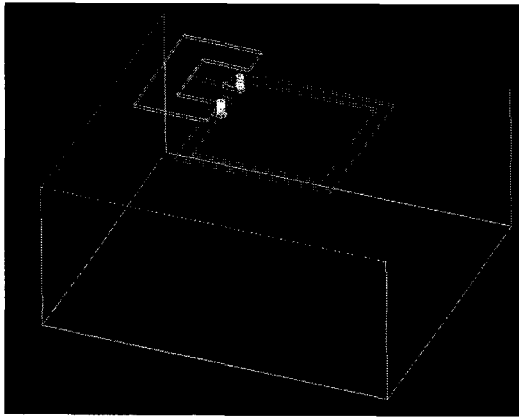


그림 63. 인덕터의 Physical Layout

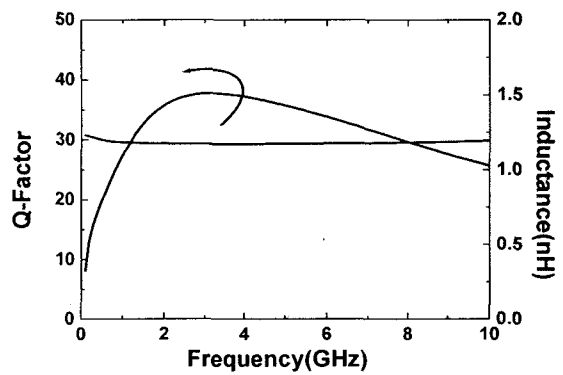


그림 64. Simulation 결과

그림 63, 64는 인덕터 layout과 simulation한 결과이다. Simulation 결과 인덕턴스는 1.3nH, 그리고 3.8GHz에서 $Q_{max}=37$ 을 얻을 수 있었다. Q_{max} 가 3.8GHz 이전에서 나타남으로써 5.8GHz에서 40이상의 Q-factor를 얻을 수 없었다. 이는 기판과 metal line 사이의 간격을 더 늘려 C_{ox} 를 줄이거나 높은 저항을 갖는 기판을 사용함으로써 self resonance frequency를 5.8GHz보다 높게 만들 수 있을 것이다.

2.5. Transformer-based resonator

VCO의 가장 중요한 spec.인 phase noise를 향상시키기 위해서는 LC-tank의 Q-factor를 높여야 한다. LC-tank의 Q-factor를 결정짓는 가장 중요한 요소는 인덕터의 Q-factor이다. 앞서 설명한 인덕터의 공정을 변화시켜 Q-factor를 증가시키는 방법 이외에 transformer를 사용하면 LC-tank의 Q-factor를 높일 수 있다.

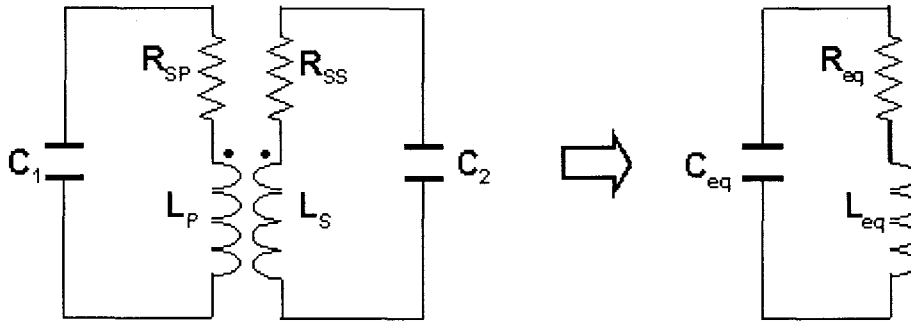


그림 65. (a) Transformer based resonator
(b) Equivalent circuit

그림 65 (a)와 같이 두 개의 LC-tank를 transformer를 사용하여 유도결합을 시키면 그림 65 (b)와 같은 등가회로로써 표현할 수 있다. 만약 $C_1=C_2$, $L_P=L_S$, $R_{SP}=R_{SS}$ 라면, 등가회로에서의 소자들은 아래와 같은 값을 가진다.

$$C_{eq} = 2 \times C_1$$

$$L_{eq} = L_P$$

$$R_{eq} = R_{SP}/2$$

즉, transformer-based resonator를 사용할 경우 인덕터의 직렬 기생저항성분 값이 1/2가 되어 인덕터의 Q-factor가 2배가 되고 결국 LC-tank의 Q-factor가 2배가 된다. 그림 66은 위의 회로를 HPADS를 통하여 simulation을 진행한 결과이다. 인덕터를 사용한 resonator와 transformer를 사용한 resonator를 같이 plot하여 Q-factor가 2배 상승하는 것을 볼 수 있다.

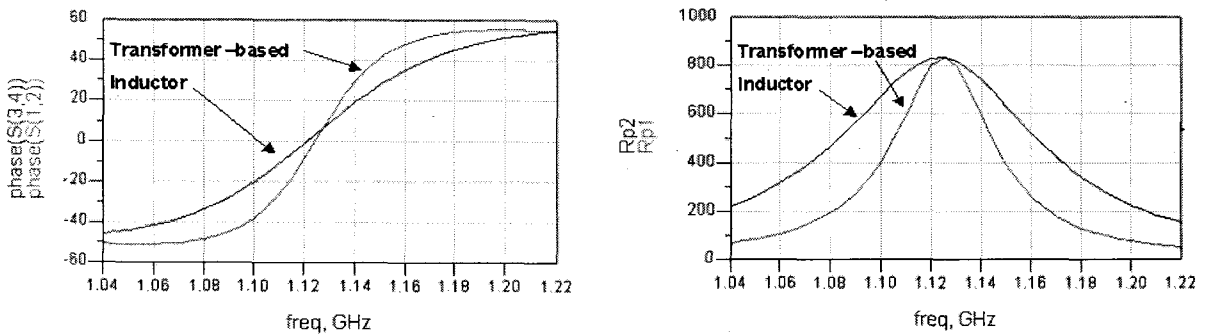


그림 66. Simulation 결과

Transformer-based resonator : $k=1$, $L_P=L_S=5\text{nH}$, $R_{SP}=R_{SS}=3\Omega$, $C=2\text{pF}$

Inductor based resonator : $L=10\text{nH}$, $R=6\Omega$, $C=2\text{pF}$

Transformer-based resonator를 설계할 경우 중요하게 고려되어야 하는 것이 각각의 resonator를 구성하는 인덕터와 캐패시터의 값들이다. 아래의 그림들은 공진 주파수가 같을 경우에 inductance와 capacitance를 변화시켜 가면서 simulation한 결과이다.

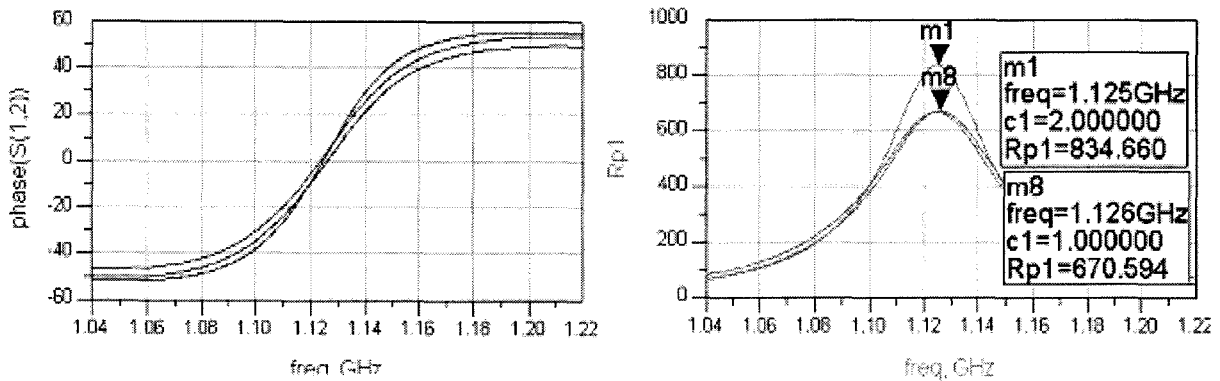


그림 67. Capacitance 변화에 따른 Q-factor와 병렬 저항의 변화
 $k=1$, $LP=LS=5nH$, $RSP=RSS=3\Omega$, $C1+C2=4pF$

그림 67은 C_1/C_2 를 1pF/3pF, 2pF/2pF, 3pF/1pF으로 두고 simulation한 결과이다. 다른 조건이 동일할 경우 두 개의 LC-tank의 capacitance가 같을 경우에 Q-factor가 다른 두 경우에 비해 약 1.24배 크게 나옴을 확인할 수 있다. 그리고 C_1/C_2 가 1pF/3pF, 3pF/1pF일 경우에는 동일한 Q-factor를 갖는다.

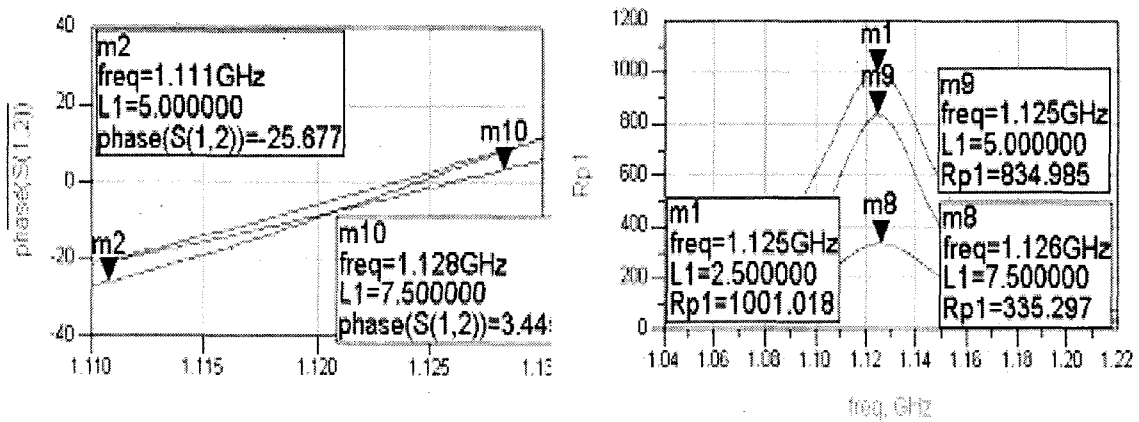


그림 68. Inductance 변화에 따른 Q-factor와 병렬 저항의 변화
 $k=1$, $LP+LS=10nH$, $C1=C2=2pF$

그림 68은 L_1/L_2 를 2.5nH/7.5nH, 5nH/5nH, 7.5nH/2.5nH로 변화시켜가면서 simulation한 결과이다. Q-factor는 두 개의 LC-tank의 inductance가 같을 때 가장 큰 값을, 7.5nH/2.5nH일 때가 가장 낮은 값을 가지게 된다. 하지만 LC-tank에 병렬로 연결되는 저항값은 2.5nH/7.5nH일 때 가장 큰 값을 보여준다.

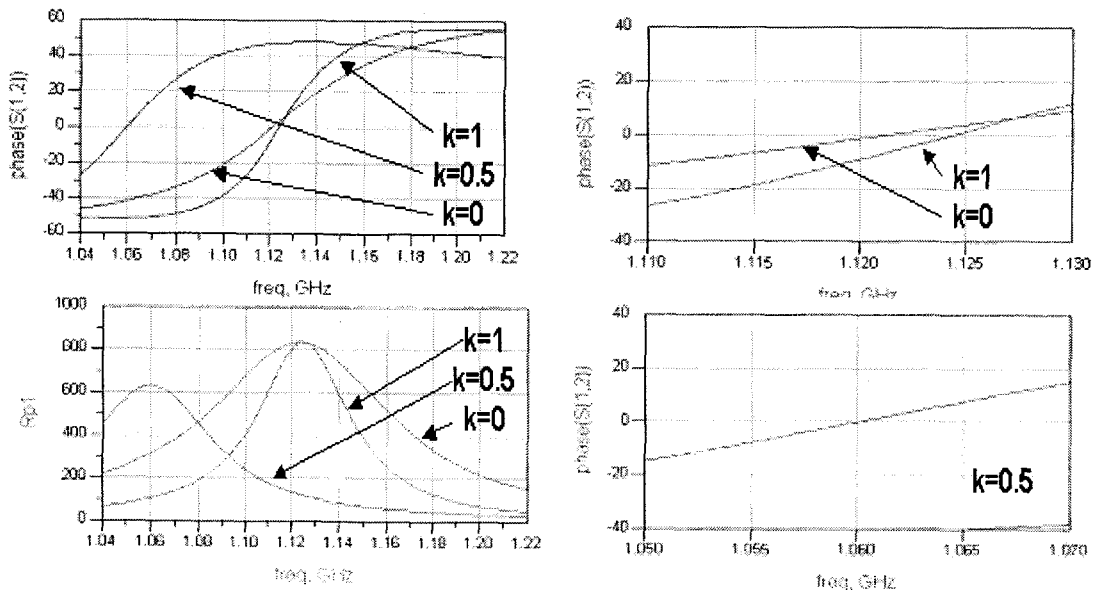


그림 69. Coupling coefficient 변화에 따른 Q-factor와 병렬 저항의 변화 C1=C2=2pF

그림 69는 coupling coefficient(k)에 따른 Q-factor와 병렬 저항을 나타낸 그림이다. Simulation 결과 아래와 같은 결과를 얻을 수 있었다.

- $Q_{k=1} = 2 \times Q_{k=0}$
- $Q_{k=0.5} = 1.5 \times Q_{k=0}$

따라서 가장 좋은 Q-factor를 얻기 위해서는 Coupling coefficient를 최대화하고 두개의 LC-tank를 동일하게 만들어 주어야 한다는 것을 알 수 있다.

2.6. Transformer의 EM simulation

SiGe HBT 공정에서 사용되는 기판은 lossy한 특성을 가지므로 5.8GHz에서 사용할 수 있는 트랜스포머에 대한 연구가 필요하다. 이번 연구에서는 2.5D EM 시뮬레이터인 Momentum을 사용하여 IBM SiGe HBT 공정 조건을 이용하여 5.8GHz에서 동작하는 트랜스포머를 설계하였다. 먼저 기존의 논문에 발표되었던 트랜스포머의 측정결과와 시뮬레이션을 비교하여 시뮬레이션이 믿을 수 있다는 것을 검증하였다. 그림 70은 설계한 트랜스포머의 Layout을 보여주고 그림 71은 transformer의 시뮬레이션 결과이다.

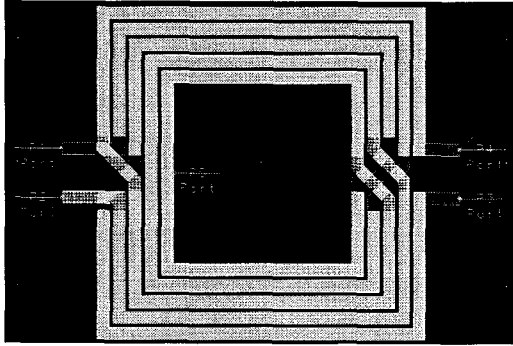


그림 70. Transformer layout

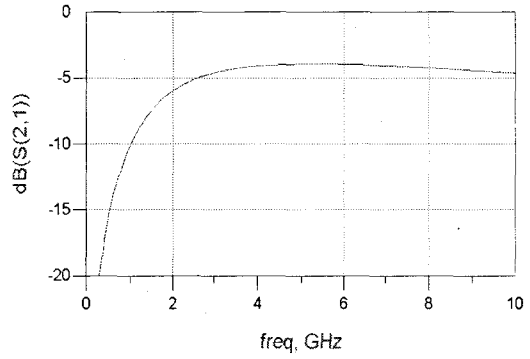


그림 71. Transformer simulation 결과

시뮬레이션 결과 5.8GHz에서 4dB의 감쇄를 보인다. 다음 그림은 트랜스포머에 센터탭을 달아 Balun으로 동작시켰을 때의 시뮬레이션 결과이다.



그림 72. Balun simulation 결과

트랜스포머를 Balun으로 동작시킬 때 이상적으로는 3dB의 감쇄가 있어야 하는데, simulation 결과 5.8GHz에서 약 6dB 정도의 감쇄가 있는 것으로 나왔다. 이는 입출력 포트에서 capacitance 튜닝을 하지 않아서 매칭이 되지 않은 결과이며 향후 capacitance 튜닝을 통해 약 4~5dB의 감쇄를 갖는 트랜스포머의 특성을 얻을 수 있다.

제 3 절. Tx/Rx MMIC

◆ CMOS MMIC 라이브러리 구축

1) N-MOSFET 라이브러리

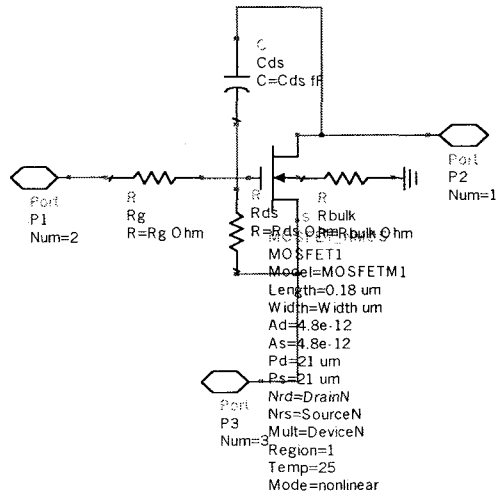
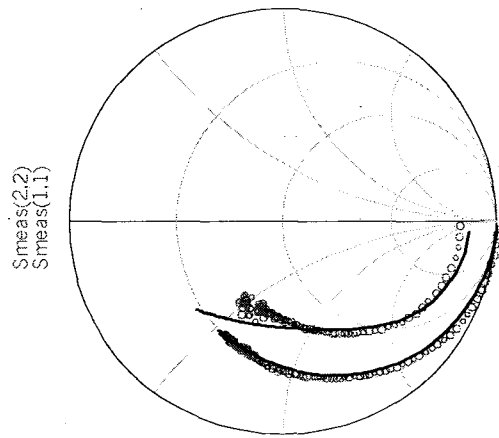
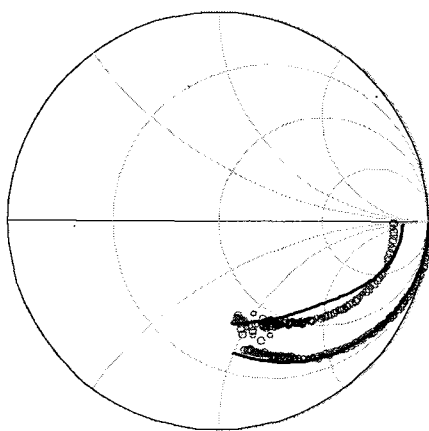


그림 73. N-MOSFET의 등가회로

- Unit Gate Width 10 um : 4, 8, 16, 32 fingers
- Unit Gate Width 20 um : 4, 8, 16 fingers
- Unit Gate Width 40 um : 4, 8, 16 fingers



— : model, ○ : measured

— : model, ○ : measured

(a) 10 um × 8 fingers

(b) 10 um × 16 fingers

그림 74. N-MOSFET modeling 결과

2) Inductor 라이브러리

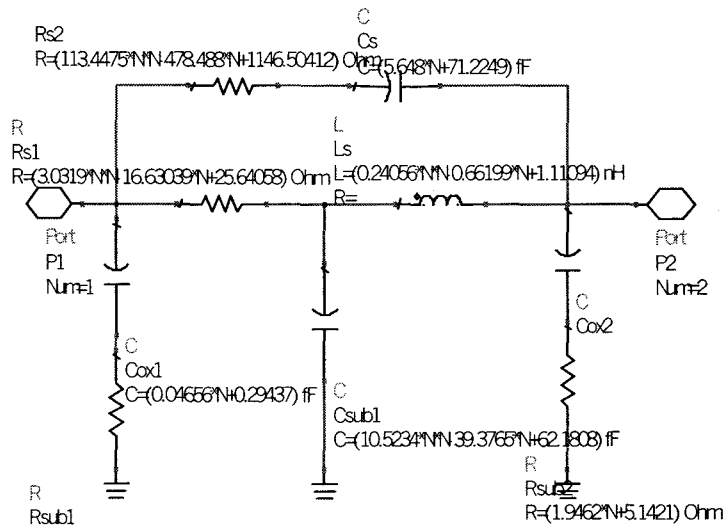
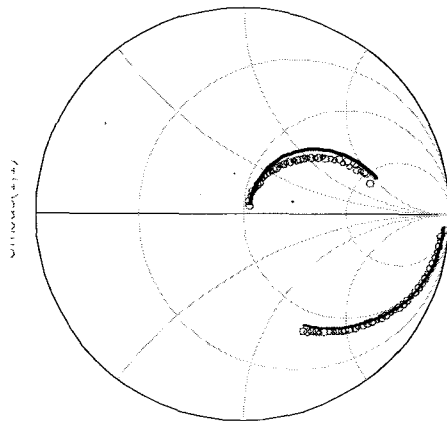


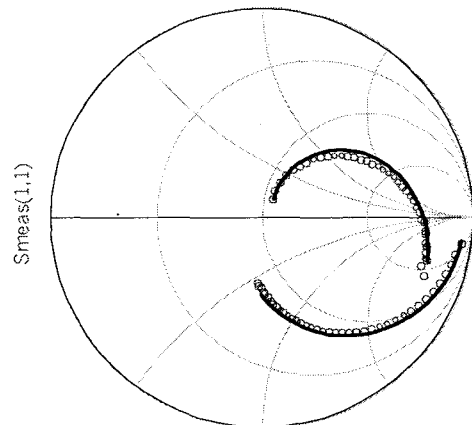
그림 75. Inductor 등가회로

- Inner space 60 um : 2.5, 3.5, 4.5 turn
- Inner space 120 um : 1.5, 2.5, 3.5 turn



— : model, ○ : measured

(a) 2.5 turn



— : model, ○ : measured

(b) 3.5 turn

그림 76. Inductor fitting 결과 (Inner space = 60 um)

3) Capacitor 라이브러리

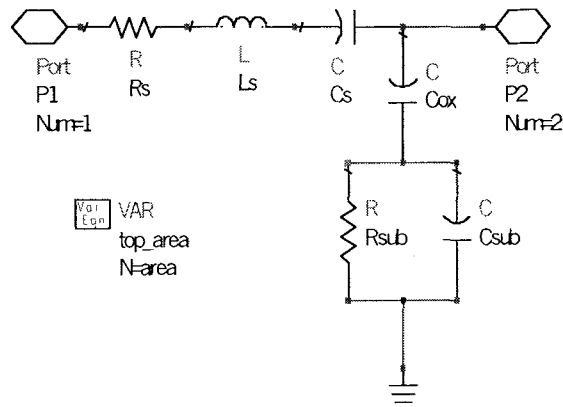


그림 77. Capacitor 등가회로

□ Capacitor size : 5 ~ 30 μm

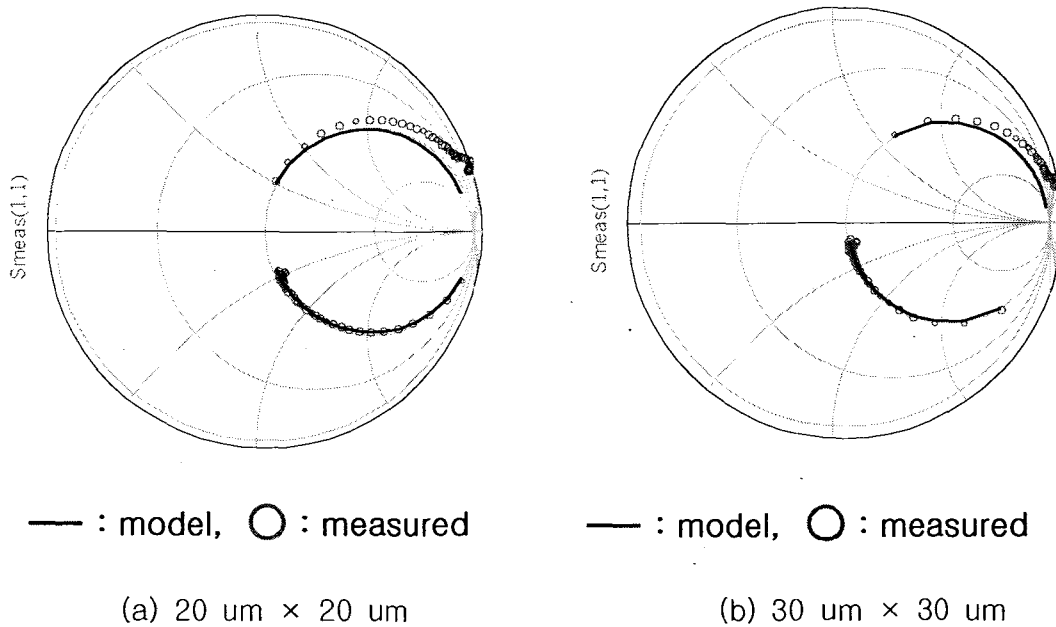


그림 78. Capacitor fitting 결과

4) Resistor 라이브러리

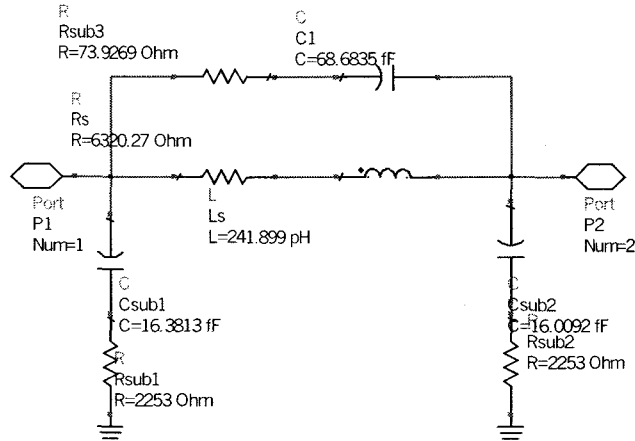


그림 79. Resistor 등가회로

- N+ Poly resistor
- Resistor type : width (2 um), Length (15, 25, 50, 75, 100 um)

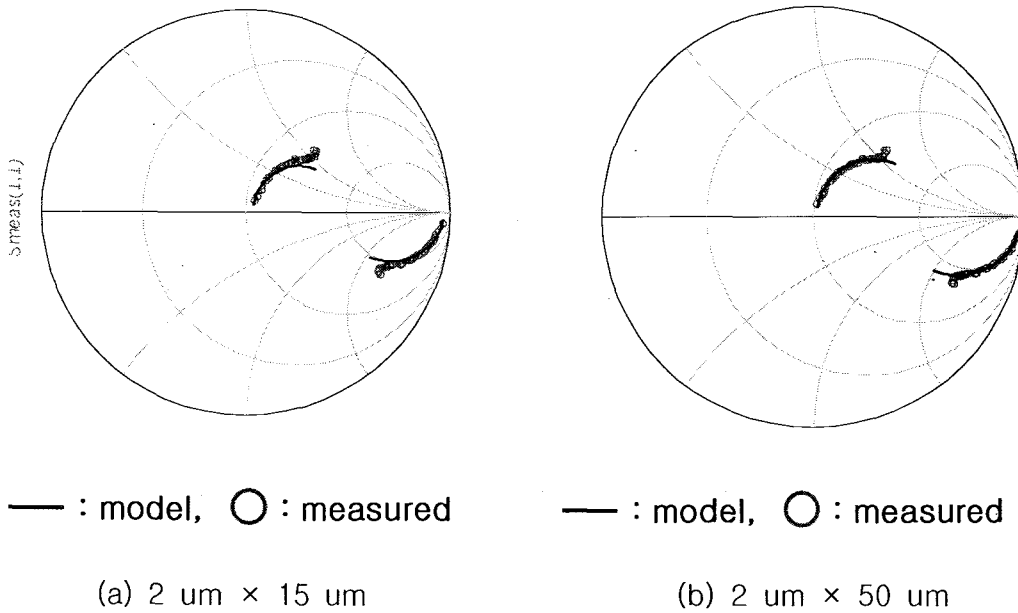


그림 80. Resistor fitting 결과

◆ CMOS Rx/Tx MMIC 설계

1) Low Noise Amplifier

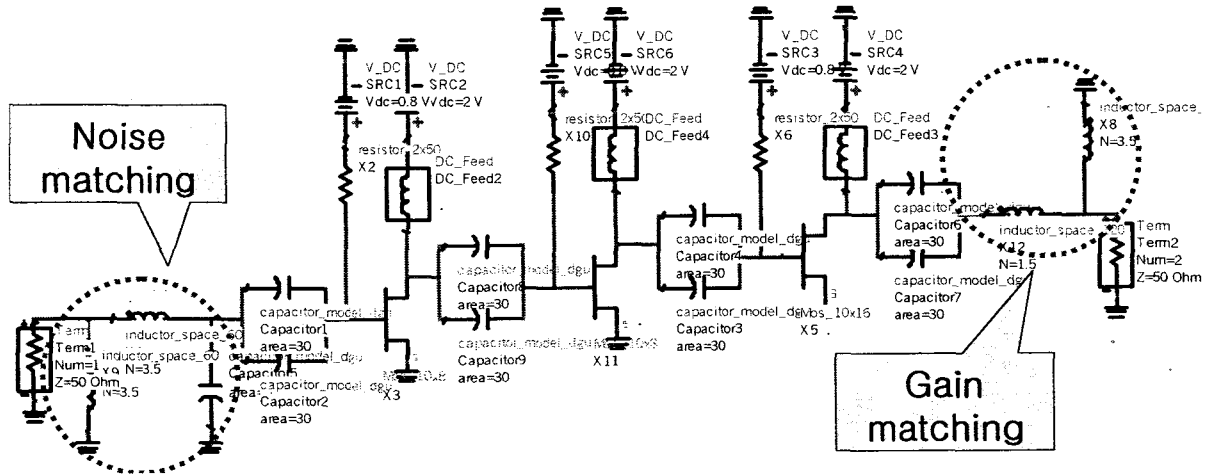


그림 81. 설계된 LNA의 회로도

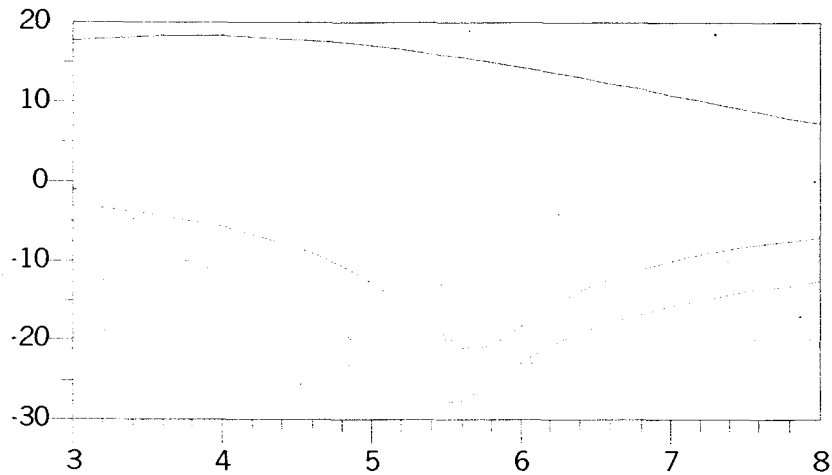


그림 82. 설계된 LNA의 S-parameter 시뮬레이션 결과

- S21 : 14.97 dB (@ 5.8 GHz)
- S11 : -20.77 dB (@ 5.8 GHz)
- S22 : -25.23 dB (@ 5.8 GHz)
- NFmin : 3.68 dB (@ 5.8 GHz)
- Noise Figure : 3.75 dB (@ 5.8 GHz)

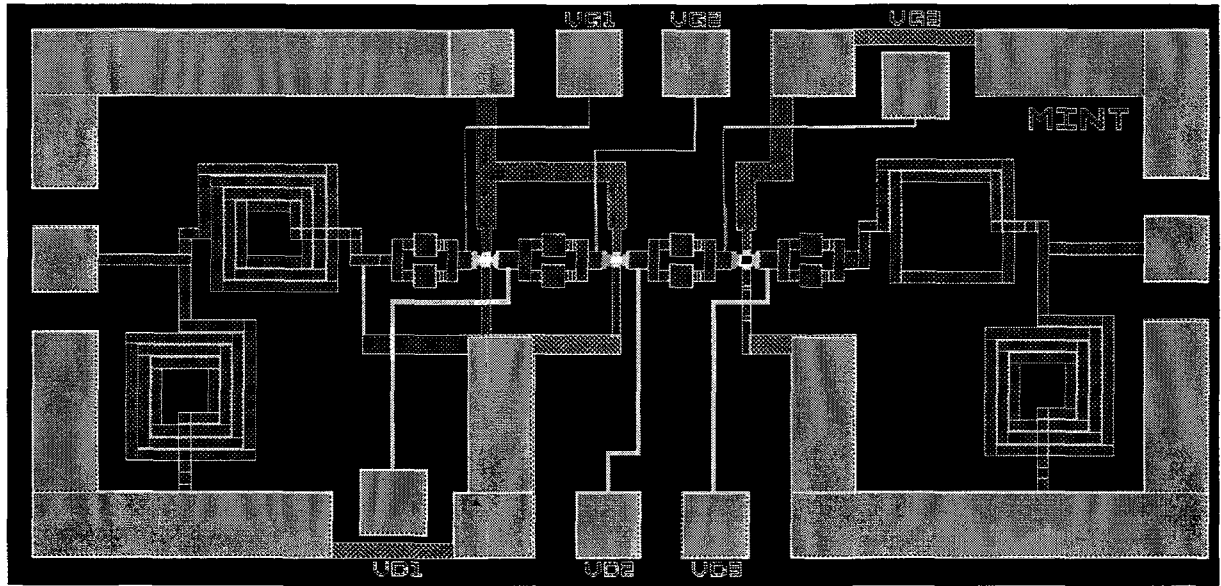


그림 83. LNA의 Mask Layout

□ Chip Size : 1.59 mm × 0.71 mm

2) Down converter

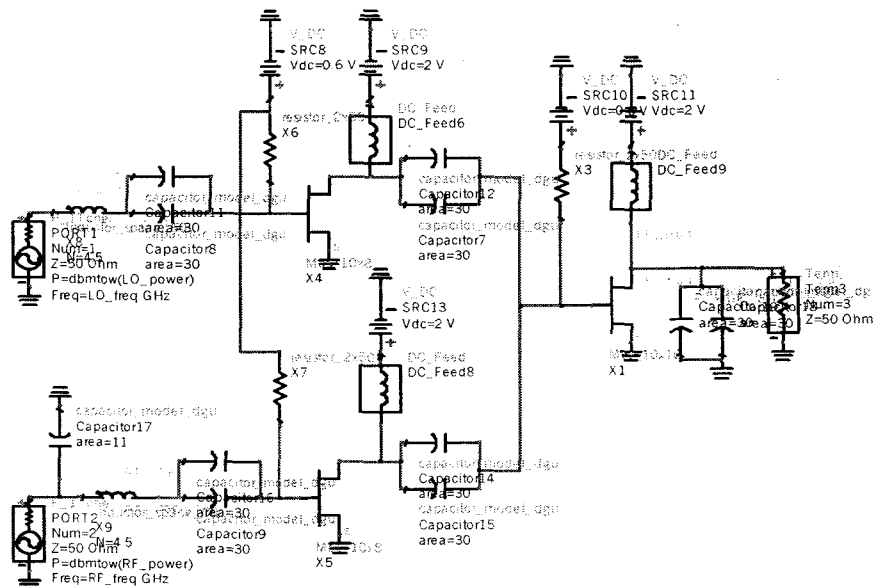


그림 84. 설계된 Down-converter의 회로도

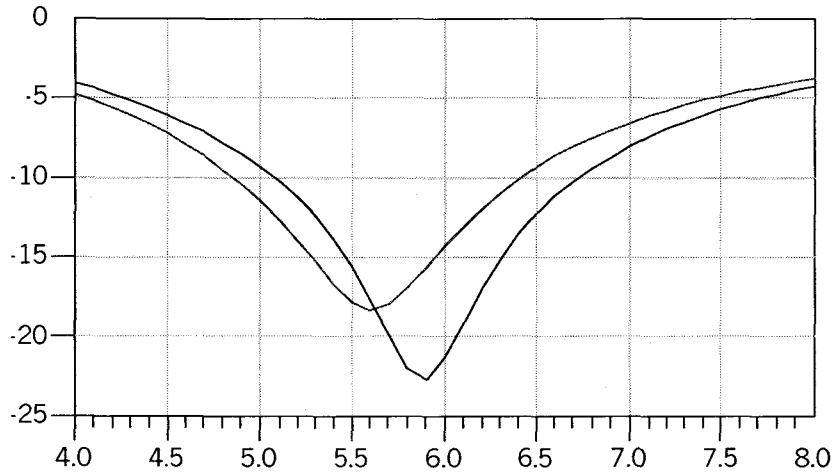
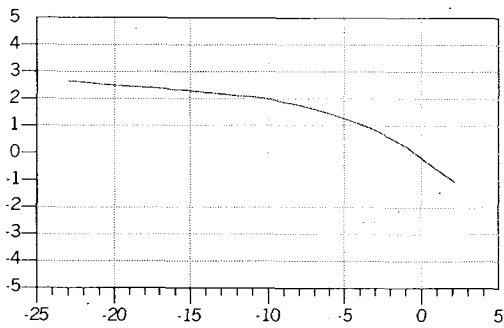
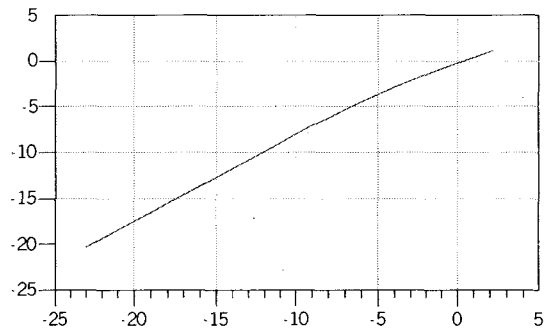


그림 85. 설계된 Down-converter의 S-parameter 시뮬레이션 결과

- LO matching : -18.7 dB (at 5.5 GHz)
- RF matching : -23.3 dB (at 5.8 GHz)



(a) RF input vs. conversion gain



(b) RF input vs. IF output

그림 86. 설계된 Down-converter의 시뮬레이션 결과

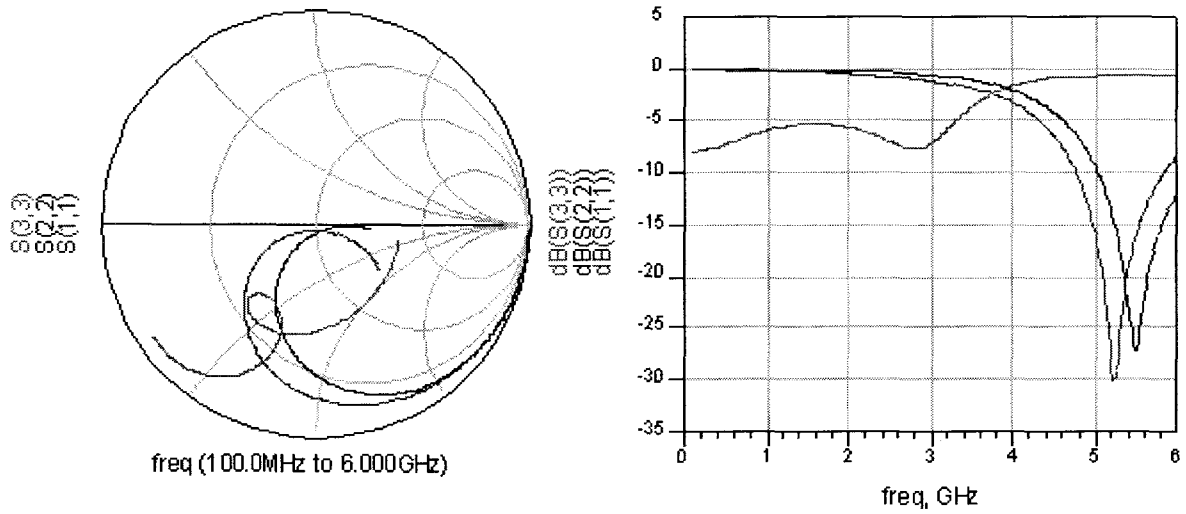


그림 89. 설계된 Up-converter의 S-parameter 시뮬레이션 결과

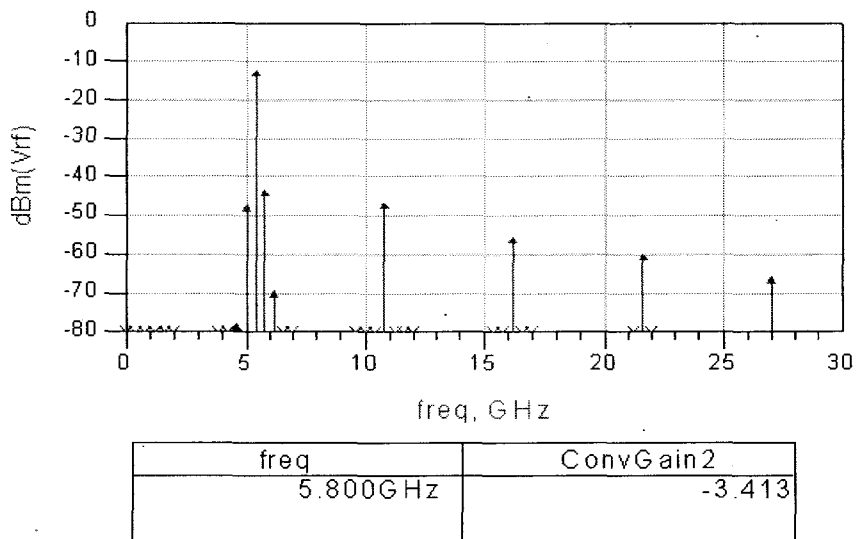


그림 90. 설계된 Up-converter의 출력특성 시뮬레이션 결과

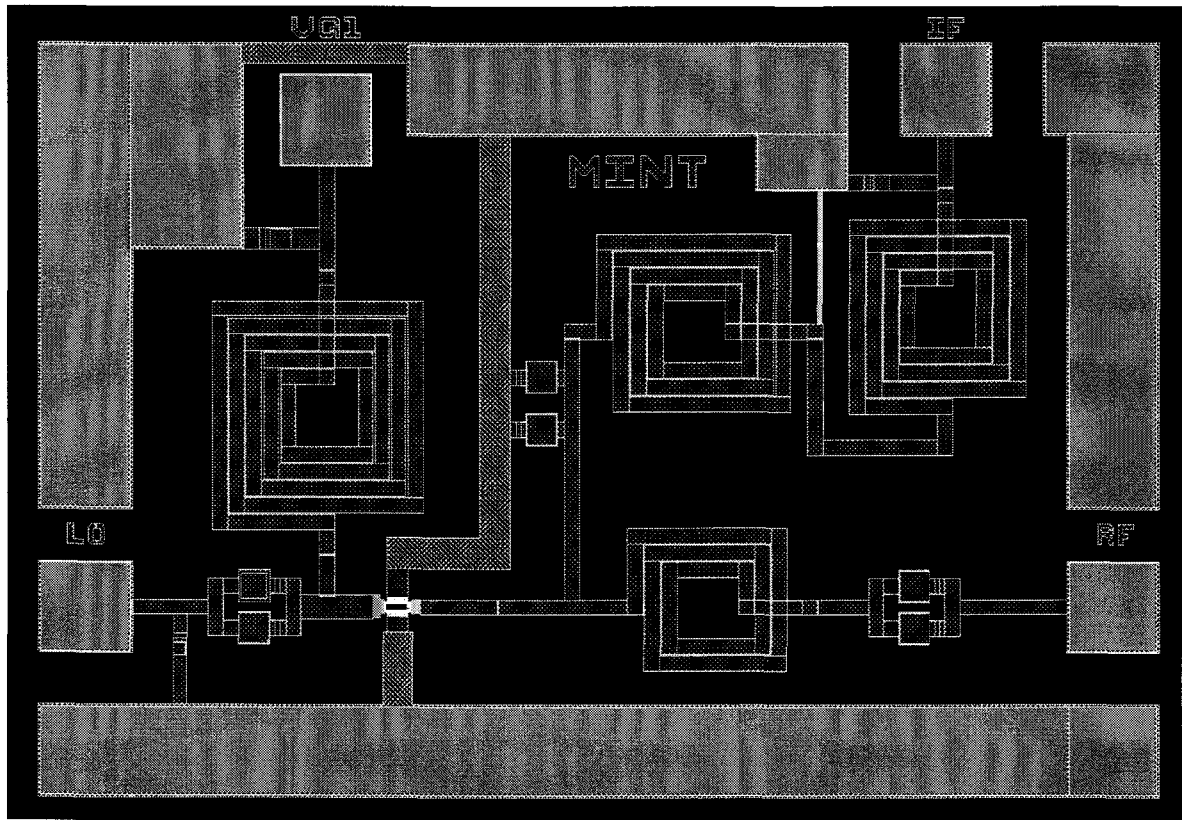


그림 91. Up-converter의 Mask Layout
 □ Chip Size : 1.09 mm × 0.73 mm

4) Drive Amplifier

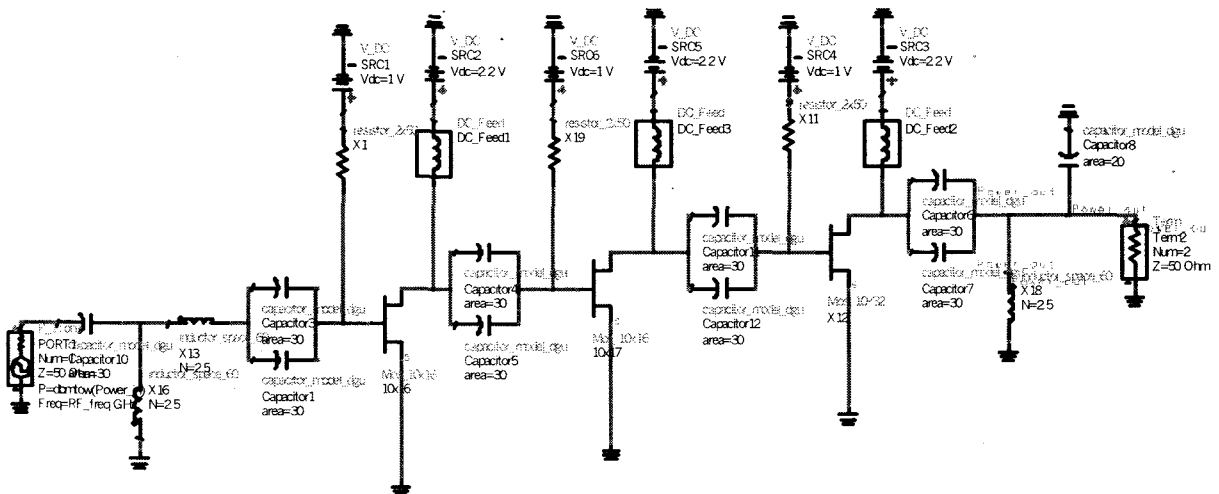


그림 92. 설계된 Drive amplifier의 회로도

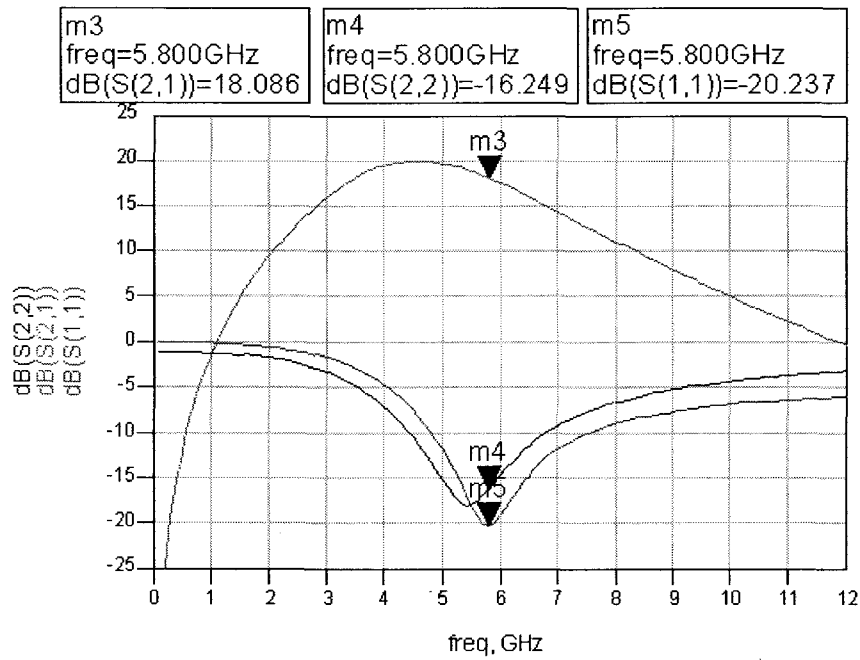


그림 93. 설계된 Drive amplifier의 S-parameter 시뮬레이션 결과

- S21 : 18.09 dB (@ 5.8 GHz)
- S11 : -20.24 dB (@ 5.8 GHz)
- S22 : -16.25 dB (@ 5.8 GHz)

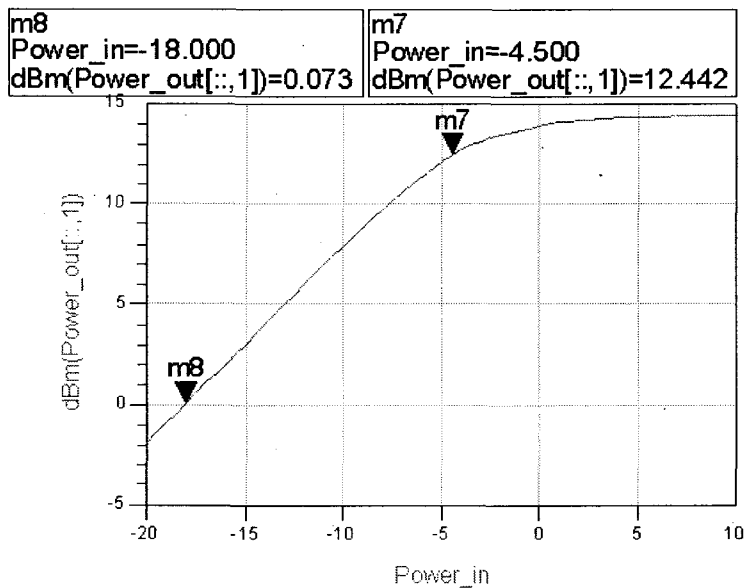


그림 94. 설계된 Drive amplifier의 출력특성 시뮬레이션 결과

- P1 dB : 12.44 dBm (@ RF input = -4.5 dBm, Frequency = 5.8 GHz)

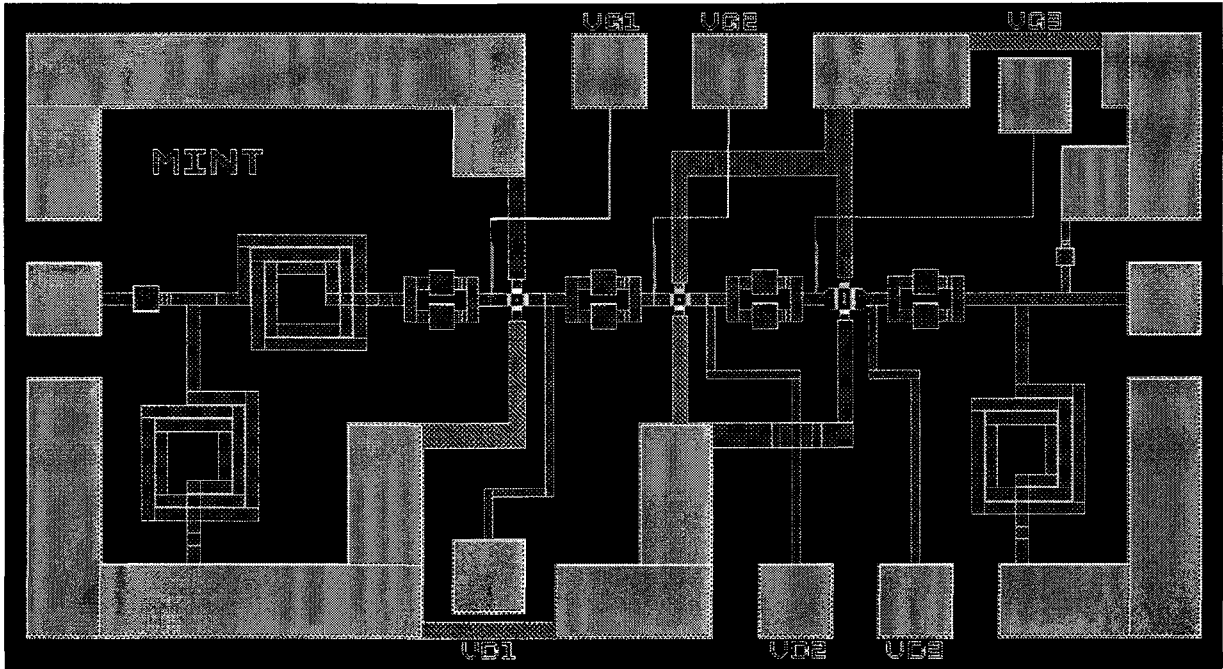


그림 95. Drive amplifier의 Mask Layout
 □ Chip Size : 1.42 mm × 0.73 mm

◆ Active inductor를 이용한 CMOS Amplifier 설계

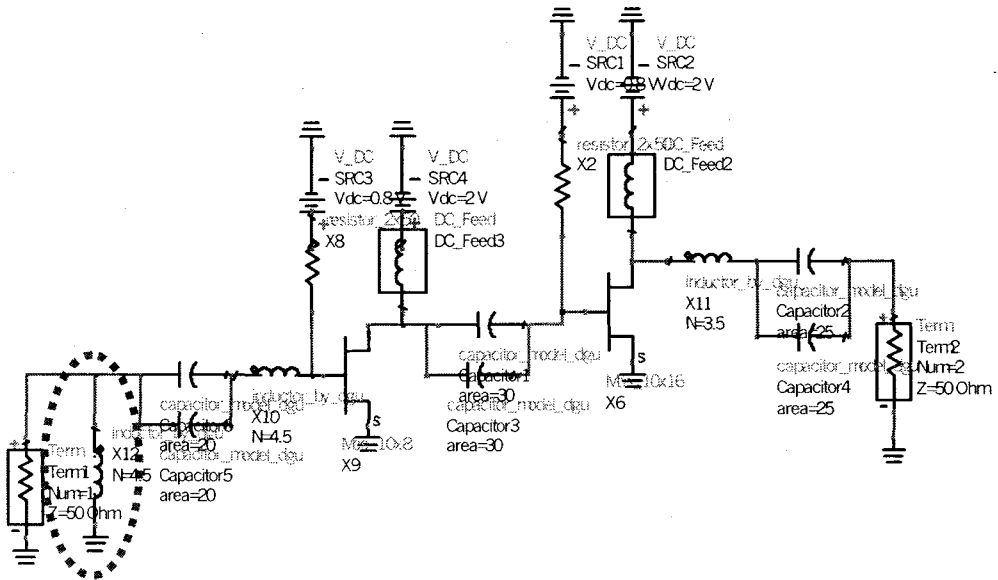


그림 96. Common 2-stage amplifier의 회로도

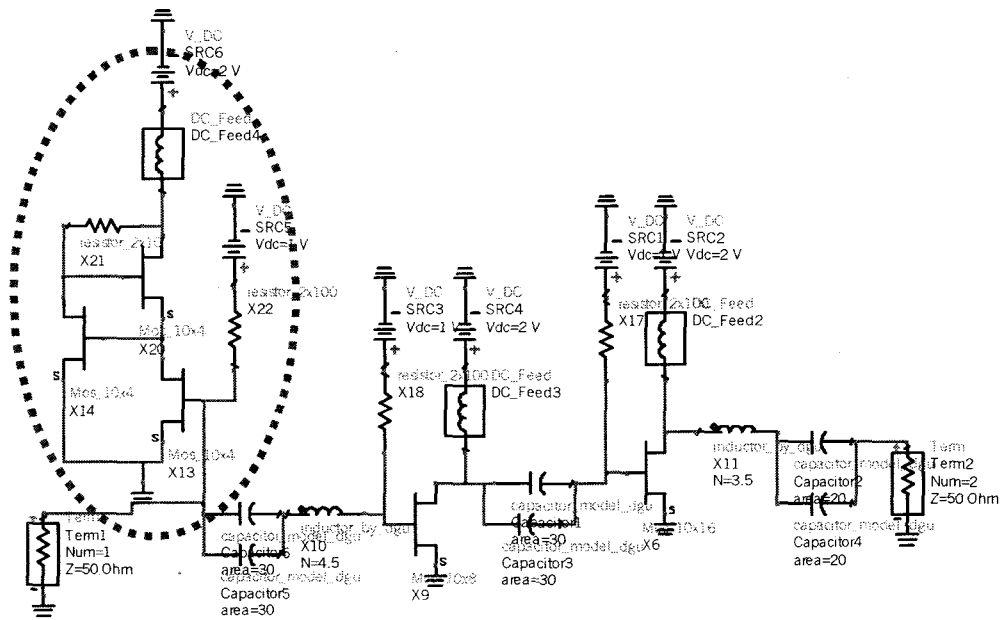
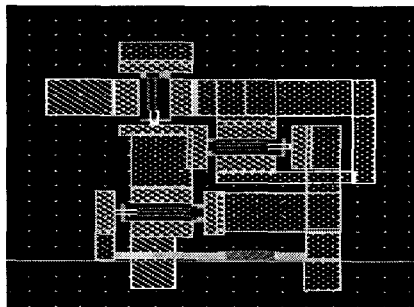
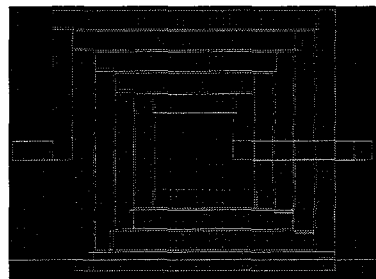


그림 97. Active inductor를 이용한 2-stage amplifier의 회로도

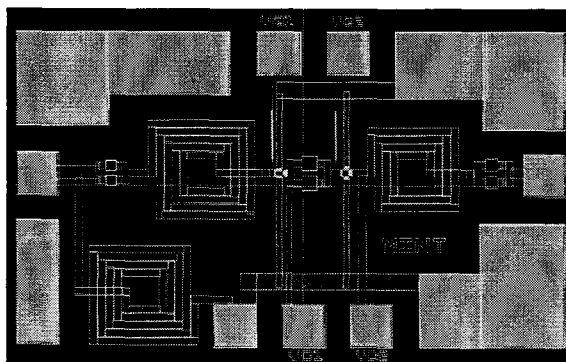


a) active inductor : 5600 μm^2

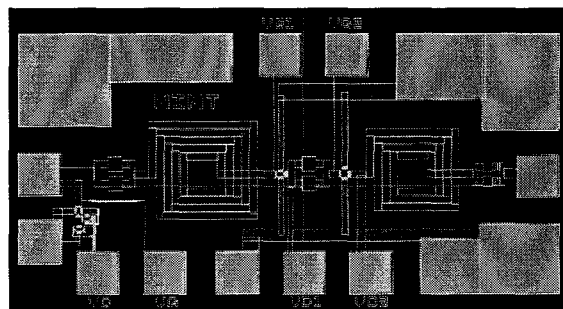


(b) passive inductor : 44000 μm^2

그림 98. 설계된 inductor 레이아웃



a) Using passive inductor (0.74 mm^2)



b) Using active inductor (0.59 mm^2)

그림 99. 설계된 증폭기의 Mask layout

◆ Power Amplifier

1) SiGe HBT 전력소자의 모델 확보

일반적으로 HBT는 Gummel-Poon 모델이 많이 사용된다. 그러나 전력소자용 HBT의 경우 열이 많이 발생하므로 열 효과를 포함하는 대신호 모델이 필수적이다. 따라서 Gummel-Poon 모델을 기반으로 열 효과를 포함하는 매크로 모델을 개발하였다. 이는 HPADS에서 그림 100과 같이 구현되었다.

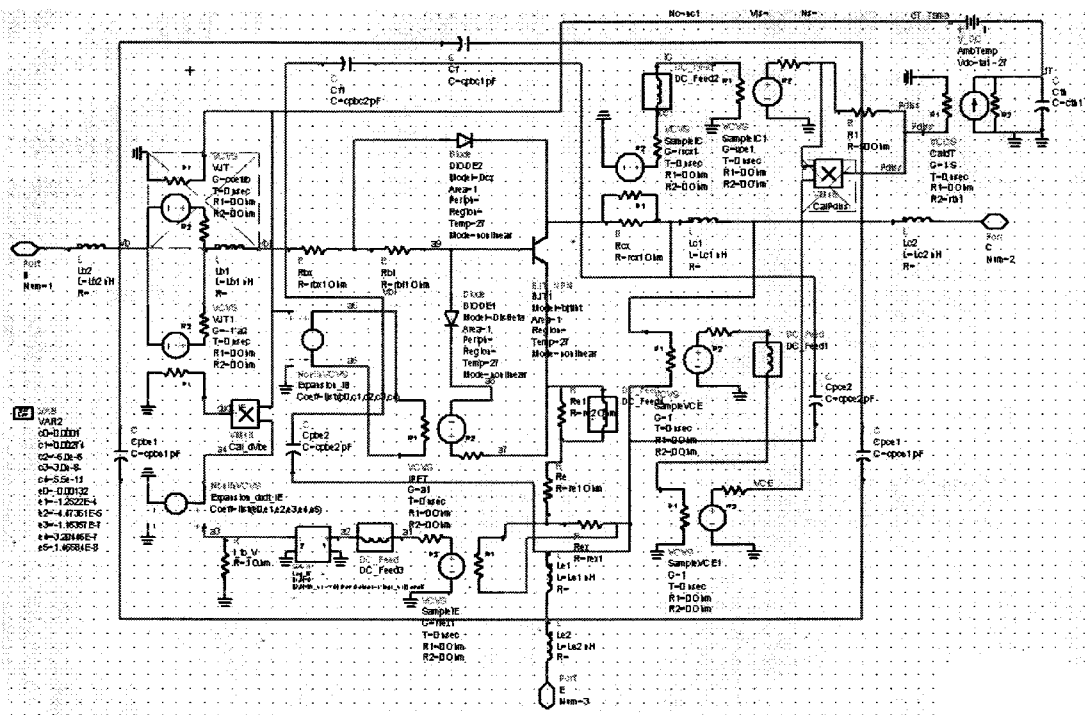


그림 100. SiGe HBT 전력소자의 등가회로 (ADS)

이 모델의 파라미터는 41개이며 정확한 파라미터 추출을 위한 방법이 확립되었다. 이 모델을 검증하기 위하여 48-finger HBT를 측정하고 시뮬레이션한 결과와 비교하여 모델이 소자의 특성을 정확히 예측한다는 것을 검증하였다. 그림 101은 측정과 시뮬레이션을 비교한 결과이다.

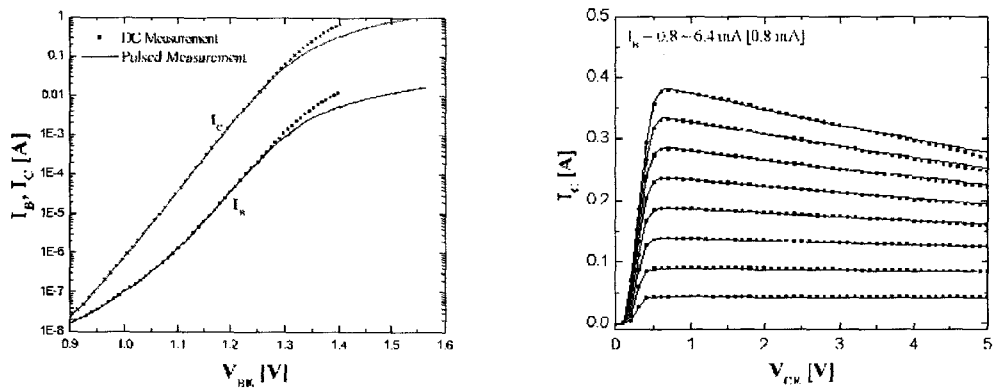


그림 101. 측정과 시뮬레이션의 비교

모델을 회로에 응용하여 검증하기 위하여 GaAs HBT 공정을 이용하여 전력증폭기를 설계하였다. 그림 102는 설계된 전력증폭기의 레이아웃이다. 각각 매칭회로가 집적된 경우와 매칭회로를 밖으로 빼낼수 있도록 설계된 레이아웃이다. 설계한 전력증폭기의 시뮬레이션 결과를 그림에 보였다. 이 회로의 simulation 결과는 그림 103에 나타내었다.

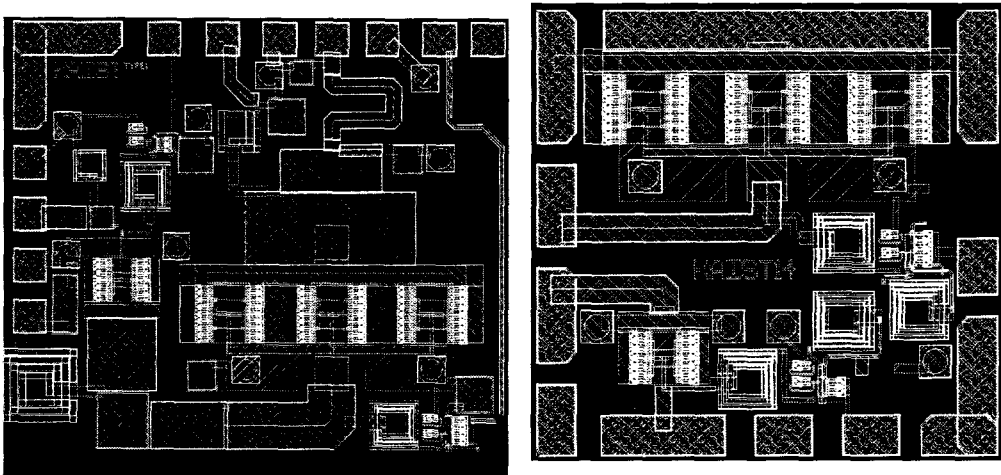


그림 102. 설계된 전력증폭기의 레이아웃

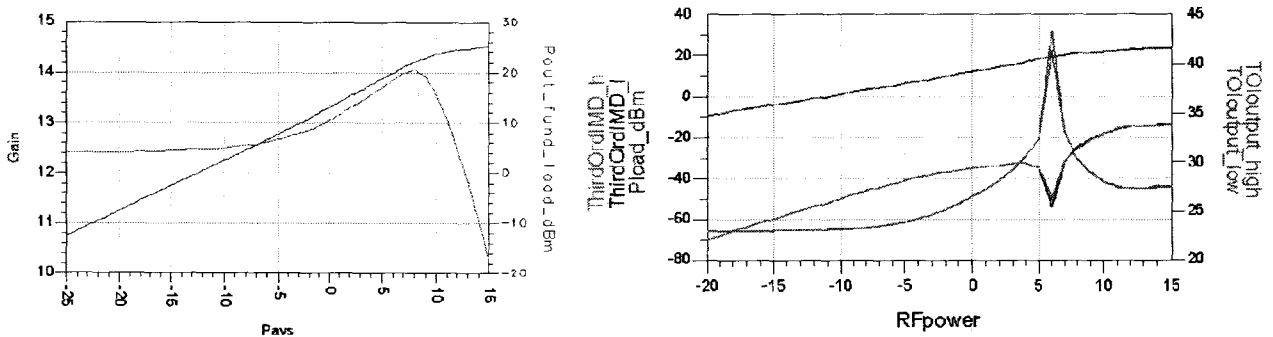


그림 103. Simulation 결과

2) 전력증폭기 회로의 구조 연구

SiGe HBT를 이용하여 전력증폭기를 설계하고자 할 때 가장 큰 문제점은 소자의 항복전압이 작고, 기판이 lossy하며, 바이어스 회로가 온도에 민감하다는 단점이 지적된다. 이를 극복하기 위한 전력증폭기 회로의 구조에 대한 연구가 필요하였다. 먼저 소자의 낮은 항복전압을 극복하기 위해서는 트랜스포머를 이용하여 Push-Pull 구조의 전력증폭기를 설계하여야 한다. 아래 그림 104는 전통적인 방법과 트랜스포머를 이용한 전력증폭기의 출력전압의 파형을 개념적으로 나타낸 것이다.

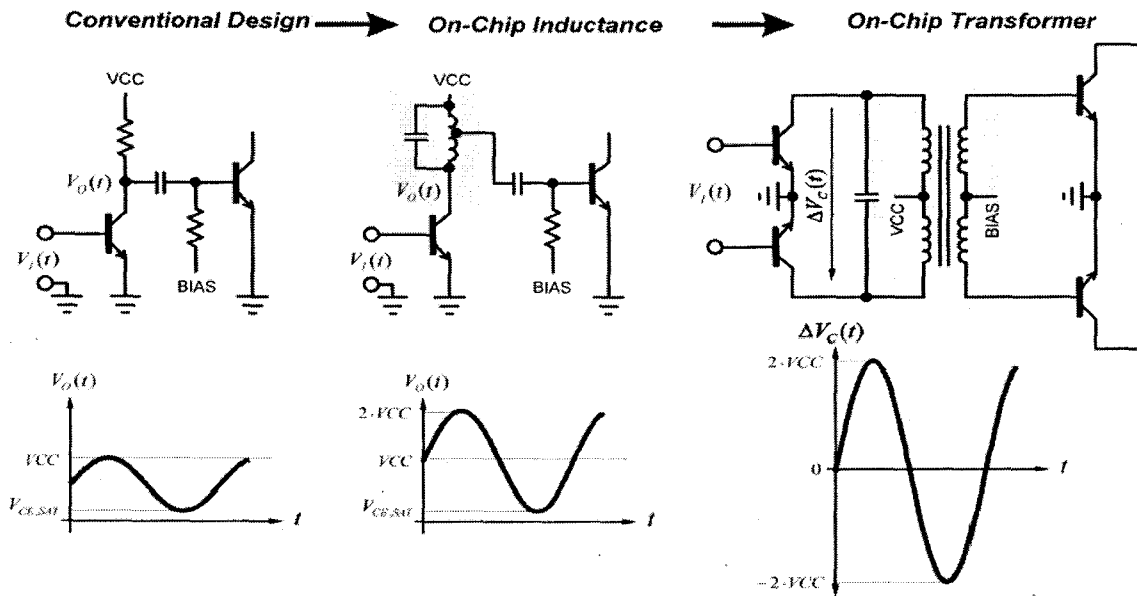


그림 104. 트랜스포머를 이용한 전력증폭기

On-chip 트랜스포머를 사용할 경우 기존의 방법들보다 2배 혹은 4배 큰 출력을 얻을 수 있다. 또한 임피던스 변환이 가능하므로 매칭도 좋은 효과를 얻을 수 있다. 하지만 SiGe HBT 공정에서는 기판이 lossy하므로 On-chip 트랜스포머에 대한 연구도 이루어져야 한다. 또한 액티브 소자와 바이어스 회로만 칩안에 집적하고 매칭회로 등은 MEMS 인덕터 등을 이용하여 외부로 빼내는 회로도 연구할 필요가 있다. 바이어스 회로의 경우 온도에 따라 바이어스 점이 민감하게 변하므로 SiGe BiCMOS 공정의 CMOS들을 이용하여 온도에 둔감한 바이어스 회로를 설계하여야 한다.

제 4 절. VCO

4.1. VCO proto 개발

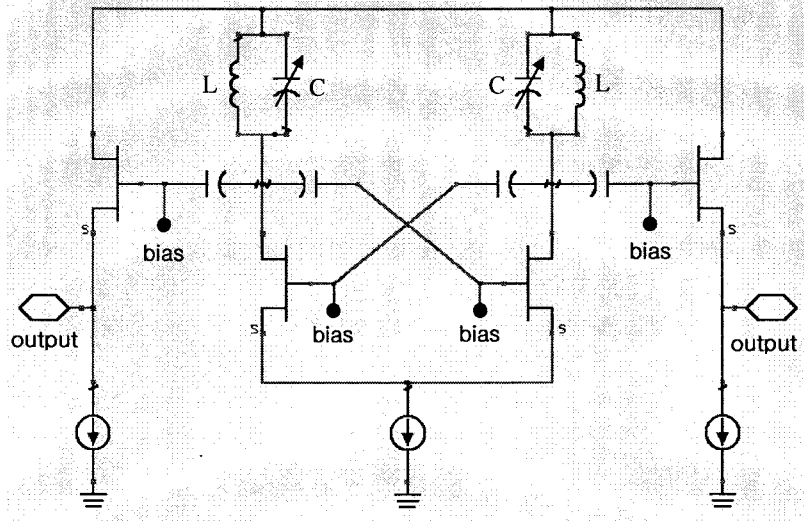


그림 105. 5 GHz VCO의 회로도

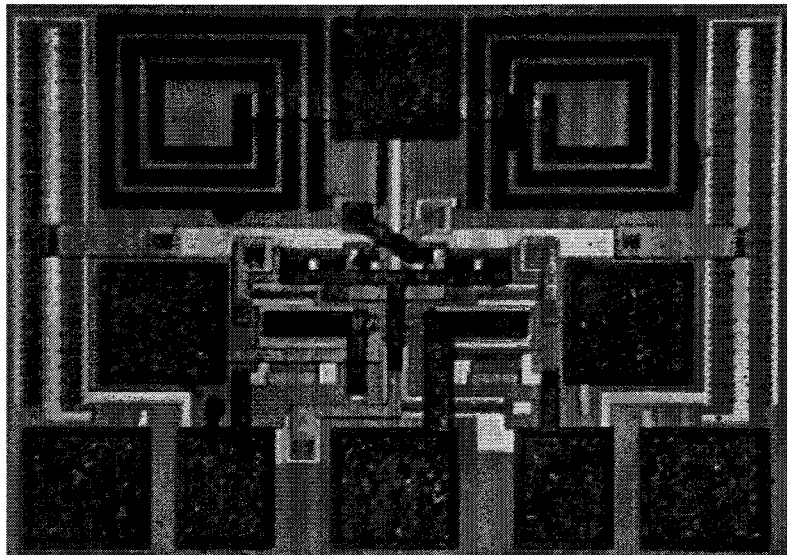


그림 106. 5 GHz VCO의 사진

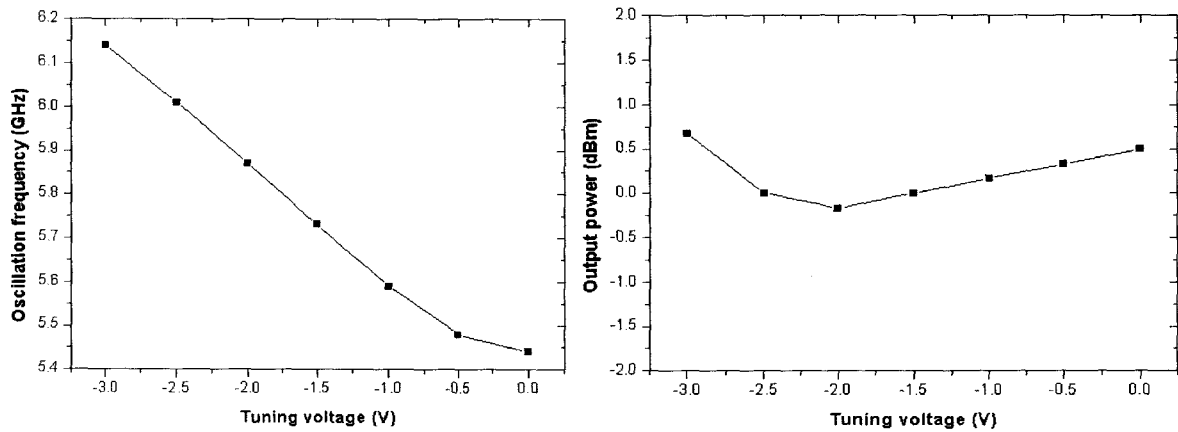


그림 107. 버랙터 전압에 따른 oscillation frequency와 output power의 변화

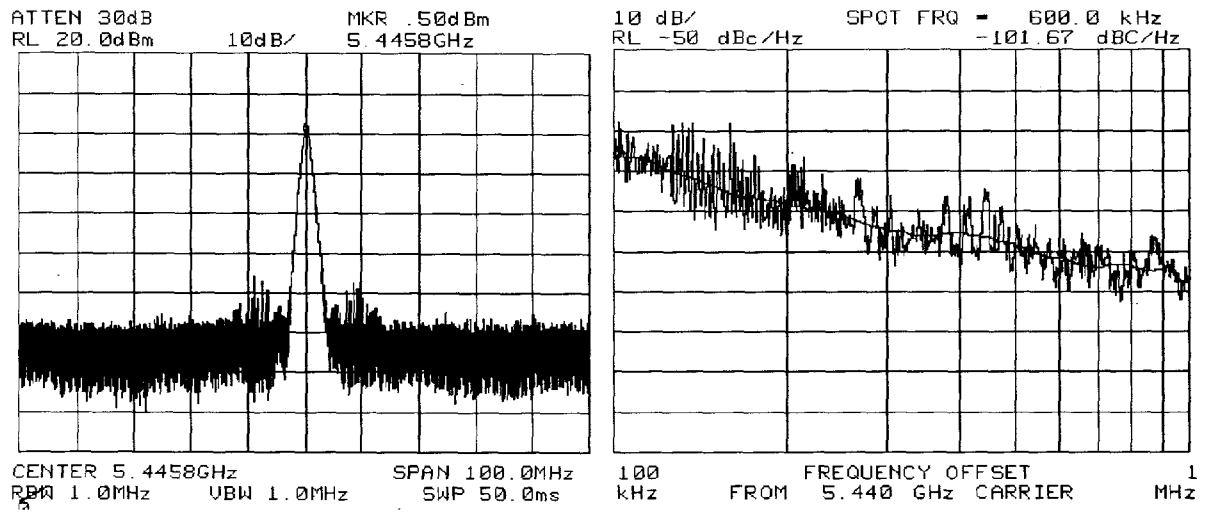


그림 108. 5.44 GHz oscillation frequency 와 phase noise 성능

2) spiral inductor를 이용한 6 GHz band oscillator

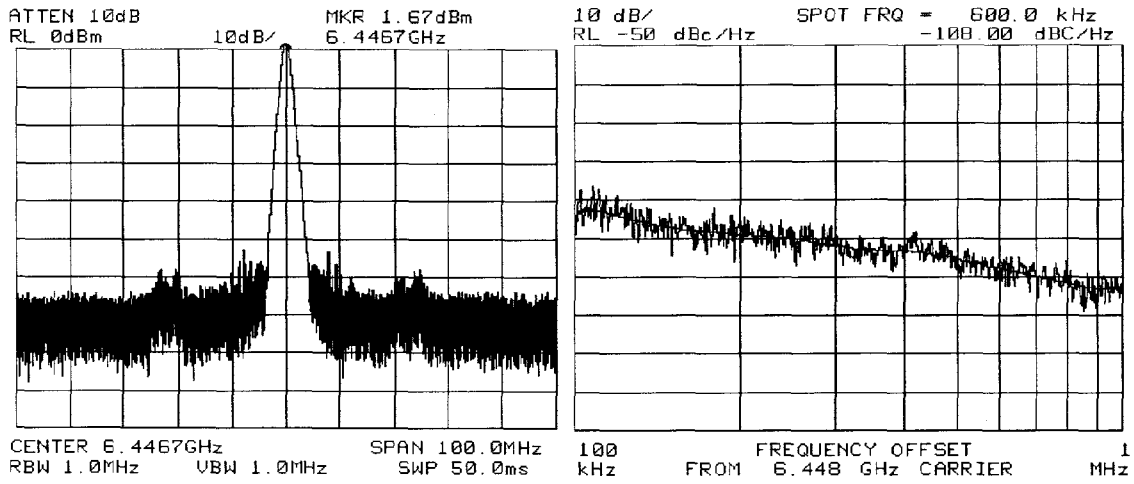


그림 109. 6.44 GHz oscillation frequency 와 phase noise 성능

3) bondwire inductor를 이용한 6 GHz band oscillator

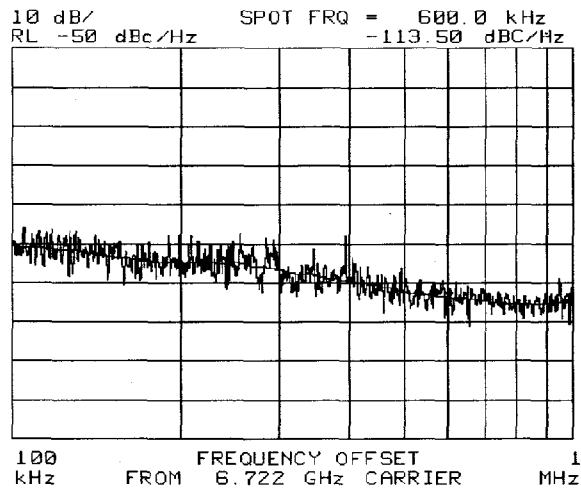


그림 110. 6.44 GHz oscillator의 phase noise 성능

4) MEMS inductor개발 (L=2nH at 2GHz)

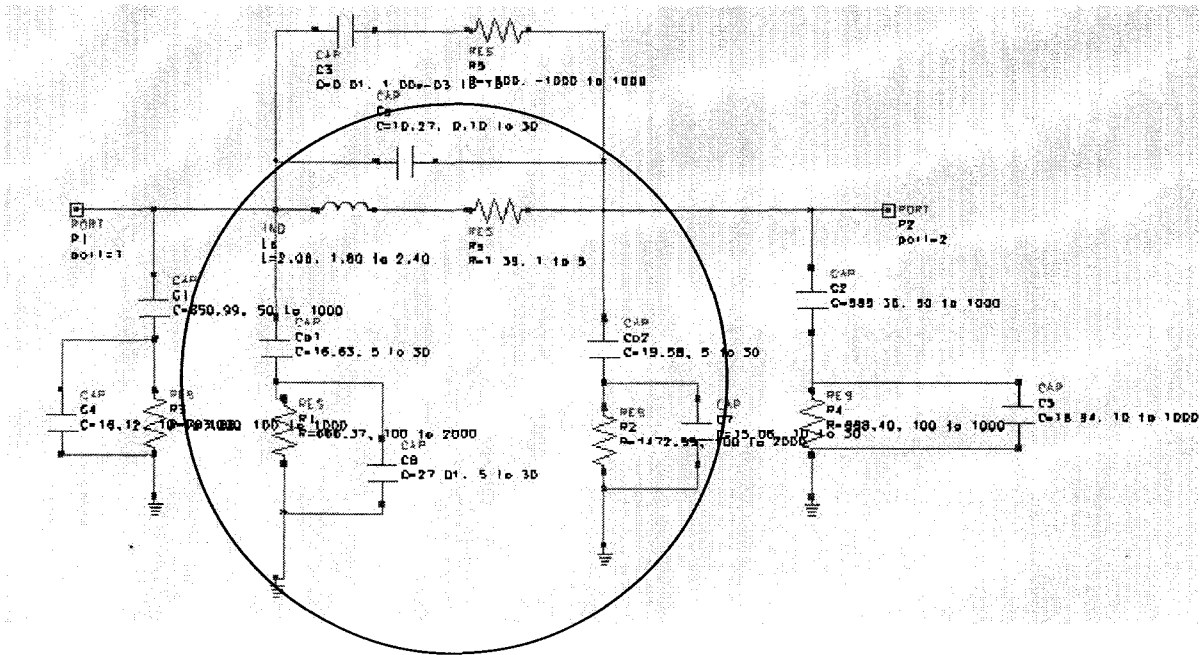


그림 111. L=2nH(2GHz), Q=40인 MEMS inductor의 Model

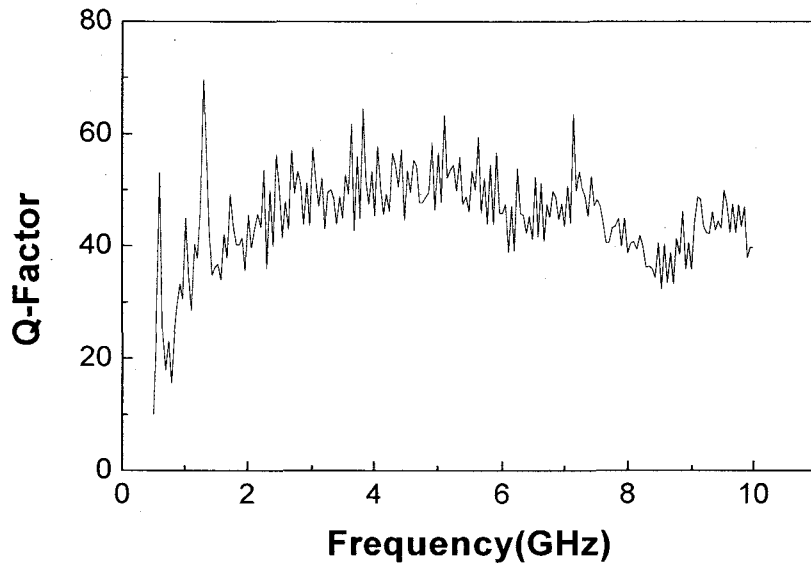


그림 112. 측정 값으로부터 얻어진 Q값

4.2. VCO 개발

*AWSC InGap/GaAs HBT 공정

$F_t=30\text{GHz}$, $F_{\text{max}}=45\text{GHz}$, Maximum current Density= 0.20

Maximum power density=1.0

1) On-chip 인덕터를 이용한 7.9GHz 대역의 oscillator(CMRR=20.79)

(foundry에서 제공하는 인덕터 이용)

5.8GHz oscillator를 만들기 위하여 AWSC에서 제공하는 0.724nH 인덕터를 사용하여 설계하였으나 실제 측정결과 제공된 모델과는 다소 차이가 있는 0.4nH가 나왔다. 따라서, 발진주파수는 5.8GHz보다 높은 7.9GHz로 측정되었다.

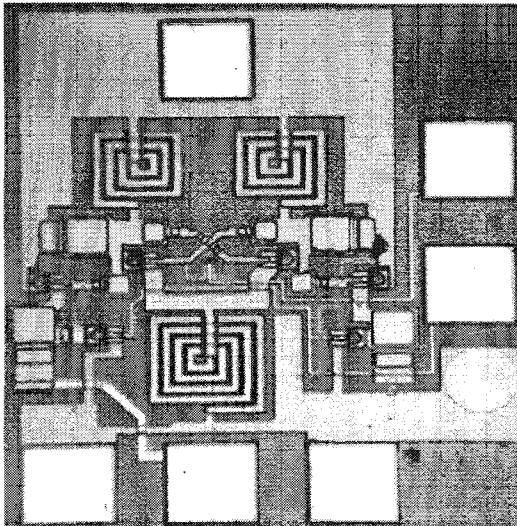


그림 113. 7.9GHz oscillator의 회로도

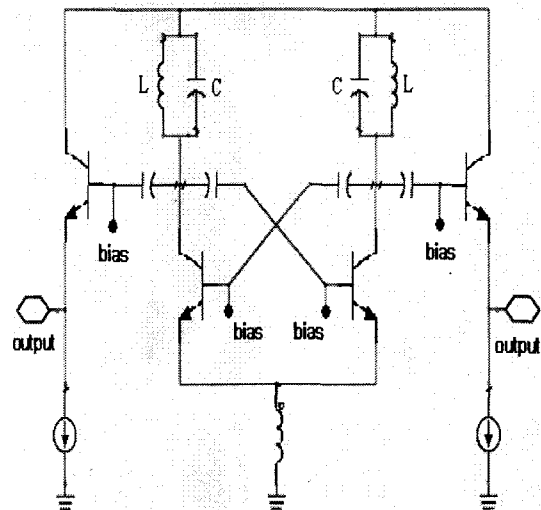


그림 114. 7.9GHz oscillator 사진

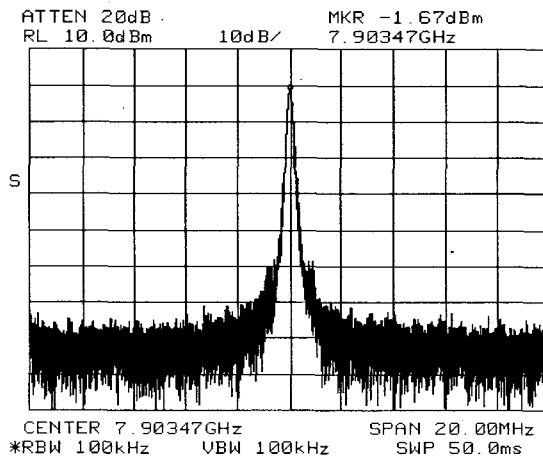


그림 115. 7.9GHz Oscillation frequency

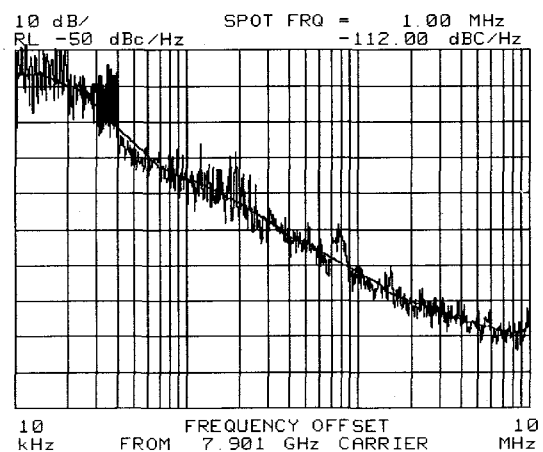


그림 116. 7.9GHz Oscillator phase noise

2) On-chip 인덕터를 이용한 7.9GHz 대역의 oscillator(CMRR=0)

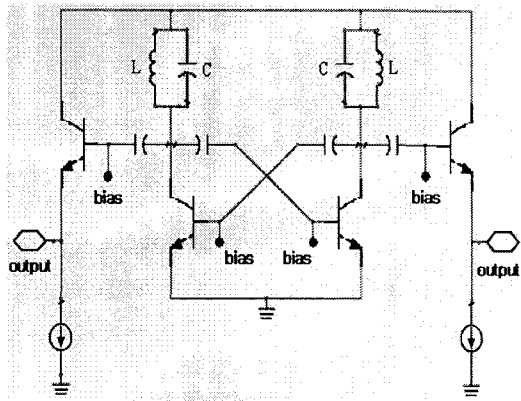


그림 117. 7.9GHz oscillator의 회로도

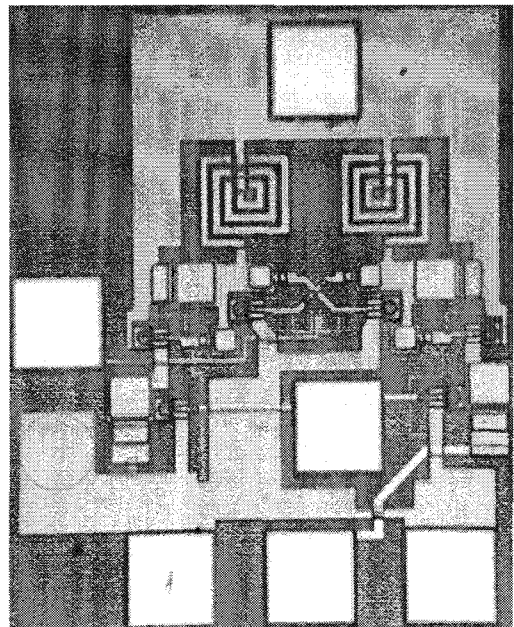


그림 118. 7.9GHz oscillator 사진

측정결과 differential type의 oscillator에서 회로의 CMRR이 phase noise에 영향을 준다는 것을 알 수 있었다. 회로의 CMRR은 oscillator의 발진 신호 중 even harmonic의 크기에 영향을 준다. CMRR을 높였다는 것은 even harmonic의 크기가 줄어드는 것을 의미한다. even harmonic의 크기가 줄어든다는 것은 Hajimiri model 에 의하면 even harmonic 부근의 noise가 fundamental frequency의 close in phase noise로 conversion 되는 것이 줄어드는 것을 의미한다.

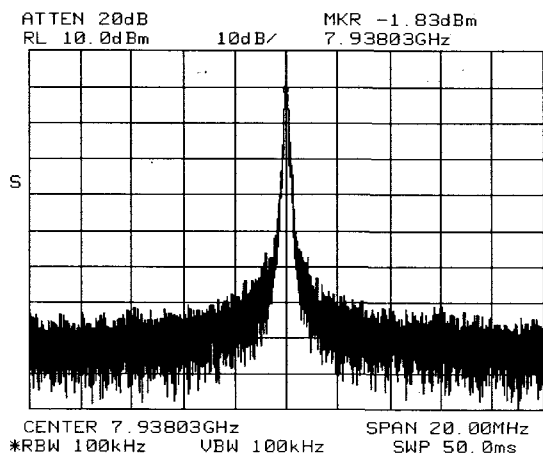


그림 119. 7.9GHz Oscillation frequency

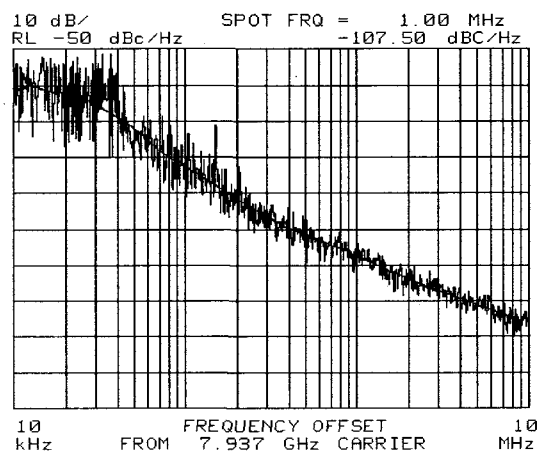


그림 120. 7.9GHz oscillator phase noise

표 7 은 지금까지의 결과 (3차년도 결과)와 2차년도 결과를 바탕으로 technology와 CMRR에 따른 Oscillator의 특성을 표로 정리하여 놓은 것이다.

표 7. Technology vs. Oscillator 특성

| | Item | Unit | MESFET (CMRR=0) | GaAs HBT (CMRR=0) | GaAs HBT (CMRR=20) |
|---|---------------------------------|--------|--------------------|----------------------|-----------------------|
| 1 | Supply voltage | V | 3 | 3 | 3 |
| 2 | Operating frequency | GHz | 6.3 | 7.93 | 7.90 |
| 3 | Output power | dBm | -3.5 | -1.83 | -1.67 |
| 4 | Phase noise (at 1MHz offset) | dBc/Hz | -104.5 | -107.5 | -112 |

3) PLL 회로 구조.

현재 2GHz 대역까지 주파수 합성기는 CMOS 공정을 이용하여 설계 제작되어왔다. 5.8GHz 대역의 주파수 합성기는 현재 SiGe BiCMOS 공정을 이용해 설계된 회로들이 발표되고 있다. 일반적인 주파수 합성기의 개략도는 다음과 같다.

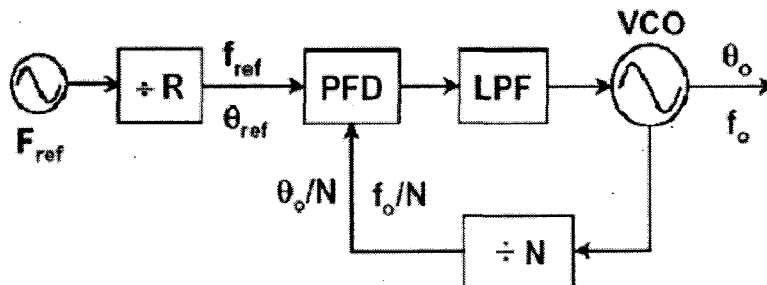


그림 121. 일반적인 주파수 합성기 구조

1-2 GHz 대역에서는 주파수 합성기의 루프 대역을 증가시켜 위상잡음을 보다 넓은 대역에서 향상시키기 위해 Fractional-N 주파수 합성기가 많이 연구되고 사용되고 있고 mm 대역에서는 dual loop를 이용한 주파수 합성기가 많이 이용되고 있으나 5.8 GHz 대역에서는 연구가 많이 부족한 형편이다. 가장 쉽게 접근할 수 있는 방법으로 위상잡음 특성이 우수한 SiGe 공정으로 제작한 5.8 GHz VCO와 주파수 divider(1/4 or 1/8)를 사용하여 주파수를 낮춘 후 낮은 cost로 제작할 수 있는 CMOS 주파수 합성기와 결합하여 사용하는 것이 효과적일 것이다.

4) 주파수 divider

주파수 합성기에서 가장 중요한 주파수 divider를 InGaP 공정을 사용하여 제작하였다. 그림 123은 제작된 1/8 주파수 divider의 layout 사진이며 EML logic을 사용하여 설계되었으며 differential 하게 동작하도록 제작되었다. 동작주파수는 15 GHz까지 동작이 확인되었으며 test

용으로 제작된 VCO에 연결하여 측정하였다 (그림 124). 제작된 divider의 scheme을 그대로 SiGe BiCMOS에 적용할 경우 SiGe HBT의 current density가 크기 때문에 더 적은 전력소모를 가지는 prescaler 제작이 가능할 것이며 현재 SiGe 공정을 이용한 prescaler 설계가 진행중이다.

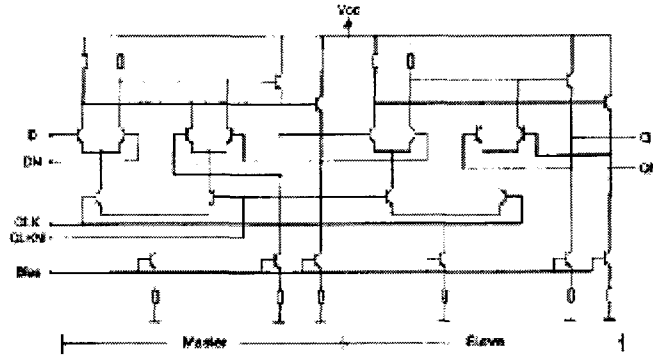


그림 122. Master-Slave D-Flip-Flop
(frequency divider는 3stage D-FF을 이용하여 구성)

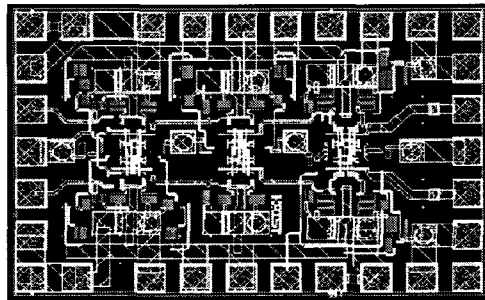


그림 123. 1/8 Frequency divider의 layout 사진

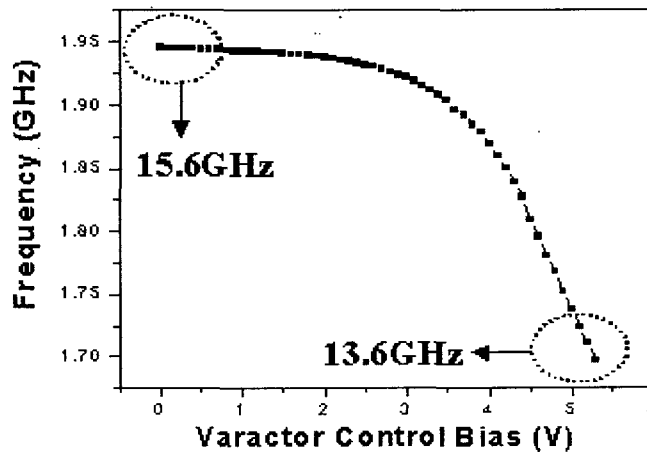


그림 124. Frequency divider의 주파수 특성 측정

제 5 절. Filter

5.1. 필터 디자인

고주파에서는 stripline의 구조적 변화에 따라 signal이 크게 변화하므로 3D 시뮬레이터를 이용해 resonator 사이의 거리, 유전체 두께, 도체 두께, stripline의 선 폭 등에 변화를 주면서 최적의 성능을 갖는 필터를 디자인 했다.

1) resonator 사이의 거리에 따른 bandwidth와 insertion loss의 비교

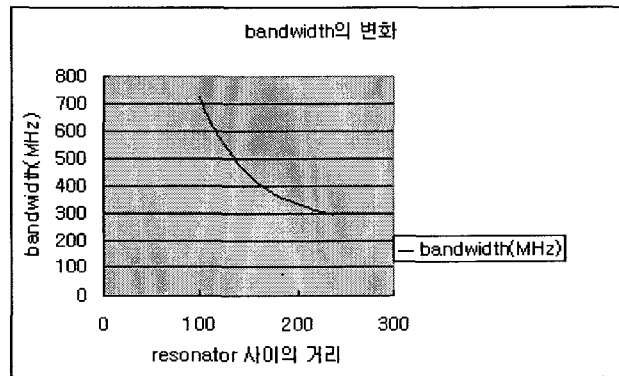


그림 125. Resonator 사이의 거리에 따른 Bandwidth

그림 125에서 보는 바와 같이 resonator 사이의 거리가 커질수록 bandwidth는 점차로 감소하는 경향을 보인다.

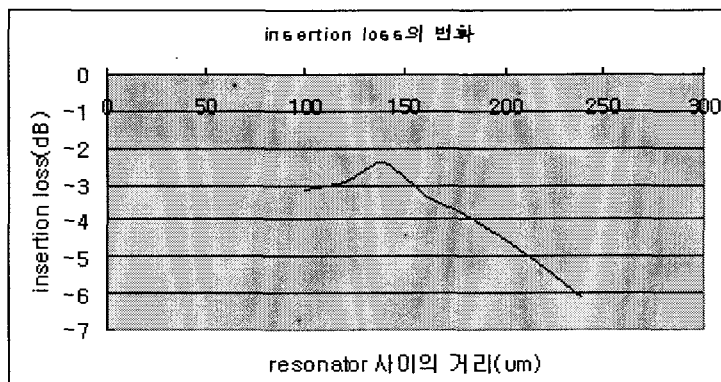


그림 126. Resonator 사이의 거리에 따른 insertion loss 변화

그림 126에서 보는 바와 같이 resonator 사이의 거리의 변화에 따라 insertion loss가 큰 폭으로 변화하게 된다. 따라서 설계시에 resonator 사이의 거리를 적절하게 조절함으로써 bandwidth와 insertion loss를 조절할 수 있었다.

2) 유전체 두께에 따른 변화

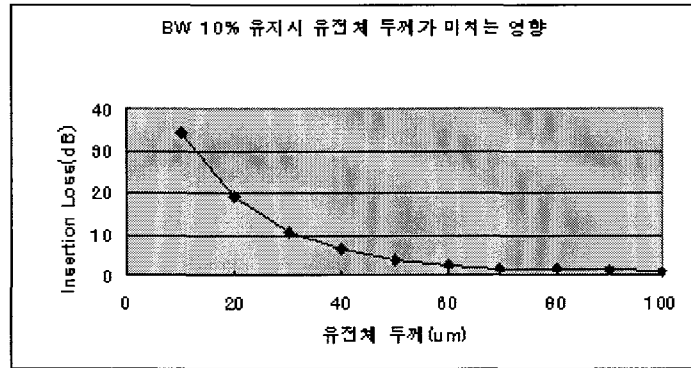


그림 127. 유전체 두께에 따른 Filter 성능 변화

앞의 내용에서 확인한 결과, 각 resonator 사이의 간격이 넓어질수록 대역폭이 좁아지고 insertion loss 가 증가함을 알 수 있었다. Narrow bandwidth를 가지는 소자를 구현하기 위해서 resonator 사이의 거리를 증가시키고 이때 증가하는 Insertion loss를 최소화하기 위해 유전체의 두께와 insertion loss 의 관계를 알아보았다. 그림 127은 소자의 S-parameter 성능곡선에서 대역폭을 고정시킨 상태에서 유전체 두께에 변화를 주며 계산한 결과이다.

3) 도체 두께에 따른 변화

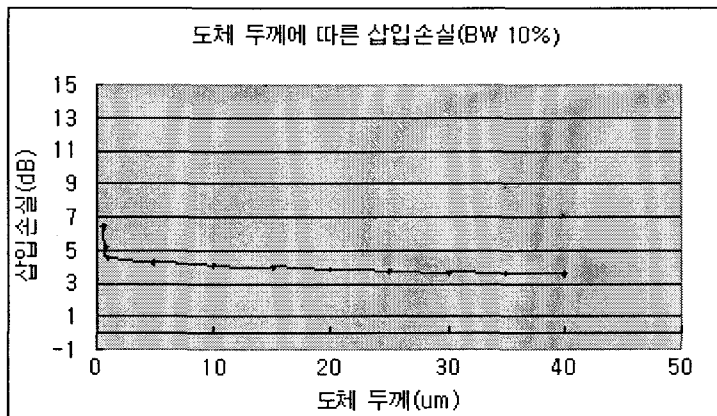


그림 128. 도체두께 변화에 따른 insertion loss의 변화

마지막으로 Insertion Loss 에 영향을 미치는 Factor로 도체의 두께와의 함수관계를 알아보았다. 도체만의 영향을 추출해내기 위해 그림 127과 마찬가지로 대역폭을 고정시킨 상태에서의 Insertion Loss 변화를 그림 128에 나타내었다.

앞에서 수행된 시뮬레이션을 바탕으로 소자의 기본적인 사양을 추출한 뒤 Trial-error를 통해 그림 129의 구조에서의 각 파라미터를 통해 IEEE 802.11a Spec. 에 최적화 작업을 수행하였다.

각 구조 파라미터에 대해 3차원 FEM 시뮬레이터의 Parameter Sweep 작업을 반복적으로 수행하여 최종적으로 3가지의 소자를 결정하였으며 그 결과는 표 8과 같다.

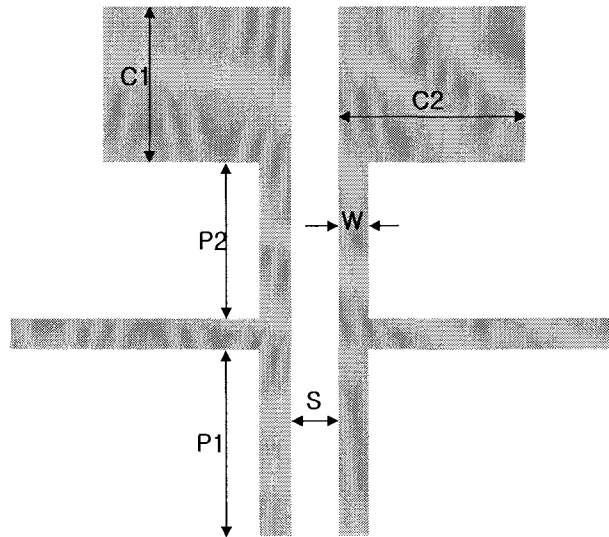


그림 129. MMIC Compatible Integrated Compline Filter

표 8. 디자인한 device의 스펙

| | device 1 (um) | device 2 (um) | device 3 (um) |
|----|---------------|---------------|---------------|
| C1 | 1090 | 1520 | 1520 |
| C2 | 1560 | 1590 | 1500 |
| P1 | 650 | 626 | 536 |
| P2 | 1020 | 710 | 800 |
| W | 90 | 100 | 100 |
| S | 170 | 350 | 430 |

4) 디자인한 필터의 성능

위와 같이 디자인한 필터의 시뮬레이션 결과는 다음과 같다.

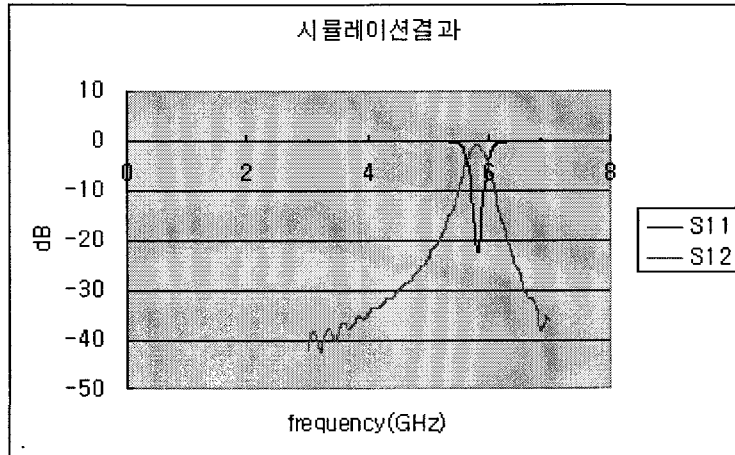


그림 130. Simulation 결과


표 9. 시뮬레이션 데이터


| | |
|------------------|----------|
| center frequency | 5.74GHz |
| insetion loss | -0.847dB |
| return loss | -24.95dB |
| bandwidth | 320 MHz |

5.2. MEMS 공정을 이용한 제작

▶ MMIC compatible filter를 여러 가지 MEMS 공정을 이용해 구현하였다. 공정 순서는 다음과 같다.

 - Cleaning

 - insulation layer deposition

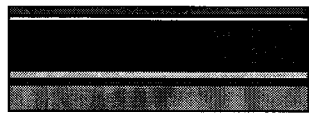
 - Ground layer deposition



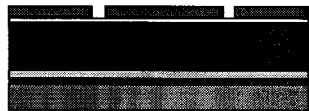
- 유전층 생성



- Aluminum layer deposition



- PR(AZ7220) spin coating
- Lithography



- Aluminum layer 선택적 etching



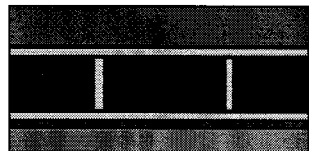
- 건식 식각



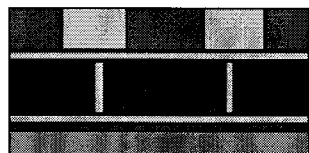
- 전기도금을 이용해 via 생성



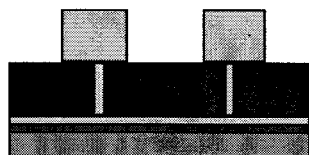
- Seed layer 증착



- PR(AZ4620) spin coating
- Lithography



- 전기도금을 이용해 필터 패턴 생성



- PR 제거
- Seed layer 제거

▶ 실제로 구현한 MMIC compatible BPF의 사진은 다음과 같다.

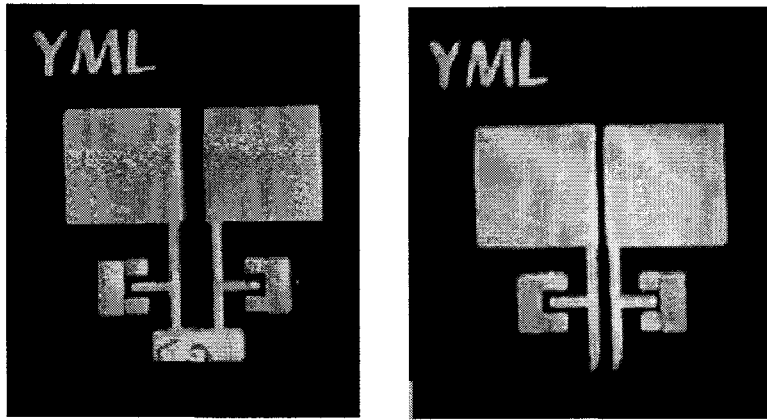


그림 131. 완성된 필터의 모습

5.3. 성능 측정

▶ 360 NETWORK ANALYZER를 이용해 측정했으며 calibration은 TRL method를 이용해 같은 웨이퍼에 다음과 같은 calibration kit을 제작해서 사용했다.

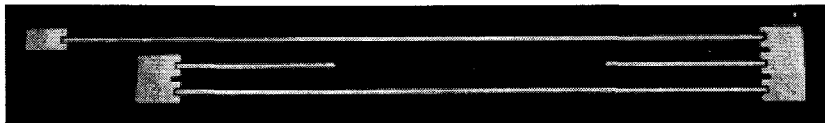


그림 132. Caibration kit

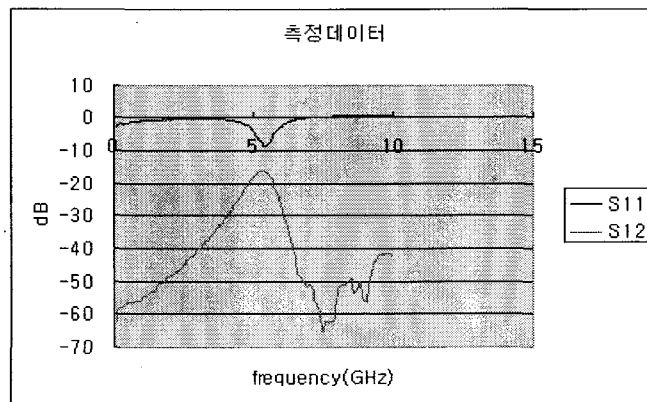


그림 133. 측정 Data

▶ 제작된 필터

- polyimide 공정 조건이 제대로 잡히지 않아서 유전층의 두께에 변화가 있었고, lithography 공정에서 약간의 오차가 생겨 처음에 디자인한대로 결과가 나오지 않았다.

표 10. 측정된 필터의 성능

| | |
|------------------|-----------|
| Center frequency | 5.446GHz |
| insettion loss | -16.205dB |
| Return loss | -8.383dB |
| Bandwidth | 770 MHz |

5.4. 손실의 원인

1) 유전층 두께의 변화

- 앞에서 디자인할 때 언급했듯이 유전층 두께가 얇아질수록 손실은 증가하고 center frequency는 점점 낮아진다.

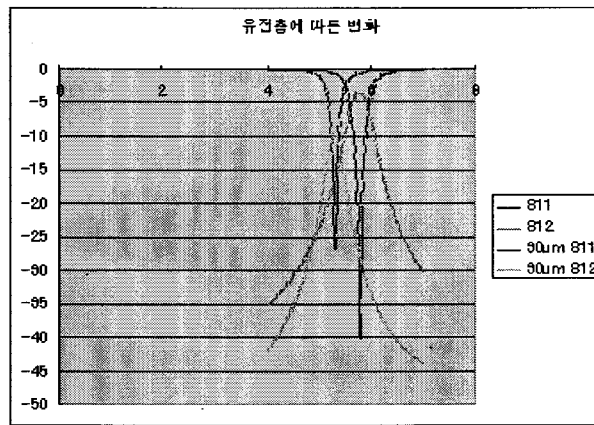


그림 134. 유전체 두께에 따른 변화

- 그림 134에서 알 수 있듯이 유전층의 두께가 20um 감소했을 때 약 8dB 정도의 손실이 발생하고 center frequency도 감소함을 시뮬레이션을 통해 알 수 있었다.

2) 거친 구리 도금 표면으로 인한 loss

- 5.8GHz 대역에서 구리의 skin depth는 0.8um 이다.

- Surface profiler로 도금된 구리 표면을 긁어서 다음과 같은 결과를 얻었다.

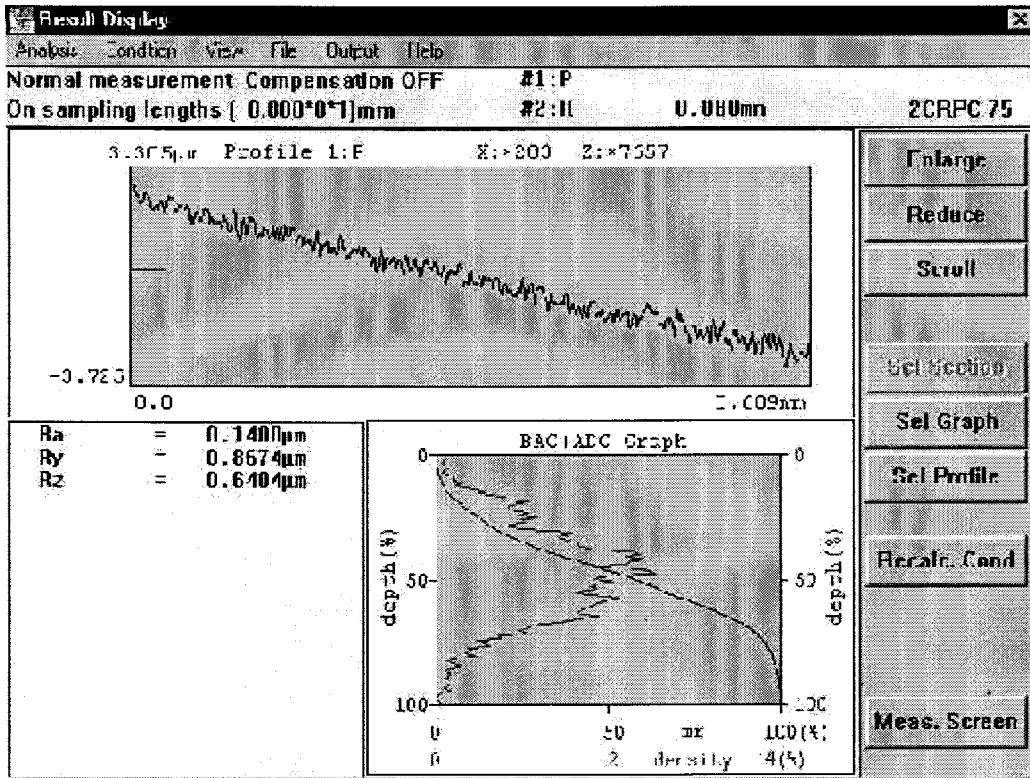


그림 135. surface profiler로 측정한 구리 도금 표면의 거칠기

profiler로 측정한 결과 평균 거칠기가 0.1488 µm 였다. 5.8GHz 대역에서 구리의 skin depth는 약 0.8um 인데 반해 표면이 너무 거칠어서 손실이 발생한 것으로 추정된다.

3) resonator 사이의 간격의 변화

앞에서 언급했듯이 resonator 사이의 간격이 좁아짐에 따라 band width가 급격히 증가함을 알 수 있다. lithography의 공정오차로 인해 약 20um 가량 간격이 좁아짐에 따라 band width가 시뮬레이션한 결과보다 더 크게 나왔다.

표 11. 공정 오차

| 제작 오차 | | |
|-----------------------|---------|-----------|
| | 디자인 한 값 | 실제로 제작된 값 |
| 유전층(polyimide) | 50 µm | 30 µm |
| microstrip line width | 100µm | 120 µm |
| MIM capacitor area | 2.42 | 2.48 |
| resonator 사이의 거리 | 350 µm | 330 µm |

4) Ground layer 부분의 구리 산화막

gas를 이용해 유전층을 건식 식각하므로 식각 후에 gas와 ground layer의 구리층과 반응을 해서 구리 산화막을 생성해서 고주파신호에 손실이 발생한 것으로 보인다.

5) Dry etching의 부족

Dry etching 공정시 30분마다 표면조도 측정기로 etching 된 깊이를 측정했는데, 2시간 30분 부터는 etching 깊이의 변화가 없이 계속 30um 가량 나왔다. 그래서 식각이 다 되었다고 판단했으나 후에 다른 시편으로 공정 진행중 microscope로 확인 했는데 다음과 같은 사진을 얻을 수 있었다.

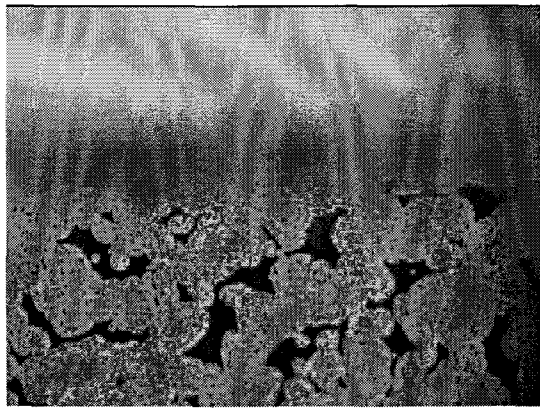


그림 136. Ground layer에 남아있는 polyimide 찌꺼기

그림 136에서와 같이 ground layer에 약간의 찌꺼기가 남아서 surface profiler로 단차를 확인할 때는 알 수 없었다.

제 5 절. Antenna

5.1. 소형 광대역 안테나 제작

일반적으로 안테나의 크기가 전기적 길이에 비해 작은 안테나를 소형 안테나라 한다. 소형 안테나는 높은 Q값을 가지며 안테나의 대역폭은 Q값에 반비례하기 때문에 소형 안테나의 대역폭은 좁다. 따라서 소형 안테나를 설계할 때에는 안테나가 낮은 Q값을 갖도록 하여야 한다. 이론적으로 안테나의 최소 Q값(최대 대역폭)은 안테나를 포함하는 가상구의 체적을 가장 많이 활용할 때 얻을 수 있으며, 이러한 이론을 바탕으로 소형 평면 안테나를 설계하였다. 설계한 안테나는 두 개의 평면 패치로 구성되어 있으며 두 평면 패치는 비아(via)를 사용하여 전기적으로 연결하였다. 소형 평면 안테나(compact folded patch antenna)는 비아(via) 연결 급전 방식을 사용하기 때문에 방사소자와 급전선로가 접지면에 의해 격리되어 있어 방사소자와 급전선로의 독립적인 설계가 가능하다. 그러므로 방사소자가 위치하는 기판은 유전율이 낮고 (또는 공기로 대체해도 됨) 두께가 두꺼운 기판을 사용하여 안테나의 방사효율과 대역폭을 개선시킬 수 있고, 급전 선로가 위치하는 기판은 유전율이 높고 두께가 얇은 기판을 사용하여 급전선로에 의한 불필요한 방사 손실을 줄일 수 있다. 또한, 방사소자와 급전선로가 접지면에 의해 격리되어있기 때문에 급전부에 방사소자와 독립되게 안테나의 대역폭을 증가시키는 임피던스 정합회로를 자유롭게 설계할 수 있다. 방사소자는 역'ㄷ'형태로 형성되어 각 패치에서 흐르는 표면 전류가 상쇄됨으로 기존의 모노폴 안테나의 방사패턴과 유사한 방사패턴을 얻을 수 있다. 또한, 단락핀 (shorting pin)을 사용하여 방사소자의 방사면 (radiating edge) 중 한 쪽을 접지면에 단락시켜 방사소자의 크기를 기존의 마이크로스트립 안테나의 크기에 비해 작게 만들 수 있다. 안테나의 설계 변수인 단락 핀의 수와 위치, 급전선과 연결되는 비아의 위치 등은 안테나 특성에 큰 영향을 미침으로 이에 대한 연구를 수행하였다. 또한, 동일한 크기의 안테나로 대역폭을 넓히기 위해서 급전부에 임피던스 정합 회로를 설계하는 연구를 수행하였다. 안테나 이득을 높이기 위해서는 안테나와 증폭기(amplifier)를 집적화한 능동 안테나 (active antenna; amplifier-type)를 설계하는 방안이 있다. 능동 안테나는 증폭기와 안테나의 부정합을 최소화하면서, 안테나와 증폭기의 동작 주파수가 유사하게 설계되어야 한다. 증폭기를 안테나와 집적화하였을 때 안테나의 대역폭, 공진 주파수, 복사 패턴 특성, 그리고 안테나 이득 변화에 대한 연구를 수행하였다. 지금까지 언급한 내용들을 모멘트법에 바탕을 둔 full-wave electromagnetic simulator인 Ansoft사의 Ensemble과 HP사의 ADS(advanced design system)로 해석하여 나온 결과를 표 12에 요약하였다.

표 12. 연구결과 요약

| 연구 내용 | 연구 결과 |
|---|---|
| <p>정합 회로를 사용하지 않았을 때, shorting pin의 수, 그리고 위치와 지름에 의한 안테나의 대역폭, 공진 주파수, 복사 패턴 특성 분석</p> | <p>단락핀의 수가 증가함에 따라 공진 주파수가 높아지며 대역폭은 약간 증가하나 일정수 이상이 되면 단락핀과 급전점 사이 간격을 결정할 수 있는 자유도가 낮아져 대역폭에 변화가 없거나 감소되었다.</p> <p>단락핀의 직경이 커질수록 공진 주파수가 높아지고 대역폭이 증가하였다. 단락핀의 직경이 0.2 mm일 때와 0.5 mm일 때를 비교하면 대역폭이 약 1.2배 넓어졌다.</p> <p>단락핀간의 간격에 따라 대역폭의 변화는 거의 없지만 패치내의 전기적 길이가 바뀌어 공진 주파수가 변화하는 것을 확인하였다.</p> <p>단락핀과 급전점과의 거리가 길어질수록 공진 주파수와 대역폭이 증가하였다. 단락핀과 급전점과의 거리가 2배되었을 때, 대역폭은 약 1.3배 증가하였다.</p> <p>최적화된 안테나는 중심주파수가 2.0 GHz인 경우 최대 7.89%의 대역폭을 얻었으며, 중심주파수가 5.8 GHz인 경우 최대 11.62%의 대역폭을 얻었다.</p> <p>복사 패턴의 경우 동일 편파는 2.0 GHz와 5.8 GHz 대역 모두 모노폴과 유사한 복사 패턴을 얻었다. 패치 내에 흐르는 표면 전류 성분 중, 단락핀과 비아의 위치 때문에 발생하는 표면 전류 성분 의해서 교차 편파가 나타나지만 그 크기는 -20 dB이하의 낮은 값이었다.</p> |
| <p>Shorting pin의 수, 위치 및 지름에 따른 급전 위치 결정의 초기 설계 방법 제시</p> | <p>소형 평면 안테나의 초기 설계 방법은 우선 안테나 패치의 세로 반 평면 안에 단락핀이 들어갈 수 있도록 그 수와 위치 그리고 단락핀의 직경을 정한다. 그 후, 단락핀에 직경에 따라 일정한 값을 갖도록 급전 위치를 결정하고 electromagnetic simulator인 Emsemble을 이용하여 최적화 할 수 있다.</p> |
| <p>정합 회로를 사용하여 동일한 크기의 안테나에서 대역폭 확장 및 복사패턴 특성 분석</p> | <p>급전 방식을 비아 연결 방식을 사용하였기 때문에 방사소자와 독립적으로 급전부에 임피던스 정합회로를 구현할 수 있다. 따라서 2.0 GHz 대역인 경우 정합 회로를 사용하여 15.35%의 대역폭을 얻었으며, 이는 정합 회로 사용하지 않았을 때에 비해 약 1.9배 이상 대역폭을 향상시킨 것이다. 5.8 GHz 대역인 경우 정합 회로를 사용하여 19.93%의 대역폭을 얻었다. 이는 정합 회로를 사용하지 않았을 때에 비해 약 1.7배 이상 대역폭이 향상된 것이다.</p> <p>정합 회로를 사용하였을 때 안테나의 복사패턴은 정합 회로를 사용하지 않았을 때와 유사한 복사패턴을 얻었다.</p> |

| | |
|--|---|
| <p>ADS를 이용하여 설계한 증폭기를 소형 평면 안테나에 집적화 시켰을 때, 안테나의 대역폭, 공진 주파수, 복사 패턴과 안테나 이득 특성분석</p> | <p>ADS를 이용하여 이득이 10 dB 이상인 저잡음 증폭기를 설계하였다. 2.0 GHz 대역의 경우 저잡음 증폭기의 이득은 13.68 dB, NF(Noise Figure)는 0.548 dB의 값을 얻었으며, 5.8 GHz 대역의 경우에는 저잡음 증폭기의 이득은 13.05 dB, NF는 1.188 dB의 값을 얻었다. 설계한 증폭기를 안테나와 집적화 하여 안테나의 이득을 10 dBd 이상 얻었다. 2.0 GHz 대역 안테나의 경우 13.43%의 대역폭과 14.96 dBd의 이득을 얻었다. 이는 증폭기를 집적화하지 않았을 때의 안테나 이득인 3.37 dBd에 비해 10 dB 이상의 큰 이득을 얻은 것이다. 5.8 GHz 대역 안테나의 경우 대역폭은 13.54%, 이득은 13.75 dBd 이었다.</p> |
|--|---|

5.2. Dual frequency/ Dual Polarization antenna 설계

소형 안테나는 일반적으로 전기적 길이(electrical wavelength)에 비해 크기가 작아 안테나 자체의 높은 Q 값과 좁은 대역폭을 갖는 단점이 있다. 따라서 전기적으로 소형의 안테나가 낮은 Q 값을 갖도록 설계하기 위해서는 안테나를 포함하는 가상 구의 체적을 최대한 활용해야 안테나의 대역폭을 넓힐 수 있다. 그러나 소형 안테나를 더욱 작게 만들 경우 대역폭이 좁아지고 이득이 낮아지게 된다. 이런 문제를 해결하기 위해 송수신 대역에서 각각 사용할 수 있는 이중 대역 소형 평면 안테나를 설계하였다. 기존의 안테나는 단일 급전 방식을 사용하기 때문에 송수신 신호를 분리하기 위한 별도의 소자가 필요하다. 이런 문제를 해결하기 위해 이중 급전 방식을 사용하는데 일반적인 이중 급전 안테나는 두 대역간에 서로 다른 직교 선형 편파를 구현함으로써 좋은 격리도 특성을 갖는다. 하지만 이와 같은 방법은 위성통신과 같은 서로 다른 편파를 사용하는 시스템에서는 적합하지만 동일 편파를 사용하는 시스템에서는 부적합하다. 본 연구에서는 동일 편파와 좋은 격리도 특성을 갖는 이중 대역 안테나를 개발하였다. 설계된 안테나는 분리된 상판 패치 2개, 미앤더 라인이 있는 하판 패치가 비아에 의해 연결되어 있으며 하판 패치도 접지면에 단락핀에 의해 연결되어 있다. 이 때, 상판 패치와 하판 패치 사이에는 안테나의 크기를 줄이기 위해 고유전율($\epsilon_r = 38$)을 갖는 유전체를 삽입하였다. 이로 인해 안테나의 크기는 작아지지만 대역폭이 감소되기 때문에 급전선에 개방 스테르브를 부착하여 대역폭을 확장하였다. 제안된 안테나에서 사용한 급전 방식은 복사 소자와 급전부가 격리되어 있기 때문에 급전선에 의한 불필요한 복사를 줄일 수 있다. 또한 비아에 의해 급전선과 복사 소자를 연결하는 방식으로 프로브 급전 방식의 문제점을 최소화할 수 있고, 급전선에 자유롭게 정합 회로를 설계할 수 있는 장점이 있다. 격리도 특성을 최소화하기 위해 미앤더 라인을 하판 패치에 적용하였다. 포트에 의한 간섭을 최소화하기 위해 포트를 패치 가장자리의 단락핀 사이에 위치시켰다. 또한 패치에 의한 간섭을 줄이기 위해 하판 패치 사이에 미앤더 라인을 삽입하였다. 미앤더 라인은 누설 전계(fringe-field)에 의한 패치 간의 간섭을 줄여 준다. 즉, 하판 패치에 흐르는 전류가 미앤더 라인에 의해 180° 위상차가 생겨 미앤더 라인에 흐르는 전류의 상쇄

효과를 가져와 누설 전계에 의한 패치 간의 간섭을 최소화할 수 있다. 제안된 안테나의 복사 패턴은 상판 패치와 하판 패치에 흐르는 전류 분포에 많은 영향을 받는다. 상판 패치와 하판 패치의 전류는 미앤더 라인과 마찬가지로 180° 위상차에 의한 상쇄 효과를 가져와 제안된 안테나의 복사 패턴은 모노폴 안테나의 복사 패턴을 얻을 수 있다. 안테나의 설계 변수인 단락핀의 수와 위치, 그리고 유전체 크기는 안테나 특성에 큰 영향을 미침으로 이에 대한 연구가 필요하다. 위에서 언급한 설계 변수에 따른 이중 대역 소형 평면 안테나의 특성 변화를 유한요소법(Finite element method : FEM)에 바탕을 둔 full-wave electromagnetic simulator인 Ansoft사의 HFSS로 해석하였고, 또한 안테나의 이득을 높이기 위해서 안테나와 증폭기를 집적화하였을 때의 안테나 공진 주파수, 반사 손실, 이득 변화에 대한 연구를 수행하였다. 이를 위해 HP사의 ADS(Advanced Design System)를 이용하였다. 아래 표는 위의 해석 결과를 요약하였다.

표 13. 연구결과 요약

| 연구 내용 | 연구 결과 |
|--------------------------------------|---|
| 미앤더라인에 의한 격리도 특성 분석 | <p>이중 급전 방식에 따른 격리도 특성을 살펴보면 미앤더 라인 구조가 적용되지 않은 완전히 분리된 두 안테나의 중심 주파수 1.9 GHz 대역과 2.1 GHz 대역 사이에서 격리도 특성은 평균적으로 14dB 정도였으며, 미앤더 라인 구조가 적용된 경우 중심 주파수 1.9 GHz 대역과 2.1 GHz 대역 사이에서 격리도 특성은 평균적으로 22dB, 5.6 GHz 대역과 5.8 GHz 대역 사이에서는 21dB 정도를 얻었다.</p> |
| 단락핀과 정합회로에 의한 안테나의 대역폭 및 복사 패턴 특성 분석 | <p>제안된 안테나에서, 안테나의 대역폭을 확대하기 위해 스테르브를 부착하였다. 스테르브를 부착하지 않았을 경우 2.1 GHz에서 0.97%의 부분 대역폭을 얻었지만 스테르브를 부착하면 VSWR ≤ 2 인 원내에서 주파수 궤적이 2번 지나가 2.5%의 부분 대역폭을 얻어 스테르브를 부착하지 않았을 때보다 2배 이상 대역폭이 확대되었다.</p> <p>스테르브가 부착한 경우 공진 주파수와 안테나의 대역폭에 가장 큰 영향을 주는 설계 변수는 단락핀과 비아의 간격이다. 단락핀과 비아의 간격을 1.1 mm 일 때 대역폭은 2.5%이었고, 1.5 mm 일 때 대역폭은 3.1%을 얻어 약 1.4배 확대되었다. 또한 공진 주파수도 2.145 GHz에서 2.1 GHz로 변화하는 것을 확인하였다.</p> <p>최적화된 안테나의 경우 중심 주파수 1.9 GHz 대역과 2.1 GHz 대역에서 각각 3.2%와 3.3%의 대역폭을 얻었으며, 5.6 GHz 대역과 5.8 GHz 대역에서 각각 3.0%와 3.1%의 대역폭을 얻었다.</p> <p>복사 패턴은 2 GHz(1.9 GHz 대역과 2.1 GHz 대역)과 5.8 GHz(5.6 GHz 대역과 5.8 GHz 대역)에서 모두 모노폴과 유사한 복사 패턴을 얻었으며 패치에 흐르는 표면 전류 성분 중 비아와 단락핀의 위치, 미앤더 라인 때문에 교차 편파가 발생되며 그 크기는 -10 dB 이하이다.</p> |

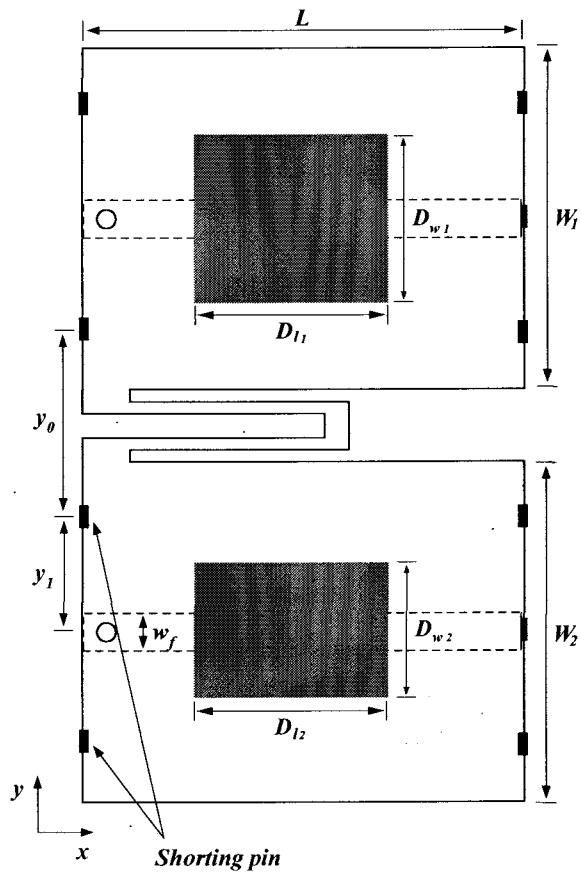
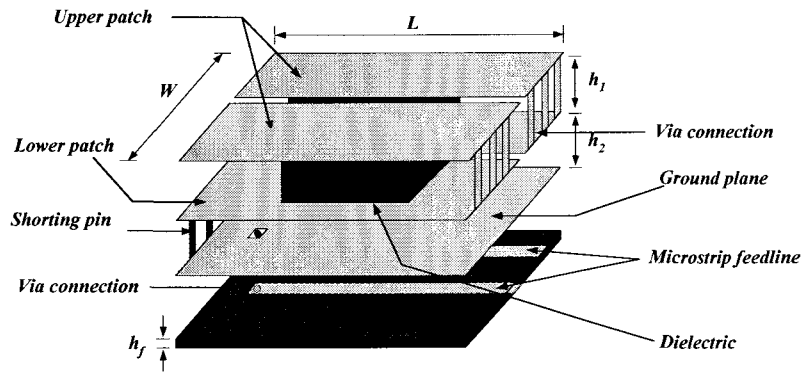


그림 137. Geometry of the antenna

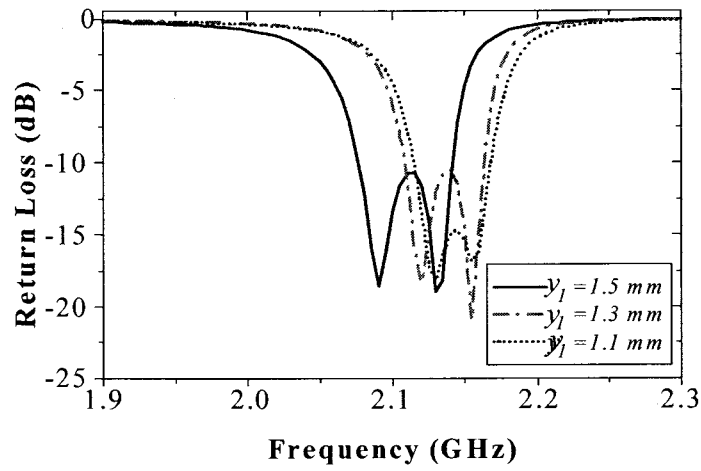


그림 138. Return loss for the distance of shortening pins

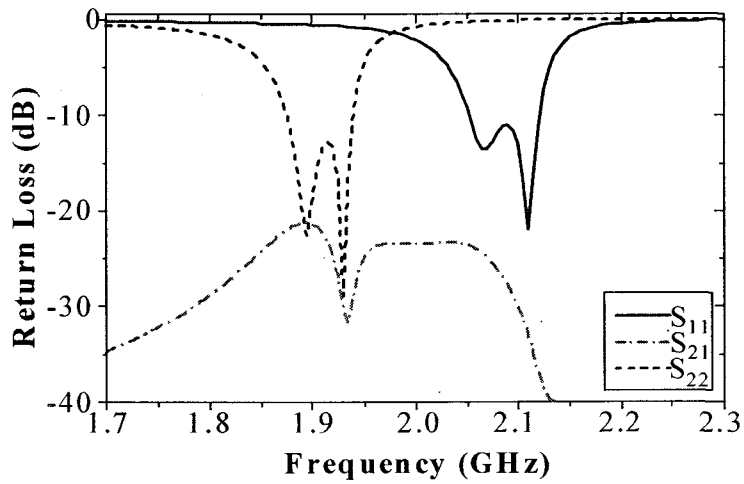


그림 139. Optimized return loss of the antenna

표 14. Comparison of two antennas

| Dimension (mm) | | 12 × 7 × 12 | 12 × 4 × 12 |
|----------------------|-----------------|-------------|-------------|
| Without meander line | Frequency [GHz] | 1.825 | 2.055 |
| | Bandwidth [MHz] | 15 | 20 |
| | % Bandwidth | 0.82 % | 0.97 % |
| With meander line | Frequency [GHz] | 1.9 | 2.1 |
| | Bandwidth [MHz] | 62 | 70 |
| | % Bandwidth | 3.2 % | 3.3 % |

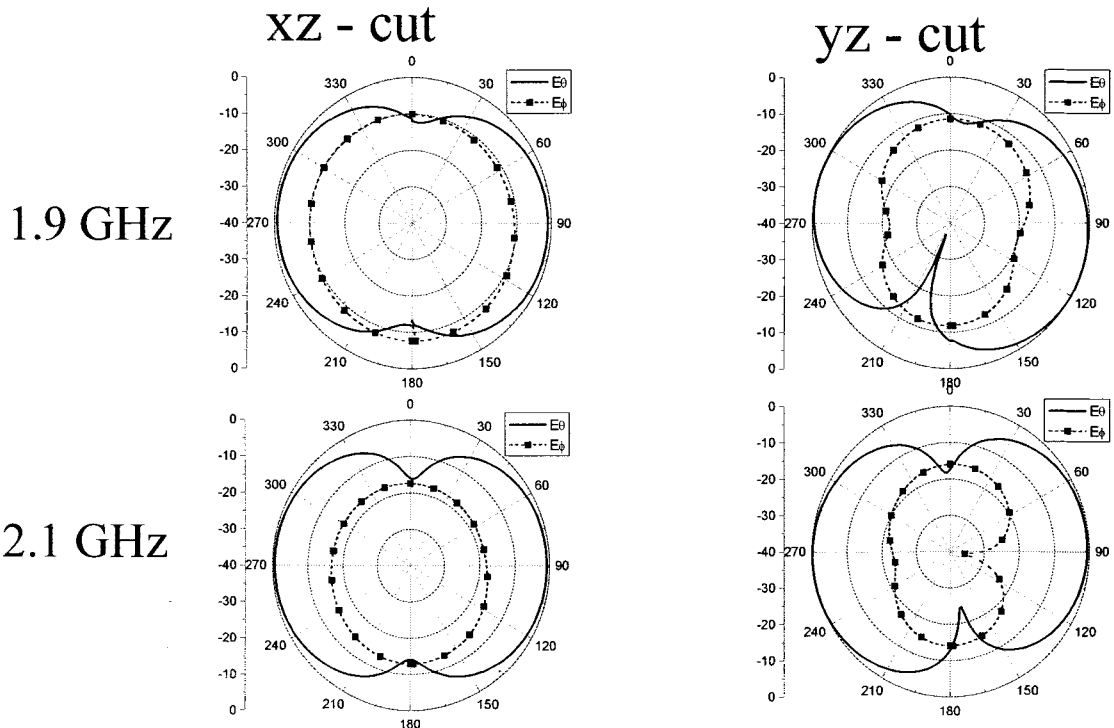


그림. 140. Radiation pattern at 1.9 GHz and 2.1 GHz

5.3. 2.4 GHz, 5.8 GHz 소형 안테나 설계 및 제작

1. 2.4 GHz 헬리컬 안테나

헬리컬 안테나는 축 모드와 수직 모드의 두 가지 모드로 동작을 한다. 축 모드의 헬리컬 안테나는 엔드파이어 안테나로써 많이 사용되고, 공진형 수직 모드 헬리컬 안테나는 작고, 수직 편파를 갖는 안테나로 사용된다. 그러나, 소형으로 만들 수 있는 장점을 가진 수직 모드 헬리컬 안테나의 입력 임피던스는 협대역의 특성을 갖는다. 수직 모드 헬리컬 안테나는 보통 $\lambda/4$ 모노폴 안테나보다 작기 때문에 이동통신 시스템에서 많이 사용된다.

헬리컬 안테나를 2.4GHz 무선 랜용 단말기에 응용하기 위해 전방향성의 방사패턴을 갖는 수직 모드 헬리컬 안테나를 고유전율의 유전체를 이용하여 헬리컬 칩 안테나를 그림 141과 같이 설계하였다. 유전체의 유전율은 10의 고유전율을 가지며 안테나의 크기는 $2.1 \times 2.1 \times 3.2$ mm³ 이다. 그림 142는 헬리컬 칩 안테나의 반사손실과 스미스차트를 나타내고 있다. 헬리컬 칩 안테나의 대역폭은 2.48 GHz에서 160MHz의 대역폭을 보이고 있다.

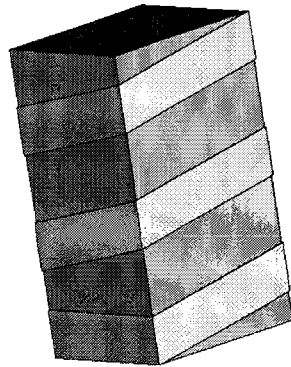


그림 141. 헬리컬 안테나

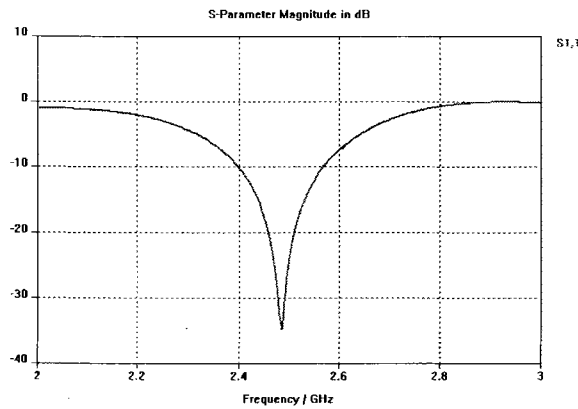


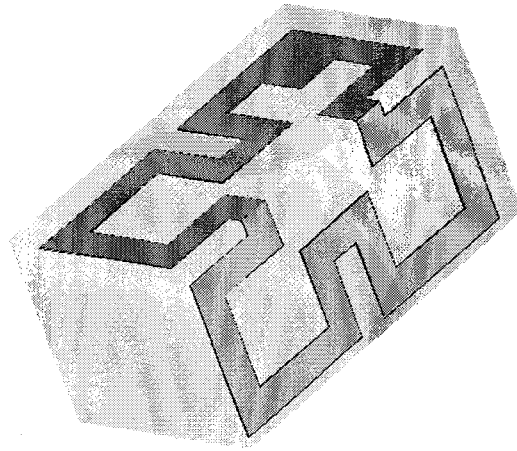
그림 142. 헬리컬 안테나의 반사 손실

2. Fractal 루프 안테나

전기적으로 큰 루프 안테나는 작은 루프 안테나보다 입력 임피던스, 지향성, 방사패턴 등의 장점을 가지고 있다. 추가로 한 파장 공진형 루프 안테나는 소형 루프 안테나에서 필요한 발룬이 필요하지 않다. 따라서 2.4GHz 무선 랜용 단말기에 응용하기 위해 유전율 10을 갖는 유전체 큐빅에 더욱 소형화를 위해 루프 안테나를 Fractal 형태로 구성하여 한파장 공진형 미앤더 루프 안테나를 설계하였다. 설계된 한 파장 Fractal 루프 안테나를 그림 143에서 보여주고 있다. 안테나의 크기는 $12 \times 6.5 \times 6 \text{ mm}^3$ 이고, 루프를 Fractal 형식으로 하여 전류가 흐를 수 있는 경로를 더 길게 하여서 보다 소형화를 만들어 낼 수 있다.

설계된 한파장 공진형 Fractal 루프 안테나의 임피던스의 반사 손실이 그림 144에서 보여주고

있다. 설계된 안테나의 반사손실은 $VSWR \leq 2$ 를 기준으로 중심주파수 2.45GHz에서 120MHz의 대역폭을 갖는다.



Layer type = PEC

그림 143. Fractal 루프 안테나

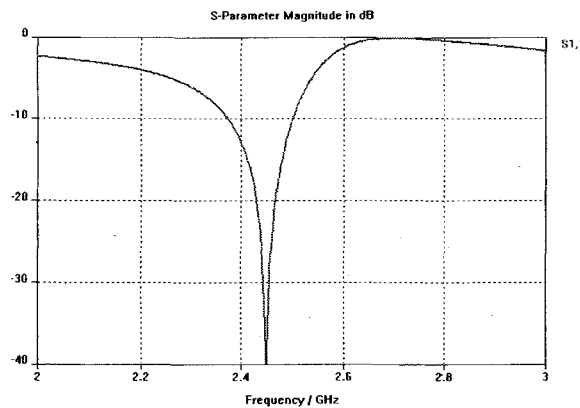


그림 144. Fractal 루프 안테나의 반사손실

3. 3차원 루프 안테나

루프 안테나의 소형화를 하기 위해서 3차원적으로 루프 안테나를 설계하였다. 설계된 안테나는 유전율이 10인 유전체 안에 동작 주파수의 한 파장의 길이를 갖는 루프로 구성되어 있다. 높은 유전율을 갖는 소형 안테나는 높은 Q를 갖기 때문에 협대역의 대역폭의 특성을 갖기 때문에 안테나의 리액턴스를 감소시키면 소형 안테나의 보다 넓은 대역폭을 갖을 수 있다. 따라서 설계된 안테나는 루프 안테나의 인덕턴스와 각 안테나의 구부러진 도체의 캐패시턴스에 의

해서 보다 넓은 대역폭을 얻을 수 있다. 안테나의 급전은 CPW(coplanar waveguide)로 급전하였다. 설계된 안테나는 그림 145에서 보여주고 있다. 설계된 안테나의 크기는 $5 \times 6 \times 5 \text{ mm}^3$ 이다. 설계된 3차원 루프 안테나의 임피던스의 반사 손실이 그림 146에서 보여주고 있다. 그림 146에서 보듯이 설계된 안테나의 반사손실은 $VSWR \leq 2$ 를 기준으로 470MHz(2.39GHz~2.86GHz)의 넓은 대역폭을 갖음을 알 수 있다.

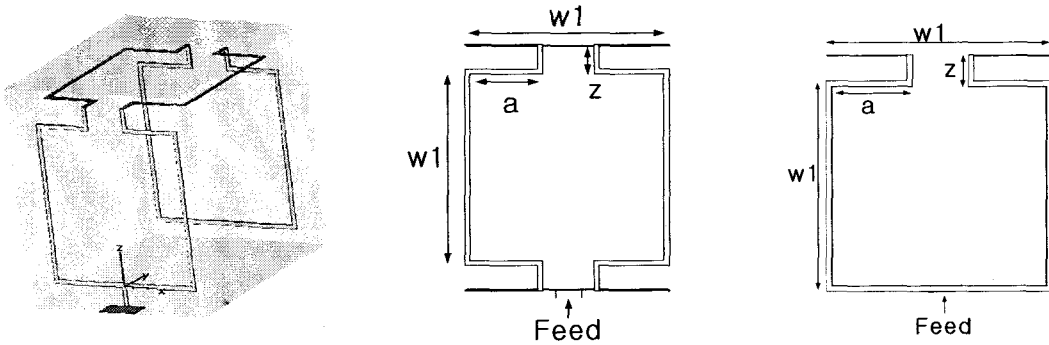


그림 145. 3차원 루프 안테나

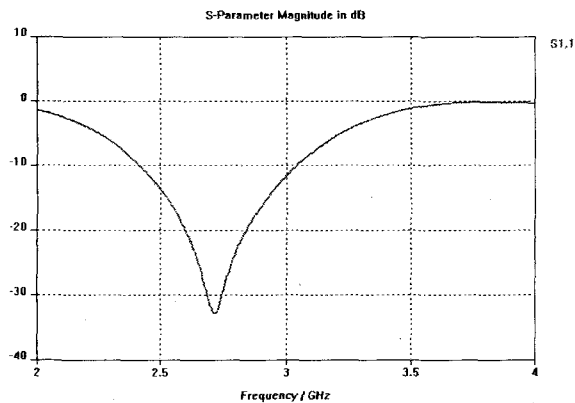


그림 146. 3차원 루프 안테나의 반사손실

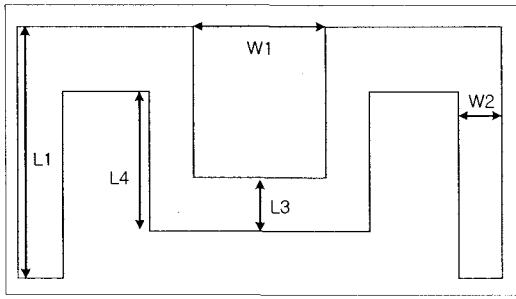
4. 5.8 GHz 대역 소형 안테나

5.8 GHz 무선 랜용 단말기에 응용하기 위해 기본적인 루프 안테나를 미앤더 구조로 변형시켜 LTCC(Low Temperature Co-fired Ceramic) 공정에 의해 세라믹 칩형태로 안테나를 소형화하였다. 또한, 세라믹 칩 안테나를 제작함에 있어 응용 가능성을 살펴보기 위해 CPW(coplanar waveguide) 급전 구조의 회로기판 상에 표면 장착 가능한 칩 형태로 설계하였다. 적층형 세라믹 안테나는 그 크기가 소형이기 때문에 매우 작은 방사 저항과 그에 비해 높은 리액턴스 값을 가지며, 그로 인해 안테나의 특성 중에서도 효율, 임피던스 매칭, 그리고 주파수 대역폭 특성이 큰 제약을 받게 된다. 안테나 구조 중에서 루프 안테나는 전방향성 방사패턴을 가지며,

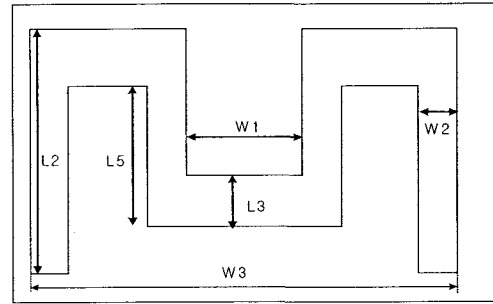
또한 루프 안테나는 대역폭 확보 및 소형화에 용이하다. 또한 루프 안테나는 원하는 주파수에서 공진을 위한 선로의 길이 조정이 자유롭기 때문에 공진 주파수의 결정과 설계가 자유로운 특성을 보인다. 따라서 루프 안테나는 양호한 방사저항과 설계의 자유로운 특성을 나타내므로, 세라믹 칩 안테나를 설계함으로써 효율, 임피던스 매칭, 그리고 대역폭 특성을 향상시켜 5.8 GHz 무선랜용 안테나에 적합한 특성을 갖는 소형 안테나를 구현할 수 있다. 그림 147은 본 미앤더 루프 구조의 적층형 세라믹 칩 안테나의 구조도로, 소형화를 위해 기존의 구형 루프에 미앤더 라인을 적용하여 접은 형태이다. 안테나에 윗면의 미앤더 패턴은 칩의 윗부분에서 안으로 0.1mm 들어가도록 설계하였으며, 아래면의 meander는 윗면과 평행하게 후막 인쇄하였다. 윗면과 아래면의 미앤더를 연결하는 수직 스트립 선은 via hole를 만들고 전극을 hole에 삽입하는 방식으로 만들었다. 또한, 미앤더 루프 도체의 한 쪽 끝단은 회로기판 상에 표면 장착 가능하도록 세라믹 칩 본체의 표면으로 돌출되어 있고, 이렇게 돌출된 끝단이 미앤더 루프 도체로 신호를 인가하기 위한 신호 공급용 단자로 형성된다. 그림 148은 기존의 루프 안테나와 제안된 안테나의 편파 특성으로, Unbalance 급전 구조를 갖는 구형 루프 안테나는 모노폴 형태로 급전 점에서 전류가 루프에 서로 반대 방향으로 흘러 수직 방향에서 같은 전류 분포를 갖는다. 따라서 루프 안테나의 방사 패턴은 수직편파를 갖는다. 마찬가지로 미앤더 루프 안테나도 수평방향에서는 인접 라인간에 전류 분포가 서로 반대 방향으로 방사 패턴에는 거의 영향을 주지 않으며, 반면 수직 방향은 전류분포가 같은 방향으로 방사 패턴에 기여한다. 따라서 제안된 안테나도 기존의 루프 안테나와 마찬가지로 수직 편파를 가진다. 설계된 안테나의 설계 파라미터는 표 15와 같다.

표 15. 안테나의 설계 파라미터 [단위:mm]

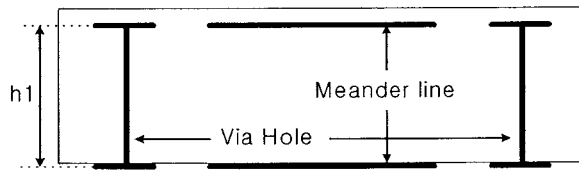
| 파라미터 | L1 | L2 | L3 | L4 | L5 | W1 | W2 | W3 | h1 |
|------|-----|-----|----|-----|-----|-----|-----|-----|-----|
| 설계치 | 3.9 | 4.3 | 1 | 1.7 | 1.7 | 0.8 | 0.5 | 4.4 | 0.7 |



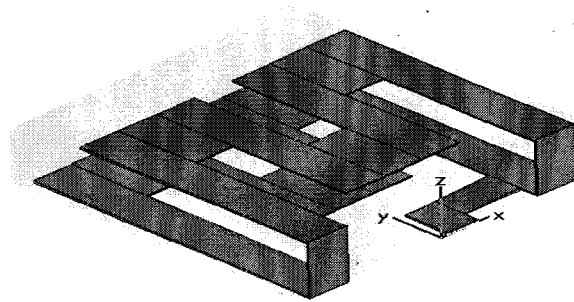
(a) 윗면



(b) 아래면



(c) 측면



Layer type = PEC

(d) 전면도

그림 147. 미앤더 루프 구조의 적층형 세라믹 칩 안테나

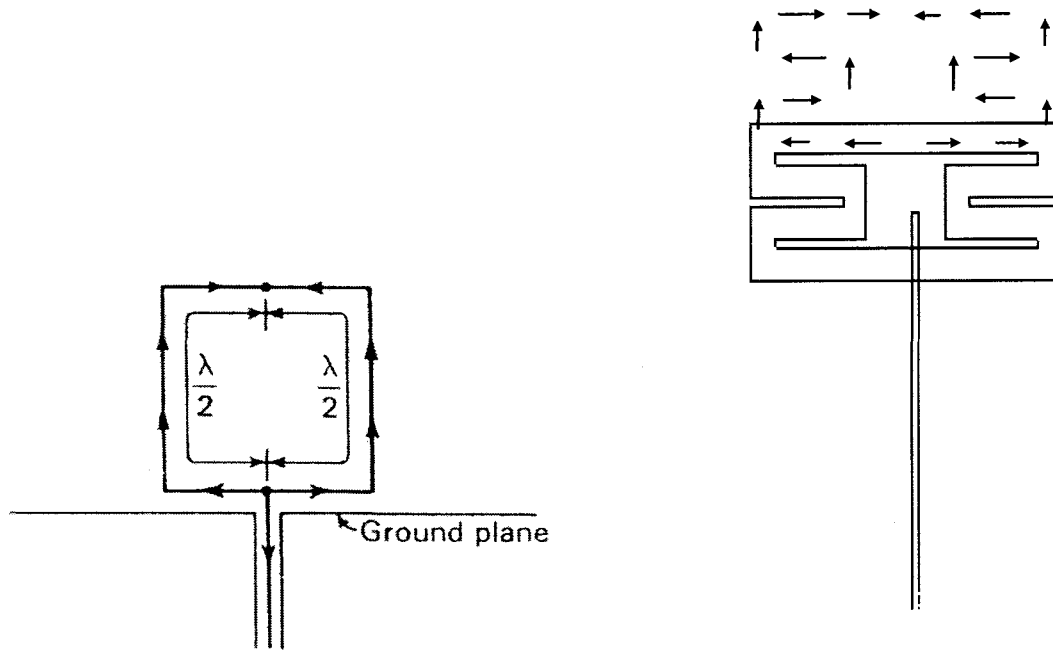
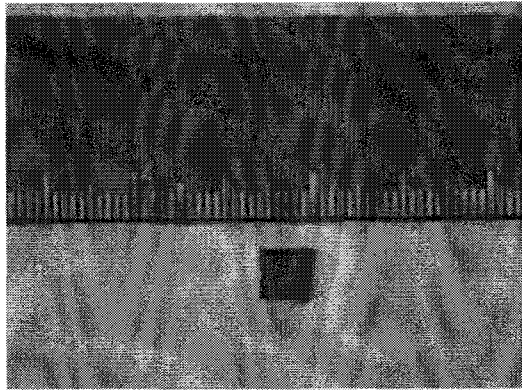


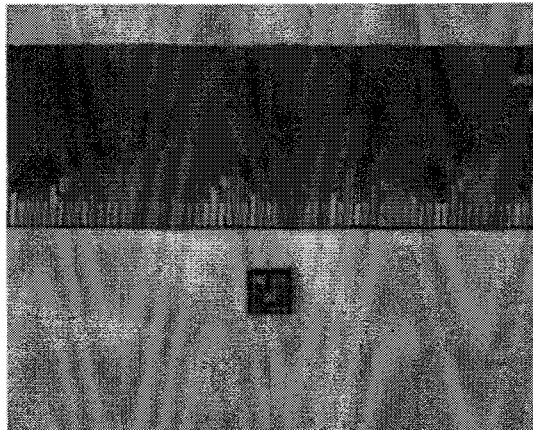
그림 148. 루프안테나와 제안된 안테나의 편파

그림 149는 실제 LTCC공법으로 제작된 안테나의 사진이다. LTCC공법에서 이용된 유전율 7.8인 Dupont사의 951 AT 그린시트를 사용하였으며 유전체 Sheet의 특성상 파란색을 나타내고 있다. 설계된 안테나의 크기는 $4.4 \times 4.3 \times 0.7$ mm로 구형 루프 안테나와 전기적 길이로 비교해 볼 때 거의 유사한 크기를 갖는다. 세라믹 칩은 제작과정에서 12%의 수축율을 예상하여 원하는 주파수에서 공진하기 위해서는 수축율과 시뮬레이션의 오차를 고려하여 시뮬레이션 보다 1.2배 크게하여 설계하는 것이 필요하다. 안테나의 전면부는 유전체로 덮여 있다. 후면부는 측정 지그(Zig)와의 접촉을 위하여 유전체로 덮지 않았다. 안테나의 지그는 뒤쪽 접지면이 없는 CPW급전 구조로 제작하여 안테나의 후면 방사를 방해하지 않도록 설계하였다. 실제 안테나의 크기는 $4.4 \times 4.3 \times 0.7$ mm 이나 안테나를 보호하는 유전체가 여유분을 갖기 때문에 실제적으로는 약 $6 \times 5 \times 0.7$ mm 의 부피를 차지한다. 그림 149(c)의 제작 안테나 실장 모습에서 지그는 유전율 4.5, 두께 60 mil을 갖는 FR4 기판으로 제작되었으며 사진의 $\pm y$ 방향으로 E평면이 생성되는 것을 확인하였다.

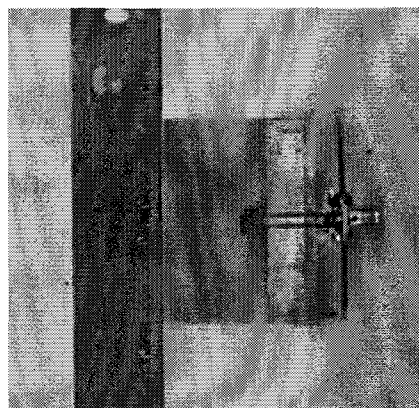
그림 150은 제작한 안테나의 반사 손실 특성을 Vector Network Analyzer 8722D를 이용해 측정한 것이다. 측정 범위는 4 GHz에서 8 GHz 이며 마커 1이 공진 주파수, 마커 2, 3은 각각 VSWR이 2인 주파수이다. 제작한 안테나의 중심 주파수는 5.78 GHz이고 340 MHz 대역폭을 나타내고 있다.



(a) 제작한 안테나의 전면부



(b) 제작한 안테나의 후면부



(c) 제작한 안테나의 실장 모습

그림 149. 제작한 안테나의 실제 구조

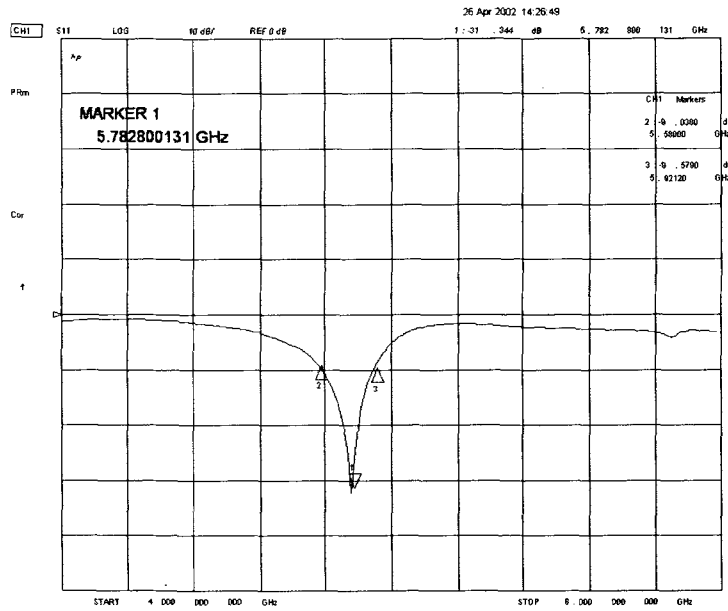
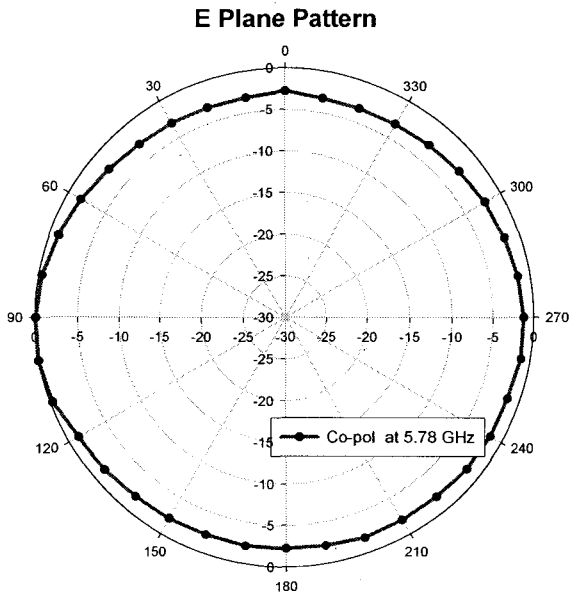


그림 150. 반사계수 측정 결과

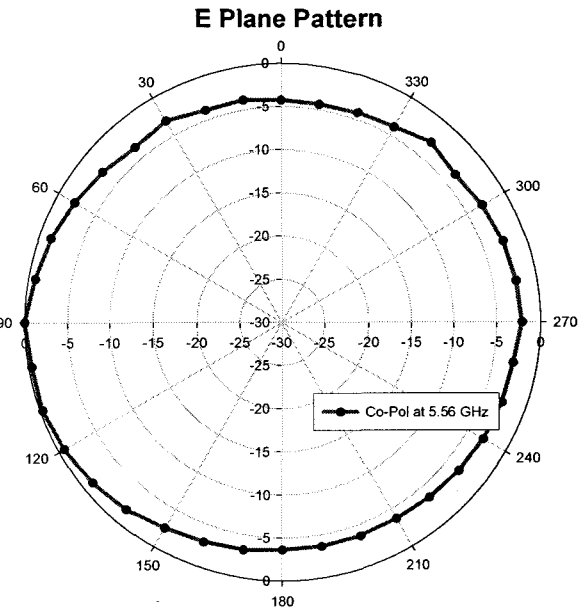
표 16은 제작한 안테나를 각 주파수(5.56 GHz~5.90 GHz)에서의 이득을 측정한 것이다. 측정한 이득은 최대 2.47 dBi이고 후면부에서 이득이 약간 작은 것을 알 수 있다. 이는 지그의 유전체가 안테나의 후면부 방사를 억제하는 효과가 있는 것으로 생각된다. 이는 후면부의 이득이 낮아지면 전면부 이득이 높아지는 것으로 유추할 수 있다. 또한 안테나의 이득은 임피던스 대역폭 내에서 약 ± 0.2 dB의 이득 편차를 가지고 있으며 이득 대역폭도 임피던스 대역폭을 만족시키고 있다. 그림 151은 각 주파수에서 안테나의 E평면에 대해 본 결과는 안테나를 로테이터에서 10° 씩 회전시키며 전방향 패턴을 측정한 것이다. 방사 패턴은 최대 측정값을 0으로 하여 정규화한 것이다. 주 빔 방향이 0° 이며 후면이 180° 이다. 안테나의 이득은 전 방향에서 $\pm 3^\circ$ 의 편차를 보이며 고른 이득 분포를 보이고 있다. 특이한 점은 $\pm 90^\circ$ 에서 전면부 이득에 비해 더 크게 보이고 있으며 이에 관한 연구가 더욱 필요하다.

표 16. 제작한 안테나의 이득 측정결과

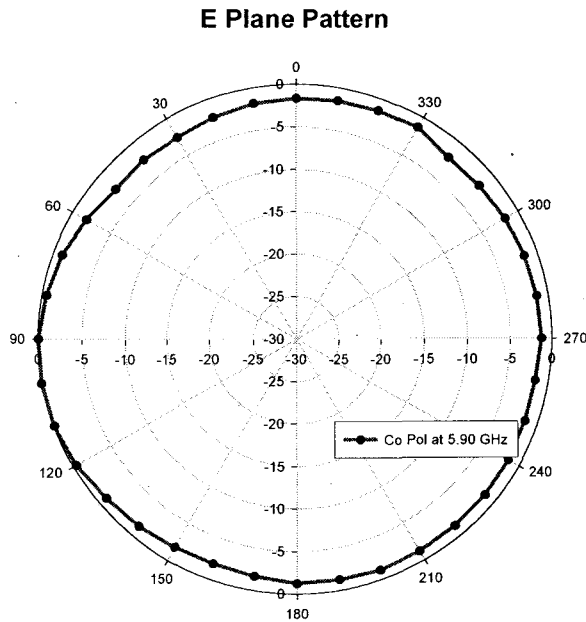
| | 5.56 GHz | 5.78 GHz | 5.90 GHz |
|-----|----------|----------|----------|
| 전면부 | 2.0 | 2.2 | 2.47 |
| 후면부 | 1.91 | 1.9 | 1.89 |



(a) E 평면 방사패턴(5.78 GHz)



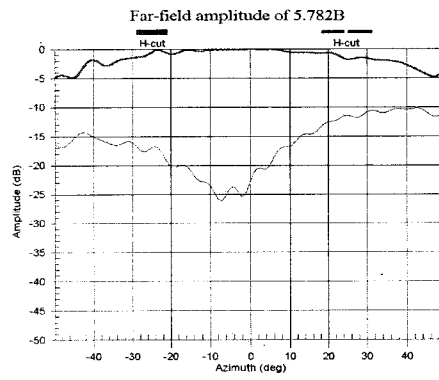
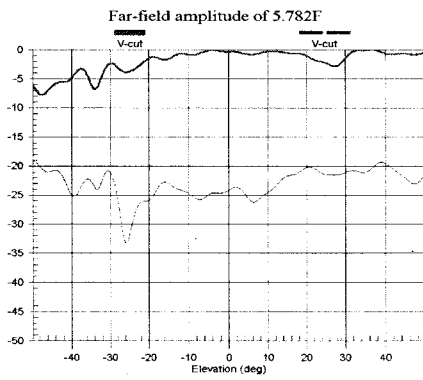
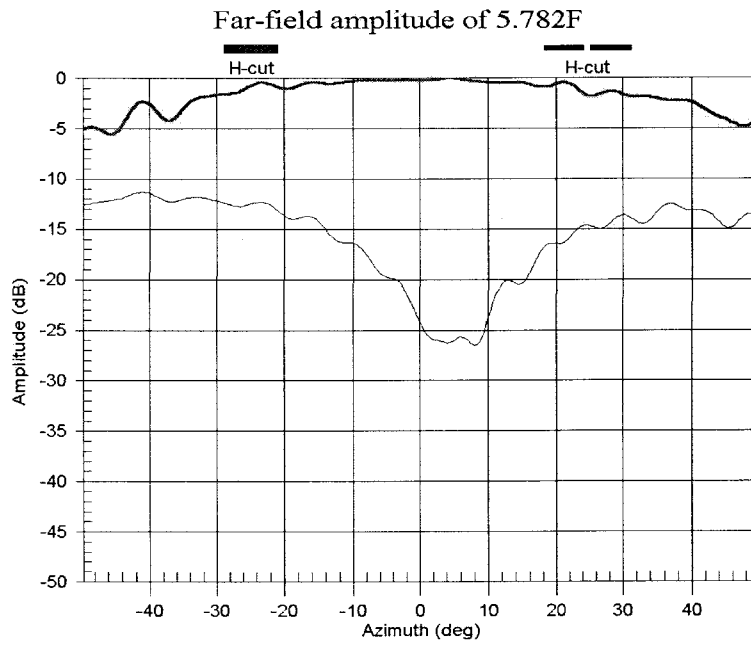
(b) E 평면 방사패턴(5.56 GHz)



(c) E 평면 방사패턴(5.9 GHz)

그림 151. 전방향 방사 패턴(E평면)

제작한 안테나의 편파 및 E평면, H평면 특성은 중심주파수 5.78 GHz에서 Near-field System Inc(NSI)의 근거리장 측정 장비를 이용하여 안테나 전면부와 후면부에 대한 E-plane과 H-plane의 동일 편파와 교차 편파를 측정하여 각각 그림 152와 153에 나타내었다. 우선 그림에서 교차 편파가 각각 -10 dB이하 값을 갖으며, 특히 H평면에서 교차편파는 -20 dB이하인 것을 알 수 있다.



(b) H 평면

그림 152. 안테나 전면부의 편파 특성

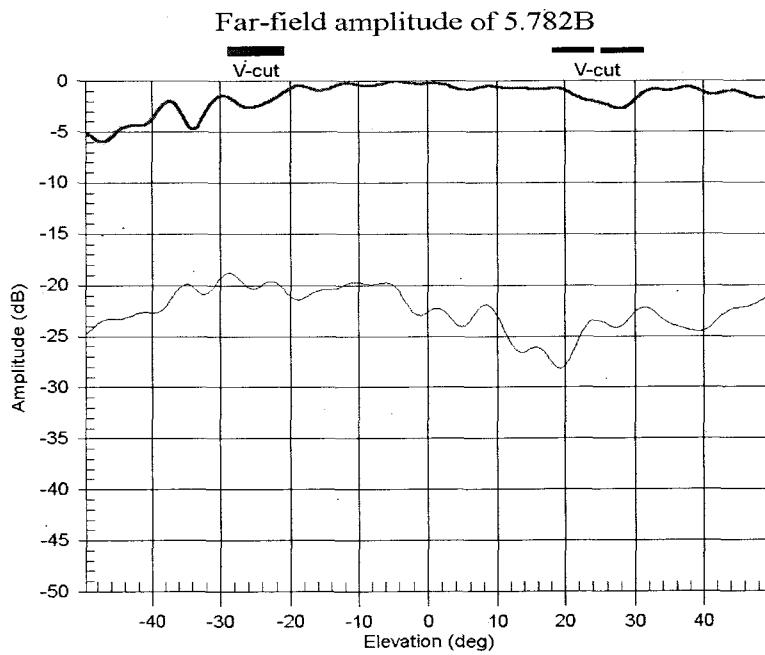
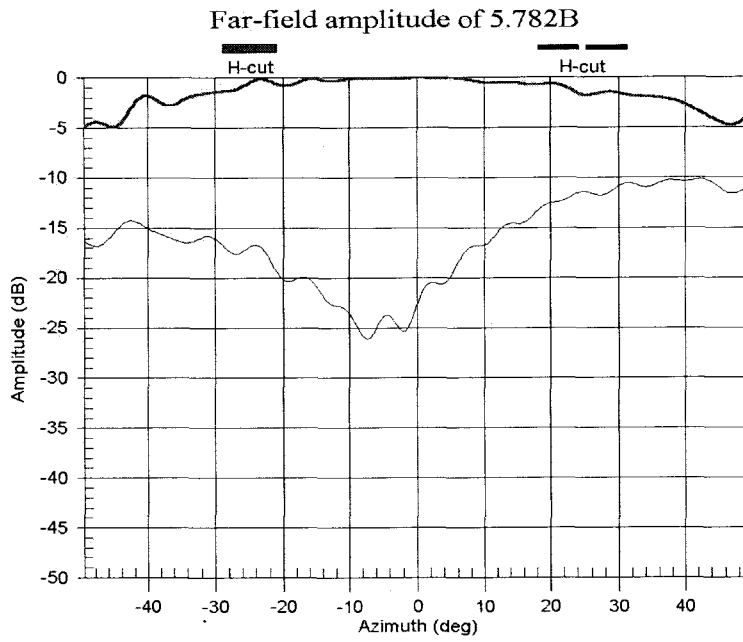


그림 153. 안테나 후면부의 편파 특성

제 4 장. 목표달성도

제 1 절. 1차년도 목표달성도

| 목표 | 달성도 | 내용 |
|-------------------------|-----|---|
| System 및 각 부품의 spec. 결정 | 90% | <ul style="list-style-type: none"> - Benchmarking: 모델 design, 제작, 분석 완료 - Concept design 및 상세규격 설정 - Structure Design & Electromagnetic Analysis - RF 송수신 모듈 개념 설계 및 MEMS 부품 Spec. 결정 |
| 특허조사 | 90% | <ul style="list-style-type: none"> - Switch에 관한 국내외 전 특허 수집, 분석후 당사 모델과의 관련성 확인 - 대응 특허 idea 도출, 특허 작성중 |
| Foundary 조사 | 90% | <ul style="list-style-type: none"> - MCM-D 기술에 대하여 벨기에 IMEC 연구소와 공동으로 수행함 |
| Switch 설계 | 80% | <ul style="list-style-type: none"> - Mask설계 완료, 제작 - 저전압구동(3V) 확인 - Shielding구조 삽입 - High capacitance 구조 삽입 |

제 2 절. 2차년도 목표달성도

| 목 표 | 달 성 도 | 내 용 |
|--------------------|-------|---|
| RF module | 100% | <ul style="list-style-type: none"> - Multistandard module concept design - Multistandard 부품 idea 창출 및 특허출원 - 단기 및 중장기 계획 수립 |
| 안테나 대역폭 확장 및 이득 증대 | 100% | <ul style="list-style-type: none"> - Electromagnetic simulator를 사용하여 shorting pin (via)의 수와 위치, 급전 위치 변화에 의한 소형 평면 안테나의 공진주파수, 대역폭, 복사 특성을 분석하고 임피던스 정합 회로를 이용하여 2.0 GHz와 5.8 GHz 대역용 안테나 대역폭을 10% 이상 (최대 19%) 얻도록 설계하였다. 2.0 GHz 대역용 안테나 크기는 18 mm×16 mm×12 mm 이고 5.8 GHz 대역용 안테나 크기는 4 mm × 5mm × 5 mm이다. - HP사의 ADS를 이용하여 2 GHz와 5.8 GHz 대역의 증폭기를 설계하였고 설계한 증폭기를 안테나와 집적화 하여 능동 안테나를 설계하였다. 설계된 능동 안테나는 2.0 GHz와 5.8 GHz 대역에서 10 dBd 이상(최대 14.96 dBd)의 안테나 이득을 얻었다. 안테나 크기는 위와 동일하다. |
| VCO 설계 및 제작 | 90% | <ul style="list-style-type: none"> - MESFET을 이용한 5-6 GHz band VCO 설계 및 제작 - TSMC CMOS공정에 필요한 능동, 수동소자의 측정 및 Characterization, Modeling - 1nH-10nH의 다양한 MEMS inductor 제작 - 900MHz/2GHz VCO에 필요한 MEMS inductor L=1,2,3nH제작, Q~40 |
| MEMS Switch 개발 | 95% | <ul style="list-style-type: none"> - 0.2dB이하의 손실과 40dB이상의 isolation 의 RF 특성 구현 - 패키지지 구동전압 6V(비패키지지 최대 3V)로 기계적 특성 구현 - 점착의 방지에 대한 특허 출원 - 수치해석등을 통한 신뢰성 확보 |

제 3 절. 3차년도 목표달성도

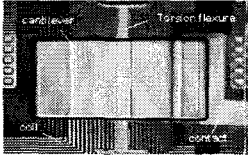
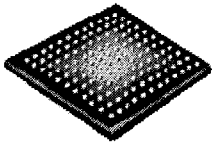
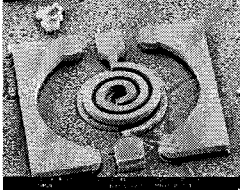
| 목 표 | 달 성 도 | 내 용 |
|---------------|-------|---|
| RF Switch | 95% | <ul style="list-style-type: none"> - SPDT 스위치 개발완료 <ul style="list-style-type: none"> . RF Sepc. 만족 - 스위치 신뢰성 test <ul style="list-style-type: none"> . Power handling capability 만족 . Lifetime cycle 미달 - Hermetic sealing accomplished |
| RF inductor | 120% | <ul style="list-style-type: none"> - High-Q inductor Above-RF IC Design 완료 <ul style="list-style-type: none"> . simulation : Q>30 on Si 기판 Q>40 on glass 기판 - 인덕터, Transformer, Balun 연구 <ul style="list-style-type: none"> . 인덕터의 등가 모델에 대한 분석 . 3D EM simulator를 이용한 인덕터 simulation . LC-tank의 Q-factor를 증가시키기 위한 Transformer-based resonator의 분석 . 2.5D EM simulation을 이용한 Transformer와 Balun의 simulation |
| Tx/Rx MMIC... | 100% | <ul style="list-style-type: none"> - Foundry service 활용 제작/특성 평가 - Modeling를 통한 Library 구축(동국대) - CMOS 라이브러리 구축 완성도 <ul style="list-style-type: none"> . 단위 device 설계 및 레이아웃 완료 . 단위 device 측정 및 특성 분석 . N-MOSFET 라이브러리 구축 . Passive device 라이브러리 구축 - MMIC 설계 결과 <ul style="list-style-type: none"> . Up/down converter 설계 . Drive amplifier 설계 . Low Noise amplifier 설계 - 새로운 MMIC 구조연구 <ul style="list-style-type: none"> . 새로운 active inductor 설계 . Active inductor를 이용한 증폭기 설계 . 기존의 passive inductor과 비교 분석 - SiGe BiCMOS 공정의 전력소자 모델 확립 <ul style="list-style-type: none"> . HBT 전력소자의 열효과를 포함하는 매크로 모델과 파라미터 추출방법을 확립 및 검증 . 전력증폭기의 회로구조에 대한 연구 |


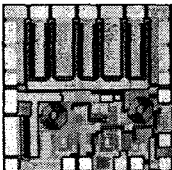
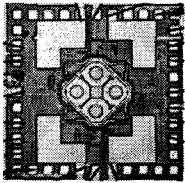
| | | |
|------------|------|---|
| VCO | 100% | <ul style="list-style-type: none"> - VCO 2차 설계 - MEMS Inductor를 이용한 VCO 성능 평가 - MEMS inductor integration above VCO chip - 5.8GHz VCO 주파수 합성기 연구 <ul style="list-style-type: none"> . On-chip 인덕터를 이용한 7.9GHz InGap/GaAs HBT VCO 설계 및 제작 . 인덕터를 집적화 시킬 수 있는 VCO 설계 및 AWSC 공정에 제작의뢰 . 주파수 합성기의 회로 연구 . 15GHz까지 동작하는 1/8 InGap/GaAs HBT divider 제작 및 측정 |
| Filter | 95% | <ul style="list-style-type: none"> - MMIC compatible ISM Band BPF의 설계 및 제작 <ul style="list-style-type: none"> . 형태의 독창성: 두개의 공진기를 이용한 초소형 Compline형태의 필터 . 구조적 변화에 따른 성능의 변화 파악 . MEMS 공정을 이용해 필터를 제작 |
| Antenna | 95% | <ul style="list-style-type: none"> - Dual frequency/ Dual polarization antenna <ul style="list-style-type: none"> . 이중 대역 소형 평면 안테나 대역폭 확장 . 이중 대역 소형 평면 안테나 이득 증대 - 5.8 GHz 대역 무선랜용 소형 칩 안테나 개발 <ul style="list-style-type: none"> . 대역폭: 5.725~5.875 GHz (150 MHz) . 이득: 0 dBi 이상 . 크기: 안테나 (6mm×4 mm×1mm) . 형태의 독창성: 루프안테나를 이용한 미앤더 안테나 . 제작방법 간소화: 단락핀과 다층기판기술 . MMIC에 적합한 구조로 설계 |
| Test Board | 초과달성 | <ul style="list-style-type: none"> - MEMS 소자 평가를 위한 CDMA/ W-CDMA 테스트보드 설계 - 부품확보 완료 |
| 신뢰성 측정 | 초과달성 | <ul style="list-style-type: none"> - RF power 신뢰성 평가 시스템 구축 완료 (7W @ 1.9GHz) - 온도에 따른 RF 신뢰성 평가 시스템 구축 완료 (thermal chuck of ambient to 400C) |

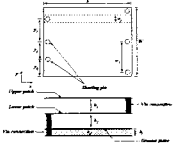
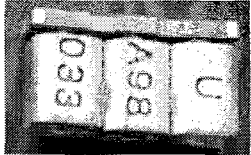
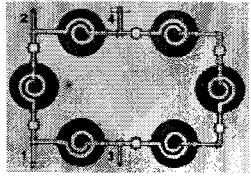
제 5 장. 연구개발결과의 활용계획

본 과제를 통해 RF MEMS 개별소자의 설계, 제작방법, 공정기술등 다양한 연구결과 및 Knowhow가 얻어 졌다. 향후 개발된 요소기술인 RF MEMS switch, RF inductor, VCO, Tx/Rx MMIC, RF Filter, Antenna를 바탕으로 직접화 가능성을 검토하고 우선적으로 가능한 수동집적모듈과 능동집적모듈을 설계, 제작, 시험한다. 이러한 모듈이 IMT-2000 및 무선 LAN, PDA 에 적용될 수 있도록 단말기 제조업체와 협의하여 모듈규격을 설정하며 시제품을 제공하여 장착시험을 통해 부품의 성능을 검증 받도록 한다. 최종적으로 개발된 모듈을 기반으로 TOC(Transceiver On Chip)과 같은 고집적 Front-end Module 개발에 적극 활용할 계획이다. 그리고 정보의 공유를 위하여 국내대학/연구원/기술자에게 축적된 Knowhow를 전파해 활용할 수 있도록 한다.

제 6 장. 연구개발과정에서 수집한 해외과학기술정보

| • Name • Manufacturer • Year of Issue | Product/Technology Picture | Main Technical Specifications | Comparison with IMP Target Specifications |
|--|--|--|---|
| <ul style="list-style-type: none"> • RF MEMS switch • Dow-key Microwave • 2001 |  | <ul style="list-style-type: none"> - Insertion loss: 0.3dB max - Isolation: 40dB - Operating voltage: 8V - Power handling: 2W max - Life cycles: 10,000,000 min | <ul style="list-style-type: none"> - Insertion loss: 0.2dB max - Isolation: 40dB - Operating voltage: 3V - Power handling: 2W max - Life cycles: 100,000 min |
| <ul style="list-style-type: none"> • CSP (Chip Scale Package) • Amkor Technology • 2000 |  | <ul style="list-style-type: none"> - BGA & Flip Chip - Chip Size - Fine pitch - High density - Short electric path - Medium cost | <ul style="list-style-type: none"> - WL-CSP - High performance - Small volume - High density - Simple assembly - Low cost |
| <ul style="list-style-type: none"> • High-Q inductor • MEMSCAP • 2001 |  | <ul style="list-style-type: none"> - Q > 40 @ 2 GHz above IC - Integration with RF IC | <ul style="list-style-type: none"> - Q > 30 @ 2~5 GHz - Integration with RF IC (CMOS, Bi-CMOS) |

| • Name • Manufacturer • Year of Issue | Product/Technology Picture | Main Technical Specifications | Comparison with IMP Target Specifications |
|--|---|--|--|
| <ul style="list-style-type: none"> • MMIC • Atheros comm. • 2002 |  | <ul style="list-style-type: none"> - Support for IEEE 802.11a, 802.11b - 5 GHz Radio-on-a-Chip - 2.4 GHz Radio-on-a Chip - CMOS technology - base - Low power consumption - High reliability | <ul style="list-style-type: none"> - 0.1 um Technology - 3 um x 3 um - System On Chip (SOC) - One chip solution Baseband chip and RF chip for PDAs |
| <ul style="list-style-type: none"> • Power Amplifier • IBM • 2001 |  | <ul style="list-style-type: none"> - SiGe HBT - 3.3V operation - 1800MHz - Output power: 32dBm - Efficiency: 45% - GSM/PCS/WCDMA | <ul style="list-style-type: none"> - SiGe HBT - 3.3V operation - 5150~5850 MHz - Output power: 23dBm - Efficiency: 40% |
| <ul style="list-style-type: none"> • Q-VCO • Peter • 2002 |  | <ul style="list-style-type: none"> - 0.25um CMOS process - $f_0=1.57\text{GHZ}$ - Phase noise : - -133.5dBc/Hz at 600kHz offset | <ul style="list-style-type: none"> - 0.18um CMOS process - $f_0=2\text{GHZ}$ - -110dBc/Hz at 100kHz offset |

| <ul style="list-style-type: none"> Name Manufacturer Year of Issue | Product/Technology Picture | Main Technical Specifications | Comparison with IMP Target Specifications |
|---|---|---|--|
| <ul style="list-style-type: none"> Antenna SAIT/Aju Univ. 2001 |  | <ul style="list-style-type: none"> - Frequency: 5.8GHz - Bandwidth: 13.6% - Size: 5.5 × 4 × 5.6mm | <ul style="list-style-type: none"> - Dual-band chip antenna - Broadband Antenna - High gain |
| <ul style="list-style-type: none"> Filter UBE electronics 2002 |  | <ul style="list-style-type: none"> - Frequency: 5775MHz - Bandwidth: 100MHz - Size: 4.23 × 2.82 × 1.92mm | <ul style="list-style-type: none"> - Tunable filter - Filter bank - MMIC compatible |
| <ul style="list-style-type: none"> IPM (Integrated Passive Module) IMEC 2001 |  | <ul style="list-style-type: none"> - MCM-D for integration of passive devices - Flip chip bonding above IC | <ul style="list-style-type: none"> - Direct Integration of passive devices above RF ICs - Development of high performance diplexers, LFPs, power dividers, LC Tanks etc. |

제 7 장. 참고문헌

- [1] C. L. Goldsmith, Z. Yao, S. Eshelman, and D. Denniston, "Performance of low-loss RF MEMS capacitive switches," *IEEE Microwave Guided Wave Lett.*, vol. 8, pp.269-271, Aug. 1998.
- [2] S. P. Pacheco, P. B. Katehi, and C. -T. Nguyen, "Design of Low Actuation Voltage RF MEMS Switch," 2000 *IEEE MTT-S Digest*, pp.165-168.
- [3] J. B. Muldavin and G. M. Rebeiz, "High isolation MEMS shunt switches; part 1: Modeling," *IEEE Trans. Microwave Theory Tech.*, vol.48, pp.1045-1052, Jun. 2000.
- [4] J. B. Muldavin, and G. M. Rebeiz, "All-Metal High-Isolation Series and Series/Shunt MEMS Switches," *IEEE Microwave and Wireless Components Lett.*, vol. 11, pp.373-375, Sep. 2001.
- [5] R. E. Mihailovich, M. Kim, J. B. Hacker, E. A. Sovero, J. Studer, J. A. Higgins, and J. F. DeNatale, "MEM relay for reconfigurable RF circuits," *IEEE Microwave Wireless Compon. Lett.*, vol. 11, pp.53-55, Feb. 2001.
- [6] J.-H. Park, K. T. Kang, N. W. Kang, C. W. Kim, C. M. Song, C.-Y. Cheon, Y. Kwon, and Y.-K. Kim, "A 3-voltage actuated micromachined RF switch for telecommunications applications", *The 11th International Conference on Solid-State Sensors and Actuators Transducers'01*, pp.1540-1543, 2001.
- [7] Linus Maurer, "3GPP system Specifications," *International Microwave Symposium Workshop*, May 2001.
- [8] M. Park, S. Lee, H. K. Yu, J. G. Koo and K. S. Nam, "High Q CMOS-Compatible Microwave Inductors Using Double-Metal Interconnection Silicon Technology," *IEEE Microwave and Guided Wave Letters*, vol. 7, no. 2, pp. 45-47, Feb. 1977
- [9] A Thanachayanont and A. Payne, "VHF CMOS integrated active inductor," *Electronics Letters* 23rd May 1996 Vol.32 N0. 11
- [10] S. Hara, T. Tokumitsu, T. Tanaka, and M. Aikawa, "Broad band monolithic microwave active inductor and its application to miniaturise wide band amplifiers," *IEEE Trans. Microwave Theory Tech*, vol. 36, pp. 1920-1924, Dec. 1988.

특정연구개발사업 연구결과 활용계획서

| | | | | |
|--------------------|-------|--|-------------------|------------------------|
| 사업명 | 중사업명 | - | | |
| | 세부사업명 | 지능형 마이크로시스템 개발사업 | | |
| 과제명 | | 마이크로 PDA용 무선송수신 Front-end 모듈 및 집적화 요소기술 개발 | | |
| 연구기관 | | 삼성전자(주) 종합기술원 | 연구책임자 | 송인상 |
| 총연구기간 | | 2000년 5월 1일 ~ 2002년 6월 31일 (25개월) | | |
| 총 연구비 (단위 : 천원) | | 정부출연금 | 민간부담금 | 합계 |
| | | 1,450,000 | 2,425,000 | 3,875,000 |
| 기술분야 | | 정보산업 (통신기술) | | |
| 참여기업 | | 삼성전자(주) | | |
| 공동연구기관 | | - | | |
| 위탁연구기관 | | KIST, KAIST, 동국대, 아주대, 연세대 | | |
| 연구결과활용 | | 1.기업화 () | 2.기술이전() | 3.후속연구추진(V) |
| | | 4.기타사업 에 활용() | 5.선행 및 기초연구() | 6.기타목적 활용(교육,연구)() |
| | | 7.활용중단(미활용)() | 8. 기타() | |

특정연구개발사업 처리규정 제 31조(연구개발결과의 보고) 제 2항에 의거
연구결과 활용계획서를 제출합니다.

첨부 : 1. 연구결과 활용계획서 1부.
2. 기술요약서 1부

2002년 8월 31일

연구책임자 : 송인상 (인)

연구기관장 : 윤종용 (직인)

과학기술부장관 귀하

[첨부1]

연구결과 활용계획서

1. 연구목표 및 내용

반도체 일괄 공정인 MEMS 기술을 이용한 마이크로 PDA용 2/5GHz 대역의 초소형 RF MEMS 부품(Switch, IF, RF Filter, Duplexer, VCO, Antenna등) 및 WLHP (Wafer Level Hermetic Packaging), BGA Interconnection, MCM-D기술을 이용한 Front-end module 관련 요소기술 개발.

2. 연구수행결과 현황

가. 특허(실용신안) 등 자료목록

| 발명명칭 | 출원번호 | 출원일자 | 출원인 | 출원국 |
|--------------------------------------|---------------|------------|---------|----------------------|
| 유전자(강유전체, 강자성체)로 채워진 Cavity를 이용한 공진기 | P2000-0046345 | 2000.08.10 | 삼성전자(주) | 미국 일본 중국 유럽 |
| 주파수 트리밍 코일을 갖는 벌크 음파 공진기 및 필터 | P2000-026472 | 2000.05.17 | 삼성전자(주) | 한국 |
| 전자 및 MEMS 소자의 표면실장형 칩 규모 패키징방법 | P2000-034506 | 2000.06.22 | 삼성전자(주) | 한국 |
| 마이크로 스위칭 소자 | P2000-079182 | 2000.12.20 | 삼성전자(주) | 한국 |
| 마이크로 스위칭 소자 | P2000-079183 | 2000.12.20 | 삼성전자(주) | 한국 |
| 웨이퍼 레벨 패키징이 가능한 MEMS 소자 및 그 제작방법 | P2000-086261 | 2000.12.29 | 삼성전자(주) | 한국 |
| 마이크로 스위칭 소자 및 그 제조방법 | P2001-011734 | 2001.03.07 | 삼성전자(주) | 한국 |
| 자동 정렬 진동판의 제조방법 | P2001-011735 | 2001.03.07 | 삼성전자(주) | 한국 |
| 이종의 희생막 형성방법 | P2001-11984 | 2001.03.08 | 삼성전자(주) | 한국 |
| RF 차단 레지스터를 이용한 MEMS 스위치 | P2001-014303 | 2001.03.20 | 삼성전자(주) | 한국 |
| RF 차단 레지스터를 이용한 MEMS 스위치 | P2001-018640 | 2001.04.09 | 삼성전자(주) | 한국 |
| 수평동작형 MEMS 스위치 | P200-1018959 | 2001.04.10 | 삼성전자(주) | 한국 |

| | | | | |
|--|---------------|------------|---------|----------------------|
| MEMS 릴레이 및 그 제조방법 | P2001-022676 | 2001.04.26 | 삼성전자(주) | 한국 |
| 비선형 MEMS 스프링을 이용한 튜너블 커패시터 | P2001-0025570 | 2001.05.10 | 삼성전자(주) | 한국 |
| 저온소결세라믹으로 실링된 칩스케일 패키지 구조체 및 그제조방법 | P2001-025571 | 2001.05.10 | 삼성전자(주) | 한국 |
| RF MEMS Power Sensor | P2002-0020554 | 2002.04.16 | 삼성전자(주) | 한국 |
| Multi-standard RF Module using RF MEMS | P2001-0044203 | 2001.07.23 | 삼성전자(주) | 한국 |
| 비선형 MEMS 스프링을 이용한 Tunable Capacitors | P2001-0025570 | 2001.05.10 | 삼성전자(주) | 한국 |
| RF 차단 레지스터를 이용한 MEMS 스위치 | P2001-0014303 | 2001.03.20 | 삼성전자(주) | 한국 |
| 비선형적 복원력의 스프링을 가지는 MEMS 소자 | P2001-0009955 | 2001.02.27 | 삼성전자(주) | 미국 일본 |
| High power MEMS switch | P2001-0070029 | 2001.11.12 | 삼성전자(주) | 한국 |
| LC Tank를 이용한 RF IC 및 Module | P2001-0071101 | 2001.11.15 | 삼성전자(주) | 미국 일본 유럽 |
| 트랜스포머를 버퍼로 이용한 차동 형태의 LC 공진 전압 제어 발진기 | P2001-0072471 | 2001.11.20 | 삼성전자(주) | 미국 일본 |
| 저 전압 저 전력 열작동 스위치 | P2001-0074818 | 2001.11.29 | 삼성전자(주) | 한국 |
| RF IC 및 RF MEMS소자를 위한 Wafer Level CSP 방법 | P2001-0025571 | 2001.05.10 | 삼성전자(주) | 한국 |
| MEMS 릴레이 및 그 제조방법 | P2001-0022676 | 2001.04.26 | 삼성전자(주) | 미국 일본 |
| 원심력을 이용한 비점착 웨이퍼 건조방법 및 장치 | P2001-0038806 | 2001.06.30 | 삼성전자(주) | 미국 일본 중국 유럽 |
| MEMS 응용에 있어서 후막 재료의 평탄화 패터닝 기법 | P2001-0085107 | 2001.12.26 | 삼성전자(주) | 한국 |
| 막힌 희생층 지지대를 통해 등위 지지대를 갖는 MEMS 구조물 제작 방법 | P2001-0080358 | 2001.12.18 | 삼성전자(주) | 미국 일본 중국 유럽 |
| 임베디드 전극을 갖는 RF MEMS Relay 의 제작방법 | P2002-0012985 | 2002.03.11 | 삼성전자(주) | 한국 |

| | | | | |
|--------------------------------------|---------------|------------|---------|----------------------|
| 정전기력을 이용한 저전압 구동용 비점착 RF MEMS 스위치 구조 | P2001-0073574 | 2001.11.24 | 삼성전자(주) | 미국 일본 중국 유럽 |
| RF MEMS 스위치 구조 | P2001-0025568 | 2001.05.10 | 삼성전자(주) | 한국 |
| 수평동작형 마이크로머시닝 스위치 | P2001-0018959 | 2001.04.10 | 삼성전자(주) | 한국 |
| 마이크로머시닝 기술을 이용한 주파수 선택 스위치 | P2001-0028689 | 2001.05.24 | 삼성전자(주) | 한국 |

나. 프로그램 등록목록

없음.

다. 노하우 내역

없음.

라. 발생품 및 시작품 내역

| 시작품 | 성능 |
|----------------|---|
| RF MEMS Switch | insertion loss: <0.2dB, isolation: >40dB @ 2 GHz, Pull-in voltage: 10~20 V |
| RF Inductor | L=1~10nH, Q=30~40 above Si substrate @ 2 GHz |
| VCO | GaAs HBT, Supply voltage: 3V, Operating freq: 7.9 GHz, Output power: -1.67 dBm, Phase noise: -112 dBm |
| Tx/Rx MMIC | LNA, Mixer, Power Amplifier modeling and library |
| RF Filter | Comblin filter, Center freq: 5.74 GHz, insetion loss: -0.847 dB, Return loss: -24.95 dB, BW: 320 MHz |
| Antenna | 5.8 GHz 무선랜용 유전체 칩 미앤더 안테나, 전면부 이득: 2.2 dB, 후면부 이득: 1.9 dB @ 5.78 GHz |

마. 논문게재 및 발표 실적

○ 논문게재 실적

| 학술지 명칭 | 제목 | 게재일 | 발행기관 | 국명 | SCI게재 |
|--|---|------------|------|----|-------|
| IEEE Microwave and Wireless components letters | 5~6 GHz-Band GaAs MESFET-Based Cross-coupled Differential Oscillator MMICs with Low Phase-Noise Performance | 2000.01.02 | IEEE | 미국 | Y |
| 계: 건수 | 1 | | | | |

○ 학술회의 발표실적

| 학술회의 명칭 | 제목 | 게재일 | 호 | 국명 |
|--|--|---------------|---------------------|-----|
| 한국 MEMS학회 | RF MEMS 스위치의 패키징 | 2001.04.13 | | 한국 |
| 한국 MEMS학회 | B-stage Epoxy를 이용한 MEMS 소자의 웨이퍼 레벨 실장 기술 | 2001.04.13 | | 한국 |
| 대한전자공학회 | 저전력 5.8GHz 무선 PDA용 Rx/Tx MMIC chip set의 설계 | 2001.05.12 | | 한국 |
| 마이크로파 및 전파 학회 | 소형 평면 패치 안테나 | 2001.05. | | |
| Symposium on Design, Test, Integration Packaging of MEMS/MOEMS | Micromachined RF Switches | 2001.04.24 | | 프랑스 |
| Progress in Electromagnetics Symp. | A Compact Foled Patch Antenna for IMT2000 | 2001.05. | | 일본 |
| FMA 18 | Electrical Properties of Mg doped (Ba0.5Sr0.5)TiO3 Thin Films | 2001.05.30 | | 한국 |
| 전자파 기술 | MEMS RF Switch의 연구동향 및 응용 | 2002.04. | 2002.4. vol.13 No.2 | 한국 |
| 제4회 MEMS 학술대회 | MEMS 인덕터를 이용하여 단일칩으로 집적화된 2.6GHz 전압제어 발진기 | 2002.04.12-13 | pp.13-18 | 한국 |
| 제4회 MEMS 학술대회 | A Novel Wafer Level Packaging of the RF-MEMS Devices with Low Loss | 2002.04.12-13 | pp.70-75 | 한국 |
| ISC2001 | Nonlinear Micromachined Flexure for Stiction Reduction | 2001.10.11-12 | pp. 265-266 | 한국 |

| | | | | |
|----------------------------|---|---------------|----------------------------|----|
| IMAPS(패키징 학회)-Korea 2001 | RF-MEMS 소자를 위한 저손실 웨이퍼 레벨 패키징 | 2001.11.19 | pp. 124-128 | 한국 |
| IMAPS(패키징 학회)-Korea 2001 | 비전도성 에폭시를 사용한 RF-MEMS 소자의 웨이퍼 레벨 밀봉 실장 특성 | 2001.11.19 | pp. 129-133 | 한국 |
| 전자파기술지 | 단일칩 집적화를 위한 RF MEMS 수동 소자 | 2002.04.12 | pp.44-52 | 한국 |
| 춘계 마이크로파 및 전파 학술대회 논문집 | 소형 평면 패치 안테나 | 2001.05. | pp.93-96 | 한국 |
| 한국전자파학회 논문집 | 전방향성 복사 패턴을 갖는 소형 평면 패치 안테나 | 2001.12. | Vol.12, No.7, pp.1094-1101 | 한국 |
| 춘계 마이크로파 및 전파학술대회 | 이중 대역 소형 평면 패치 안테나 | 2002.05. | | 한국 |
| 한국전자파학회 | 양방향성 패턴을 갖는 CPW 급전 소형 미엔더 슬롯 라인 안테나 | 2001.09.21 | pp. 259-262 | 한국 |
| 한국전자파학회 | 5.8 GHz 무선랜용 유전체 칩 미엔더 루프 안테나에 관한 연구 | 2002.05.25 | | 한국 |
| 마이크로파 및 패키징학회 | Comblin 구조의 대역통과 필터가 내장된 기능형 PCB | 2001.11.09 | | 한국 |
| 대한전기학회 | 다층 인쇄회로 기판에 집적된 Comblin구조의 2.4GHz 대역통과필터 | 2001.11.03 | | 한국 |
| ISC 2001 | RF MEMS Package with Vertical Via Hole for Low Loss Characteristic | 2001.10.11-12 | pp. 247-248 | 한국 |
| 마이크로전자 및 패키징 학회지 | 비전도성 에폭시를 사용한 RF-MEMS 소자의 웨이퍼 레벨 밀봉 실장 특성 | 2001.03.01 | Vol8, No4 pp11-16 | 한국 |
| M S M 2 0 0 2 Proceedings | Nonlinear Micromachined Flexure for Stiction Reduction | 2002.04.21-25 | pp. 283-286 | 미국 |
| Transducers'01 proceedings | A 3-Voltage Actuated Micromachined RF Switch for Telecommunications Applications | 2001.06.10-14 | | 독일 |
| 2001 AWAD | Development of Si NMOS low-power Tx MMIC chipsets for 5.8 GHz wireless PDA applications | 2001.07.07 | pp. 309-313 | 한국 |

| | | | | |
|---|---|---------------|-------------|----|
| SPIE | Packaging of the RF-MEMS switch | | pp. 234-243 | |
| MTT-S 2002 | A Ku Band InGap/GaAs HBT MMIC VCO with a Balanced and a Differential Topology | 2002.06.02-07 | pp.1-4 | 미국 |
| IEEE International MEMS 2002 Conference | A High-Performance MEMS Transformer for Silicon RF ICs | 2002.01.20-24 | pp. 653-656 | 미국 |
| MTT-S 2002 | A novel extraction method for a fully electro-thermal large-signal model of HBT | 2001.06.02-07 | | 미국 |
| Progress In Electromagnetics Research Symp., Osaka, July 18. 2001 | A Compact Folded Patch Antenna for IMT-2000 | 2001.07.18 | | 한국 |
| IEEE MEMS 2002 | A Novel Low-Loss Wafer-Level Packaging of the RF-MEMS Device | 2002.01.20-24 | pp. 681-684 | 미국 |
| 계: 건수 | 32 | | | |

3. 연구성과

없음.

4. 기술이전 및 연구결과 활용계획

가. 당해연도 활용계획

개발된 단위 요소기술을 바탕으로 집적화요소기술 개발한다.

나. 활용방법

개발된 요소기술인 RF MEMS switch, RF inductor, VCO, Tx/Rx MMIC, RF Filter, Antenna를 바탕으로 직접화 가능성을 검토하고 우선적으로 가능한 수동집적모듈과 능동집적모듈을 설계, 제작, 시험한다. 이러한 모듈이 IMT-2000 및 무선 LAN, PDA에 적용될 수 있도록 단말기 제조업체와 협의하여 모듈규격을 설정하며 시제품을 제공하여 장착시험을 통해 부품의 성능을 검증 받도록 한다.

다. 차년도이후 활용계획

개발된 모듈을 기반으로 TOC(Transceiver On Chip)과 같은 고집적 Front-end Module 개발에 적극 활용할 계획이다. 그리고 정보의 공유를 위하여 국내대학/연구원/기술자에게 축적된 Knowhow를 전파한다.

5. 기대효과

이동통신, 무선인터넷, 무선LAN, 무선 홈네트워크에 공통적으로 사용될 수 있는 핵심 부품인 RF front-end 모듈의 개발은 PDA 와 이동통신 기기의 결합시기를 앞당기고 한국을 보다 빨리 이동컴퓨팅, 이동전자상거래 선진국으로 진입시키는 효과를 가져올 것이다. 또한 마이크로 PDA 뿐만 아니라 이동통신 단말기에 공통적으로 사용되는 RF front-end 모듈을 설계하고 제작하는 기술을 미리 확보함으로써 폭발적으로 증가하는 개인 이동통신 핵심부품 시장을 점유할 수 있다. 따라서 그 동안 거의 수입에 의존해 왔던 핵심부품의 대외 의존도 해소 및 국제 경쟁력을 확보할 수 있다.

6. 문제점 및 건의사항

없음.

[첨부2]

기술 요약서

■ 기술의 명칭

| |
|--------------------------|
| 무선송수신 Front-end 집적화 요소기술 |
|--------------------------|

■ 기술을 도출한 과제현황

| | | | | |
|----------|---|----------------------------------|------------|---------------------------|
| 과제관리번호 | MS-01-231-01 | | | |
| 과제명 | 마이크로 PDA용 무선송수신 Front-end 모듈 및 집적화 요소기술 개발 | | | |
| 사업명 | 21세기 프론티어사업 | | | |
| 세부사업명 | 지능형 마이크로시스템 개발사업 | | | |
| 연구기관 | 삼성전자(주) 종합기술원 | 기관유형 | 대기업 부설 연구소 | |
| 참여기관(기업) | 삼성전자(주) | | | |
| 총연구기간 | 2000년 5월 1일 ~ 2002년 6월 31일 | | | |
| 총연구비 | 정부: 1,450,000천원 민간: 2,425,000천원 합계: 3,875,000천원 | | | |
| 연구책임자 1 | 성명 | 송인상 | 주민번호 | |
| | 근무기관 부서 | MEMS Lab. | E-mail | supersong @samsung.com |
| | 직위/직급 | 전문연구원 | 전화번호 | 031 280 9472 |
| 연구책임자 2 | 성명 | | 주민번호 | |
| | 근무기관 부서 | | E-mail | |
| | 직위/직급 | | 전화번호 | |
| 실무연락책임자 | 성명 | 심동하 | 소속/부서 | MEMS Lab. |
| | 직위/직급 | 전문연구원 | E-mail | enJoe@hotmail.com |
| | 전화번호 | 031 280 9471 | FAX | 031 280 9473 |
| | 주소 | (440-600) 수원우체국 사서함 111, 삼성종합기술원 | | |

■ 기술의 주요내용

[기술의 개요]

MEMS 기술을 이용하여, 마이크로 PDA용 2/5GHz 대역의 무선송수신 Front-end 모듈 개발에 핵심적인 요소부품을 구현하였다. 개발된 요소부품들은 성능이 우수하고 집적화가 용이하며, 크게 수동소자와 능동소자로 구분된다. 수동소자로는 RF MEMS switch, High-Q inductor, balun, transformer, MEMS filter, 소형 antenna가 설계, 제작, 평가되었고, 특히 개발된 RF switch는 우수한 RF 성능을 나타내 Multi-band/Multi-Standard RF module을 포함한 Reconfigurable RF system의 핵심요소가 될 것으로 예상된다. 또한 High-Q inductor는 RF IC와의 집적이 용이성과 신뢰성을 고려하여 기존의 MEMS inductor와는 달리 실제적으로 양산 가능한 공정의 개발을 통해 구현되었다. 한편 능동소자로 VCO, LNA, Mixer, Power amp.를 개발하고 제작된 Tx/Rx MMIC의 modelling을 바탕으로 Design library 구축하였다. 특히 High-Q MEMS inductor와 집적화된 VCO는 우수한 성능을 보여 주었다. 그 외에 RF MEMS 소자의 package를 위한 필수 요소기술로 Wafer Level Hermetic Package와 LTCC Package 공정을 개발하고 RF MEMS switch의 packaging을 통해 가능성을 검증하였다.

<기술적 특징>

- (1) MEMS 기술을 이용한 High performance/Reconfigurable 수동소자
개발된 RF MEMS 수동소자인 RF MEMS switch, High-Q inductor, Balun, Transformer, MEMS filter, 소형 antenna는 우수한 RF 성능을 나타내며 특히 switch는 향후 reconfigurable RF system의 핵심소자가 될 것이다.
- (2) MEMS 기술 이용한 수동소자의 집적화
개발된 RF MEMS 수동소자는 집적이 용이한 공정으로 개발되어 integrated passive module의 개발이 가능하다.
- (3) MEMS 기술을 이용한 능동/수동 소자의 집적화
개발된 RF MEMS 수동소자는 집적이 용이한 공정으로 개발되어 능동소자와 집적이 용이하다.

[용도 · 이용분야]

- (1) Passive module 개발
개발된 단위 device를 이용하여 Filter, Diplexer, Balun, Coupler, Power combiner등의 Integrated passive device를 구현하고 이를 결합하여 우수한 성능의 passive module을 개발한다.
- (2) Reconfigurable RF circuit 개발
개발된 RF MEMS switch를 이용하여 수요가 급증하고 있는 Multi-band/Multi-Standard RF module을 포함한 Reconfigurable RF system을 개발한다.
- (3) 마이크로 PDA용 무선송수신 Front-end 모듈 기술 개발
개발된 능동/수동 모듈을 기반으로 TOC(Transceiver On Chip)과 같은 고집적 Front-end Module 개발에 적극 활용할 계획이다.

| | | | | | |
|----|--|----------------------|----|------------|---------------|
| 특허 | RF 차단 레지스터를 이용한 MEMS 스위치 | 한국 | 출원 | 2001.03.20 | P2001-014303 |
| 특허 | RF 차단 레지스터를 이용한 MEMS 스위치 | 한국 | 출원 | 2001.04.09 | P2001-018640 |
| 특허 | 수평동작형 MEMS 스위치 | 한국 | 출원 | 2001.04.10 | P200-1018959 |
| 특허 | MEMS 릴레이 및 그 제조방법 | 한국 | 출원 | 2001.04.26 | P2001-022676 |
| 특허 | 비선형 MEMS 스프링을 이용한 튜너블 커패시터 | 한국 | 출원 | 2001.05.10 | P2001-0025570 |
| 특허 | 저온소결세라믹으로 실링된 칩스케일 패키지 구조체 및 그 제조방법 | 한국 | 출원 | 2001.05.10 | P2001-025571 |
| 특허 | RF MEMS Power Sensor | 한국 | 출원 | 2002.04.16 | P2002-0020554 |
| 특허 | Multi-standard RF Module using RF MEMS | 한국 | 출원 | 2001.07.23 | P2001-0044203 |
| 특허 | 비선형 MEMS 스프링을 이용한 Tunable Capacitors | 한국 | 출원 | 2001.05.10 | P2001-0025570 |
| 특허 | RF 차단 레지스터를 이용한 MEMS 스위치 | 한국 | 출원 | 2001.03.20 | P2001-0014303 |
| 특허 | 비선형적 복원력의 스프링을 가지는 MEMS 소자 | 미국 일본 | 출원 | 2001.02.27 | P2001-0009955 |
| 특허 | High power MEMS switch | 한국 | 출원 | 2001.11.12 | P2001-0070029 |
| 특허 | LC Tank를 이용한 RF IC 및 Module | 미국 일본 유럽 | 출원 | 2001.11.15 | P2001-0071101 |
| 특허 | 트랜스포머를 버퍼로 이용한 차동 형태의 LC 공진 전압 제어 발진기 | 미국 일본 | 출원 | 2001.11.20 | P2001-0072471 |
| 특허 | 저 전압 저 전력 열작동 스위치 | 한국 | 출원 | 2001.11.29 | P2001-0074818 |
| 특허 | RF IC 및 RF MEMS소자를 위한 Wafer Level CSP 방법 | 한국 | 출원 | 2001.05.10 | P2001-0025571 |
| 특허 | MEMS 릴레이 및 그 제조방법 | 미국 일본 | 출원 | 2001.04.26 | P2001-0022676 |
| 특허 | 원심력을 이용한 비정착 웨이퍼 건조방법 및 장치 | 미국 일본 중국 유럽 | 출원 | 2001.06.30 | P2001-0038806 |
| 특허 | MEMS 응용에 있어서 후막 재료의 평탄화 패터닝 기법 | 한국 | 출원 | 2001.12.26 | P2001-0085107 |

[기술의 수명주기]

| | |
|---|---|
| | ① 기술개념 정립기 : 기술의 잠재적 가능성만 있는 단계 |
| √ | ② 기술실험기 : 기술개발에 성공했으나 아직 실용성, 경제성 등이 확실치 않은 단계 |
| | ③ 기술적용 시작기: 최초의 기술개발국에서만 활용되고 있는 단계 |
| | ④ 기술적용 성장기: 기술개발국 및 일부 선진국에서 활용되고 있는 단계 |
| | ⑤ 기술적용 성숙기: 선진국사이에서 활발한 기술이전이 일어나며, 기술의 표준화가 되어가는 단계 |
| | ⑥ 기술적용 쇠퇴기: 선진국에서 개도국으로 기술이전이 활발하게 일어나고, 선진국에서는 기술의 가치가 저하되나, 개도국에서는 아직 시장의 가치가 높은 기술 |

[기술발전 과정상의 기술수준]

| | |
|---|---|
| | ① 외국기술의 모방단계 : 이미 외국에서 개발된 기술의 복제, reverse Eng. |
| | ② 외국기술의 소화·흡수단계 : 국내시장구조나 특성에 적합하게 적용시킴 |
| √ | ③ 외국기술의 개선·개량단계 : 성능이나 기능을 개선시킴 |
| | ④ 신기술의 혁신·발명단계 : 국내 최초로 개발 |

[별첨 3]

보고서 배포결과

| | | | |
|--------------|--|-----------------|---------------|
| 중 사 업 명 | 21세기 프론티어사업 | | |
| 세부 사 업 명 | 지능형 마이크로시스템 개발사업 | | |
| 과제명 | 마이크로 PDA용 무선송수신 Front-end 모듈 및 집적화 요소기술 개발 | | |
| 주관기관명 | 삼성전자(주) 종합기술원 | 연구책임자 | 송 인 상 (인) |
| 해당단계 연구기간 | 2000년 5월 1일~ 2002년 6월 30일 | 해당단계 연구비(천원) | 정 부 1,450,000 |
| 단계 구분 | 1단계/1단계 | | 기 업 2,425,000 |
| | | | 계 3,875,000 |
| 배포일시(기간) | 2002년 9월 2일 ~ 2002년 9월 30일 | | |

| 배 포 기 관 | 부 수 | 배 포 기 관 | 부 수 |
|----------------|-----|--------------|-----|
| <필수배포기관> | | <유관기관> | |
| 한국과학기술연구원(도서실) | 1 | 삼성종합기술원(도서실) | 1 |
| 한국과학기술원(도서실) | 1 | 한양대학교(도서관) | 1 |
| 국회도서관 | 2 | 동국대학교(도서관) | 1 |
| 국립중앙도서관 | 2 | 아주대학교(도서관) | 1 |
| 정부기록보존소 | 3 | 서강대학교(도서관) | 1 |
| 한국과학기술정보연구원 | 1 | 광운대학교(도서관) | 1 |
| 광주과학기술원(도서관) | 1 | 성균관대학교(도서관) | 1 |
| 한국산업기술진흥협회 | 2 | 순천향대학교(도서관) | 1 |
| 강원대학교(도서관) | 1 | 국민대학교(도서관) | 1 |
| 충남대학교(도서관) | 1 | 홍익대학교(도서관) | 1 |
| 충북대학교(도서관) | 1 | | |
| 경북대학교(도서관) | 1 | | |
| 경상대학교(도서관) | 1 | | |
| 부산대학교(도서관) | 1 | | |
| 서울대학교(도서관) | 1 | | |
| 전남대학교(도서관) | 1 | | |
| 전북대학교(도서관) | 1 | | |
| 제주대학교(도서관) | 1 | | |
| 포항공과대학교(도서관) | 1 | | |
| 연세대학교(도서관) | 1 | | |
| 고려대학교(도서관) | 1 | | |
| 과학기술부(자료실) | 1 | | |

주 의

1. 이 보고서는 과학기술부에서 시행한 특정연구개발사업의 연구보고서입니다.
2. 이 보고서 내용을 발표할 때에는 반드시 과학기술부에서 시행한 특정연구개발사업의 연구결과임을 밝혀야 합니다.
3. 국가과학기술 기밀유지에 필요한 내용은 대외적으로 발표 또는 공개하여서는 아니됩니다.