

**뇌정보처리 메카니즘에 기반한
인공 시각 시스템 연구**
**Research on artificial vision system based on
brain information processing mechanism**

뇌정보처리 메카니즘에 기반한 시각칩 개발
Research on vision chip based on brain information processing
mechanism

경북대학교

과 학 기 술 부

제 출 문

과학기술부 장관 귀하

본 보고서를 “뇌정보처리 메카니즘에 기반한 인공 시각 시스템 연구”과제 (세부과제 “뇌 정보처리 메카니즘에 기반한 시각칩 개발”) 의 보고서로 제출합니다.

2004. 3 . 26

주관연구기관명 : 경북대학교

주관연구책임자 : 신장규

연 구 원 : 윤의식

” :

” :

협동연구기관명 :

협동연구책임자 :

보고서 초록

| | | | | | |
|--|-----------------|--|-------------------------------------|-------------|---|
| 과제관리번호 | M1-0102-08-0004 | 해당단계 연구기간 | 2001.8.1-2004.5.31 | 단계 구분 | (해당단계) / (총단계) |
| 연구사업명 | 중 사업명 | 국책연구개발사업 | | | |
| | 세부사업명 | 뇌신경정보학 연구사업 | | | |
| 연구과제명 | 중 과제명 | 뇌정보처리 메카니즘에 기반한 인공 시각 시스템 연구 | | | |
| | 세부(단위)과제명 | 뇌정보처리 메카니즘에 기반한 시각칩 개발 | | | |
| 연구책임자 | 신장규 | 해당단계 참여연구원수 | 총 : 13 명 내부 : 명 외부 : 13 명 | 해당단계 연구비 | 정부: 321,300 천원 기업: 천원 계: 321,300 천원 |
| 연구기관명 및 소속부서명 | 경북대학교/전자전기컴퓨터학부 | | 참여기업명 | | |
| 국제공동연구 | 상대국명 : | | 상대국연구기관명 : | | |
| 위탁연구 | 연구기관명 : 한국과학기술원 | | 연구책임자 : 윤의식 | | |
| 요약(연구결과를 중심으로 개조식 500자 이내) | | | | | 보고서 면수 |
| <p>◆ 윤곽선 검출 시각칩</p> <ul style="list-style-type: none"> ○ 윤곽검출에 관여하는 생체 망막의 시세포, 수평세포, 그리고 쌍극세포의 전자회로적 모델링 및 CMOS 공정기술을 이용한 윤곽검출 시각칩의 설계 <ul style="list-style-type: none"> ◇ 시세포: photodiode 및 MOSFET를 조합하여 구성 ◇ 수평세포: MOSFET를 이용한 선형저항 또는 비선형저항 회로망을 이용하여 구현 ◇ 쌍극세포: 차동증폭기나 전류미러 형태를 이용하여 구현 ○ 출력오프셋 제거기능을 갖는 윤곽선 검출 시각칩 설계 및 제조 <ul style="list-style-type: none"> ◇ process variation이나 body effect에 의한 문턱전압(V_{th})의 변동에도 큰 신호의 차 이 없이 윤곽정보를 출력 ○ 칩의 특성 평가 및 움직임 검출 등의 응용시스템과의 연계 가능성 확인 <ul style="list-style-type: none"> ◇ 정지된 입력 영상에 대한 윤곽선 검출 기능 확인 ◇ 움직이는 입력 영상으로부터 윤곽선 및 움직임 정보 획득 가능 <p>◆ 움직임 검출 시각칩</p> <ul style="list-style-type: none"> ○ 효과적인 움직임 검출을 위한 시·공간적 다중해상도 방식의 영상정보 획득방법을 제안하고 이를 구현. <ul style="list-style-type: none"> ◇ 실제 제작된 칩은 최대 512 x 384로 VGA포맷에 근접하는 해상도를 가지도록 설계 ◇ 8-bit영상의 통상적인 약 24 프레임/초 동작시 잡음요소를 절반정도 줄인 결과를 얻 음 ◇ 양자화 잡음의 보상을 통하여 디지털 영역에서 유연하게 영상정보를 계층적으로 사 용할 수 있도록 디지털 영상신호를 제공할 수 있도록 설계 ◇ 300 프레임/초의 동작으로 128 x 96급의 영상을 취득할 수 있도록 하였으며 동시에 중간 해상도의 적절한 포맷을 구성하여 사용할 수 있음 ○ 이를 이용하여 움직임과 관련된 시각 시스템을 구현할 경우 영상특성에 맞는 지역적 해 상도를 결정하여 사용하면 효과적인 구현이 가능하게 됨. | | | | | |
| 색인어 (각 5개 이상) | 한 글 | 망막칩, 윤곽검출 시각칩, CMOS 시각칩, 움직임 검출, 다중 해상도, 저잡음 | | | |
| | 영 어 | retina chip, vision chip for edge detection, CMOS vision chip, motion detection, multi resolution, low noise | | | |

요 약 문

I. 제 목

뇌정보처리 메카니즘에 기반한 시각칩 개발

II. 연구개발의 목적 및 필요성

- 연구개발의 목표:

생체 망막의 윤곽검출 메카니즘을 기반으로한 윤곽선 검출 시각칩 및 움직임 검출 시각칩의 설계

- 연구개발의 필요성:

현재 디지털 이미지 프로세싱 기술은 그 특성상 정밀도가 뛰어나며 기존의 DSP(Digital Signal Processor)등과의 시스템 연계가 비교적 쉽다는 장점을 가지고 있으나, 기존의 시스템에서 영상센서는 광량을 전기신호로 변환하는 역할에 국한되고, 모든 화소가 동일하게 처리됨으로 인해 단순히 영상을 맡는 목적이 아닌 각 화소간의 상관관계가 중요시되는 패턴 인식분야 등에 있어서는 정보량과 처리속도에 의해 제한을 받는다. 결과적으로 최종 시스템은 사람의 시각정보 처리능력에 미치지 못하게 되므로, 인공시각시스템에 적합한 새로운 영상센서로서의 인공 시각칩 개발은 시각 인터페이스를 갖춘 시스템에 있어 필수적인 요소이다. 시각칩이 구현되면 인간을 대신하거나 직접적인 대화가 요구되는 시스템들, 예를 들면 PC등의 새로운 인터페이스나 보안 목적 등으로 응용이 가능하며 나아가서는 인간의 시각인식 과정의 이해에 바탕을 둔 정보처리 기술로서 인공 신경회로망 기술과 상호 유기적으로 결합하여 지능형 로봇의 인공눈을 비

못한 기계시각 분야에 유용하게 응용될 수 있다.

현재의 시각 시스템은 주로 CCD소자를 이용한 카메라나 포토다이오드 혹은 포토트랜지스터와 같은 이미지 센서를 이용하여 왔다. 그러나, 기존의 이미지 센서를 이용한 시각 센서 시스템은 인간 안구의 구조나 정보 처리 메커니즘과는 전혀 다르며, 따라서 이를 이용한 응용 시스템들은 획득한 이미지 정보로부터 대상물체의 윤곽 정보를 얻기 위해서, 혹은 잡음처리를 위해 상당히 복잡한 알고리즘이나 값비싼 주변회로들을 필요로 한다. 인간의 안구 구조에 대한 이해를 바탕으로 한 인공 시각칩은 물체의 윤곽 정보를 칩에서 처리하여 실시간으로 전송할 수 있으며, 병렬 처리를 가능하게 함으로써 기존의 카메라와 디지털 프로세서를 이용한 시각 시스템이 가지는 처리속도, 크기 시스템 통합 등의 어려움으로 인한 응용상의 제약을 해결할 수 있다. 또한, 인공 시각칩 기술은 기존에 영상소자와 신호처리부가 분리된 시스템을 CMOS 공정상에 하나의 칩으로 구현함으로써 현재의 기술에서 분리된 각 부분으로의 신호전달에 기인한 속도의 제한, 전력소모를 획기적으로 개선할 것으로 기대된다. 예를 들면 시각 정보 처리를 위한 소프트웨어적인 알고리즘 등에서는 특성상 병렬처리 등의 방법으로서 이 속도 향상을 가져올 수 있다. 이를 효율적으로 구현할 수 있는 하드웨어의 고안은 인공시각기술의 성능향상에 큰 기여를 할 수 있게 된다.

경제, 산업적인 측면을 고려할 때, 인공 시각칩의 개발은 실세계에 응용이 가능한 인공시각 시스템 구현에 대한 기반을 마련해준다. 현재 장난감등의 시장에서 인공시각의 대중적 사용이 초보적으로 나타나고 있으나 장차 시각정보가 이용되는 인간 친화적 기기(자동주행 시스템, 휴먼 로봇, 시각 인터페이스 시스템 등)의 개발에 직접적으로 응용되어 앞으로 급성장이 예상되는 인공시각을 응용한 제품 시장에서 핵심부품으로서 자리를 차지하게 될 것이다. 본 연구의 수행에 의해 개발될 인공 시각칩은 기존 CCD 형태의 카메라를 대신하는 새로운 시각센서소자로 사용될 수 있으며, 개발될 소자의 소형화 및 병렬처리 기능 등의 장점들에 의해 도난 방지 시스템이나 군수용 시스템 등과 같은 CCD 형태의 카메라를 이용한 다양한 응용 시스템들에 새로운 패러다임을 제공할 수 있을 것이다.

사회, 문화적인 측면을 고려할 때, 인공 시각 칩의 개발은 현재 기술수준에서 복잡하고 많은 부품이 요구되는 시각 시스템을 저가의 간단한 시스템으로 가능하도록 하여 시각정보를 통한 인간과 기계의 대화를 가능하게 하는 시스템을

통해 얻어지는 편리함을 보다 많은 사람이 누릴 수 있도록 한다.

III. 연구개발의 내용 및 범위

윤곽 검출 시각칩 부분에서는, 첫째, 망막내의 세포들의 기능을 이해하고 이를 바탕으로 물체의 윤곽검출을 위한 전자회로를 설계 및 제안한다. 둘째, 입력 광강도의 dynamic range를 확장하기 위한 연구를 행하고, 시각칩의 출력 및 신호처리를 위한 주변회로를 설계한다. 복잡한 실영상으로부터 윤곽정보의 검출을 원활하게 수행할 수 있도록 국소 광적응 개념을 도입, 이를 이해하고 적용한다. 셋째, CMOS 공정상 발생될 수 있는 출력 오프셋 변화를 제거할 수 있는 윤곽검출 시각칩을 설계 및 제작한다. 넷째, 시각칩의 해상도가 증가함에 따라 발생하는 전력소비문제를 해결하기 위한 저전력 윤곽검출 시각칩을 설계한다.

움직임 검출 시각칩 부분에서는, 첫째, 인공시각칩 구현을 위한 화소배열을 개발한다. 저전압, Deep-submicron CMOS 공정상에 구현 가능한 화소를 개발하고, 실세계 응용에 적합한 wide dynamic range 구현한다. 둘째, 신호처리부 구현이 용이한 on-chip interface를 고안한다. 셋째, 움직임 검출기능 등의 탑재를 위한 집적화된 신호처리부 및 물체추적 알고리즘의 효율적 구현을 위한 하드웨어를 구현한다. 넷째, 개발된 인공 시각칩의 시스템 응용을 위해 물체추적, 인식 등의 시스템에 제작된 시각칩을 탑재하고 그 성능을 평가한다.

IV. 연구개발결과

윤곽선 검출 시각칩 부분에서는, 복잡한 실영상으로부터 원활한 윤곽정보를 얻을 수 있는 국소 광적응 개념을 도입하고 그 특성을 정량적으로 해석하였다. 그리고, 출력 오프셋 제거기능을 갖는 52×52 화소수의 윤곽선 검출 시각칩을 $0.6 \mu\text{m}$ 표준 CMOS 공정을 이용하여 설계 및 제작하였고 칩의 특성을 평가하였다.

노드의 전압변화를 이용하여 윤곽정보를 추출하기 위한 256×256 화소수의 윤곽선 검출 시각칩을 $0.35 \mu\text{m}$ 및 $0.25 \mu\text{m}$ 표준 CMOS 공정을 이용하여 설계하였고, 디지털회로에 비해 소비전력이 상대적으로 큰 아날로그 회로의 문제점을 해결

하기 위해, 40mW이하의 소비전력을 갖는 128×128 화소수의 윤곽선 검출 시각 칩을 0.25 μ m 표준 CMOS 공정을 이용하여 설계하였다. 또한, 수광회로에서 발생되는 노이즈 및 그 출력을 담당하는 회로의 문턱전압의 변화에 기인되는 출력 신호의 변동을 감소시킬 수 있도록 offset-free column readout 회로를 탑재하여 윤곽 신호를 원활하게 검출할 수 있는 새로운 윤곽검출 회로를 제안 및 설계하였다.

움직임 검출 시각칩 부분에서는, 효과적인 움직임 검출을 위한 시공간적 다중해상도 방식의 영상정보 획득방법을 제안하고 512×384급의 센서를 구현하였다. 8-bit영상의 통상적인 약 24 프레임/초 동작시 잡음요소를 절반정도 줄인 결과를 얻었으며 양자화 잡음의 보상을 통하여 디지털 영역에서 유연하게 영상정보를 계층적으로 사용할 수 있고, 디지털 영상신호를 제공할 수 있도록 설계하였다. 움직임 검출을 위해서는 약 300 프레임/초의 동작으로 128 x 96급의 영상을 취득할 수 있도록 하였으며 동시에 중간 해상도의 적절한 포맷을 구성하여 사용할 수 있도록 설계하였다. 이를 이용하여 움직임과 관련된 시각 시스템을 구현할 경우 영상특성에 맞는 지역적 해상도를 결정하여 사용하면 효과적인 구현을 기대할 수 있다.

V. 연구개발결과의 활용계획

윤곽선 검출 기능을 갖는 시각칩은 시각기능의 필요한 단순, 반복 작업 혹은 고난이도 작업을 인간의 시각기능과 대등한 정도로 수행하거나 또는 더 우수한 시각기능을 가지는 로봇 또는 인공대리인이 수행하게 함으로써, 여러 가지 생산시설에 최첨단 자동화를 이룰 수 있을 것이며, 이는 생산비용절감을 통한 생산효율을 극대화하는 역할을 하게 될 것이다. 또한 21세기 인간의 시각기능을 가진 인공 눈의 제작에 필요한 지능형 적응제어 시스템을 개발함으로써, 인간의 시각에 적응적으로 반응하는 여러 가지 가전제품의 개발 또는 시각 보조장치의 개발 및 대체의료 장비산업의 활성화, 로봇 안내건 등의 새로운 산업을 파생시킬 수 있을 것으로 기대된다. 그리고, 보다 저가이며 소형화 된 첨단 방법 및 경비 시스템의 구현에 이용될 수 있고, 나아가 첨단 방위산업 및 군수용품의 개발에도 응용될 수 있을 것으로 기대된다.

한편, 움직임 처리기능 등이 탑재된 영상센서는 일차적으로 인공시청각 시스템 연구에서 시각모듈의 첫 단의 구성요소로서 사용될 것이다. 시각모듈의 연구에서 기존 영상센서를 사용하는 경우 발생하는 속도나 입력 광강도의 dynamic range의 제한문제 등을 해결하여 보다 나은 성능의 시각모듈이 되는 데 기여할 것이다. 개발된 기술은 추후 발전하는 집적회로 제조기술에서도 응용이 가능하도록 하여 영상센서 분야의 향후기술발전 단계에서 선도적 위치에 있도록 하는 기술의 하나가 될 것으로 기대된다.

S U M M A R Y

The human retina performs photo-input sensing, edge extraction and motion detection of image. In the area of real-time image processing, the retina is superior to the digital image processing systems because human retina uses parallel information processing method.

For edge extraction, the functions of photoreceptors, horizontal cells and bipolar cells should be transformed to equivalent electrical circuits. Photoreceptors sense the photo-input and output a voltage corresponding to the photo-input. Horizontal cells spatially smooth the output of photoreceptors. Bipolar cells yield the difference between the output of photoreceptor and horizontal cell.

In this work, we proposed electrical model which imitates the cells concerned with edge detection in the retina. To clearly extract edges from a complex image, we introduced local light adaptation into an edge detection circuit and quantitatively analyzed it. From the analysis, we knew that the diffusion length L becomes to decrease with increasing input light intensity and nearly constant output can be achieved. Several bio-inspired analog CMOS vision chips for edge detection have been proposed. One of them has a resolution of 52×52 pixels and performs both edge and motion detection with a function of output offset cancellation. The characteristics of this chip was were investigated. Both edge detection from an fixed input image and motion detection from an moving image were clearly observed. Another type of chip has characteristics of low power consumption, which is a problem of analog circuit with increasing number of pixels. We have also designed a vision chip which has ability to cancel the offset according to implementation of an offset-free column readout circuit. This chip can reduce noise and voltage fluctuation due to reset pulse and body effect of MOSFET, respectively.

A 512×384 spatial-temporal multi-resolution CMOS image sensor for effective motion detecting function has been proposed. We have implement the sensor in

0.18-um CMOS 1P4M technology with 5.9-um pixel pitch and a dynamic reset current source. It supports to generate digital video outputs that are efficiently merged and processed to form frame data in hierarchical resolution in digital domain. It also compensates for kTC reset noise, image lag and fixed pattern noise. The proposed CMOS image sensor controls the reset voltage using a pixel-level dynamic current source operating in weak inversion and a column-parallel comparator controlling the current source. This dynamic current source allows designing a uniform weak current source array with significant parameter mismatch. FPN from pixels and column-level readout circuits can be reduced since the reset voltage of each pixel is adjusted to the reference voltage imposed by each column comparator which is also used for single-slope analog-to-digital conversion for pixel readout. A total of 390 uV(rms) readout noise, and a factor of two improvement over conventional reset is achieved. The chip operates at 1.8 V and consumes 40 mW excluding I/O and off-chip DAC for a single-slope ADC at 24 frames/s.

C O N T E N T S

Chapter 1. Introduction

Chapter 2. The present state of technical development

Chapter 3. Contents and results of research

3.1 Introduction

3.2 Contents of research

1. Vision chip for edge detection

(1). Introduction

(2). Principles of human eye and edge detection

(3). Analysis of local light adaptation

(4). A CMOS vision chip for edge detection with offset free

(5). A CMOS vision chip for edge detection with low power consumption

(6). A CMOS vision chip for edge detection with offset-free column readout circuit

(7). Conclusion

2. Vision chip for motion detection

(1). Introduction

(2). Principles of Multi-Resolution Readout

(3). Sensor Implementation

(4). Experimental Results

(5). Conclusion

Chapter 4. Degrees of achievement and contribution

Chapter 5. Application of research results

Chapter 6. International science technology information

Chapter 7. References

목 차

제 1 장 연구개발과제의 개요

제 2 장 국내외 기술개발 현황

제 3 장 연구개발수행 내용 및 결과

3.1절 연구배경

3.2절 연구내용

1. 윤곽선 검출 시각칩

가. 연구배경

나. 생체 망막과 윤곽검출 메카니즘의 이론적 배경

다. 국소 광적응 기능의 정량적 해석

라. 출력오프셋 제거기능을 갖는 윤곽선 검출 시각칩

마. 저전력 소비 윤곽선 검출 시각칩

바. offset-free column readout circuit을 탑재한 윤곽선 검출 시각칩

사. 결론

2. 움직임 검출 시각칩

가. 서론

나. 다중 해상도 영상센서의 구현 및 효과

다. 영상센서 구현 및 동작원리

라. 실험결과

마. 결론

제 4 장 목표달성도 및 관련분야에의 기여도

제 5 장 연구개발결과의 활용계획

제 6 장 연구개발과정에서 수집한 해외과학기술정보

제 7 장 참고문헌

여 백

제 1 장 연구개발과제의 개요

1.1절 연구개발의 목적

인간의 망막 내 세포들의 광 신호처리 특성을 모방한 윤탁선 검출 시각칩을 개발하고, 효율적인 움직임 검출 시각칩을 설계한다.

1.2절 연구개발의 필요성

기술적 측면을 고려할 때, 21세기에는 인간의 두뇌 작용들을 모방하는 지능형 기계나 인간 친화적인 로봇의 개발이 기대되며, 지능형 시스템의 개발에는 인간의 눈과 비슷한 기능을 갖는 시각 시스템의 구현은 필연적으로 수행되어야 할 것이다. 인간의 안구 구조의 이해를 바탕으로 한 인공 망막칩은 물체의 윤탁 정보를 칩 내부에서 처리하여 실시간으로 전송할 수 있으며, 병렬처리를 가능하게 하여 기존의 영상처리시스템이 가지는 처리속도, 크기, 시스템 통합 등의 어려움으로 인한 응용상의 제약을 해결할 수 있다. 본 연구에서는 광수용 셀들을 인간의 망막의 구조와 유사한 방사형으로 구성함으로써 보다 더 효율적인 구조의 인공 망막칩을 개발하였다. 본 연구에서는 기존의 CCD 형태의 카메라 대신 인간의 망막 기능을 모방한 인공 망막칩을 시각정보획득의 센서로 사용하고, 획득된 정보에 따른 안구 운동의 발생도 실제 안구 운동 발생과 관련된 인간 뇌 내부의 시각 경로 및 관련 뇌 조직들의 기능을 모방하는 능동 추종 제어 시스템을 구현함으로써, 보다 인간에 가까운 시각 센서 시스템을 구현하였다.

경제, 산업적인 측면을 고려할 때, 인공 망막칩은 기존 CCD카메라 시스템의 단점을 보완하면서 이를 대신하는 새로운 시각센서 소자로 사용될 수 있으며, 소형화(집적화), 병렬처리 등의 장점을 활용하여 다양한 응용 시스템들, 예로 도난 방지 시스템, 군수용 시스템 등을 대체하는 새로운 패러다임을 제공할 수 있다. 또한 인공 안구 운동 제어 시스템은 로봇 등의 인간을 대리하는 시스템에 사용되어 생산 시설의 최첨단 자동화, 생산비용절감, 생산효율 극대화, 지능형

첨단 컴퓨터 개발, 새로운 기능의 가전제품, 시각보조장치의 개발 및 대체 의료 장비 산업의 활성화, 로봇 안내전등에 이용될 수 있고, 나아가 첨단 방위 산업 및 군수 용품의 개발에 사용될 수 있는 요소기술이다. 인공망막을 이용한 능동 시각시스템은 적용될 산업분야에의 응용 등에 의해 21세기의 유력한 경쟁력 있는 고부가가치 산업 등을 파생시킬 수 있을 것으로 생각된다.

사회, 문화적 측면을 고려할 때, 단순하고 반복적인 업무나 사람이 작업을 수행하기 곤란한 환경에서의 일들을 시각 기능을 가진 인공 대리인 또는 전자 비서가 대체함으로써 인간으로 하여금 보다 높은 수준의 문화 생활을 누리게 하고, 이로 인한 인간 정서함양에 이바지하게 될 것이다. 또한, 향후 연구 개발에 의해 사회 복지 차원에서 시각 기능 장애자들에게 시각 기능을 부여할 수 있는 인공 눈의 개발에도 사용될 수 있어 한 차원 높은 선진국형 보건 의료 기술로의 개발 가능성을 갖고 있다.

인공 망막칩 개발 기술은 아직은 기초 연구 수행단계이나 이를 보다 발전시켜 지능형 시스템을 개발함으로써 21세기 뇌 과학과 여기에서 파생된 뇌 관련 산업분야에서 국가적 우위를 점할 수 있을 것으로 전망된다.

1.3절 연구개발의 범위

1. 윤곽선 검출 시각칩

- 가. 생체 망막에서 윤곽검출이 이루어지는 메카니즘과 윤곽검출에 관여하는 세포들의 기능을 이해하고 이를 전자회로적으로 모델링하는 연구
- 나. 윤곽검출 시각칩의 아날로그회로 집적화에 관한 연구
- 다. 화소수의 증가에 따른 소비전력문제의 해결에 관한 연구
- 라. 윤곽선 검출 시각칩의 전기적·광학적 특성에 관한 연구
- 마. 공정변화로 인한 출력오프셋 발생시 이를 제거하기위한 회로적 기술에 관한 연구
- 바. 입력 dynamic range 확장을 위한 연구

2. 움직임 검출 시각칩

- 가. 움직임 검출의 효율성에 관한 연구

나. 화소수 증가를 위한 연구

다. 다중 해상도 개념에 관한 연구

라. 효율적인 영상처리에 관한 연구

마. 각종 열잡음 및 고정 패턴 잡음(Fixed Pattern Noise) 감쇄에 관한 연구

여 백

제 2 장 국내외 기술개발 현황

인간 안구의 윤곽검출 메카니즘을 기초로한 윤곽 검출 시각칩의 개발은 90년대 중반부터 연구가 시작되어 일본등 선진국에서는 초기 단계의 이미지 센서를 위한 시제품 정도가 만들어지고 있다. 각 나라 별로 수행되고 있는 인공 안구 운동 시스템 구현관련 연구는 다음과 같다.

2.1절 국외연구기관

1. 윤곽선 검출 시각칩

일본 오사카 대학의 T. Yagi 교수는 생체 망막의 윤곽 검출 메카니즘에 기반한 시각칩을 개발하고 있으며 2003년 IEEE Transaction on Neural Network에 40×46 해상도를 갖는 윤곽검출 시각칩을 발표하였다. Toyohashi대학의 Yonezu 교수는 인간의 시신경 세포의 신호 전달 동특성을 모방한 MOSFET를 이용한 반도체 인공 망막 칩을 개발하고 있고, 같은 대학의 Shiro Usui교수는 인간 시신경의 신호 전달 메커니즘을 분석한 생체 공학적 접근 방법으로 시신경과 뇌 기능과의 관계 이해를 밝히고자 노력하고 있다. 스페인의 Carpio는 방사형 구조의 망막칩을 1996년에 개발하여 소개하였으나, 이는 단순 이미지 센서로서 물체의 윤곽에 관한 정보를 제공하지는 못한다.

2. 움직임 검출 시각칩

Johns Hopkins Univ.의 Etienne-Cummings 그룹의 경우 움직임 검출 센서 뿐만 아니라 움직임 검출 알고리즘 및 Behaving systems으로의 응용까지 활발한 연구를 수행하고 있다. Stanford Univ.의 Abbas El Gamal그룹에 의해 제안된 Multiple capture에 의한 방법은 넓은 dynamic range의 영상을 제공해 줄 수 있을 뿐 아니라 motion blur에 의한 영상 왜곡을 제거할 수 있기 때문에 고속으로 움직이는 움직임에 대한 검출도 용이하게 이루어 질 수 있는 장점을 가지고 있다. MIT의 Sodini 그룹에서 디지털 영상 처리를 효율적으로 수행할 수 있는 column parallel processor 구조를 제안하였다.

2.2절 국내연구기관

아직은 생체 망막의 윤곽검출 메커니즘을 기초로 한 윤곽검출 시각칩에 대한 연구가 여러 곳에서 활발하게 진행되고 있지는 않은 실정이다. 2001년 경북대학교내의 센서기술연구소를 통해 일본의 Toyohasi 기술과학대학의 Yonezu 교수와 함께 인공 망막칩에 대한 연구를 공동으로 수행하였으며, 16x16 pixel의 인공 망막칩을 국내 처음으로 개발되기도 하였다.

제 3 장 연구개발수행 내용 및 결과

3.1절 연구배경

기술의 발달로 인하여 디지털 컴퓨터의 정보처리 속도도 비약적으로 향상되었다. 디지털 영상처리시스템에서는 입력에서 2차원 이미지센서 어레이(image sensor array)를 통해 광신호(光信號)를 전기적 신호로 변환한 후 양자화 파이프라인 알고리즘 등의 부가적인 프로세서를 거쳐 영상신호를 필요한 출력으로 만들게 된다. 그러나 현재의 디지털 컴퓨터는 직렬정보처리 방식으로 데이터(data)를 처리하기 때문에 방대한 영상정보를 실시간으로 처리하는 것은 매우 어려울 뿐만 아니라 비용도 많이 들게 된다[1~3].

생체의 망막에서의 정보처리는 뇌가 행하는 시각정보처리의 최초 스테이지(stage)이며 비교적 간단한 신경회로망에 의해 윤곽검출이나 움직임검출 등의 영상신호처리가 실시간(real time)으로 행하여진다. 노이만(Neumann)형 컴퓨터의 화상처리와 생체의 망막에서의 시각정보처리의 차이점은 그 알고리즘(algorithm)에 있다. 즉, 컴퓨터는 수광 어레이를 구성하는 각 화소로부터 얻은 정보로 직렬적인 정보처리를 행하는 반면, 생체의 망막에서는 계층구조(階層構造)를 가지는 신경계에 의해 입력으로부터 출력까지 완전한 병렬처리를 행한다. 망막 뿐만 아니라, 생체의 신경회로는 많은 수의 신경세포가 병렬로 동작한다. 컴퓨터의 기본소자인 트랜지스터(transistor)에 비하여 각각의 신경세포의 동작 속도가 저속이기는 하지만 다수의 신경세포가 병렬로 동작하기 때문에 생체에서는 고속의 정보처리가 가능하다. 또 망막에 있어서 수광소자에 해당하는 시세포의 수는 10^{18} 개다. 이에 비해 망막의 출력세포인 신경절세포의 수는 10^6 개 뿐이다. 결국 하나의 신경절세포는 다수의 시세포로부터 정보를 통합하는 것이 된다. 망막은 단순히 광신호를 전기신호로 변환하는 기구가 아니라, 고차정보처리에 필요한 화소를 시공간처리하는 병렬 전처리기(pre-processor)로 생각할 수 있다. 이러한 망막의 우수한 기능을 영상처리에서 이용하기 위해서는 먼저 윤곽검출과 움직임검출의 두 가지 기능이 광 감지시스템에 결합되어야 한다. 이러한 방법 중에 하나가 망막의 기능을 하드웨어 상에 직접적으로 구현하는 것이다.

이렇게 되면 영상처리비용의 감소와 속도의 향상을 가져올 수 있으며 또한 고성능의 실시간 영상처리가 가능하게 될 것이다[4~16].

컴퓨터비전(computer vision) 연구는 근래에 들어 눈부신 발전을 이루고 있다. 이는 관련분야의 기술력의 향상이 가져온 결과이며, 지속적인 영상처리 기법의 개발이 가져온 결과이다. 현재까지 지속적으로 연구 개발이 진행되고 있는 이미지센서의 성능 향상을 위한 연구는 양질의 영상데이터를 획득하는데 상당한 도움을 제공하고 있다. 영상처리 범주에 속하는 모든 분야에서 잡음이나 데이터가 왜곡된 영상을 사용하게 되면 최종 수행결과의 오차를 증가시켜 원하는 목적을 이룰 수 없게 만든다. 이로 인해 양질의 영상데이터를 확보하는 것은 영상처리의 기초적인 작업인 동시에 간과되어서는 필수적인 요소인 것이다. 그래서 지속적인 이미지센서의 성능향상은 고해상도의 영상데이터를 제공해 줌으로써 컴퓨터 비전 및 영상처리 분야의 발전에 밑거름이 되고 있다. 이미지센서의 개발뿐만 아니라 센서의 데이터를 원하는 디지털 신호로 변환하는 영상신호처리 회로의 고급화도 컴퓨터 비전의 발전에 상당한 기여를 하고 있다.

로봇과 같은 자율시스템에서 작업의 신뢰성을 높이기 위해서는 시스템이 처한 주위 상황이나 환경에 대한 정확하고 빠른 이해가 필요하다. 이런 시스템에서의 영상데이터의 질은 일반적인 의미의 그것과는 다르며, 이는 특정한 작업을 수행하기 위한 시스템의 가능성을 의미한다. 지금까지의 많은 연구들에서는 비전시스템에서의 주된 관심을 데이터의 처리에 두었지만, 이는 여러 단계의 추가적인 프로세싱을 필요로 하기 때문에 실시간 처리를 필요로 하는 시스템에서는 비전시스템으로 적용하는데 많은 어려움을 가졌다. 이에 비해 처리해야할 데이터의 양이나 유용한 정보를 얻기 위한 알고리즘의 복잡성을 줄일 수 있는 방법이 연구된다면 실시간 처리 시스템에 적합할 것이다. 본 연구에서는 비전시스템에서의 정보의 양을 줄이기 위한 방법으로, 영상데이터를 얻기 위한 센서 내에서 직접적으로 영상의 변환(transformation)을 만들어내 관심이 있는 부분만을 취하여 유용한 영상정보를 얻을 수 있는 방법을 적용하였다.

3.2절 연구내용

1. 윤곽검출 시각칩

가. 연구배경

(1) 이미지 센서기술에서의 CCD 기술과 CMOS기술

이미지 센서를 설계·제작하는데 있어서 기존의 대부분의 센서들에서는 CCD(charge coupled device) 기술을 사용하였다. 그러나 CMOS 기술을 이용할 경우 데이터의 임의접근(random access), 마이크로프로세서와의 쉬운 인터페이스, 단순한 드라이빙 유닛(driving unit), 상대적으로 쉬운 설계방법, 집적도의 향상 등 여러 가지의 장점을 가질 수 있다. 비록 지금까지는 CMOS 기술을 이용할 경우 CCD 보다 영상데이터의 질(quality)의 저하라는 단점을 가지기는 하지만, 영상데이터의 질의 개념은 영상처리에 대해서는 사람 눈에서의 개념과는 차이가 있다. 영상처리의 관점에서의 영상의 질은 특정한 작업을 수행하기 위한 시스템의 가능성을 말하며, 응용분야에 따라서는 필요한 영상의 질의 정도가 CMOS 기술만으로 충분하게 된다. 따라서 CMOS 기술을 적용하면 여러 가지 장점을 가지면서도 적당한 그리고 충분한 품질의 영상데이터를 얻을 수 있다.

나. 생체 망막과 윤곽검출 메카니즘

(1) 안구의 구조

눈은 인간의 신경계 가운데 가장 고도로 분화된 감각기로서 그 구조는 크게 각막(cornea), 동공(pupil), 수정체(lens), 홍채(iris), 망막(retina), 황반부(macula)로 나눌 수 있고 그 지름은 평균적으로 약 20mm 정도이며 거의 구형의 모양을 하고 있다. 사람 눈의 구조는 그림 1과 같다. 각막은 눈의 가장 바깥쪽에 있는 질기고 투명한 무혈관 조직으로 흔히 검은 동자라고 한다. 각막의 기능은 안구를 보호하는 방어막의 역할과 광선을 굴절시켜 망막으로 도달시키는 역할을 한다. 공막(sclera)은 각막과 연속적으로 연결되어 있고, 안구의 나머지 부분을 둘러싸고 있는 불투명한 조직이다. 맥락막(choroid)은 공막 바로 밑에 위치하고 있으며, 눈에 영양을 공급하는 역할을 하는 혈관망을 포함한다. 맥락막층은 진하게 착색이 되어 있어 외부로부터 눈으로 들어오는 빛의 양을 줄여주는 역할과 안구 내에서의 후방산란을 줄여주는 역할을 한다. 끝부분에서 모양체(ciliary body)와 홍채조리개(iris diaphragm)로 나뉘어 지고, 후자는 수축, 확장을 통해 눈으로 들어오는 빛의 양을 조절한다. 홍채(iris)는 각막과 수정체 사이에 위치

하며 홍채의 색은 색소가 많으면 갈색, 적으면 청색으로 보인다. 홍채의 기능은 빛의 양을 조절하는 조리개 역할을 한다. 홍채의 중심부에는 직경이 약 2mm~8mm의 크기로 변하는 동공(pupil)이 있다. 수정체(lens)는 양면이 볼록한 돋보기 모양의 무색·투명한 구조로서 섬유세포층으로 구성되어 있다.

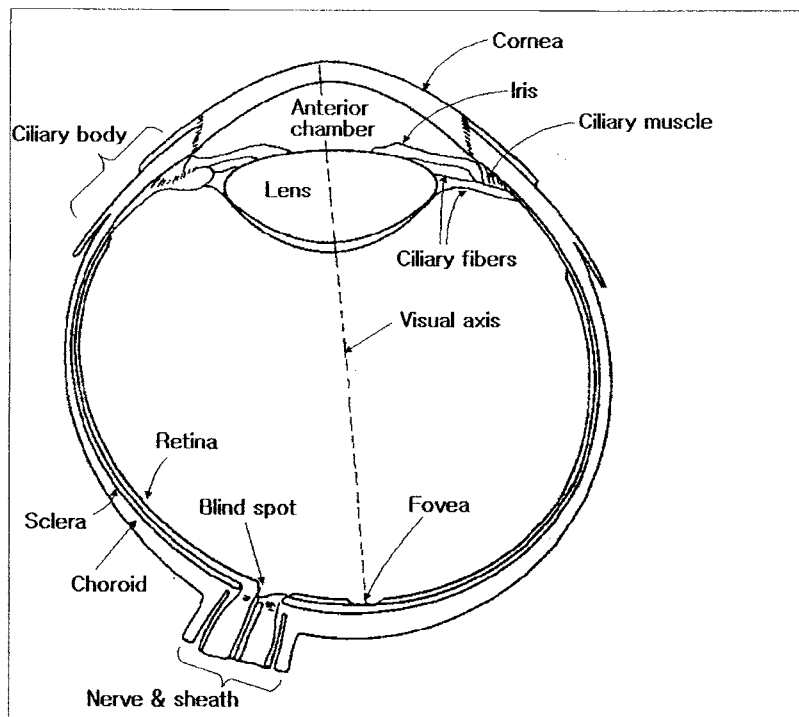
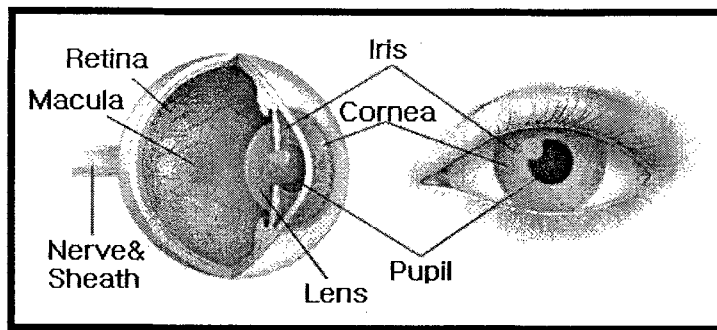


그림 1. 안구의 구조

기능은 각막과 함께 눈의 주된 굴절기관이며, 탄력성이 있어서 가까운 곳을 볼 때는 모양체근의 수축으로 좀더 통통한 모양이 되어 굴절력을 증가시키게 된다. 상대적으로 단파장에서 큰 흡수를 하면서, 가시광선 스펙트럼의 약 8%를 흡수한다. 수정체구조 내에 포함하고 있는 단백질에 의해서 지나칠 경우 눈에 손상을 줄 수 있는 상당량의 자외선과 적외선의 빛도 흡수가 된다. 망막(retina)은

안구 후방의 2/3를 덮고 있는 투명한 신경조직으로 두께는 앞쪽은 0.1mm, 뒤쪽은 0.2mm 정도이다. 망막은 카메라의 필름에 해당하는 부위로 눈으로 들어온 빛이 최종적으로 도달하는 곳이며 망막의 시세포들이 시신경을 통해 뇌로 신호를 보내는 기능을 한다.[13] 망막의 자세한 구조 및 기능은 다음절에서 자세히 설명하기로 한다.

(2) 망막의 구조 및 기능

눈의 궁극적인 목표는 시각세계에 관한 정보를 뇌로 전달해주는 것이다. 이러한 눈은 상식적으로 뇌 바깥쪽에 있는 말초구조물로 생각하는데 실제로 시각 정보처리를 행하는 망막만은 뇌의 일부분이다. 발생학적으로 망막은 뇌의 일부가 발달하는 데 따라 돌출한 부분이며, 이것이 눈을 구성하는 다른 조직과 결합된 것이다. 그래서 망막은 시각정보 처리를 위해 고안된 축소된 말초두뇌라고 생각할 수 있다.[13]

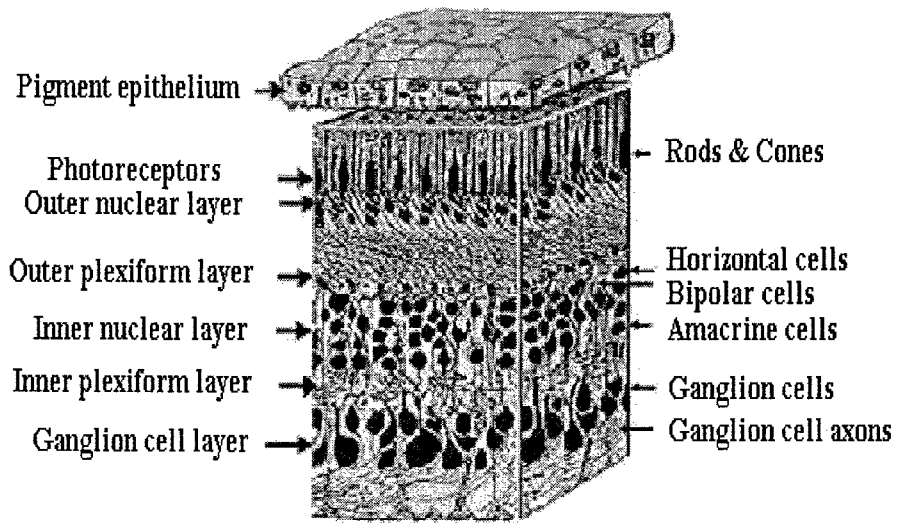
인체의 망막 구조는 그림 2와 같다. 망막은 시세포(photoreceptor), 수평세포(horizontal cell), 쌍극세포(bipolar cell), 아마크린 세포(amacrine cell), 신경절 세포(ganglion cell) 및 망상층간 세포(interplexiform cell)로 구성된 6종류의 세포가 외과립층(outer nuclear layer : ONL), 내과립층(inner nuclear layer : INL) 및 신경절 세포층(ganglion cell layer : GCL)로 구성된 3개의 세포층상에 나뉘어서 존재한다. 그림 2-(b)에서 빛은 아래 방향에서 입사되어 신경절세포와 모든 다른 세포를 통과해서 가장 안쪽에 위치하는 시세포로 전달된다. 여기에서 빛은 전기신호로 교환된다. 변환된 신호는 시세포로부터 쌍극세포에 전달되어 망막의 출력세포인 신경절세포에 전달된다. 이러한 망막내의 신호흐름은 그림 3과 같다. 빛이 들어오면 시세포는 빛을 전기 신호로 변환하여 외망상층에서 수평세포와 쌍극세포와 시냅스 결합을 통해 신호를 전달한다. 내과립층에서 쌍극세포는 시세포와 쌍극세포로부터 전달되는 신호를 받아들여 입력을 처리하여 내망상층에서 신경절세포와 아마크린세포와의 시냅스 결합을 통해 신호를 전달한다. 마지막으로 신경절 세포층에서 신경절세포가 최종출력을 뇌로 전달하게 된다. 이 중에서 물체의 윤곽검출에 관계되는 세포는 시세포, 수평세포 그리고 쌍극세포로 알려져 있다.

(3) 망막 신경세포의 기능

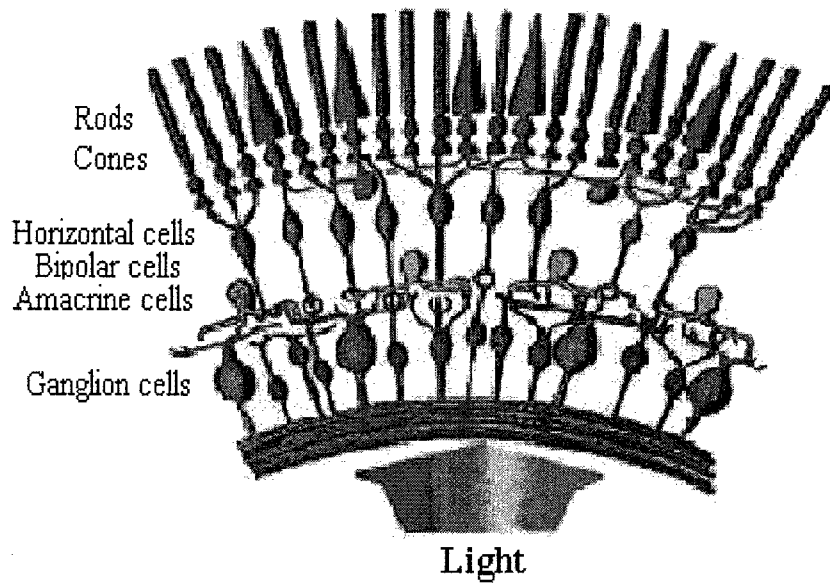
눈이 적절하게 초점이 맞추어져 있다면, 눈 외부에 있는 물체로부터의 빛은 망막에 상이 맺히게 된다.

(가) 시세포(photoreceptor)

망막은 표면에 있는 시세포인 광수용체(light receptors:시세포)에 의해 광신호를 받아들인다. 광수용체는 눈의 빛을 전기신호로 교환하고, 광감도의 대수에 비례한 전압을 출력한다. 광전변환의 효율은 상당히 좋아서 광양자 1개가 흡수되면 10^6 개의 전하가 시세포의 막을 통과하여 이동한다. 광수용체에는 원추세포(cone cell)와 간상세포(rod cell)가 있다. 원추세포는 각 눈에 600~700 만개 정도 분포를 하고 있고, 망막의 중심부분(fovea)에 우선적으로 위치한다. 색에 매우 민감한 반응을 나타내어 색채의 판별이 가능하며 상세한 물체 판별이 가능하다. 간상세포의 수는 훨씬 더 많아서 7천5백만~1억5천만개 정도가 망막의 표면 전체에 걸쳐 분포해 있다. 빛에 매우 민감하여 어두운 곳에서 기능을 발휘하며 물체의 움직임에 민감하다. 이들은 시야(field of view)의 일반적이고 포괄적인 영상을 제공하며 상세한 물체 판별과 색채 판별은 불가능하고 낮은 레벨의 조도(illumination)에서 민감한 반응을 보인다. 이 때문에, 암(暗)시에는 간상세포가 명(明)시엔 원추세포가 주로 동작한다. 원추세포의 대부분은 망막의 중심부에 분포하고 있기 때문에, 중심부에서 가장 높은 공간분해능(시력)을 갖는다. 주변부로 갈수록 원추세포가 줄어들고 간상세포가 증가하면서 시세포수 또한 적어서 공간분해능이 낮다. 안구의 단면에서 중심와(fovea) 에서부터의 각도에 대한 원추세포와 간상세포의 분포를 그림 4에 나타내었다. 광수용체가 없는 부분을 맹점(blind spot)이라 한다. 이 영역을 제외하고는 광수용체의 분포는 중심와에 대하여 방사상으로 대칭이다. 원추세포는 망막의 중앙부분에서 가장 밀도가 높고, 간상세포는 약 20. 까지는 밀도가 증가하다가 망막의 외각으로 갈수록 밀도가 줄어든다[17].



(a)



(b)

그림 2. 망막의 구조

(a) 인간망막의 3차원 블록

(b) 간략화된 망막의 구조

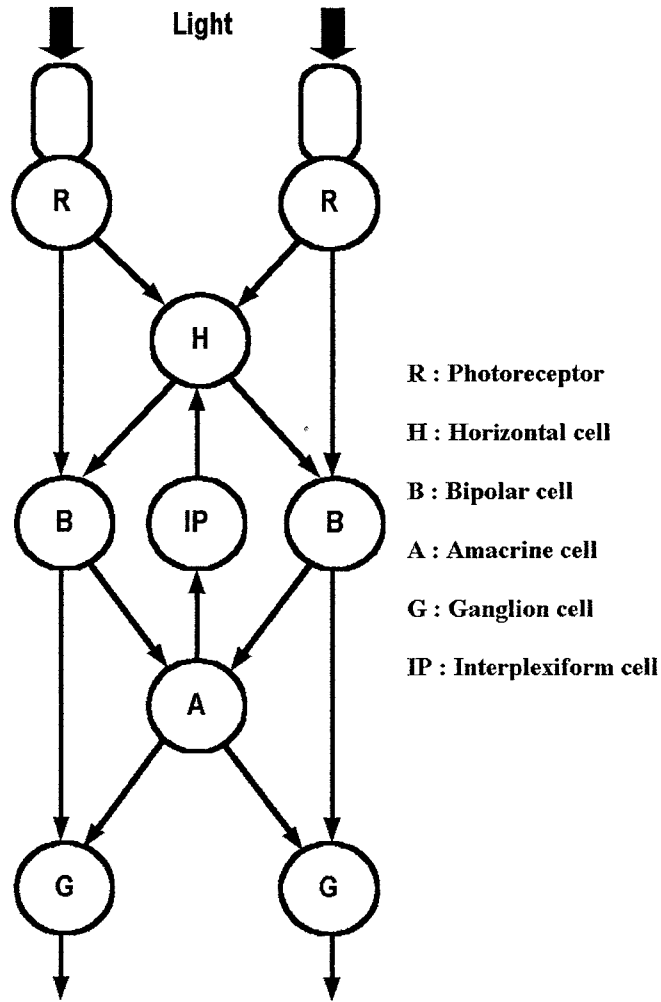


그림 3. 망막내의 신호흐름

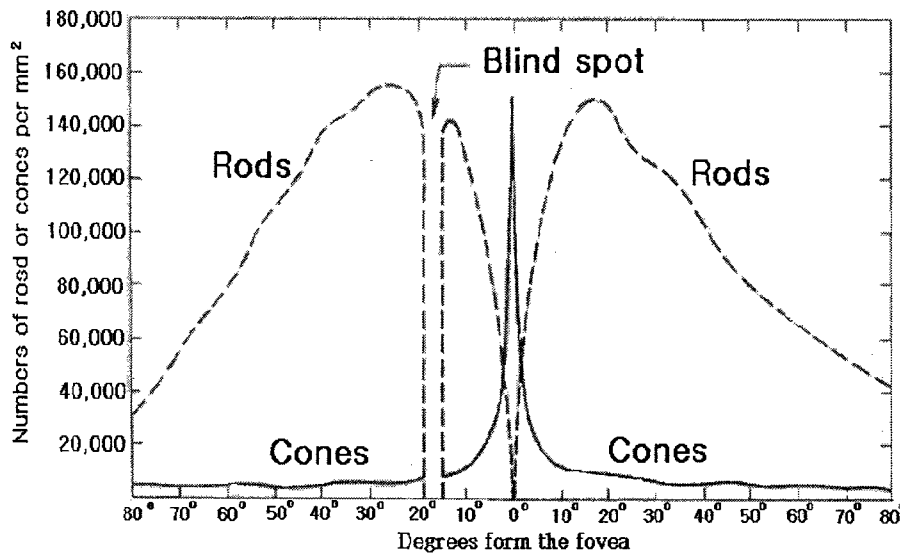


그림 4. 망막 내의 간상세포와 원추세포의 분포

(나) 수평세포(horizontal cell)

다수의 시세포로부터 입력을 받아 시세포의 출력을 공간적, 시간적으로 평활화한다. 한 신경절 세포의 반응률에 영향을 줄 수 있는 망막표면의 영역을 그 세포의 수용야라고 한다. 수상돌기의 크기가 약 $50\mu\text{m}$ 인 것에 비해 수용야는 $500\sim 1000\mu\text{m}$ 로 꽤 넓다. 이것은 수평세포들이 gap junction에 의해 전기적으로 결합해 있기 때문이다. gap junction의 개폐에 의해 수용야의 크기가 변화한다. 이것으로부터 배경광 강도에 맞게 수용야의 크기를 바꾸는 것에 의해 넓은 범위의 광감도에 순응하고 있다고 생각할 수 있다. 또한 시세포로부터 입력을 받을 뿐 아니라 시세포에 신호를 피드백하고 있다.

(다) 쌍극세포(bipolar cell)

시세포와 신경절세포를 연결시켜주는 개재뉴런이다. 쌍극세포는 활동전위를 일으키지 못하고 단지 증감만 하는 전위(graded potential)만을 일으킨다는 점에서 일반 뉴런과 차이점을 가진다. 이러한 쌍극세포는 시세포와 수평세포로부터 입력을 받아 시세포의 출력과 수평세포의 출력의 차를 구하는 것에 의해 중심-주변 길항형 수용야(the center-surround receptive field)를 형성하고 있다. 수용야 중심을 광자극했을 때 탈분극하고 주변부에 빛을 가하면 과분극하는 ON중심형세포와 그역의 응답을 하는 OFF중심형세포의 두 종류가 존재한다. 수상돌기의 넓이와 수용야 중심부의 크기는 거의 같고, 수용야 중심부는 시세포로부터, 주변부는 수평세포로부터 입력을 받고 있다.

(라) 아마크린 세포(amacrine cell)

쌍극세포로부터 입력을 받으며, 횡방향으로 퍼져있다. 광자극에 대하여 지속적으로 응답하는 지속형과 광자극 개시시 및 종료시에만 응답하는 과도응답형이 있다. 과도응답형 아마크린세포는 움직임검출에 관여하고 있다고 보여진다.

(마) 신경절세포(ganglion cell)

망막의 출력세포로서 쌍극세포와 아마크린세포로부터 입력을 받아서 시신경을 통하여 대뇌에 신호를 보낸다. 쌍극세포와 마찬가지로 ON형과 OFF형이 있다. 그리고, 과도 응답형 아마크린세포와 마찬가지로 광자극에 응답하는 ON-OFF형이 있다.

(4) 생체 망막의 윤곽검출의 원리

망막에서는 쌍극세포의 단계에서 윤곽검출이 행해지고 있다. 쌍극세포는 중심-주변 길항형 수용야를 가지고 있어, 그 세포의 출력을 조합하는 것에 의해 윤곽검출이 행해지고 있다고 생각할 수 있다. 쌍극세포의 수용야 중심부는 시세포로부터 주변부는 수평세포로부터 입력을 받고 있다(그림 5). 또 ON중심형 쌍극세포는 시세포로부터 흥분성 입력을, 수평세포로부터 억제성 입력을 받고 있다. 반대로 OFF중심형 쌍극세포는 시세포로부터는 억제성 입력을, 수평세포로부터 흥분성 입력을 받고 있다. 이 결과에 의해 쌍극세포는 시세포와 수평세포의 차를 취해 중심-주변 길항형 수용야를 형성하고 있다(그림 6). 망막에 있어서의 윤곽 검출 기구를 그림 7에 표현하였다.

빛을 받은 시세포는 광감도에 대응하는 전압을 출력한다(그림 7(a)). 수평세포는 시세포의 출력을 공간적으로 평활화한다(그림 7(b)). 쌍극세포는 시세포와 수평세포의 출력의 차를 얻는다(그림 7(c)). 이것에 의해 윤곽 부근에만 큰 출력이 얻어져 윤곽정보만이 검출된다.

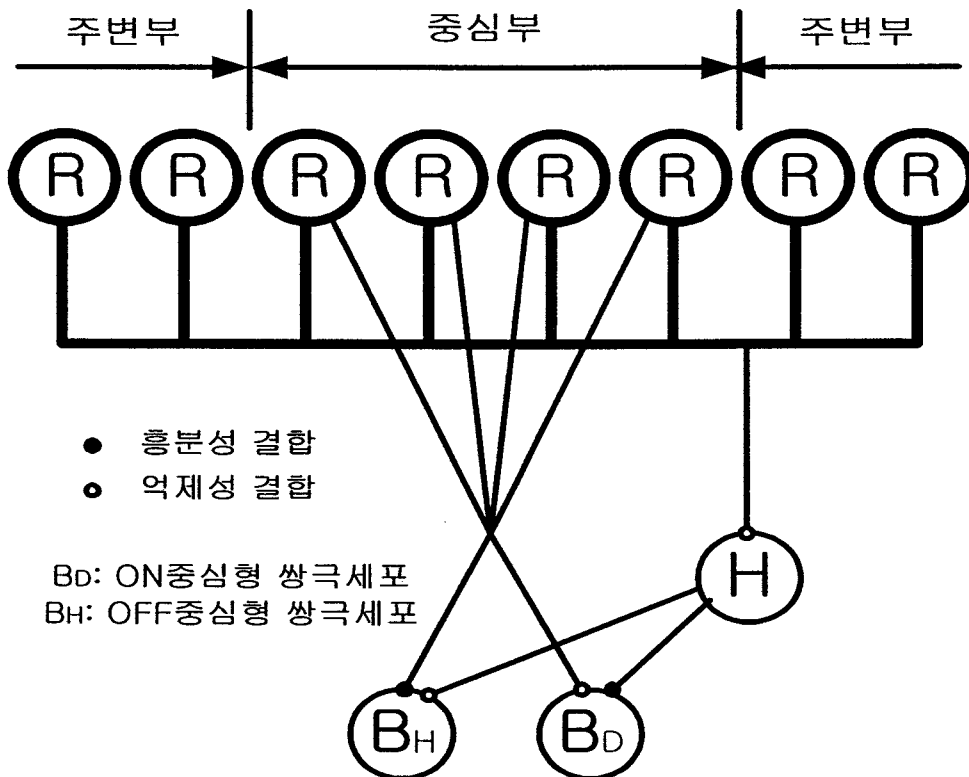
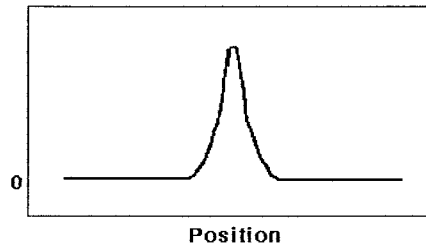


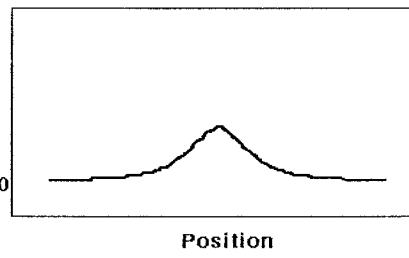
그림 5. 외망상층(OPL)에서의 세포간의 결합

Outputs of Photoreceptors



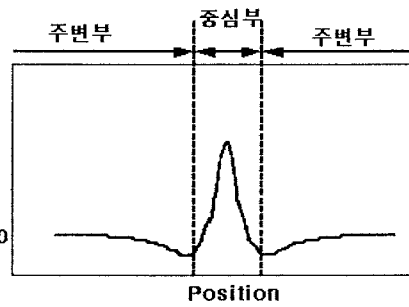
(a) 시세포의 출력

Outputs of Horizontal cells



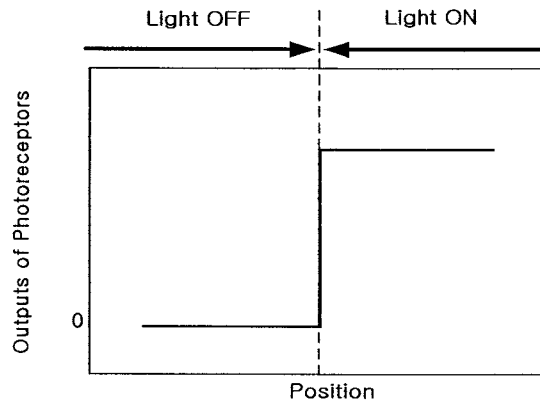
(b) 수평세포의 출력

Outputs of Bipolar cells

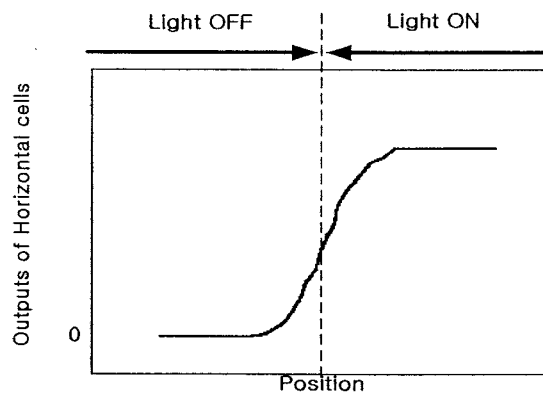


(c) 쌍극세포의 출력

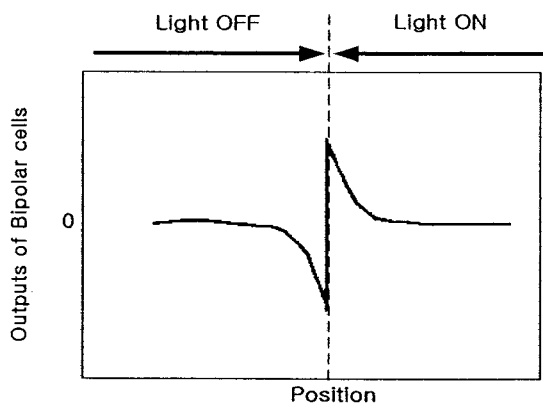
그림 6. ON 중심형 수용야의 형태



(a) 시세포의 출력



(b) 수평세포의 출력



(c) 쌍극세포의 출력

그림 7. 윤곽검출의 기구

다. 국소 광적응 기능의 정량적 해석

CMOS 공정을 이용한 윤곽검출 시각칩 설계시, 넓은 범위의 광강도에 대해서 이미지의 특징검출을 위하여 국소 광적응기능이 필요하다. 국소 광적응이란 망막내 수평억제(lateral inhibition)기능을 행하는 수평세포를 이용하여 입력 광강도에 응답하는 국소적인 수평세포층의 수용야 크기를 변화시켜 동일한 출력레벨을 얻는 것이다. 따라서, 배경광보다 조금 크거나 아주 큰 입력광의 변화가 있을 때 동일한 출력레벨을 얻을 수 있다.

수평세포는 gap junction이라 불리는 고저항 결합에 의해 연결되어 있고 시세포 바로 아래서 전기적으로 연속 저항회로망을 형성한다. 이러한 수평세포의 기능을 C. A. Mead는 저항성 회로망을 이용하여 설명하고, 이를 CMOS 공정으로 제작 용이한 MOSFET로 대체하여 모델링하였다.

(1) 연속 저항성 회로망

수평세포는 입력 신호를 공간적으로 평활화하여 인접한 셀의 신호처리과정에 영향을 미친다. 이런 수평세포의 기능을 C. A. Mead는 저항성 회로망을 제안하여, 회로망상의 임의의 한 노드를 통해 유입되는 전류에 의해 생성되는 전압이 회로망의 다른 부분에 미치는 영향의 정도를 설명하였다[1]. 그림 8은 C. A. Mead가 제안한 저항성 회로망의 개략도이다.

가장 간단한 저항성 회로망은 단위길이당 저항 R 과 단위길이당 컨덕턴스 G 로 표현할 수 있다. 반무한(semi-infinite)의 회로망으로 가정하고, R 과 G 의 고유치는 x 에 대해서는 독립적이라고 가정한다.

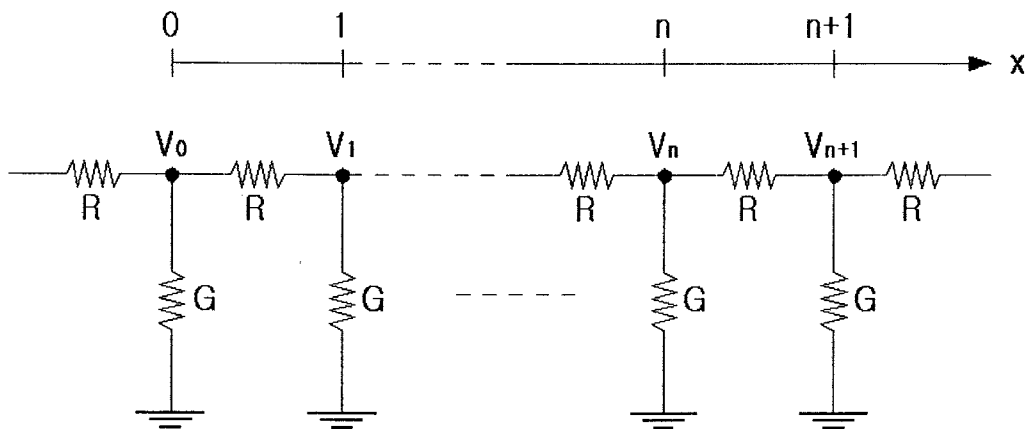


그림 8. C. A. Mead가 제안한 저항성 회로망

전압 V_0 는 $x = 0$ 에서 인가된 전압을 의미한다. 입력전압이 회로망상의 임의의 점 x 에서의 전압 $V(x)$ 에 주는 영향을 점 x 에서의 전압과 저항 R 을 통해 흐르는 전류 $I(x)$ 와 $x+dx$ 점에서의 $I(x+dx)$ 의 관계로 구할 수 있다.

$$V(x) = V(x+dx) + I(x+dx)Rdx \quad (1)$$

$$I(x) = I(x+dx) + V(x)G(x) \quad (2)$$

dx 는 아주 작은 값이므로 전류 I 와 전압 V 는 x 의 선형함수이고, 식 (1)과 식 (2)를 이용하여 전압 V 에 관한 이차미분방정식을 얻어 그 해를 구할 수 있다.

$$V(x) = V_0 e^{-\alpha x} = V_0 e^{-\frac{x}{L}} \quad (3)$$

상수 α 와 L 은 각각 회로망의 공간정수(space constant)와 확산길이(diffusion length)라 하고 다음과 같이 정의한다.

$$\alpha = \frac{1}{L} = \sqrt{RG} \quad (4)$$

이상과 같이 유입된 전류에 의해 생성되는 전압으로부터 멀어질수록 신호의 크기는 점차 감소하고, 그 감소의 정도는 단위길이당의 저항 R 과 컨덕턴스 G 에 의해 결정됨을 알 수 있다. 수평세포가 입력된 신호를 평활화시키고 인접한 셀의 신호처리과정에 영향을 주는 현상을 한 노드의 전압변화가 다른 노드로 지수적으로 감소하며 영향을 주는 저항성 회로망으로 설명 가능하다.

(2) MOSFET 저항성 회로망

C. A. Mead가 제안한 저항성 회로망의 요소인 R 과 G 를 구현하는데 있어 p-MOSFET을 이용하게 되면 면적의 감소와 균일한 R 을 제공받을 수 있다. 따라서, p-MOSFET을 이용한 저항성 회로망의 해석을 위해서 그림 9에 개략도를 나타내었다.

정전류원으로 표시된 것은 시각칩의 단위픽셀회로중 수광소자를 통한 입력 광전류를 표시한 것이고, M_{Pi} 는 바이어스전압 V_{DD} 에 연결된 p-MOSFET, 그리고 M_{P5i} 는 이웃하는 단위픽셀회로와 연결되어 수평억제의 역할을 하는 p-MOSFET이다. 즉, M_{Pi-n} 에서 M_{Pi+n} 는 저항성 회로망의 G 성분에, M_{P5i-n} 에서 M_{P5i+n} 은 R 성분에 해당되며 망막의 수평세포역할을 한다.

모든 전류원, 즉, 입력 광전류의 크기가 모두 균일하게 I_0 라면, 노드 V_{i-n} 에서 V_{i+n} 까지 일정한 전압분포를 가지게 된다. 따라서, R 과 G 는 일정한 값을 갖는

상수이다.

식 (3)으로부터 임의의 노드 전류가 I_0 에서 I 로 변화될 때, 그 노드전압의 회로망을 통한 전달정도를 알 수 있다. 이 때, 회로망의 R 과 G 의 값이 R_0 와 G_0 , 크기가 다른 전류가 유입된 노드의 전압을 V_0 라면, V_0 에 의한 $i+n$ 번째 노드의 전압은 다음과 같이 나타낼 수 있다.

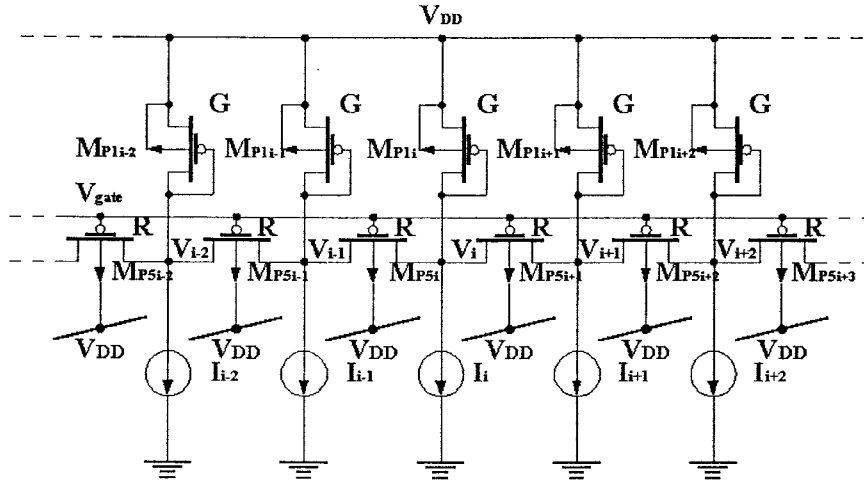


그림 9. p-MOSFET로 구성된 저항성 회로망

$$V(i+n) = V_0 e^{-\alpha(i+n)} = V_0 e^{-\frac{i+n}{L}} \quad (5)$$

여기서, $\alpha = 1/L = \sqrt{R_0 G_0}$ 이다.

수평배열된 p-MOSFET의 gate전압은 V_{gate} 로 고정되고, drain, source의 전압은 입력되는 광전류강도 의해 변화되는 전압에 따라 결정된다. 그 전압변화는 매우 작기에 신호의 분할(segmentation)을 위해서 MOSFET는 subthreshold 영역에서 동작해야한다. 이 때, MOSFET의 R 과 G 의 크기는 subthreshold영역의 전류관계식으로부터 구할 수 있다.

$$I_{SD} = I_0 \exp\left(-\frac{\alpha V_G - V_S}{U_T}\right) \left[1 - \exp\left(-\frac{V_S - V_D}{U_T}\right)\right] \quad (6)$$

여기서, $I_0 = \frac{q\omega}{l} ND$, $U_T = kT/q$, α 는 도핑된 기판에서의 이온화된 도너나 억셉터에 의해 장벽의 에너지를 조절하는 gate 영향력의 감소를 고려한 요소로써 공정변화에 따라 조금씩 달라진다.

동일한 광이 입사되는 부분에서의 R 은 각 p-MOSFET의 drain과 source의 전압차이가 아주 작음으로 인해 subthreshold의 선형영역에서 동작을 하게된다. 즉, $V_{SD} \leq 4U_T$ 인 경우 식 (7)과 같이 나타낼 수 있다.

$$\begin{aligned}
 I_{SD} &= I_0 \exp\left(-\frac{xV_G - V_S}{U_T}\right) \\
 &\quad \left[1 - \exp\left(-\frac{V_S - V_D}{U_T}\right)\right] \\
 &\cong I_0 \exp\left(-\frac{xV_G - V_S}{U_T}\right) \\
 &\quad \left[1 - \left(1 + \left(-\frac{V_S - V_D}{U_T}\right) + \dots\right)\right] \\
 &= I_0 \left(-\frac{V_D - V_S}{U_T}\right) \exp\left(-\frac{xV_G - V_S}{U_T}\right) \quad (7)
 \end{aligned}$$

구하고자하는 R 은 전압변화에 따른 전류변화의 관계식을 이용하여 식 (8)과 같이 나타낼 수 있다.

$$R \equiv \frac{\partial V_{SD}}{\partial I_{SD}} = U_T \left[I_0 \exp\left(-\frac{xV_G - V_S}{U_T}\right) \right]^{-1} \quad (8)$$

식 (8)로부터, R 은 p-MOSFET의 gate와 source간의 전압차이에 의해 그 값이 결정이 됨을 알 수 있다.

다이오드 연결된 M_{P5} 는 항상 포화영역에서 동작을 하게된다. 입사되는 광 강도에 의한 노드전압 V_i 의 함수로서 G 는 표현 가능하다. i 번째 노드의 G_i 에 흐르는 전류를 I_i , 노드전압을 V_i 로 두고, $V_{SD} \geq 4U_T$ 이므로,

$$\begin{aligned}
 I_{SD} &= I_0 \exp\left(-\frac{xV_i}{U_T}\right) \left[1 - \exp\left(-\frac{V_{SD}}{U_T}\right)\right] \\
 &\cong I_0 \exp\left(-\frac{xV_i}{U_T}\right) \equiv I_i \quad (9)
 \end{aligned}$$

$$\begin{aligned}
 G_i &= \frac{\partial I_i}{\partial V_i} = \frac{x}{U_T} I_0 \exp\left(-\frac{xV_i}{U_T}\right) \\
 &= \frac{x}{U_T} I_i \equiv G \quad (10)
 \end{aligned}$$

가 된다. 입력 광 전류를 변화시키면 G 가 변화되고 확산길이 L 이 변하게된다. 식 (8)과 식 (10)으로부터 확산길이 L 은 다음과 같이 구할 수 있다.

$$\begin{aligned}
 L &= \frac{1}{\sqrt{RG}} \\
 &= \left[\sqrt{x \exp\left(\frac{xV_G - xV_i - V_S}{U_T}\right)} \right]^{-1} \quad (11)
 \end{aligned}$$

가 된다. 따라서, C. A. Mead가 제안한 저항성 회로망을 p-MOSFET로 대체하여 등가화할 수 있으며, 임의의 노드에 유입되는 전류의 변화는 p-MOSFET로 구성된 회로망을 통하여 이웃하는 단위픽셀에 영향을 주게 되고, 입력 광전류의 크기에 따라 확산길이 L 이 식 (11)처럼 변화됨을 알 수 있다.

또한, 식 (11)로부터 확산길이 L 은 MOSFET의 gate, source, 그리고 drain단자의 전압에 따라 다르게 된다는 것을 알 수 있다. 이로 인해 국소 광적응 기능이 구현될 수 있다.

(3) 국소 광적응을 위한 확산길이 L

국소 광적응 기능이 구현되기 위해서는 입력 광강도가 큰(작은) 경우 수평세포층의 평활화에 의한 입력전류의 확산을 억제(촉진)하여야 한다. 즉, 입력 광강도가 큰 경우, 확산길이 L 은 짧아져야 하고, 작은 경우는 그 반대이다.

국소 광적응 기능을 확인하기 위해 그림 10과 같이 단위픽셀회로를 구성하고, 입력 광전류의 변화를 100pA에서 100nA까지 로그스케일로 변화시키면서 simulation을 행하였다. 블록 (a)와 (b)로 표시된 것이 그림 9의 p-MOSFET로 구성된 저항성 회로망이다. 광다이오드 이하는 그림 9에서의 정전류원에 해당된다.

제안된 단위픽셀회로는 수백 pA에서 수백 nA까지 윤곽검출이 가능하도록 logarithmic 회로를 채택하여 80dB이상의 dynamic range를 갖도록 하였고, 광전류의 포화가 잘 되지 않도록 하기 위해 광 다이오드를 채택하여 구성하였다.

(4) simulation

단위픽셀회로 32개를 1차원 배열하였고, 배경 광전류를 10 pA로 가정하였다. 입력 광강도분포형태는 광의 분산에 의해 주변에 위치한 단위픽셀까지도 입력 광의 영향이 존재하리라 가정하여, $\sigma = 1.5$ 인 가우시안분포형태를 띠게 하였다. 그림 11은 정규화된 가우시안분포형태의 입력을 나타낸 것이다.

그림 12는 입력 광강도 변화에 따른 국소 광적응된 윤곽검출의 simulation 결과를 나타낸 것이다. 광강도가 증가함에 따라 윤곽의 위치가 달라지는 것은 가우시안 분포를 띠는 입력형태가 광강도의 증가와 더불어 광의 분산으로 인해 인접한 단위픽셀에 주는 영향이 더욱더 넓어지기 때문이다.

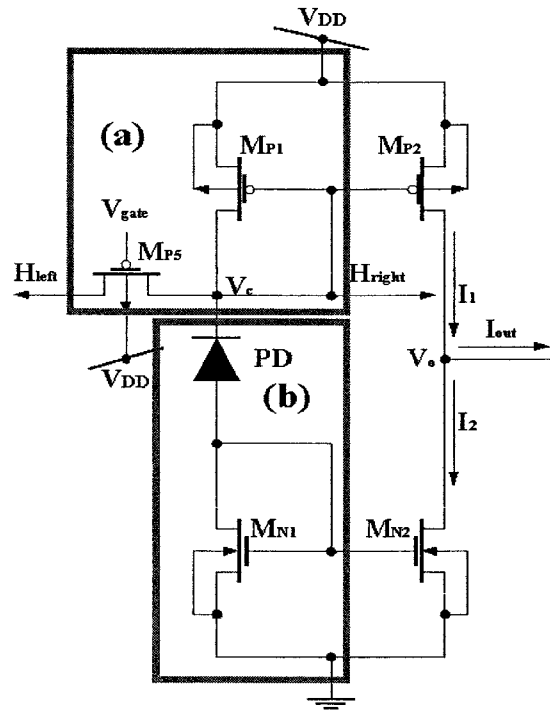


그림 10. 단위픽셀회로

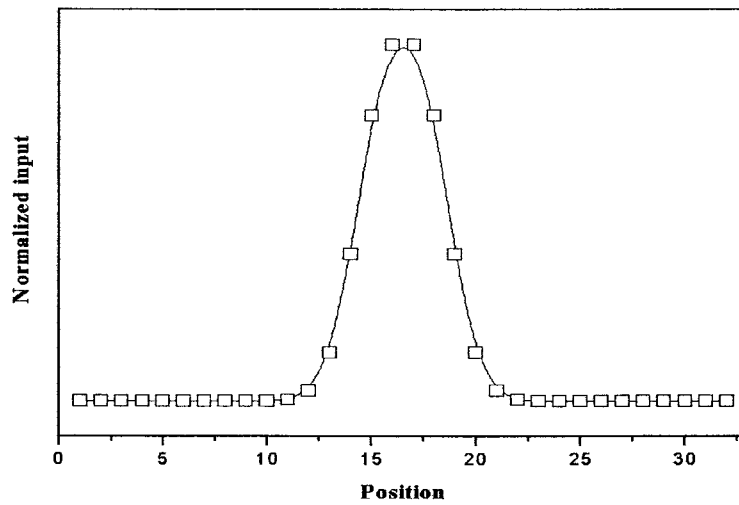


그림 11. 가우시안분포 입력

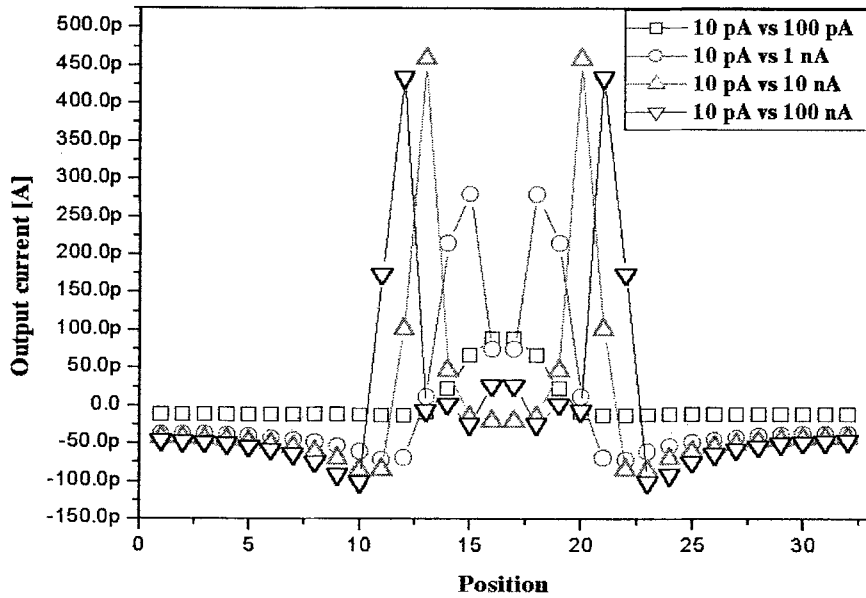


그림 12. 입력 광강도 변화에 따른 국소 광적용된 윤곽검출 결과

10pA의 배경광에 대하여 입력 광전류를 100pA에서 100nA까지 로그스케일로 변화시키는 동안, 각 입력 광전류에 대한 출력전류의 레벨은 비슷한 크기를 알 수 있다. 이는, 광강도가 큰 경우 M_{P5} 를 통해서 흐르는 전류의 확산길이가 짧아지고, 광강도가 작은 경우 확산길이가 길어지기 때문이다. 이를 검증하기 위해 1차원 배열된 단위픽셀회로의 V_C 노드들의 전압, 그리고 M_{P1} 및 M_{P5} 를 통해서 흐르는 전류를 조사하였다. V_C 노드전압과 R-G를 구성하는 M_{P1} 과 M_{P5} 의 전류를 알게되면, 정량적인 확산길이 L 을 알 수 있을 것이다. 국소 광적용된 출력결과를 얻기위해 M_{P5} 의 gate 전압은 3.45 V로 고정하였다.

1차원 배열된 단위픽셀회로의 V_C 노드들의 전압을 조사하여 그림 13에 나타내었다. V_C 노드들의 전압분포형태는 입력 광전류가 증가할수록 작아진다. 인접한 단위픽셀회로의 노드 V_C 간의 전압차가 제일 큰 경우에 윤곽이 나타남을 그림 12와 비교해서 알 수 있다.

출력전류레벨이 비슷한 크기를 갖는 것은 식 (8)에서와 같이 R 이 gate와 source의 전압차증가로 인해 지수함수에 비례하며 커지게 되기 때문이다. 그리고, 식 (9)의 V_i (그림 10의 V_C 노드)는 다른 노드에 비해 작은 전압을 나타낸다.

따라서, G 는 지수함수에 비례하며 커지게 되고, 이로 인해 확산길이 L 이 식 (4)의 정의로부터 감소하게 된다. 즉, 입력 광전류의 크기가 클수록 확산길이 L 의 감소가 두드러지게 나타난다. 다음의 검증과정을 거쳐 그 사실을 알 수 있다.

M_{P5} 와 M_{P1} 을 통해서 흐르는 전류크기를 조사하였다. M_{P5} 를 통해 흐르는 전류와 그 양단의 전압변화를 알게되면 R 을 구할 수 있고, M_{P1} 을 통해 흐르는 전류와 양단의 전압변화로 G 를 구할 수 있다. 그림 14는 각 단위픽셀회로의 M_{P5} 와 M_{P1} 을 통해 흐르는 전류를 나타낸 것이다. (a)는 M_{P5} 를 통해 흐르는 전류, (b)는 M_{P1} 을 통해 흐르는 전류이다.

R 은 M_{P5} 의 $\Delta V_{SD5}/\Delta I_{SD5}$ 로 구할 수 있고, G 는 M_{P1} 의 $\Delta I_{SD1}/\Delta V_{SD1}$ 의 비로 구할 수 있다. 그림 15는 p-MOSFET로 구성된 저항성 회로망의 R 과 G 성분을 나타낸 것이다. 음의 값을 갖는 R 의 분포는, 전류의 유입과 유출에 따른 전류방향의 변화에 기인된 것이다.

그림 11 (a)와 (b)를 통해 알 수 있듯이 R 과 G 는 10 pA 배경광이 존재하는 영역에 비해 큰 입력 광전류가 존재하는 영역이 더 큰 값을 갖는다는 것을 알 수 있다. R 이 가장 크게 나타나는 부분은 윤곽부분이고, G 가 가장 크게 나타나는 부분은 가장 큰 입력 광이 존재하는 부분이다. simulation결과로부터 구한 R 과 G 의 값들을 식 (4)에 적용하여 확산길이 L 을 구할 수 있으며, 이를 그림 16에 나타내었다.

그림 16에서, 동일한 위치로부터 입력 광강도의 크기가 클(작을)수록 확산길이 L 이 작음(큼)을 알 수 있다. 이는 입력 광강도가 큰(작은) 경우 수평세포층의 평활화에 의한 입력전류의 확산을 억제(촉진)하여 쌍극세포를 통한 비슷한 출력 전류레벨을 가질 수 있도록 한다. 따라서, 국소 광적응이 구현됨을 위의 검증과정을 통해서 알 수 있다.

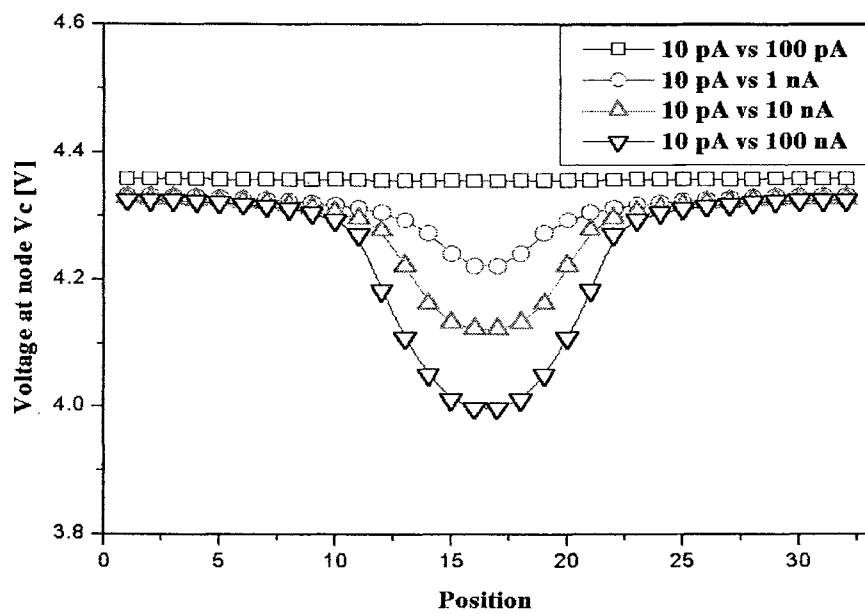
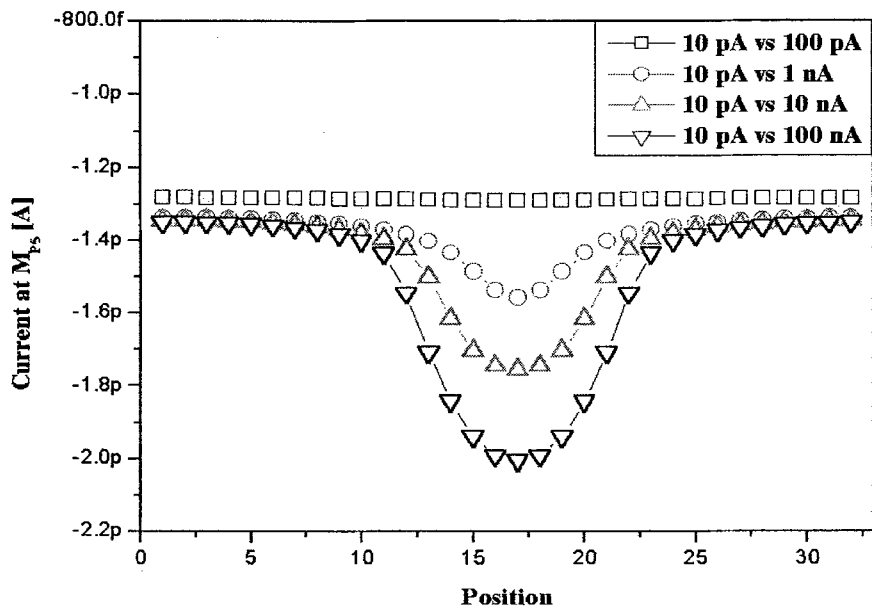
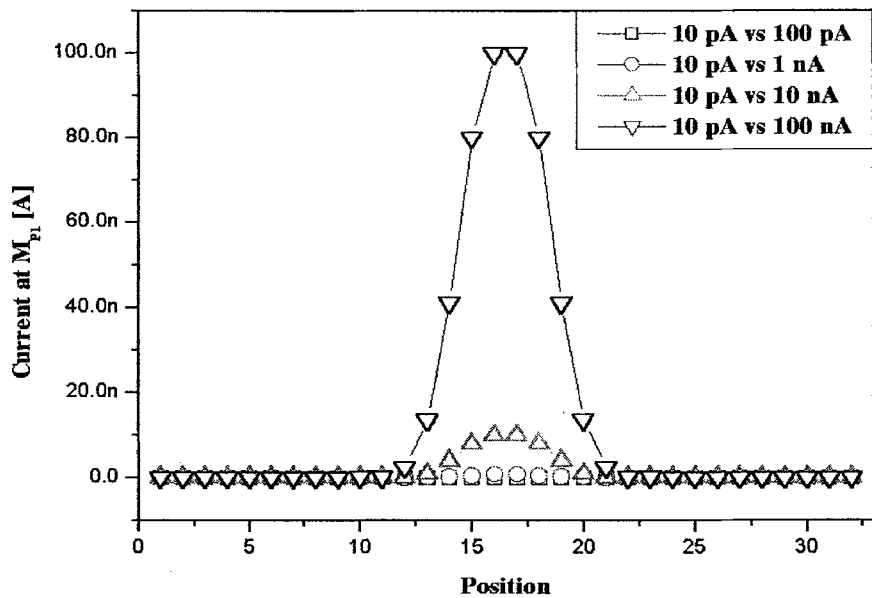


그림 13. 노드 Vc의 전압분포

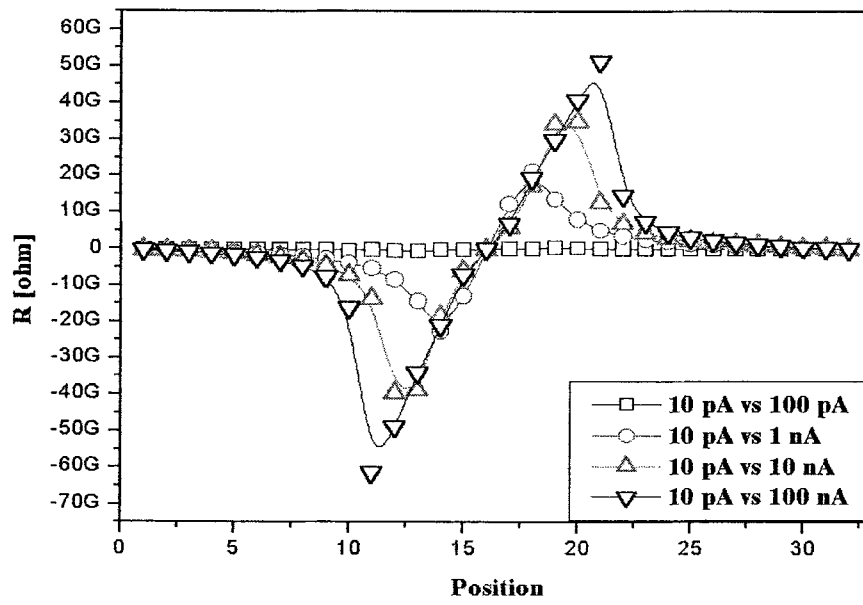


(a)

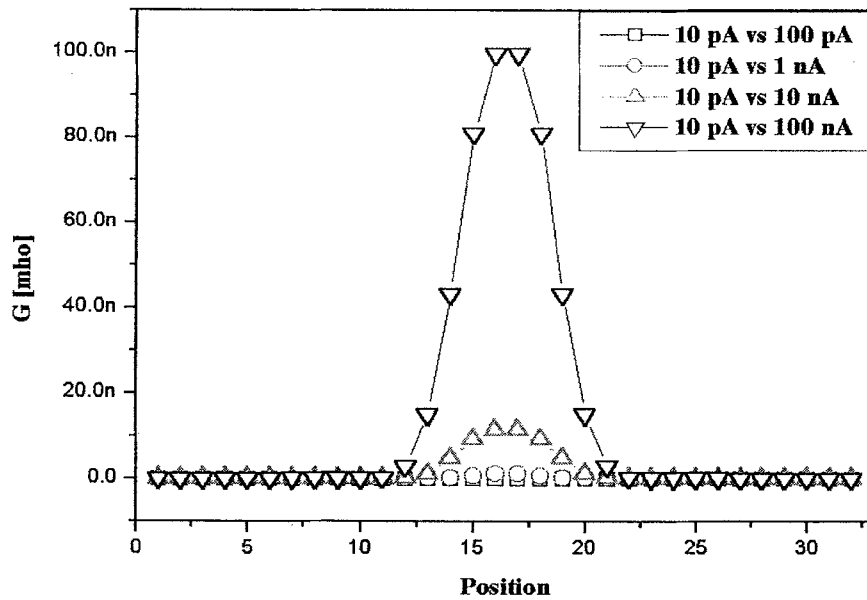


(b)

그림 14. M_{P5} 와 M_{P1} 의 전류분포 : (a) M_{P5} 의 전류분포 (b) M_{P1} 의 전류분포



(a)



(b)

그림 15. R 및 G 의 분포 : (a) R , (b) G

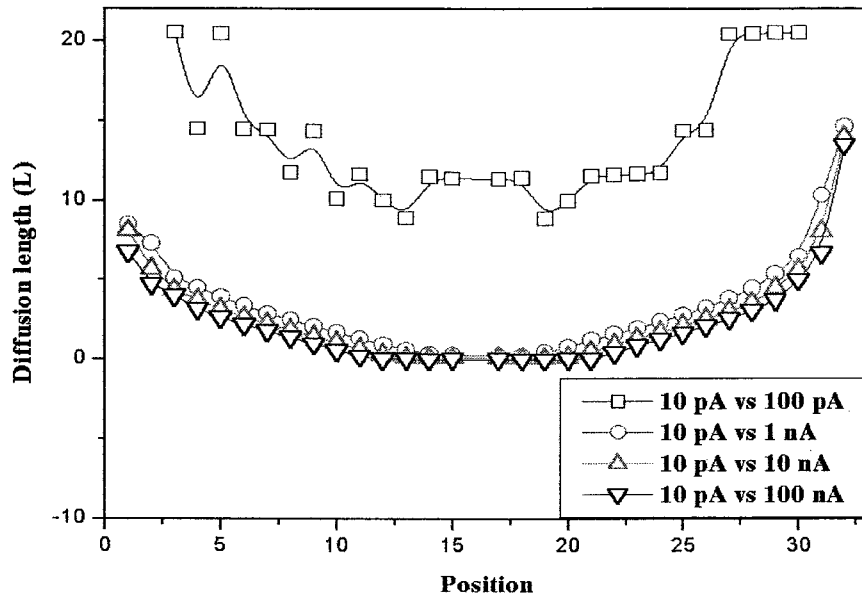


그림 16. 확산길이 L 의 분포

라. 출력 오프셋 제거기능을 갖는 윤곽검출 시각칩

생체의 망막이 윤곽을 검출하는 효율적인 메커니즘을 전자회로로 구현하기 위해서는 망막자체의 시세포, 수평세포, 쌍극세포의 모델링 뿐만 아니라, 픽셀의 출력을 내보내기 위한 readout회로, 원하는 픽셀을 선택하는 decoder, 그리고 작은 신호를 증폭하기 위한 증폭기등 부가적인 회로들이 필요하다. 이 회로들을 구성하는 개개 소자들의 특성을 결정하는 요인들은 CMOS 제조공정 중에 변화할 수 있으며, 특히 각 픽셀 출력단의 readout회로에서의 변화는 시각칩의 최종 출력에 오프셋을 유발하고, 이 시각칩이 다른 응용시스템의 입력으로 사용될 경우 시스템의 신뢰성을 제한하게 된다. 오프셋을 제거하여 출력특성을 개선하기 위해 시각칩에 사용된 특정 픽셀의 readout회로와 한 column을 공유한 CDS회로를 그림 17에 나타내었다. 트랜지스터 MN1과 MN3의 source폴로워 출력버퍼와 픽셀 어레이중 하나의 row를 선택하기 위해 스위치로 사용된 MN2가 선택된 row의 출력을 읽기 위한 readout회로이다. MN1이 포화영역에서 동작하고, 공정변화에 의한 문턱전압의 변화가 ΔV_{T1} 이며, 입력 V_{in} 에 V_{i1} 과 V_{i2} 가 각각 인가된다고 가정하면 MN3의 drain 노드전압 V_c 와 V'_c 는 식(12), (13)과 같이 계산된다.

$$V_c = V_{i1} - V_{sfb} - (V_{T1} + \Delta V_{T1})^2 - V_{T2}^2 \quad (12)$$

$$V'_c = V_{i2} - V_{sfb} - (V_{T1} + \Delta V_{T1})^2 - V_{T2}^2 \quad (13)$$

$$V_c - V'_c = V_{i1} - V_{i2} \quad (14)$$

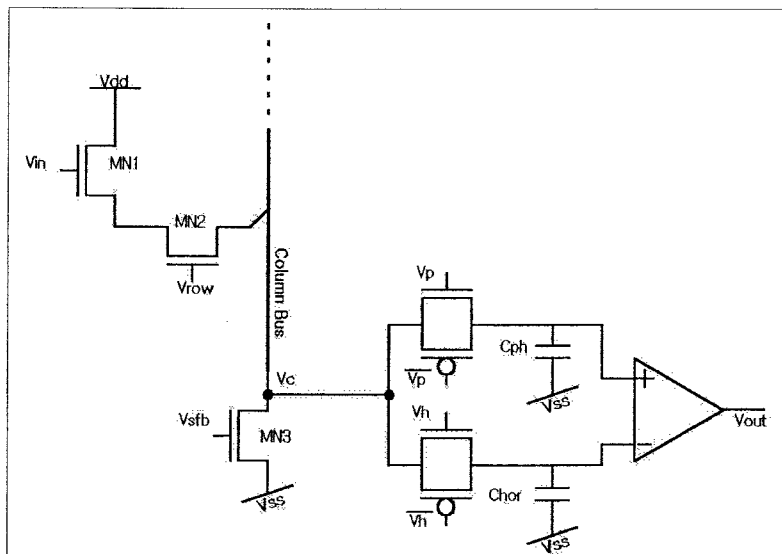


그림 17. Readout 회로와 CDS 회로.

여기서 V_{T1} 과 V_{T2} 는 MN1과 MN2의 문턱전압이고, V_{sfb} 는 MN3의 gate 전압이며, body effect는 무시하였다. V_c 는 ΔV_{T1} 의 제곱에 비례하여 변화하게 되고 이 전압이 C_{ph} 에 저장된다. 또한 두 번째 입력전압 V_{i2} 에 의한 전압 V'_c 도 동일한 문턱전압의 변화성분을 포함한 전압이며 C_{hor} 에 저장된다. 문턱전압의 변화에 의한 동일한 변화량을 가진 두 전압의 차는 식(14)와 같이 옵셋이 제거된 순수한 두 전압의 차를 출력한다. 다시 말해 부정합에 의한 출력단의 옵셋을 제거하기 위해 동일한 옵셋 성분을 포함하고 있는 두 신호의 차를 구함으로써 공통성분인 옵셋은 제거되고 원하는 두 신호의 차이만이 출력된다. 이 원리를 시각칩에 적용하면 시세포의 출력, 즉 광강도에 해당하는 출력과, 평활화된 신호의 출력을 하나의 readout 회로를 통해 각각 저장하고, 두 신호의 차이를 구함으로써 옵셋이 제거된 윤곽신호를 얻을 수 있을 것이다.

(1) 회로설계 및 제어신호

출력 옵셋 제거기능을 가진 윤곽검출용 시각칩의 블록 다이어그램 및 기능 설명을 그림 18과 표 1에 나타내었으며, 그림 19에 윤곽검출 시각칩의 제어신호를 나타내었다. 전체 시스템을 구동하기 위한 control signal이며 시스템의 동작 원리를 보다 자세히 알 수 있다. 우선 특정 row 가 decoder 출력에 의해 선택된 후 V_{ph_sample} signal을 인가하여 빛에 의해 광전 변환된 신호를 sample and holder에 저장하게 되며 이 때 저장된 신호가 인간의 눈의 시세포의 출력에 해당한다. 다음으로 V_{hor_enable} 신호에 의해 인접 cell 과 연계하여 resistive network를 통한 평활화가 수행되며, V_{hor_sample} 신호로 평활화된 출력 즉, 수평세포의 출력에 해당하는 신호가 sample and holder에 저장된다. 이렇게 저장된 두 신호의 차이가 쌍극세포의 기능에 해당하는 differential amp에 의해 구해지며, 이 신호가 바로 물체의 윤곽에 해당하는 최종 출력신호가 된다. 각 신호들의 기능은 다음과 같다.

- ◇ Row decoder에 읽고자 하는 row를 선택하기 위한 신호를 인가하고 이 decoder의 출력(V_{row1})이 cell 의 row select 단자에 인가된다.
- ◇ V_{ph_sample} signal을 각 column에 공통인 S/H에 인가하여 출력되는 signal을 저장한다. 이때 저장된 신호는 photodetector의 출력에 해당한다.

- ◇ V_hor_enable signal을 인가하여 R 성분으로 대치된 MOSFET의 gate 에 적절한 bias를 인가하여 인접 cell과 연계하여 detect 된 신호를 평활화 한다.
- ◇ V_hor_sample signal 이 각 column 에 공통인 두 번째 sample and holder 에 인가되고 이때 평활화 된 전압이 저장 된다.
- ◇ 각 column 에 저장되어 있는 신호들을 column decoder 의 제어 신호로부터 각각 읽혀지고 differential amp 에 인가되어 저장된 두 신호의 차가 증폭되어 buffer를 통해 출력된다.
- ◇ 다음 Row가 선택되고 반복한다.

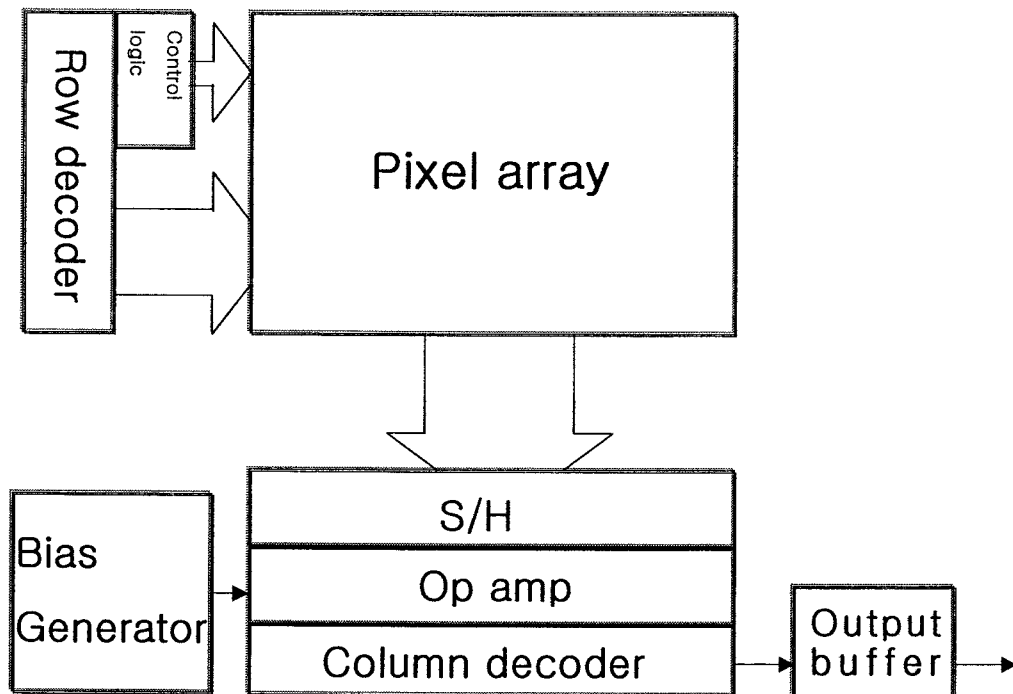


그림 18. 출력오프셋 제거기능을 갖는 시각칩의 블럭 다이어그램

표 1. 블럭다이어그램 내 notation의 기능 설명

| notation 종류 | 기능 설명 |
|------------------------|---|
| Pixel array | 광 입력을 sensing 하여 이에 해당하는 전기적 신호로 변환. 인접한 pixel 과 연계하여 공간적 평활화 작용 |
| Sample and Holder(S/H) | 광 입력에 해당하는 전기 신호 및 평활화된 신호의 저장 |
| Op amp. | 저장된 신호의 차를 증폭해서 출력하는 쌍극세포의 기능 수행 |
| Row decoder | pixel 의 row 제어 신호 발생 |
| Column decoder | pixel column 제어 |
| Control logic | 평활화되기 전 순수한 광 입력에 의한 신호와 평활화된 신호를 구분하여 sample and holder에 재 저장하기 위한 제어신호 발생 |
| Bias generator | Op amp. 및 pixel 에 필요한 bias 생성 |

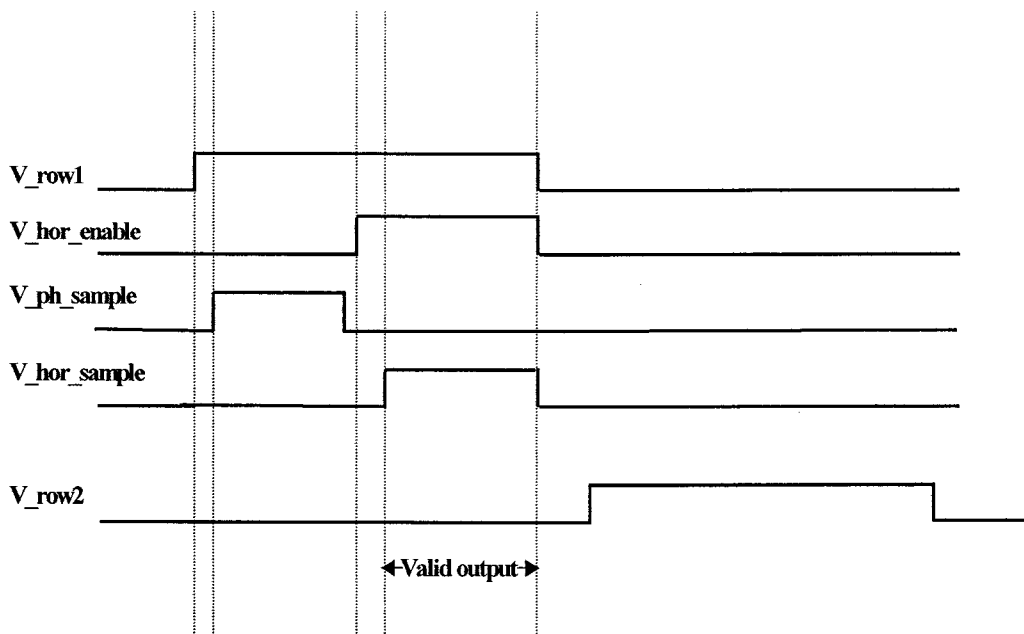


그림 19. 시각칩의 제어 신호

(2) 윤곽검출 회로

시각칩을 구성하는 단위픽셀 회로 및 레이아웃은 그림 20과 같으며 2차원 어레이로 배치되어있다. 포토다이오드와 다이오드 연결된 PMOS는 광 입력 신호를 전기적 신호로 변환한다. 이 때 photo current 는 광 입력 신호에 따라 fA 에서 nA 정도이며 다이오드 연결된 MOSFET는 weak inversion 상태인 sub-threshold 영역에서 동작하게 되어, 약 120dB 정도의 dynamic range를 가지고 압축된 형태의 전압을 출력한다.

MOSFET로 구성된 저항회로망은 인접한 픽셀과 연계하여 변환된 전압의 평활화 작용에 수행하며, 각 픽셀마다 평활 MOSFET의 resistance, 즉 gate 전압을 결정하는 바이어스 회로를 내장하여 다양한 입력에 대한 윤곽 검출이 가능하다. 이렇게 평활화된 신호와 되기전 신호가 decoder에서 선택된 select signal 인가에 의해 각각 select Tr.을 통해 각 column에 공통되는 sample and holder에 저장되어 이 두 신호의 차이가 출력된다.

(가) 단위픽셀의 구성

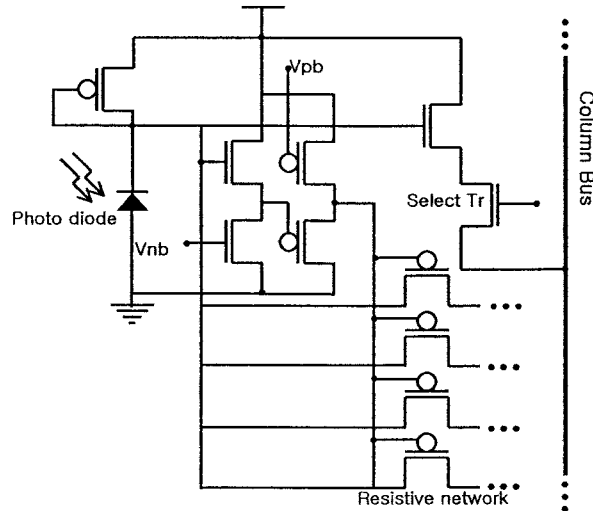
개구율(fill factor)은 약 50%이고, logarithmic photodetector를 수광부에 적용하였고 dynamic range는 100dB 이상으로 기대된다. 평활회로의 gate bias generation 회로는 source follower 와 level shift로 구성되어 있고, read-out회로는 또 다른 source follower 회로를 사용하여 subthreshold가 아닌 normal 영역에서 동작시켜 SNR을 높였다.

평활되기 전의 신호와 평활된 후의 신호가 동일한 read-out 회로에 의해 읽혀지고, 이 두 신호의 차가 출력단에서 계산되어짐으로 Fixed Pattern Noise(FPN) 제거가 가능할 것으로 기대된다.

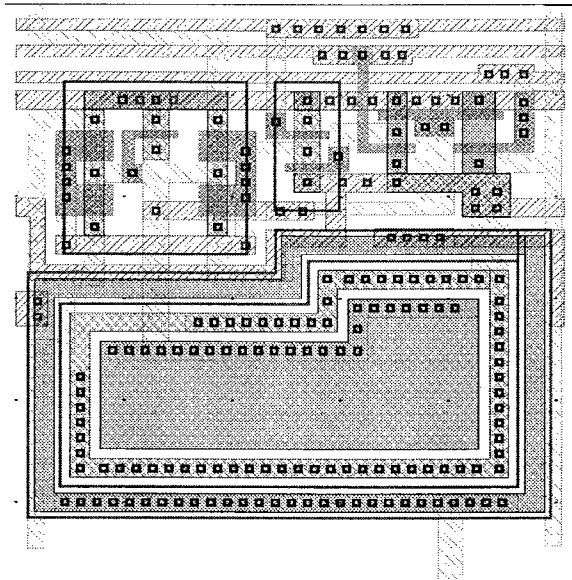
p-sub.과 n-diffusion 다이오드를 사용하여 감도나 응답특성은 좋은 점을 취하고자 하였으나, 실리콘 기판으로 전파되는 noise의 영향이 많을 것으로 예상된다. 이를 줄이기 위해 guard ring으로 blooming 이나 lag 현상을 최소화하고자 하였다. photodetector 이외의 영역은 metal-3로 덮고 회로접속이나 가타 접속은 metal-1, metal-2, 그리고 poly로 라우팅(routing)작업을 행하였다.

그림 21은 수광부를 구성하는 logarithmic 회로의 입력 광전류 변화에 따른 출력 전압의 변화를 simulation한 결과이다. MOSFET subthreshold I-V 출력 특성식에서 알 수 있듯 출력은 입력이 log 형태로 압축된 형태이므로 sensitivity

는 떨어지고 dynamic range는 큰 형태의 출력특성을 가진다. subthreshold 전류 특성식으로 부터 출력 전압은 $\log I_{ph}$ 에 비례함을 알 수 있다. subthreshold 에서 gm 은 current level에 정비례 함으로 작은 빛에서는 pole 주파수가 낮고 응답 속도가 느려진다. 입력이 6 order 변화하는데 대해 출력 전압은 1V 정도로 압축되어 나타나게 된다.



(a)



(b)

그림 20. 단위픽셀 회로 및 레이아웃

(a) 단위픽셀 회로 (b) 단위픽셀 회로의 레이아웃

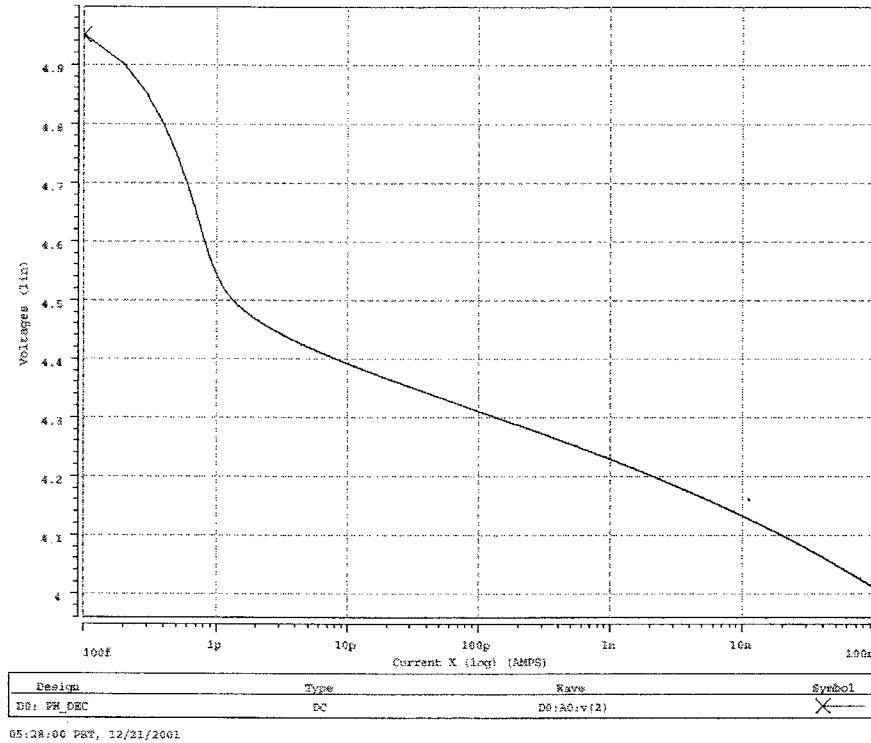


그림 21. logarithmic 수광회로의 전달특성

$$I_{ph} = \frac{W}{L} I_{D0} e^{\frac{V_{out} - k}{U_t}}$$

$$\frac{v_o(s)}{i_i(s)} = \frac{-1}{g_m + sc_p} \quad \omega_p = -\frac{g_m}{c_p}$$

그림 22는 평활 회로를 구성하는 MOSFET의 적절한 gate bias를 인가하기 위해 source follower 와 level shift 의 bias 전압을 제어하여 인가된 입사광에 비례하는 전압과 이 전압이 평활화된 형태의 두 전압을 simulation한 결과이다. 평활 MOSFET의 OFF 상태가 되어 평활이 수행되기 전과 적절한 저항값을 가지고 평활화를 수행했을 때의 출력 특성을 확인 할 수 있으며, 이 두 전압의 차를 구함으로써 물체의 윤곽을 확인 할 수 있다.

(나) Sample and holder(S/H)

그림 23은 S/H의 개략도를 나타낸 것이다. 수광부의 초기 출력치와 평활화과정 거친 후의 출력을 임시 저장하기 위한 블록이며, S/H의 사용으로 차동증폭

기를 하나만 사용할 수 있기 때문에 칩의 면적을 줄일 수 있다. 또한 CDS 로 read-out 시 발생하는 offset을 제거할 수 있게된다. MOSFET 스위치의 선택 시 위칭시 발생하는 charge injection 과 clock feed-throw에 의한 noise 성분 중 charge injection을 영향을 electron과 hole로 서로 상쇄하기 위해 NMOS와 PMOS로 구성된 pass transistor를 사용하였다. 커패시터의 용량은 1pF, layout 시 두 커패시터의 부정합을 최소화 하기위해 common centroid 방식으로 설계하였고, c-poly 와 gate poly를 사용하였다. digital block 과 unit cell가운데 위치시켜 커패시터의 완충효과가 발생하는 장점을 이용하기 위한 배치를 하였다.

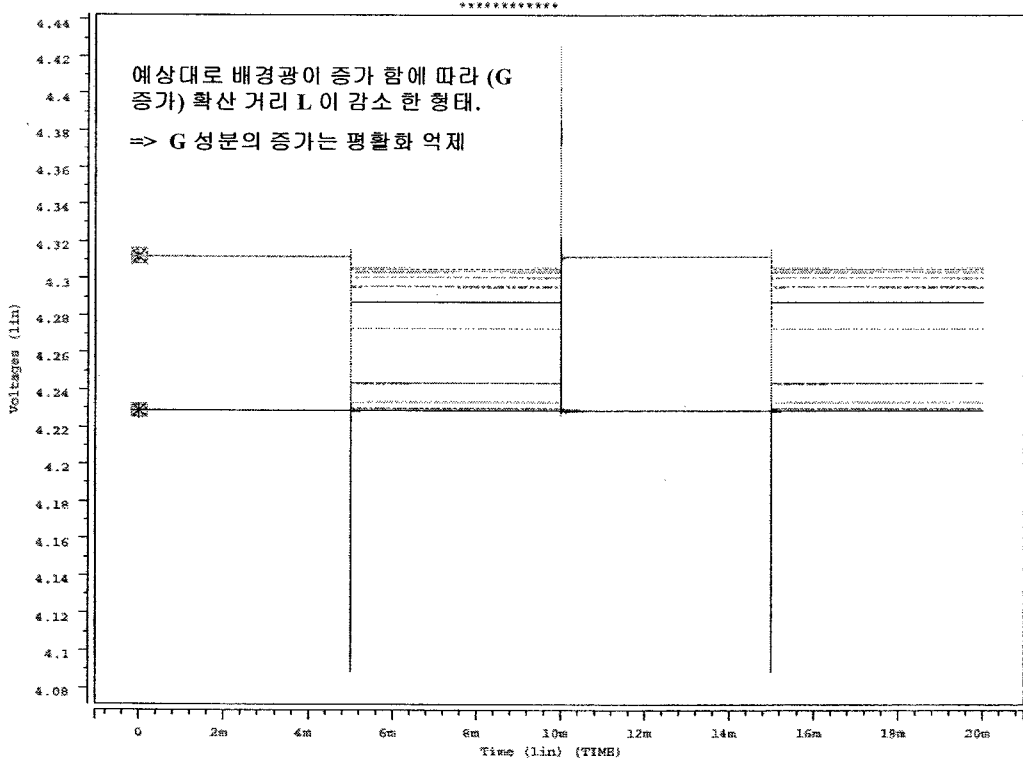


그림 22. 평활화 되기전과 평활화된 후의 단위픽셀 출력특성

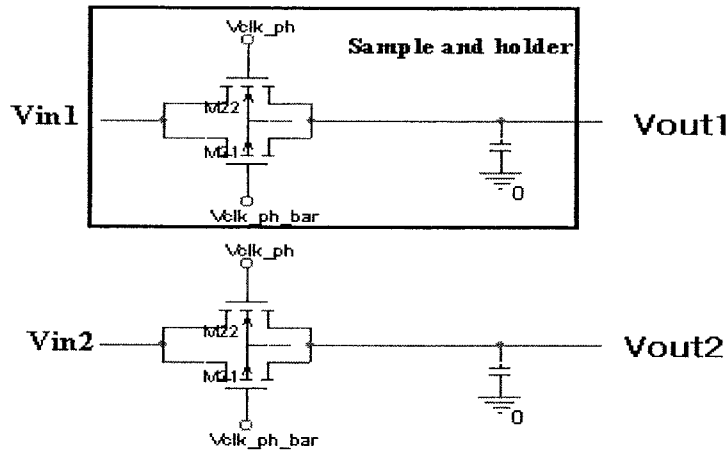


그림 23. Sample and Holder 회로

그림 24는 S/H의 동작특성을 simulation한 결과를 나타낸 것이다. 정현파 입력에 control clock을 인가하여 sampling 특성을 확인 하였다. 한 개의 MOSFET로 구성된 스위치를 사용하였을 때 보다 charge injection에 의한 glitch가 많이 감소하였음을 확인할 수 있었다.

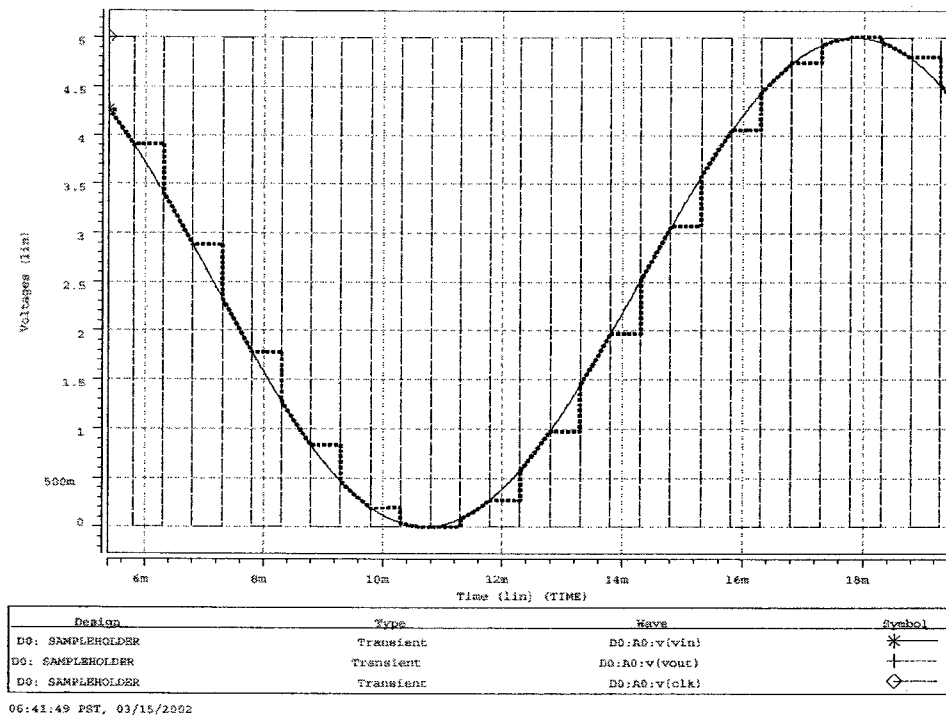


그림 24. S/H의 출력특성.

(다) 차동증폭기(differential amplifier)

그림 25는 차동증폭기의 개략도를 나타낸 것이다. 두 신호의 차를 증폭하기 위한 쌍극세포의 역할을 행하고 있으며, 밝고 어두움의 경계에서 peak 형태의 출력을 보여준다. 또한, 각 픽셀의 출력을 보고자 할 때 read-out회로에서 발생하는 offset을 제거할 수 있을 것으로 기대된다.

전원에서 발생하는 잡음등과 같이 +/- 신호에 공통적으로 인가되는 잡음을 제거하기 위해 완전 차동 형태의 증폭기를 사용하였다. 저항과 입력 MOSFET는 common centroid 방식으로 설계하여 레이아웃시 발생하는 부정합의 의한 offset을 개선시키고자 하였다.

constant gm bias 회로를 이용하고, 둘레에 guard ring을 설치하였으며, integrated circuit에서 접하는 noise 문제는 충전용량적 결합(capacitive coupling)에 의해서 발생되고, lead가 교차하거나 나란하게 지나가는 부분에서 주로 발생한다. 가장 민감한 node 는 high impedance level에서 low level signal을 운반하는 곳이라 생각된다. 따라서, 증폭기의 입력은 결국 high impedance와 증폭기의 gain에 의해 커지므로 routing시 증폭기는 입력 선상에 가깝게 배치하여 이런 영향을 최소화하고자 하였다.

증폭기 설계시 고려할 사항으로는 첫 째, 저주파수 대역에서의 소신호 전압이득 Avo와 3-dB 주파수 대역폭, 단위 이득 주파수, 위상 마진, 그리고 슬루율 및 정착 시간등이고, 둘째, 입력 및 출력신호의 범위, 출력 임피던스 Ro, 그리고 소비 전력을 고려하여야 한다. 마지막으로 오피셋 전압 및 입력 잡음, CMRR, PSRR등을 고려하여 설계하여야만 한다. 그림 26은 차동증폭기의 DC 응답특성을 simulation한 결과이다.

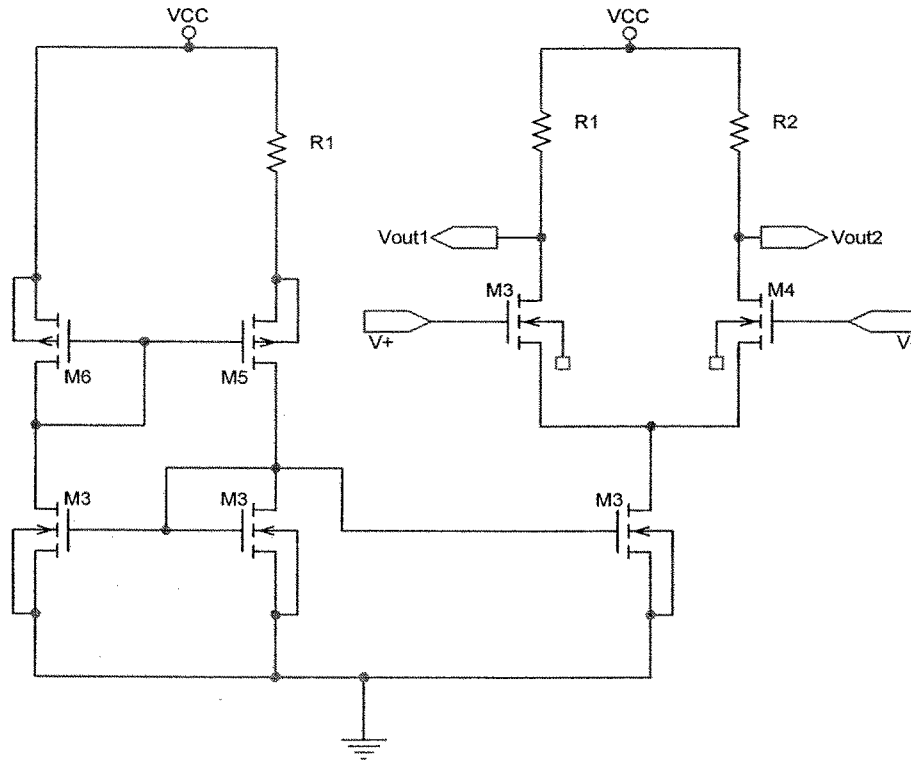
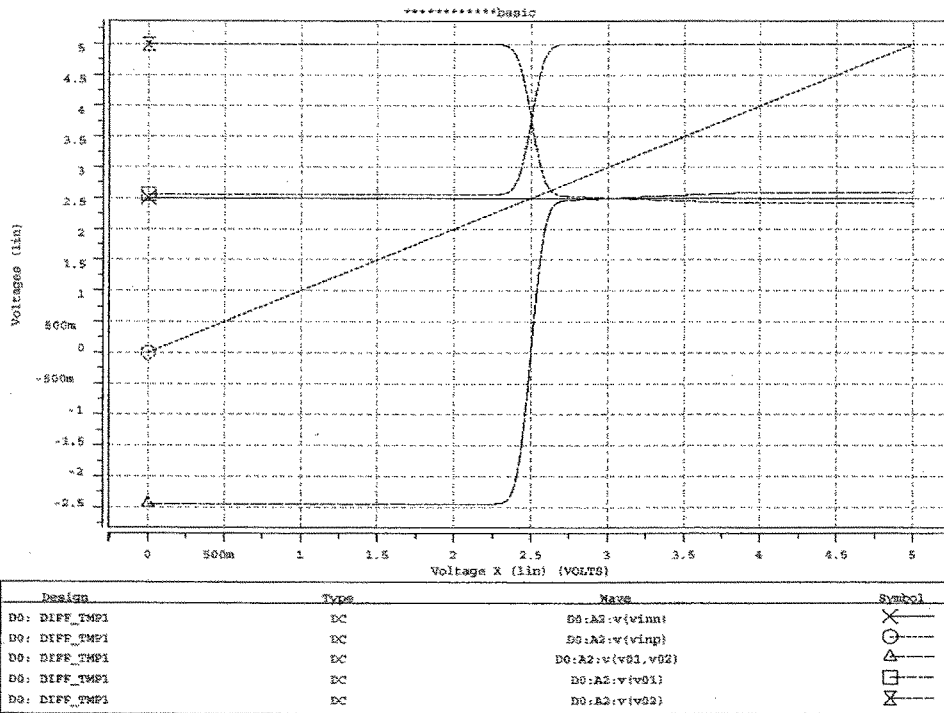
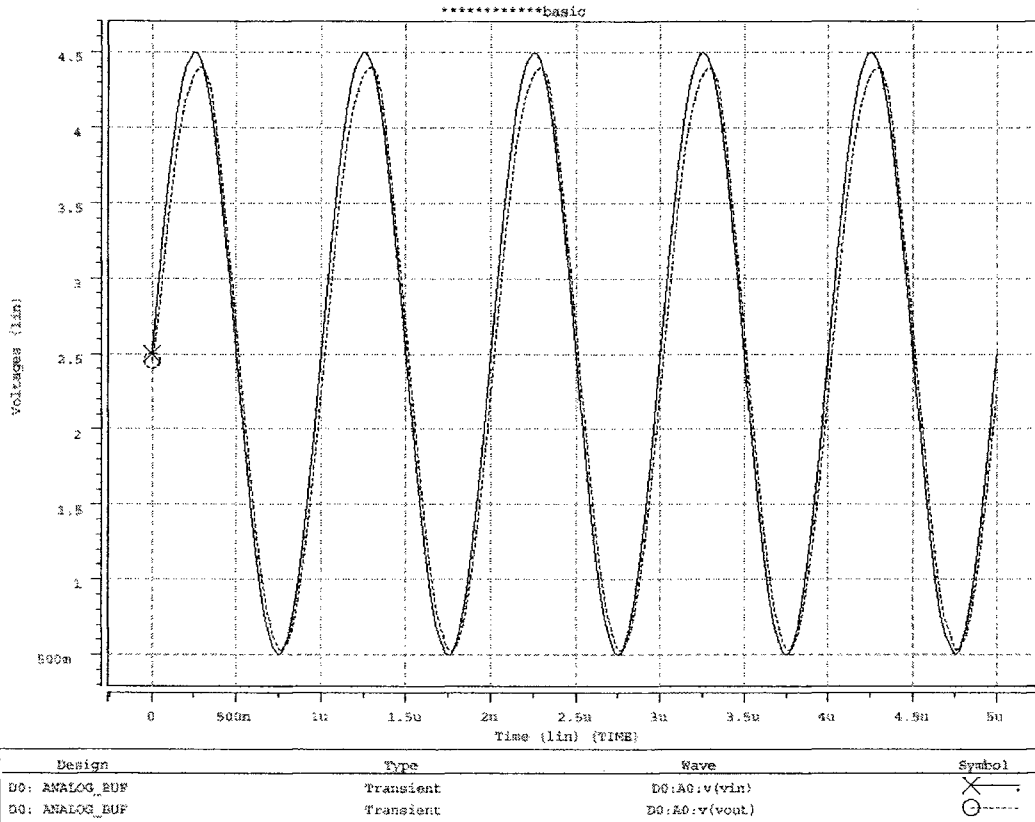


그림 25. 차동증폭기의 개략도



04:40:32 PST, 03/15/2002

그림 26. 차동증폭기의 DC 응답특성



06:29:39 PST, 03/15/2002

그림 28. 아날로그 버퍼의 과도 응답 특성

(3) 디지털 회로부-NAND 형태의 decoder(decoder of NAND-type)

6개의 입력과 64개의 출력을 가지는 decoder로서 실제 layout에서는 schematic에 보이는 enable 단자는 사용하지 않았으며, MOS의 L과 W를 적절히 조절하여 state가 변화할 때 발생하는 glitch를 감소 시켰다. 픽셀의 row와 column을 선택하기 위해 shift register 와 decoder가 많이 사용되는데 CCD 이미지 센서와는 달리 임의 접근(random access)방식구현이 가능하고, 이를 구현하기 위해서 decoder의 사용하였다. 또한 shifter register 와는 달리 clk 신호의 인가가 필요 없기 때문에 동작이 안정적이며 analog 회로에 미치는 noise 특성도 많이 개선 될 것으로 생각된다. 그림 29는 decoder 구성의 개략도를 나타낸 것이다. 그림 29에서와 같이, 7input NAND gate에 enable 단자를 사용하여 7 input 128 출력의 decoder로의 확장 또한 용이하다는 장점을 갖는다.

아날로그 회로와 디지털 회로와의 혼선으로 인해 발생하는 노이즈문제를 고려하여 별도의 디지털용 전원을 사용하였다. 이는 전원에서 발생할 수 있는 noise 특성 PSR , ground bouncing을 개선할 수 있으리라 기대된다. 아날로그

블록으로의 noise 전파를 줄이기 위한 guard-ring을 decoder 주위에 가능한 한 많이 배치하였고, 실리콘 기판으로 전파 되는 noise를 guard ring에서 상쇄되도록 하였다. 또한, 되도록 많은 p-sub. 과 n-well contact을 형성하여 기생적으로 VDD 와 GND 사이에 발생 되는 BJT의 base 영역에 contact 저항성분을 줄임으로서 latch-up 현상의 발생하지 않도록 하였다.

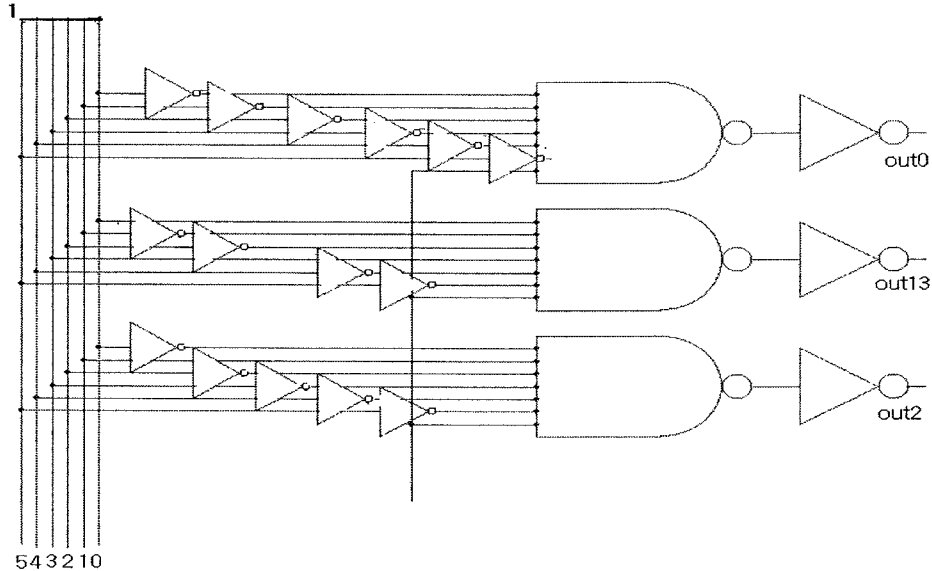


그림 29. decoder 회로.

6개의 inverter가 6개의 반전된 입력신호를 생성하고, 이렇게 생성된 12개의 신호가 64개의 NAND gate 에 적절히 연결되어 입력이 decoding 된다. NAND gate의 출력에서 최종 출력은 inverter에서 반전된 신호가 출력되고, 부논리로 (low activation) 동작하는 회로를 사용할 경우 inverter를 제거하면 NAND gate의 출력을 바로 사용가능하므로 decoder의 면적을 감소시킬 수 있는 장점이 있다.

(4) 기존회로 와의 비교

CDS회로를 가진 시각칩의 윤곽검출 성능과 옅색 제거기능을 확인하기 위한 simulation을 수행하였다. 기존의 시각칩과 제안한 CDS회로를 가진 시각칩의 MOSFET의 모델 파라미터 중에서 문턱전압을 임의로 변화시켜 검증하였다. 52개의 픽셀을 가지는 1차원 어레이를 구성하여 16번째 픽셀까지는 광전류를 100 pA, 36번째 픽셀까지는 1 nA를, 52번째 픽셀까지는 다시 100pA의 입력으로 두

위치에서 윤곽이 존재하게 하였다.

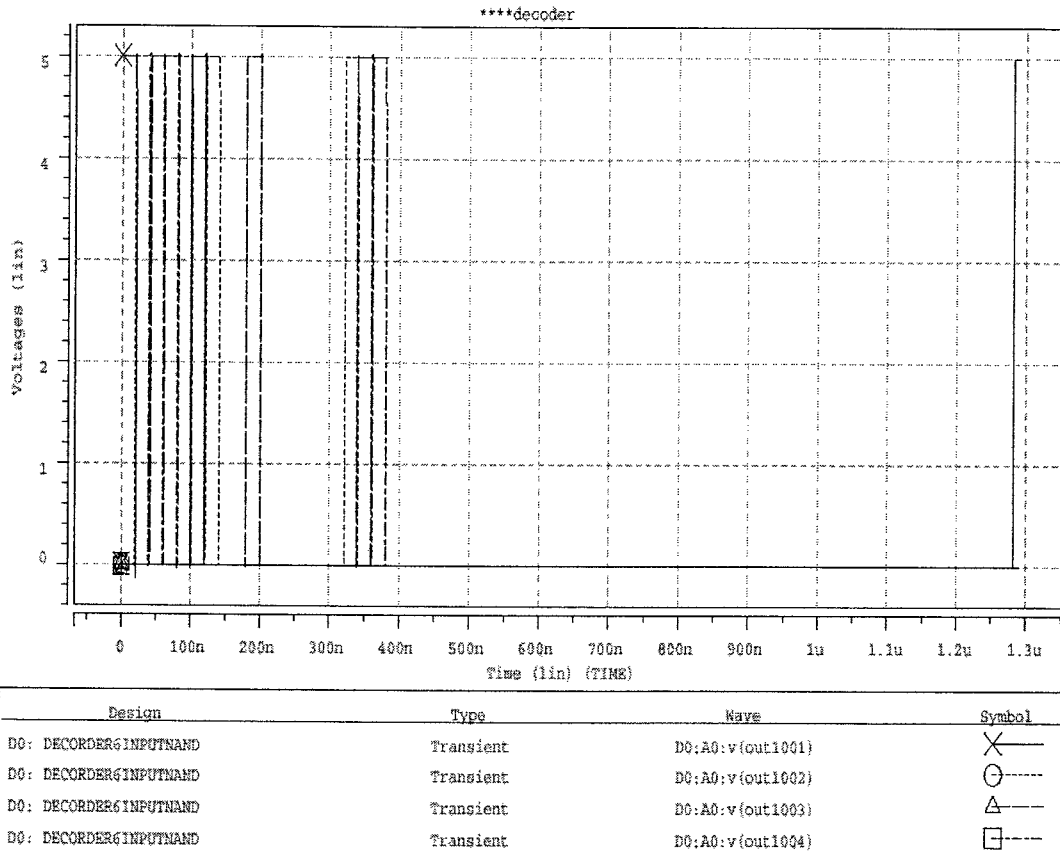
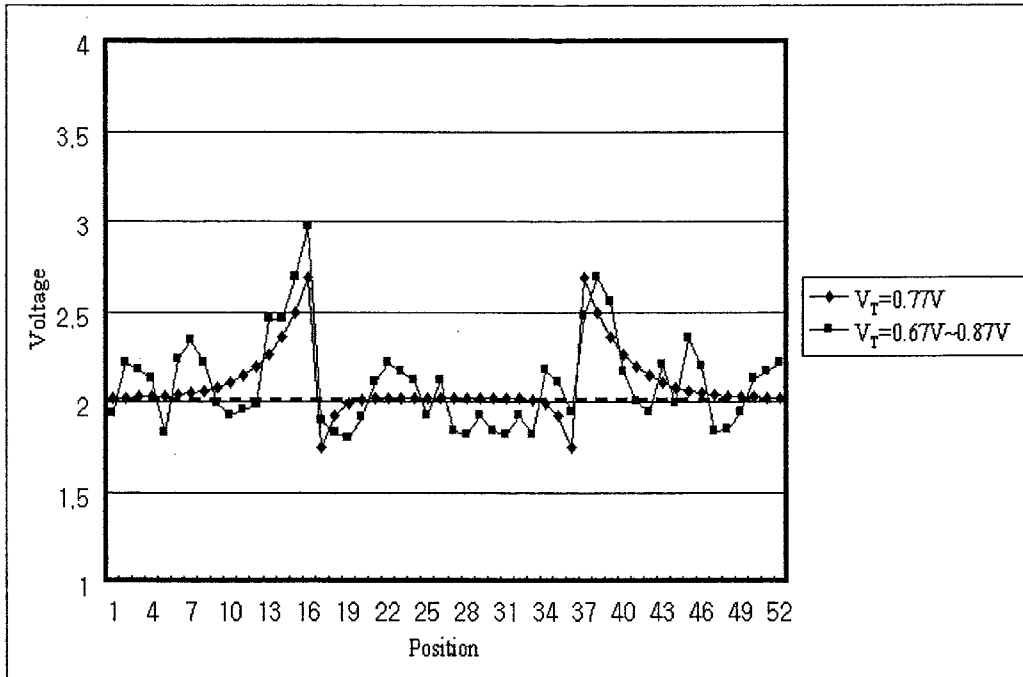
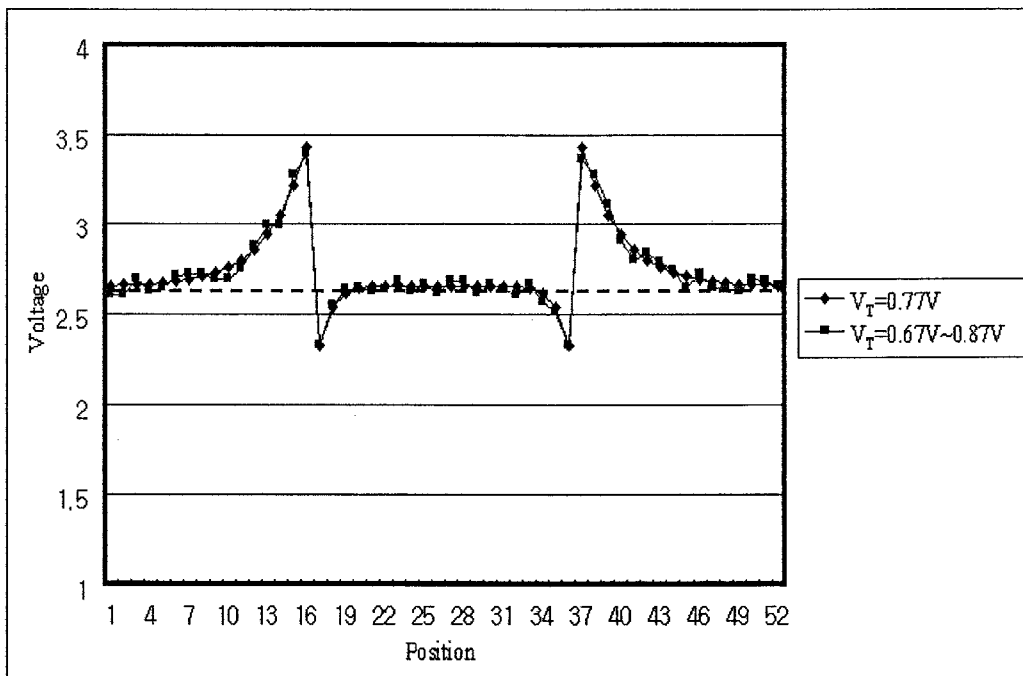


그림 30. decoder 동작의 simulation 결과

그림 31(a)는 출력단에 CDS회로를 적용하지 않은 기존의 시각칩에서 readout 회로의 문턱전압을 0.77V를 기준으로 하여 최소 0.67V에서 최대 0.87V 사이에서 랜덤하게 변화시켜 구한 시각칩의 각 위치에서의 전압 출력결과이다. 이때 사용한 최대, 최소의 문턱전압은 공정회사에서 제공하는 설계 자료를 참조하였다. 각 픽셀의 readout회로의 문턱전압이 랜덤하게 변화하는 경우, 기존의 시각칩에서는 MOSFET의 문턱전압 변화가 출력의 많은 변화를 수반함을 확인할 수 있다. 그림 31(b)는 이번 설계에 사용된 CDS회로를 가진 시각칩을 기존의 시각칩과 동일한 문턱전압의 변화를 주어 simulation을 수행한 결과이다. 주어진 입력에 대해 윤곽부근에서 큰 전압이 출력되어 윤곽검출기능이 수행됨을 확인할 수 있고, 기존의 시각칩과 동일한 MOSFET의 문턱전압 변화에도 불구하고 출력 음셋이 제거되어 문턱전압의 변화가 없는 조건에서 얻은 결과와 거의 비슷한 출력특성을 가진다.



(a)



(b)

그림 31. read-out 회로내의 MOSFET 문턱전압이 랜덤(random)하게 변화하는

경우의 simulation 결과

(a) CDS 적용하지 않은 경우 (b) CDS를 적용한 경우

그림 32는 출력단을 구성하는 MOSFET의 문턱전압을 기준값으로 부터 일정하게 변화시켜 simulation을 수행한 결과로써, 제조된 여러개의 칩이 가질 수 있는 문턱전압의 일정한 변화가 출력에 미치는 영향을 확인하였다. simulation에 이용한 MOSFET의 문턱 전압은 각각 0.77V일 때를 기준으로 0.87V로 증가하였을 경우와 0.67V로 감소하였을 경우의 출력특성을 나타내었다. 기존 시각칩의 경우 readout회로를 구성하는 MOSFET의 문턱전압 변화로 인해 출력전압에 오프셋이 포함되어 윤곽검출을 위해서는 오프셋의 보상이 필요함을 알 수 있다. CDS회로를 가진 제안된 시각칩에서는 오프셋이 제거되어 거의 일정한 출력을 보인다.

(5) 전체 칩 레이아웃

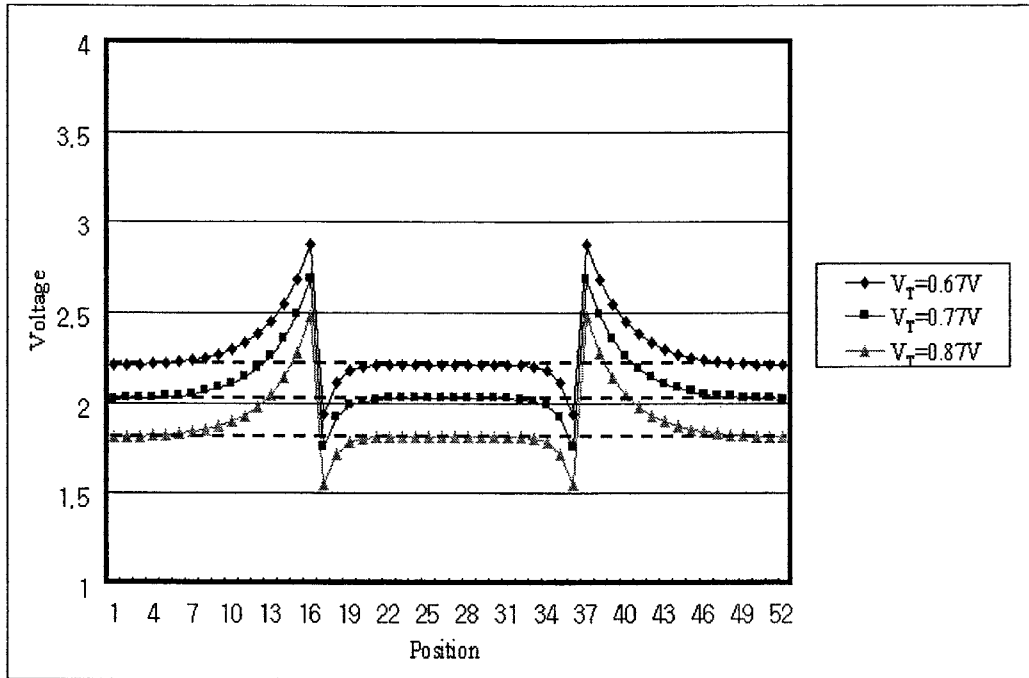
그림 33에 출력오프셋 제거기능을 가진 윤곽검출용 시각칩의 레이아웃을 나타내었다. 전체 $4 \times 4 \text{ mm}^2$ 의 크기에 단위픽셀의 면적은 $52 \times 50 \mu\text{m}^2$ 이고 52×52 정방형 어레이로 구성되어 있으며, 칩의 개구율은 약 45%이다.

(6) 윤곽검출 시각칩의 측정 및 응용

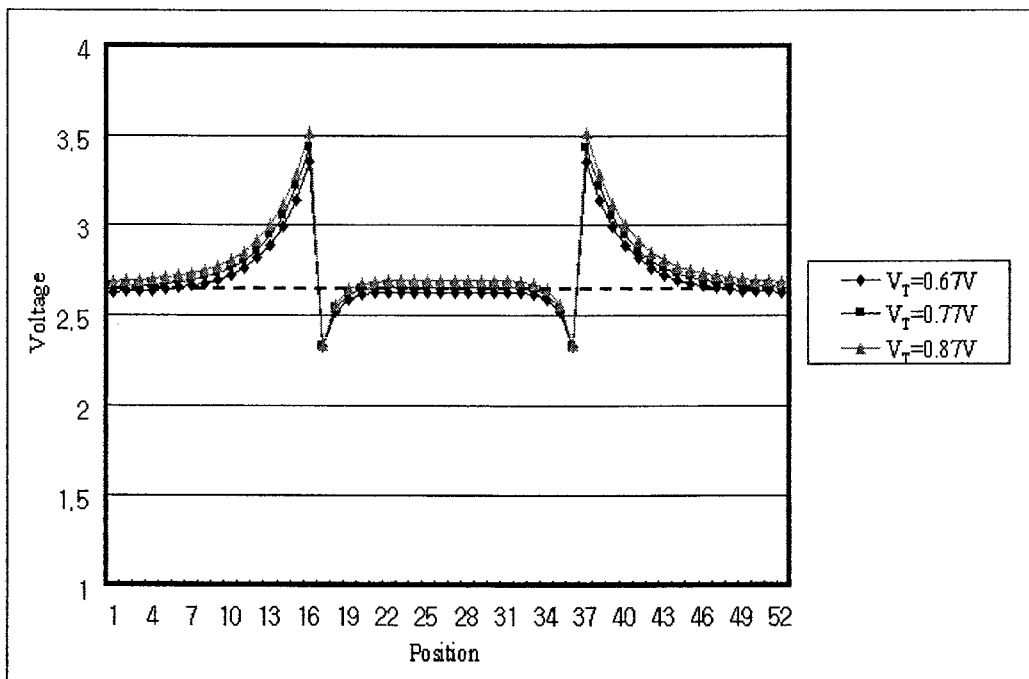
(가) 고정된 실영상 입력에 따른 칩 출력

제작된 윤곽검출 시각칩에 렌즈를 장착하고, 시각칩에 적절한 바이어스를 제공하기 위한 측정보드를 제작하였다. 시각칩에 적절한 제어신호를 인가하고 시각칩의 출력을 디스플레이하기 위해 비디오 신호처리 보드를 이용하였다. 신호처리 보드는 FPGA, A/D변환기, D/A변환기, NTSC인코더로 구성되어 있으며 그림 34에 제어보드의 블록도를 나타내었다.

시각칩을 구동하기 위한 제어신호는 FPGA를 이용하여 생성하였고, 시각칩의 아날로그 출력을 오실로스코프를 이용하여 확인하였다. 아울러 화면 출력을 위해 아날로그 신호를 A/D 변환한 후 메모리에 저장하고, FPGA에서 생성된 NTSC 동기 신호와 함께 메모리에 저장된 시각칩의 출력을 다시 D/A 변환하고 NTSC 인코더에 입력하여 NTSC 복합신호를 생성하였다. 제작된 시각칩의 윤곽검출 출력특성을 측정하였다. 단위픽셀에서 NMOSFET로 구성된 source폴로워 회로의 바이어스전압을 제어하여 평활화의 수행 여부를 제어하고, 평활화를 수행하기 전 광검출기의 출력에 해당하는 신호와 평활화를 수행한 후의 신호를 각각 sample and holder에 저장하였다. 이때 필요한 제어신호들을 FPGA



(a)



(b)

그림 32. 출력단을 구성하는 MOSFET의 문턱전압 변화가 모든 픽셀에서 일정할 때의 simulation 결과.

(a) CDS 적용이 되지 않은 경우 (b) CDS가 적용된 경우

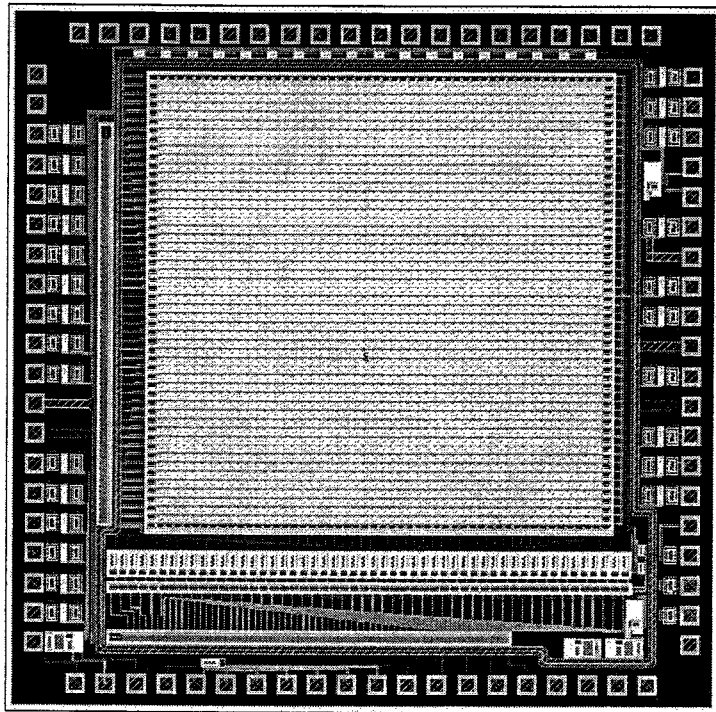


그림 33. 시각칩의 전체 레이아웃

로 생성시키고 시각칩에 인가하여 나타난 출력을 오실로스코프로 읽어 기록하였다.

측정에는 흑백으로 명암이 구분되어 하나의 윤곽이 존재하는 테스트 패턴을 이용하였으며, 측정은 실내조명하에서 수행되어졌다. 그림 35에 윤곽검출 측정 결과를 나타내었으며 물체의 윤곽부근이 강조된 형태의 출력특성을 관찰할 수 있고 제조된 윤곽검출 시각칩의 윤곽검출기능이 수행됨을 확인할 수 있다.

(나) 움직이는 실영상 입력에 따른 칩 출력

평활화를 수행하지 않고 광검출기의 출력을 시간에 따라 두 번 샘플링 하여 프레임 차를 구하는 시각칩의 움직임 검출기능을 확인하였다. 움직임 검출 결과를 나타내기 위해 물체의 움직임이 발생할 때 나타나는 출력을 캡처(capture)하였다. 시각칩의 움직임 검출특성결과를 그림 36에 나타내었다. 그림 36의 왼쪽 그림은 오실로스코프로 기록한 시각칩의 출력결과이며, 오른쪽 그림은 시각칩의 출력을 NTSC복합신호로 변환하여 TV화면에 출력한 결과이다. TV출력화면 위, 아래에 각각 시각칩 출력의 그레이 레벨과 이진화한 출력을 나타내었다. 물체의 움직임이 없는 경우 안정된 출력이 유지되고, 고정패턴잡음도 옵셋 보상 회로의

동작에 의해 거의 제거되었음을 알 수 있으며, 물체의 움직임 방향에 따라 출력의 극성이 변하여 사물의 윤곽부근에서 큰 출력이 나타남을 알 수 있다.

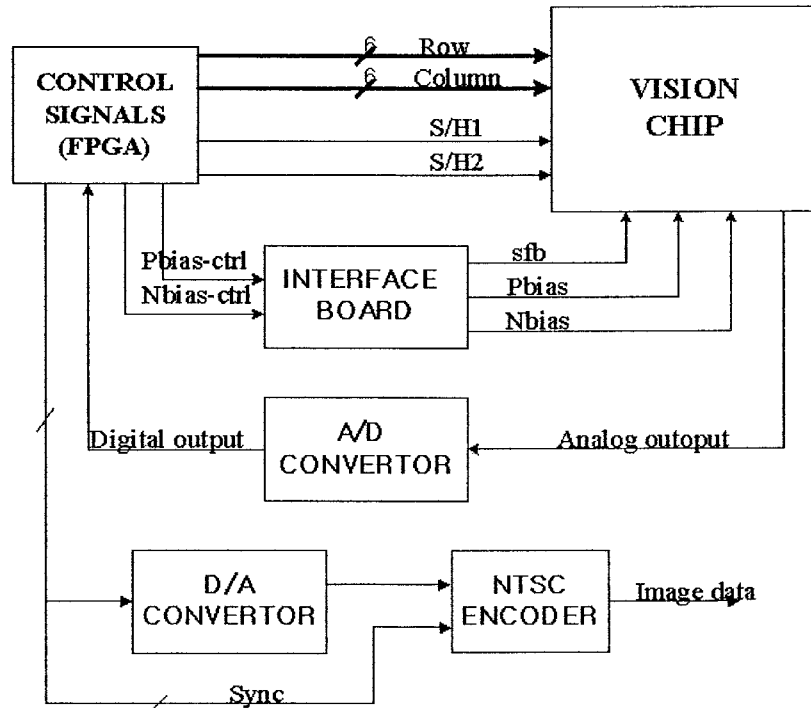


그림 34. 제어신호 생성 및 비디오 신호처리 회로의 블록도

Test pattern

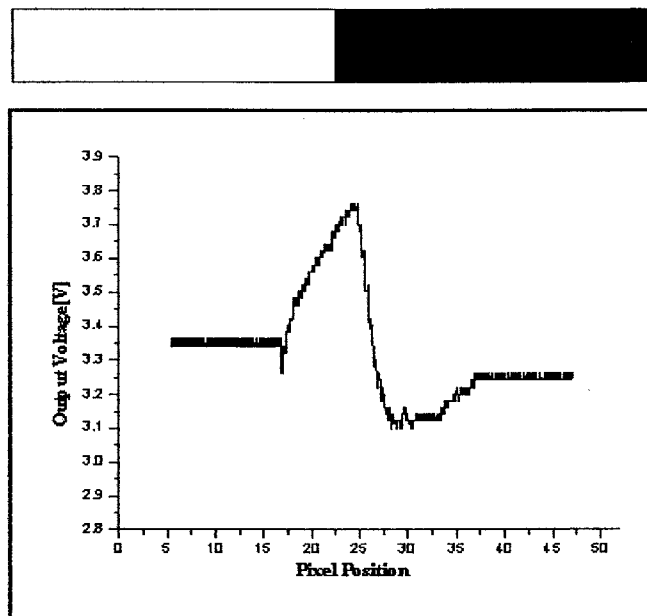
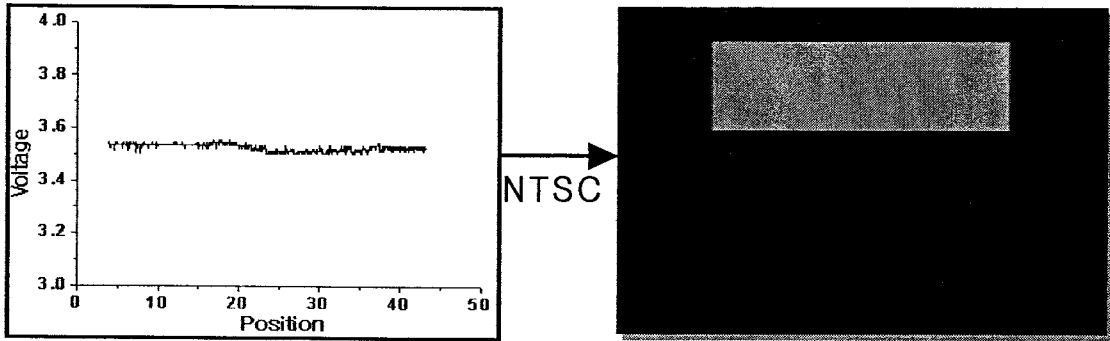
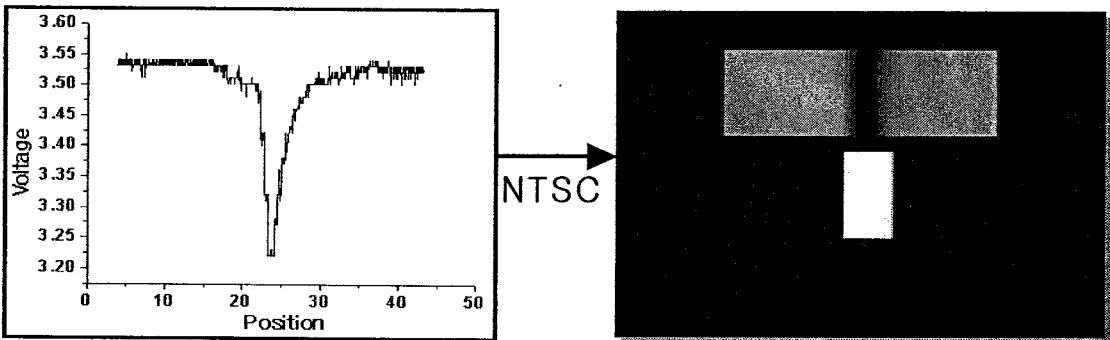


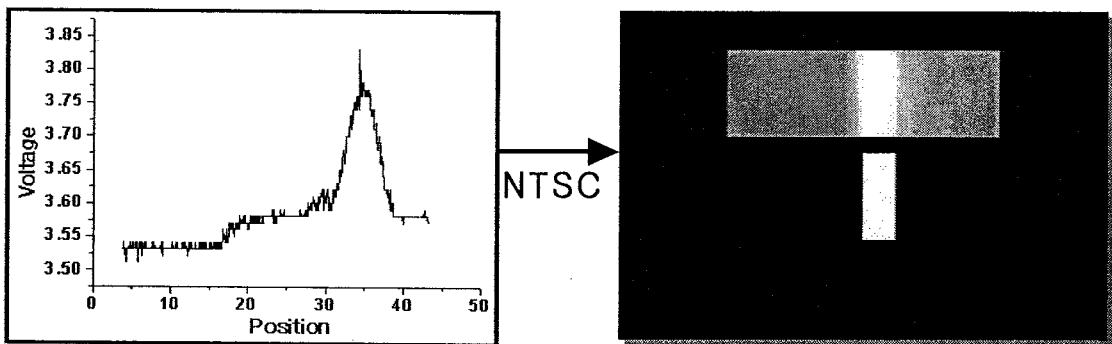
그림 35. 윤곽검출 출력특성



(a)



(b)



(c)

그림 36. 움직임검출 출력특성

(a) 물체가 정지한 경우 (b) 물체가 오른쪽으로 움직일 경우 (c) 물체가 왼쪽으로 움직일 경우

마. 저전력 윤곽검출 시각칩

고해상도의 윤곽검출 시각칩을 제작하기 위해 윤곽검출 회로의 수를 증가시킬 경우 소비전력 문제 및 회로를 탑재할 칩의 크기를 고려하지 않으면 안된다. 칩을 구성하는 단위회로의 수적 증가는 소비전력의 증가와 더불어 대면적을 요구하게 된다. 소비전력의 증가와 CMOS 생산 회사에서 제공하는 칩의 크기가 수 십 μm^2 이라는 조건은 결국 단위회로의 수적 증가를 제한하게 된다. 따라서 본 연구에서는, 고해상도의 윤곽검출 시각칩 구현을 위한 윤곽검출 회로의 수적 증가에 따른 전력소비의 최소화 방법으로 전자스위치(electronic switch)가 내장된 윤곽검출 회로를 제안하고, 제한된 칩의 면적에 더 많은 윤곽검출 회로를 넣기 위해 시세포 역할의 광검출 회로와 윤곽검출 회로를 분리하여 구성하는 방법을 적용하였다. 128×128 해상도를 갖는 광검출 회로가 1×128 의 윤곽검출 회로를 공유하여 동일한 칩 면적에 향상된 해상도를 갖는 칩을 설계하였다. 설계된 칩의 크기는 $4\text{mm} \times 4\text{mm}$ 이고, 소비전력은 SPICE simulation을 통해 약 20mW 가 됨을 확인하였다.

(1) 광검출 회로

생체 망막의 윤곽검출 메커니즘을 기초로 한 윤곽검출 시각칩의 제작에 있어 우선적으로 선행되어야 할 것이 시세포, 수평세포 및 쌍극세포에 대한 전자회로적인 모델링이다. 시세포의 역할로는 광신호를 전기적인 신호로 바꿀 수 있도록 광다이오드와 단일 pMOSFET로 구성된 logarithmic 회로 구조를 채택하였다. 광다이오드를 통해 흐르는 전류의 크기에 따라 노드 전압 V_{out} 은 로그스케일의 압축된 형태로 나타난다. 그림 37는 logarithmic circuit 구조와 입력 전류 변화에 따른 출력 전압의 변화를 나타낸 것이다. 광다이오드(PD)를 통해 흐를 수 있는 전류의 크기가 MOSFET의 subthreshold 영역을 벗어나기 어렵다는 가정하에 10^{-13} 에서 10^{-6} 까지 로그스케일로 증가시켰다. 로그스케일의 전류변화에 대해 거의 선형적으로 전압의 변화가 생김을 simulation결과를 통해 알 수 있고, 약 140dB 정도의 넓은 dynamic range를 가짐을 알 수 있다.

(2) 윤곽검출 회로의 제안

시세포를 통해 입력되는 신호를 인접한 세포들과 연계해서 공간적으로 평활화시키는 수평세포, 시세포와 수평세포의 신호의 차를 출력하는 쌍극세포의 전자회로적 모델을 그림 38에 나타내었다.

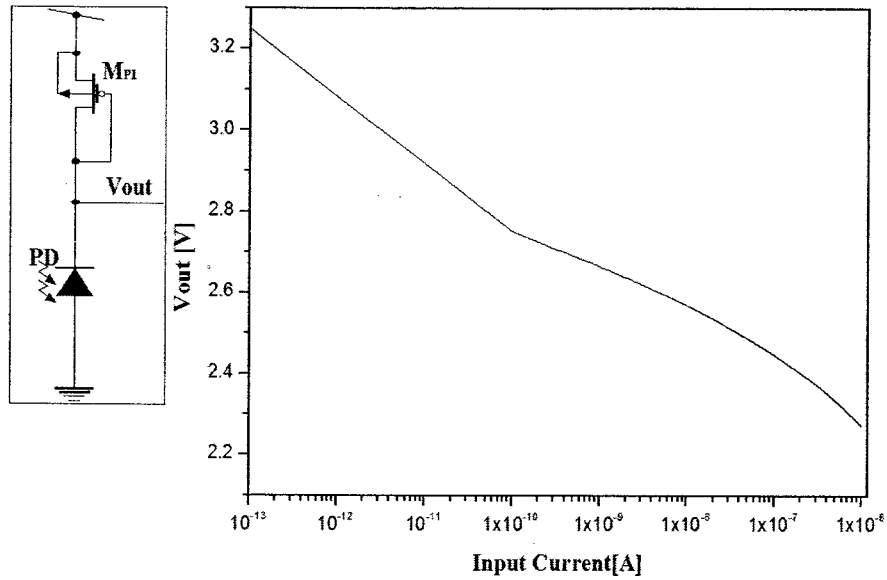


그림 37. logarithmic 회로 구조 및 입출력 특성

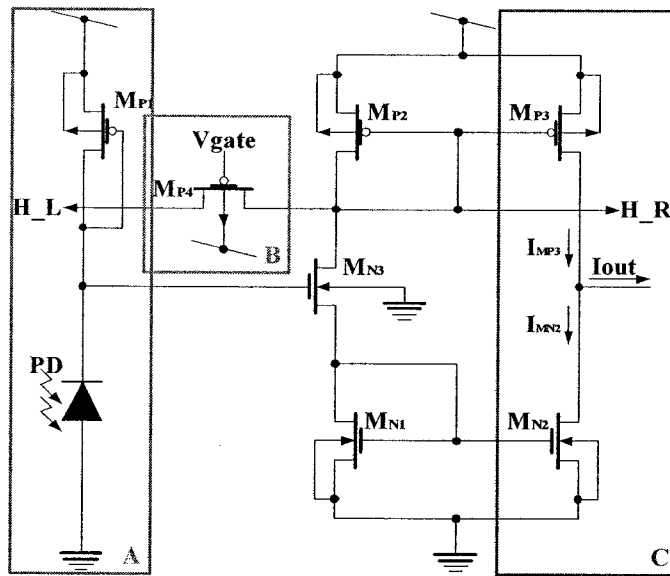


그림 38. 제안된 율곽검출 회로

블록 A는 시세포 역할의 광검출 회로를 나타낸 것이고, 블록 B는 수평세포 역할의 pMOSFET이며, H_L과 H_R은 좌·우에 배치되는 율곽검출 회로와 연결됨을 의미한다. 그리고 블록 C는 M_{P4} 를 통해서 평활화된 전류(I_{MP3})와 광검출 회로를 통한 전류(I_{MN2})의 차이를 출력하는 쌍극세포의 역할을 한다.

(3) 율곽검출 회로의 동작 원리

제안된 회로의 동작원리 이해를 돕기 위해 윤곽검출 회로를 그림 39과 같이 1차원 배열하였다. 광입력은 계단함수 형태라 가정하고, 각 영역에서의 윤곽검출 회로의 동작 특성을 살펴보았다.

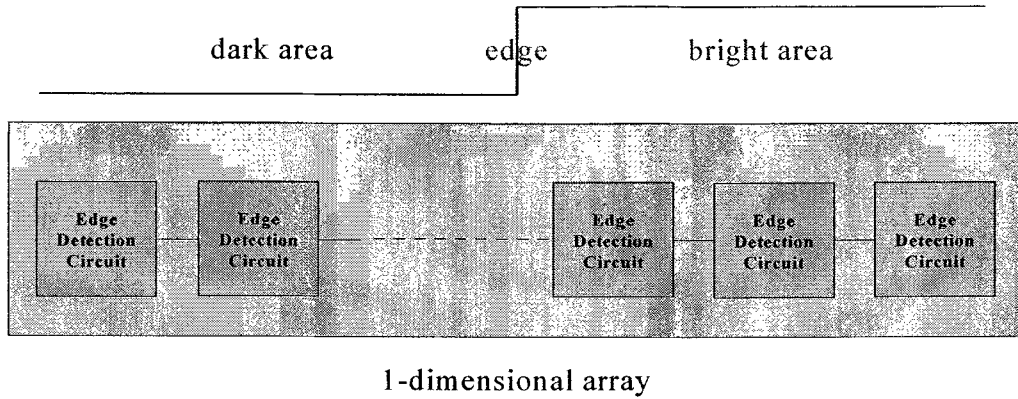


그림 39. 계단함수 형태의 광입력과 1차원 배열된 윤곽검출 회로의 블록도

(가) M_{P4} 가 없는 윤곽검출 회로의 동작 원리

먼저, M_{P4} 의 역할이 무엇인지 살펴보겠다. 수평세포 역할의 MOSFET가 없는 회로의 경우 그 출력 특성이 어떠한가를 알아보기 위해 M_{P4} 를 제외시키고 기본적인 동작 원리를 알아보았다. 그림 40은 M_{P4} 를 제외시킨 윤곽검출 회로를 나타낸 것이다.

PD를 통해서 흐르는 전류 I_{PH} 는 작은 전류라서 MOSFET는 subthreshold 영역에서 동작하게 된다. 따라서 V_C 노드의 전압 I_{PH} 에 대해서 로그함수형태의 관계를 갖게 된다.

$$I_{PH} = \frac{W}{L} I_{D0} \exp \frac{V_C}{U_T} \frac{1}{n} \quad (15)$$

여기서, W 와 L 은 MOSFET의 채널 폭과 길이, I_{D0} 는 공정에 의존적인 파라미터, n 은 subthreshold 기울기 요소이며, V_C 는 출력전압이다. 식 (15)의 V_C 노드는 MOSFET(M_{N3})의 gate 단자에 연결되어 있어 M_{N3} 를 통해 흐르는 전류 I_{MN3} 의 크기를 결정하게 된다. V_C 의 전압에 따라 M_{N3} 는 MOSFET의 선형 및 포화영역에서 동작될 수 있다. 따라서, I_{MN3} 의 크기는 다음과 같이 표현될 수 있다.

$$I_{MN3} = \frac{W}{L} \mu C_{OX} [(V_C - V_T) V_{DS} - \frac{1}{2} V_{DS}^2] \quad (16-1)$$

$$I_{MN3} = \frac{W}{L} \mu C_{OX} [(V_C - V_T)^2] (1 + \lambda V_{DS}) \quad (16-2)$$

식 (16-1)은 선형영역일 때, (16-2)는 포화영역일 때의 MOSFET 전류식이다. I_{MN3} 의 크기에 따라 V_1 노드의 전압이 결정된다.

M_{P2} 와 M_{P3} 로 구성된 pMOSFET 전류 미러와 M_{N1} 과 M_{N2} 로 구성된 nMOSFET 전류 미러에 의해 I_{MN3} 는 각각 I_{MP3} 와 I_{MN2} 로 복사된다. 한 점을 기준으로 유입되는 전류의 합과 유출되는 전류의 합은 같다는 KCL로부터 I_{out} 을 표현하면,

$$I_{out} = I_{MP3} - I_{MN2} = I_{MP3} - I_{MN2} \quad (17)$$

이다. 이상적인 경우, I_{MP3} 와 I_{MN2} 는 그 크기가 같고 식 (17)에 의해 $I_{out} = 0$ 이 되겠지만 MOSFET의 부정합에 의한 영향으로 옅색 전류가 출력된다. I_{PH} 의 크기변화(밝거나 어두운 영역)에 따른 I_{out} 의 변화는 전류 미러로 구성된 M_{P3} 와 M_{N2} 를 통해 흐르는 전류 I_{MP3} 와 I_{MN2} 에 의해 결정되지만, M_{P4} 가 없는 경우 I_{PH} 의 변화에 관계없이 I_{out} 은 항상 일정한 옅색 전류를 갖게 된다. 따라서, M_{P4} 가 없는 윤곽검출 회로의 1차원 배열에 따른 출력결과는 계단함수 형태를 가지게 된다.

(나) M_{P4} 가 내장된 윤곽검출 회로의 동작 특성

어두운(밝은) 영역(그림 39의 dark area(그림 39의 bright area))에 위치한 윤곽검출 회로의 동작 특성은 M_{P4} 가 없는 윤곽검출 회로의 동작 특성과 유사하다. 그림 38에서, V_{gate} 에 적절한 전압을 인가(0V)한 상태에서 입력 광강도의 변화에 따른 I_{out} 의 변화를 살펴보자.

어두운(밝은) 영역에서는 I_{PH} 가 작고(크고), I_{PH} 의 크기에 따라 V_C 노드의 전압은 크게(작게) 결정되고, 이 노드의 전압에 의해 M_{N3} 를 통해서 흐르는 전류 I_{MN3} 는 크게(작게) 결정된다. I_{MN3} 의 크기에 따라 V_1 노드의 전압이 작게(크게)되고, 이로 인해 M_{P4} 의 source와 drain이 결정된다. 그러나 좌·우에 배치되어 있는 다른 윤곽검출 회로의 V_1 노드 역시, 같은 크기의 I_{PH} 의 입력을 받으므로 동일한 전압을 갖게 된다. 따라서 M_{P4} 를 통해서 흐르는 전류는 V_{gate} 의 전압에 상관없이 거의 무시될 수 있고, 이는 결국 M_{P4} 가 없는 윤곽검출 회로의 동작 특성과 같다. I_{out} 은 식 (17)의 관계를 따르며, 옅색 전류의 크기를 갖는다.

그림 41은 V_{gate} 의 전압을 0V로 고정 후, 1 pA 배경광에 대한 입력 광강도의 변화가 10pA, 100pA, 그리고 1 μ A인 경우 어두운(밝은) 영역의 출력 특성에 대한 simulation 결과를 나타낸 것이다. simulation 결과로부터 어두운(밝은) 영역에서의 윤곽검출 회로의 출력은 이미 예상한 바와 같이 거의 동일한 옅색 전류의 크기를

가짐을 알 수 있다.

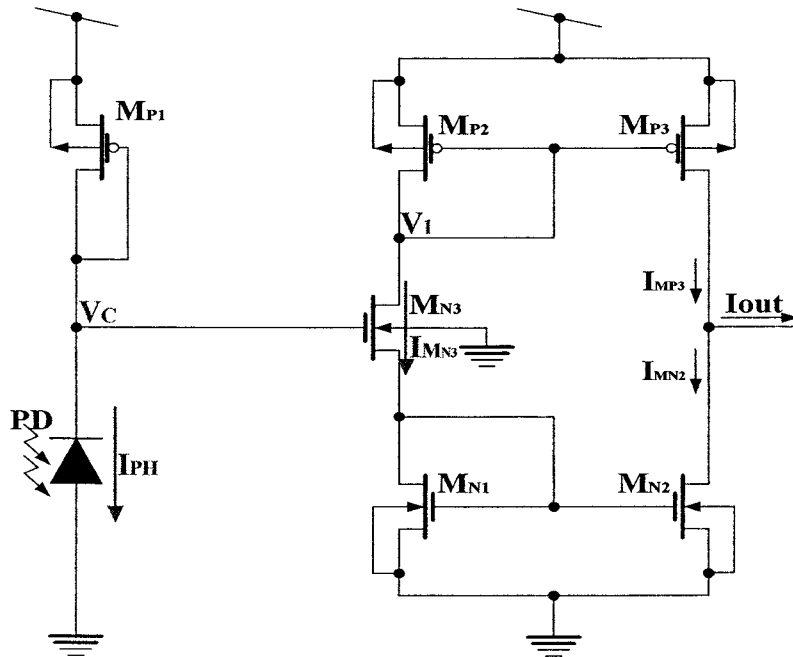


그림 40. M_{P4} 를 제외시킨 윤곽검출 회로

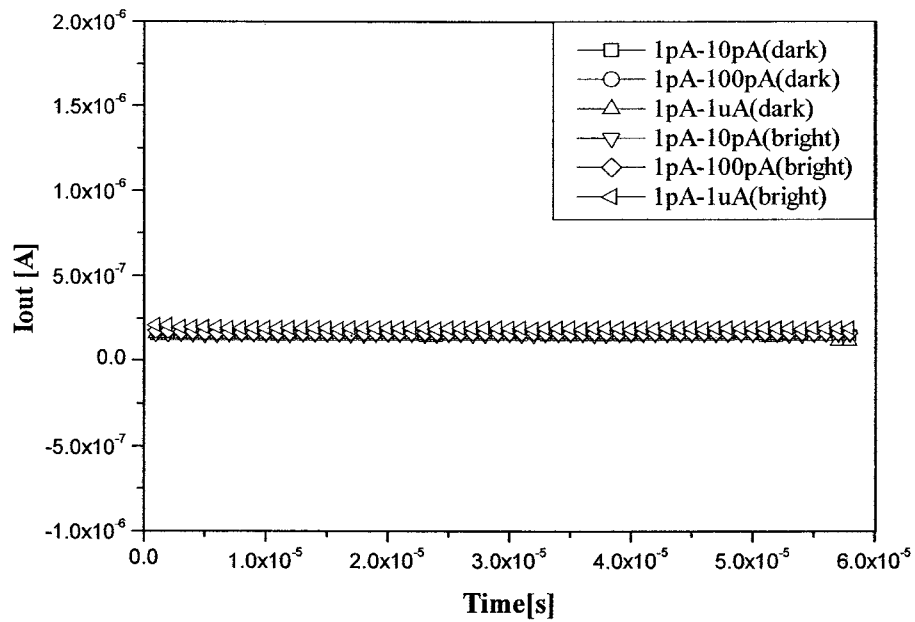


그림 41. M_{P4} 가 내장된 윤곽검출 회로의 어두운(밝은) 영역에서의 동작 특성($V_{gate}=0V$)

(다) M_{P4} 가 내장된 윤곽검출 회로의 동작 특성II

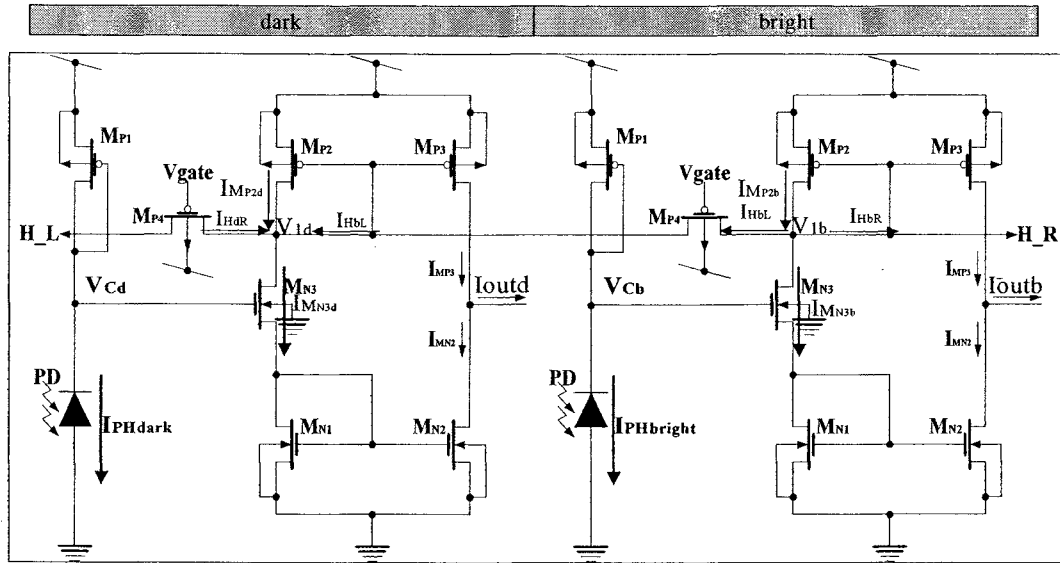


그림 42. 윤곽부분의 윤곽검출 회로

그림 42는 윤곽부분에 위치한 두 개의 윤곽검출 회로를 나타낸 것이다. 왼쪽 (dark)은 어두운 영역의 시작지점이고 오른쪽(bright)은 밝은 영역의 시작지점이다. Vgate에는 적절한 전압(0V)이 인가된 상태이다.

I_{PHdark} 와 $I_{PHbright}$ 는 입력 광강도의 크기가 다를 수 있음을 의미한다. I_{PHdark} 전류에 의한 V_{Cd} 노드의 전압은 $I_{PHbright}$ 전류에 의한 V_{Cb} 노드의 전압에 비해 상대적으로 높다. V_{Cd} 노드 전압에 의한 I_{MN3d} 의 전류는 V_{Cb} 에 의한 I_{MN3b} 의 전류에 비해 상대적으로 크다. 따라서 V_{1d} 노드의 전압은 V_{1b} 노드의 전압에 비해 작은 값을 갖는다. 이 때, V_{1d} 와 V_{1b} 노드에 연결되어 있는 M_{P4} 의 source와 drain은 V_{1d} 와 V_{1b} 의 전압 크기에 의해 결정된다.

① 밝은 영역의 시작점(bright)

V_{1b} 노드의 전압이 V_{1d} 노드의 전압보다 크므로 M_{P4} 의 source는 V_{1b} 가 된다. Vgate에는 0V의 전압이 인가된 상태이고, M_{P4} 의 source에서 drain으로의 전류흐름이 발생된다. M_{P4} 를 통해 흐르는 전류를 I_{HbL} 과 I_{HbR} 이라 가정하고, V_{1b} 노드를 기준으로 KCL을 적용하여 보면 다음과 같다.

$$I_{MN2b} + I_{HbL} + I_{HbR} - I_{MP2b} = 0 \quad (18)$$

전류 I_{MP2b} 는 M_{P2} 와 M_{P3} 의 전류 미러에 의해 I_{MP3} 로 복사되고, I_{MN3b} 는 V_{Cb} 노드 전압에 의해 일정하게 흐르며 M_{N1} 과 M_{N2} 로 구성된 전류 미러에 의해 I_{MN2} 로 복사된다. 출력 전류 I_{outb} 는 식 (17)과 식 (18)로부터 다음과 같이 표현할 수 있다.

$$\begin{aligned} I_{outb} &= I_{MP3} - I_{MN2} = I_{MP2b} - I_{MN3b} \\ &= I_{MN3b} + I_{HbL} + I_{HbR} - I_{MN3b} = I_{HbL} + I_{HbR} \end{aligned} \quad (19)$$

따라서 밝은 영역이 시작되는 지점에서의 I_{outb} 는 식 (19)와 같은 (+)의 전류를 갖게 된다.

② 어두운 영역의 시작점(dark)

V_{1d} 노드의 전압이 V_{1b} 노드의 전압보다 작으므로 M_{P4} 의 drain은 V_{1d} 가 된다. V_{gate} 에는 0V의 전압이 인가된 상태이고, M_{P4} 의 source로부터 drain으로 전류의 유입이 발생된다. M_{P4} 를 통해 흐르는 전류를 I_{Hb} 라 가정하고, V_{1d} 노드를 기준으로 KCL을 적용하여 보면 다음과 같다.

$$I_{MN2d} - I_{HbL} - I_{HbR} - I_{MP2d} = 0 \quad (20)$$

전류 I_{MP2d} 는 M_{P2} 와 M_{P3} 의 전류 미러에 의해 I_{MP3} 로 복사되고, I_{MN3d} 는 V_{Cb} 노드 전압에 의해 일정하게 흐르며 M_{N1} 과 M_{N2} 로 구성된 전류 미러에 의해 I_{MN2} 로 복사된다. 출력 전류 I_{outd} 는 식 (17)과 식 (20)으로부터 다음과 같이 표현할 수 있다.

$$\begin{aligned} I_{outd} &= I_{MP3} - I_{MN2} = I_{MP2d} - I_{MN3d} \\ &= I_{MN3d} - I_{HbL} - I_{HbR} + I_{MN3d} = -(I_{HbL} + I_{HbR}) \end{aligned} \quad (21)$$

따라서 어두운 영역이 시작되는 지점에서의 I_{outd} 는 (-)의 전류를 갖게 된다.

이상과 같이 밝은 영역이 시작되는 부분은 (+)의 전류, 어두운 영역이 시작되는 부분은 (-)의 전류가 출력된다. 따라서 윤곽에서만 뚜렷한 출력의 변화를 볼 수 있고, M_{P4} MOSFET가 입력되는 신호의 일부를 인접한 윤곽검출 회로로 전달함으로써 이러한 결과를 얻게 된다는 것을 알 수 있다.

(라) 저전력 윤곽검출 회로의 제안

제안된 아날로그 윤곽검출 회로를 이용하여 고해상도의 시각칩을 설계하고자 할 때, 고려하지 않으면 안되는 것이 소비전력이다. 그림 38에서, logarithmic 회로의 V_{out} 단자와 M_{N3} 의 gate 단자의 연결은 항상 I_{MN3} 의 전류를 흘리게 한다. I_{MN3} 는 결국 전류 미러로 구성된 M_{P3} 와 M_{N2} 에도 전류를 흘리게 한다. 따라서 전원인가와 동

시에 윤곽검출 회로는 전류를 계속해서 흘리게 된다. 저해상도(32×32이하)의 경우 그렇게 큰 문제가 되지 않으나 고해상도(128×128이상)를 구현하고자 할 경우, 수 W의 전력이 소비될 것으로 예상된다. 따라서 소비전력의 최소화가 필요하다.

① 전자스위치

그림 43은 소비전력의 최소화를 위한 전자스위치 회로를 나타낸 것이다. M_{N3} gate는 그림 4의 M_{N3} gate 단자에, V_C 는 logarithmic 회로의 V_C 노드에 연결되는 것을 의미한다.

V_{trns} 의 신호가 높은 경우(2.5V), M_{P5} 는 OFF가 되고 M_{N6} 는 ON이 되어 M_{N3} 의 gate 단자가 그라운드와 연결된다. 반면에 V_{trns} 의 신호가 낮은 경우(0V) M_{P5} 는 ON이 되고 M_{N6} 는 OFF가 되어 V_C 노드와 M_{N3} 의 gate 단자를 연결시켜 준다. 전원이 인가되더라도 V_{trns} 의 신호가 2.5V를 유지하는 동안은 M_{N3} 를 통한 전류의 흐름을 막을 수 있고, 이로 인해 M_{P3} 와 M_{N2} 를 통해 흐르는 전류 역시 제한시킬 수 있다. V_{trns} 의 신호가 2.5V인 경우, simulation을 통해서 약 10^{-17} 의 전류가 M_{N3} , M_{P3} , 그리고 M_{N2} 에 흐르는 것을 확인할 수 있었다. V_{trns} 신호를 제어해서 선택적으로 전류를 흘려보낼 수 있도록 하여 소비전력의 최소화를 이룰 수 있음을 알 수 있다.

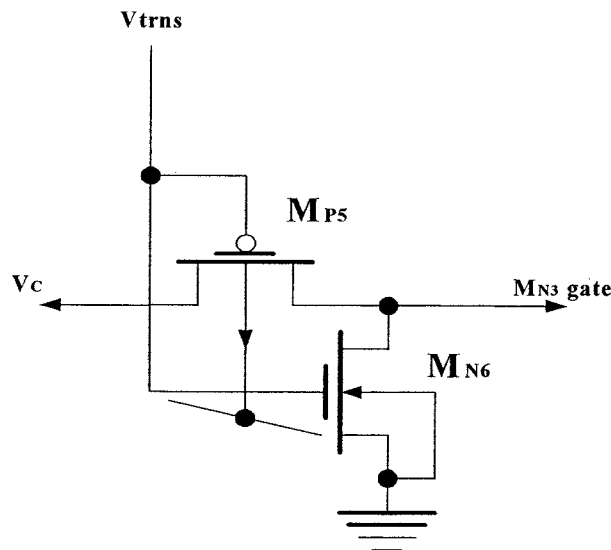


그림 43. 전자스위치

② 제한된 면적에 고해상도 구현을 위한 회로 배치 방법의 제안

CMOS 공정라인에서 제공되는 칩의 크기가 수 십 mm 정도라는 제한이 고해상도

윤곽검출 시각칩의 구현에 있어 어려움을 증가시킨다. 따라서 이를 극복할 수 있는 회로배치 방법을 채택하였다.

제안된 윤곽검출 회로의 광검출 회로와 윤곽검출 회로를 그림 44와 같이 분리하여, 광검출 회로는 128×128의 해상도를, 윤곽검출 회로는 1×128의 해상도를 갖도록 배치하였다. 1차원 배열된 윤곽검출 구동회로를 2차원 배열된 광검출 회로가 공유하여, 제한된 면적에 더 많은 해상도를 가질 수 있도록 하였다. 2차원 배열된 광검출 회로 1개의 행이 선택되었을 때, 나머지 127행의 배열은 전자스위치의 OFF 상태로 말미암아 윤곽검출 회로와의 직접적인 연결 및 영향 없이 마치 하나의 광검출 및 윤곽검출 회로로 구성되어 동작하는 것처럼 된다.

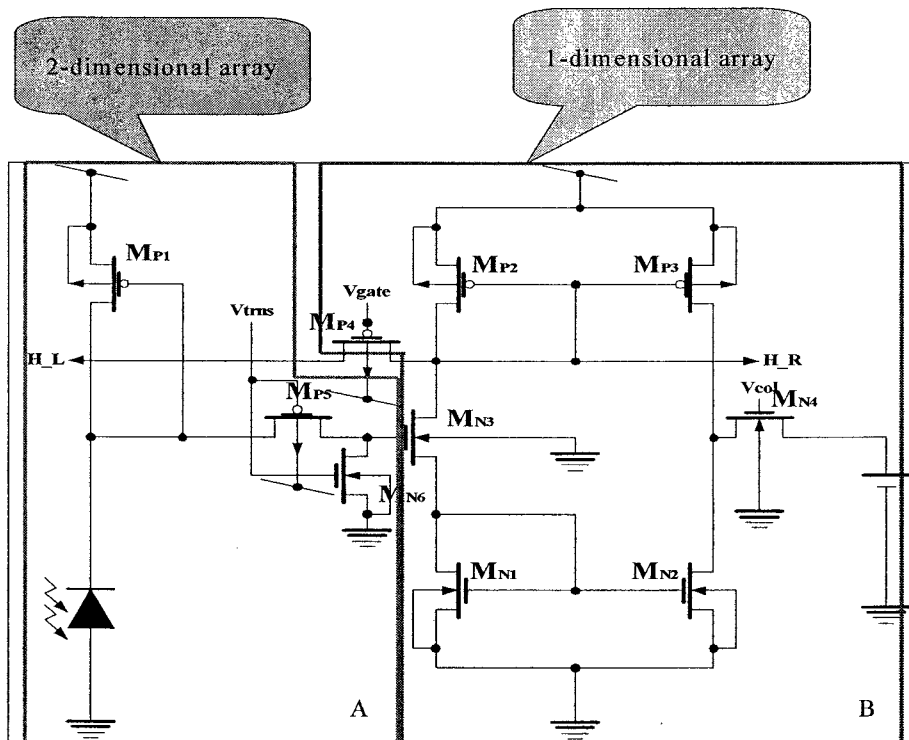


그림 44. 광검출 회로와 윤곽검출 회로의 분리

(마) simulation 및 칩 설계

제안된 윤곽검출 회로를 1차원 128개 배열하여 배경광과 입력 광의 차이에 대한 simulation을 수행하였다. 배경광은 1pA로 가정하고, 입력 광강도는 10pA, 100pA, 그리고 1μA까지 변화시켰다. 그림 45는 1×128로 배열된 윤곽검출 회로의 simulation 결과이다. 일정한 밝기(어둡거나 밝은 영역)에서는 출력의 변화가 거의 없고, 윤곽부분에서만 뚜렷한 출력의 변화를 가짐을 알 수 있다.

x축이 시간인 이유는 7×128 decoder를 설계하고 이를 윤곽검출 회로의 출력을 선택하기 위한 M_{N4} 의 gate에 연결시켜 시간에 따른 출력 특성을 조사하였기 때문이다. 각각의 단위회로의 출력선택을 위해 할당되는 클럭의 주기는 $2\mu\text{s}$ 이며, 0~ $260\mu\text{s}$ 까지 관찰하였다. 최종적으로 윤곽검출 회로의 출력단자에는 전류-전압 변환기와 전류증폭을 위한 버퍼를 배치하였다.

또한, simulation 수행시 M_{N3} , M_{P3} , 그리고 M_{N2} 의 전자스위치 동작에 따른 특성을 조사하였다. V_{trns} 가 2.5V 일 때, 윤곽검출 회로를 구성하는 각 MOSFET를 통해 10^{-17} 정도의 전류가 흐른다는 것을 확인하였고, V_{trns} 가 0V 일 때 전자스위치를 통해서 V_C 노드의 전압이 잘 전달됨을 확인하였다. simulation 결과, 1×128 윤곽검출 회로는 윤곽검출을 위한 구동시 필요한 전력이 약 20mW정도로 나타났다.

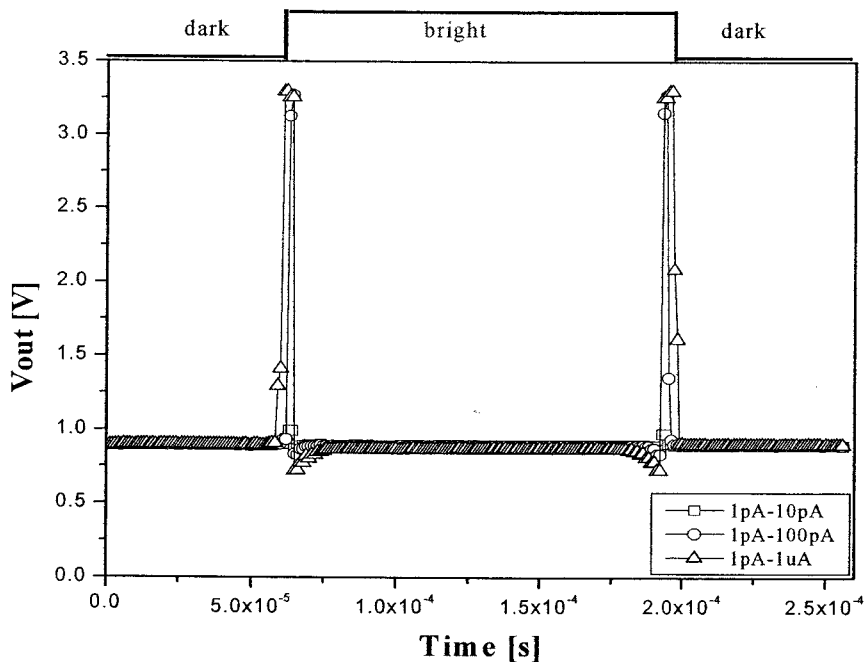


그림 45. simulation 결과

그림 46은 전자스위치 제어를 위한 타이밍과 윤곽검출 회로로부터 출력을 얻기 위한 클럭 타이밍도이다. $260\mu\text{s}$ 의 클럭 주기에서 마지막 $4\mu\text{s}$ 는 윤곽검출 회로로부터 어떠한 출력도 얻지 않고, 다음의 상태로 넘어가기 전의 준비상태이다.

simulation 결과로부터, 제안된 윤곽검출 회로는 10pA에서 $1\mu\text{A}$ 까지 넓은 영역의 광강도 변화에도 뚜렷한 윤곽을 검출할 수 있다는 것을 알 수 있다. 제안된 윤곽검

출 회로의 입력 dynamic range는 약 120dB이다.

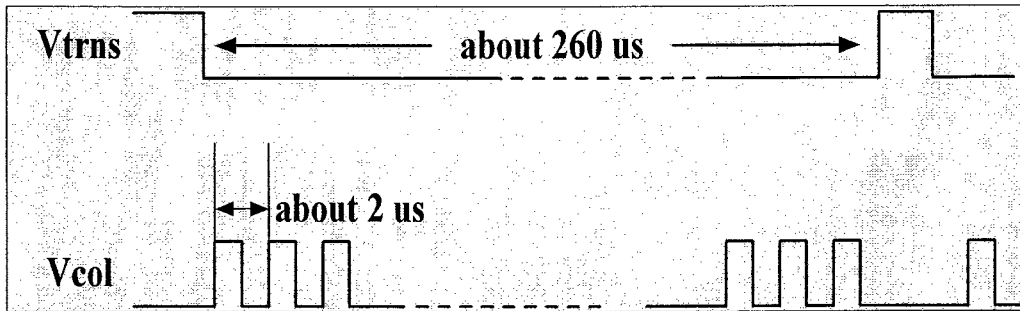


그림 46. 전자스위치 제어용 타이밍도

그림 47은 칩 레이아웃의 블록도이다. 칩의 중심(core)부분은 128×128 해상도의 광검출 회로로 구성되어있고, 1×128 해상도의 윤곽검출 구동회로와 연결되어 있다. 칩의 주변부는 윤곽검출 구동회로의 출력을 선택하기 위한 7×128 열 선택 decoder와 전자스위치 제어를 위한 7×128 행 선택 decoder가 탑재되어있다. 아울러 전류출력을 전압으로 변환하고, 신호를 증폭하기위한 버퍼가 출력단에 배치되어 있다.

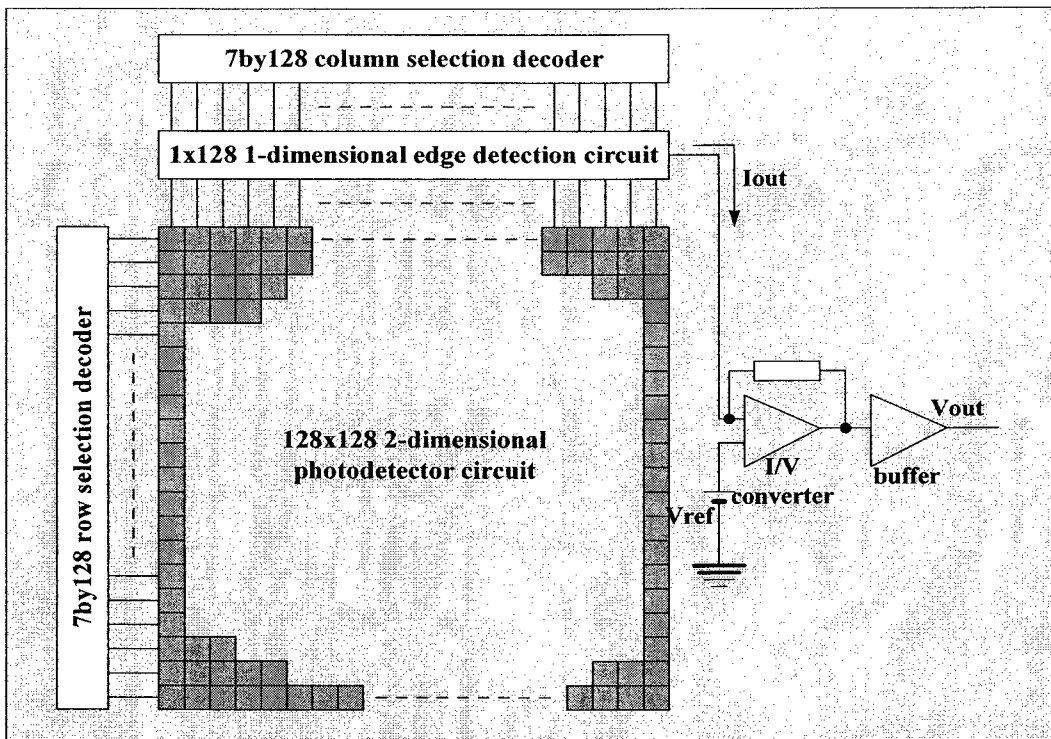


그림 47. 윤곽검출 시각칩의 블록도

그림 48은 실제 설계된 칩의 레이아웃을 나타낸 것이다. 0.25 μm 5-metal 1-poly 표

준 CMOS 공정을 이용하여 설계하였다. 단위픽셀을 이루는 광검출 회로의 크기는 $26\mu\text{m}\times 26\mu\text{m}$ 이고, 전체 칩 크기는 $4\text{mm}\times 4\text{mm}$ 이다.

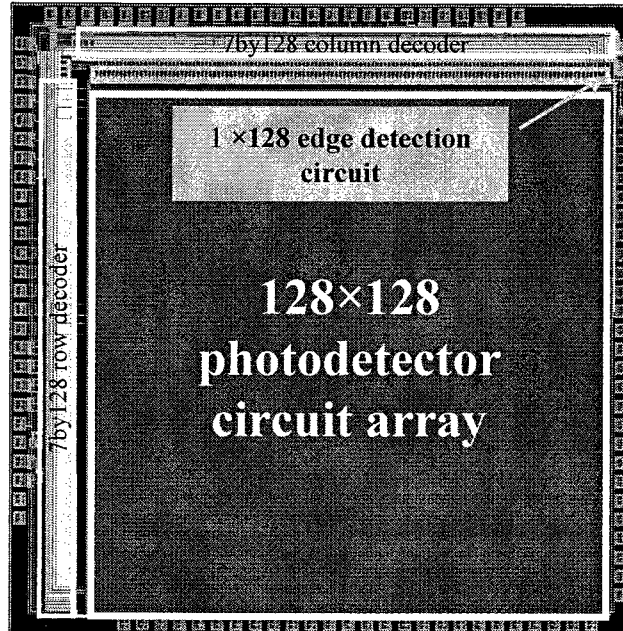


그림 48. 전체 칩 레이아웃

마. offset-free column readout 회로를 적용한 윤곽검출 시각칩

시각칩 제작 시 발생할 수 있는 잡음 문제, 예를 들어 공정 변수에 의한 고정 패턴 노이즈(FPN)를 고려해야 한다. Photo detector에서 발생하는 FPN을 offset-free column readout circuit(OFCRC)을 이용하여 제거한 생체 망막을 모델로 한 윤곽검출 회로를 제안한다. 사용되는 OFCRC는 one source follower, 5개의 transmission gate로 구성되어 기존의 correlated double sampling(CDS) circuit에 비해 간단하면서도 충분히 잡음을 줄일 수 있었다. 2-poly 4-metal 표준 CMOS 공정을 이용하여 설계하였고, 현재 제작중에 있다.

(1) 일반적인 CDS회로와 offset-free column readout 회로와의 비교

일반적인 CDS 회로는 4개의 MOSFET 스위치, 2 개의 커패시터, 그리고 1개의 연산증폭기를 이용한다. 그림 49는 일반적인 CDS회로의 개략도를 나타낸 것이다.

SW₁이 ON이 되면 C₁에는 V_{in} - V_{off}에 비례하는 전하가 충전되고, 연산증폭기는 buffer로써 동작한다. SW₁이 OFF가 되고, SW₂가 ON이 되면 C₁의 전하들이 C₂로 방전되기 시작한다. 결국 출력전압은 V_{off} - { (V_{in} - V_{off})}가 되어 옅은 전압이 상쇄된다. 이에 반하여, OFCRC는 1개의 커패시터, 5개의 스위치, 그리고 1개의 source follower로 구성되어 있다. 기존의 CDS circuit에 비해서 간단한 구조이고, 큰 면적을 차지하는 커패시터가 1개만 필요하므로 일반적인 CDS 회로에 비해 상대적으로 작은 면적으로도 단위픽셀회로를 구현할 수 있다. 그림 50은 OFCRC의 개략도이다.

SW₁이 ON되면, V_{in}에 V_{in1}이 인가되어 M_{n1}의 gate에 인가되고, C에는 V_{ref} - V_{out}에 비례하는 전하가 축적된다. 이 때, 커패시터 C에 저장되는 전하량은 식 (22)와 같이 표현가능하다.

$$Q = C(V_{ref} - V_{out}) = C \left(V_{ref} - V_{in1} + V_{th} + \sqrt{\frac{2I_o}{K_n}} \right) \quad (22)$$

SW₁은 OFF가 되고, SW₂가 ON이 되면 V_{in}에는 V_{in2}가 인가되고, C에 저장되는 전하량은 식 (23)과 같게 된다.

$$Q = C(V_g - V_{in2}) \quad (23)$$

전하량 보존의 법칙에 의해 식 (22)와 (23)은 같으므로, 최종출력은 단지 입력

전압과 기준 전압에 의한 결과만을 나타낸다(식 25).

$$V_{out} = V_g - V_{th} - \sqrt{\frac{2I_o}{K_n}} \quad (24)$$

$$V_{out} = V_{ref} - V_{in1} + V_{in2} \quad (25)$$

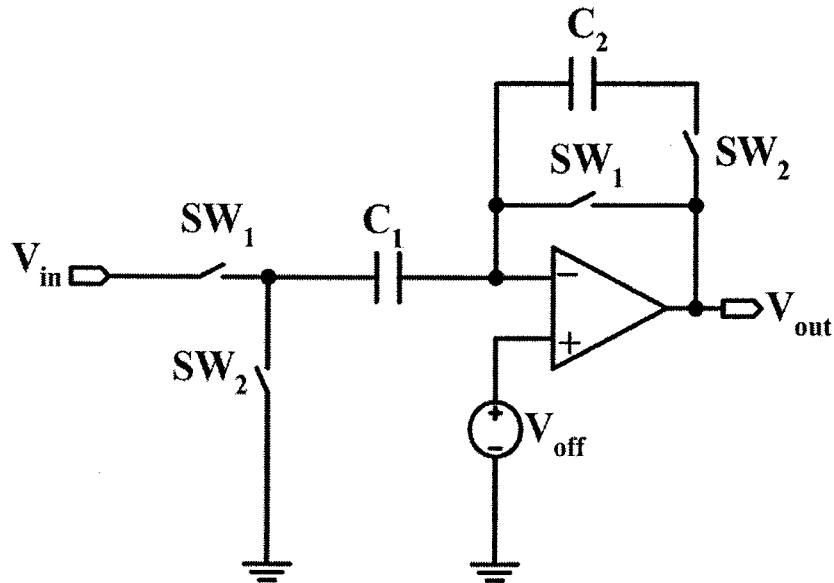


그림 49. 일반적인 CDS회로의 개략도

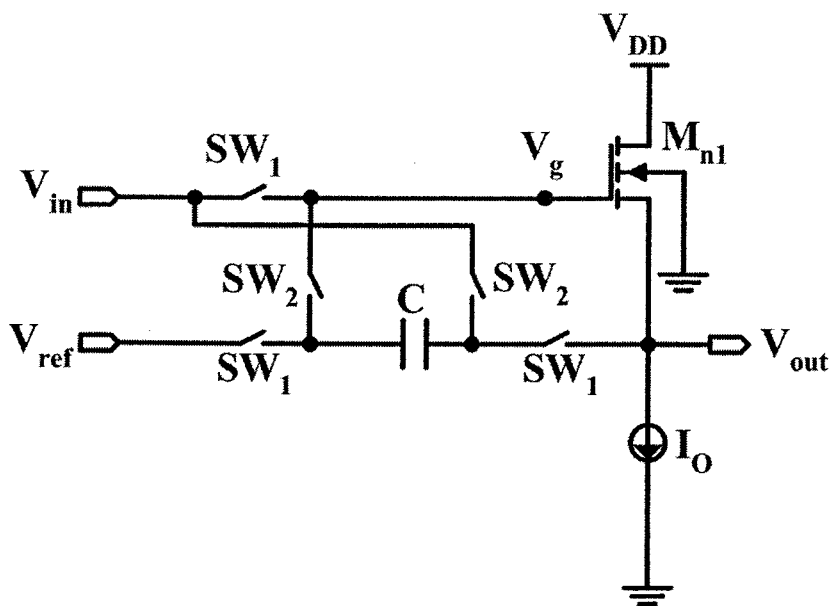


그림 50. offset-free column readout 회로의 개략도

그림 51은 문턱전압을 임의로 변화시킨 후, OFCRC에 적용하여 simulation한 결과이다. 사용되는 회로의 M_{n1} 의 문턱전압을 0.355V에서 0.828V까지 변화시켰다. simulation 결과 SW_1 이 ON되었을 때는 출력 전압은 0.97V에서 1.35V까지 변화였다. 동일한 입력 전압에 대해 400mV의 변화된 출력 전압을 얻었다. 다시 SW_2 를 ON 시켰을 때는 1.75V에서 1.83V까지 변화된 출력 전압을 얻었다. 결국 500mV의 문턱전압 변화분에 대해서 80mV만이 변화된 출력을 얻었다.

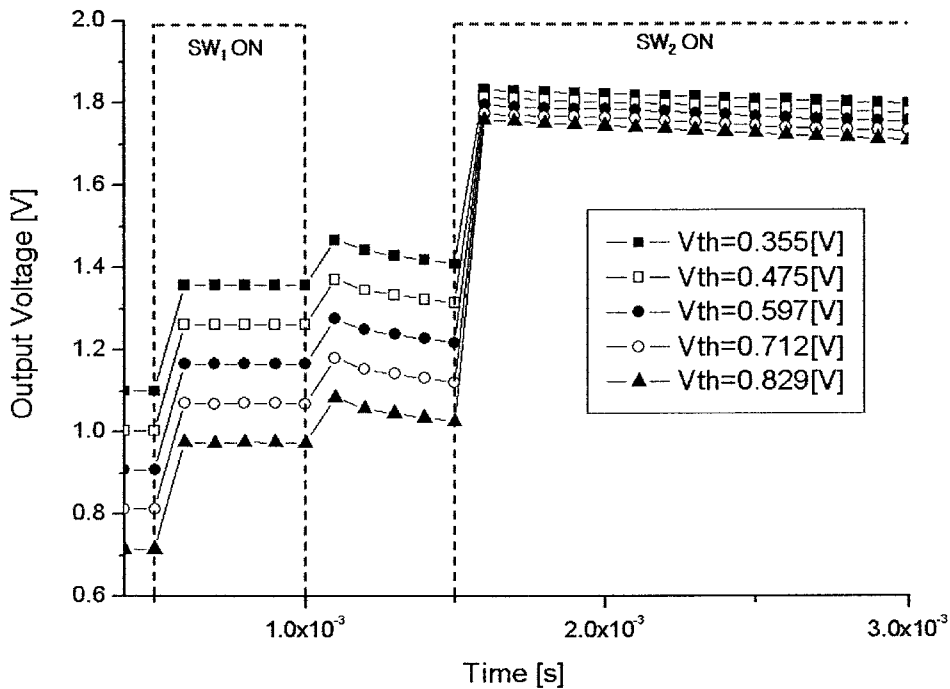
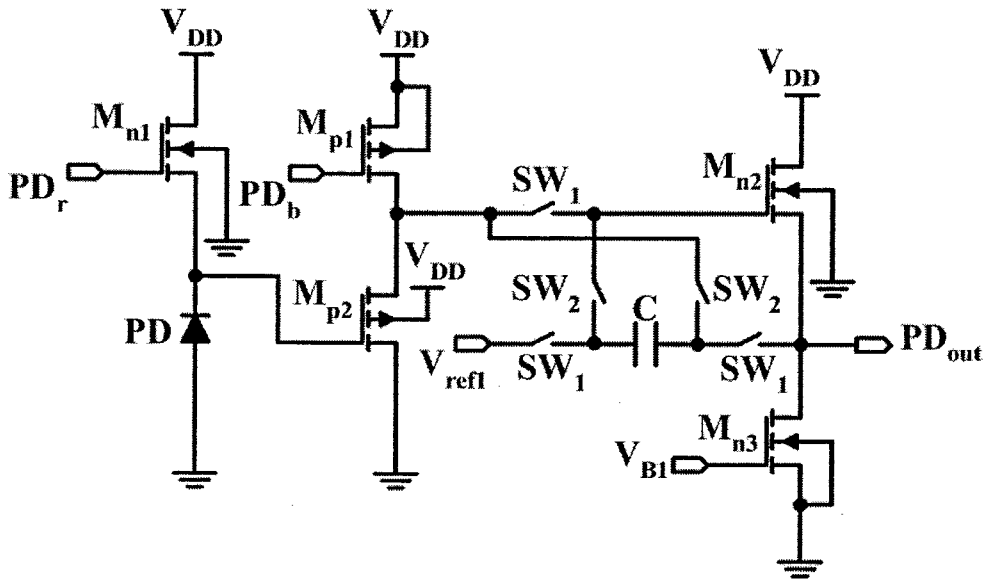


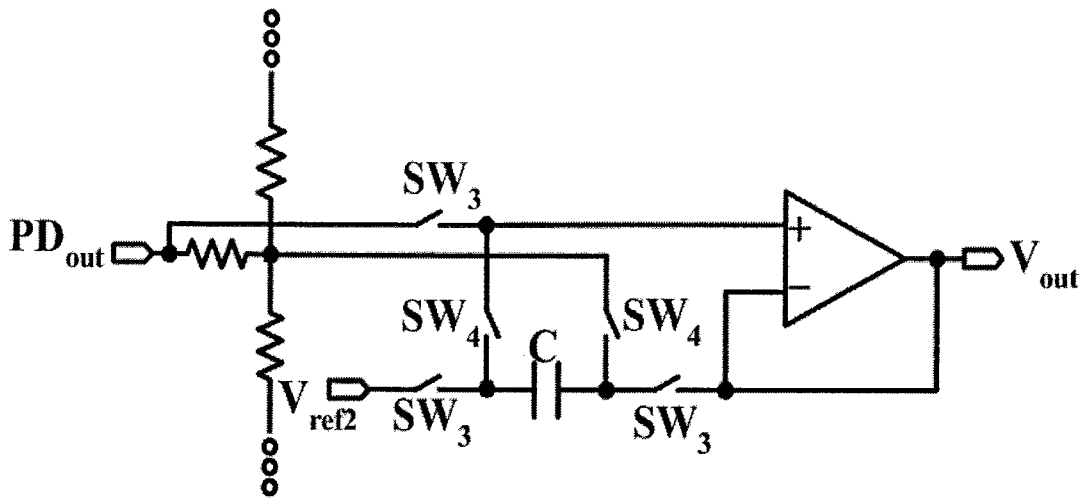
그림 51. 문턱전압의 함수로써 시간에 따른 출력전압의 변화

(2) 단위픽셀회로의 구성

단위픽셀의 구조를 보면 시세포를 APS 회로로 구성하고, 여기에서 발생할 수 있는 FPN을 줄이기 위해 OFCRC를 사용하였다. 수평세포는 선형저항회로망으로 구성하여 수광부의 출력을 공간적으로 평활화 하였다. 쌍극세포는 OFCRC를 사용하여 수광부의 출력신호와 선형저항회로망을 통해서 평활화된 신호의 차를 얻었다. 동시에 출력 회로에서 발생 할 수 있는 FPN을 CDS 기술을 적용하여 줄이고자 하였다. 그림 52(a)는 수광회로부에 적용된 OFCRC를 나타낸 것이고, 그림 52(b)는 단위픽셀로부터 윤곽신호만을 출력하기위해 최종 출력단에 OFCRC를 적용한 것이다.



(a)



(b)

그림 52. 수광회로, 선형저항회로망 및 출력단 회로

(a) OFCRC가 적용된 수광회로 (b) 선형저항회로망과 OFCRC가 적용된 출력단

(3) OFCRC 회로를 적용한 윤곽검출 회로의 동작특성

50개의 단위 pixel을 이용하여 FPN을 제거한 결과와 제거하지 않은 결과를 비교해 보았다. 우선 광다이오드를 정전류원과 커패시터로 모델링하였다. 16개의 pixel 에는 0.5pA를 나머지 pixel 에는 2pA의 전류를 흘리고 OFCRC의 동작

여부를 통해 윤곽을 검출하였다. 그 결과 OFCRC가 적용되었을 경우와 적용되지 않았을 경우 회로의 출력특성을 그림 53에 나타내었다. OFCRC회로를 적용되었을 경우 문턱전압의 변화에도 불구하고 깨끗한 출력을 얻을 수 있음을 알 수 있다.

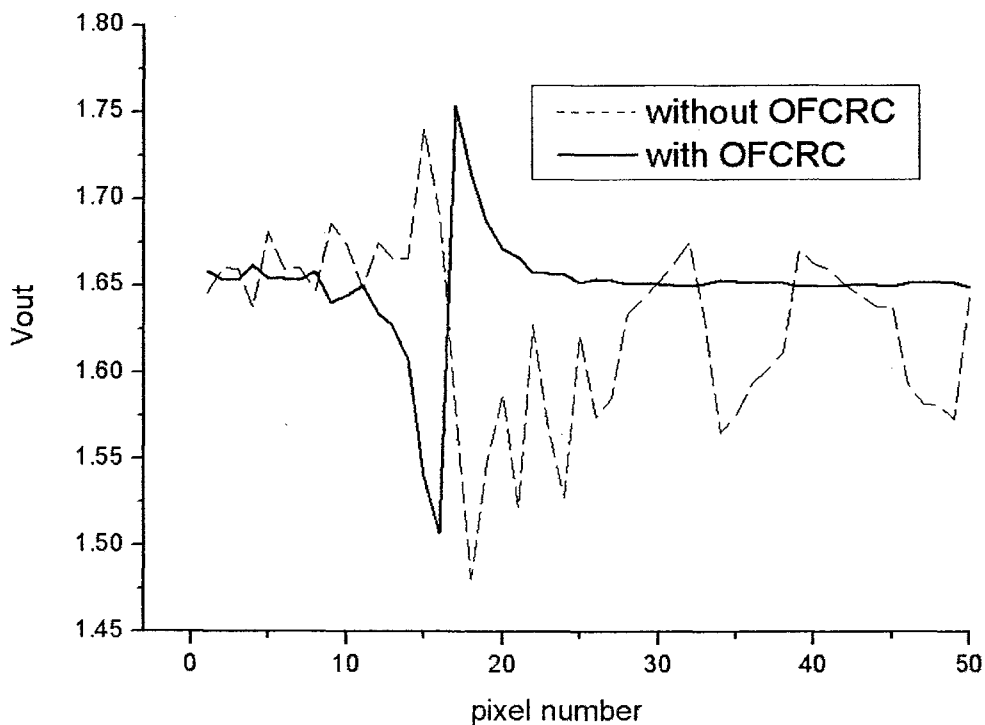


그림 53. OFCRC가 탑재된 윤곽검출 회로의 simulation

(3) 전체 칩 블록다이어그램 및 레이아웃

그림 54와 55에 전체 칩의 블록다이어그램 및 레이아웃을 나타내었다. $0.35\mu\text{m}$ 2-poly 4-metal 표준 CMOS 공정을 이용하여 설계하였다. 전체 chip size는 $4 \times 4 \text{ mm}^2$ 이고, 단위픽셀회로의 면적은 $70.05 \times 50.875 \mu\text{m}^2$ 이다. 수광부를 제외한 나머지 회로들은 외부의 빛으로 인하여 오동작하지 않도록 metal로 전부 가렸다.

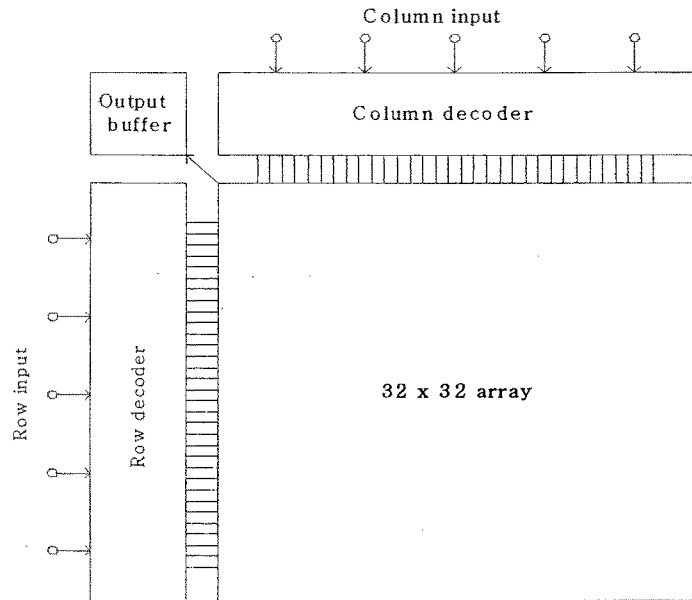
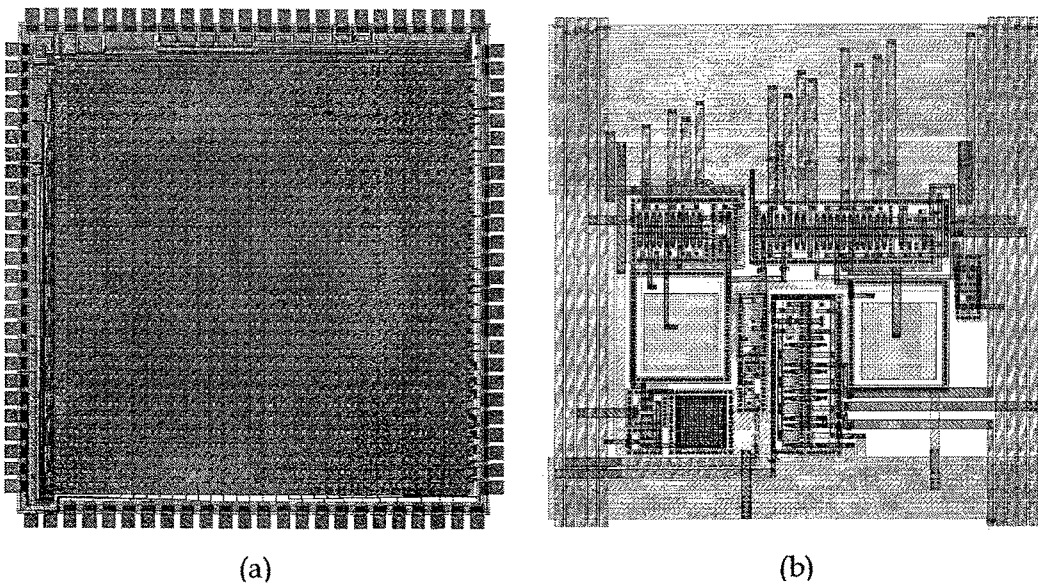


그림 54. 제안된 시각칩의 블록다이어그램



(a)

(b)

그림 55. 전체 칩 레이아웃
(a) 칩 레벨 (b) 단위픽셀회로

사. 결론

인간의 망막에서 행하여지는 시각 정보처리의 효율적인 메커니즘을 모방하여 실시간으로 정보처리가 가능한 윤곽선 검출 시각칩을 설계 및 제작하였다. 선행되어진 작업으로는 복잡한 영상으로부터 원활한 윤곽정보추출을 가능하게 하는 국소 광적응 기능에 대한 정량적인 해석 및 SPICE를 통해 물리적인 확산거리 L 의 변화를 검증하였다.

생체 망막에서 윤곽 및 움직임 검출에 관여한다고 알려져 있는 시세포, 수평세포 및 쌍극세포의 기능을 전자 회로로 모델링하였다. 광신호를 전기신호로 변환하기 위해 포토다이오드와 PMOSFET로 구성된 로그리드믹 광검출기 및 APS 형태의 수광회로를 설계하였고, 변환된 신호를 공간적으로 평활화하기 위해 MOSFET 저항을 이용한 저항회로망을 구현하였다. 마지막으로 두 신호의 차(평활전의 신호와 평활된 신호의 차)를 출력하는 쌍극세포를 전류미러 형태나 차동증폭기의 형태로 구성하였다.

MOSFET의 문턱전압 변화와 같은 소자 부정합에 의한 출력 오프셋을 제거하기 위해 오프셋 보상 기술을 적용하였다. 제작된 칩의 두 가지 입력 영상(정지된 입력 영상과 움직이는 입력 영상)에 대한 출력특성을 조사하였다. 측정을 위해 흑백으로 구분되어 하나의 윤곽이 존재하는 테스트 패턴을 이용하였고, 형광등 조명하의 실내 배경광에서 측정을 실시하였다. 윤곽이 존재하는 부분에서 큰 피크를 가져 윤곽부분이 강조된 출력을 얻을 수 있었으며 제안된 윤곽선 검출 시각칩이 칩자체에서 윤곽검출기능을 수행함을 알 수 있었다. 또한, 이 칩을 자체적으로 제작한 움직임 검출 시스템에 적용하여 테스트 패턴을 이동에 따른 칩의 출력을 확인하였다.

본 연구 수행중, 아날로그회로의 문제점인 소비전력최소화를 위하여 전자스위치를 적용한 128×128 화소수의 윤곽선 검출 시각칩을 제안하였고, 수광회로에서 발생하는 노이즈 및 전압변동을 제거할 수 있도록 OFCRC를 윤곽선 검출 시각칩에 적용하여 보다 깨끗한 윤곽정보를 얻을 수 있도록 윤곽정보의 신호처리부를 보강하였다.

윤곽선 검출 시각칩을 이용하면 물체의 영상으로부터 특징을 추출하고, 응용시스템의 입력단에 위치시켜 하드웨어적인 윤곽추출 및 움직임 검출을 통해 전체 시스템의 속도와 성능향상 및 기존의 CCD와 프로세서를 대체하여 보다 저렴한 비용으로 다양한 시스템의 설계가 가능할 것으로 기대된다.

2. 움직임 검출 시각칩

가. 서론

본 연구에서는 CMOS 공정기술을 기반으로 하는 움직임 검출을 위한 256 x 256 해상도 급의 영상센서의 개발을 목표로 하였다. 개발에 있어서 중점을 둔 사항은 다음과 같다.

시공간적 다중해상도 개념 - 움직임 검출은 일상의 동영상 (초당 30프레임 정도의 속도) 보다 고속의 데이터 처리를 요하는 분야이다. 움직임 검출을 보다 효율적으로 지원하기 위한 영상센서는 결국 이러한 고속의 데이터 전송 및 처리를 고려하여 설계 되어야 한다. 본 연구에서는 이를 위하여 다중 해상도 개념을 도입하였다. 다중 해상도 영상처리, 특히 공간적 다중 해상도의 경우에 있어서 일반적인 목적은 첫째, 저해상도 이미지의 경우 관심을 두지 않아도 되는 불필요하게 자세한 정보가 자연스럽게 제거되는 효과를 가져오고 둘째, 데이터량의 감소로 빠른 처리가 가능하게 된다는 것이다[18]. 이와 함께 빠른 처리가 필요하지는 않지만 자세한 정보가 필요한 경우 다시 고해상도의 이미지를 적절히 사용하면 보다 효율적인 영상처리가 가능하게 된다. 이는 특히 실시간 처리를 요하는 움직임 검출에 있어 적합하며 우리의 실생활 경험에 비추어 보아 이해될 수 있다. 즉 인간의 시각은 빠르게 움직이는 물체의 자세한 모양은 알지 못하더라도 그 움직이는 속도 및 방향을 느낄 수 있으며 물체가 정지하고 그 물체에 관심을 두면 점차 그 모양을 자세하게 알 수 있다.

데이터의 효율적 처리의 측면에서뿐만 아니라 시각센서의 기본인 수광의 측면에서도 우리는 이와 같은 다중해상도와 유사한 측면을 발견할 수 있다. 즉 밝은 곳에서는 영상센서는 쉽게 영상을 취득하지만 어두운 곳에서는 소위 노출을 오래 해 주어야 원하는 영상을 얻을 수 있다. 이러한 특성과 맞물려 시공간적 다중해상도의 개념을 구현하는 것이 본 연구에서 제안하는 영상센서의 핵심이다.

저잡음 구현 - 일반적으로 CMOS공정으로 구현되는 센서 배열은 각각의 화소의 특성차이에 의한 고정패턴 잡음이 발생하며 동작 시 각종 열잡음의 요소가 사용된 광 다이오드 및 검출회로에 발생하게 된다. 통상 상업용으로 이용되는 CMOS영상센서의 경우 이에 대한 대책을 마련하여 고품질의 영상을 얻을 수 있도록 하는 노력이 계속되고 있다. 이에 비하여 움직임 검출을 위한 센서 중 인간의 생체신호를 직접적으로 모방하는 구조에 있어서는 흥미로운 개념으로 기본적인 움직임 검출을 구현한 예들을 찾아볼 수 있으나 이러한 예에서는

기본적인 잡음대책이 미미하여 실제 사용에 있어서는 개선의 여지가 많음을 볼 수 있다. 본 연구에서는 움직임 검출에 적합한 영상 센서를 개발함과 동시에 잡음요소의 제거에도 초점을 맞추어 실제 응용이 이루어 질 수 있도록 하는데 주안점을 두었다.

나. 다중해상도 영상센서의 구현의 개념 및 효과

본 절에서는 움직임 검출센서에 있어서 앞서 설명한 다중해상도 구현의 동기에 이어 보다 구체적인 효과를 기술한다.

기본적인 다중해상도 영상의 구현은 시간적 혹은 공간적으로 주변의 화소의 평균값을 취하는 것이다. 영상센서는 입사되는 광자를 전기신호로 변환하는 것을 일차적 목표로 하는데 이와 같이 화소의 값의 평균값을 얻게되면 결과적으로 입사된 광자의 개수가 늘어난 것이 된다. 광자는 물리적으로 평균 N 개가 입사 되었다고 가정하면 분산역시 N 개가 되는 특성이 있으며 결국 신호대 잡음비 (SNR)은 N 에 비례하여 증가하게 되므로 여러 화소의 평균값을 취한다면 SNR이 증가하는 효과를 가져올 수 있다. 이와 관련하여 주변화소, 즉 공간적인 해상도를 희생하면서 SNR을 증가시키며 여러 공간적인 해상도를 경우에 따라 적절하게 선택할 수 있도록 하는 영상센서들이 제안된 바 있다 [19]. 이 예에서 센서의 출력은 아날로그 회로등을 이용하여 공간적으로 합산된다.

본 연구에서는 이러한 공간적 다중해상도 출력의 개념을 더욱 확장하여 시간적 공간에서 적용하고 아울러 여러 해상도의 영상을 각각의 지역적인 영상의 특징에 적합하게 사용할 수 있도록 확장하고자 한다. 즉, 한 영상에 어떤 한 부분에서는 빠른 움직임이 있어서 저해상도의 고속처리가 가능하게 하며 그렇지 않은 부분에 대해서는 충분한 시간을 가지고 고해상도의 영상을 얻을 수 있도록 하는 유연성을 부여한다는 개념을 적용해 보고자 하였다. 이는 앞서 설명한 기존의 공간적 다중해상도 구현방식으로는 어려운 문제이다.

이러한 유연한 영상정보의 획득 및 처리는 아날로그 회로가 아닌 디지털 영역의 처리가 요구된다. 그러나 디지털 영역에서의 다중해상도 영상획득에 있어서는 여러 가지 다른 문제의 고려가 필요하다. 예를 들어 16개의 화소로 하나의 8-bit 화소값을 결정한다고 하였을때 각각의 화소는 4-bit의 정보로 입력될 수 있다면 산술적으로 가능하다 (그림 56). 센서 정보는 4-bit으로 양자화 되므로 빠른 출력이 가능하며 또한 이를 공간적으로 합하면 저해상도의 고속동작을 지원하게 된다. 반면 시간적으로 4-bit의 영상신호를 16장 합하게 되면 1/16프레임에 8-bit 고해상도 영상을 얻을 수 있다. 이는 하나의 예로 처리방법에 따라 충분히 유연성을 부여할 수 있다. 즉, 각 영상의 부분의 시공간적 특성에 따라 여러 해상도가 동시에 사용되도록 처리될 수 있는 것이다.

그러나 이러한 산술적인 문제는 실제로 양자화 에러로 인하여 제한이 있다.

앞서 산술적으로 4-bit 화소정보를 16개 합한 것이 8-bit의 정보를 구성한다고 하였으나 실제로는 4-bit 양자화된 영상은 아날로그와 같이 256레벨의 8-bit 정보를 구성할 수 없게 된다. 따라서 실제로는 고속 프레임의 영상도 8-bit로 양자화 하고 16개의 화소수를 더한 최종 12-bit의 정보중 하위 4 bit을 제거하여 취한 정보가 사용되어야 한다. 이는 하드웨어 사용량, 처리속도 및 정보량에 있어서 효율적이지 못하게 된다. 이러한 문제를 해결하기 위하여 그림 57에서 보이는 바와 같이 입사 광량에 따라 독립적으로 펄스 주기가 변화하는 화소의 특성을 고찰하여 보았다. 이는 실제 신경정보가 발생하는 모습과도 유사하며 신경회로를 모사한 화소의 경우에 비슷하게 구현되기도 한다.

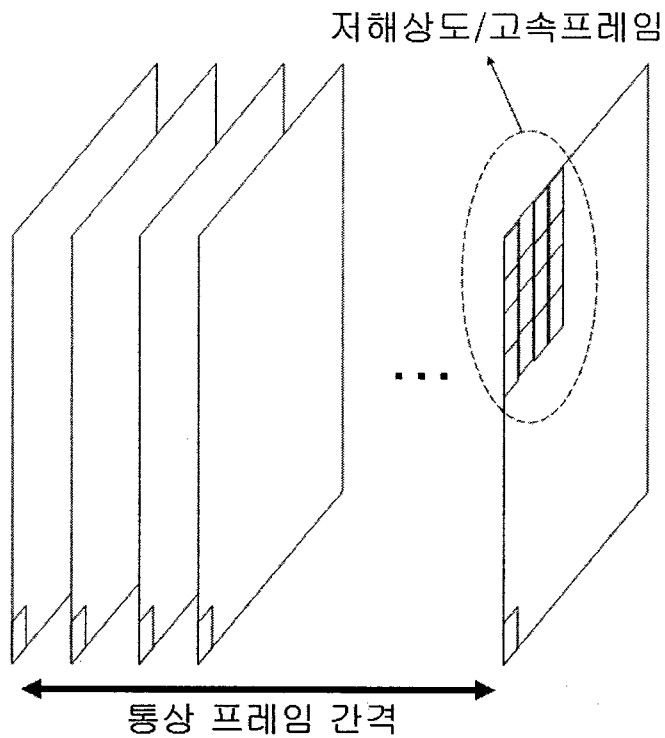


그림 56. 시공간적 다중해상도 영상획득의 개념

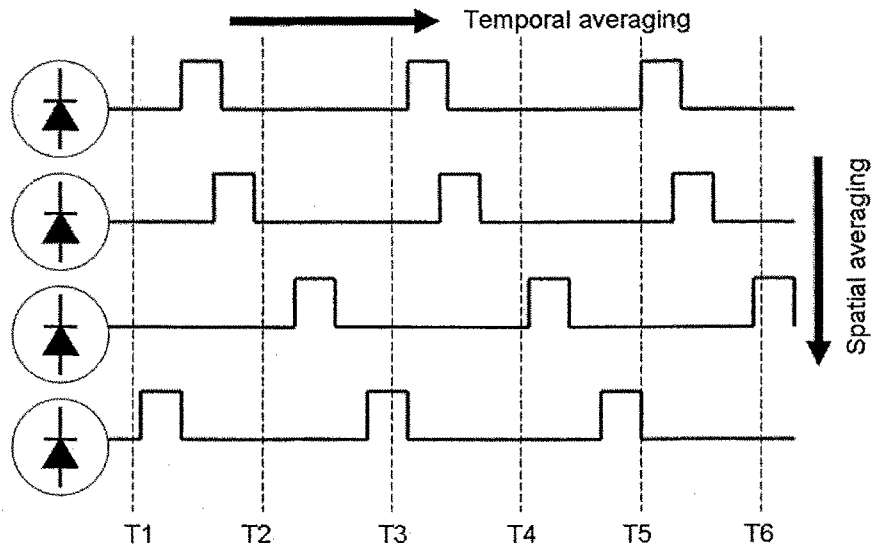


그림 57. 펄스기반의 화소출력의 디지털 영역에서의 시공간적 다중해상도 영상획득에의 응용개념

그림에서 보듯이 시간적으로 화소정보를 오래 관찰할수록 보다 높은 bit의 정보를 얻을 수 있다. 동시에 각 화소가 주기는 같아도 페이즈는 서로 무관하기 때문에 공간적으로 합하더라도 양자화에 의한 오차는 크게 줄어들 수 있다. 따라서 디지털 영역에서의 시공간적 다중해상도 처리구현에 있어 적합한 특성을 가진다.

이러한 화소는 시공간적 다중해상도 처리의 측면에서 접근되어 사용된 예는 없으나 특별한 양자기 없이 디지털 정보를 얻고 넓은 dynamic range를 얻기 위하여 적용된 예가 있다. 이러한 화소의 문제점은 높은 광량에서는 빠른 주기의 펄스를 처리하기 위한 고속 멀티플렉싱이 요구되며 저조도에서는 펄스 주기가 너무 길어져 원하는 정보를 얻는데 있어서 많은 시간이 요구된다는 것이다. 또한 각각의 화소특성 차이에 의한 고정패턴 잡음도 고려되어야 한다 [20].

본 연구에서는 이러한 화소의 특성을 사용하면서 상기의 문제를 해결할 수 있도록 그림 58에서 보여진 바와 같은 양자화 및 동작방식을 고안하였다. 각각의 화소는 양자화 후 에러를 반영하여 초기화되며 다시 수광동작을 반복하는 구조로 되어 있으며 이를 통하여 펄스출력 기반의 화소특성을 유지하면서 프레

임당 얻을 수 있는 정보량을 증가시키고 디지털 영역에서의 다중해상도 동작을 지원할 수 있도록 하였다.

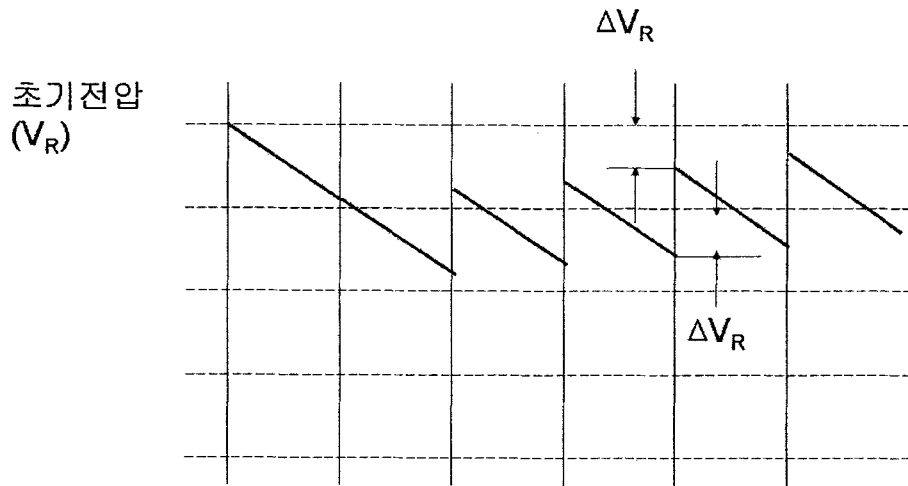


그림 58. 양자화 오류를 반영한 디지털 센서출력을 위한 신호처리 방법

다. 영상센서 구현 및 동작원리

이 절에서는 실제 영상센서의 구현원리 및 잡음감쇄 측면에서의 성능에 대한 논의를 제공한다.

제안된 영상센서의 기본 동작은 통상의 CMOS영상센서의 리셋전압을 제어할 수 있도록 하여 양자화 에러의 보정 및 잡음감쇄의 효과를 얻는 것이다. 특히 CMOS 이미지센서의 리셋 동작시 발생하는 리셋잡음, 검출회로의 특성차이에 의해 발생하는 고정패턴 잡음과 이전 영상신호의 강도가 출력신호에 영향을 주는 이미지 래그 등은 리셋 전압을 제어함으로써 잡음을 감소시켜 높은 신호 대 잡음비를 얻을 수 있도록 하였다.

CMOS 이미지센서 기술은 CMOS 공정상에서 얻을 수 있는 P-N접합 포토다이오드를 이용하여 입사 광량을 전기신호로 변환하는 것으로써, CMOS 이미지센서의 기술에서 중요하게 여겨지는 사항 중 하나는 입사된 광량에 대해 가능한 높은 감도를 가지도록 하는 것이다.

잘 알려진 바와 같이, 통상의 CCD(Charge Coupled Device) 이미지센서는 CMOS 이미지센서와 달리 트랜지스터(Transistor)에 의한 스위칭(Switching) 방식이 아니라 전하 결합(Charge Coupling)에 의해서 신호를 검출한다. 그리고, 화소에 해당하고 광감지 역할을 하는 포토다이오드(Photo-diode)는 광전류를 즉시 추출하지 않고 일정시간 누적시킨 다음 추출함으로써 신호전압을 누적 시간만큼 키울 수 있어 광감도(Sensitivity)가 좋고, 노이즈(Noise)를 줄일 수 있는 장점이 있다.

그림 59는 일반적인 CMOS 이미지 센서의 단위화소를 나타낸 회로 구성도이다. 여기에 도시된 바와 같이 CMOS 이미지센서에서 리셋시키기 위한 동작은 축적된 광전하를 리셋 스위치를 개방시킴으로써 리셋동작이 이루어진다. 이러한 리셋동작 이후에는 입사되는 광량에 따라 새로운 광전하를 축적하게 되고 일정 시간 후 축적된 광전하에 따라 결정되는 전압은 선택 스위치를 작동시킴으로써 증폭단을 통해 검출된다.

이러한 이미지센서의 동작에서 중요하게 작용하는 잡음 요소로는 첫째, 리셋 트랜지스터의 개방에 의하여 광전하가 완전히 제거되지 못하고 불확실하게 남게 됨으로써 초기전압이 불확실해 지는 것을 일컫는 리셋 잡음, 둘째, 리셋 동작시 남게 되는 광전하의 양이 리셋 동작시점 이전에 축적된 광전하의 양에 영향을 받아 이전 영상의 잔상이 남게 되는 이미지 래그 현상, 그리고 셋째, 축적

된 광전하를 증폭단을 통해 검출 시 문턱전압 등으로 대표되는 증폭단을 구성하는 트랜지스터의 특성차이로 인하여 각각의 화소의 출력전압의 차이가 발생하는 고정패턴 잡음 등이 있다. 한편, 아날로그 전압으로 나타나는 화소의 출력을 디지털 값으로 변환하는 과정은 통상적으로 구성되는 영상장치에 적용되는 과정이다. 그림 60은 일반적인 CMOS 이미지센서에서 각각의 행에 하나씩의 아날로그-디지털 변환기가 적용된 상태를 나타낸 회로 구성도이다.

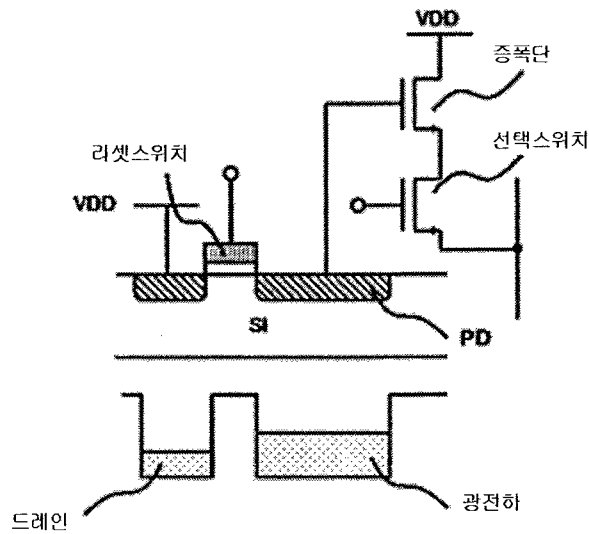


그림 59. CMOS 영상센서 화소의 기본구조

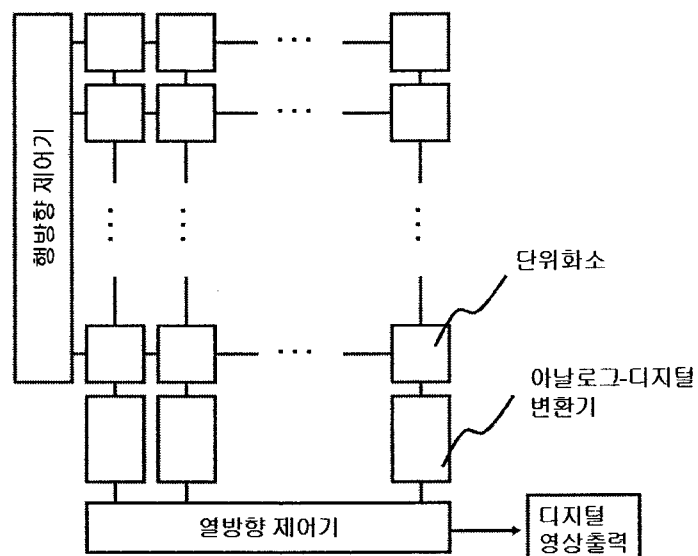


그림 60. 열단위 아날로그-디지털 변환구조

여기에 도시된 바와 같이 포토다이오드와 화소내 증폭단으로 이루어진 단위 화소들을 배열하고, 열방향제어기에 의해 선택된 행에 해당하는 각 단위화소들의 아날로그 전압 출력을 디지털로 변환하기 위해 각 컬럼에 하나씩의 아날로그-디지털 변환기가 설치되어 열방향제어기에 선택된 단위화소의 값이 출력됨으로써 센싱된 이미지가 디지털영상으로 출력된다.

이와 같은 구조를 갖는 CMOS 이미지센서는 전체의 단위화소를 하나의 아날로그-디지털 변환기로 신호를 변환하는 것과 비교하여 아날로그-디지털 변환기의 설계가 용이하고 고속의 변환이 가능하다는 장점이 있다. 그러나, 각각의 아날로그-디지털 변환기의 특성차이에 의하여 컬럼별로 출력값에서 차이가 발생하기 때문에 이를 보상하기 위한 보상기법의 적용이 필요하게 된다. 이와 관련된 기존의 보상기법들 중 하나는 핀 다이오드를 이용한 것으로 잘 알려진 CDS(Correlated Double Sampling) 기법을 이용하여 리셋 노이즈를 감소시키는 것이었으나, 이와 같은 기술은 핀 다이오드를 형성하기 위한 추가적인 공정과 설계가 요구되며 높은 동작전압이 필요하다는 문제점이 있었다.

또 다른 보상기법으로는 통상적인 포토다이오드 구조를 적용한 화소에서 회로기법을 이용하여 리셋전압을 제어함으로써 리셋 노이즈를 감소시키는 방법이 있다 [18]. 이는 리셋전압을 화소 내부의 피드백 증폭을 이용, 잡음전압을 제어함으로써 리셋 노이즈를 감소시키는 방법이다. 또한, 이와 비슷하게 B. Pain 등이 제안한 방법도 잡음전압 감쇄를 위한 피드백 동작을 이용하고 있다[22].

이와 같이 위에 언급된 방법들은 리셋 노이즈와 이미지 래그 등을 감쇄시키는 효과를 가져 올 수 있으나 아날로그-디지털 변환이 이루어진 이후에서의 보상은 이루어지지 않고 있기 때문에 리셋 노이즈나 이미지 래그와 같은 잡음요소는 감소시키고 있으나, 통상의 리셋전압과 비교하여 최종 리셋전압에 최소한 문턱전압 이상의 강하가 요구되어 출력 신호의 범위가 줄어들고 이후의 아날로그-디지털 변환기 등에서 발생할 수 있는 고정패턴 잡음 등을 동시에 해결할 수는 없는 문제점이 있다.

본 연구에서는 화소내에 구현된 전류원 및 각 열방향의 비교기를 이용하여 리셋전압을 제어하는 방식을 제안하였다. 그림 61은 이의 개념을 보여준다. 통상의 리셋동작 즉 우선 리셋스위치를 단속하면 포토다이오드(PD) 노드의 전압은 일정 수준의 초기전압을 가지게 된다. 이때 발생하는 잡음전압은 통상의 이미지 센서가 가지는 리셋전압에 나타나는 잡음전압과 같으며 리셋전압에 포함

된다.

다음으로 참조전압(V_{ref})에는 정해진 초기전압을 인가한다. 이때, 가해주는 참조전압(V_{ref})은 비교기의 출력이 하이(high) 상태가 되도록 예상되는 화소의 출력전압보다 약간 낮게 설정한다.

이 상태에서 리셋스위치를 개방하게 되면 포토다이오드(PD) 노드의 전압은 전류원에 의하여 일정하게 감소하게 된다. 이후 화소의 출력이 인가된 참조전압(V_{ref})보다 작아지게 되는 순간에 비교기의 출력은 로우(low) 상태로 바뀌어 전류단속스위치에 의해 전류원이 포토다이오드(PD)에서 분리되어 더 이상 화소 출력전압이 변화하지 않게 된다.

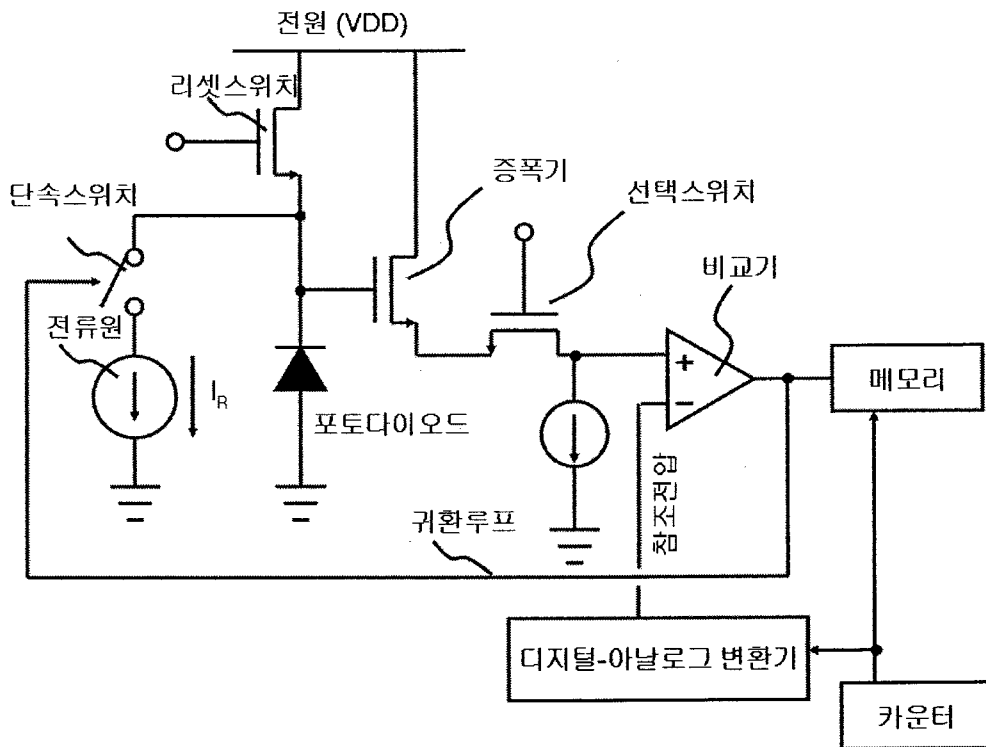


그림 61. 리셋제어를 위한 구조

이후 단위화소의 화소출력을 단속하기 위한 선택스위치를 개방하고, 입사광에 따른 광전하를 축적한 뒤 다시 동작시점이 되면 선택스위치를 단속하여 형성된 포토다이오드(PD)의 전압을 증폭단을 통하여 검출하게 된다. 이때 선택스위치는 단위화소를 배열로 구성할 때 행방향제어기에 의해 선택된다.

위에서 적용되는 아날로그-디지털 변환방식은 비교기와 디지털-아날로그 변환

기, 카운터 및 메모리로 구성되어 증폭단을 통하여 화소의 전압이 비교기에 인가되고 카운터를 통하여 디지털-아날로그 변환기를 통한 참조전압(V_{ref})이 순차적으로 변화된다. 이때 비교기 출력이 변화되는 순간의 카운터 값을 메모리에 저장하고 읽어 냄으로써 아날로그-디지털 변환이 수행된다. 이때, 메모리는 비교기의 출력이 하이(high)인 경우에 카운터의 출력값으로 갱신하고 로우(low)인 경우는 갱신하지 않게 구성하여 화소전압인 아날로그값이 디지털값으로 변환된다. 이와 같이 아날로그-디지털 변환기를 사용하지 않는 아날로그-디지털 변환 방식을 통해 얻을 수 있는 장점은 다음과 같다.

먼저, 초기 리셋전압을 전류원을 통하여 일정하게 감소시키면서 출력전압을 아날로그-디지털 변환에 사용하는 동일한 비교기를 이용하여 제어함으로써 리셋시 발생하는 리셋 노이즈와 이미지 래그 현상을 감소시킬 수 있다. 또한, 비교기나 증폭단의 특성차이에 관계없이 동일한 참조전압이 인가되었을 때 비교기의 상태가 변화하는 시점에서 리셋전압이 결정되므로 하나의 이미지 센서 내에서 서로 다른 증폭단과 비교기를 거치는 화소 사이의 출력전압의 차이가 발생하지 않으므로 고정패턴 잡음을 감소시킬 수 있다. 상기의 동작을 바탕으로 하여 제어신호를 변경하면 다중해상도 영상의 획득이 가능하게 된다. 즉 리셋전압의 결정에 있어서 특정 고정전압을 사용하게 되면 일반적인 연속프레임의 저잡음 영상을 얻을 수 있으며 아날로그-디지털 변환과정동안 발생한 양자오류를 적용하기 위해서는 변환시점에 비교기 입력단에 구성된 캐패시터에 이것이 저장되므로 비교기가 양자오류를 포함하여 토크 시점이 결정된다는 특성을 이용하게 된다.

그림 62는 제안된 CMOS 이미지센서에서 적용할 수 있는 제어가능한 전류원이 적용된 화소를 나타낸 회로 구성도 및 레이아웃이다. 여기에 도시된 바와 같이 포토다이오드(PD)에 수집된 광전하를 제거하기 위한 리셋스위치와, 포토다이오드(PD) 노드의 전압을 일정하게 감소시키기 위한 전류원으로써 일정한 gate 전압이 인가된 버퍼 트랜지스터와, 버퍼 트랜지스터의 source에 일측이 연결된 커패시터와, 커패시터의 타측에 연결되어 일정하게 변화하는 전압을 인가하는 전압source(V_C)와, 버퍼 트랜지스터의 source에 연결되어 비교기의 출력값에 의해 버퍼 트랜지스터를 제어하는 전류단속스위치로 이루어진다. 따라서, 리셋 동작이 시작되면 리셋스위치와 전류단속스위치가 도통되고 전압source(V_C)와 기준전압(V_R)에 각각 VDD와 GND을 인가된다. 그리고, 버퍼 트랜지스터에

는 전류원으로 동작할 수 있도록 적절한 gate 전압이 인가된다. 이때, 버퍼 트랜지스터가 일정한 전류를 공급하기 위한 전류원으로 동작하기 위해서는 gate와 source 사이에 일정한 전압을 인가하여야 한다. 이를 위하여 전류단속스위치를 오프시키고 기준전압(VR)을 VDD로 변경한다. 그런다음, 전압source(VC)를 일정하게 감소시키게 되면 버퍼 트랜지스터의 source 전압이 버퍼 트랜지스터에 흐르는 전류가 전압source(VC)가 감소하는 속도와 커패시터의 용량의 곱으로 결정되어 흐르게 된다. 이때 리셋스위치를 오프시키면 위에서 형성된 일정한 전류에 의하여 포토다이오드(PD) 노드의 전압이 점차 감소하게 된다.

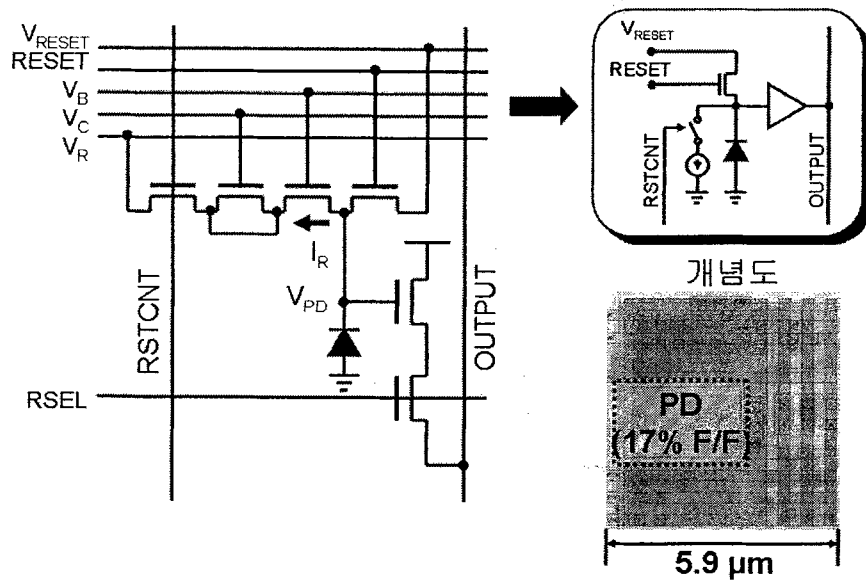


그림 62. 화소의 구조 및 레이아웃

라. 실험결과

실제 영상센서는 0.18um CMOS공정을 이용하여 제작되었으며(그림 63, 64) 그림 65의 측정보드를 구성하여 성능을 평가하였다. 우선 전류원의 성능을 평가하기 위한 실험결과를 그림에 나타내었다. 배열의 가장자리에 마련된 384개의 화소를 이용하여 검증 되었으며 초기화 후 약 20us동안 60pA의 전류로 방전시킨 결과이다. 제안된 전류원의 경우 간단히 트랜지스터를 이용한 경우에 비하여 화소간의 차이가 크게 줄어들었음을 확인할 수 있다.

제작된 칩의 영상센서로서의 성능은 표 2에 정리하였으며 획득된 영상을 그림 66에서 확인할 수 있다. 화소에 사용된 광 다이오드는 CMOS 공정의 통상적인 p-n접합으로 구성되어 있으며 영상의 개선을 위해서는 특히 암전류의 양을 감소시킬 필요가 있는 것으로 나타났다. 이는 CMOS 영상센서를 위하여 수정된 공정을 이용한다면 크게 개선될 것으로 기대된다.

열방향 검출회로 즉 비교기 및 화소출력 증폭단 등을 포함한 열잡음 요소는 약 240uV(rms)수준인 것으로 측정되었다. 리셋동작에서 개입되는 잡음을 포함하여 총 잡음량은 약 390uV(rms)로 측정 되었으며 이는 리셋제어가 적용되지 않는 통상의 센서에 비해 약 1/2로 줄어든 결과이다. 특히 고정패턴 잡음의 경우 그림 66에서 볼 수 있듯이 눈에 띄지 않는 수준으로 개선된 것을 볼 수 있다.

제안된 시공간적 다중해상도 동작의 경우 1차 제작된 센서의 제어로직에 오류가 있는 관계로 당초 설계된 의도대로 결과를 얻을 수 없었다. 따라서 2차로 수정된 칩을 제작 하였으며 현재 공정이 완료된 상태이나 본 보고서 작성시점에서 측정이 완료되지 않은 관계로 첨부할 수 없었다. 그러나 과제 종료시점까지 완료되어 실제 적용할 수 있는 수준의 센서가 제작되었음을 보일 수 있을 것으로 기대된다.

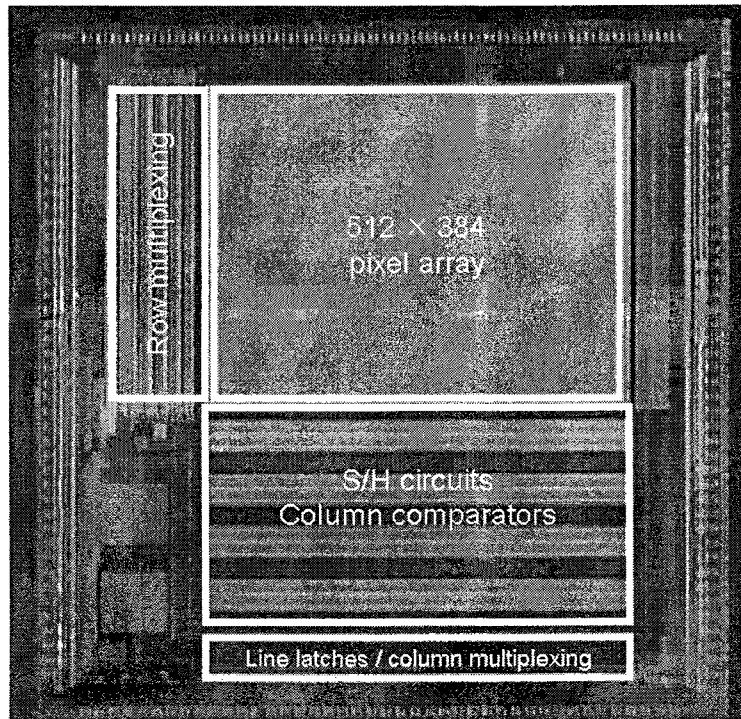


그림 63. 제작된 센서칩의 현미경 사진

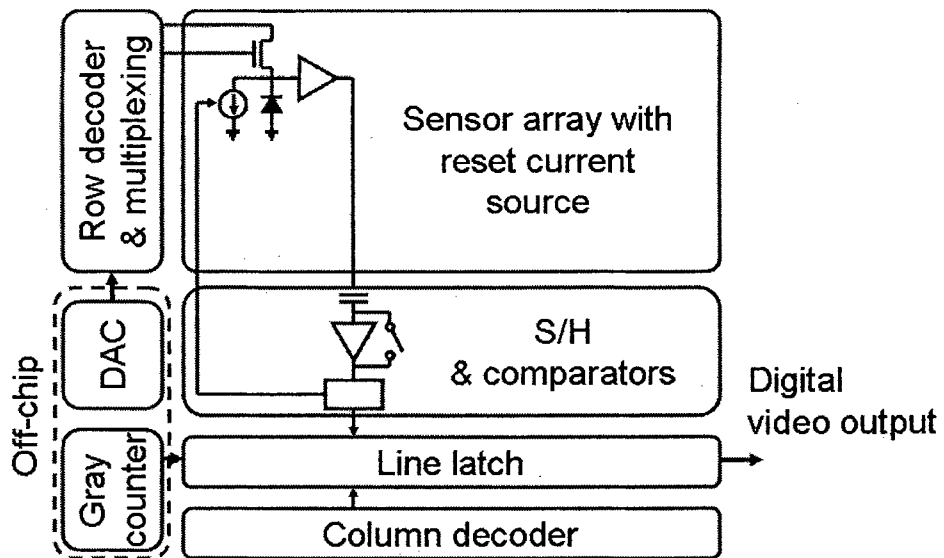


그림 64. 센서의 블록 다이어그램

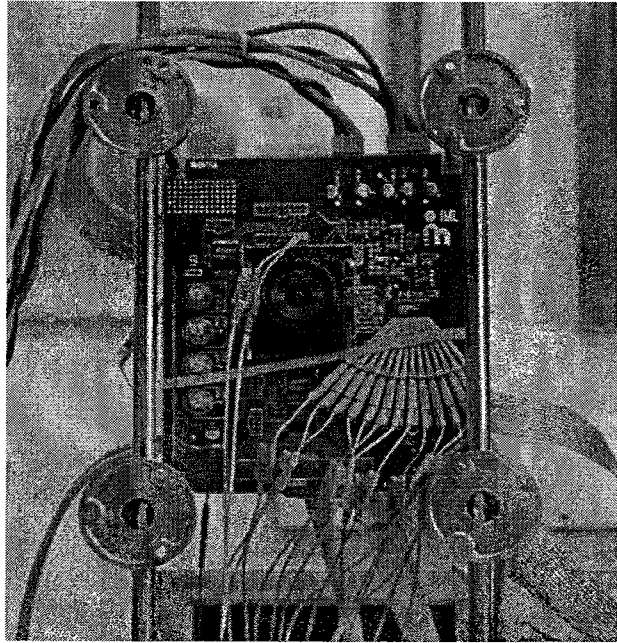


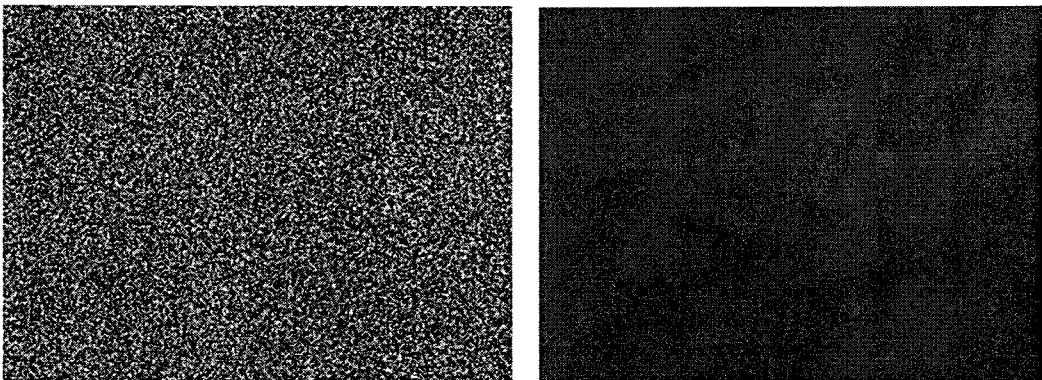
그림 65. 제작된 센서의 측정을 위한 시스템

표 2. 제작된 센서의 특성 및 성능

| | |
|--------------------------|---|
| Process technology | 0.18 μ m 1P4M CMOS |
| Pixel pitch/ Fill factor | 5.9 μ m / 17 % |
| Array format | 512 × 384 |
| Sensitivity | 50mV/lux·s (@550nm, without micro lens) |
| Dark signal | 0.12 V/s (@R.T.) |
| Saturation level | 400mV |
| Dynamic range | 46dB / 60dB (with / without dark noise) |
| Chip size | 5 mm × 5 mm |
| Frame rate | 24 fps |
| Power consumption | 40mW (excluding I/O and off-chip DAC) |
| Supply voltage | 1.8 V (core) / 3.3 V (I/O) |
| Dark FPN | 700 μ V(rms) (excluding 2mV(rms) dark FPN) |
| Readout noise | 390 μ V(rms) (excluding 300 μ V(rms) dark shot noise) |



그림 66. 획득한 영상



(a)

(b)

그림 67. 고정패턴잡음 (FPN)

(a)리셋제어를 수행하지 않은 경우 및 (b) 수행한 경우

마. 결론

본 연구에서는 효과적인 움직임 검출을 위한 시공간적 다중해상도 방식의 영상정보 획득방법을 제안하고 이를 구현하였다. 실제 제작된 칩은 최대 512 x 384로 VGA포맷에 근접하는 해상도를 가지도록 설계 되었으며 8-bit영상의 통상적인 약 24 프레임/초 동작시 잡음요소를 절반정도 줄인 결과를 얻었다. 제안된 센서는 양자화 잡음의 보상을 통하여 디지털 영역에서 유연하게 영상정보를 계층적으로 사용할 수 있고, 디지털 영상신호를 제공할 수 있도록 설계되었다. 설계시 약 300 프레임/초의 동작으로 128 x 96급의 영상을 취득할 수 있도록 하였으며 동시에 중간 해상도의 적절한 포맷을 구성하여 사용할 수 있다. 이를 이용하여 움직임과 관련된 시각 시스템을 구현할 경우 영상특성에 맞는 지역적 해상도를 결정하여 사용하면 효과적인 구현이 가능하게 된다. 이와 관련된 동작 검증을 과제 종료시까지 완료하고 다음 단계에서는 시각 시스템에의 적용, 특히 로봇틱스와 관련된 세부과제의 결과와 결합하여 완성된 시스템을 구성하는 연구를 진행하고자 한다.

제 4 장 목표달성도 및 관련분야에의 기여도

4.1절 목표달성도

| 년도 | 세부연구목표 | 목표 달성도 | 연구 성과 |
|----------------------------------|---|-----------|---|
| 1차년도 (2001.8.1~ 2002.5.31) | 윤곽선 검출 시 각칩의 설계 | 90% | <ul style="list-style-type: none"> - 넓은 범위의 광강도에 대응하는 국소 광적응 기능 구현 - 넓은 범위의 광강도를 수용가능 - 동작전압을 3.3V이하로, 저전력소비를 고려한 128×128 화소수의 윤곽선 검출 시각칩을 0.35μm 2-poly 4-metal 표준 CMOS공정기술을 이용하여 설계 |
| | 인공시각칩 구 현을 위한 화소 배열의 개발 | 80% | <ul style="list-style-type: none"> - 감도향상을 위한 화소구조 제안. - 기존의 화소에 비해 2배정도의 감도향상효과. - 기존의 화소에 비해 고급 공정에서의 적색파장 응답의 감소효과가 적고 청색 파장 응답의 증가. |
| 2차년도 (2002.6.1~ 2003.5.31) | 윤곽선 검출 시 각칩의 설계 | 90% | <ul style="list-style-type: none"> - 구동전압 2.5V이하로 동작하도록 설계하여 소비전력의 최소화 - 100dB 이상의 입력 광강도의 범위를 수용할 수 있도록 logarithmic circuit 구조로 광입력부 설계 - 단위픽셀의 크기를 12.6μm×12.6μm로 최소화하여 256×256화소수를 갖는 윤곽선 검출 시각칩 설계 - 칩 구동을 위한 주변회로 제작 및 프로그래밍 coding |
| | 움직임 검출기 능동의 탑재를 위한 집적화된 신호처리부의 구현 | 100% | <ul style="list-style-type: none"> - 300 fps급의 영상획득 속도를 가지며 이러한 속도증가시 24dB이상의 dynamic range의 증가를 가져올 수 있음. 또한 고속 프레임의 동작시 불충분한 광량에 의한 화질의 저하가 있는 경우 센서의 유효 해상도를 변화시킴으로서 다양한 환경에 적응할 수 있는 센서 검출회로를 설계. - 잡음요소 제거 및 다중해상도 기능을 가지는 512×348급의 센서 어레이를 0.18μm CMOS공정을 이용하여 제작. - 영상센서와 집적하여 움직임 검출 알고리즘을 효율적으로 빨리 수행 할 수 있는 병렬 연산부를 설계하고 제작. |

| 년도 | 세부연구목표 | 목표 달성도 | 연구 성과 |
|----------------------------------|---|--------|---|
| 3차년도 (2003.6.1~ 2004.5.31) | 제작된 윤곽검출 시각칩을 이용한 이미지의 윤곽검출 및 active vision system과의 연계가능성 타진 | 90% | - 망막내 윤곽검출에 관여하는 세포들의 전자회로적 모델링 - 국소 광적응 기능의 정량적 해석 - 제작된 칩을 이용한 정지된 이미지의 윤곽출력 획득 - 움직이는 영상의 윤곽 및 움직임 획득 |
| | 개발된 인공시각칩의 물체추적 시스템 응용 | 80% | - 2차년도에 제작한 센서를 측정하여 잡음요소가 절반 정도로 줄어든 특성을 얻음. - 영상의 지역적 특성에 따라 적합한 다중 해상도를 적용함으로써 움직임 검출과 관련된 시스템에 응용할 때 효과적인 검출이 이루어 질 수 있도록 함. |

4.2절 관련분야에의 기여도

가. 기술적 측면

- 저전압, 저전력화 되어가는 시스템에 적합한 영상센서의 개발로 휴대용 기기, 소형기기등으로 시각 인터페이스 기능이 확대됨.
- 복잡한 시각처리기능을 구현하기 위한 시스템의 복잡도가 개선되고 실용적인 기능의 탑재가 가능하게 되는 핵심 기술의 하나가 될 것임.
- 기존 상용화된 영상센서의 광입력 범위제한을 해결하고 다양한 환경에서 시각시스템의 사용을 가능하게 함.

나. 경제·산업적 측면

- 기존 영상센서와 차별화된 기능으로 향후 형성될 인공시각시스템 시장에 핵심 부품으로서 기술을 선도할 수 있음.
- 산업용 로봇비전, 시각적 휴먼 인터페이스등에 응용되어 화상통신용 카메라 등에 국한되어 있던 영상센서 시장을 확대하게 됨.

제 5 장 연구개발결과의 활용계획

윤곽검출 및 움직임 검출 시각칩을 이용한 능동 시각 센서 시스템은 기존의 CCD형태의 카메라 시스템과 비교해서 경제적 효율성, 기술적 고부가성 및 학문적 독창성을 지니게 된다. 복잡한 입력 영상으로부터 대상 물체를 인식 또는 추적하기 위해 가장 기본적으로 수행하는 영상 처리는 대상 물체의 윤곽이나 움직임을 검출하는 것이다. 기존의 이미지 센서를 이용하는 경우에는 이를 위해 이미지 보드와 컴퓨터를 이용하여 복잡한 프로그래밍 연산에 의해 구하여야 하는데, 이 과정이 많은 시간을 필요로 할 뿐만 아니라, 고가의 대형 장비가 필요하다. 개발되는 윤곽검출 시각칩은 칩 그 자체에서 물체의 윤곽이나 움직임을 검출할 수 있으므로, 보다 소형 저가의 시스템으로 영상 처리 시스템의 구성이 가능할 것으로 기대된다. 이는 영상 처리와 관련한 제반 분야들, 예로 무인 감시 시스템, 물체 추적 시스템, 영상 기반 관리 시스템들을 소형 저가로 구성할 수 있음을 의미하고, 이에 따른 경제적·산업적 파급효과는 매우 클 것으로 기대할 수 있다. 또한, 영상 센서를 이용한 실제 응용에서 가장 어려운 문제인 배경 잡음 및 조도의 변화를 개발되는 인공 망막 칩은 하드웨어 적으로 적응 감광 기능을 실현할 수 있으므로, 현재까지 실용화되지 않은 영상 처리 기반 여러 분야들을 보다 현실적으로 구체화 할 수 있을 것으로 보인다. 이를 요약하면, 다음과 같은 분야에 활용이 가능할 것이다.

- ◇ 소형저가 및 저분해능이 필요한 영상 통신 장치 분야(무선 영상 전화기등)
- ◇ 윤곽검출, 움직임검출 및 적응감광 신호처리 기능을 이용한 Micro active vision system 분야(의료용 내시경 영상 시스템등)
- ◇ 광처리 방식의 지문센서 구현을 위한 영상 센서
- ◇ 안구 운동 추적 제어기에 의해 작동되는 인공 시각 시스템을 이용한 인공 대리인 개발
 - : 전자 비서, 지능형 로봇 시스템 제작

- ◇ 시각장애자에게 도움을 주는 인공 시각 장애인 안내견
: 의공학적인 활용을 통해 현재 대부분의 외국 제품인 의료장비의 국산화에 활용
- ◇ 사람의 힘든 노동을 줄이기 위한 생산현장의 첨단 자동화
: 첨단 자동화기기 기업에의 기술이전을 통한 다른 첨단 기능들과 접목하는 추가 연구를 통해 복합적으로 작동하는 인공 지능 로봇의 생산을 통한 생산현장의 자동화
- ◇ 지속적이고 지능적인 발전을 거듭하고 있는 컴퓨터 산업에서 시각 반응에 적응적인 컴퓨터 개발을 통해 인간 중심적인 사람-컴퓨터 인터페이스 구현
: 시각 반응에 적응성을 가진 사람-컴퓨터 인터페이스 기술 개발을 위한 인간 안구운동 추적제어 기술의 컴퓨터 개발 산업에의 기술이전 및 기술접목을 유도
- ◇ 인간의 시각 정보에 의해 작동하는 가전제품에의 활용
: 다양화, 첨단화 제품 중 하나로 그 사용 범위가 광범위한 가전제품에로의 기술이전
- ◇ 인간의 안구 운동 기능을 가진 다양한 유아용 지능적 완구류 개발에 활용
: 아이디어성 완구류 개발 및 상품화를 통한 기업화에의 적용
- ◇ 군사용 첨단 장비에 활용
: 인간 안구 운동에 기반한 추적제어시스템은 인간의 목숨과 직결되는 군사용 장비 개발에 그 기술을 활용할 필요성이 있는 분야이다.

그 외에도 윤곽검출 시각칩과 이를 이용한 active vision system이 지니는 학문적 희소성과 독창성으로 인해 각종 국내외 저널 및 학술대회에 논문발표가 가능하고, 기술적인 우위를 선점하기 위한 방안으로서 국내외 2건 이상의 특허출원이 기대된다.

제 6 장 연구개발과정에서 수집한 해외과학기술정보

일본 Neural & Parallel Processing Technology Department, Advanced Technology R&D Center의 K. Kyuma팀에서는 전류모드의 CMOS 인공 망막 칩을 설계하였고, 그 특성을 평가하였다. 동일한 크기의 전류가 반대 방향으로 흐를 때 전류의 합은 0이 된다는 기초적인 KCL이론을 적용하여 망막의 윤곽검출 출력특성을 모방한 시각칩을 발표하였다. 생체 망막내에서 윤곽검출에 관여하는 시세포, 수평세포 및 쌍극세포의 전체적인 전자회로적 모델은 없으나, 전류의 합(또는 차)을 이용하여 윤곽정보를 출력하는 점은 망막내 신호처리 메카니즘과 유사함을 보여준다.

일본 오사카 대학의 T. Yagi교수는 생체 망막의 윤곽검출 메카니즘에 기초한 40×46 화소수의 윤곽검출 시각칩에 관한 연구결과보고에 이어 현재는 100×100 화소수의 윤곽검출 시각칩을 설계 및 그 특성을 평가중에 있다. APS(Active Pixel Sensor)구조의 수광부에서 생기는 노이즈를 제거하기 위해 1차적으로 먼저 CDS기술을 적용하여 노이즈가 제거된 순수한 수광부의 출력신호를 얻어낸다. 이 정제된 수광부의 출력을 transmission gate로 구성된 스위치회로를 이용하여 MOSFET로 구성된 선형저항회로망에 선택적으로 보내거나 막음으로써, 공간적으로 평활되지 않은 신호와 평활된 신호의 차를 만들어 내었다. 이 두 신호의 차를 마지막 단계 구성되어 있는 CDS회로에 전달함으로써 최종적으로 망막에서의 쌍극세포와 같이 신호의 차를 구해내게 된다. 두 단계의 CDS 기술 적용 및 신호처리를 위한 스위치회로등의 탑재로 인해 단위픽셀을 구성하는데 있어 50개 이상의 MOSFET가 필요하고, 단위픽셀회로의 면적이 증가되고, 소비전력문제로 인해 일괄적인 열(또는 행) 구동시 나머지 열(또는 행)들은 모두가 OFF가 되어 있어야 하는 단점은 있으나, 깨끗한 윤곽정보를 얻을 수 있다는 장점이 있다.

한편, Toyohashi 대학의 H. Yonezu교수는 전류모드 윤곽검출 시각칩을 개발하고 있다. 제조된 시각칩의 입력으로는 실영상이 아닌 LCD프로젝터를 이용한 동영상 사용되었다. 단위픽셀회로를 구성하는 MOSFET의 숫자가 10여개로 아주 간단한 구조로 구성되어 있고, 생체 망막에서의 신호전달과정과 유사한 전류모드로 동작된다는 것이 특징적이다.

제 7 장 참고문헌

- [1] C. A. Mead, *Analog VLSI and Neural Systems*, Addison-Wesley, 1989.
- [2] M Maruyama, H. Nakahira, T. Araki, S. Sakiyama, Y. Kitao, K. Aono, and H. Yamada, "An image signal multiprocessor on a single chip", *IEEE J. Solid-state Circuits*, Vol.25, pp. 1476-1483, April. 1990.
- [3] A Gruss, L.R. Carley, and T. Kanade, " Integrated sensor and range finding analog signal process, " *IEEE J. Solod-State Circuits*, Vol. 26, pp. 184-191, 1991.
- [4] C. A. Mead, and M. A. Mahowald, "A silicon model of early visual processing", *Neural Networks*, Vol. 1, pp. 91-97. 1988
- [5] H. Kobayashi, J. L. White, Asad A. Abidi, "An Active Resistor Network for Gaussian Filtering of Images", *IEEE Journal of Solid-State Circuits*, Vol. 26, pp. 738-748, 1991.
- [6] C. Y. Wu and C. F. Chiu, "A New Structure of the 2-D Silicon Retina", *IEEE J. Solid-State Circuits*, Vol. 30, pp. 890-897, 1995.
- [7] Hitoshi Ikeda, Kiyotaka Tsuji, Tetsuya Asai, Hiroo Yonezu, Jang-Kyoo Shin, "A Novel Retina Chip with Simple Wiring for Edge Extraction", *IEEE PHOTONICS TECHNOLOGY LETTERS*, Vol. 10., pp. 261-263, 1998.
- [8] Paul C. Yu, S. J. Decker, H. S. Lee, C. G. Sodini, and J. L. Wyatt, "CMOS Resistive Fuses for Image Smoothing and Segmentation", *IEEE J. Solid-State Circuits*, vol. 27, No. 4. pp. 545-553, 1992.
- [9] S. Espejo, A. Rodriguez, R. Dominguez-Castro, J. L. Huertas, and E. Sanchez-Sinencio. "Smart-Pixel Cellular Neural Networks in Snaalog Current-Mode CMOS Technology", *IEEE J. Solid-State Circuits*, Vol. 29, 1994.
- [10] Alireza Moini, *Vision Chips or Seeing Silicon*, CHiPTec, 1997.
- [11] T Miyashita, K. Nishio, M. Ohtani, and H. Yonezu, "Analog integrated circuits for edge detection with local adaptation," *The 1999 Annual Conference of Japanese Neural Network Society*, pp. 65-66, 1999.
- [12] H. S. Kim, D. S. Park, B. W. Ryu, S. K. Lee, M. H. Lee, and J. K. Shin,

- "Design and Fabrication of 8×8 Foveated CMOS Retina Chip for Edge Detection," *The Korean Sensors Society*, vol. 10, pp. 91-100, 2001.
- [13] D. S. Park, K. M. Kim, S. K. Lee, H. S. Kim, J. H. Kim, M. H. Lee, and J. K. Shin, "Design and Fabrication of 32×32 Foveated CMOS Retina Chip for Edge Detection with Local-Light Adaptation," *The Korean Sensors Society*, vol. 11, pp. 84-92, 2002.
- [14] J. H. Park, J. H. Kim, M. H. Lee, and J. K. Shin "Design of a Vision Chip for Edge Detection with an Elimination Function of Output Offset due to MOSFET Mismatch" *The Korean Sensors Society*. vol. 11, pp. 255-262, 2002.
- [15] Jung-Hwan Kim, Jong-Ho Park, Sung-Ho Suh, Minho Lee, Jang-Kyoo Shin and Ki-Hong Nam "Design of Analog CMOS Vision Chip for Edge Detection with Low Power Consumption," *The Korean Sensors Society*, vol. 12, pp. 231-240, 2003.
- [16] T. Delbrück and C. Mead, "Analog VLSI photo-transduction by continuous, adaptive, logarithmic photoreceptor circuits," *Computation and Neural Systems Program*, vol. 30, pp. 1-23, 1994.
- [17] R. G. Gonzalez, and R. E. Woods, *Digital Image Processing*, Addison-Wesley, 1993.
- [18] D. H. Ballard et. al, *Computer Vision*, Prentice-Hall, 1982.
- [19] Z. Zhou, B. Pain and E. R. Fossum, "A CMOS Imager with On-Chip Variable Resolution for Light-Adaptive Imaging," *Technical Digest of IEEE International Solid-State Circuits Conference*, pp. 175-176, Feb. 1998.
- [20] L. G. McIlrath, "A Low-Power Low-Noise Ultrawide-Dynamic-Range CMOS Imager with Pixel-Parallel A/D Conversion," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 5, pp. 846-853, May 2001.
- [21] B. Fowler et al., "Low Noise Readout using Active Reset for CMOS APS," *Proceedings of SPIE Electronic Imaging*, vol. 3965, pp. 126-135, Jan. 2000.
- [22] B. Pain et al., "Reset Noise Suppression in Two-Dimensional CMOS Photodiode Pixels through Column-Based Feedback Reset," *IEDM Tech. Dig.*, pp. 867-870, Dec. 2002.