

이동통신용 차세대 RF CMOS Transceiver 집적회로 기술 연구

A Study of The Next-Generation RF CMOS Transceiver
IC Technology for Mobile Communications

주 관 기 관
한국전자통신연구원

과 학 기 술 부

제 출 문

과학기술부장관귀하

본 보고서를 “이동통신용 차세대 RF CMOS Transceiver 집적회로 기술 연구”의 보고서로 제출합니다.

2002. 1. 31.

주관연구기관명 : 한국전자통신연구원

주관연구책임자 : 유 현 규

연구원 : 고 광 진

연구원 : 김 남 수

연구원 : 김 성 도

연구원 : 김 영 호

연구원 : 김 천 수

연구원 : 김 충 환

연구원 : 박 민

연구원 : 박 문 양

연구원 : 박 정 우

연구원 : 박 필 재

연구원 : 윤 용 식

연구원 : 최 장 홍

연구원 : 한 선 호

연구원 : 황 남

요 약 문

I. 제 목

이동통신용 차세대 RF CMOS Transceiver 집적회로 기술 연구

II. 연구개발 목적 및 필요성

가. 목 적

◇ 최종목표

본 연구는 Multi-band Single Chip RF CMOS Transceiver 집적회로서 미래의 복합 다기능 무선 멀티미디어 서비스를 단일 칩에 수용할 수 있는 Transceiver 구조를 제안하고, 이와 관련된 RF CMOS 집적회로 원천기술 확보가 목표이다.

◇ 1 단계 연구목표

새로운 Transceiver 구조설계

- Transceiver 구조설계
 - . Transceiver 구조 해석 및 구조 변형 설계
(Direct conversion, Low-IF, Quasi-IF 등)
- Transceiver 설계 기반기술
 - . Image rejection mixer 설계 : > 30 dB
 - . I/Q channel balancing 기술 : < 3°
- Transceiver 구현 알고리즘 개발
 - . 성능 예측 알고리즘 개발 및 검증
 - . 최적 구조 설계 알고리즘 개발
- Multi-band Transceiver 구조설계
 - . 고선형 회로 구조설계

(Rx IC : IIP3 > -10dBm, Tx IC : OIP3 > +15dBm)

- Multi-band 설계 기반 기술
 - . Programmable RF IC 개념 설계
 - . Dual PLL 설계기술 :
(Phase noise < -105 dBm, Frequency : 1~2GHz)
- Multi-band Transceiver 시험 제작 평가

나 필요성

CMOS 기술의 발전은 집적도의 증가와 더불어 고속동작이 가능하게 되어, 예를 들어 0.35 μ m 의 경우 $f_t=34\text{GHz}$, 0.18 μ m 의 경우 $f_t=70\text{GHz}$ 로서 소자 자체의 특성을 볼 때 동작 주파수 범위가 GHz 급에 적용이 가능해지며, 회로 구성을 위하여 고주파에 적용 할 수 있는 인덕터, 캐패시터의 개발 등 문제점을 해결하고자 하는 노력이 활발하며, 미래의 system-on-chip 요구와 맞물려 괄목할 만한 성장을 이룩해오고 있다.

이와 같은 RF CMOS 집적회로의 연구는 1990년대 초 미국의 대학을 중심으로 연구되어 가능성이 현실화 되면서 개념적인 연구에서 탈피, system-on-chip 화의 방안으로 미국, 유럽, 일본 등 선진외국의 연구기관 및 통신반도체 관련 회사들이 본격적으로 연구에 참여하여 RF core 인 LNA, Mixer, VCO 등 macro-cell 뿐만 아니라, 이를 집적화한 IC 등 다양한 RF CMOS IC 연구 개발이 진행되어 오고 있으며, 최근 미국의 업체가 5GHz wireless LAN 단일 칩 연구시제품을 발표한 바 있다.

국내의 경우 1997년 한국전자통신연구원을 시작으로 학계, 반도체업체 등 RF CMOS 집적회로를 활발히 연구를 진행하고 있으나, Bluetooth, WLL 등 상대적으로 규격이 느슨한 분야에 집중하고 있으며, 미국, 유럽에 비하여 기술 기반이 취약한 형편에 있다.

따라서 RF CMOS 집적회로 기술의 엄청난 시장 잠재력과 미래의 시장 선점을 위함과 아울러 각국의 기술 경쟁에 뒤쳐지지 않기 위해서 본 연구 사업을 통한 원천기술 개발에 국내의 핵심 역량을 모아서 집중적으로 추진해야 할 필요가 있다.

III. 연구개발 내용 및 범위

가. Transceiver 구조설계

- Direct conversion 등 구조에 따른 집적화 문제점 연구
 - . 기존 구조의 분석 및 평가
 - :DC offset, 여러 구조간의 전력소모 분석, 새로운 EH-DCR 구조 분석
- System simulation 을 통한 구조의 검증
 - . 부품 vendor 사의 사양을 기반으로 설계된 transceiver 의 선형성,
 - :NF, 이득 검증

나. Transceiver 설계 기반 기술 개발

- Hartley, Weaver 구조 등 기존의 image rejection mixer 의 문제점 분석을 통한 최적 구조 연구
 - . I/Q channel 의 mismatch 에 의한 성능저하를 개선하는 구조 제안
 - . 정확한 phase shifter 회로 설계
- 회로설계 및 제작을 통한 측정 및 분석
 - . 핵심회로 설계 제작 및 성능 평가를 통한 RF CMOS 기반 확보
 - :LNA, Mixer, VCO(Dual-band), PLL

다. Transceiver 구현 알고리즘 개발

- 시스템 규격으로부터 개별 부품의 사양 도출
 - . 표준규격에서 시스템 규격을 도출하고 이를 개별 규격 작성
- Simulator 와 S/W 로서 transceiver 를 설계 하기 위한 핵심회로 DB화
 - . ADS, Cadence, SPW, Matlab, C-language 를 이용한 핵심회로 블록을 IP 화

라. Transceiver 시험 제작 평가

- 범용 개별 부품을 이용한 transceiver 시험제작 및 성능 분석

IV. 연구개발 결과

가. Transceiver 설계 기반 기술 개발

- 새로운 Image rejection mixer 설계 완료
 - . IRR : 30 dB → 51 dB
 - . I/Q phase mismatch : 3° → 1° 이하
 - . LO leakage : 20 dBc (40 dBc)
- 개별 RF CMOS 모듈 설계 완료
 - . Dual-band LNA
 - . Up/Down Mixer
 - . Dual-band VCO
 - . Wideband frequency synthesizer
 - . Rx(receiver), Tx(transmitter) IC

나. Transceiver 구조 시험 환경구축

- 구조 시험 환경개발을 위한 시뮬레이션 환경구축
 - . 기존 heterodyne 구조에 대한 분석
 - . 외부소자(필터)에 따른 특성 / 문제점 분석
 - . Sensitivity, selectivity 성능 분석

다. Transceiver Top-down 방식 설계 방법론 구축

- Transceiver Spec. generation
 - . Sensitivity에 관계된 잡음지수 도출
 - . 선형성에 관계된 P1dB 값 도출
 - . Intermodulation 지수로 부터 transceiver 설계

라. Transceiver 시험 제작 평가

- PCB 레벨의 검증보드 제작 및 검증

마. Transceiver 용 핵심 core 회로 및 신구조 개발

- 새로운 image rejection mixer 구조 제안(I/Q mismatch)

- 새로운 구조를 위한 개별 컴포넌트 모델링 및 제작시험
- DCR 용 mixer 개발 (동작 확인)
- Harmonic 형태의 DCR 구조 연구 및 수동 비선형 소자 집적화

V. 연구개발 결과의 활용계획

연구 결과물로는 핵심 core 셀 library, 핵심 RF IC, 새로운 transceiver 등이 있으며 이에 대한 활용계획은 다음과 같다.

먼저 core 셀의 경우 core 의 IP 화와 이를 국내 design house 에 공개함으로써 RF ASIC 의 활성화 및 활용을 유도하고, 다양한 중소기업의 RF ASIC 설계에 활용할 수 있다.

핵심 RF IC 의 경우 foundry 를 보유한 대기업에 기술전수를 통한 제품 생산을 추진하고, 기존 무선 단말기의 부품을 RF CMOS IC 로 대체하며, multi-band RF IC 제품 설계에 활용 및 frequency synthesizer 일체형 transceiver 제품 설계에 활용한다.

새로운 transceiver 의 경우 연구원 단말기 개발 부서의 협조하에 단말기 test bed 를 제작, 검증하고 시스템 개발에 활용을 유도하며, 이를 업체에 기술전수하여, 업체의 새로운 transceiver 제품개발에 활용을 유도한다

S U M M A R Y

I. Title

A Study of the Next-Generation RF CMOS Transceiver IC Technology for Mobile Communications

II. Research Goals and Needs

A. Goals

◇ Final Goals

The final goal of this research is integrated circuit technology for mobile communication focusing on next generation multi-functional transceiver architecture and IC technologies.

◇ Research Goal of The First Phase

New transceiver architecture

- Transceiver architecture design
 - . Transceiver architecture analysis and design
(Direct Conversion, Low-IF, Quasi-IF etc.)
- Transceiver design
 - . Image rejection mixer design : > 30 dB
 - . I/Q channel balancing : < 3°
- Algorithm for transceiver development
 - . Performance estimation
 - . Optimal architecture design
- Multi-band transceiver architecture design
 - . High linearity circuit
(Rx IC : IIP3 > -10dBm, Tx IC : OIP3 > +15dBm)

- Multi-band design technologies
 - . Programmable RF IC
 - . Dual PLL design technology
 - (Phase noise < -105 dBm, Frequency : 1~2GHz)
- Multi-band transceiver implementation and test

B. Needs

Scaling down CMOS technology makes its performance adequate for GHz frequency, showing that of 70GHz 0.18 μ m technology. Using this characteristics and passive inductor capacitance, RF CMOS is an optimal choice for system on chip transceiver technology for the future demands.

This research began early in the 1990s from the universities in the US. After that, research institutes and semiconductor companies around the world started its beginning research which in mainly focus on simple RF devices such as LNA, Mixer, and VCOs. Today well developed CMOS technology has produced prototype single chip transceiver operating at 5GHz.

Domestically, ETRI took its first step toward RF CMOS technology in 1997.

Now days many companies, academic laboratories are focusing on developing technology of RF CMOS.

Considering potential market of this field, we need to set up basement technology for RF CMOS through this research.

III. Research Contents and Scope

A. Transceiver Architecture Design

- Integration circuit technology for transceiver
 - . Analysis of given architecture
 - :DC offset, Power consumption, New EH-DCR Architecture
- Architecture design through system simulation

- . Transceiver parameters; linearity, NF, Gain

B. Transceiver Design Base Technology

- Optimum architecture derived from Hartley, Weaver, image rejection mixer
 - . Overcoming I/Q channel mismatch problem
 - . Accurate phase shifter circuit
- Circuit design and fabrication
 - . Core circuit design for RF CMOS transceiver
 - :LNA, Mixer, VCO(Dual-band), PLL

C. Algorithm for Transceiver

- Block specification from transceiver performance
 - . Block performance from standard test document
- Transceiver design using simulation S/W design DB
 - . ADS, Cadence, SPW, Matlab, C-language IPs

D. Transceiver Fabrication and Test

- Test bed using commercially available block

IV. Research Results

A. Transceiver Design Technologies

- New image rejection mixer design
 - . IRR : 30 dB \rightarrow 51 dB
 - . I/Q phase mismatch : 3° \rightarrow 1°
 - . LO leakage : 20 dBc \rightarrow 40 dBc
- RF block design
 - . Dual-band LNA
 - . Up/Down Mixer
 - . Dual-band VCO
 - . Wideband frequency synthesizer

- . Rx(receiver), Tx(transmitter) IC
- B. Transceiver Architecture Development
 - Simulation environment for transceiver design
 - . Evaluation of heterodyne receiver
 - . External filter characteristic analysis
 - . Sensitivity, selectivity test
- C. Transceiver Top-down Design methodology
 - Transceiver spec. generation
 - . Noise figure from sensitivity
 - . P1dB as linearity index
 - . Intermodulation test for transceiver linearity performance
- D. Transceiver Test
 - PCB board test
- E. Transceiver core IC and new architecture
 - New image rejection mixer (I/Q mismatch)
 - New architecture and block design
 - Mixer for DCR
 - Harmonic type DCR architecture

V. Plan for Application of Research Results

The Research results are as follows; core cell library, core RF ICs and new transceiver. Followings are the plan for application.

First of all, core cell IP can be shared for the purpose of domestic RF IC technology development.

Core RF IC technologies are transferred to foundry company and the company produces commercial products. Using this technology transfer program, RF CMOS ICs are replaced in mobile handset featured by multi-band frequency synthesizer.

New transceiver architecture test beds are developed through co-work. This technology is also available to domestic company which plan for developing new transceiver architecture.

C O N T E N T S

Chapter 1 Introduction	1
Chapter 2 Research Trend	7
Section 1 Introduction	9
Section 2 Market Trend	9
Section 3 Silicon RF Integrated Circuit Device Technology	10
1. RF CMOS Device Technology	10
2. SiGe Device Technology	11
3. Summary	13
Section 4 Transceiver Architecture	14
1. Transceiver Architecture Review	14
2. Analysis on Transceiver Architecture	15
3. Research Trends	18
Chapter 3 Research Scope and Results	23
Section 1 Introduction	25
Section 2 Transceiver Architecture Design.....	26
1. Transceiver Parameter	26
2. Even Harmonic DCR Architecture Design	30
3. Low-Weaver Architecture Design	38
Section 3 Transceiver Base Technology	46
1. RF CMOS Device and Modeling Technology	46
2. 900MHz CMOS Image Rejection Mixer(IRM) Design Technology ...	55
3. Wideband Mixer Design	81
4. Multi Band Design Technology	93
Chapter 4 Conclusion	103

여 백

목 차

제 1 장 서 론	1
제 2 장 국내외 기술개발 현황	7
1 절 개 요	9
2 절 시장 전망	9
3 절 실리콘 RF 집적회로 소자기술	10
1. RF CMOS 소자기술	10
2. SiGe 소자기술	11
3. 요약	13
4 절 Transceiver 구조개발 현황	14
1. 구조개발 개요	14
2. 수신기 구조 분석	15
3. 국내외 개발 현황	18
제 3 장 연구개발 수행 내용 및 결과	23
1 절 개 요	25
2 절 Transceiver 구조설계	26
1. Transceiver 규격설계기술	26
2. Even Harmonic DCR 구조설계	30
3. Low-Weaver 구조설계	38
3 절 Transceivr 설계 기반기술	46
1. RF CMOS 소자기술 및 모델링기술	46
2. 900MHz CMOS Image Rejection Mixer(IRM) 설계기술	55
3. 광대역 Mixer 설계	81
4. Multi Band 설계 기반기술	93
제 4 장 결 론	103

여 백

그림 목차

그림 2.2.1 셀룰러 및 PCS 핸드셋 관련 반도체 시장	10
그림 2.3.1 Si BJT와 SiGe HBT의 구조차이에 따른 특성의 비교	12
그림 2.4.1 슈퍼헤테로다인 수신기	16
그림 2.4.2 집적변환수신기	16
그림 2.4.3 광대역 중간주파수(Wide-IF) 수신기	17
그림 2.4.4 광대역 중간주파수 수신기의 수신 스펙트럼	17
그림 2.4.5 낮은 중간주파수 수신기	18
그림 3.2.1 인접채널 선택도 그림	28
그림 3.2.2 블록킹 성능시험	29
그림 3.2.3 직접변환 수신기	31
그림 3.2.4 짝수 고조파항에 의한 잡음발생	32
그림 3.2.5 LO 신호 누설에 의한 잡음의 발생	33
그림 3.2.6 Even Harmonic을 이용한 수신기의 예	34
그림 3.2.7 APDP의 구조 및 동작원리	34
그림 3.2.8 APDP 시험의 schematic diagram	35
그림 3.2.9 APDP 모의시험 결과	36
그림 3.2.10 APDP 보드를 이용한 실험 및 측정 결과	37

그림 3.2.11	국부발진기의 신호크기에 따른 응답	38
그림 3.2.12	LOW-IF Transceiver 구조	39
그림 3.2.13	LOW-IF 구조 제작보드	39
그림 3.2.14	주파수 혼합기 특성 측정을 위한 보드	40
그림 3.2.15	LNA 측정을 위한 보드	40
그림 3.2.16	LNA 측정결과	40
그림 3.2.17	트랜시버 기저대역신호의 측정결과	41
그림 3.2.18	트랜시버 DC offset 의 측정결과	41
그림 3.2.19	3G 소스 입력시의 Constellation	42
그림 3.2.20	3G 소스 입력시의 코드도메인 측정결과	42
그림 3.2.21	Weaver 구조의 수신기	43
그림 3.2.22	LOW-IF 구조와 Weaver 구조를 결합한 형태의 수신기	43
그림 3.2.23	LOW-IF 구조와 Weaver 구조를 결합한 형태의 수신기 모의실험	44
그림 3.2.24	LOW-IF 구조와 Weaver 구조를 결합한 형태의 수신기 모의실험 결과	44
그림 3.3.1	0.35 μ m nMOSFET 소자의 게이트 layout 에 따른 특성	47
그림 3.3.2	게이트 layout 및 pad layout 기술을 적용한 소자 잡음 특성	47
그림 3.3.3	0.35 μ m RF CMOS 매크로 모델의 구조: (a) NMOS, (b) PMOS	48
그림 3.3.4	NMOS W= 200 μ m 소자의 S-parameter 결과	49
그림 3.3.5	NMOS RF 매크로 모델의 External 파라미터 값의 scalability.	

Rg, Rb, Cgs=Cgd, Cdb	50
그림 3.3.6 Spiral inductor pattern 및 사각, 팔각, 원형 inductor 의 quality factor 비교	51
그림 3.3.7 Metal 층을 M2,M3,M4 를 사용한 경우와 M3,M4 만을 사용한 경우의 원형 Inductor 의 turn 수에 따른 Quality factor 비교 ..	51
그림 3.3.8 Inductor 모델링에 사용된 등가회로	52
그림 3.3.9 0.5GHz 에서 10GHz 까지 S-parameter 를 fitting 한 결과 ...	52
그림 3.3.10 Poly-poly capacitor 의 S-parameter 의 fitting 결과	53
그림 3.3.11 Polyresistor 의 S-parameter 의 fitting 결과	54
그림 3.3.12 Hartley IRM 블록도	56
그림 3.3.13 Weaver 구조의 IRM	57
그림 3.3.14 제안된 IRM 구조	58
그림 3.3.15 제안된 IRM 의 이미지성분 제거처리 과정	58
그림 3.3.16 제안된 IRM 블록도	60
그림 3.3.17 제안된 IRM 의 IRR 특성	61
그림 3.3.18 기본적인 Modulator 구조	62
그림 3.3.19 일반적인 SSB Modulation Spectrum	63
그림 3.3.20 IRM 블록도	66
그림 3.3.21 OTA 회로도	67

그림 3.3.22 Mixer Cell 회로도	68
그림 3.3.23 RC-CR 네트워크	69
그림 3.3.24 Polyphase Filter 회로도	70
그림 3.3.25 Polyphase Filter 의 주파수에 따른 위상과 진폭오차 특성	71
그림 3.3.26 Differential-to-Single Ended Signal Buffer.....	71
그림 3.3.27 제작된 I/Q Modulator 칩 사진	72
그림 3.3.28 측정 구성도	72
그림 3.3.29 측정용 보-드 사진	73
그림 3.3.30 RF 및 LO 신호의 Feedthrough 측정결과	75
그림 3.3.31 Sideband Signal Suppression 측정결과	75
그림 3.3.32 900MHz I/Q Demodulator 구조도	76
그림 3.3.33 출력 증폭기	76
그림 3.3.34 제작된 I/Q Demodulator 칩 사진	77
그림 3.3.35 측정 구성도	77
그림 3.3.36 측정용 보드 사진	78
그림 3.3.37 I/Q Demodulator Linearity 측정결과(IM3)	80
그림 3.3.38 송신용 Mixer 블록다이어그램	81
그림 3.3.39 IF 버퍼 회로도	82
그림 3.3.40 Mixer core 회로도	82

그림 3.3.41 LO 발룬	83
그림 3.3.42 RF 버퍼 회로도	84
그림 3.3.43 제작된 광대역 송신 mixer die	84
그림 3.3.44 Circuit type에 따른 single stage LNA의 잡음 특성의 Simulation 결과	93
그림 3.3.45 C-S single stage LNA의 inductor Q에 따른 잡음특성	94
그림 3.3.46 Thick metal(3m)을 적용 했을 때 inductor의 Q factor	94
그림 3.3.47 900MHz 용 및 1.9GHz 용 LNA 회로도	95
그림 3.3.48 완전 집적형 900MHz/1.9GHz 용 LNA	95
그림 3.3.49 완전 집적형 900MHz/1.9GHz 용 LNA 전력이득 및 잡음특성 ..	96
그림 3.3.50 집적형 900MHz/1.9GHz 용 LNA의 선형특성	97
그림 3.3.51 설계된 차동 구조 델타 시그마 Fractional-N 주파수 합성기 ...	98
그림 3.3.52 차동 LC-VCO	98
그림 3.3.53 Swallow Control $\Delta\Sigma$ Modulation divider	99
그림 3.3.54 Timing Diagram Swallow Control $\Delta\Sigma$ Modulation divider ..	100
그림 3.3.55 Mash 델타 시그마 모듈레이터 출력의 FFT	100
그림 3.3.56 주파수 합성기 설계 도면	101

표 목 차

표 2.3.1 Design=0.18 μ m, SiGe BiCMOS 소자의 주요 성능	13
표 2.4.1 상용 DCR 칩 개발동향	19
표 3.2.1 Transceiver 시스템 규격 유도	26
표 3.2.2 기준민감도레벨(Reference Sensitivity Level)시험조건표 ...	27
표 3.2.3 최대입력 시험조건	27
표 3.2.4 인접채널선택도 시험조건	28
표 3.2.5 블록킹 성능시험표	29
표 3.2.6 다중톤 성능시험표	30
표 3.2.7 수신기 규격의 예	45
표 3.3.1 NMOS ($L_{\text{drawn}} = 0.35\mu$ m) RF 매크로 모델의 External 파라미터 값 .	49
표 3.3.2 Inductor 모델링을 수행한 결과의 등가회로 변수값	52
표 3.3.3 Capacitor 모델링을 수행한 결과의 등가회로 변수값	53
표 3.3.4 Resistor 모델링을 수행한 결과의 등가회로 변수값	54
표 3.3.5 900MHz I/Q Modulator 규격	74
표 3.3.6 900MHz I/Q Demodulator 규격	79
표 3.3.7 완전집적형 LNA 의 성능을 요약	96

제 1 장 서 론

여 백

제 1 장 서 론

이동통신 서비스는 1 세대인 아날로그 셀룰러, 페이징, 무선전화에서, 2 세대인 디지털 셀룰러와 2.5 세대인 PCS 단계를 거쳐, 음성은 물론 멀티미디어 이동통신 서비스까지 제공하는 3 세대의 IMT-2000 상용 서비스를 눈앞에 두고 있다. 이동통신 기술은 언제, 어디에서나 음성/영상/문자 등의 다양한 정보를 통신하고자 하는 사용자의 욕구를 충족시키기 위해 발전 해왔으며, 이러한 요구는 정보 크기의 증대와 함께 앞으로 더욱 다양화 될 것이다. 미래의 전개될 다양한 정보 서비스를 보다 저렴한 가격에 제공하기 위해서는 더욱 진일보 되고, 지능화된 서비스의 개발이 예상된다. 이러한 차세대 이동통신 서비스가 가능하기 위해서는, 하나의 이동통신 단말기가 여러 개의 주파수 대역 및 통신표준 (Multi-band, Multi-standard)의 송/수신이 가능하고, 다양한 기능 서비스를 수용할 수 있어야 하므로, RF의 송수신 회로의 복잡도가 현재보다 크게 증가될 전망이다. 이와 같이 복합 다기능화로 발전해 가는 차세대 무선 단말기는 서비스의 이동성도 최대한 제공해야 하므로 단말기의 저전력화, 경량화, 고집적화를 실현할 수 있는 기술개발을 절실히 요구하고 있다. 이를 위해 현재 대부분 HIC (Hybride IC)를 사용하고 있는 단말기의 RF Module 를 VLSI 화하는 것은 필연적이다.

이와 같은 발전추세에 대응할 수 있는 새로운 RF 기술로 1990 년대 초반, 미국의 대학 (UCB, UCLA)을 중심으로 CMOS 를 이용한 RF 집적회로에의 응용 가능성을 검토하기 시작했는데 이는 CMOS 기술의 급격한 발전으로 소자의 최대 동작 주파수 f_{max} 가 수십 GHz 대역까지 고속화되고 있기 때문이다. 최근에는 실현 가능성이 점차 높아지면서 미국은 물론, 유럽과 일본의 선진 연구기관(AT&T, NTT 등)과 주요 반도체 회사 (Analog Devices, TI, Motorola, National Semiconductor, LSI Logic, Broadcomm, Infineon, Philips, Toshiba, Hitachi 등) 등이 적극적인 연구에 착수하고 있다. 이는 무엇보다도 현재 반도체 시장을 주도하고 있는 CMOS 공정을 재활용함으로써 CMOS 기술의 대량 생산성, 안정된 공정, 충분한 Resource 등의 장점

을 통해 기존 화합물 MMIC 와는 가격 경쟁력에서 크게 앞설 수 있다는 점 때문이다. 또한 RF CMOS 기술은 기존의 CMOS 기술을 기반으로 발전해온 IF (Intermediate Frequency) 및 Baseband ASIC 과 RF IC 까지 통합할 수 있는 가장 강력한(유일한) 기술이므로 궁극적으로는 무선통신 단말기의 One Chip Solution 을 제공 할 수 있는 기반 기술로서의 가능성도 높이 주목 받고 있는 점이다.

한편, 현재 단말기에 채택되고 있는 Super-heterodyne 방식은 기본적으로 다단계의 주파수 변환과 이에 따른 많은 External Component (예: Filter)를 사용하고 있다. 따라서 미래의 복합 다기능 무선 서비스를 단일 칩에 수용하기 위해서는, 근본적인 구조의 개선이 없이 RF CMOS IC 의 단순한 집적화만으로는 가격 경쟁력 및 성능 향상에 한계가 있다. 이러한 점 때문에 새로운 Transceiver 구조 연구 (예: Direct Conversion, Quasi-IF, Low-IF, 혹은 변형된 Super-heterodyne 방식 등)가 최근 선진 연구기관을 중심으로 연구가 진행되고 있으나, 아직은 초기 단계에 머물러 있다.

본 연구는 "이동 통신용 차세대 RF CMOS Transceiver 집적회로 기술"개발을 목적으로 미래의 복합 다기능 무선 멀티미디어 서비스를 단일 칩에 수용할 수 있는 Transceiver 구조를 제안, 구현하고 이와 관련된 RF CMOS 집적회로 원천기술 확보를 목표로 하고 있다. 효율적인 목표 달성을 위해 당 연구팀은 이미 보유하고 있는 연구팀 내 RF CMOS 소자 및 회로설계기술을 최대한 활용하였으며 기존의 Super-heterodyne 방식을 탈피, 경쟁력 있는 차세대 transceiver 구조를 제안하고 이의 구현을 위한 핵심 RF IC 설계기술을 개발하는 Top-down 방법의 연구개발을 추진하였다. 또한 학계 및 산업계와 긴밀한 협조체계를 구축함으로써 우리나라의 RF CMOS 기술의 저변을 확대하고 개념단계의 아이디어를 실제적인 결과로 연결되게 함으로써 궁극적으로 RF CMOS 집적회로 설계분야의 국가 기술 경쟁력 강화에 중점을 두고 진행 하였다.

본 연구보고서의 2 장에서는 RF transceiver 와 관련한 국내외 기술개발 현황을 기존의 송수신기 구조개발 현황 및 장단점과 RF 소자 기술 개발의 관점에서 분석하였다. 3 장에서는 연구개발 수행내용 및 결과를 기술하

였다. 먼저 transceiver 구조 설계에서는 수신기의 규격설계, DCR 구조 및 장단점, 다이오드를 EH-DCR 구조, Low-IF 구조, DCR 구조와 LOW-IF 구조를 응용한 수신기 구조에 대한 설계 및 그 결과를 분석하였고, 이들 구조를 구현하기 위한 RF CMOS 모델링 등 기반기술과 LNA, 고성능 mixer, 다중밴드용 주파수합성기 구조 등 핵심 블럭에 관한 설계 및 제작 결과를 기술하였다. 마지막으로 4 장에서는 연구결과의 전체 요약과 2 단계 계획에 대해 언급하였다.

여 백

제 2 장 국내외 기술개발 현황

여 백

제 2 장 국내외 기술개발 현황

1 절 개요

무선통신 부품 기술의 발전 방향을 개괄해보면, 무선통신부품은 사용대역이 수백 MHz 대역에서 수십 GHz 까지 확장되어 있고 관련 서비스 또한 매우 광범위한 것이 특징이다. 이와 관련하여 주파수대역별 무선통신 부품의 기술개발 추이를 요약해 보면, 시장이 집중되어 있는 1~2GHz 대역의 경우, 서비스의 다양함을 수용해야 하고 가격 경쟁 또한 매우 치열하게 전개 되고 있어 능동부품 (RF, IF, 및 Digital 기능일부) 기능의 통합화가 급속히 진행되고 있는 반면, 10~70GHz 의 초고주파 분야는 고성능 모듈 및 개별 부품 개발로 차별화 되고 있는 추세이다. 한편 무선통신 서비스 시장은 다양한 표준 및 주파수 사용 대역에 대해 하나의 단말기로 유연하게 대처 할 수 있는 부품 기술을 필요로 하고 있으며, 이를 위해 Philips, Infineon 등과 같이 각 사용 서비스별 특화된 RF IC 를 조합하거나, Analog Devices, CSR, Hitachi, Broadcom 사와 같이 보다 개선된 Transceiver 구조 개발(예: Low-IF, Direct Conversion Receiver 등)을 통해 새로운 단말기 구현에 중점을 두고 연구하고 있다.

2 절 시장전망

개인 휴대통신 시장에서 가장 큰 비중을 차지하고 있는 PCS/Cellular 시장을 국한해서 살펴보면, 그림 2.2.1 과 같이 1997 년부터 2004 년까지 약 28%의 지속적 성장이 예측되고 있다. 이에 따라 2001 년에는 약 9.1 억 가입자와 약 5.7 억개의 신규 단말기의 수요가 예상되며 이에 따른 단말기용 반도체 시장은 약 210 억불 규모로 예측된다. 단말기용 반도체의 약 20%가 RF 부품임을 감안 한다면 2001 년 PCS/Cellular 단말기용 RF 부품의 시장규모는 약 42 억불로 추정된다. 단말기의 가격 또한 100 불 이하로 떨어지는 등 경쟁이 매우 치열하게 전개 되고 있어 가격 비중이 큰 반도체 부품 가격을 저가격화 하지 않으면 경쟁력의 우위를 점할 수 없다. 1997 년 약 52 불이던 반도체 부품값이 이미 2000 년부터 한계 비용인 약

30 불 대로 진입하기 시작했다. 이는 반도체 부품의 소요나 기능이 감소 된 것이 아니라, 많은 부품이 집적화 되면서 저가격화 되었기 때문이다. 여기에 하나의 단말기로 Multi-Band (Dual-band 또는 Triple-band) 는 물론 GPS, 및 Bluetooth 의 기능까지 추가되는 서비스 시장의 경쟁은 단말기용 반도체 기술의 혁신적인 발전을 강력하게 요구하고 있다.

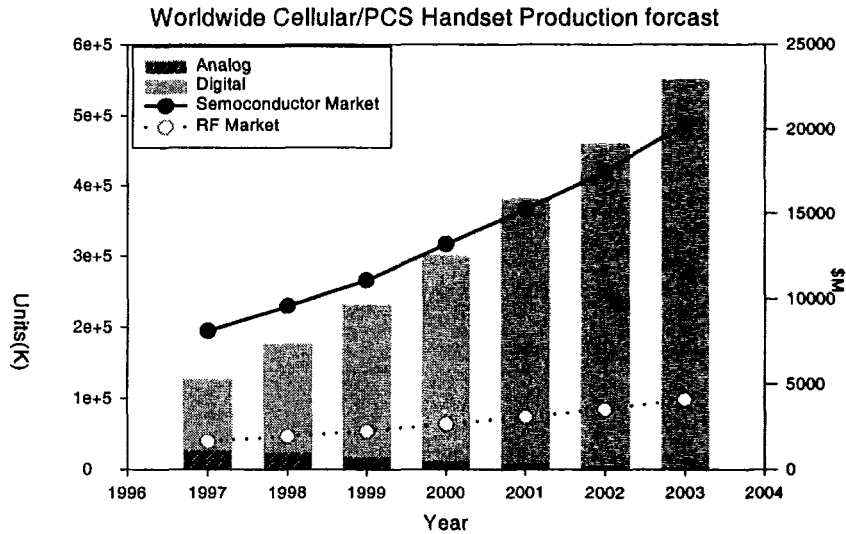


그림 2.2.1 셀룰러 및 PCS 핸드셋 관련 반도체 시장

3 절 실리콘 RF 집적회로 소자기술

1. RF CMOS 소자기술

CMOS 소자는 고집적화의 필요성으로 꾸준히 Scaling 되어 왔으며 그 결과 현재 소자의 차단주파수도 50~150GHz 까지 증가하고 있다. 가격과 집적도에서 타 기술과 비교할 때 월등히 우수하므로 RF IC 에의 응용 가능성은 이미 예견된 바 있으나, 무엇보다도 CMOS 기반의 Digital/Analog IP 를 그대로 활용할 수 있어 RF System IC 까지 구현이 가능하다는 측면에서 보다 근본적인 강점이 있다. 속도면에서 국한해 보면 현재의 CMOS 기술은 5GHz 대역까지 충분히 활용이 가능하다. (RF IC 는 소자 f_{max} 의 약 1/10 수준) 그러나 시장이 집중되어 있는 이동통신 단말기용 RF IC 에 응용하기에는 중요한 몇 가지 문제점을 가지고 있다.

첫째, Bipolar (혹은 화합물소자)에 비해 G_m (혹은 G_m/Ids)이 낮아 동일한 이득 특성을 얻기 위해서는 결과적으로 많은 전류가 필요하게 된다. 이것은 CMOS 소자가 소비전력 측면에서는 아직도 불리하다는 것을 뜻한다. 그러나 $0.14\mu m$ 이하로 scaling 되면 소자의 G_m 특성이 역전되면서 Bipolar 와 비교할 때 CMOS 소자가 오히려 저전력화에 유리하다는 분석이 보고된 바 있다. ($0.11\mu m$ 이하의 경우, SiGe HBT 보다 우수) 둘째, 단말기의 Sensitivity 는 잡음특성(NF: Noise Figure)에 직접적으로 의존한다. 수신단 잡음의 대부분은 저잡음증폭기(LNA: Low Noise Amplifier)에 의해 사실상 결정되는데 LNA 의 잡음지수를 줄이기 위해서는 먼저 소자의 잡음특성이 우수해야 한다. CMOS 소자의 경우, 가장 중요한 Noise Source 는 게이트의 직렬 저항성분이다. 많은 연구가 진행되고 있지만 NF 가 1dB 이하의 경쟁력 있는 성능은 구현하기 힘든 상태이다. (현재 1~2GHz 대역에서 1.5~3dB 수준) 다행히 게이트의 재질이 Polysilicon, WSi, TiSi, CoSi 로 발전되면서 $20\Omega /Sq$ 정도에서 $2\sim 3\Omega /Sq$.로 크게 감소하고 동시에 소자의 G_m 도 증가하기 때문에 NF 특성도 함께 향상되고 있는 추세이다. 셋째, CMOS 소자가 사용하고 있는 실리콘 기판은 기본적으로 화합물반도체기판에 비해 RF 신호의 손실이 크다. RF CMOS 의 경우 특히 Layout 의 최적화 유무가 소자의 성능을 크게 좌우한다. 넷째, CMOS 소자의 Scaling 은 RF 특성을 대부분 향상시키고 있으나, 게이트 산화막이 얇아져서 ESD (Electro Static Discharge)문제는 오히려 더욱 심각해진다. 큰 용량의 Bypass Capacitance 는 입력단 RF 임피던스정합(Impedance Matching)을 어렵게 하기 때문에 자유롭게 증가 시키는 데에도 한계가 있다. RF CMOS 에 있어 ESD 는 보다 근본적인 대책이 필요한 분야이다.

2. SiGe 소자기술

SiGe 소자의 가능성은 1957 년에 최초로 제시되었다 그 후 저온 SiGe 성장에 관한 연구가 꾸준히 전개되어 오면서 1980 년대 중반부터 IBM 에서 본격적인 연구개발이 진행되었으며, 1996 년 상용화 단계에 진입하였다.

SiGe HBT 소자는 이중접합구조를 이용하여 에너지밴드갭이 임의로 조절된 얇은 폭의 베이스를 사용함으로써 높은 동작 주파수에서 큰 이득과 낮은 Turn-on 전압의 특징을 가지게 되어 초고주파영역에서의 저전력 소자특성을 갖게 된다. 이러한 이유로 휴대단말기기의 RF 부품 구현을 위한 새로운 기술로 주목 받고 있다. 그림 2.3.1 은 기존 실리콘 BJT 와 SiGe HBT 의 주요 특징을 나타낸 것이다.

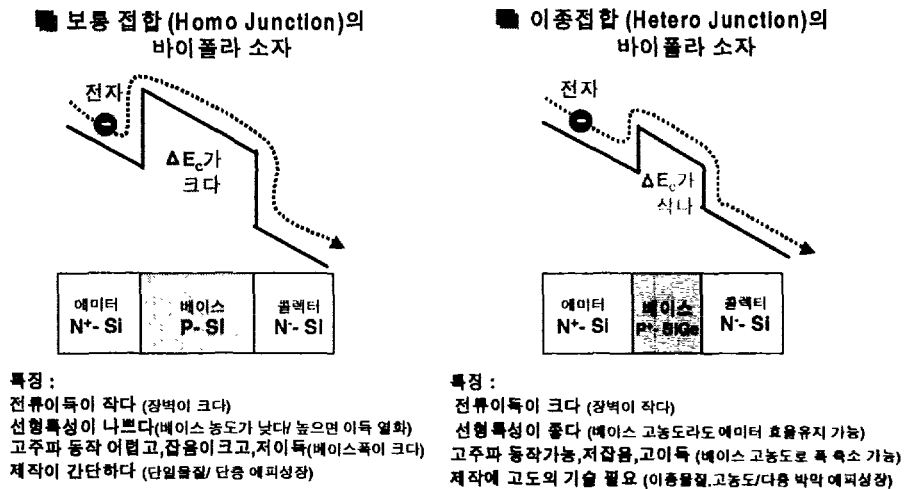


그림 2.3.1 Si BJT 와 SiGe HBT 의 구조차이에 따른 특성의 비교

다양하고 풍부한 ASIC Library 를 보유하고 있는 CMOS 소자 바탕에 SiGe 소자의 우수한 초고주파 특성을 접목한 기술이 SiGe BiCMOS 기술이다. SiGe BiCMOS 기술에서의 핵심은 CMOS 소자특성을 변화시키지 않으면서 어떻게 하면 SiGe HBT 소자의 고성능을 유지 할 수 있는 가 하는 것이다. CMOS 공정위주의 집적화 과정은 SiGe HBT 의 성능 최적화를 위한 소자 제작 과정에 영향을 주기 때문이다. 일반적으로 CMOS 제작과정에서 사용되는 고온 공정이 끝난 후 SiGe HBT 의 베이스 에피를 성장 시킴으로써 베이스 도핑 열화를 최소화 하고 있다. 표 2.3.1 은 IBM 0.18 μ m SiGe BiCMOS 소자의 주요 성능이다.

표 2.3.1 Design=0.18 μ m, SiGe BiCMOS 소자의 주요 성능

Bipolar [npn]					CMOS		
Emitter Width	fT	fMAX	Bvceo	NFmin @2GHz	Vdd [V]	PWR [uW/MHz/gt]	Gate Delay[ps]
0.18 μ m	120GHz	100GHz	2.1V	0.4dB	1.8/3.3	0.03	33

3. 요약

본 연구개발에서 채택하고 있는 RF CMOS 기술은 전술한 바와 같이 아직도 해결해야 할 많은 문제가 남아 있지만, Bluetooth, WLAN, CT 등과 같이 우선은 규격이 상대적으로 완화된 분야로 적용이 확산될 것이다. 상대적으로 규격이 엄격한 이동 단말기 시장은 시장규모와 통신시장에서 갖는 중요성으로 인해 꾸준한 개발 대상으로 예상된다. 현재까지의 연구결과를 바탕으로 분석해보면 개별 성능이 우수한 RF 소자 (화합물 소자, SiGe HBT)가 산재해 있는 단말기용 반도체 시장에 RF CMOS IC가 이동통신 단말기의 부분품으로 대체되기까지는 아직도 약간의 시간이 요구된다. Core Cell의 성능향상은 물론 지속적으로 진행되겠지만, 기존의 RF 신호처리 및 구조를 변화시킴으로써 보다 근본적인 성능개선을 추구하는 것이 필요하다. 이는 다중밴드, 다기능으로 발전하고 있는 지금의 단말기 부품시장에 RF CMOS IC가 경쟁력을 가질 수 있는 보다 효과적인 개발전략이 될 것으로 판단하기 때문이다.

SiGe BiCMOS의 경우, SiGe HBT의 우수한 성능이 매력이지만, SoC를 위한 경쟁력을 갖추기 위해서는 무엇보다 완벽한 CMOS 기술 양립성 확보가 급선무가 될 것이다. IBM 진영의 꾸준한 노력으로 현재 0.18 μ m SiGe BiCMOS 기술이 개발 되었으나 Mask 수가 38 장을 상회 하는 등 가격의 부담을 안고 있다. RF front-end 부분만을 봤을 때 RF 부분의 단일 칩화는 분명 유리한 면이 있으나, 이제는 5GHz 대역까지 침투해 들어오는 RF CMOS의 기술력이 조만간 큰 도전이 될 것으로 보인다.

4 절 Transceiver 구조개발 현황

1. 구조개발 개요

설계자의 입장에서 볼 때 RF CMOS 의 장점은 안정된 공정을 기반으로 한 고집적화에 있다. 따라서 현재 대부분의 단말기에 채택되고 있는 Super-heterodyne 구조는 채널 선택성이 우수한 장점이 있음에도 불구하고 다단계의 주파수변환과 이에 따른 필터 등 외부 부품의 소요가 많고 집적화에 어려움이 따르므로 저가격화와 고집적화라는 RF CMOS IC 의 큰 특징을 제대로 발휘 할 수 없다. 이와 같은 관점에서 Multi-band, Multi-standard 로 발전되어 가는 휴대통신 기술의 흐름은 외부 부품을 최소화하고 집적화에 유리한 새로운 단말기 구조 개발을 요구하고 있다. Direct conversion 방식은 RF 신호를 중간주파수 처리 과정 없이 직접 baseband 로 변환하는 방식으로 집적화에 가장 매력적인 구조이다. Pager 등에 일부 활용되고 있기도 하지만, 1995 년 UCLA 의 Abidi 그룹이 Digital Cellular 를 위한 RF IC 를 발표 한 이래 새롭게 주목을 받고 있다 [1]. DDFS 를 활용, 주파수 도약 방식을 채택한 이들은 직접변환 구조가 가지고 있는 DC offset, $1/f$ noise 등의 문제에 비교적 민감하지 않은 FSK 변조방식을 사용하였다. Quasi-IF 방식은 주파수 변환시 발생하는 image 신호를 복소수 신호처리 (Hilbert transform)에 의해 상쇄시키고 선단의 LO 를 고정된 주파수로 할당함으로써 image rejection filter 및 주파수 합성기 설계 부담을 감소 시킨 구조이다 [2]. Double-quadrature 방식은 RF 및 LO 신호를 각각 I/Q 신호로 바꾸고 I-phase 와 Q-phase 를 각각 곱하여 image 를 감쇄 시킨 구조이다. Quasi-IF 방식에 비해 I/Q mismatch 에 의한 영향이 줄어들어 주는 장점이 있지만, passive-RC network 에 의한 chip 크기의 증가와 경로의 mismatch 에 의한 성능 저하는 여전히 문제로 남는다 [3-4]. UCLA 의 B. Razavi 교수는 Weaver 구조를 이용하여 900MHz GSM (Global System for Mobile communication) 과 1.8GHz 대역의 DCS1800 (Digital Communication System at 1800)의 Dual-band Rx 및 Tx IC 구조를 발표한 바 있다. 0.6 μ m CMOS 공정을 이용한 본 시도는 LO1 및

L02 를 각각 1350MHz 와 450MHz 로 설정하고 각 band 경로의 단순한 조합을 통해 원하는 IF 및 RF 신호를 효과적으로 얻을 수 있는 방식이다[5]. 지난 7~8 년간의 연구개발 결과, RF CMOS 기술은 이제 연구단계에서 제품개발 단계로 진입하기 시작했다. 그 한 예로서 2000 년 3 월 영국의 CSR 사는 *BlueCore01* 이라는 이름으로 Bluetooth 용 2.4GHz 대역 RF CMOS IC prototype 을 발표하였다. RF 주요 block 은 물론 디지털 block 까지 단일 칩으로 구현된 상기 칩은 0.35 μ m CMOS 공정을 활용한 것이다. RF CMOS 기술은 전술한 바와 같이 아직도 해결해야 할 많은 문제가 남아 있지만, Bluetooth, WLAN, CT 등과 같이 우선은 규격이 상대적으로 완화된 분야로 적용이 확산될 것이다. 상대적으로 규격이 엄격한 이동 단말기 시장은 시장규모와 통신시장에서 갖는 중요성으로 인해 꾸준한 개발 대상으로 예상된다. 현재까지의 연구결과를 바탕으로 분석해보면 개별 성능이 우수한 RF 소자 (화합물 소자, SiGe HBT)가 산재해 있는 단말기용 반도체 시장에 RF CMOS IC 가 이들의 부분품으로 대체되기까지는 아직도 약간의 시간이 필요하다. Core Cell 의 성능향상은 물론 지속적으로 진행되겠지만, 기존의 RF 신호처리 및 구조를 변화 시킴으로서 보다 근본적인 성능개선을 추구하는 것이 필요하다. 이는 다중밴드, 다기능으로 발전하고 있는 지금의 단말기 부품시장에 RF CMOS IC 가 경쟁력을 가질 수 있는 보다 효과적인 개발전략이 될 것으로 판단하기 때문이다.

2. 수신기 구조분석

가. 슈퍼헤테로다인(Superheterodyne)구조

가장 널리 사용되는 수신기의 구조로 선택도(Selectivity)와 수신도(Sensitivity)가 우수한 장점이 있다. 그러나 그림 2.4.1 에서 보는 것처럼 외부소자를 사용해야 하는 단점이 있기 때문에 집적화에는 유리하지 못하다. 단일칩 수신기를 구현하여 저가격 고집적화를 구현하려는 RF CMOS 의 관점에는 적합하지 않은 구조이나 다른 구조의 수신기에 비해 성능적 측면에서 유리하여 현재까지 가장 많이 사용되는 구조이다.

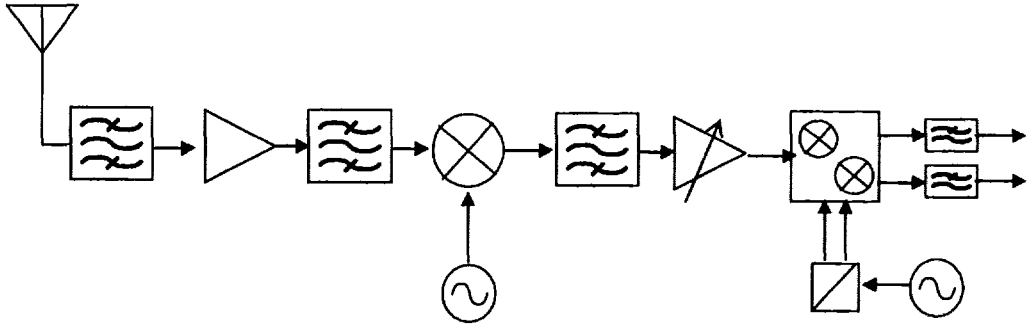


그림 2.4.1 슈퍼헤테로다인 수신기

나. 직접변환수신기(Direct conversion)구조

직접변환 수신기는 그림 2.4.2 와 같다. 집적변환수신기는 고주파신호를 중간주파수단계를 거치지 않고 바로 기저대역의 신호로 변환하여 신호를 처리한다. 중간주파수단계를 생략하여 중간주파수에 필요한 부품인 외부소자 필터를 제거하여 집적화에 적합한 구조이다. 그러나 기저대역의 잡음에 민감해지는 단점이 있다. 기저대역의 잡음으로 짝수고조파잡음(Even harmonics), 국부발진기주파수의 누설, 방사문제, 1/f 노이즈문제가 중간주파수를 사용하는 구조보다 심각해진다. 집적화하여 이 구조의 수신기를 구현하기 위해서는 상기의 단점을 해결하여야 한다.

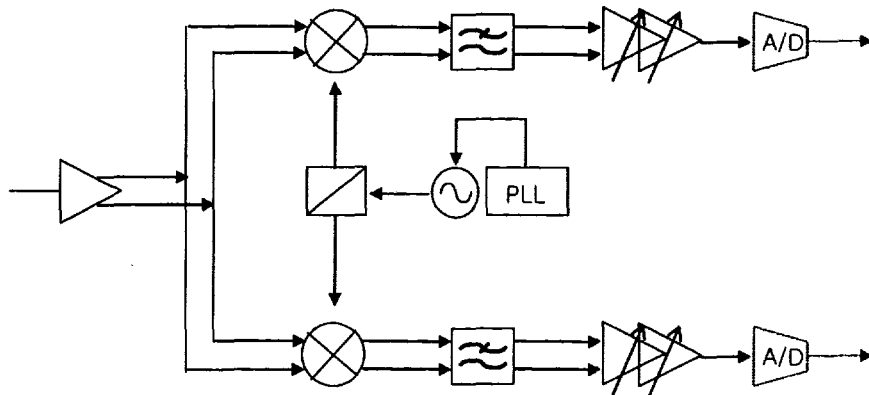


그림 2.4.2 집적변환수신기

다. 광대역 중간주파(Wide-IF) 수신기 구조

광대역중간주파수 수신기는 그림 2.4.3 과 같다. 원하는 고주파 수신대역

전체를 고주파 수신대역 주파수보다 큰 값의 중간주파수로 변환하여 중간 주파수에서부터 이미지 제거방식을 적용하여 원하는 채널을 찾는 방식이다. 이미지 제거방식을 적용하였으므로 슈퍼헤테로다인 방식에서 필수적인 외부소자 이미지제거 필터가 없이 동작을 할 수 있다. 따라서 집적화가 가능하다는 장점을 가진다. 중간주파수를 가지고 있기 때문에 기저대역에서의 잡음에 직접변환방식보다 유리한 측면이 있다. 반면에 중간주파수에서 일어나는 이미지를 제거해야 하는 문제는 그대로 유지하게 되므로 동상위상과 직각위상간의 위상차가 발생할 경우 수신기 전체의 선택도 (Selectivity)가 손상되는 단점이 있다.

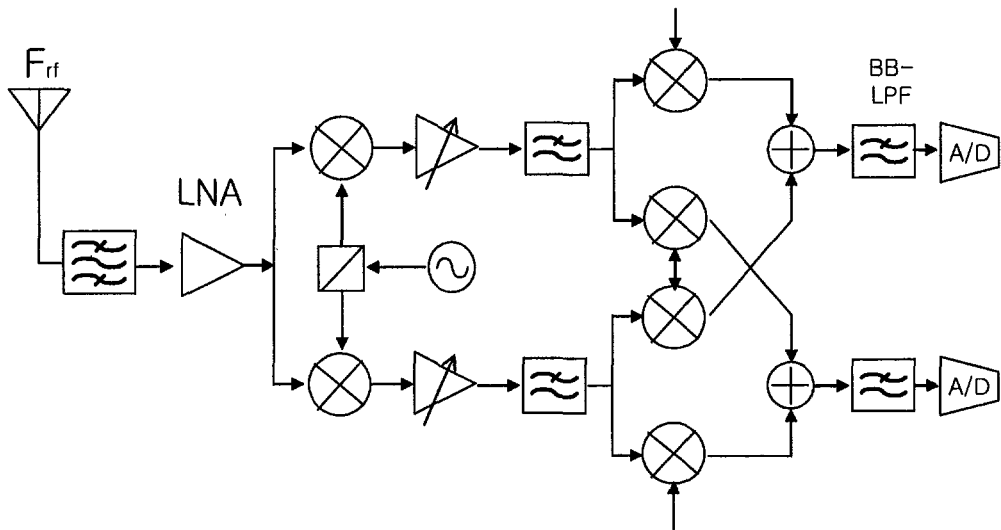


그림 2.4.3 광대역 중간주파수(Wide-IF) 수신기

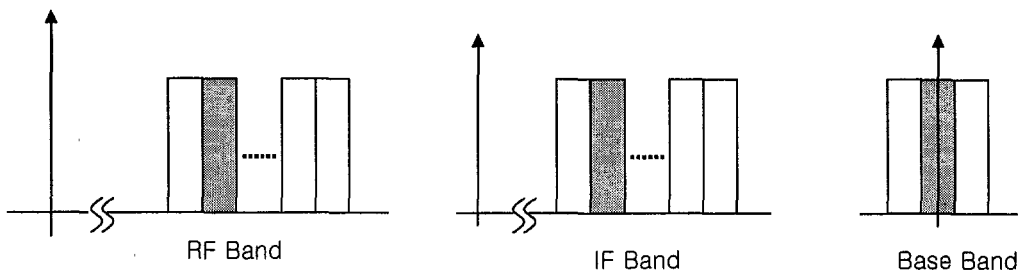


그림 2.4.4 광대역 중간주파수 수신기의 수신 스펙트럼

라. 낮은 중간주파수(Low-IF) 수신기 구조

낮은 중간주파수수신기는 그림 2.4.5 와 같다. 낮은 중간주파수 수신기는 집적변환수신기와 동일한 구조를 가질 수 있다. 직접변환 수신기와의 차이점은 고주파의 주파수와 국부발진기의 주파수가 다르다. 따라서 중간주파수의 값으로 채널크기정도의 값을 가진다. 따라서 DC 부근에 발생하는 잡음에대한 효과적인 회피를 할 수 있다. 반면 낮은 중간주파수에서 기저대역신호를 얻기위하여 아날로그 방식을 이용하여 이미지를 제거한다면 동상위상, 직각위상간의 위상차가 발생하여 수신기의 선택도가 떨어지는 단점이 있다. 보통의 낮은 중간주파수 수신기는 A/D 변환기를 거쳐 디지털방식으로 이미지를 제거하는 방식을 사용한다.

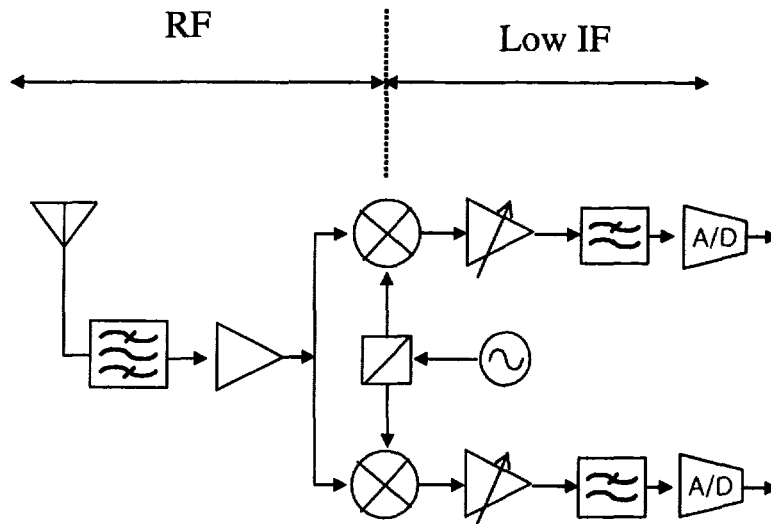


그림 2.4.5 낮은 중간주파수 수신기

3. 국내의 개발현황

가. DCR 개발 현황

DCR 구조는 오래 전부터 알려져 왔으나, 상용제품이 나오기 시작한 것은 최근의 일이다. DCR 구조가 주목을 받는 이유는 이 구조의 수신기가 집적화에 적합하기 때문이다. 현재 상용 직접변환수신기의 대부분은 위성수신용이며, 최근에 들어서 3G mobile 용의 DCR 수신기로 Qualcomm 사의 RadioOne, Analog Device 사의 Othello 등의 수신기가 발표된 바 있다. DCR(Direct Conversion Receiver)기술의 상용제품은 2000 년이 되어서

본격적으로 시장에 등장하기 시작하였으며, 국내업체, 기관의 연구결과가 초기 개념 습득의 수준이다. 국내업체의 기술수준에 반해 외국의 주요 반도체 업체는 2000 년 초부터 시작하여 주로 GSM 용으로 사용할 수 있는 DCR 제품을 시장에 내놓기 시작하였으며, 2000 년 12 월 켈컴사에서 WCDMA 용의 DCR 을 제작하였다고 발표하였다.

표 2.4.1 상용 DCR 칩 개발동향

Vendor	모델명	Application	Chip Spec.	Architecture	Release
Analog Device	Othello	Multi-band GSM	Not Published(N.P)	N.P.	1999. 12
Maxim	Max2700	WLL ISM2.4GHz	1.8GHz~2.1GHz 2.1GHz~2.5GHz	LNA, quadrature downconverter VGA	
Qualcom	RadioOne	cdma2000 1x/1xEV/GPS CDMA (WCDMA)/GPS products	Not Published	N.P.	Dec. 18, 2000
TDK	5503DCR	VSAT Digital Satellite	950~1450MHz	VCO, synthesizer AGC	
Phillips	UAA3535 HA	GSM/DCS/PCS transceiver	Multi-band GSM/DCS/PCS	LNA VCO PLL	

	TDA 8680AT	Satellite ZERO-IF QPSK down- converter	Direct conversion QPSK downconversiono 920 to 2200 MHz On-chip phase shifter Localoscillator output to PLL		
Infineon	TUA6100	QPSK Satellite Receiver	IF to 0-30MHz	IF to 2001.1 Baseband DCR PLL, CxOscillator	
	SMARTi PMB6256	GSM GPRS	Not Published	Not Published	

참고문헌

- [1] A. A. Abidi, " Direct-conversion radio transceivers for digital communications," IEEE J. Solid-State Circuits, vol. 30. pp. 1399-1410, Dec. 1995.
- [2] J. C. Rudell, J. J. Ou, T. B. Cho, G. Chien, F. Brianti, J. A. Weldon, and P. R. Gray, " A 1.9GHz wide-band IF double conversion CMOS integrated receiver for cordless telephone applications," in ISSCC Dig. Tech. Papers, pp. 304-305, Feb. 1997.
- [3] J. Crols and M. S. J. Steyaert, " A Single Chip 900MHz CMOS Receiver Front-End with High Performance Low-IF Topology," IEEE J. Solid-State Circuits, vol. 30. No.12, pp. 1483-1492, Dec. 1995.
- [4] Seungwook Lee, Keewook Jung, Wonchan Kim, Hyun Kyu Yu, and Wonchul Song , " A 1GHz image-rejection down-converter in 0.8 μ m CMOS technology," IEEE Trans. on Consumer Electronics, vol. 44, No.2, pp.235-239, May, 1998.
- [5] B.Razavi, " A 900MHz/1.8GHz CMOS Transmitter for Dual-Band Applications," IEEE J. Solid-State Circuits, vol. 34. No.5, pp. 573-579, May 1999.

여 백

제 3 장 연구개발수행 내용 및 결과

여 백

제 3 장 연구개발수행 내용 및 결과

1 절 개요

본 장의 2 절에서는 Transceiver 구조 설계에 대한 방법론과 방법을 적용하여 3 세대 송수신기의 규격을 도출하는 과정에 대한 내용을 다루고 있다. 규격설정에서부터 송수신기의 종류별 장단점에 대한 내용에 대하여 기술하고, 집적화에 적합한 구조인 Low-IF 구조와 DCR 구조에 대한 검토가 있었고, 이 구조로부터 Even Harmonic 을 제거하기 위한 구조로 제안된 APDP(Anti Parallel Diode Pair)구조를 이용한 수신기의 제안과 측정결과를 분석하였다. Low-IF 구조와 이미지 억제 방식의 수신기의 장점을 결합한 수신기에 대한 검토를 제시하였다. 3 절에서는 집적회로를 이용한 Transceiver 를 구성하는 것을 전제로 하는 Transceiver 설계 기반기술 중 RF CMOS 소자의 모델링기술에 대하여 연구결과를 기술 하였다. 수동소자 및 능동소자에 대한 모델을 제시하고 모델과 측정치에 대한 정확도를 분석하였다.

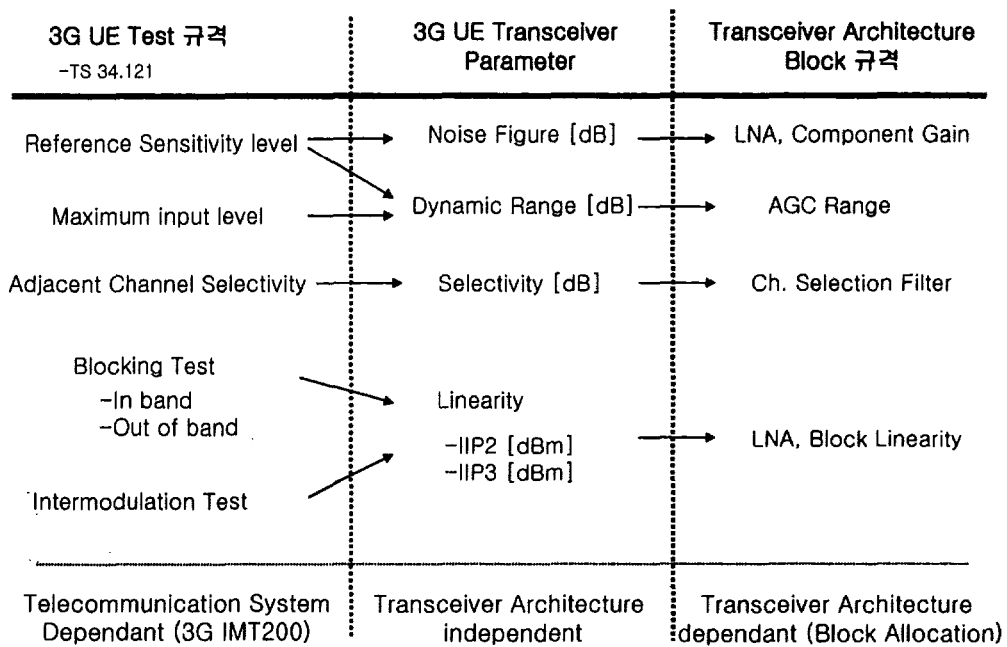
이러한 기반기술을 바탕으로 실제 설계, 제작된 이미지 억제방식의 주파수 혼합기의 이론적인 검토와 실제 제시되어 제작된 회로의 구조와 실제 제작된 이미지 억제 주파수혼합기를 측정한 실험치를 제시하였다. 이 구조를 이용한 I/Q 모듈레이터와 디모듈레이터의 설계와 이론에 대하여 설명하였으며 실제제작된 칩의 측정결과에 대하여 기술하였다. 차세대에 다중 밴드에 응용할 수 있는 넓은 주파수대역에 적용이 가능한 광대역 주파수 혼합기의 설계와 성능에 대하여 분석하였다. 광대역 송수신기에 적용할 수 있는 PLL 의 구조 및 회로 설계결과를 제시하였다.

2 절 Transceiver 구조 설계

1. Transceiver 규격 설계기술

Transceiver 를 설계하기 위하여 우선 Transceiver 가 동작하여야 하는 규격에서부터 Transceiver 가 가져야 하는 전체적인 성능지수(Transceiver Parameter)를 도출한다. 이렇게 도출된 성능지수들은 개별 Transceiver 를 구성하였을 때 개별 Block 에서의 성능과라메터와 연관된다. 표 3.2.1 은 일반적인 수신기의 규격시험서에서부터 성능지수를 유도하고, 이 값에서부터 개별블록의 규격을 유도하는 과정을 도시하였다.

표 3.2.1 Transceiver 시스템 규격 유도



가. 기준 민감도 레벨(Reference Sensitivity Level) 시험조건

기준 민감도 레벨은 수신기가 수신할 수 있는 최소의 수신전력을 정의한다. 즉 Mobile 환경에서는 수신기가 기지국으로부터 멀리 떨어져 있는 환경에서도 수신기의 성능을 보장해주는 시험 조건이다. 이 시험조건은 수신기의 성능지수(Transceiver Parameter) 중 잡음지수(Noise Parameter)와 직접적인 관련이 있다. 특히 수신기 전체의 잡음지수를 결정하는 것이 저잡

음 증폭단이므로 저잡음 증폭기의 성능과 관련이 있다. 기준 민감도 레벨에서부터 수신기 성능지수인 잡음지수값을 도출할 수 있다.

표 3.2.2 기준민감도레벨(Reference Sensitivity Level)시험조건표

Parameter	Unit	Level
DPCH_Ec	dBm/3.84 MHz	-117
\hat{I}_{or}	dBm/3.84 MHz	-106.7

유도하는 방식에 따라 차이가 있지만 IMT-2000 규격의 경우 7.6 ~ 9dB 정도의 값을 가진다. 값의 차이가 발생하는 원인은 입력 잡음을 얼마나 많이 고려하여주는가에 따라 차이가 발생한다.

나. 최대입력 조건

최대입력조건은 수신기가 받을 수 있는 최대의 입력의 크기를 정한다. 표 3.2.3 와 같은 조건에서 시험하였을 때 BER 0.001 을 만족하여야한다. 기준 민감도레벨과 최대입력조건에서 수신기의 다이내믹 레인지가 결정이 된다. 다이내믹레인지의 값은 수신기의 가변이득 증폭기의 레인지의 사양을 결정한다.

표 3.2.3 최대입력 시험조건

Parameter	Unit	Level
$\frac{DPCH_Ec}{I_{or}}$	dB	-19
\hat{I}_{or}	dBm/3.84 MHz	-25

다. 인접채널 선택도 (Adjacent Channel Selectivity)

인접채널 선택도는 여러채널 중 자신의 채널만을 수신하는 환경에서 인접 채널의 크기가 상대적으로 큰 환경에서 수신기의 수신성능을 결정하는 시험조건이다. 시험조건은 표 3.2.4 와 같으며, 이를 도시하면 그림 3.2.1 와

같다. IMT2000의 규격의 경우 33dB의 이상을 값을 만족하여야 한다. 인접 채널의 선택도를 결정하는 수신기의 블록은 채널선택 필터이다. 수신기의 구조에 따라 슈퍼헤테로다인 방식에서는 외부소자인 표면탄성파(SAW)필터를 사용하여 채널의 선택도를 확보하며, 직접변환방식 같은 집적화 수신기의 경우 집적회로로 구현한 필터에 의해 선택도를 확보한다.

표 3.2.4 인접채널선택도 시험조건

Power Class	Unit	ACS
3	dB	33
4	dB	33
Parameter	Unit	Level
DPCH_Ec	dBm/3.84 MHz	-103
\hat{I}_{or}	dBm/3.84 MHz	-92.7
I_{oac} (modulated)	dBm/3.84 MHz	-52
F_{uw} (offset)	MHz	+5 or - 5

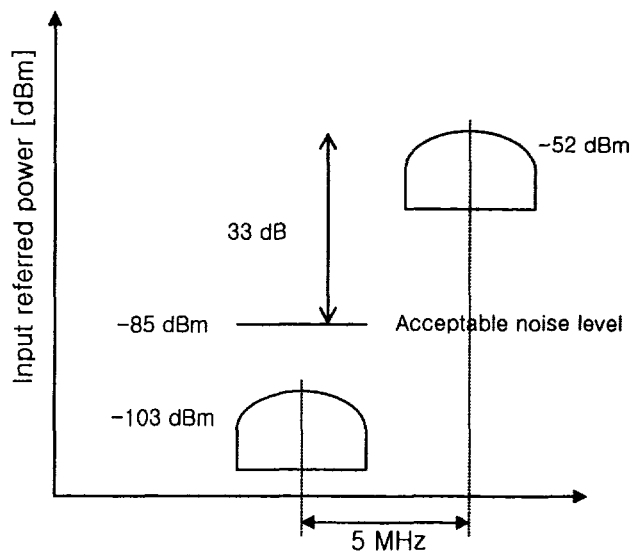


그림 3.2.1 인접채널 선택도 그림

라. 블록킹 성능시험

블록킹 성능시험은 수신기의 선형성을 결정하는 지표중의 하나이다. 시험조건은 표 3.2.5 와 같고 이를 그림으로 나타내면 그림 3.2.2 와 같다. 수신채널에서 민감도 레벨보다 3dB 큰 신호가 수신되고 있는 상황에서 오프셋주파수에서 블록킹 톤을 입력하여 수신기의 성능을 시험한다.

표 3.2.5 블록킹 성능시험표

Parameter	Unit	Offset	Offset
DPCH_Ec	dBm/3.84 MHz	-114	-114
\hat{I}_{or}	dBm/3.84 MHz	-103.7	-103.7
$I_{blocking}$ (modulated)	dBm/3.84 MHz	-56	-44
F_{uw} (offset)	MHz	+10 or - 10	+15 or - 15

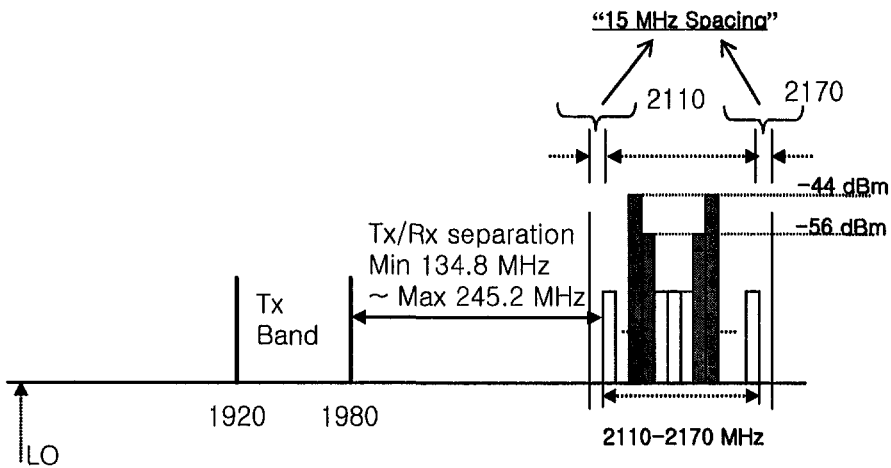


그림 3.2.2 블록킹 성능시험

마. 다중톤 성능시험(Intermodulation)

다중톤성능시험의 시험조건은 표 3.2.6 와 같다. 다중톤 성능시험은 10MHz 20MHz 의 오프셋에서 CW 와 모듈레이션된 톤을 입력하여 수신기의 성능을

시험하는 조건이다. 표 3.2.6 과 같은 조건에서는 수신기의 3차 비선형성에 의해 원하지 않는 출력을 가지게 되는데 이 원하지 않는 출력이 입력신호에 영향을 주지 않도록 하기 위하여 이와 같은 시험조건을 만족하여야 한다.

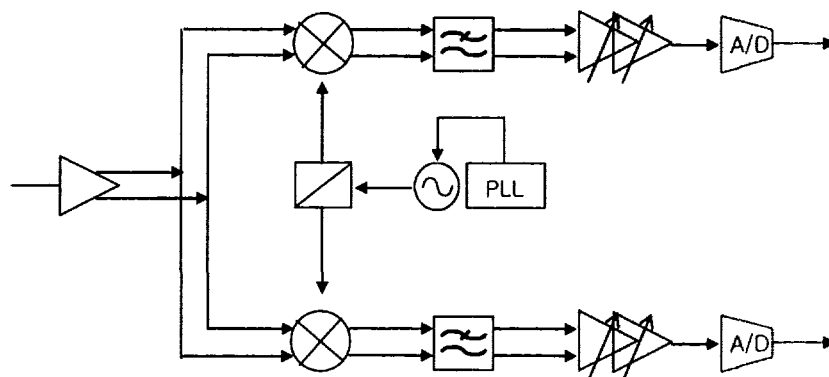
표 3.2.6 다중톤 성능시험표

Parameter	Unit	Level	
DPCH_Ec	dBm/3.84 MHz	-114	
\hat{I}_{or}	dBm/3.84 MHz	-103.7	
I_{ouw1} (CW)	dBm	-46	
I_{ouw2} (modulated)	dBm/3.84 MHz	-46	
F_{uw1} (offset)	MHz	10	-10
F_{uw2} (offset)	MHz	20	-20

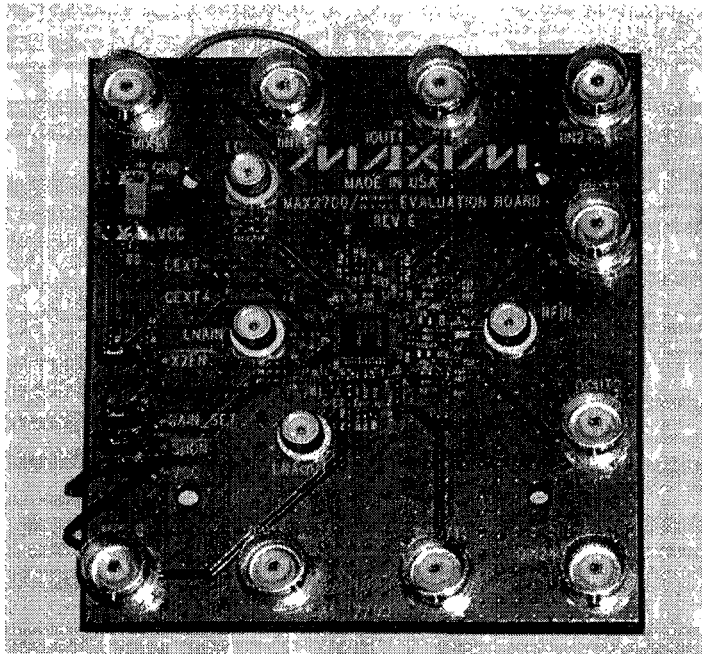
2. Even Harmonic DCR 구조설계

가. DCR 구조

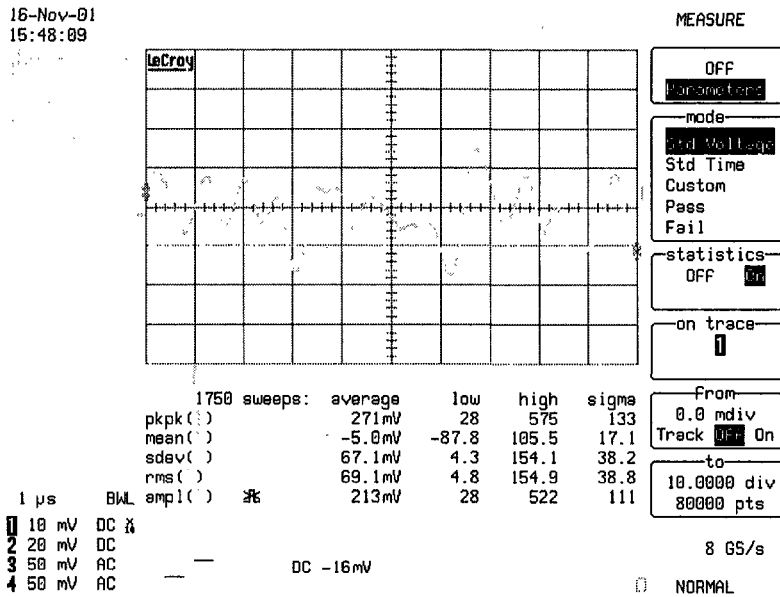
일반적인 DCR 구조는 그림 3.2.3(a) 과 같다. 입력의 고주파신호와 국부발진기의 신호의 주파수가 같다. 입력고주파신호는 90° 의 위상차이가 나는 신호에 의해 기저대역의 동상위상신호와 직각위상신호로 분리된다. 분리된신호는 A/D 변환기를 거쳐 모뎀의 입력신호가 된다.



(a) 블록 다이어그램



(b) 상용 DCR 칩을 이용한 직접변환 수신기 보드



(c) 직접변환 수신기를 이용한 3G 신호의 기저대역 신호 측정결과

그림 3.2.3 직접변환 수신기

나. DCR 구조의 문제점

(1) DC offset 에 대한 민감성

직접변환방식을 이용한 수신기는 수신 고주파신호를 이 신호와 같은

국부 발진기의 신호를 이용하여 기저대역의 신호로 낮춘다. 따라서 DC offset 의 발생은 DCR 시스템에서 성능에 직접적인 저하를 가져오게 되므로 DCR 형태의 수신기를 구현할 때 반드시 고려하여야 할 사항이다.

(2) 짝수항고조파 (Even harmonic distortion)

수신기의 짝수차 비선형성(Even order nonlinearity)은 큰 입력신호가 주어 졌을 때 입력신호외에 원하지 않는 신호를 출력한다. 이를 그림으로 나타내면 그림 3.2.4 와 같다. 2 차항의 비선형성에 의한 출력은 입력신호의 주파수 차와 합에 발생한다. 주파수 차에 의한 비선형 출력은 입력신호의 주파수 간격이 좁을 경우 기저대역으로 출력신호가 생성되어 원하는 신호를 훼손시키게 된다. 따라서 DCR 구조로 수신기를 구현할 때 2 차 비선형성에 구조적으로 안정하게 구현하여야 한다. 이를 구조적 방법으로 접근한 수신기가 Even harmonic 방식으로 출력으로 홀수고조파를 형성하고 짝수고조파항에서는 높은 억제값을 가진다.

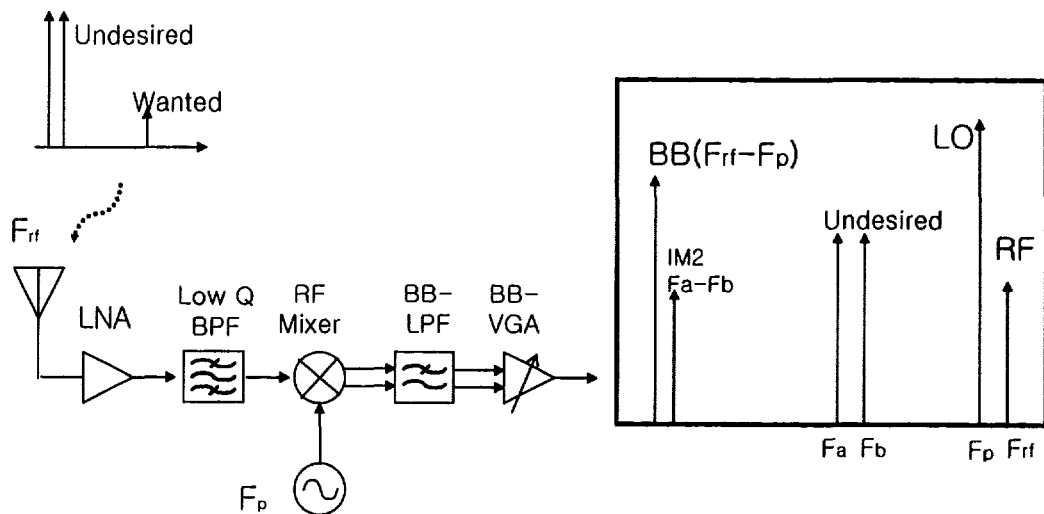


그림 3.2.4 짝수 고조파항에 의한 잡음발생

(3) 동상위상, 직각위상의 비정합(Mismatch)

수신기는 고주파입력신호를 받아 모뎀의 입력신호으로 동상위상신호와 직각위상신호를 주는데 이 두신호간에는 90° 의 위상차가 있다. 수신기를

구현할 때 각각의 경로에서 동상위상과 직각위상의 신호간에 위상차가 90° 와 다르게 된다. 이는 국부발진기의 신호가 정확히 90° 차이를 두지 못해서 발생한다. 위상의 차이와는 달리 동상위상, 직각위상의 경로의 이득의 차이에 의해 크기가 달라진다. 직접변환 수신기의 경우 고주파에서 직접 기저대역으로 변환 시켰으므로 동상위상, 직각위상의 위상의 차이 크기의 차이가 발생할 수 있는 가능성이 존재하므로 수신기를 구현할 때 이를 감안하여야 한다.

(4) LO 누설, 방사문제

직접변환수신기는 고주파신호를 직접 기저대역으로 변환하므로 고주파의 주파수와 국부발진기의 주파수가 같다. 따라서 국부발진기의 신호의 누설이 생길 경우 이신호가 다시 국부발진기의 신호와 결합하여 DC offset 을 발생한다. 직접변환수신기를 구현할 때 구조적으로 국부발진기의 신호와 고주파신호를 다르게 하는 방법을 사용하거나 국부발진기의 누설을 최소화하는 구조를 하여야 한다.

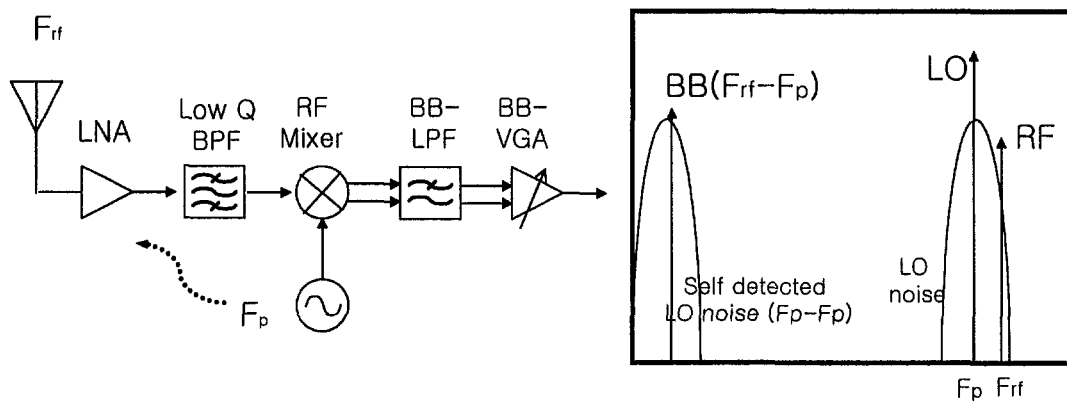
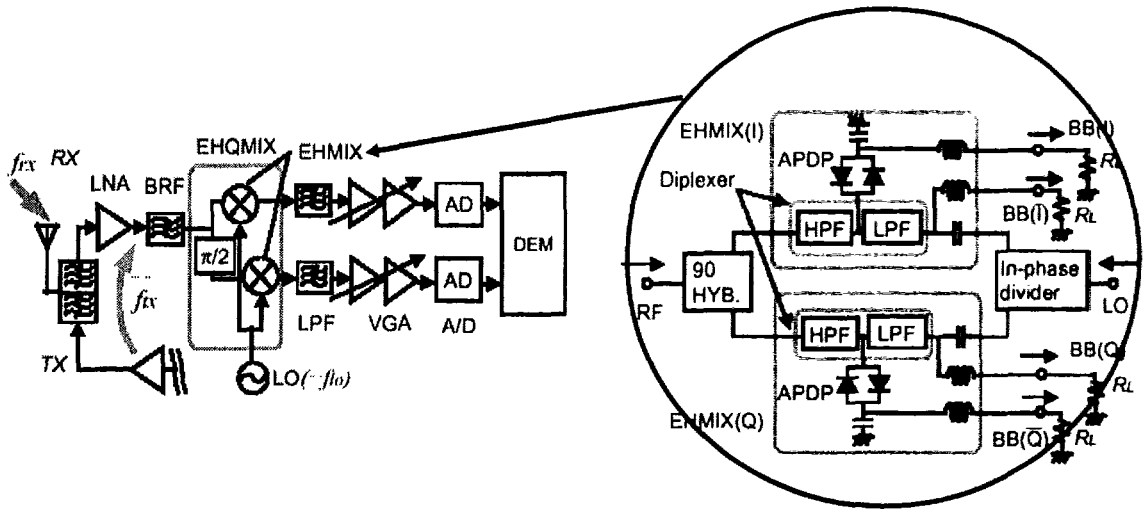


그림 3.2.5 LO 신호 누설에 의한 잡음의 발생

다. Even harmonic 을 이용한 수신기

직접변환수신기는 짝수 고조파 항의 신호에 의한 비선형성에 의하여 발생한 잡음이 바로 기저대역에 영향을 주는 단점을 가지고 있다. 이를 구조적으로 해결하기 위한 방법으로 짝수고조파를 억제하는 수신기가 있다

그림 3.2.6 은 짝수고조파를 억제하는 수신기의 예를 보여준다. 주파수 변환단으로 수동소자인 diode 를 사용하였다.



DCR transceiver

Mixer using APDP

그림 3.2.6 Even Harmonic 을 이용한 수신기의 예

라. APDP(Anti Parallel Diode Pair)를 이용한 Even harmonic Receiver 구조

① APDP 의 동작원리

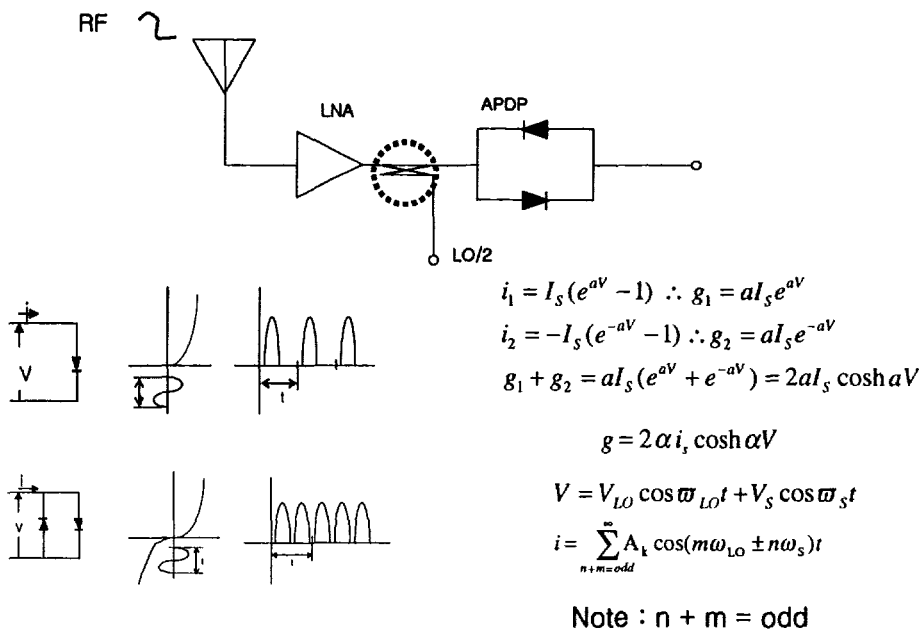


그림 3.2.7 APDP 의 구조 및 동작원리

그림 3.3.7 과 같은 다이오드를 서로반대방향으로 묶은 구조의 Diode Pair 에서는 짝수차 항은 루프내를 순환하게되고 루프의 바깥 출력은 입력 하모닉의 홀수차항이 된다[1]. 이를 수신기의 주파수 변환단으로 응용할 경우 짝수고조파항의 출력이 제외되므로 Even harmonic 에 의한 기저대역의 훼손을 막을 수 있는 잇점이 있다. 이와 같은 원리를 응용한 수신기의 구조가 제안되었다[2].

② APDP 모의 실험

그림 3.2.8, 그림 3.2.9 는 APDP 의 모의실험과 그 결과 이다. 짝수항의 출력이 홀수항의 출력에 비해 감쇄되어서 출력이 된다. 실제 다이오드를 이용해 구현하였을 때 억제 값이 입력신호가 -10 dBm 이하일 때 50dB 보다 큰 값을 유지하였다.

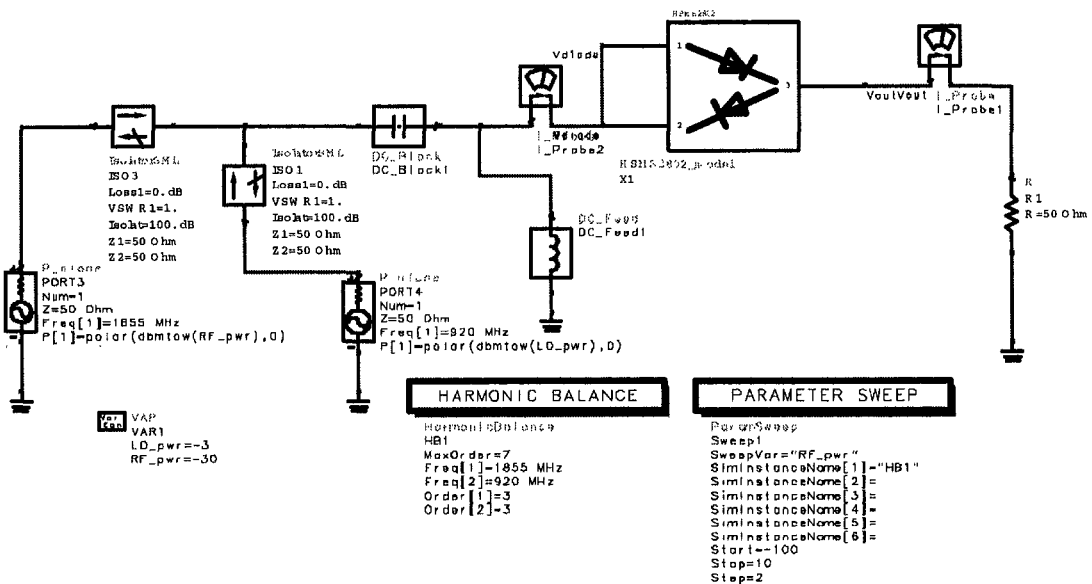


그림 3.2.8 APDP 시험의 schematic diagram

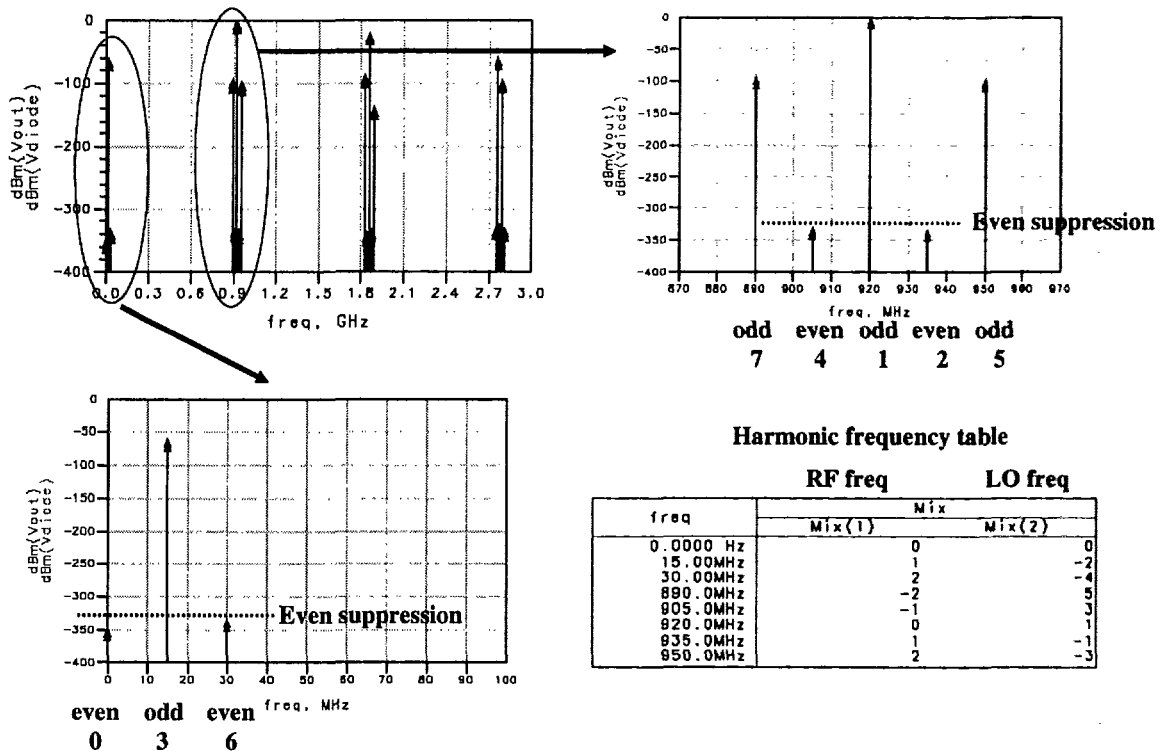
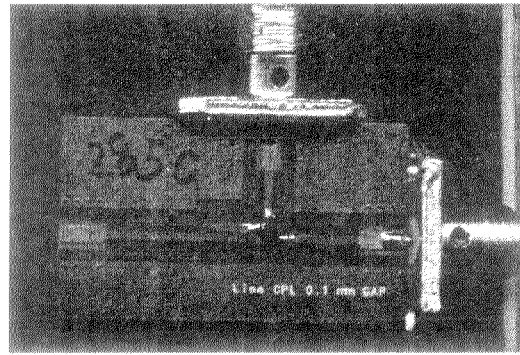


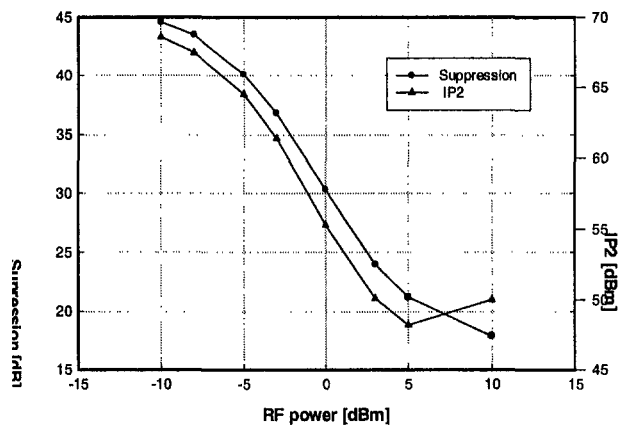
그림 3.2.9 APDP 모의시험 결과

③APDP 측정결과

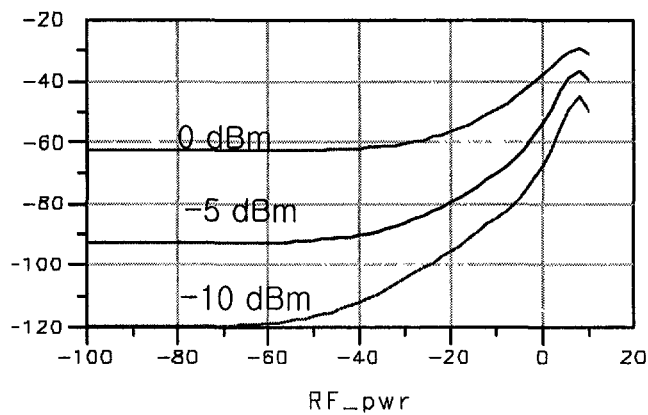
그림 3.2.10(a)은 다이오드를 이용한 APDP 이다. 여기에 이중톤을 입력하여 짝수 고조파의 출력을 시험하였다. 그림 3.2.10(b)(c)는 측정결과 이다. 입력주파수를 1800MHz 대역으로 하고 offset 을 1MHz 를 가진 이중 톤을 입력하여 삼차항의 하모닉과 이차항의 하모닉의 크기를 측정하였다. 국부발진기의 신호의 크기에 따른 출력의 크기를 측정하였다.



(a) APDP diode 특성 측정을 위한 보드



(b) 이중톤 입력에 대한 응답



(c) LO 파워 변화에 대한 출력 모의 실험 결과

그림 3.2.10 APDP 보드를 이용한 실험 및 측정결과

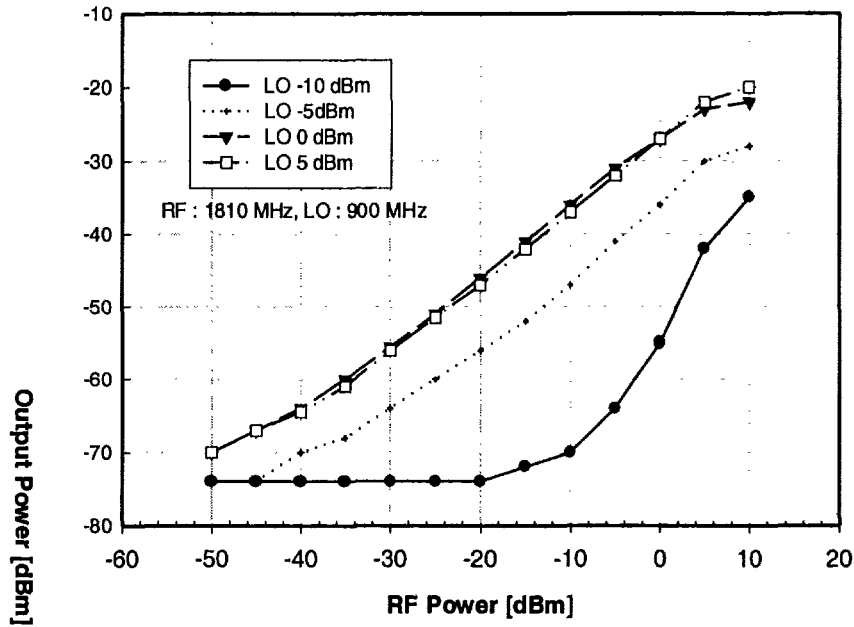


그림 3.2.11 국부발진기의 신호크기에 따른 응답

3. Low-Weaver 구조 설계

지금까지 가장 널리 사용된 구조의 수신기는 슈퍼헤테로다인 수신기이다. 이 구조의 수신기는 외부소자 필터를 사용하므로 집적화에는 적합하지 않은 구조이다. 따라서 집적화된 수신기를 구현하기 위해서는 외부의 소자를 사용하지 않는 구조의 수신기구조가 필요하다. 외부소자인 필터를 사용하지 않는 구조의 수신기중 대표적인 것이 중간주파수를 사용하지 않고 바로 기저대역의 주파수로 하향변환하는 직접변환 수신기이다. 직접변환 수신기의 장점은 주파수 변환과정에서 중간주파수의 변환과정을 생략 하였으므로, 중간주파수에서 채널의 선택도를 높이는 외부소자 필터를 사용하지 않는다는 점이며, 이는 수신기의 구조자체가 집적화에 용이하다고 할 수 있다. 반면에 직접변환수신기의 단점은 중간주파수 단계를 거치지 않으므로 기저대역의 잡음에 상대적으로 취약하다는 점이다. 기저대역의 잡음원이 될 수 있는 요소로는 수신기에 수신되는 짝수 고조파 잡음, 직각위상과 동상위상의 차에 기인하는 비정합 문제, 국부발진기의 신호가 수신경로를 따라 기저대역으로 수신되는 경우, 소자의

플리커노이즈의 문제등이 주요 잡음원이 된다. 이러한 기저대역의 잡음문제를 해결하면서 직접변환수신기의 집적화가 용이한 장점을 가지는 구조가 광대역 중간주파수 수신기(Wide-IF Receiver), 낮은 중간주파수 수신기(Low-IF Receiver)이다.

가. Low-IF transceiver 구조

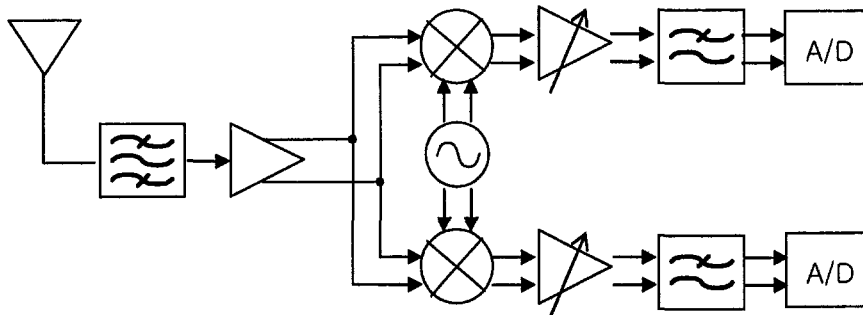


그림 3.2.12 LOW-IF Transceiver 구조

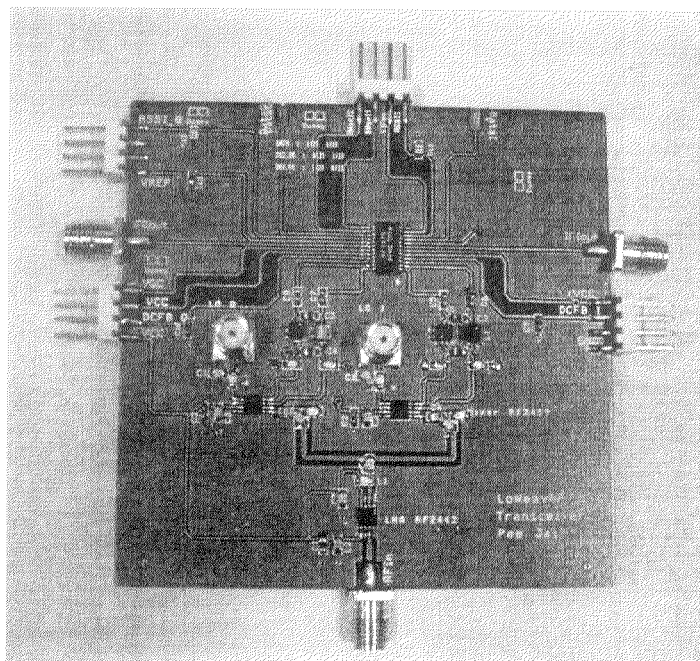


그림 3.2.13 LOW-IF 구조 제작보드

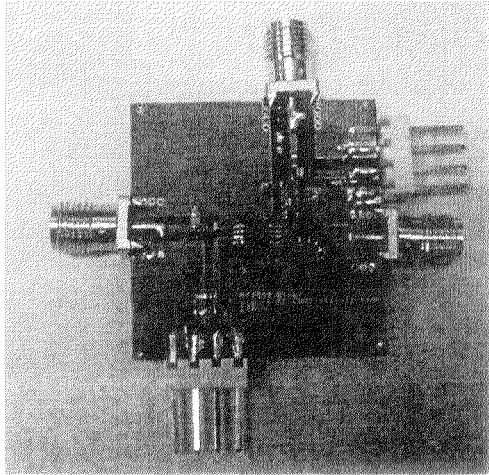


그림 3.2.14 주파수 혼합기 특성 측정을 위한 보드

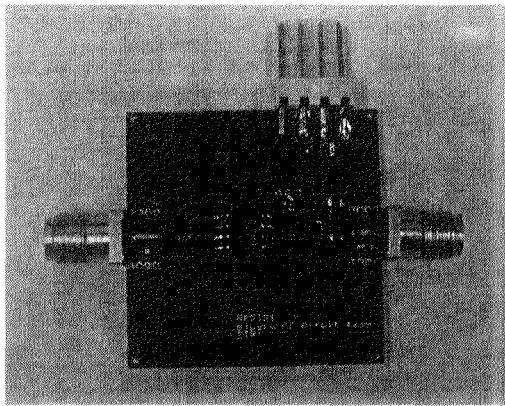


그림 3.2.15 LNA 측정을 위한 보드

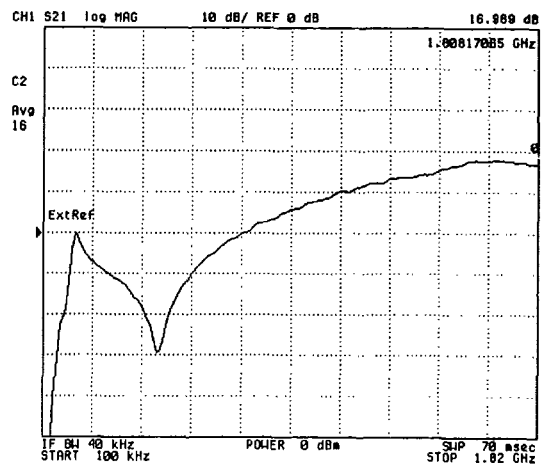


그림 3.2.16 LNA 측정결과

16-Nov-01
15:44:30

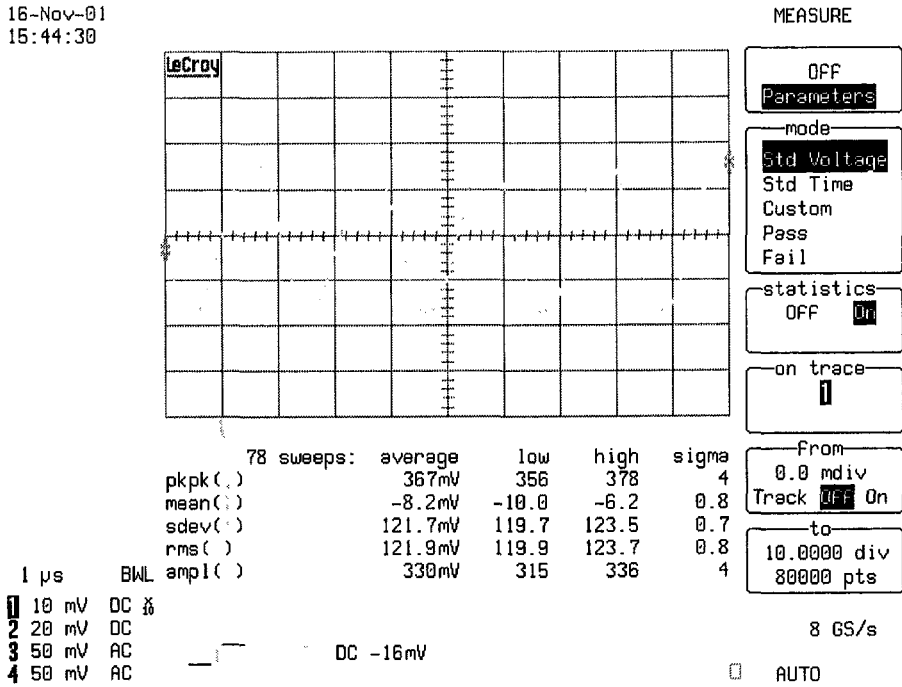


그림 3.2.17 트랜시버 기저대역신호의 측정결과

16-Nov-01
15:45:28

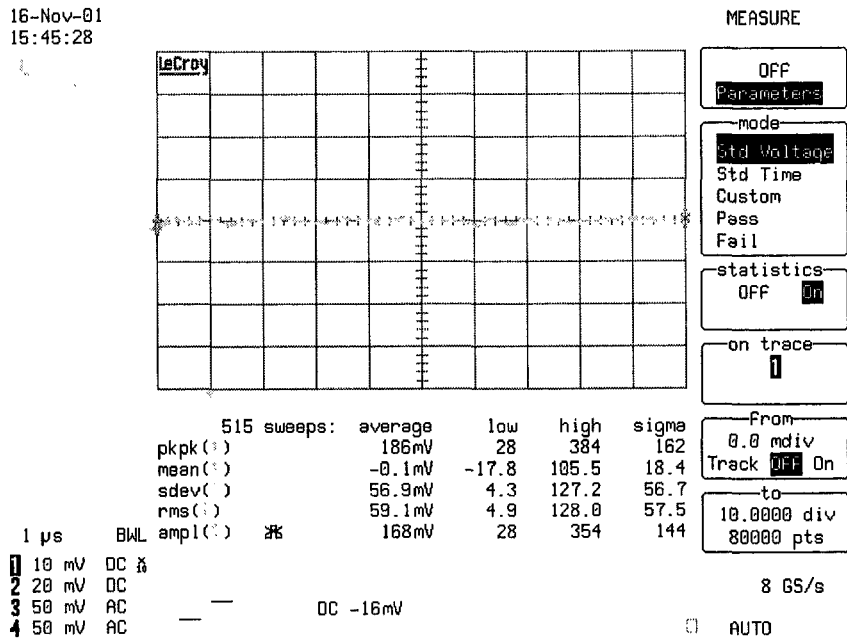


그림 3.2.18 트랜시버 DC offset 의 측정결과

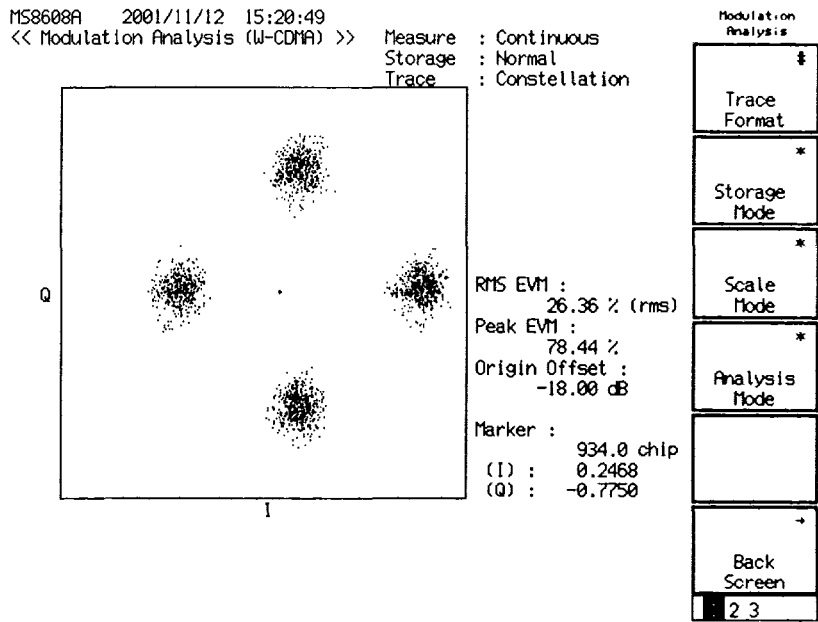


그림 3.2.19 3G 소스 입력시의 Constellation

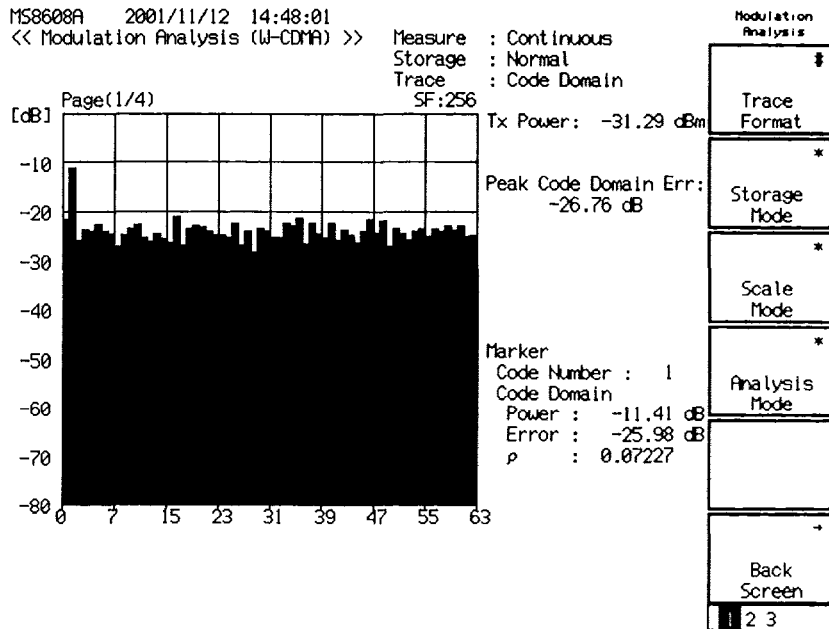


그림 3.2.20 3G 소스 입력시의 코드도메인 측정결과

나. 위버(Weaver)구조

위버(Weaver)구조는 이미지를 억제하기 위한 주파수혼합기의 한 방식으로 이는 그림 3.2.21 과 같다. 복소신호변환에 의해 이미지 대역에 있는

신호는 출력에서 위상이 180° 차이가 발생하여 서로 상쇄되는 구조이다. 동상위상과 직각위상의 위상차가 발생할 경우 이미지억제의 성능에 손실을 가져온다.

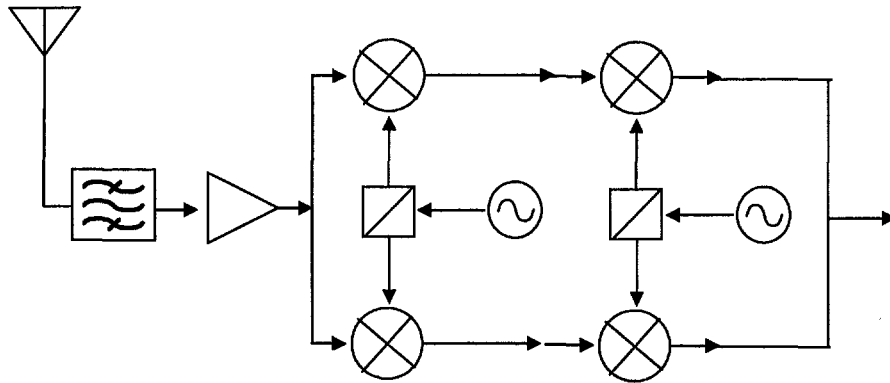


그림 3.2.21 Weaver 구조의 수신기

다. Low-IF 와 위버(Weaver)구조를 응용한 수신기의 구조

Low-IF 의 구조는 고주파의 신호를 채널크기정도의 크기의 낮은 중간주파수로 낮추는 구조이다. 위버구조는 이미지를 억제하는 방식이다. 이 두가지를 결합한 수신기가 그림 3.2.22 이다. 이 구조의 블록에 대한 규격은 표 3.2.7 와 같다. 이와 같은 수신기의 성능예측을 위한 모의실험을 위한 블록도와 결과를 각각 그림 3.2.23 과 그림 3.2.24 에 도시하였다.

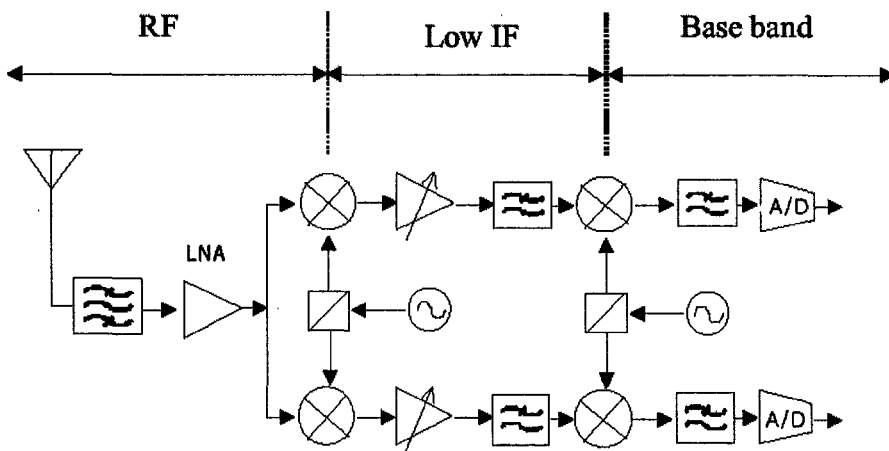


그림 3.2.22 LOW-IF 구조와 Weaver 구조를 결합한 형태의 수신기

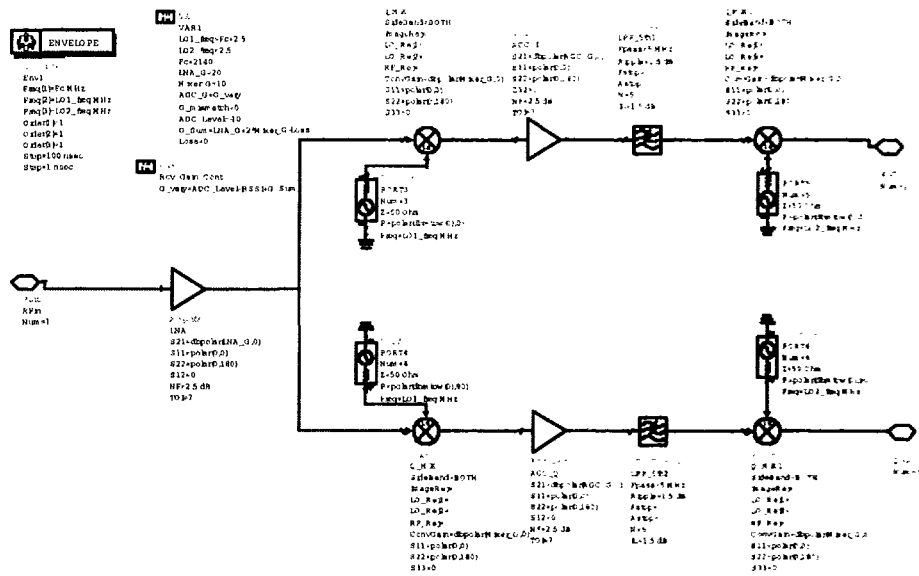


그림 3.2.23 LOW-IF 구조와 Weaver 구조를 결합한 형태의 수신기 모의실험

Validating DPCH_Ec for -117 dBm

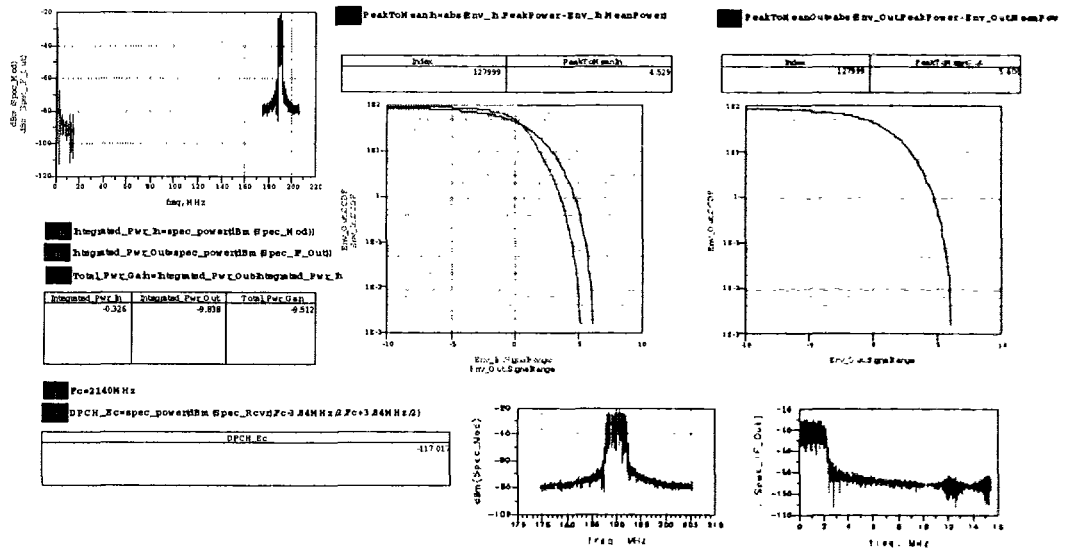


그림 3.2.24 LOW-IF 구조와 Weaver 구조를 결합한 형태의 수신기 모의실험결과

표 3.2.7 수신기 규격의 예

LNA RF band	Gain [dB]	N.F. _{min} [dB]	IIP2 [dBm]	IIP3 [dBm]
	> 13 or variable	< 2.5	> 30	> 13
Mixer RF->Low IF	Gain [dB]	N.F. _{min} [dB]	IIP2 [dBm]	IIP3 [dBm]
	> 6	< 10	> 20	> 2
ACG Amp @Low IF	Dynamic Range [dB]		IIP2 [dBm]	IIP3 [dBm]
	-50 < Gain Control < 50 (Trade off between gain block)		> 25	> 2
LPF	Order	Cutoff freq [MHz]	ACS [dB]	
	5	5	>33	

참고문헌

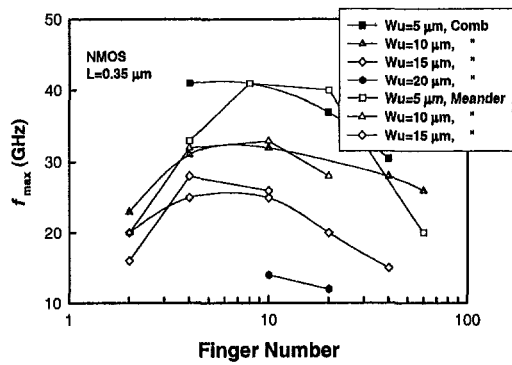
- [1] M. Cohn, J. E. Degenford "Harmonic Mixing with an anti-parallel diode pair" 1975
- [2] Mitsuhiro Shimosawa "A Novel Sub-harmonic pumping Direct Conversion Receiver with High Instantaneous Dynamic Range" 1996, IEEE MTTs, PP 819-821

3 절 Transceiver 설계 기반기술

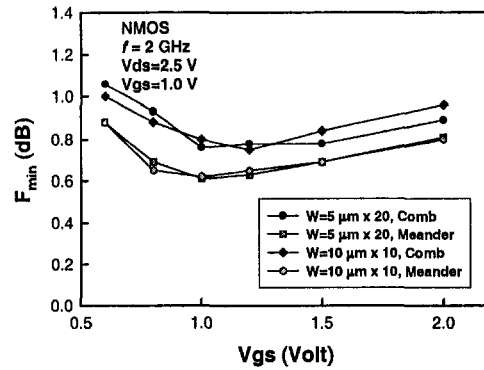
1. RF CMOS 소자기술 및 모델링기술

차세대 transceiver IC 를 CMOS 기술로 구현을 위해 갖추어야 할 기술로는, CMOS 소자의 RF 특성에 최적화된 능동소자 library, Quality factor 가 우수한 다양한 수동소자(inductor, capacitor, varactor 등) library 는 필수적이며, 나아가 이러한 능/수동 소자의 정확한 모델링 기술을 보유하여야 설계한 IC 의 RF 특성들의 정확한 예측이 가능해 진다. 현재 국외의 대부분의 RF/Analog IC 를 위한 foundry 에서는 설계에 필요한 능/수동소자 library 와 empirical 모델들을 제공하고 있지만, 제한적이며 다양한 layout 에 따른 충분한 library 제공은 불가능한 상태이다. 또한 CMOS 소자의 RF 모델은 현재까지도 연구중인 분야로서 1~2 GHz 대역의 RF IC 설계에는 별 문제가 없으나 주파수가 높아질수록 심도있는 고주파 모델링 기술을 요구한다. 또한 RF IC 의 주요 특성 중 고주파 잡음특성은 현재 제공되는 numerical 모델은 없으며, 소자의 잡음지수 측정 결과로부터 회로의 잡음 특성을 예측하고 있는 실정이다.

그림 3.3.1 은 0.35 μ m nMOSFET 소자의 게이트 layout 에 따른 f_{max} 특성과 잡음 특성(F_{min})으로 multi-finger 형태의 소자 layout 에 따라 f_{max} 가 11GHz 에서 40 GHz 로 변하며 잡음지수도 민감하게 변한다. 아울러 잡음특성은 게이트 저항뿐만 아니라 소오스/드레인 저항, substrate 저항, pad 저항등에도 영향을 받는다. 이와 같이 RF 회로의 전력이득과 잡음특성이 소자의 layout 에 민감하게 변화하므로, 소자 layout 최적화 기술이 중요하며 기본이 되는 기술이다. 불행히도 이러한 최적화는 simulation 을 통하기 보다는 실험적인 비교로서 수행하는데, 그 이유로는 정확한 고주파 특성모델 및 잡음모델의 확립이 어렵기 때문이다.



(a)



(b)

그림 3.3.1 0.35 μ m nMOSFET 소자의 게이트 layout 에 따른 f_{max} 특성(a)과 잡음 특성(F_{min})(b). Wu:단위채널폭, 게이트 layout 형태: comb, meander 형태 [1].

그림 3.3.2 는 본 연구를 통하여 저잡음 layout 기술을 적용한 소자 특성으로 같은 0.35 μ m 소자기술로도 발표된 소자들과 비교하여 우수한 잡음 특성을 보여줌을 알수있다.

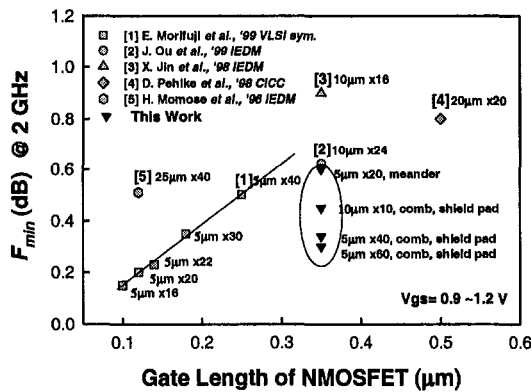


그림 3.3.2 게이트 layout 및 pad layout 기술을 적용한 소자 잡음 특성[1]

소자 성능의 최적화 후, 최적화된 소자의 고주파 모델링을 수행해야 한다. 그 이유는 현재 사용중인 HSPICE 혹은 BSIM3 의 모델로서는 CMOS 소자의 고주파 특성에측에 한계가 있기 때문이다. CMOS 소자의 RF 모델은 그림 3.3.3 과 같이 기존에 사용중인 BSIM3v3 모델에 S_{11} 을 위해 gate 저항 Rg

를 고려하고, S_{22} 을 맞추기 위해 substrate 저항 R_{sub} 를 고려하고 parasitic capacitance 인 C_{gs} , C_{gd} , C_{db} 를 고려하여 macro-modeling 을 수행하였다[2]. PMOS 의 경우는 parasitic capacitance 성분이 작아 R_g 와 R_{sub} 만을 고려해도 모델링이 가능하였다.

그림 3.3.4 는 nMOS 소자의 채널폭이 $200\mu\text{m}$ ($F=40$, $W_u = 5\mu\text{m}$, $L = 0.35\mu\text{m}$) 이고 $V_{sb}=1.4$, $V_{gs}=1V$, $V_{ds}=1.5V$ 의 bias 조건에서 s-parameter 측정 및 모델 결과로서, 500 MHz ~12.5 GHz 의 주파수 범위에서 크기 및 phase 가 10%이내로 모델링 할 수 있음을 보여준다.

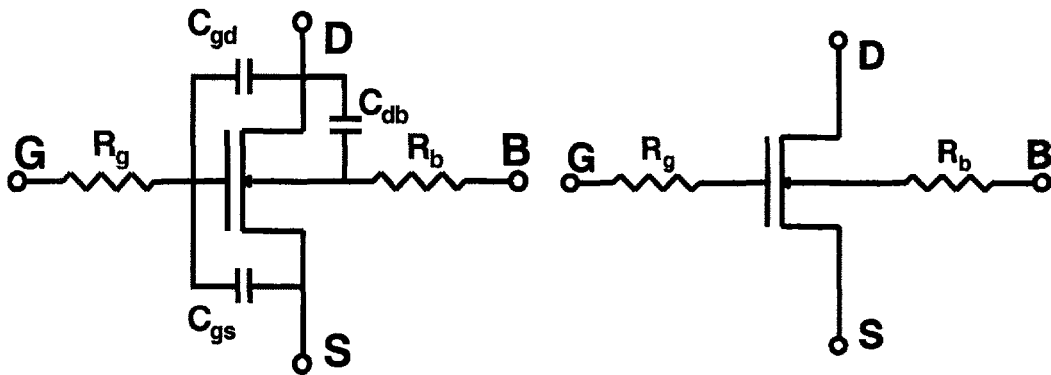
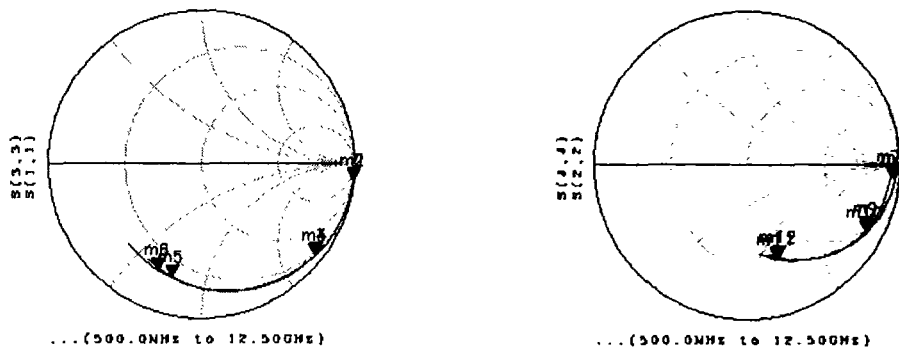


그림 3.3.3 0.35 μm RF CMOS 매크로 모델의 구조: (a) NMOS, (b) PMOS



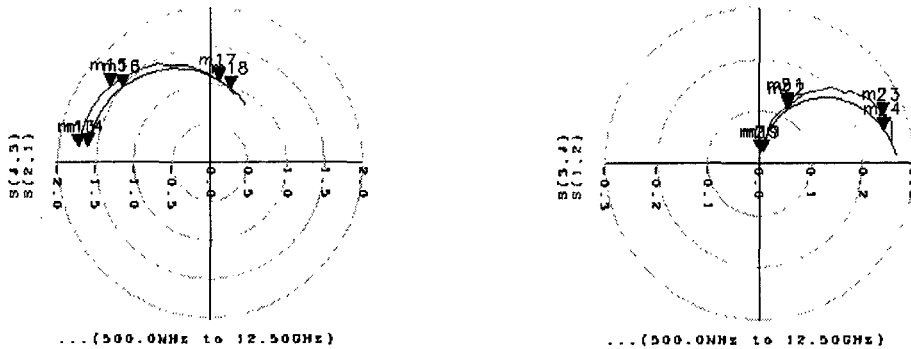


그림 3.3.4 NMOS W= 200 μ m (F=40, Wu = 5 μ m, L = 0.35 μ m @ Vsb=1.4, Vgs=1V, Vds=1.5V) 소자의 S-parameter (S₁₁, S₂₂, S₂₁, S₁₂) 측정 및 모델 결과

제안된 소자의 RF 모델은 채널폭에 따라 선형적으로 모델링이 가능하며, 등가회로 모델변수의 scalability 를 잘 만족하므로, 설계자가 임의의 채널폭을 선택하여 사용 가능하다. 표 3.3.1 은 소자의 채널폭에 따라 추출된 변수 값과 그림 3.3.5 는 그 값들의 scalability 를 보여준다. 소자의 채널폭에 따라 추출된 변수값이 선형적으로 잘 모델링이 됨을 보여준다. 따라서 설계자는 임의의 채널폭에 대해서도 macro model 의 변수값의 예측이 가능하다. 이와 같이 소자의 layout 형태와 모델은 일관성을 가져야하며, layout 형태가 달라질 경우 변수값의 크기가 달라질 수 있어, 모델과 함께 layout 자료를 제공하는 경우가 대부분이다.

표 3.3.1 NMOS (L_{drawn} = 0.35 μ m) RF 매크로 모델의 External 파라미터 값

W	F	Lg	Rg	Rb	Cdb	Cgs=Cgd
[μ m]	Wu=5 μ m	[nH]	[Ω]	[Ω]	[fF]	[fF]
200	40	0.2	5	60	50	10
100	20	0.1	10	120	25	5
40	8	0.1	20	240	10	2

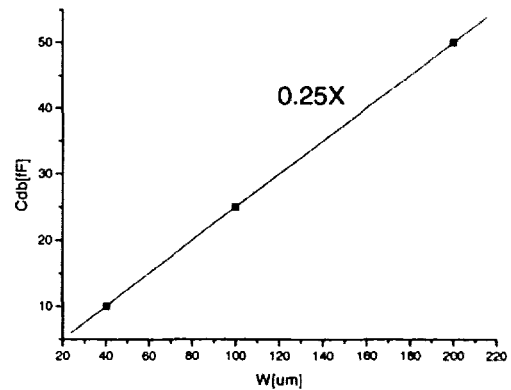
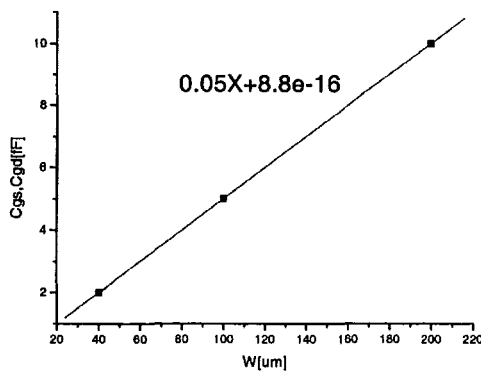
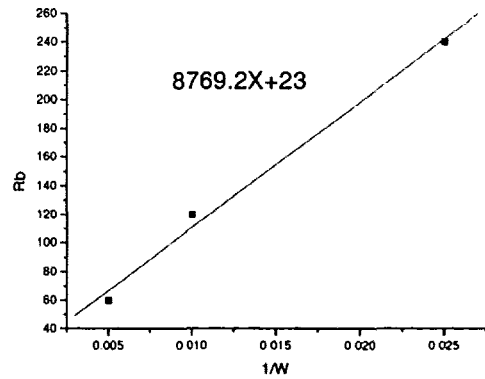
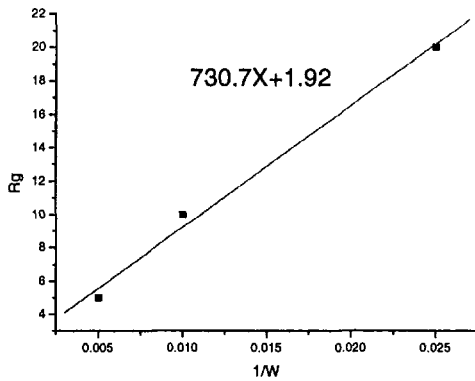


그림 3.3.5 NMOS ($L_{\text{drawn}} = 0.35\mu\text{m}$) RF 매크로 모델의 External 파라미터 값의 scalability. R_g , R_b , $C_{gs}=C_{gd}$, C_{db}

CMOS 기술의 RF IC 를 위해서 수동소자 기술은 또 하나의 중요한 설계 기반 기술이다. 수동소자 기술 중 집적형 inductor 기술은 필수 불가결한데 그 이유로는 고주파에서 inductor 를 제외 하고는 부하로 사용할 적당한 소자가 없기 때문이며, 또한 손실없는 임피던스 변환, balun, feedback, transformer 등 inductor 의 사용용도가 매우 다양하기 때문이다. 그러나 CMOS 기술로 집적형 inductor 를 제작하면, 실리콘 기판손실과 parasitic 성분들이 GaAs (insulator) 기판에 비해서 커서, quality factor(Q)가 작아 회로성능을 크게 저하시킨다. 이러한 문제점을 해결하기 위해서, 기판

의 loss 를 줄이는 ground shield, 금속저항을 줄이는 방법, layout 의 최적화 등, 많은 연구가 진행되어 왔다[3].

본 연구에 사용한 spiral inductor 는 그림 3.3.6 과 같이 원형의 형태를 사용하였는데, 이는 사각, 팔각, 원형 inductor 의 quality factor 비교해본 결과 원형 inductor 의 Q 가 사각형에 비해서 Q 가 30% 정도 우수하기 때문이다.

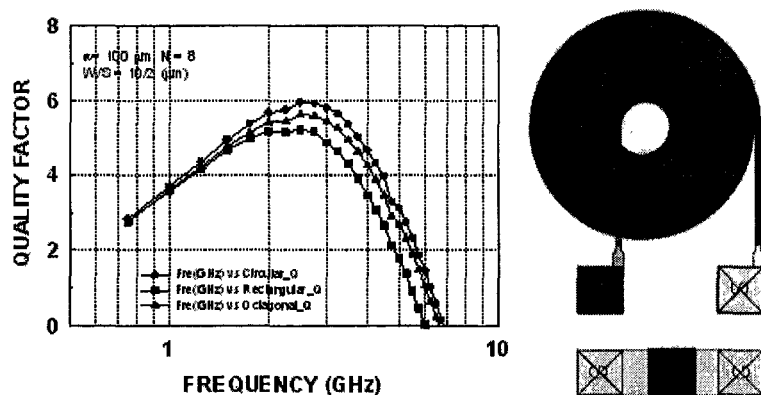


그림 3.3.6 Spiral inductor pattern 및 사각, 팔각, 원형 inductor 의 quality factor 비교

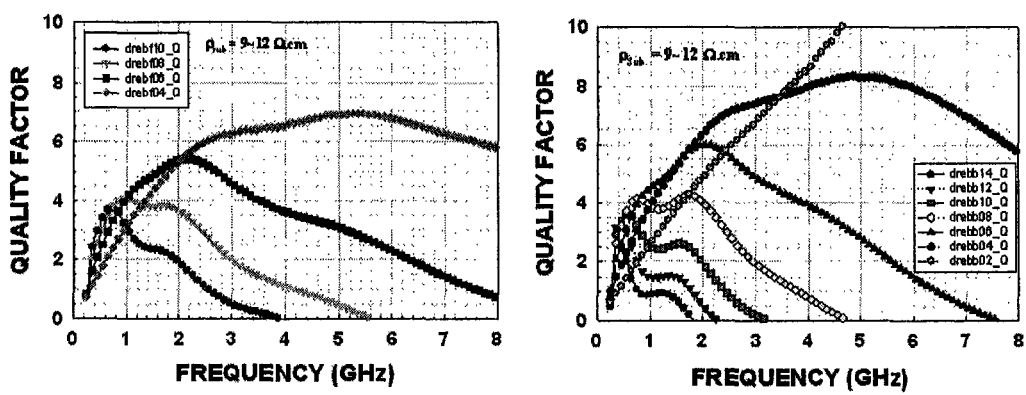


그림 3.3.7 Metal 층을 M2,M3,M4 를 사용한 경우와 M3,M4 만을 사용한 경우의 원형 inductor 의 turn 수에 따른 Quality factor 비교. (Inner diameter $100\mu\text{ m}$, line $10\mu\text{ m}$, space $2\mu\text{ m}$)

그림 3.3.7 은 inductor 의 metal 층을 M2,M3,M4 를 사용한 경우와 M3,M4 만을 사용한 경우의 원형 inductor 의 turn 수에 따른 Quality factor 비교

로서 metal 층수를 많이 사용하면 저항이 줄어 Q 는 증가하나, 기판과의 parasitic 성분은 커져서 resonance 주파수가 감소함을 보여준다. 이러한 inductor 의 특성은 0.25 μ m, 0.18 μ m CMOS 기술로 scale-down 됨에 따라 metal 의 층수가 5 층 및 6 층으로 증가하므로 parasitic 성분은 점차 감소되며, 최상층의 metal 의 두께가 2 μ m 정도로 두꺼운 기술을 제공하는 경향이므로 높은 Q가 기대된다.

그림 3.3.8 과 그림 3.3.9, 표 3.3.2 는 설계에 필요한 모델링을 수행한 결과를 보여준다. 그림 3.3.8 과 같은 등가회로를 사용하여, 10GHz 까지 fitting 한 결과를 그림 3.3.9 에 보여주며, 그때의 추출된 등가회로 parameter 값들을 표 3.3.2 에 보여준다.

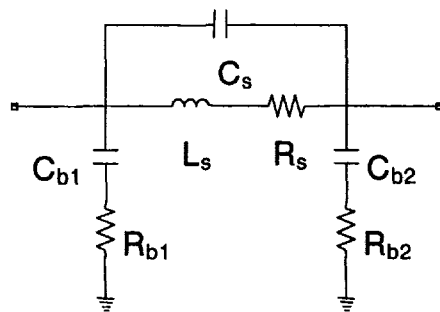


그림 3.3.8 inductor 모델링에 사용된 등가회로

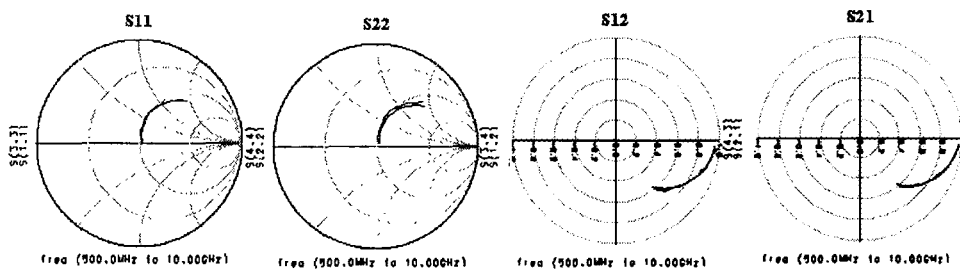


그림 3.3.9 0.5GHz 에서 10GHz 까지 S-parameter 를 fitting 한 결과

표 3.3.2 Inductor 모델링을 수행한 결과의 등가회로 변수값

Turn 수	Ls [nH]	Rs [Ω]	Cs [fF]	Rb1 [Ω]	Cb1 [fF]	Rb2 [Ω]	Cb2 [fF]
2.5	1.5	3.7	31	548	122	442	99

4.5	4	4.8	53	405	152	360	111
6.5	7.5	8.8	65	330	175	350	165
8.5	13	13	94	310	220	338	219

Capacitor 와 resistor 는 analog 회로 설계부터 사용하여 왔으나, RF IC 를 위해서는 inductor 의 모델링과 같은 방법으로 고주파에 대해서 모델링을하여, parasitic 성분의 영향을 정확하게 고려해야 한다. 0.35 μ m CMOS 기술에서는 poly-poly capacitor 와 poly 저항을 주로 사용하였다[4].

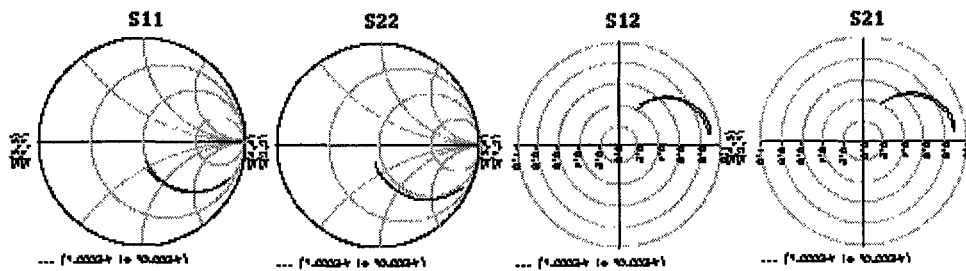


그림 3.3.10 Poly-poly capacitor 의 S-parameter 의 fitting 결과

표 3.3.3 Capacitor 모델링을 수행한 결과의 등가회로 변수값

Dimension [μm^2]	Area [μm^2]	Cs [fF]	Rs [Ω]	Rb2 [Ω]	Cb2 [fF]
7.2 ² x1 ²	51.84	87.7	5	218	10.5
7.2 ² x3 ²	466.56	770	2.7	150	70
7.2 ² x7 ²	2540.16	3880	2.5	142	423

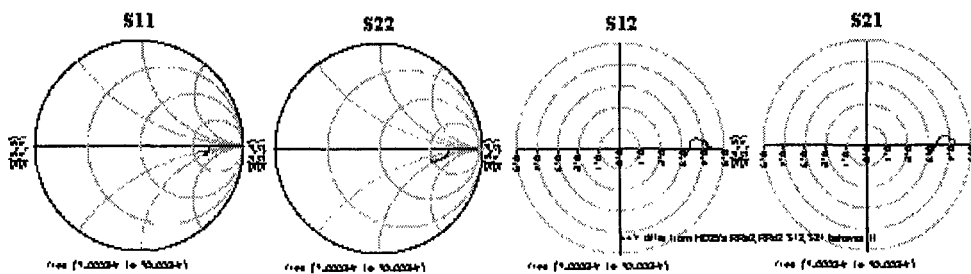


그림 3.3.11 Polyresistor 의 S-parameter 의 fitting 결과

표 3.3.4 Resistor 모델링을 수행한 결과의 등가회로 변수값

L [μ m]	W [μ m]	Rs [Ω]	Ls [nH]	Rb [Ω]	Cb [fF]
11.1	10	210	0.08	340	31
44	4	980	0.11	370	35

참고문헌

- [1]. Cheon Soo Kim, Jung-Woo Park, Hyun Kyu Yu and Hanjin Cho, " Gate Layout and Bonding Pad Structure of a RF n-MOSFET for Low Noise Performance," *IEEE Electron Device Letters*, Vol. 21, No. 12, pp607-609, Dec. 2000.
- [2]. Seonghearn Lee, Cheon Soo Kim, and Hyun Kyu Yu, " Improved BSIM3v3 model for RF MOSFET IC Simulation," *Electronics Letters*, Vol. 36, No. 21, pp1-2, Oct. 2000.
- [3]. M. Park, S. Lee, C. S. Kim, H. K. Yu, and K. S. Nam, " The Detailed Analysis of High Q CMOS-Compatible Microwave Spiral Inductors in Silicon Technology," *IEEE Trans. Electron Devices*, Vol. 45, No. 9, pp1953-1959, Sep. 1998.
- [4]. 박정우 " Passive Component Modeling of 0.35 CMOS" *ETRI internal report*

2. 900MHz CMOS Image Rejection Mixer(IRM) 설계기술

가. 개 요

통신시스템에서 RF 신호에서 원래 신호를 복원하기 위해서는 주파수변환이 필수적인데 일반적으로 믹스(Mixer)를 이용하여 주파수 변환을 시키기 때문에 모든 스펙트럼성분을 동시에 주파수 변환시키게 된다. 따라서 주파수변환에 있어서 원치 않는 이미지성분이 동일 채널로 주파수 변환되지 않도록 이미지성분 제거가 필요하다.

지금까지 외장소자(eg., SAW filter)를 사용하지 않고 이미지성분을 제거하기 위한 믹스구조가 많이 연구되어 왔으며 대표적인 구조로 WEAVER 와 HARTLEY Image Reject Mixer(IRM)를 들 수 있으며 이 구조들은 기본적으로 저역통과필터 (LPF, Low Pass Filter)를 사용하고 있다.

본 보고서에서는 이미지성분 제거 성능이 개선되고 LPF 가 필요 없는 IRM 를 제안하였으며 동작원리를 고찰하였다. 그리고 이 이미지성분 제거 원리를 응용하여 900MHz I/Q Mod/Demodulator 를 0.35 μ m 2P4M CMOS 기술로 설계, 제작하였으며 측정결과를 기술한다.

나. 이미지 제거 믹스(Image Reject Mixer) 구조연구

(1) HARTLEY 구조 IRM

그림 3.3.12 은 Hartley 구조의 이미지성분제거 믹스이며 이 구조는 고주파 신호를 걸러주기 위한 저역통과필터가 필요할 뿐만 아니라 Quadrature Signal Generator 를 통해 생성된 I/Q 신호의 위상과 진폭에서 무시할 수 없는 오차가 발생되기 때문에 Image Rejection Ratio(IRR)가 30~40dB 정도이다.

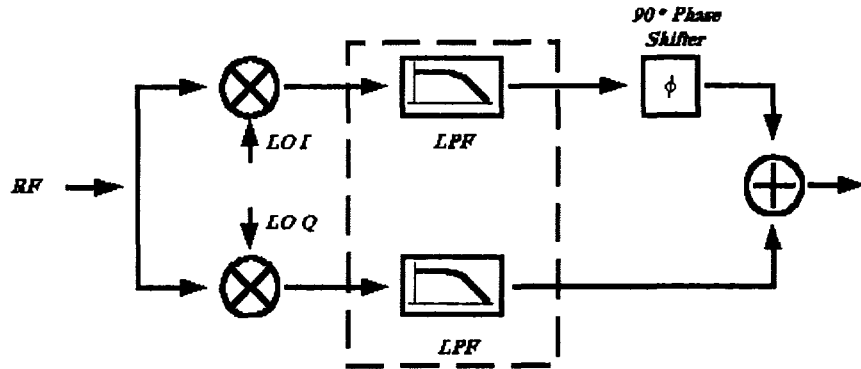


그림 3.3.12 Hartley IRM 블록도

이 Hartley 구조의 IRR(Image Rejection Ratio)는 다음 식과 같다.

$$RF = A_{rf} \cos(\omega_{rf} \cdot t) + A_{im} \cos(\omega_{im} \cdot t)$$

$$LO_I = A_{lo} \cos(\omega_{lo} t)$$

$$LO_Q = A_{lo} \sin(\omega_{lo} t)$$

$$IRR_{Hartley} = \frac{(A_{lo} + \epsilon)^2 - 2A_{lo}(A_{lo} + \epsilon)\cos\theta + A_{lo}^2}{(A_{lo} + \epsilon)^2 + 2A_{lo}(A_{lo} + \epsilon)\cos\theta + A_{lo}^2}$$

여기서 A_{rf} 는 RF 신호의 진폭, A_{lo} 는 LO(Local Oscillator) 신호의 진폭, 그리고 Quadrature LO 신호는 LO_I 와 LO_Q 이다.

위의 식에서 보면, Hartley IRM 의 IRR 특성은 인가되는 LO 신호진폭이 클수록 진폭오차에 대해 덜 민감해지나 위상오차에 의한 민감도는 매우 심각하게 됨을 알 수 있다.

(2) WEAVER 구조 IRM

또 다른 IRM 구조는 그림 3.3.13 와 같은 Weaver 구조가 있다. 이 구조는 I/Q 신호생성을 위한 90 도 Phase Shift Network 를 제거함으로써 위상과 진폭오차는 줄일 수 있으나 Hartley 구조와 마찬가지로 LPF 를 포함하고 있기 때문에 2 차적인 이미지성분 문제가 발생하게 된다. Weaver IRM 구조의 IRR 은 다음 식과 같다.

$$IRR_{Weaver} = \frac{(A_{lo1} + \varepsilon_1)^2 (A_{lo2} + \varepsilon_2)^2 - 2(A_{lo1} + \varepsilon_1)(A_{lo2} + \varepsilon_2)A_{lo1}A_{lo2} \cos(\theta_1 - \theta_2) + A_{lo1}^2 A_{lo2}^2}{(A_{lo1} + \varepsilon_1)^2 (A_{lo2} + \varepsilon_2)^2 + 2(A_{lo1} + \varepsilon_1)(A_{lo2} + \varepsilon_2)A_{lo1}A_{lo2} \cos(\theta_1 - \theta_2) + A_{lo1}^2 A_{lo2}^2}$$

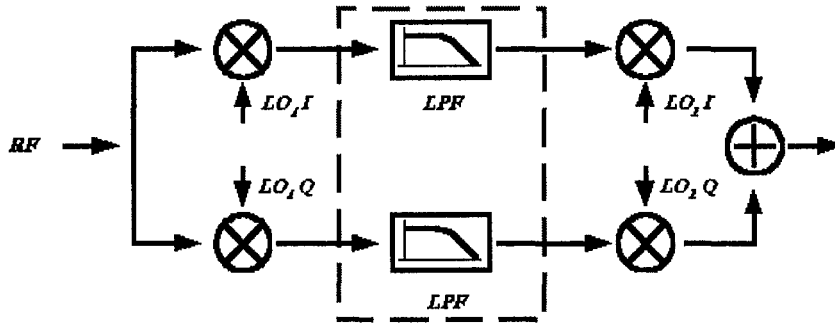


그림 3.3.13 Weaver 구조의 IRM

(3) 개선된 IRM 구조

앞에서 고찰한 바와 같이 Hartley 나 Weaver 구조의 IRM 는 낮은 IRR 과 LPF 를 필요로 하는 단점이 있다. 그러나 그림 3.3.14 와 같이 제안하고자 하는 구조는 LPF 가 필요 없으며 Polyphase Filter 를 적용하여 위상과 진폭오차를 보상할 수 있도록 되어 있다. 또한 복소신호처리 과정에서 In-Band 로 천이 될 수 있는 고주파성분을 감쇄시켜 높은 IRR 를 얻을 수 있는 장점을 갖고 있다. 그림과 같이 제안하는 IRM 는 4 개의 Mixer Cell 과 전후 단에 2 단 Polyphase Filter 로 구성되어 있다.

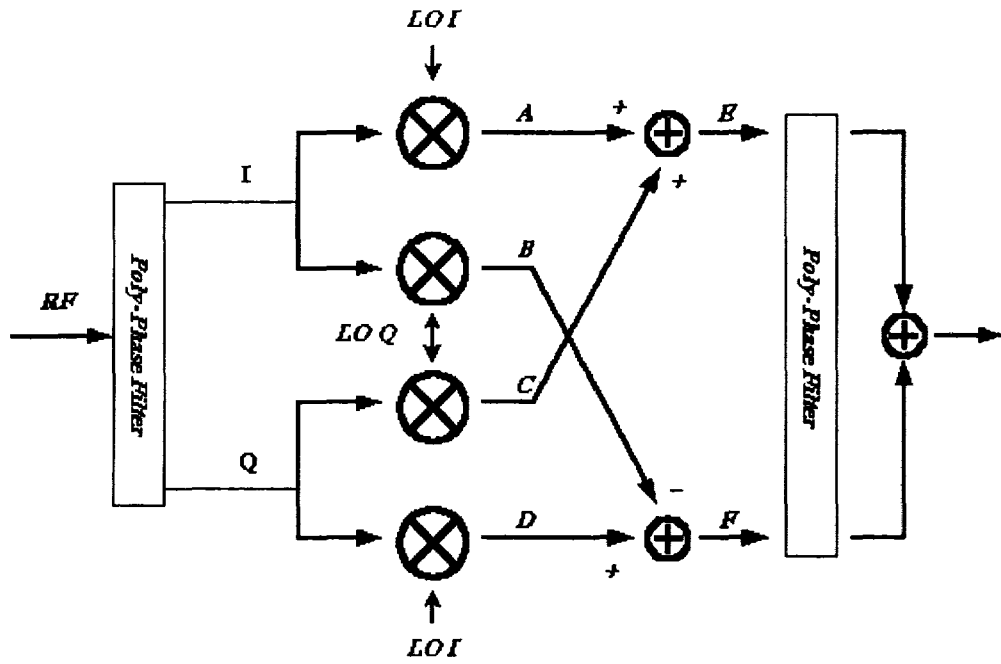


그림 3.3.14 제안된 IRM 구조

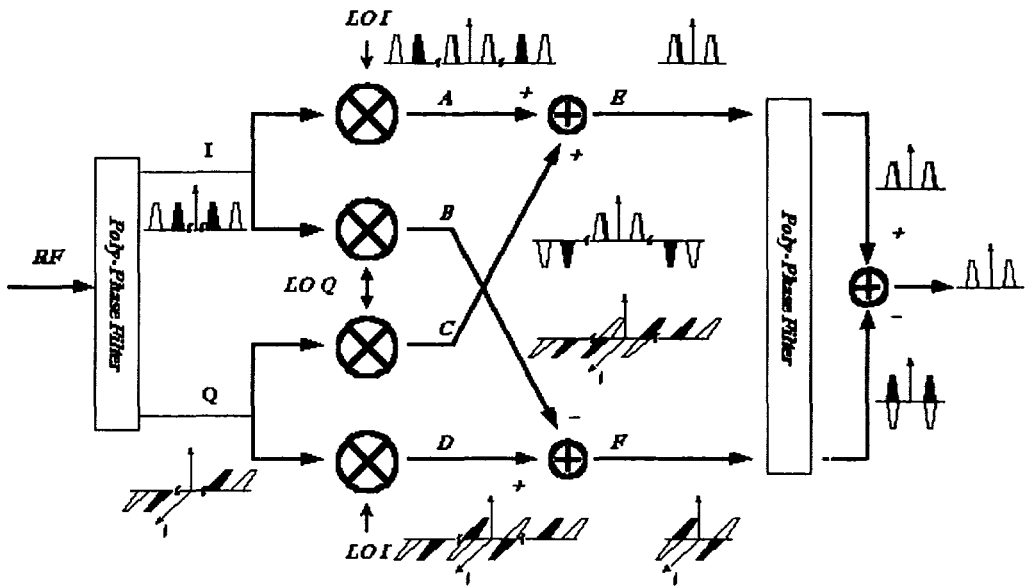


그림 3.3.15 제안된 IRM의 이미지성분 제거처리 과정

그림 3.3.15 는 제안된 구조의 IRM 에서 이미지성분 제거과정을 보여주며 그림의 각 위치에서의 신호형태는 아래 식과 같다.

$$\begin{aligned}
 A &= \frac{1}{2} [A_{rf} A_{lo} \cos(\omega_{rf} - \omega_{lo})t + A_{im} A_{lo} \cos(\omega_{lo} - \omega_{im})t + \\
 &\quad A_{rf} A_{lo} \cos(\omega_{rf} + \omega_{lo})t + A_{im} A_{lo} \cos(\omega_{lo} + \omega_{im})t] \\
 B &= \frac{1}{2} [-A_{rf} A_{lo} \sin(\omega_{rf} - \omega_{lo})t + A_{im} A_{lo} \sin(\omega_{lo} - \omega_{im})t + \\
 &\quad A_{rf} A_{lo} \sin(\omega_{rf} + \omega_{lo})t + A_{im} A_{lo} \sin(\omega_{lo} + \omega_{im})t] \\
 C &= \frac{1}{2} [A_{rf} A_{lo} \cos(\omega_{rf} - \omega_{lo})t + A_{im} A_{lo} \cos(\omega_{lo} - \omega_{im})t - \\
 &\quad A_{rf} A_{lo} \cos(\omega_{rf} + \omega_{lo})t - A_{im} A_{lo} \cos(\omega_{lo} + \omega_{im})t] \\
 D &= \frac{1}{2} [A_{rf} A_{lo} \sin(\omega_{rf} - \omega_{lo})t - A_{im} A_{lo} \sin(\omega_{lo} - \omega_{im})t + \\
 &\quad A_{rf} A_{lo} \sin(\omega_{rf} + \omega_{lo})t + A_{im} A_{lo} \sin(\omega_{lo} + \omega_{im})t] \\
 A + C &= \frac{1}{2} [A_{rf} A_{lo} \cos(\omega_{rf} - \omega_{lo})t + A_{im} A_{lo} \cos(\omega_{lo} - \omega_{im})t + \\
 &\quad A_{rf} A_{lo} \cos(\omega_{rf} - \omega_{lo})t + A_{im} A_{lo} \cos(\omega_{lo} - \omega_{im})t] \\
 -B + D &= \frac{1}{2} [A_{rf} A_{lo} \sin(\omega_{rf} - \omega_{lo})t - A_{im} A_{lo} \sin(\omega_{lo} - \omega_{im})t + \\
 &\quad A_{rf} A_{lo} \sin(\omega_{rf} - \omega_{lo})t - A_{im} A_{lo} \sin(\omega_{lo} - \omega_{im})t]
 \end{aligned}$$

최종적으로 합(위의 식에서 A+C)과 차(-B+D)신호가 Polyphase Filter 를 통과하면 합(A+B)신호에 의해서는 In-Phase 신호가 만들어 지고 차(-B+D) 신호에 의해서는 Quadrature-phase 신호로 변하게 된다. 그리고 생성된 두 신호를 서로 뺄으로써 이미지성분이 제거된다.

또한 90 도 Phase Shift Network 를 Polyphase Filter 로 쓰면 Polyphase Filter 의 오차보상특성에 의해 우수한 IRR 를 얻을 수 있을 뿐만 아니라 Mixer Cell 전후 단에 놓여 있는 Polyphase Filter 가 대역통과필터(BPF, Band Pass Filter)의 역할을 하기 때문에 전체적인 IRR 를 높이는 장점이 있다. 그러나 Polyphase Filter 를 여러 단 사용하게 되면 저항성분에 의해 이득감소와 잡음특성이 나빠지는 단점이 있다.

(4) 모의실험 결과

케이던스 SpectreRF 툴을 사용하여 그림 3.3.16 와 같이 제안된 구조의 IRM

을 모의 실험하였다. IRR 특성을 알아보기 위해 RF 입력신호 주파수는 2.4GHz 와 2.401GHz 로 하여 2-Tone 입력신호의 Offset 을 10MHz 로 설정하였으며, 최종 IF 출력신호 주파수는 Korean PCS 주파수대역인 230MHz 로 정했다.

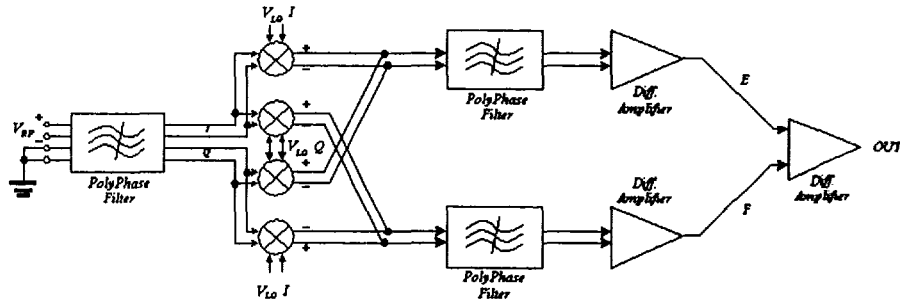


그림 3.3.16 제안된 IRM 블록도

그림 3.3.17 은 제안된 IRM 의 모의실험 결과인 IRR 특성을 보여준다. IRM 블록도의 E, F 점의 신호세기는 각각 - 27dBv 로 나타났으나 최종 출력단자에서의 이미지성분은 약 - 57dBv, 그리고 원하는 신호세기는 - 6dBv 이다. 따라서 이미지성분 제거는 - 51dBc 로 우수한 특성을 보였다.

그림 3.3.17 에서 A 는 최종 출력 단에서의 원하는 신호성분(-6dBm)을 나타내며 출력단 차동 증폭기를 거치면서 크게 증폭된 것을 알 수 있다. 반면에 C 는 최종 출력 단에서의 원치 않는 신호성분을 나타내며(-57dBm) 출력단 차동 증폭기를 거치면서 크게 감소되었음을 알 수 있다. 참고로 B 는 두 신호의 차가 만들어 지기 전의 신호세기(IRM 구조도에서 E, F 위치)이다.

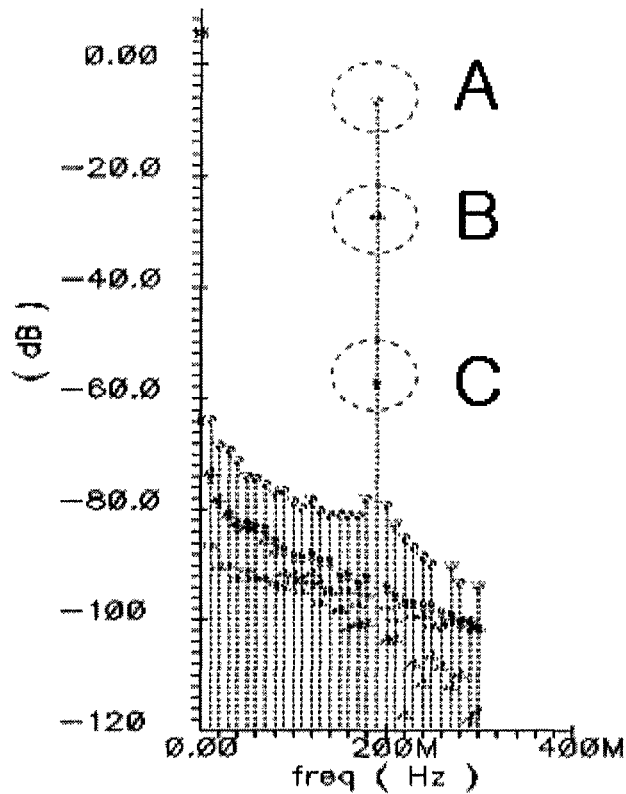


그림 3.3.17 제안된 IRM의 IRR 특성

다. 900MHz CMOS I/Q Modulator 설계

(1) I/Q Modulator 동작원리

I/Q Modulator는 Vector 혹은 Quadrature Modulator라고도 불리우며 고주파 carrier를 이용해서 저주파 데이터를 필요한 방식으로 변조시키며, AM이나 FM과 같은 analog modulation scheme과 BPSK, QAM, QPSK와 같은 Digital Modulation Scheme을 모두 전송할 수 있는 장점을 갖고 있다.

I/Q Modulator의 기본구조는 그림 3.3.18과 같으며 기저대역(Baseband)으로부터 입력되는 In-Phase Signal(I)과 Quadrature-Signal(Q)를 90도 위상차를 갖는 두 LO 신호와 혼합시켜 최종 RF 신호를 만든다.

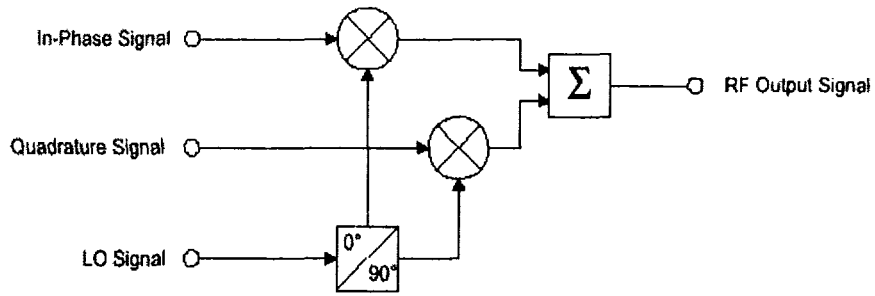


그림 3.3.18 기본적인 Modulator 구조

기저대역블록으로 부터 입력되는 I/Q 기저대역신호는 아래 식과 같이 표현 될 수 있다.

$$Vi(t) = A \cos \omega_{IF}$$

$$Vq(t) = A \sin \omega_{IF}$$

위의 I/Q 기저대역 신호에 LO 신호를 곱하여 삼각함수를 적용하면 다음 식과 같은 결과를 얻을 수 있다.

$$Vi(t) = \frac{A}{2} \cos(\omega_{LO} + \omega_{IF})t + \frac{A}{2} \cos(\omega_{LO} - \omega_{IF})t$$

$$-Vq(t) = -\frac{A}{2} \cos(\omega_{LO} + \omega_{IF})t + \frac{A}{2} \cos(\omega_{LO} - \omega_{IF})t$$

그리고 두 개의 I/Q 신호를 합하면 최종 Modulator 출력신호가 되며 아래 식과 같다.

$$Vout(t) = A \cos(\omega_{LO} + \omega_{IF})t$$

I/Q Modulator 에서 중요한 규격은 Carrier Suppression, Image Suppression, Harmonic Distortion 과 Phase and Amplitude Error 를 꼽을 수 있다. 이 규격들은 SSB(SSBSC, Single Sideband Suppressed Carrier)

Modulation 을 통해 검증한다.

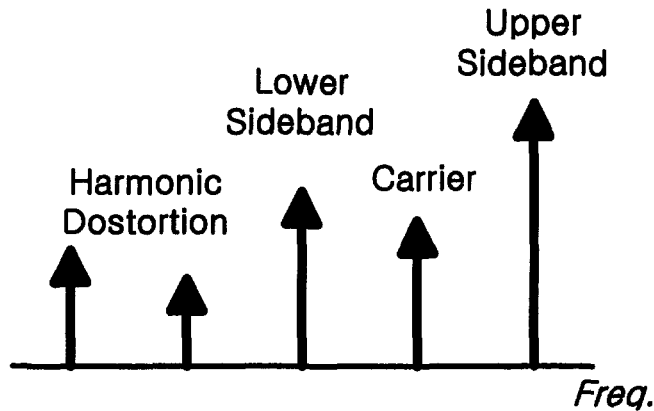


그림 3.3.19 일반적인 SSB Modulation Spectrum

일반적인 SSB Modulation Output Spectrum 은 그림 3.3.19 과 같으며 우리가 원하는 신호는 Upper-Sideband Signal 뿐이고 그 나머지 성분들은 원치 않는 신호들이다. Carrier Suppression 은 Upper-Sideband 와 Carrier Signal 의 Power 차를 가리키며 I/Q Input 의 DC Matching 이 잘 되었을 경우에 Carrier Suppression 특성이 우수하게 나타난다. 이것은 I/Q Input 의 DC Matching 이 완전할 경우에 I/Q Mixer 에 흐르는 DC Current 가 서로 일치하기 때문이다.

Sideband Suppression 은 Upper-Sideband 와 Lower-Sideband Signal 의 신호 세기 차이를 말하며 I/Q Signal 의 Phase 및 Amplitude Error 가 얼마인가를 나타내는 척도가 되기도 한다.

시스템의 비선형특성을 보여주는 Harmonic Distortion 은 그림 3.3.19 에서 왼쪽 끝에 있는 두 개의 스펙트럼 성분으로 결정하는데 보통 신호세기가 더 큰 왼쪽 성분만으로 평가한다.

Phase 나 Amplitude Error 가 Sideband Suppression 과 어떤 관계가 있는가를 알아보기 위해 기저대역블록으로 부터 입력되는 I/Q 신호를 아래 식과 같다고 하자.

$$V_i(t) = G \cos(\omega t + \phi) + D$$

$$V_q(t) = \sin \omega t$$

여기서 G=amplitude error, ϕ =phase error, D=DC offset between I and Q channel 이다. 이 신호에 LO 신호를 곱한 다음 두 신호를 다시 합하면 최종 출력신호는 아래 식과 같이 된다.

$$V_{out}(t) = G \cos(\omega t + \phi) \cos \omega_{LO} t + D \cos \omega_{LO} t - \sin \omega t \sin \omega_{LO} t$$

위의 식을 보면 LO 신호의 Direct Feedthrough 성분은 I/Q 입력에서 DC Offset 이 존재할 경우에만 발생된다는 것을 알 수 있다.

우선 I/Q 입력신호에서 DC Offset 이 없다는 가정하에서 위의 식을 다시 쓰면 아래 식으로 표현될 수 있다.

$$V_{out}(t) = \frac{1}{2} G [\cos(\omega t + \omega_{LO} t + \phi) + \cos(\omega_{LO} t - \omega t - \phi)]$$

$$- \frac{1}{2} [\cos(\omega t + \omega_{LO} t) - \cos(\omega_{LO} t - \omega t)]$$

이제 이 식을 Upper Sideband 와 Lower Sideband 로 나누어 표시하면 다음 식과 같이 된다.

$$USB(t) = \frac{1}{2} G \cos(\omega t + \omega_{LO} t + \phi) - \frac{1}{2} \cos(\omega t + \omega_{LO} t)$$

$$LSB(t) = \frac{1}{2} G \cos(\omega_{LO} t - \omega t - \phi) + \frac{1}{2} \cos(\omega_{LO} t - \omega t)$$

여기에 다시 삼각함수를 적용하여 Phase Error Term 을 분리하면 최종적으로 아래 식과 같은 결과를 얻을 수 있다.

$$\begin{aligned}
 USB(t) &= \frac{1}{2}G \cos(\omega t + \omega_{LO}t) \cos \phi - \frac{1}{2}G \sin(\omega t + \omega_{LO}t) \sin \phi - \frac{1}{2} \cos(\omega t + \omega_{LO}t) \\
 LSB(t) &= \frac{1}{2}G \cos(\omega_{LO}t - \omega t) \cos \phi + \frac{1}{2}G \sin(\omega_{LO}t - \omega t) \sin \phi + \frac{1}{2} \cos(\omega_{LO}t - \omega t)
 \end{aligned}$$

Sideband Suppression 은 출력신호에서 Upper Sideband 와 Lower Sideband 성분의 크기 비로 정의되므로 위의 수식을 다시 복소표기법(Envelope-phase Form)으로 나타내면 다음 식과 같이 된다.

$$\begin{aligned}
 x(t) &= x_R(t) \cos \omega t - x_I(t) \sin \omega t \\
 &= r(t) \cos(\omega t + \phi(t))
 \end{aligned}$$

$$\begin{aligned}
 r(t) &= \sqrt{x_R^2(t) + x_I^2(t)} \\
 \phi(t) &= a \tan \left[\frac{x_I(t)}{x_R(t)} \right]
 \end{aligned}$$

따라서, Upper Sideband 와 Lower Sideband 의 Envelope 는 아래 식과 같이 되고,

$$\begin{aligned}
 USB_{env} &= \sqrt{\left[\frac{1}{2}G \cos \phi - \frac{1}{2} \right]^2 + \left[\frac{1}{2}G \sin \phi \right]^2} = \sqrt{\frac{1}{4}G^2 - \frac{1}{2}G \cos \phi + \frac{1}{4}} \\
 LSB_{env} &= \sqrt{\left[\frac{1}{2}G \cos \phi + \frac{1}{2} \right]^2 + \left[\frac{1}{2}G \sin \phi \right]^2} = \sqrt{\frac{1}{4}G^2 + \frac{1}{2}G \cos \phi + \frac{1}{4}}
 \end{aligned}$$

위의 두 Sideband 값의 비로 표시되는 Sideband Suppression 은 다음 식과 같이 된다.

$$SBS(dBc) = 20 \log \sqrt{\frac{G^2 - 2G \cos \phi + 1}{G^2 + 2G \cos \phi + 1}} = 10 \log \left[\frac{G^2 - 2G \cos \phi + 1}{G^2 + 2G \cos \phi + 1} \right]$$

(2) Core block 설계

(가) IRM 블록도

900MHz CMOS I/Q Modulator 의 블록도는 그림 3.3.20 와 같이 Operational Transconductor Amplifiers(OTA), IRM 그리고 차동신호를 single-ended 신호로 변환시키는 D2S 블록으로 구성되어 있다.

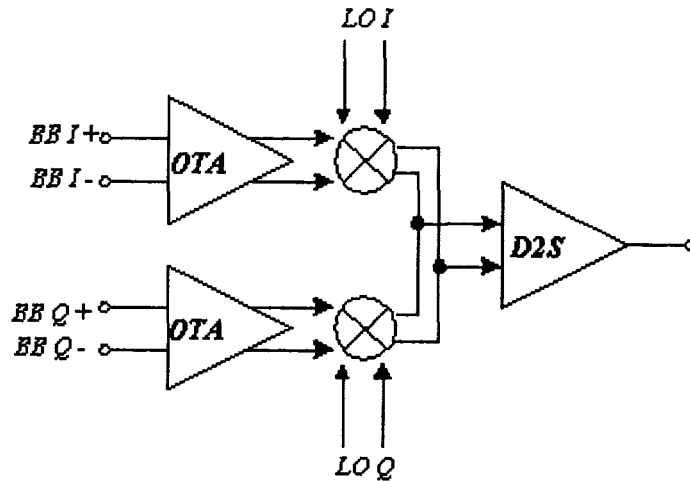


그림 3.3.20 IRM 블록도

(나) OTA

그림 3.3.21 은 OTA 회로도이며 OTA 입력 단에 pMOS 소자를 사용하여 DC Blocking Capacitor 없이 Mixer Cell 의 RF 입력 단과 직접 연결이 가능하도록 하였다.

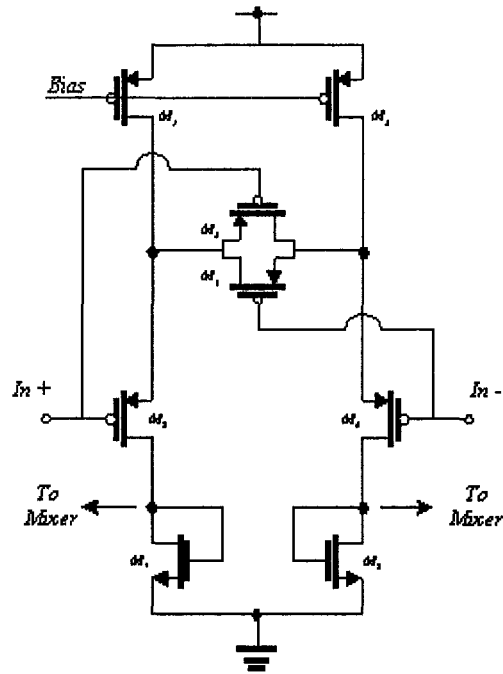


그림 3.3.21 OTA 회로도

위의 OTA Cell 에서 입력신호가 없으면($V_{in}=0$), M3 와 M4 는 Deep Triode 영역에서 동작하고 M6 의 게이트전압보다 M5 의 게이트전압이 증가하게 되면 점차로 M3 는 Saturation Region 으로 진입하게 된다.

입력 단에 매우 큰 신호가 인가되면 M3 와 M4 에 의해 교대로 Degeneration 되고 M7 과 M8 은 Current Mirror 로 동작하여 Mixer 입력 단으로 선형적인 신호전달이 가능하다.

(다)Mixer Cell

그림 3.3.22 은 사용된 Mixer Cell 회로도이다. 그림의 Mixer Cell 에서 M1 과 M2 는 RF Transconductance 단으로 전압형태로 입력되는 RF 신호를 전류로 변환시킨다.

그리고 RF 입력 단을 전통적인 Gilbert-cell 과 다르게 class AB 로 동작하도록 하여 선형특성을 크게 개선시켰다. M3~M6 은 LO 스위칭단으로 RF transconductance 단에서 전류로 변환된 RF 신호를 부하에 교차로 흐르도록 각 트랜지스터를 on/off 시킨다.

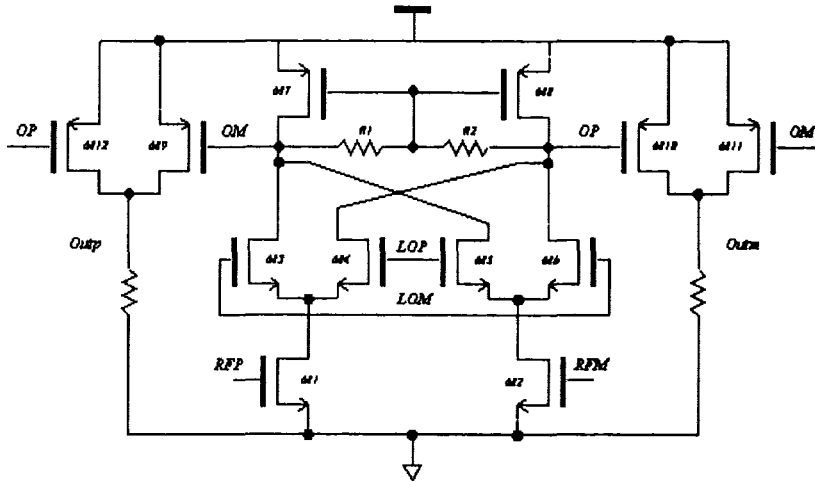


그림 3.3.22 Mixer Cell 회로도

부하회로에서 사용된 PMOS의 게이트단자에 R1과 R2를 연결시킴으로써 공통모드 신호에 대해서는 $1/g_m$ 로 부하가 보이고 차동모드 신호에 대해서는 저항 값이 보이도록 하여 공통모드를 억제시킬 수 있다.

또한 Mixer Cell은 다음 단의 Polyphase Filter를 구동하기 위해 IF 증폭기단을 포함하고 있다. 또한 Mixer Cell의 IF 증폭기에 1차와 3차 신호가 서로 같은 위상을 갖도록 하는 Distortion 발생기를 추가하여 전체 선형특성을 개선시켰다.

(라) Polyphase Filter

Quadrature Signal Generator는 단일 또는 차동신호를 받아 90도 위상차를 갖는 In-Phase와 Quadrature Phase 신호를 생성시킨다. 바람직한 I/Q 신호 생성기는 광대역에 걸쳐 진폭과 위상일치(Amplitude-Phase Matching) 특성을 가져야 한다.

그림 3.2.23은 I/Q 신호생성에 사용되는 RC-CR 네트워크이다. 이 구조의 출력은 주파수의 함수로 표현되기 때문에 협대역특성을 가지고 있다.

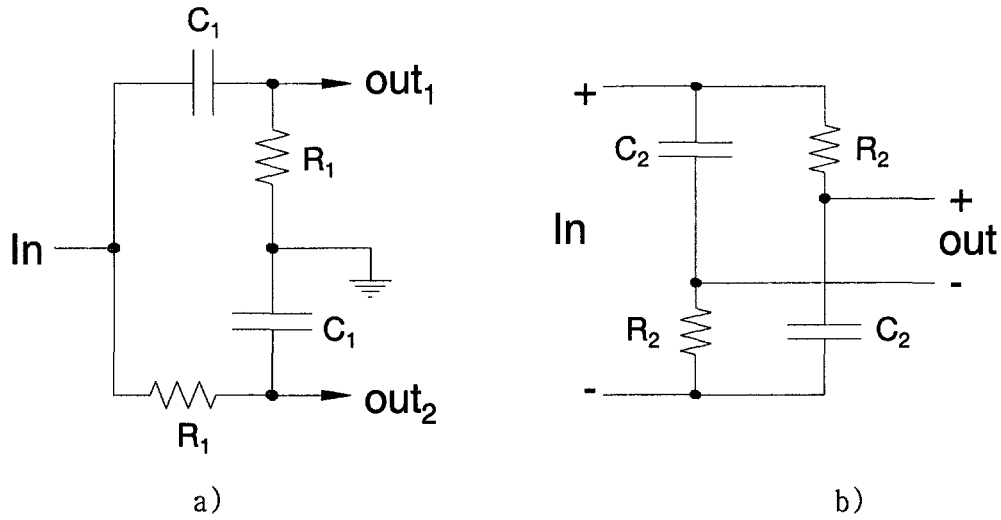


그림 3.3.23 RC-CR 네트워크

아래의 식에서 알 수 있듯이 그림 3.3.23a)의 RC-CR 구조에서 출력 Out_1 과 Out_2 의 위상차는 오직 R 과 C 의 Matching 에만 관계되지만 Out_1 과 Out_2 의 신호세기 차는 공정변이와 입력주파수의 함수이기 때문에 광대역에서 사용할 수 없는 단점이 있다.

$$\frac{out_1}{out_2} \Rightarrow \text{phase} = 90^\circ, \text{ magnitude} = R_1 C_1 \cdot 2\pi \cdot f_{in}$$

$$A_{out1} - A_{out2} = A_{in} \left[\frac{\Delta R_1}{R_1} + \frac{\Delta C_1}{C_1} + \frac{\Delta f_{in}}{f_{in}} \right]$$

그리고 그림 3.3.23b)의 RC-CR 구조에서는 I/Q 신호를 In 과 Out 단자에서 얻도록 되어 있다. 따라서 I/Q 신호의 진폭은 동작주파수와 무관하기 때문에 광대역특성을 가지고 있으나 두 신호의 위상차는 아래 식과 같이 동작주파수의 함수이므로 광대역에서 사용하기 어렵다.

$$\frac{out}{in} \Rightarrow \text{phase} = 2 \tan^{-1}(R_2 C_2 \cdot 2\pi \cdot f_{in}), \text{ magnitude} = 1$$

$$\theta_{in} - \theta_{out} = \pi / 2 \cdot \left[\frac{\Delta R_2}{R_2} + \frac{\Delta C_2}{C_2} + \frac{\Delta f_{in}}{f_{in}} \right]$$

제안된 IRM 의 Quadrature Signal 는 Polyphase Filter 를 이용하여 생성하도록 되어 있다. Polyphase Filter 는 RC Network 가 Quadrature Signal 의 위상과 진폭에 대해 협대역 주파수응답특성을 보이는 것과 달리 광대역 주파수응답특성을 가지고 있다. 또한 하나의 Polyphase Filter 는 Bandwidth 의 10% 정도에 걸쳐 거의 일정한 주파수-이득특성을 보이기 때문에 Polyphase Filter 를 여러 단 캐스케이딩(Cascading)시키면 원하는 주파수 대역에서 선택적으로 동작시킬 수 있는 장점이 있다. 그러나 여러 단을 사용하면 저항성분에 의한 이득감소와 잡음특성이 나빠지는 단점을 가지고 있다.

제안된 IRM 에서는 2-Stage Differential 구조의 Polyphase Filter 를 채택하였다. 그림 3.3.24 은 사용된 Polyphase Filter 의 회로도이며 그림 3.3.19 는 주파수에 대한 위상과 진폭오차 특성을 보여준다.

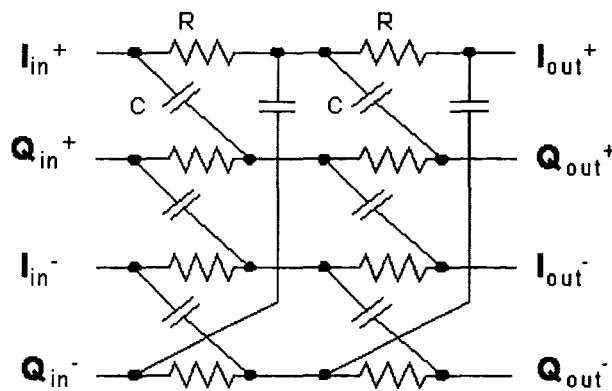


그림 3.3.24 Polyphase Filter 회로도

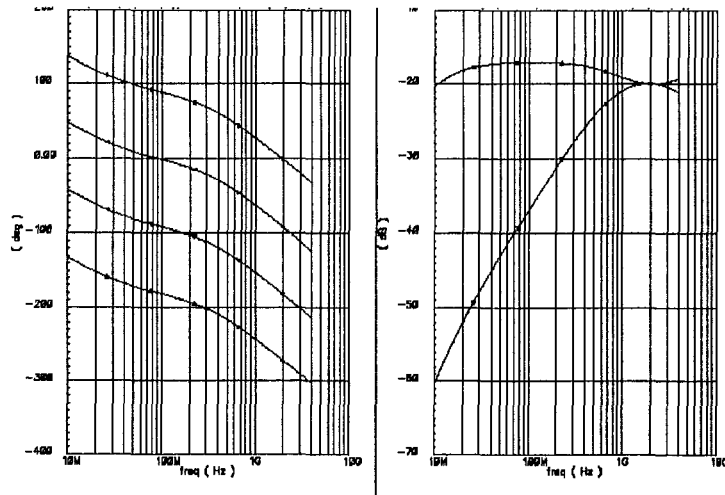


그림 3.3.25 Polyphase Filter 의 주파수에 따른 위상과 진폭오차 특성

(마) Differential-to-Single Ended Signal Buffer 설계

그림 3.3.26 는 Differential 신호를 Single-ended 신호로 변환시키는 D2S 버퍼이다. M_1 은 $1/gm_2$ 부하를 갖는 common source 증폭기로 동작하고 M_2 는 source follower 증폭기로 동작한다.

설계된 D2S buffer 의 임피던스매칭은 Active Matching 구조이므로 출력 임피던스가 50 Ohm 이 되도록 흐르는 전류를 고려해서 M_1 과 M_2 의 트랜지스터 사이즈를 적절하게 선택해야 한다.

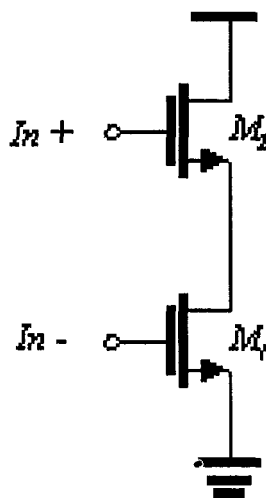


그림 3.3.26 Differential-to-Single Ended Signal Buffer

(3) I/Q Modulator Chip 사진

그림 3.3.27 은 제작된 900MHz CMOS I/Q Modulator 의 Chip 사진이며 0.25 μ m CMOS 1P5M 기술로 제작되었다.

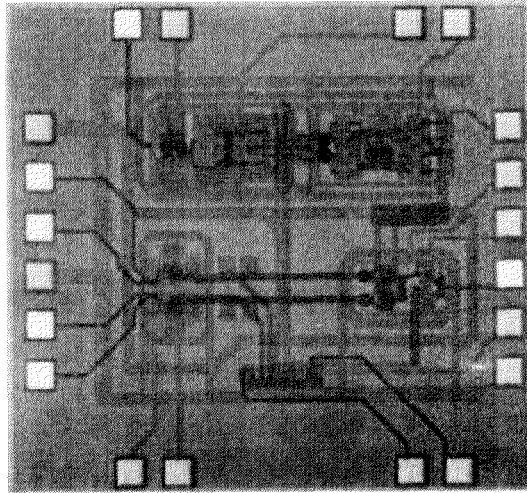


그림 3.3.27 제작된 I/Q Modulator 칩 사진

(4) 측정 및 측정결과

그림 3.3.28 은 제작된 chip 의 성능측정을 위한 구성도이며, 그림 3.3.29 은 제작된 측정용 보-드 사진이다.

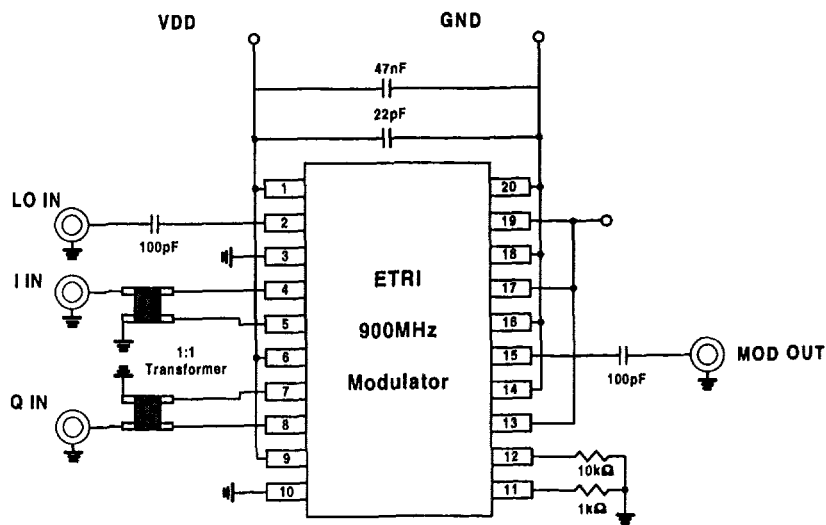


그림 3.3.28 측정 구성도

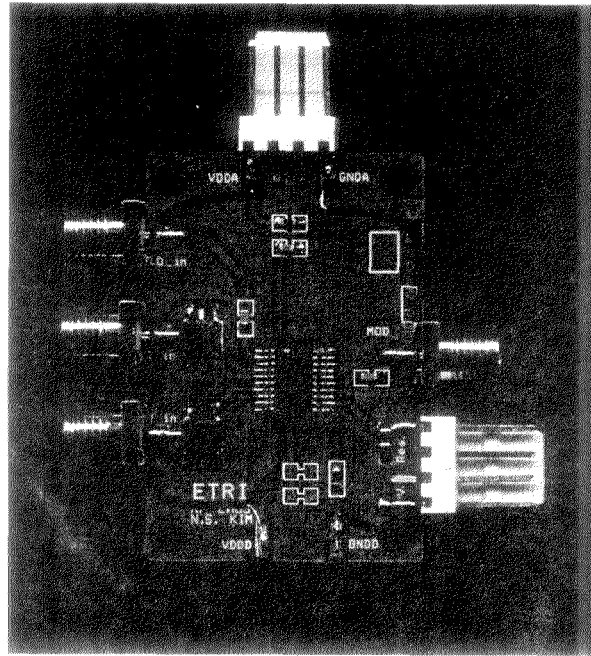


그림 3.3.29 측정용 보-드 사진

네트워크분석기와 스펙트럼분석기를 사용하여 제작된 I/Q Modulator 의 성능을 측정하였다. 제작된 900MHz I/Q modulator 의 성능은 표 3.3.5 에 정리되어 있다. 측정에 적용된 기저대역 신호레벨은 $1V_{pp}@20MHz$ 를 적용하였으며 최종 출력신호 주파수는 900MHz 이다. 그림 3.3.30 은 RF, LO 및 Harmonic 성분들의 Feedthrough 정도를 나타내는 측정결과이며, 그림 3.3.31 은 Sideband Signal Suppression 에 대한 측정결과로써 55.8dB 의 Sideband Signal Suppression 성능을 얻었다.

표 3.3.5 900MHz I/Q Modulator 규격

Parameters	Specifications			Unit	Condition
	Min.	Typical	Max.		
Carrier Input Frequency Range Power Level		400~1000 -10~5		MHz dBm	T=25° C, Vcc=3.0V
Modulation Input Frequency Range Maximum Modulation Amplitude Error Phase Error Input Impedance		DC~80 200 < 0.5 < 0.5 20		MHz mV dB ° kΩ	Single 400M~1GHz 400M~1GHz
RF Output Output Power Output Impedance Output Matching Sideband Suppression Carrier Suppression IM3 Suppression	-21	-10 50 -57~-45	-48	dBm Ω dB dB dB dB	Single 200mV input fif = 20 MHz, flo = 880MHz -5dBm
Power Supply Voltage		3.0		V	Single
Total Current Consumption		25		mA	

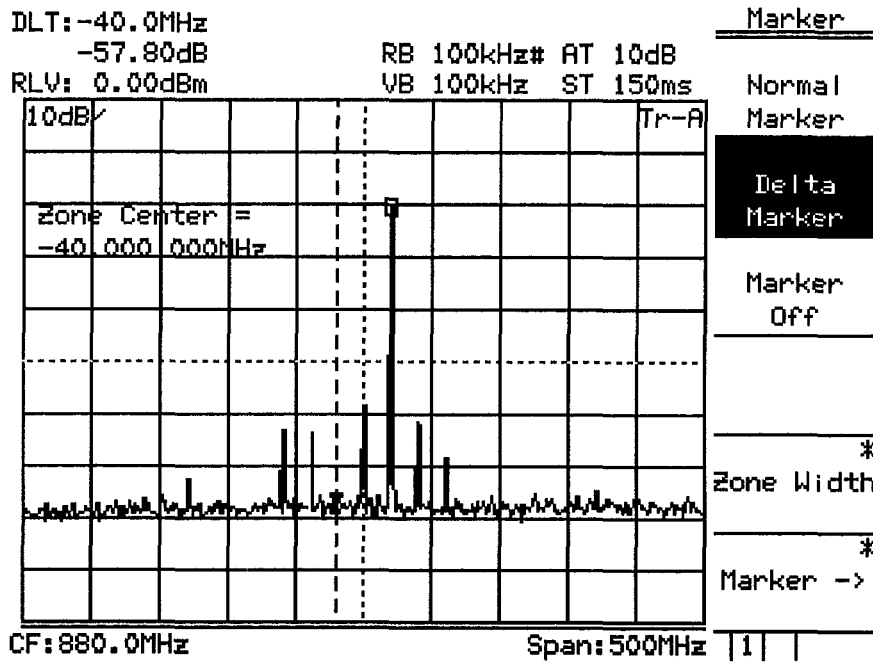


그림 3.3.30 RF 및 LO 신호의 Feedthrough 측정결과

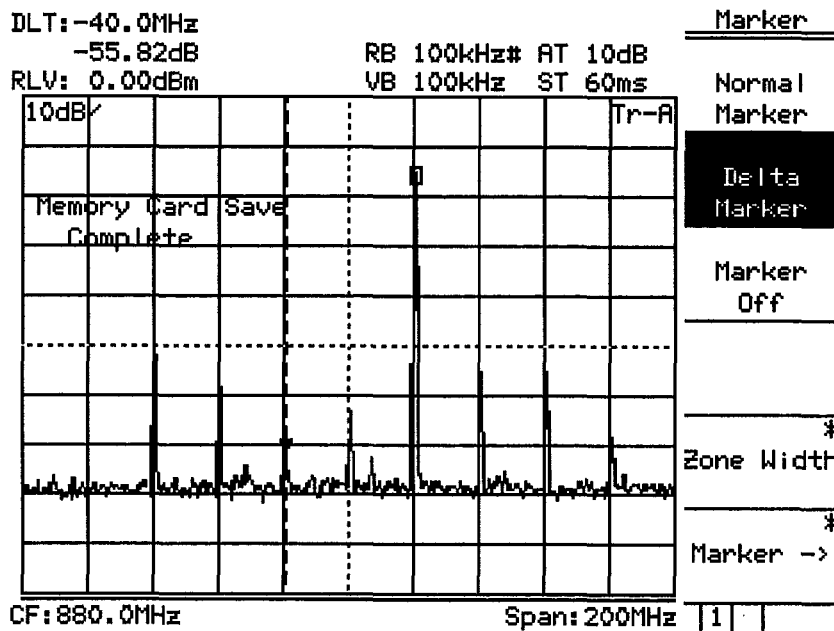


그림 3.3.31 Sideband Signal Suppression 측정결과

라. 900MHz CMOS I/Q Demodulator 설계

(1) 구조 및 회로설계

앞에서 고찰한 새로운 구조의 IRM 을 이용하여 900MHz CMOS I/Q Demodulator 를 설계, 제작하였다. 설계된 Demodulator 는 그림 3.3.32 과 같이 Single-to-Differential Signal Buffer, Mixer Cells, Output Amplifiers 그리고 Quadrature Signal Generator 등으로 구성되어 있으며 RF 신호를 I/Q 기저대역신호로 변환시키는 역할을 한다.

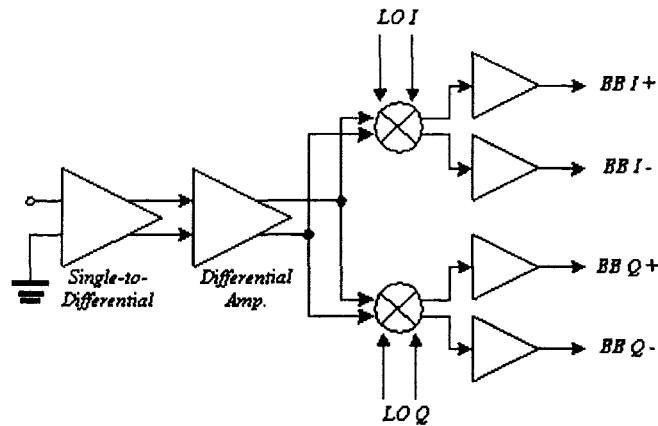


그림 3.3.32 900MHz I/Q Demodulator 구조도

출력단증폭기는 그림 3.3.33 와 같으며 선형특성을 개선하기 위하여 Pre-distortion 용 트랜지스터(M3, M4)를 추가하였다.

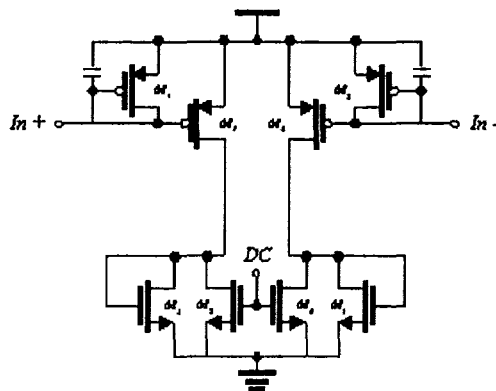


그림 3.3.33 출력 증폭기

(2) I/Q Demodulator Chip 사진

그림 3.3.34 은 제작된 900MHz CMOS I/Q Modulator 의 Chip 사진이며 0.25 μ m CMOS 1P5M 기술로 제작되었다.

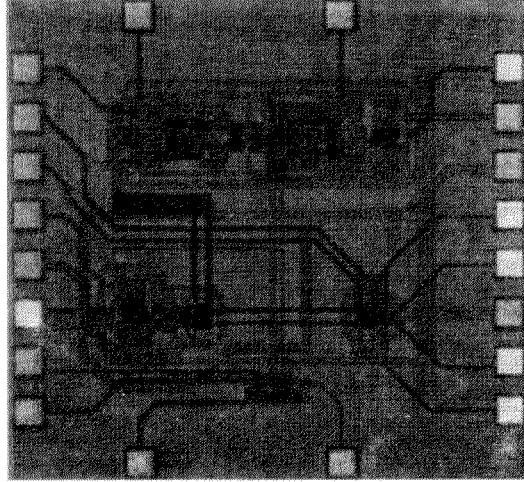


그림 3.3.34 제작된 I/Q Demodulator 칩 사진

(3) 측정 및 측정결과

그림 3.3.35 는 제작된 chip 의 측정을 위한 구성도이며, 그림 3.3.36 는 측정용 보-드 사진이다.

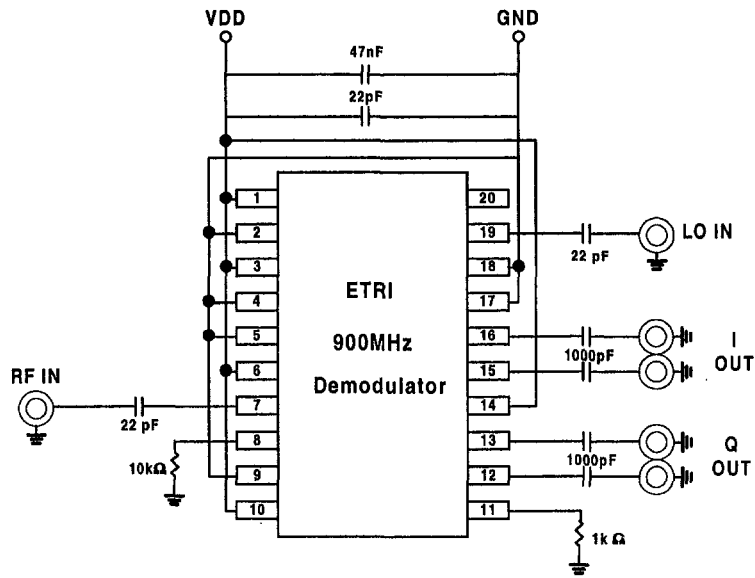


그림 3.3.35 측정 구성도

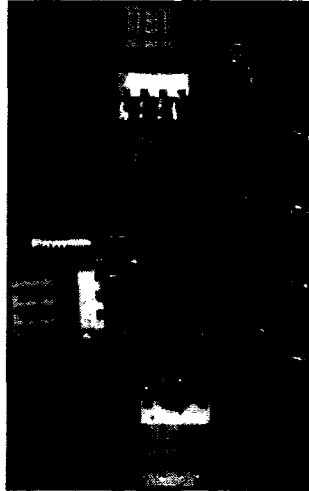


그림 3.3.36 측정용 보드 사진

네트워크분석기와 스펙트럼분석기를 사용하여 제작된 I/Q Demodulator 의 성능을 측정하였다. 제작된 900MHz I/Q Demodulator 의 규격은 표 3.3.6 와 같으며, 그림 3.3.37 은 선형특성을 측정한 결과이다.

표 3.3.6 900MHz I/Q Demodulator 규격

Parameters	Specifications			Unit	Condition
	Min.	Typical	Max.		
RF input Frequency range		400 ~ 900	1000	MHz	T=25° C, V _{DD} =3.0V
Carrier input (LO) Frequency range		400 ~ 900	1000	MHz	LO input 70mV @ 880MHz
Input level	30	900	180	mV _{pp}	
LO to RF Isolation		70		dB	
LO to IF Isolation		42		dB	
I/Q output Phase error	0	0.4	2	degree	400M~900MHz
Amplitude error		0.2		dB	400M~900MHz
I/Q frequency range		DC ~ 50		MHz	
Saturated Output level	400	32	1900	mV _{pp}	Balanced, LO input 70mV
3 rd Order IM Distortion	15	30	40	dB	
Conversion Gain		20		mV	
DC offset					
Power Supply Voltage		3.0		V	Single
Total Current Consumption		37		mA	

3. 광대역 Mixer 설계

0.35 μ m 공정기술을 이용하여 광대역특성을 가지는 송신 Mixer 를 설계하였다. 설계한 광대역 Mixer 는 듀얼밴드 즉 900 MHz 대역 셀룰러 및 1.8 GHz 대역 PCS 까지 공용으로 사용하기 위함이며, 이를 위해 회로설계에서 광대역특성을 성취하기 위해 공진회로를 사용하지 않고, 저항 및 능동소자를 이용한 설계를 수행하였다. 특히 출력회로의 경우 일반적으로 인덕터 및 캐패시터를 이용하여 최대 이득을 실현하며, 50 Ω 임피던스 매칭을 성취하나, 설계하고자 하는 Mixer 는 능동소자를 이용하며, 외부에서 캐패시터를 이용하여 매칭을 함으로써 광대역 특성의 송신 mixer 를 설계하였다.

다음 그림 3.3.38 에 설계할 송신 Mixer 의 블록도를 나타내었다. 전체 4 개의 블록으로 구성되며, 개략적으로 설명하면 먼저 베이스밴드 모뎀의 IQ 신호를 기저대역 아날로그 집적회로가 IQ 변조를 한 상보신호(130 MHz)를 설계하고자 하는 송신 mixer 가 입력받아 mixer 회로를 구동하기 적당한 신호로 증폭한 후 mixer 회로의 하단으로 입력하고, 보드에서 생성되는 국부 발진신호를 길버트 더블 밸런스 믹스의 위단 소자의 스위칭이 가능한 진폭으로 증폭한 LO 버퍼이 신호와 믹싱되어 출력되며, 상향 mixer 의 다음단의 구동 버퍼의 입력크기에 맞게 RF 신호를 증폭하는 RF buffer 로 구성된다. 전체적으로 선형성을 개선하기 위한 회로구성 및 광대역 특성을 위한 회로를 설계하였다. 또한 각 입출력은 입력 임피던스는 265 Ω 을 가지며, 출력은 50 Ω 으로 매칭되어야 한다.

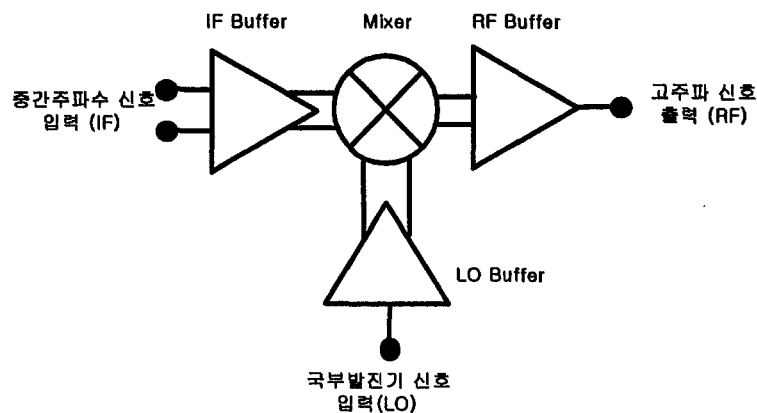


그림 3.3.38 송신용 Mixer 블록다이어그램

가. 광대역 Mixer 회로설계

1) IF buffer 설계

IF buffer 는 모뎀과 기저대역 집적회로에서 출력되는 임피던스 265Ω 의 미약한 상보신호를 선형성을 고려하여 증폭하는 OTA 구조로 설계하였다.

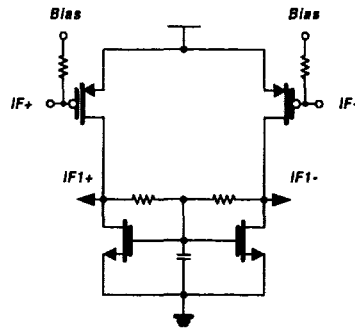


그림 3.3.39 IF 버퍼 회로도

2) Mixer core 설계

광대역 mixer 의 core 회로를 아래에 나타내었으며, 기본적으로 길버터 더블 밸런스 mixer 로 설계 하였다. 부하로는 광대역 특성을 위한 저항을 사용하였으며, 또한 선형성 향상을 위하여 PMOS 로서 IF 입력단의 전류를 증가시켰다.

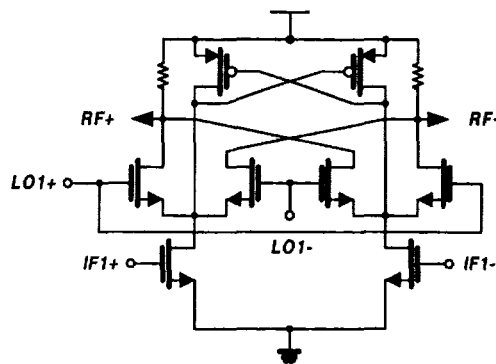
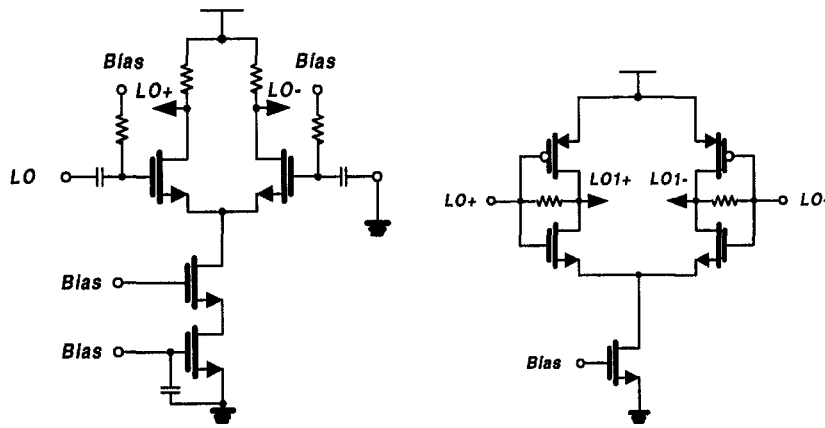


그림 3.3.40 Mixer core 회로도

3) LO 발룬 설계

LO 발룬은 mixer 의 이득에 많은 영향을 미치게 되며, 이는 길버터 mixer 의 LO 입력단은 가급적 스위칭동작을 시켜주면 최대이득을 얻을 수 있는 조건이 되기 때문이며, 이를 위해 2 단 구조를 사용하였다. 먼저 1 번째단은 외부에서 입력되는 신호를 상보 신호로 변환하는 단일입력에 대한 상보출력회로이며, 2 번째단은 LO 입력단의 스위칭동작을 시켜주기 위한 큰진폭의 스위칭신호를 출력하는 회로이다. 특히 둘째단은 상보신호간에 180 도 위상차 및 동일한 오프셋의 신호를 출력하여야 하며, mixer core 의 큰 용량성 부하에 대하여 감쇄없이 구동할 수 있는 구조가 되어야 한다.



(a) 제 1 단 LO 발룬

(b) 제 2 단 인버팅 발룬

그림 3.3.41 LO 발룬

4) RF 버퍼 설계

RF 버퍼는 mixer 의 출력에서 nmos 로 direct coupling 하여 high impedance 를 제공하고 시스템 전체의 gain 을 높여 줌과 동시에 source follower 구조를 채택 함으로써 output matching 을 할 수 있게 하였다. 각 tr.의 크기는 matching 과 gain 그리고 선형성을 고려하여 정하였다.

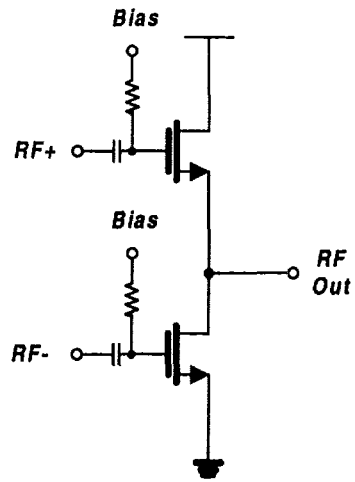


그림 3.3.42 RF 버퍼 회로도

나. 광대역 mixer 칩 제작

CMOS 0.35 μ m double poly 4 metal 공정을 이용하여 광대역 송신 mixer 를 설계하였다. 전체 면적은 1100 μ m x 1300 μ m 이다.

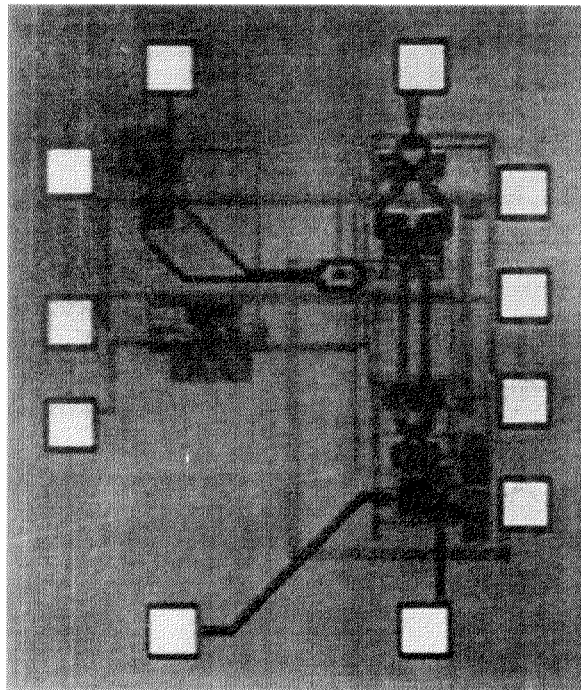


그림 3.3.43 제작된 광대역 송신 mixer die

다. 광대역 Mixer 측정 및 검토

제작된 광대역 송신 mixer 를 wafer 상태의 측정 및 8 핀 SOIC package assembly 및 검증보드를 이용하여 package 상태의 측정을 수행하였다. 측정한 결과를 종합하여 규격표 형태로 작성하였으며, 이를 나타내었다.

측정 결과 설계 의도한 대로 광대역 특성 즉 900MHz 대역에서 1.5dB 의 이득 및 8 dBm 의 OIP3 를 얻을 수 있었으며, 1800MHz 대역에서는 -3dB 의 이득과 +3.5dBm 의 OIP3 을 얻을 수 있었다. 또한 잡음지수도 약 16dB 로서 측정되어 송신 mixer 의 유용성을 볼 수 있었으며, 입력 및 출력 임피던스 매칭도 -10dB 이하로 측정되었다.

종합적 검토 결과 입력 주파수가 DC 에서 200MHz 사용범위 및 500MHz ~ 1700MHz 의 LO 입력범위로 고려할 때 광대역 mixer 로의 이용이 적정할 것으로 여겨진다.

- FEATURES

- 0.35 μ 2P4M CMOS Technology
- Wide-band Characteristic
- Internally Matched Inputs and Outputs
- High Isolation
- Single Wide Supply Voltage Range
- Internal LO Active Balun
- SOIC 8pin Package
- No On Chip Inductor

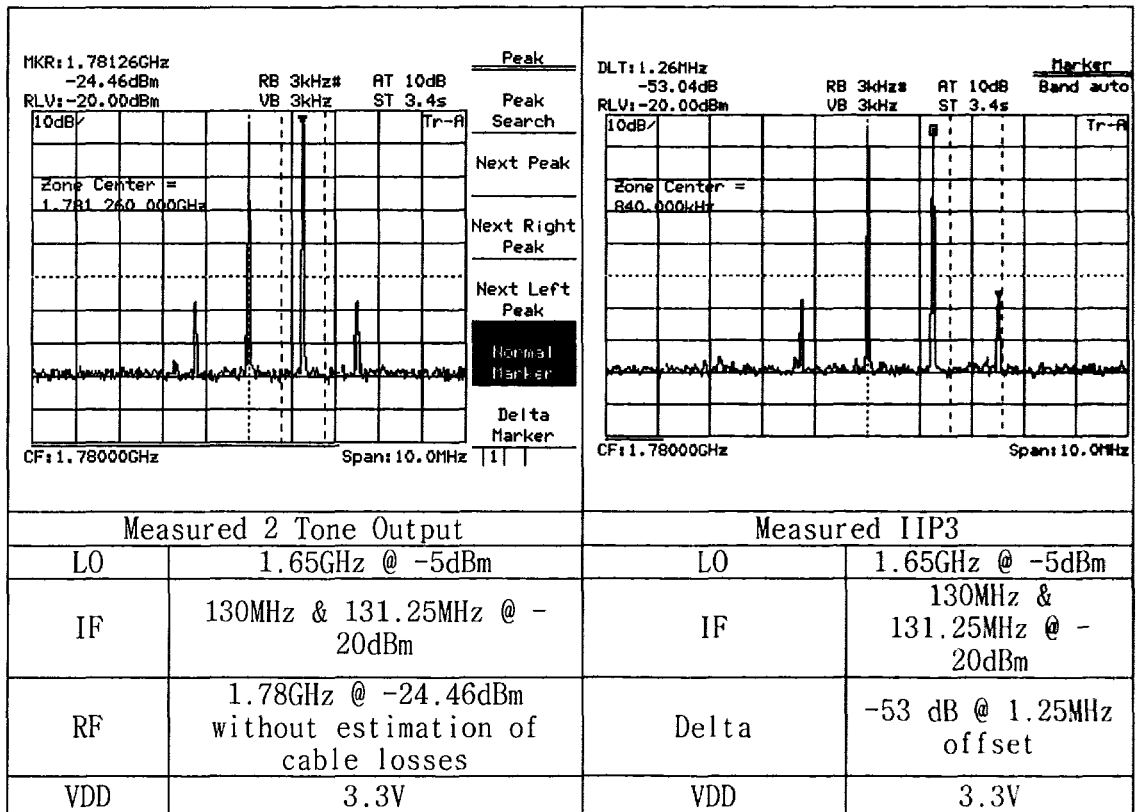
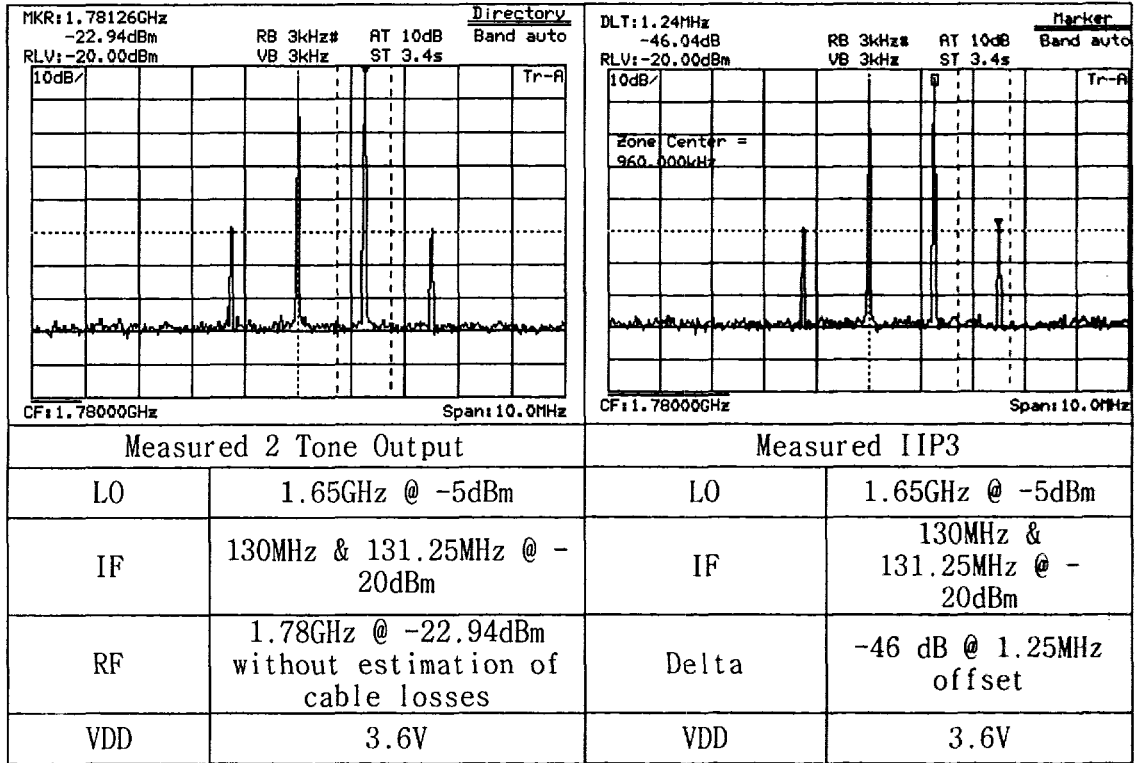
- CHARACTERISTICS

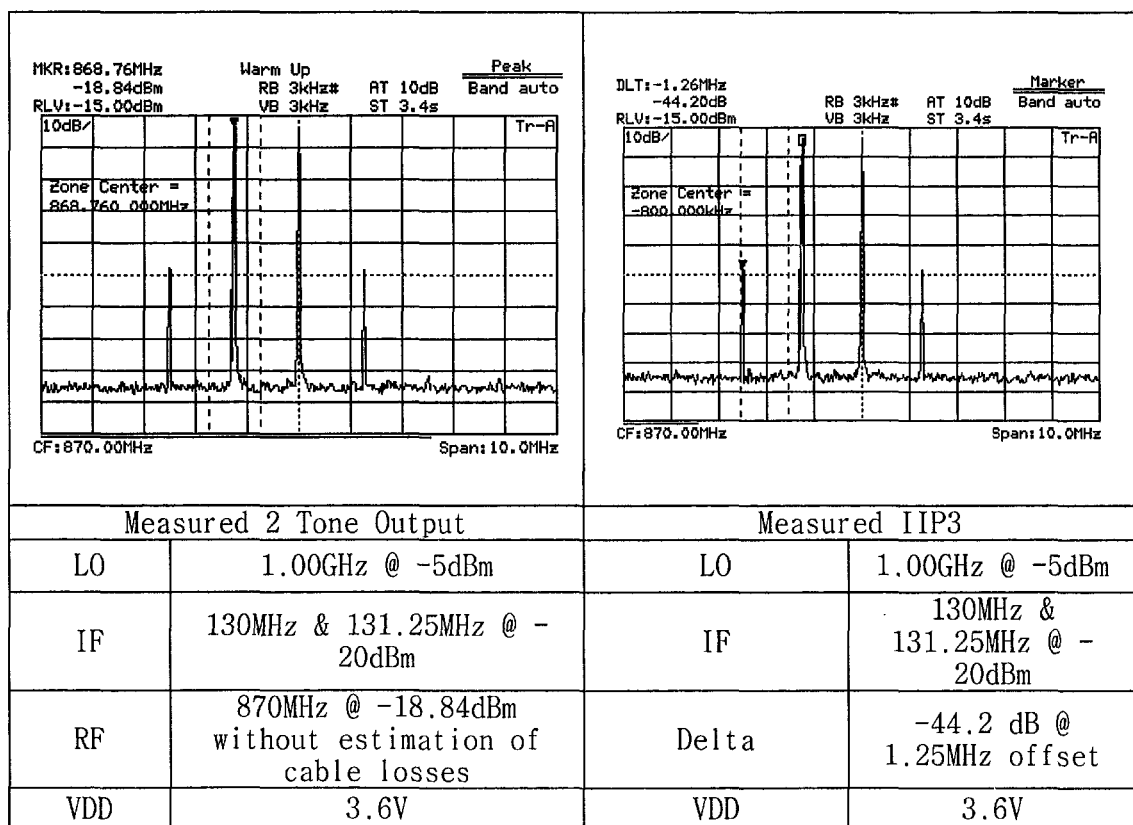
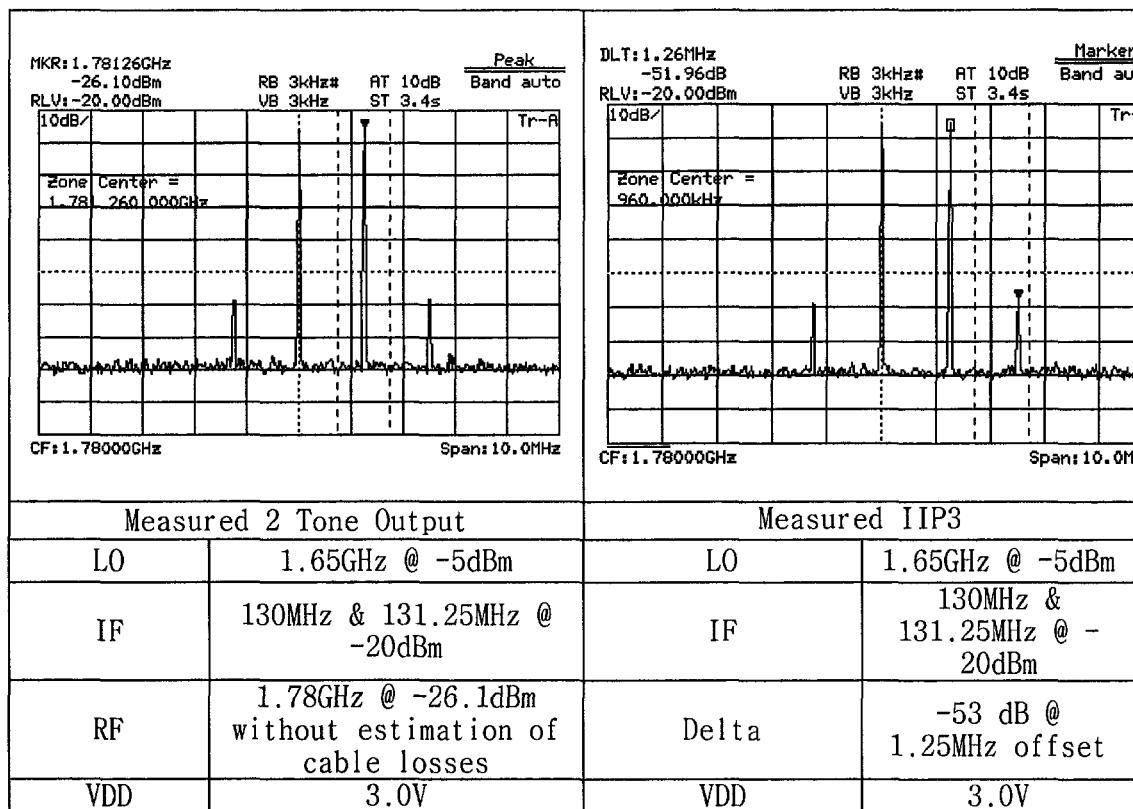
Parameters	Specifications			Unit	Condition
	Min.	Typical	Max.		
VDD	3.0	3.3	3.6	V	T=25°C
Supply Current	25	26	27	mA	
RF OUTPUT					
Frequency Range	500	900	1900	MHz	Min. for 500MHz
Output VSWR	1.2:1	1.2:1	1.5:1		Typ. for 900MHz
1800 MHz					Max. for 1.8GHz
Conversion Gain	-4.5	-3	-1.5	dB	
Noise Figure	-	15.5	-	dB	Min. for 3V, Typ.
Output IP ₃	1.5	3.5	1.5	dBm	for 3.3V, Max. for
Output P _{1dB}	-6.5	-5	-3.5	dBm	3.6V Operation,
900 MHz					respectively.
Conversion Gain	0.7	1.5	2.7	dB	LO=1.65GHz @ -5dBm.
Noise Figure	-	15.8	-	dB	IF=130MHz
Output IP ₃	8	8	4.7	dBm	@ -20dBm
Output P _{1dB}	-1.3	0.5	1.7	dBm	Min. for 3V, Typ.
					for 3.3V, Max. for
					3.6V
					LO=1GHz @ -5dBm.
					IF=130MHz@ -20dBm
IF INPUT					
Frequency Range		DC to 200		MHz	
Diff.In impedance		265		Ω	
IF to RF Isolation		40		dB	
LO INPUT					
Frequency Range		500 to		MHz	
LO Level		1700		dBm	
LO to RF Leakage		-8 to 0		dBm	
RF to LO		-33		dB	
Isolation		33			

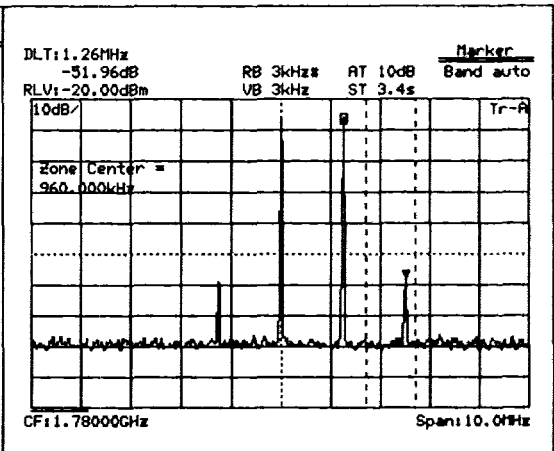
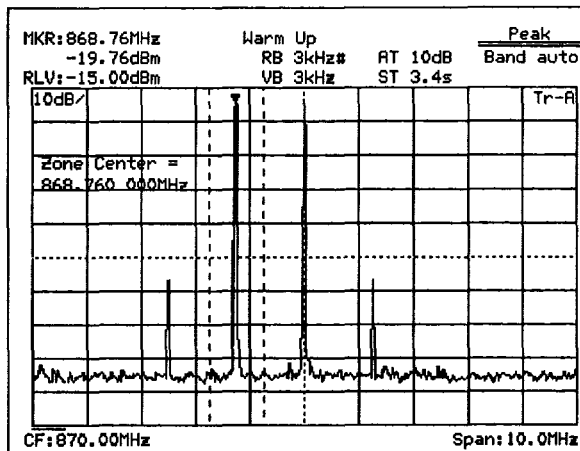
Pin Function Description

Pin	Function	Description	Equivalent Schematic
1	IF+	Balanced IF input Pin. This pin should be DC blocked if connected to a device with DC level present. The balanced, as well as single-ended, input impedance is 265 Ω .	
2	IF-	Same as pin 1, except complementary Input.	
3	GND	Ground Connection.	
4	LO+	Balanced ILO input Pin. This pin should be DC blocked if connected to a device with DC level present.	
5	LO-	Same as pin 1, except complementary Input.	
6	GND	Ground Connection.	
7	VDD	Supply Voltage Pin. External bypassing is required.	
8	RF OUT	RF Output Pin. This pin should be DC blocked if connected to a device with DC level present. The Output impedance is 50 Ω .	

측정결과

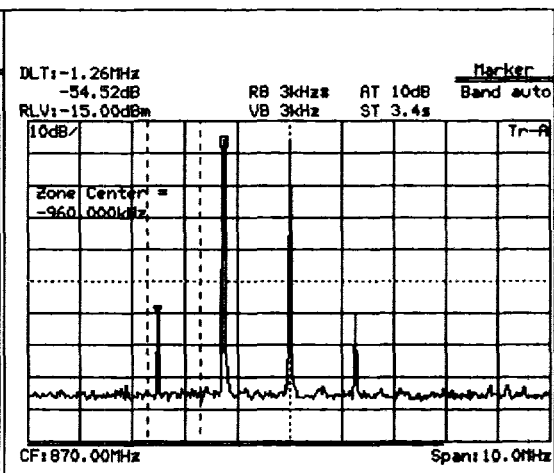
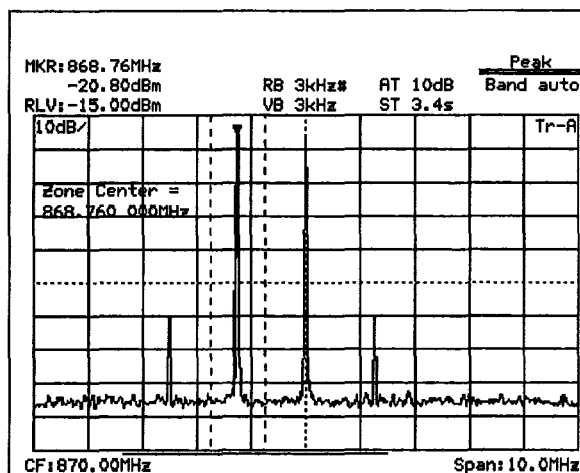






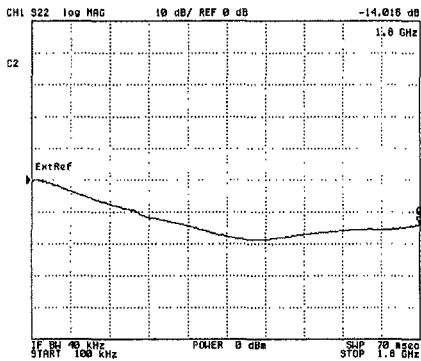
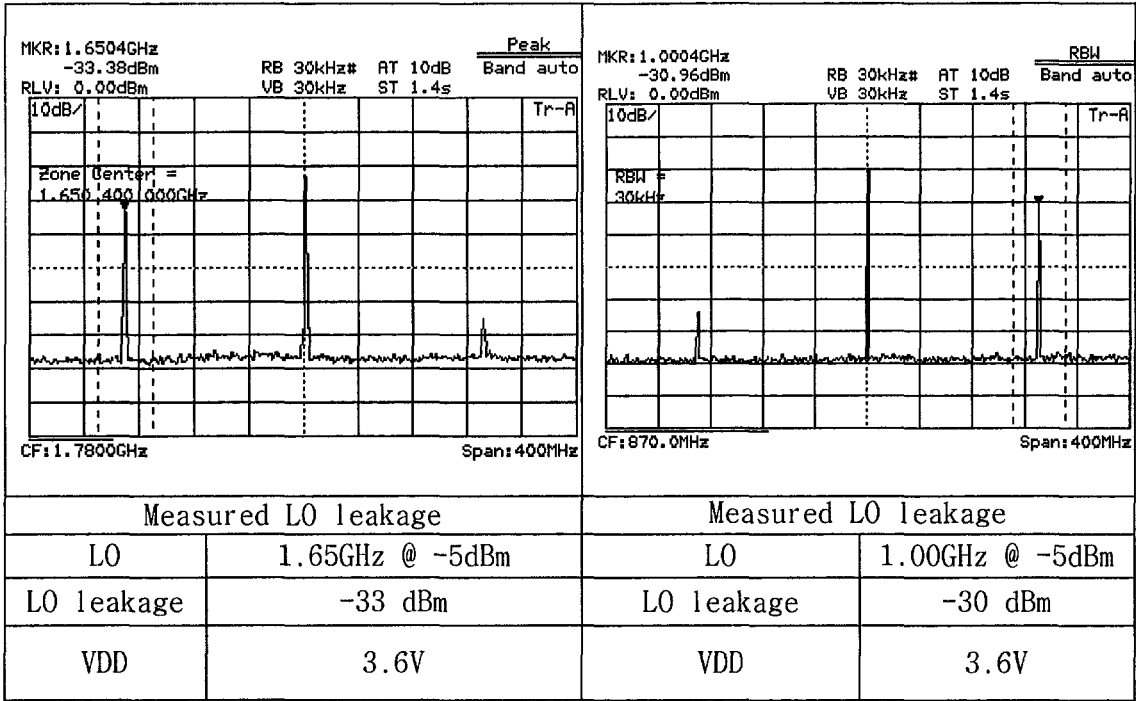
Measured 2 Tone Output	
LO	1.00GHz @ -5dBm
IF	130MHz & 131.25MHz @ -20dBm
RF	870MHz @ -19.76dBm without estimation of cable losses
VDD	3.3V

Measured IIP3	
LO	1.00GHz @ -5dBm
IF	130MHz & 131.25MHz @ -20dBm
Delta	-52 dB @ 1.25MHz offset
VDD	3.3V

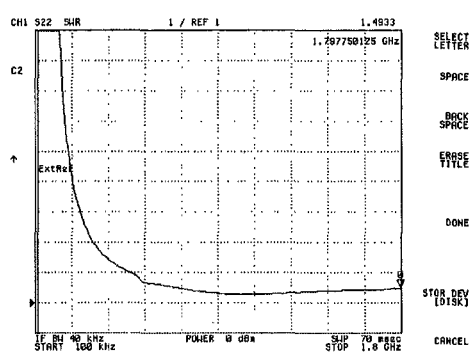


Measured 2 Tone Output	
LO	1.00GHz @ -5dBm
IF	130MHz & 131.25MHz @ -20dBm
RF	870MHz @ -20.08dBm without estimation of cable losses
VDD	3.0V

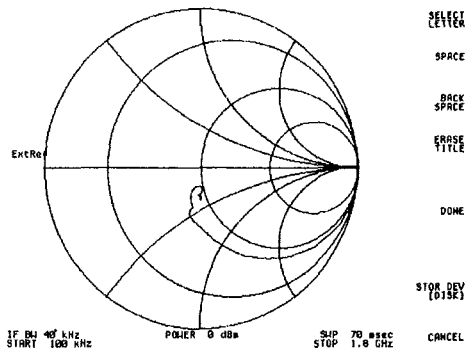
Measured IIP3	
LO	1.00GHz @ -5dBm
IF	130MHz & 131.25MHz @ -20dBm
Delta	-54.5 dB @ 1.25MHz offset
VDD	3.0V



Measured Output Matching Log Scale

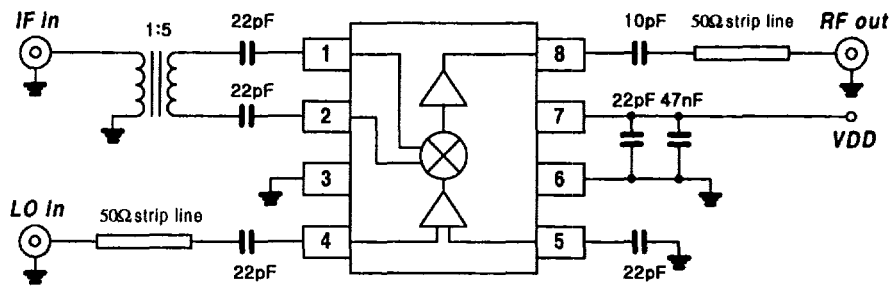


Measured Output Matching VSWR

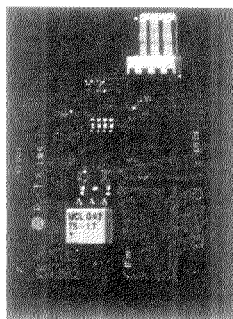


Measured Output Matching Smith Chart

- Evaluation Board Schematic



- Evaluation Board Photo



4. Multi-band 설계 기반기술

가 Dual-band 완전 집적형 LNA 설계

멀티밴드와 다기능을 수용하는 차세대 transceiver IC 는 그 복잡도는 기하급수적으로 증가할 것이다. 이를 해결하기 위해서는 광대역 회로기술 개발이나, 멀티밴드를 수용하는 회로기술의 개발을 필요로 한다. 아울러 모든회로는 부품들은 CMOS 기술로 집적화되어야만 그 가능성이 높아진다.

집적형 LNA 설계를 위해서 고려해야 할 사항으로는 잡음특성이다. 특히 CMOS 소자의 경우, 잡음특성이 다른 RF 소자들에 비해서 열악하므로 잡음특성의 최적화 설계가 요구되며, 아울러 LNA 의 잡음특성을 좌우하는 input inductor 에 의한 잡음특성의 저하를 최소화 해야하는 노력이 필요하다. 그림 3.3.44 은 CMOS LNA 설계에 주로 사용되는 회로구조 몇가지에 대해서, 측정된 소자의 잡음지수를 이용하여 잡음특성을 예측한 것으로, common source 구조의 inductive degeneration 구조가 가장 유리함을 보여 준다.

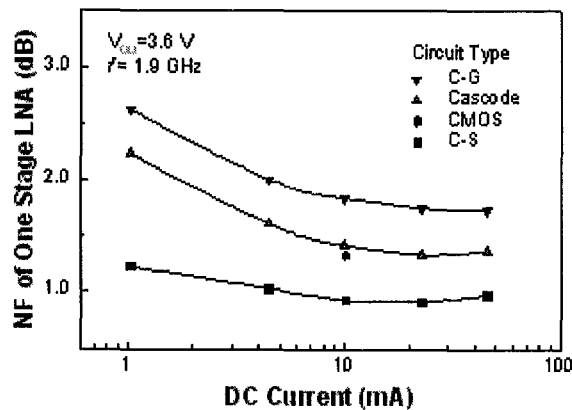


그림 3.3.44 Circuit type 에 따른 single stage LNA 의 잡음특성의 Simulation 결과 (측정된 소자 잡음지수사용, source degeneration inductor 사용, S_{11} 와 $S_{22} < -15\text{ dB}$, $I_{dc}=10\text{mA}$)

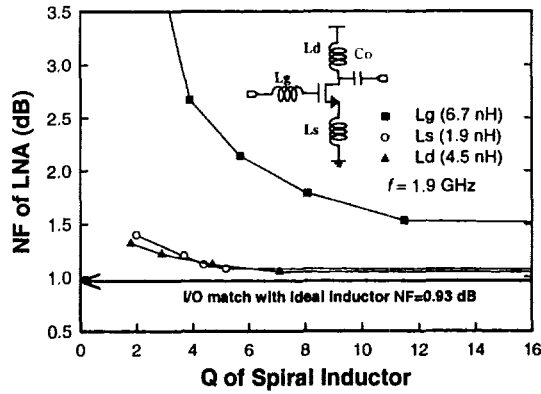


그림 3.3.45 C-S single stage LNA 의 inductor Q 에 따른 잡음특성

그림 3.3.45 는 C-S single stage LNA 의 inductor Q 에 따른 잡음특성으로 입력정합을 위한 L_g 의 quality 가 잡음특성에 심각한 영향을 미치며, 집적형 인덕터를 사용할 경우 인덕터의 Q 가 적어도 7 이상이 되어야 2dB 이하의 잡음특성을 얻을 수 있음을 보여준다. 이러한 inductor 를 얻기위해서 적용한 기술로 고저항 기판을 사용하였으며, $3\mu\text{m}$ 의 metal 을 적용할 경우 1.9 GHz 용 LNA 에 필요한 Q 값을 얻을 수 있음을 그림 3.3.46 에서 보여준다.

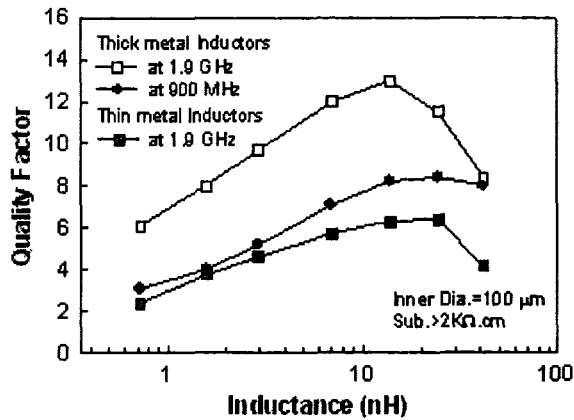


그림 3.3.46 Thick metal($3\mu\text{m}$)을 적용했을때 inductor 의 quality factor[1].

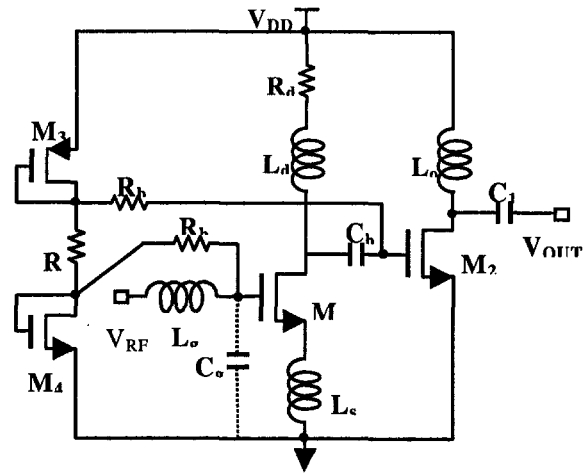


그림 3.3.47 900MHz 용 및 1.9GHz 용 LNA 회로도

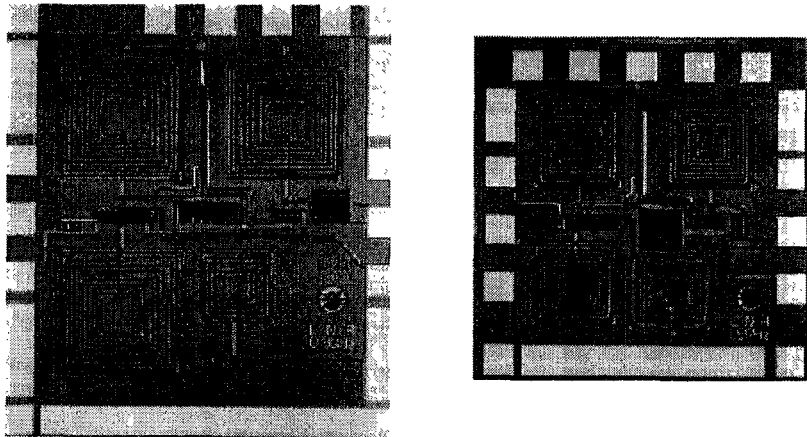


그림 3.3.48 완전 집적형 900MHz/1.9GHz 용 LNA. Chip size of 900 MHz LNA $1.1 \times 1.2 \text{ mm}^2$, 1.9 GHz LNA : $0.93 \times 0.93 \text{ mm}^2$ [2].

이러한 결과를 바탕으로 900MHz 용 및 1.9GHz 용 LNA 를 설계하였으며 그림 3.3.47 에 회로도를 보여준다. 기본회로는 같으며, 입/출력 정합을 위한 L 및 C 값만이 900 MHz 경우와 1.9GHz 의 경우가 다르다. 그림 3.3.48 은 완전 집적형 900MHz/1.9GHz 용 LNA 의 칩사진으로 면적은 900MHz 경우가 $1.1 \times 1.2 \text{ mm}^2$ 이었고, 1.9GHz 경우가 $0.93 \times 0.93 \text{ mm}^2$ 이었다.

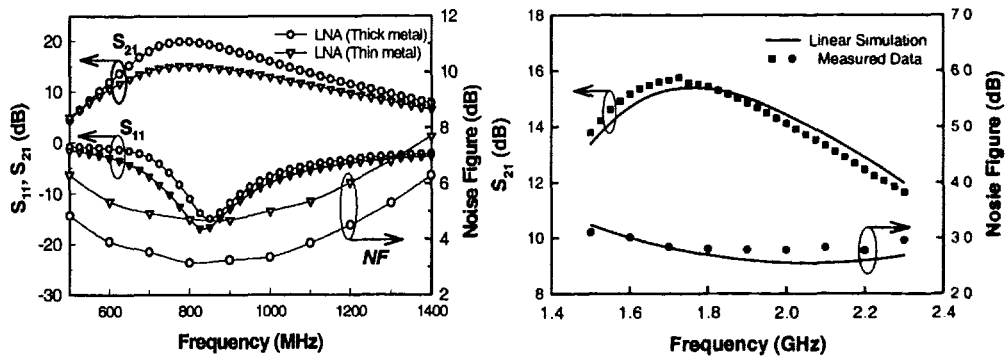


그림 3.3.49 완전 집적형 900MHz/1.9GHz 용 LNA 의 전력이득 및 잡음특성. Thin metal 적용시와 thick metal 적용시의 성능비교[3-4].

그림 3.3.49 은 완전 집적형 900MHz/1.9GHz 용 LNA 의 전력이득 및 잡음 특성 이다. 900MHz LNA 의 경우 thick metal 적용시의 전력이득은 -4dB, 잡음특성은 2 dB 의 개선을 보여 20dB 의 이득과 3.3dB 의 잡음특성을 얻었으며, 1.9 GHz LNA 의 경우 15dB 의 이득과 2.8dB 의 잡음특성을 얻었다[2]. 그림 3.3.50 은 집적형 900MHz/1.9GHz 용 LNA 의 선형특성(two-tone test)으로 IIP3 는 900MHz 의 경우 1.0dBm 이었고, 1.9GHz 의 경우 5.0dBm 이었다. 표 3.3.7 에 완전집적형 LNA 의 성능을 요약하였다.

표 3.3.7 완전집적형 LNA 의 성능을 요약

	V_{DD} (V)	Pwr. (mW)	Gain (dB)	S_{11} (dB)	S_{22} (dB)	NF (dB)	IIP ₃ (dBm)
0.9 GHz LNA	3.6	53	19	-14	-5.4	3.3	1.0
1.9GHz LNA	3.6	54	15	-16	-6.7	2.8	5.0

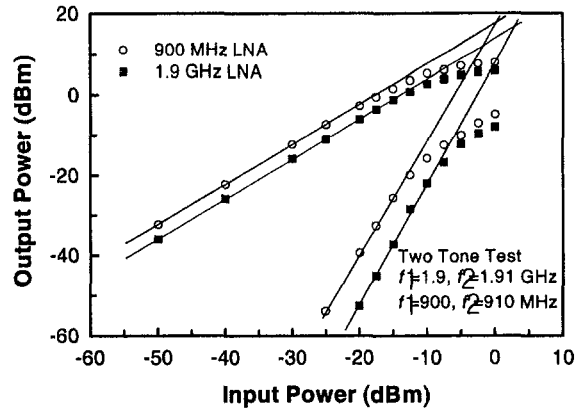


그림 3.3.50 집적형 900MHz/1.9GHz 용 LNA 의 선형특성(two-tone test)

나. 주파수 합성기

Fractional-N 주파수 합성기는 Integer-N 주파수 합성기에 비해서 좁은 주파수 해상도를 얻으면서도 위상 검출기의 입력 주파수를 높일 수 있어 높은 Loop Bandwidth 를 구현할 수 있고 주파수 스위칭을 빠르게 할 수 있으며 따라서 VCO 의 해당 In-band Noise 를 감소시킬 수 있다. 또한 입력 주파수를 높게 입력함으로써 VCO 주파수와의 나누기 비를 작게 가져갈 수 있어 VCO 의 In-band Phase Noise Floor 를 낮게 설계할 수가 있다. 그러나 Fractional-N 주파수 합성기는 Fractional spur 가 발생하는 문제점을 가지고 있어 이를 제거하기 위해서 DAC 를 이용해서 보상하는 방법, 위상 지연 단이나 위상 Interpolation 을 이용하는 방법, 델타 시그마 모듈레이터를 이용하는 방법들이 제안되었다. 델타 시그마 주파수 합성기는 델타 시그마 모듈레이터가 Noise 를 Shaping 하는 특성을 이용하여 VCO 의 출력 스퍼를 효과적으로 분산 감소 시킬 수 있다.

그림 3.3.51 은 설계된 차동 구조의 델타 시그마 Fractional-N 주파수 합성기의 전체 블록도이다.

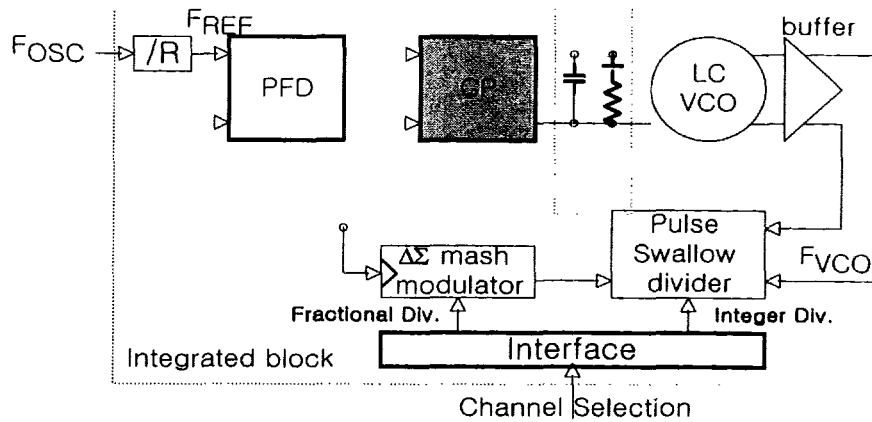


그림 3.3.51 설계된 차동 구조 델타 시그마 Fractional-N 주파수 합성기

집적된 주파수 합성기는 Reference Divider(/R) Phase Frequency Detector(PFD), Charge Pump(CP), Voltage Controlled Oscillator(VCO), Buffer, Pulse Swallow Divider, Delta-Sigma Modulator, 그리고 Interface Logic 으로 구성이 되어 있다. 다른 블록과의 집적을 위하여 주파수 합성기의 PFD, CP, LP, VCO, Buffer, 그리고 Prescaler 는 모두 차동 구조로 설계하였다. VCO 는 그림 3.3.52 와 같이 NMOS 와 PMOS 가 Cross-Couple 된 구조로 하여 전력 소모에 대해서 큰 Oscillation Amplitude 를 얻도록 하고 주파수 튜닝을 위해 NMOS Varactor 를 사용하였다.

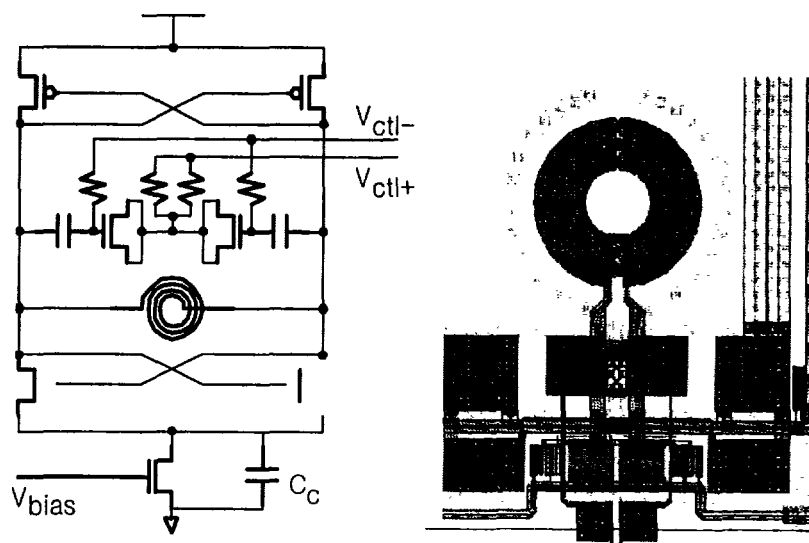


그림 3.3.52 차동 LC-VCO

VCO의 출력 스퍼를 제거하기 위한 델타 시그마 모듈레이터를 채용한 나누기 회로의 구조도를 그림 3.3.53에 나타내었다. 나누기 회로는 기존의 Dual Modulus Prescaler, Swallow Counter, Main Counter, 3차 델타 시그마 모듈레이터, 그리고 두개의 Signed Adder(SA)로 구성이 되어있다. SA1은 부호화된 Fractional Division 입력을 위한 것이며 SA2는 Swallow Counter의 입력 값을 모듈레이션하기 위한 것이다. 고안 설계된 그림 3.3.53의 나누기 회로는 간단한 구조를 가지면서 넓은 범위의 나누기 비율 구현할 수 있으며 Swallow Counter의 값을 모듈레이션함으로써 아래의 식과 같은 나누기 비를 얻는다.

$$F_{REF} = \frac{F_{OSC}}{R}$$

$$F_{VCO} = \left\{ \frac{(2^m - k) \cdot [(P+1) \cdot S + P \cdot (M - S)] + k \cdot [(P+1) \cdot (S+1) + P \cdot (M - (S+1))]}{2^m} \right\} \times f_{REF}$$

$$= \left[P \times M + S + \frac{k}{2^m} \right] \times f_{REF}$$

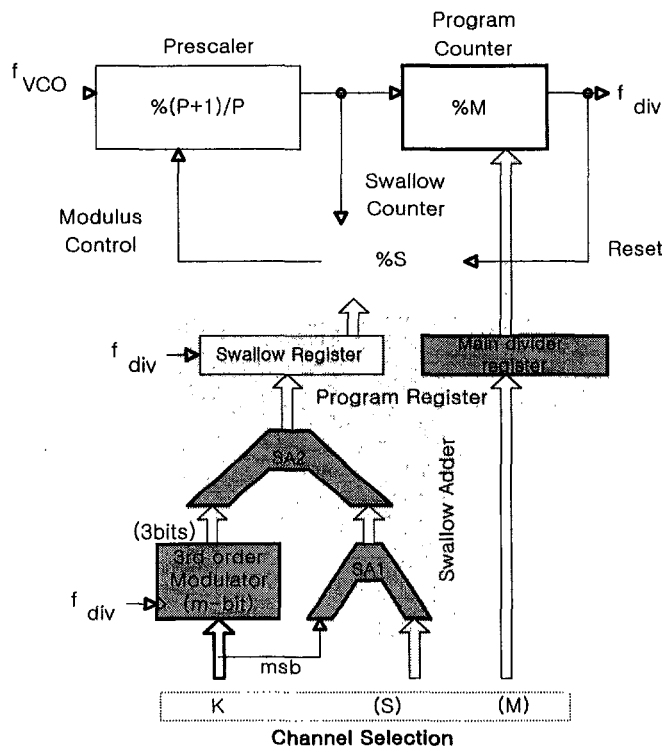


그림 3.3.53 Swallow Control $\Delta\Sigma$ Modulation divider

그림 3.3.54 에 제안 설계된 나누기 회로의 Timing Diagram 을 나타내었다. Swallow Counter 의 값은 Timing Diagram 에 나타내었듯이 f_{DIV} 의 매 주기마다 새롭게 Load 되어 주파수를 모듈레이션 시킨다. 그러므로 Swallow Counter 의 범위는 사용된 Mash 구조의 델타 시그마 출력 범위가 $-3 \sim 4$ 이므로 $-3+S \sim 4+S$ 가 된다.

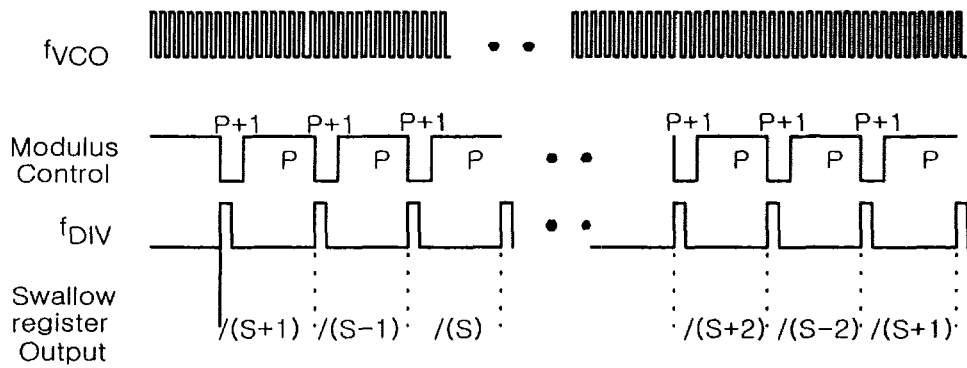


그림 3.3.54 Timing Diagram of the Swallow Control $\Delta\Sigma$ Modulation divider

그림 3.3.55 는 설계된 델타 시그마의 Noise Shaping 특성을 보기 위해 모듈레이터 출력을 FFT 한 결과이다.

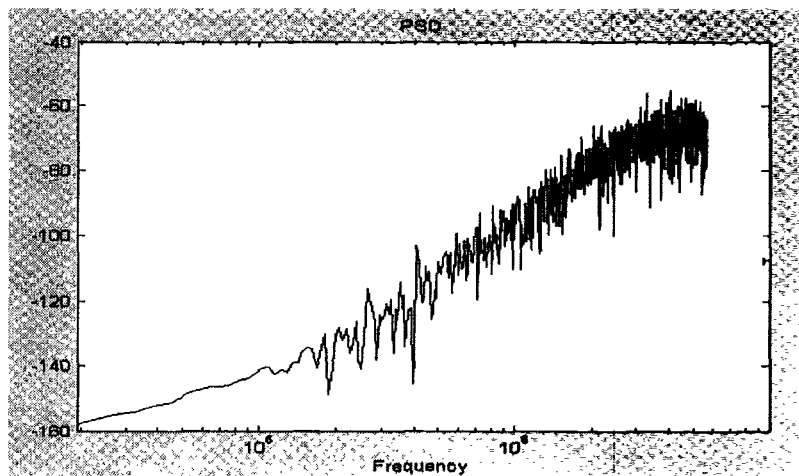


그림 3.3.55 Mash 델타 시그마 모듈레이터 출력의 FFT

설계된 나누기 회로는 모듈레이터에 Offset Value 를 주어 $1/(2^m - \text{offset}) * f_{\text{REF}}$ 의 주파수 해상도를 가지며 분수비를 위한 K 의 입력 범위는 $-0.5/(2^m - \text{offset}) \sim +0.5/(2^m - \text{offset})$ 가 된다.

그림 3.3.56 는 VCO 가 집적 설계된 델타 시그마 주파수 합성기의 도면이다.

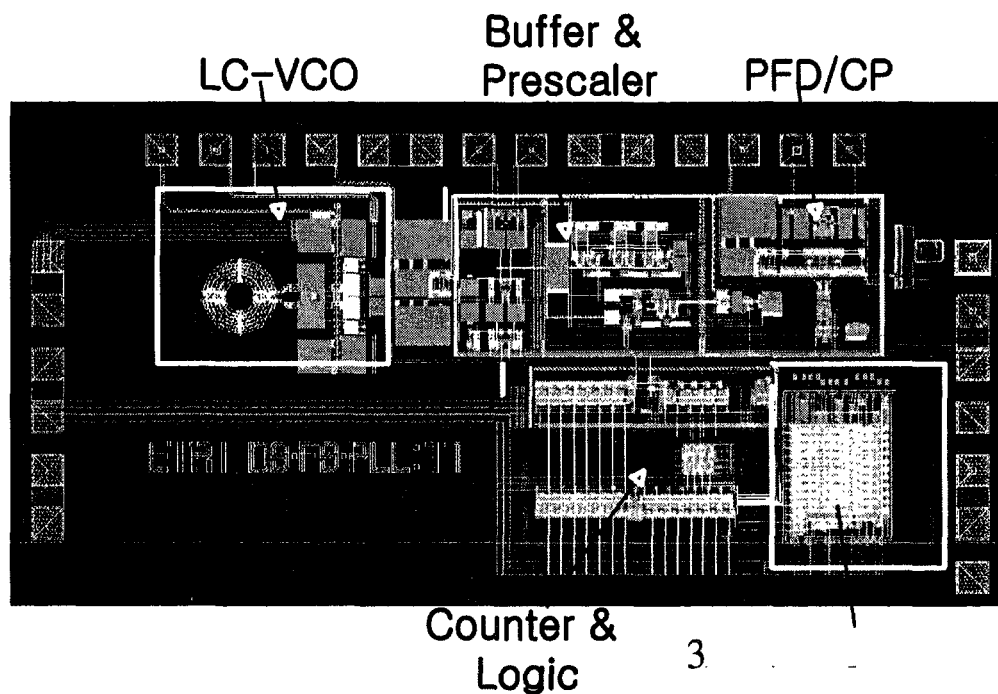


그림 3.3.56 주파수 합성기 설계 도면

설계된 주파수 합성기는 40mW의 전력 소모, 주파수 해상도는 5kHz, $M * P + S + k / (2^m - 80)$ 의 나누기비, 면적은 $2.4 \times 1.2 \text{mm}^2$, $-120 \text{dBc/Hz}@1 \text{MHz}$ 의 위상 노이즈, 그리고 1.85~2.4GHz의 주파수 튜닝 범위를 가진다.

참고문헌

- [1] M. Park, C. S. Kim, J. M. Park, H. K. Yu, and K. S. Nam, " High Q Microwave Inductors in CMOS Double-Metal Technology and Its Substrate Bias Effects for 2 GHz RF ICs Application," in *IEDM Technical Digest*, pp. 983-986, Dec. 1997.
- [2] C. S. Kim, H. K. Yu, H. Cho, S. Lee, and K. S. Nam, " CMOS Layout and Bias Optimization for RF IC Design applications," in *IEEE MTT-s Microwave Symposium Digest*, pp. 945-948, 1997.
- [3] C. S. Kim, M. Park, C. H. Kim Y. C. Hyeon, H. K. Yu, K. Lee and K. S. Nam, " A Fully integrated 1.9 GHz CMOS Low Noise Amplifier," in *IEEE Microwave and Guided Wave letters*, vol. 8, pp. 293-295, Aug., 1998
- [4] C. S. Kim, M. Park, C. - H. Kim, H. K. Yu, K. Lee, D. Y. Kim, and H. Cho, " Thick Matal CMOS Technology on High Resistivity Substrate for Monolithic 900 MHz and 1.9 GHz CMOS LNAs," in *IEEE MTT-s Microwave Symposium Digest*, pp. 573-576. 1999.

제 4 장 결 론

여 백

제 4 장 결론

1~2GHz 대역 RF IC 시장은 가장 시장이 큰 반면 기술 경쟁이 그만큼 치열하게 전개되고 있다. 따라서 다중밴드 RF 칩의 경우, 각 서비스 (Band) 마다 최적화된 성능의 RF IC 구현을 기반으로 초점이 맞추어 지고 있으며 그만큼 RF IC의 유연성이 저하되고 있다. 또한 구체적인 응용분야가 확정된 경우, 대규모 투자에 의해 단시일에 경쟁력 있는 칩 제작이 이루어져야 하므로 근본적인 기술발굴 및 개발이 어렵다.

본 연구팀은 상기한 특정용도의 집적회로기술개발 사업이 갖는 한계점을 극복하고 보다 원천적인 기술을 확보하기 위해 지난 2년 동안 국가지정 연구실 1 단계 사업을 추진 하였다. 기존의 개발방법과는 달리 팀 내 기반 기술로 확보하고 있는 RFCMOS 집적회로 설계기술을 바탕으로 RF transceiver의 top-down 설계 방식을 도입하였다. 먼저 transceiver 구조설계를 위한 mixed mode 통합 시뮬레이션 환경을 구축, 초기검증을 완료 하였으며 규격설계의 최적화와 관련 핵심 블럭의 설계/검증과정을 통해 새로운 transceiver 구현을 위한 기반을 확보 할 수 있었다.

그 결과, 광대역, 다중밴드 수용을 위한 새로운 EH-DCR, Low-Weaver 구조가 설계, 제작되었으며 관련 특허도 출원 완료 하였다. 또한 핵심블럭에 요구되는 고성능 RF 집적회로 설계도 수행되었다. 400MHz~1.0GHz 대역에서 약 55dB 이상의 이미지 제거능력을 가지는 저전력 이미지 제거용 주파수 혼합기, 멀티밴드 수용을 위한 500MHz~1.9GHz 의 광대역 Up/Down Converter, Dual-band 를 위한 VCO 내장형 fractional 주파수합성기 등이 설계 완료된 바 있으며 일부는 현재 제작이 진행 중이다.

한편 본 연구팀이 개발하고 있는 RF CMOS 기술 연구내용은 홈페이지를 개설하여(<http://rfcmos.etri.re.kr>) 운영하고 있으며, RF CMOS 기술분야에 산학연 협력 거점으로서의 활동도 다양하게 수행해 왔다. 2000년 5월 “제 1 회 RF CMOS 집적회로 기술 Workshop” 를 개최하였고 2001년 7월에는 그 범위를 보다 확대하여 “제 2 회 실리콘 RF 집적회로 기술 Workshop” 을 개최하여 산, 학, 연 30 기관 약 190여명이 참가하여 우리나라

실리콘 RF 기술 발전을 위한 활발한 기술토론을 진행한 바 있다.

현재 통합 칩을 위한 대부분의 노력은 전술한 바와 같이 새로운 Transceiver 구조개발이나 특화 된 협대역 RF IC 의 조합으로 진행되고 있다. 그러나 이러한 개발 방향은 모두 특정 응용분야에 국한되어 설계, 제작되면서 상용화에 목적이 있는 바, 차세대의 다양한 서비스 발전에 보다 유연하게 대응하는 데는 근본적인 한계가 있다. 이에 대응하여 본 연구팀은 1 단계의 사업 결과로 확보하게 된 광대역 RF transceiver 구조 및 핵심 블럭설계 기술을 기반으로, 2 단계 사업에서는 가변 성능의 RF IC 핵심 블럭 구조 및 회로설계, 가변 Block 수용의 새로운 Transceiver 구조 설계의 새로운 기법을 도입함으로써 RF CMOS IC 및 Transceiver 구조에 대한 보다 원천적인 기술을 확보해 나갈 계획이다.

平 理

여 백

부 록

국내외 전문 학술지

1999년

논문제목	학술지 명칭	연도, 호	발행기관(국명)
1 Thick Metal CMOS Technology on High Resistivity Substrate for Monolithic L-band CMOS LNAs	ETRI JOURNAL	1999.12	ETRI(한국)
2. Effects of Substrate Resistance on Microwave Characteristics of MOS Transistor	JEEIS	1999, Vol.4 pp244-248.	대한전기학회 (한국)
3. Frequency dependent resistance of planar spiral inductors	Journal of Korean Physical Society (JKPS)	1999. 11	대한민국
4. Frequency dependent series resistance of monolithic spiral inductor	IEEE Microwave and Guided Wave Letters (MGWL)	1999.11	미국
5.Unique extraction of substrate parameters of common-source MOSFET's	IEEE Microwave and Guided Wave Letters	1999, vol. No. 3	IEEE
6.Active impedance transformation technique for wide bandwidth and gain boosting	Electronics Letters	1999	IEE(영국)
7. Accurate High-Frequency Equivalent Circuit Model of Silicon MOSFETs	Electronics Letters 19th, Aug.	1999	IEE(영국)
8. A Semi-analytical Parameter Extraction of SPICE BSIM3v3 for RF MOSFETs Using S-parameters	IEEE TR. on MTT	1999	IEEE
9. A process and environment tolerant 3V, 2GHz VCO with 0.8um CMOS Technology	IEEE TR. on Consumer Electronics	1999. Vol45,	IEEE

2000년

논문제목	학술지 명칭	연도, 호	발행기관 (국명)
1. 실리콘 기판위의 나선형 인덕터에 대한 SPICE 모델	전자공학회논문지	2000.10. 01	한국
2. An Improved BSIM3v3 Model for RF MOSFET IC Simulation	Electronics Letters	2000.10. 12	IEEE(미국)
3. A New Techique to Extract Channel Mobility in Submicron MOSFET's using Inversion Charge Slope Obtained from Measured S.Parameters	IEEE Tr.on Electron Devices	2000.09. 30	IEEE
4. RF Performance Degradation in nMOSFET due to Hot Carrier Effects	IEEE Tr.on Electron Devices	2000.5.	IEEE
5. A Semianalytical Parameter Extraction of a SPICE BSIM3v3 for RF MOSFET's Using S.Parameters	IEEE Transactions on Microwave Theory and Techniques	2000.03. 31	IEEE
6. RF CMOS 소자 온도에 따른 DC 및 RF 특성	전자공학회 논문지	2000.3.3 1	전자공학회 (한국)
7. Gate layout and Pad Structure of RF nMOSFET for Low Noise Performance	IEEE Electron Device Letters	2000.12.	IEEE
8. A New Extraction Method of Small-Signal Parameter of MOSFET for RF Modelling	J. Elect Eng. & Information Science	2000.6.	KIEE

2001년

논문제목	학술지 명칭	연도, 호	발행기관(국명)
A Small-Signal RF Model and Its Parameter Extraction for Substrate Effects in RF MOSFETs	IEEE Electron Device	2001, No7, Vol48	IEEE (미국)

국내외 학회 발표논문

1999 년

논문제목	학술회의 명칭	연도, 호	장소, 국명
1.Thick Metal CMOS Technology on High Resistivity Substrate for Monolithic 900 MHz and 1.9 GHz CMOS LNAs	99 IEEE MTT-S International Microwave Symposium	1999 pp.573-576	Anaheim,CA 미국
2.Monolithic L-band CMOS LNAs Performance with the Ground Patterned Spiral Inductors	99 International Workshop on Advanced LSI's and Devices'	1999 pp.166-170	평창(강원도) 한국
3.Frequency dependent resistance of planar spiral inductors	제6회 한국반도체학술대회	1999	연세대, 한국
4.Suppression of third-order intermodulation distortion signals by novel methods	99 International Workshop on Advanced LSI's and Devices'	1999	평창, 한국
5.A 100V, 10mA High-voltage driver ICs for FED applications	99 AP-ASIC	1999	IEEE SSCS/EDS, 연세대, 한국
6.FED 패널 구동을 위한 고전압 Row/Column 구동 IC	FED Workshop '99	1999.	FE 연구회, 관동대, 한국
7.A 330MHz Low Jitter and Fast Locking Direct Skew Compensation DLL	ISSCC	2000	San Francisco ,USA
8. Impact of RF CMOS technologies for the next generation mobile handsets and terminals	3rd China CDMA International Summit	1999	베이징
9. RF CMOS 집적회로 기술 현황 및 발전방향	대한전자공학회	1999	목포 (한국)

10. RF CMOS Device and Design Technology, Int'l Workshop on Advan. LSIs & Devices, 99-07.	99 International Workshop on Advanced LSI's and Devices'	1999	평창(강원도) 한국
11. Experimental Investigation of Temp. Dependent RF Performance of RF CMOS Devices	6th Inte'l Conf. on VLSI & CAD, ICVC '99	1999	서울(한국)
12. Improved Small-signal Modelling of RF Si MOSFETs	6th Inte'l Conf. on VLSI & CAD, ICVC '99	1999	서울(한국)

2000년

논문제목	학술회의 명칭	연도, 호	장소, 국명
1. 직접변환수신기에 적합한 주파수변환기의 성능분석	한국 전자파학회 종합학술대회	2000.11 .04	대한전자파학회 한국
2.Design Guide of Coupling between Inductors and Its effect on Reverse Isolation of CMOS LNAP	2000 International Microwave Symposium (MTTS)	2000.06 .11	IEEE (미국)
3.Failure Analysis of 10-13 Ghz Phase Shifter MMIC	International Symposium on the Physics of Semiconductors and Applications	2000.11 .3	한국
4. Interdigitated Metal Capacitor의 RF특성 고찰	전자정보통신학술대회	2000.11 .21	한국
5. A New Method to Determine Channel Mobility in Submicron MOSFET using S-Parameter	SISPAD	2000.9. 6-8	미국, 워싱턴

6. RF MOSFET SPICE Model with New Substrate Network	RAWCON2000	2000.11.10-13	미국 덴버
7. A Image Rejection Down Conversion Mixer Architecture	TENCON 2000	2000.9.24-27	말레시아

2001년

논문제목	학술회의 명칭	연도, 호	장소, 국명
Noise Linearity Optimization for 2 stage RF CMOS LNA	TENCON2001	2001.8	싱가포르
- Silicon Substrate Coupling Noise Modeling, Analysis, and Experimental Verification for Mixed-mode Signal	IEEE-MTT-S 2001 Proceeding	2001.5.20	EEE, 미국
Deep trench guard technology to Suppress Coupling between Inductors in Silicon RF ICs	International Microwave Symposium (IMS or MTT-s)	2001. 5.20	피닉스 (미국)
Improved SPICE Modeling and Parameter Extraction for RF MOSFETs	European Solid State Device Research Conference (ESSDERC)	2001. 9	뉴렌베르그(독일)
Trenched Sinkers LDMOSFET Structure for High Power Amplifier Application above 2 GHz	International Electron Device Meention (IEDM)	2001. 12	워싱턴 DC (미국)