

국제공동연구사업  
최종 보고서

OTA 및 SC회로를 이용한 ANALOG 집적회로 개발  
Development of Analog Integrated Circuits  
using OTA & SC Circuits

주관연구기관

전북대학교 전기전자회로합성연구소, 한국

공동연구기관

Technical University of Gdansk, Poland

과 학 기 술 부

# 제 출 문

과 학 기 술 부 장 관 귀하

본 보고서를 “OTA 및 SC 회로를 이용한 analog 집적회로 개발” 과제의 보고서로 제출합니다.

1998. 11.

주관연구기관명 : 전 북 대 학 교

총괄연구책임자 : 김 동 용

연 구 원 : 최 석 우

연 구 원 : 윤 창 훈

연 구 원 : 방 준 호

공동연구기관명 : 폴란드 그단스크대학교

전자기술연구소

공동연구책임자 : Michal Bialko 교수



## 요 약 문

### I. 제 목

“ OTA 및 SC 회로를 이용한 analog 집적회로 개발 ”

### II. 연구개발의 목적 및 필요성

#### 1) 연구개발의 목적

아날로그 필터, 오실레이터, 비교기, A/D 변환기등 아날로그 응용회로에서 매우 중요하게 사용되고 있는 연산증폭기, 전류제어증폭기 및 적분기등의 능동소자들을 보다 폭넓은 분야의 아날로그 응용회로에 사용할 수 있도록 그 특성을 개선하고, 증명한다.

#### 2) 연구의 필요성

디지털 신호처리 회로는 전자회로의 발달과 더불어 매우 빠른 속도로 발전하여 왔다. 따라서 근래에 들어서 전자회로의 집적화 및 소형화, 고속화등으로 인하여 일부 아날로그 회로가 디지털 회로등으로 대체되는 등 아날로그 신호처리 회로에서 발생하는 여러가지 문제점을 해결하는 시도가 진행되고 있다. 그러나 신호처리 시스템이 고성능화 되어감에 따라서 아날로그 회로의 필요성은 오히려 증가하는 추세이고, 특성을 개선하기 위한 연구가 활발하게 진행중이다. 현재 미국, 일본등을 비롯한 기술선진국에서는 아날로그 회로 설계에 대한 연구가 매우 활성화

화되어 있으며 실제 비메모리 반도체 부류의 고부가가치 반도체 회로 개발에 박차를 가하여 이를 통한 기술 및 상용제품 수출에 크게 기여하고 있다. 이에 비하여 국내의 아날로그 회로 설계 기술개발을 위한 연구활동은 상대적으로 매우 저조한 편이다. 이러한 관점에서 본 연구에서는 아날로그 회로의 전체 성능을 크게 좌우하고 있는 연산증폭기, 전류제어증폭기 및 적분기 등의 특성을 개선시킴으로써 이를 이용하는 아날로그 회로의 특성을 개선시키는 데 역점을 두었다.

### III. 연구개발의 내용 및 범위

#### 1) 연산증폭기(Operational amplifier)에 대한 연구

연산증폭기의 큰 역할중의 하나가 증폭특성이기 때문에 연산증폭기의 구조는 증폭단을 중심으로 이루어져 있다. 따라서 증폭특성을 개선시키기 위해서는 일반적으로 증폭단의 수가 2개 이상이다. 그러나 이러한 증폭단의 수는 증폭기의 주파수 특성을 제한하는 결정적인 요인이 된다. 이러한 이유로 지금까지 고주파 특성을 갖는 증폭기의 구조는 한 개의 증폭단을 갖는 1단 구조로 설계되었으며 증폭특성의 저하에 따른 여러가지 문제점을 해결하기 위하여 다양한 구조가 연구되고 있다. 본 연구에서는 이러한 연구 경향에 비교적 부합하게 한 개의 이득단을 갖는 증폭기를 설계하여 주파수특성을 개선하였고 이에 따른 이득특성, 잡음특성등을 보완하기 위하여 새로운 형태의 입력단을 설계, 보완하였다.

## 2) 전류제어 증폭기(Operational Transconductance Amplifier)에 대한 연구

전류제어 증폭기는 입력에 인가되는 전압을 출력에서 전류로 얻음으로써 트랜스컨덕턴스 값을 얻어내는 회로이다. 트랜스컨덕턴스는 외부에 연결되어진 커패시터등과 같은 소자와 연결되어 여러가지 회로로 구성될 수 있는데 특히 고주파용 아날로그 필터 설계분야에서 매우 유용하게 이용되고 있다. 그러나 이 소자의 특성을 최대한 활용할 때 입력 회로의 전압-전류 선형범위가 매우 중요한 설계 요건이 된다. 본 연구에서는 전류제어 증폭기의 입력선형범위를 증가시킬 수 있는 구조를 설계하였다. 또한 설계된 전류제어 증폭기를 실제 고주파용 저역통과 필터를 구성하는데 이용하여 설계된 전류제어 증폭기의 활용도를 확인하였다.

## 3) 전류모드 적분기(Integrator)에 대한 연구

본 연구에서는 아날로그 능동필터를 설계하는데 많이 이용되고 있는 적분기의 구조를 개선하여 새로운 전류모드 적분기를 설계하였다. 설계된 적분기는 외국저널지에 발표된 적분기들과 비교하여 주파수특성이 향상되었을 뿐 아니라 이득과 위상특성면에서도 우수한 특성을 나타내었다. 적분기는 완전균형 구조를 가지며, 이유는 현재 급증하는 저전압, 저전력 연구에 부합하고자 선택되었다. 또한 설계된 적분기의 실제 개선된 특성을 확인하기 위해 3차의 Chebyshev 능동저역필터를 설계하고 국내의 반도체설계교육센터(IDECC)에서 시행하는 MPW(Multi-Project Wafer)사업에 참여하여 실제 칩을 구성하였다.

## IV. 연구개발결과

- 연산증폭기의 주파수 특성 개선
- 전류제어증폭기(OTA) 입력선형범위 개선
- OTA를 이용한 고주파용 저역통과 필터 설계
- 새로운 구조의 적분기 설계
- 설계된 적분기를 이용한 능동저역필터 칩 설계
- 국제학술발표 2회, 국내저명학술지 게재 1편

## V. 연구개발결과의 활용계획

본 연구에서는 아날로그 회로를 구성하고 있는 기본 회로중에서 특히 매우 중요하게 이용되고 있는 여러 가지 능동소자들의 성능을 개선시켰다. 설계된 소자들을 실제 아날로그 회로에 응용할 때 아날로그 회로의 성능을 개선시킬 수 있다. 이러한 관점에서 본 연구에서 설계된 소자들은 여타의 아날로그 회로 설계시에 적절하게 활용 될 수 있으며, 고성능 아날로그 회로 설계자들에게 기본 회로 설계기술에 있어서 도움이 되리라 사료된다.

기대되는 성과로는 다음과 같다.

- 아날로그 기본 소자 및 응용 회로 설계 기술의 발달에 기여
- 고성능 아날로그 회로 설계를 위한 기본 구성회로 설계기술향상
- 비메모리 반도체 설계 기술 향상에 기여
- 설계된 칩을 이용한 학부 및 대학원생들의 실제 교육참여

# SUMMARY

## I. Title

“ Development of Analog Integrated Circuits using OTA & SC Circuits.”

## II. The purpose and significance of the research and development

### 1) The purpose of this research and development

Operational amplifier (Op-amp), operational transconductance amplifier (OTA) and integrator that using analog application systems such as analog filters, oscillator, comparator, A/D converter are very important devices. We will improve the characteristics of the op-amp, OTA, integrator.

### 2) The significance of this research and development

Digital signal processing circuits have rapidly developed with the development of the electronics circuits. Recently, according to requesting integration, high speed, small size in electronics circuits design, analog circuits design methods also follow this way. Nowadays, technical advanced nations such as USA and Japan perform very active research activity about the analog signal

processing systems, and also this nations obtain much economic gains. But the domestic researches for analog signal processing circuits design which is mostly dependent on high performance technologies are poor. And the research for development technique of analog basic devices is also lacks. Therefore to perform this research is needs for advancing analog systems of the domestic.

### III. The contents and range of this research and development

#### 1) A research for improvement of the op-amp performance

Op-amp is composed with amplifier stages whic are very important circuits of the op-amp characteristics. And commonly two and more stages used in the op-amp for improving amplify performance. But this architecture can limit the frequency range. Therefore, to conquest this problem the op-amp is designed as one stage architecture without failing off another characteristics. In this research, a new differential input stage are designed for improving the frequency range of the op-amp. And also, another characteristics such as gain, noise, etc is not decreased

#### 2) A research for improvement of the OTA performance

OTA can make the transconductance which is output current by the input voltage. With capacitors the transconductance can use



composing many analog circuits. The OTA is very useful in analog systems such as the high frequency filter. But this circuit should be carefully designed for adjusting in the high performance circuits. The input linearity of the OTA is very important value and this linearity can decide the overall characteristics. In this research, we propose a new OTA circuit with wide linear input stage. A high frequency lowpass filter is designed using the designed the CMOS OTA. As results of this research, the designed CMOS OTA is inspected as a useful analog application circuit.

### 3) A research for improvement of the integrator performance

In this research, it is designed a new integrator using the analog circuit design that improve the architecture. The integrator improve frequency, gain and phase characteristics of the complementary integrator. For low-voltage, low-power, the integrator which is basic building block in an active filter design, is constructed with the fully-balanced architecture using two complementary input stages. For proof the characteristics, current-mode third-order lowpass active filter is designed with the proposed integrator. And then the filter is made on chip at the integrated circuit design education center(IDEDEC).

#### IV. The results

- Improvement of the op-amp frequency range.
- Improvement of the input linearity of the OTA
- Design of a high frequency lowpass filter using the OTA
- Design of a new integrator
- Design of a lowpass filter using the integrator
- Analog VLSI workshop(1998.June), Journal of IEEK (1998.June)

#### V. Plan of the application

Op-amp and OTA which are treated in this research are very important devices in analog signal processing systems and their application area is very wide. Newly designed op-amp and OTA can be used in designing of the several high performance analog circuits.

Expecting accomplishments are as follows.

- Development of the design method of the analog subsystems.
- Enhancement of the design technology of high performance circuit
- The enhancement of design technology of the non-memory semiconductor devices in domestic.
- Education of the student for real experience.

# CONTENTS

Chapter 1. Introduction . . . . .	14
Chapter 2. Environment of the research topic . . . . .	17
Chapter 3. Research contents & results . . . . .	20
Section 1. Research results of Poland team . . . . .	20
Section 2. Operational Amplifier . . . . .	33
1. Analysis of the CMOS OP-Amp . . . . .	33
2. Design of the CMOS op-amp . . . . .	37
3. Simulation . . . . .	51
4. Layout of the designed CMOS op-amp . . . . .	58
5. Design of the high frequency CMOS op-amp . . . . .	59
Section 3. Operational Transconductance Amplifier . . . . .	68
1. Analysis of the CMOS OTA . . . . .	68
2. Design of the CMOS OTA . . . . .	71
3. Simulation . . . . .	78
4. Layout of the designed CMOS OTA . . . . .	84
5. Design of the application circuit . . . . .	85

Section 4. Integrator . . . . .	104
1. Analysis of the CMOS integrator . . . . .	104
2. Design of the CMOS integrator . . . . .	111
3. Computer simulation . . . . .	123
4. Design of the application circuit . . . . .	125
5. Layout of the designed active filter . . . . .	134
Chapter 4. Achievement of the research . . . . .	138
Section 1. Purpose of the research . . . . .	138
Section 2. Achievement of the research . . . . .	139
Section 3. Contribution of the research . . . . .	141
Chapter 5. Plan of the application . . . . .	148
Chapter 6. References . . . . .	149

# 목 차

제1장. 서론	14
제2장. 국내외 기술개발 현황	17
제3장. 연구개발수행 내용 및 결과	20
제1절 폴란드측 연구과제 수행 내용	20
제2절 연산증폭기(OP-AMP)	33
1. CMOS 연산증폭기의 구조해석	33
2. CMOS 연산증폭기의 설계	37
3. 시뮬레이션	51
4. 설계된 CMOS 연산증폭기의 layout	58
5. 고주파용 CMOS 연산증폭기 설계	59
제3절 전류제어증폭기(OTA)	68
1. 전류제어증폭기의 구조해석	68
2. 전류제어증폭기의 설계	71
3. 시뮬레이션	78
4. 설계된 CMOS 전류제어증폭기의 layout	84
5. CMOS 전류제어증폭기 응용회로 설계	85

제4절 적분기 (INTEGRATOR) . . . . .	104
1. 적분기의 구조해석 . . . . .	104
2. CMOS 적분기 설계 . . . . .	111
3. 시뮬레이션 . . . . .	123
4. CMOS 적분기 응용회로 설계 . . . . .	125
5. 설계된 능동필터의 layout . . . . .	134
제4장 연구개발목표 달성도 및 대외기여도 . . . . .	138
제1절 연차별 연구개발 목표 . . . . .	138
제2절 연구개발목표의 달성도 . . . . .	139
제3절 연구개발의 대외기여도 . . . . .	141
제5장 연구개발결과의 활용계획 . . . . .	148
제6장 참고문헌 . . . . .	149

## 제 1 장 서 론

1958년 J.S. Kilby에 의해 집적회로 기술이 개발된 이후, 집적회로(IC)에 대한 연구는 급속하게 진전되어 1970년대 중반에는 10,000개 이상의 트랜지스터를 하나의 칩속에 집적화할 수 있는 대규모 집적화 기술(VLSI)이 개발되었으며, 현재는 2,000만개이상을 집적화할 수 있는 초고집적화 기술(ULSI)이 이용되고 있다.

이와 같은 집적회로는 크게 아날로그 회로와 디지털 회로로 나눌 수 있다. 아날로그 회로는 일찌기 개발되어 각종 부품에 사용되어 지다가, 회로 실현의 난해도가 매우 높고 개발 비용이 고가인 관계로 디지털 회로에 의해서 점차적으로 대체되어 왔다. 그러나 1980년대 중반 부터 연속 신호처리 기술에 대한 디지털 회로의 한계가 나타남으로 인해 아날로그 회로에 의한 실현의 중요성이 다시 대두되었고 학계를 중심으로 또다시 활발한 연구가 진행중이다. 또한 외국의 반도체 생산업체에서도 개발이 용이하며, 저가의 노동력을 앞세워 가격 경쟁력을 갖고 있는 개발도상국에 의해 잠식되어지는 메모리계통의 디지털 시장을 포기하고 이로 인한 적자를 만회하기 위하여 비메모리계통의 아날로그 회로 개발에 집중적인 연구비를 투자하였다. 90년대 초, 상대적으로 손쉬운 기술을 필요로 하는 메모리 반도체등을 중심으로 발전하여온 국내의 반도체 업계는 후발개도국의 추적과 선진기술국과의 경쟁에 있어서 그 한계가 드러남에 따라 반도체 분야에 있어서도 다변화가 절실히 요구되고 있는 실정이다. 이를 극복하기 위해서는 비메모리 분야에 있어서 주류를 이루고 있는 아날로그 반도체 설계 기술 발전을 위한 노력이 더욱 요구되리라 생각된다.

아날로그 회로는 연속시간 회로와 이산시간 회로로 나뉘어진다. 아날로그 회로의 발달은 저항, 캐패시터, 인덕터, 트랜지스터등으로 연속적인 시간을 처리연속시간 회로 형태로부터 출발하였는데 그 이후 고속화, 고정밀화, 소형화를 요구하는 전자회로 응용분야에 부합하기 위하여 여러가지 노력이 진행되었다. 아날로그 이산시간 회로는 스위치드캐패시터 회로로 대표될 수 있는데 이 회로는 디지털 회로의 장점을 일부 도입하여 아날로그 회로의 신호처리 속도를 개선시키고자 하였다. 그러나 스위칭 회로의 한계성 잡음특성의 저하등으로 인하여 그 동작 주파수 특성에 있어서 한계가 나타났으며, 특히 내부 소자로 이용되는 연산증폭기(Operational Amplifier)의 주파수특성의 단점으로 인하여 고주파 신호처리 경향의 전자회로 응용에 있어서 취약점을 드러내었다. 그후 엄청난 속도로 발전하고 있는 집적회로 설계 기술에 의하여 아날로그 고성능 회로설계에 있어서도 연속시간 회로에 의한 가능성이 대두되었으며 현재 미국, 일본등 이 분야의 선진 기술국들을 중심으로 이에 대한 연구가 매우 활발하게 진행중이다.

연속시간 아날로그 신호처리 회로 설계에 이용되고 있는 여러가지 소자중에서 필터합성등에 매우 유용하게 이용되고 있는 소자로써 OTA(Operational Trans-conductance Amplifier), 적분기등이 있다. 전류제어증폭기는 연산증폭기에 비하여 주파수특성이 우수하고 비교적 적은 칩면적을 가지기 때문에 고속, 소형화의 시스템 설계에 적합하여 아날로그 필터뿐만 아니라 그밖에 많은 분야에 활용도가 높아지고 있는 추세이다. 또한 적분기는 전류모드로 구동함으로써 저전압, 저전력화가 용이하다는 장점을 가지고 있다.

본 연구에서는 아날로그 회로 설계 기술의 향상을 위한 측면에서 아날로그 시스템설계에 있어서 매우 중요하게 이용되고 있는 연산증



폭기(Op-Amp), 전류제어증폭기(OTA) 그리고 적분기(integrator) 회로를 연구 고찰하고 특성을 개선하여 그 응용도를 높이고자 하였다. 본 연구보고서에서는 먼저 연산증폭기의 기본적인 구조를 연구고찰하였고, 이를 활용하여 주파수특성이 향상된 새로운 구조를 갖는 연산증폭기를 설계하였다. 설계된 Op-amp는 컴퓨터 시뮬레이션을 통하여 특성을 조사하였으며 최근에 발표된 국외의 논문에서 설계된 연산증폭기와도 비교하여 보았다. 설계된 연산증폭기는 상대적으로 장단점을 가지고 있으나 여러 가지 응용회로에 충분히 이용 가능하리라 생각된다. 또한 전류제어증폭기 회로의 특성 및 기본구조에 대하여 고찰하였으며 개선된 구조의 전류제어증폭기를 설계하였다. 또한 전류제어증폭기의 입력선형범위를 증가시킴으로서 향상된 여러 가지 특성을 시뮬레이션을 통하여 증명하였다. 설계된 전류제어증폭기를 고주파용 저역통과 필터설계에 이용하여 그 가능성을 검증하였다. 마지막으로 본 연구에서는 90년대 들어서 각종 휴대용 전자기기에 응용하기 위한 저전압, 저전력 연구가 각광을 받는데 부응하여 전류모드 구동 방식으로 동작가능한 새로운 구조의 적분기를 설계하여 그 특성을 검증하였으며, 그 응용회로로서 전류모드 능동저역필터를 설계하였다. 연산증폭기와 전류제어증폭기에 대한 연구는 공동연구의 상대국인 폴란드 연구팀의 주도하에 이루어 졌으며, 적분기의 특성향상을 위한 연구는 한국의 본 연구팀의 주도하에 이루어졌다.

## 제 2 장      국내 외 기술개발 현황

국내의 반도체 설계 기술은 메모리분야의 집중적인 투자로 인하여 메모리분야의 기술력은 세계적으로 우위에 있지만 본 연구와 같은 아날로그-디지털 혼성 집적회로 등으로 구성된 비메모리 반도체 설계기술에 있어서는 미국, 유럽, 일본에 비하여 상당 수준 뒤떨어져 있다. 국내에서 사용되는 대부분의 비메모리 반도체들중에서 국내의 순수기술로 만들어진 것은 극소수에 불과하다고 할 수 있다. 현재 국내의 반도체 관련 기업들이 이러한 시각을 인식하고 이 분야에 투자를 확대하고 있지만 미흡한 실정이다. 최근 주목받고 있는 저전압 저전력 혼성 집적회로용 아날로그 전류모드 능동필터 개발에 관한 연구활동의 경우, 미국, 유럽을 중심으로 89년 후반에 연구되기 시작하여 90년대초 부터 연구활동이 활발하게 진행 중이다. 그러나 이 분야의 국내의 연구활동은 매우 미흡한 편이다. 반도체업계의 기업연구소 등의 연구활동은 단기적인 상업성에 중심을 두기 때문에 본 연구분야와 같이 장기적인 연구투자를 통하여 얻어낼 수 있는 분야는 학계를 중심으로 이루어지고 있는데 이것도 소수의 대학에서 진행되고 있는 실정이다.

본 연구와 관련된 최근의 국내외 연구활동을 살펴보면 아래와 같다.

① 1990년 T. S. Fiez, D. J. Allstot등

“CMOS 스위치드 전류제자형 필터 설계”

⇒ CMOS 스위치드 전류모드 필터를 새롭게 제안

⇒ 스위치드 전류모드 적분기 설계

⇒ 스위치드 전류모드 적분기를 이용한 전류모드 필터 설계

- ② 1991년 R. H. Zele, D. J. Allstot등  
 “CMOS 연속시간 전류모드 적분기 설계”  
 ⇒ ①에서 제안하였던 스위치드 전류모드 적분기의 단점을 개선한 연속시간 형태의 전류모드 적분기를 새롭게 제안
- ③ 1992년 M. Robinson, J. Ramirez등  
 “CMOS 연속시간 전류모드 필터 설계”  
 ⇒ ②에서 연속시간 전류모드 적분기를 이용하여 연속시간 전류모드 필터 설계  
 ⇒ 3V의 저전압으로 연속시간 전류모드 필터를 새롭게 구현
- ④ 1993년 S. L. Smith, E. S. Sinencio등  
 “CMOS 저전압 저전력 고주파용 전류모드 필터설계”  
 ⇒ ③에서 연구된 연속시간 전류모드 적분기를 이용하여 연속시간 저전압, 저전력 및 고주파용에 적합한 전류모드 필터설계  
 ⇒ VHF대역용 시스템 등에 이용될 수 있는 전류모드 능동필터 구현
- ⑤ 1993년 R. H. Zele, D. J. Allstot등  
 “Fully Balanced 전류모드 적분기를 이용한 전류모드 필터설계”  
 ⇒ 전류모드 필터의 내부회로인 전류모드 적분기를 기존의 구조와는 달리 완전 균형 구조로 설계하여 일부 특성을 개선하였음
- ⑥ 1996년 김동용 외  
 “저전압 전류모드 CMOS 필터구현을 위한 새로운 연속시간 전류모드 적분기설계” [한국통신학회 논문지]

⇒ 전류모드 필터의 내부회로인 전류모드 적분기를 주파수특성과 저전력특성이 개선된 CMOS 상보형구조를 제안

⑦ 1998년 김동용 외

“개선된 연속시간 전류모드 CMOS 적분기를 이용한 3.3V 전류모드 필터설계” [대한전자공학회 논문지]

⇒ 제안된 연속시간 적분기를 이용하여 3.3V 저역필터 설계

이상의 연구동향에서 알 수 있듯이 아날로그 능동소자를 이용한 필터설계에 관한 연구는 거의 90년대초 부터 시작하여 불과 최근 5~6년 사이에 급속히 발전하였다. 초기에는 SI(스위칭 전류) 기법에 의하여 ①에서 연구되기 시작하였지만 SI기법의 전류회로가 가지는 스위칭잡음 등을 해결하기 위하여 ②, ③에서 연속시간 형태로 설계하였다. 그 후 SI기법과 연속시간 설계법이 동시에 발달하면서 전류모드 필터를 이동통신시스템, 휴대용 컴퓨터, 영상신호처리등 VHF대역의 시스템에 응용하는 연구가 ④에서 수행되었다. 또한 전류모드 필터의 응용범위의 증가에 따라 필터의 특성을 개선하기 위한 노력으로 전류모드 적분기의 특성개선에 관한 연구가 ⑤, ⑥, ⑦에서 수행되었다.

본 연구팀에 의하여 수행된 ⑥, ⑦의 연구활동은 3.3V의 전압을 이용하여 전류모드 적분기의 특성중 트랜스컨덕턴스를 두배로 확장하여 주파수대역폭을 확장하였고 전체적인 적분기의 구조가 타구조(⑤)에 비하여 간단하면서도 특성면에서는 좋은 결과를 얻었다. 본 연구는 이러한 결과를 바탕으로 하여 설정한 연구계획에 부합하는 연구결과를 얻어내었다.

☞ 추후 아날로그 회로에 대한 연구는 저전압 저전력 경향이며 아날로그-디지털 혼성 집적회로 등에도 그 응용이 더욱 확대될 것이다.

## 제 3 장 연구개발수행 내용 및 결과

### 제 1 절 폴란드측 연구과제 수행내용

#### 1. 공동연구 상대국의 연구기관 및 연구책임자 명

가. 상대국 연구기관 :

폴란드 그단스크 기술대학교 전자기술연구소

(Department of Electronics, Technical University, Poland)

나. 상대국 연구책임자 :

미살 비알코 교수 전자과

Professor Michal Bialko (Chair of Electronics Circuits)

#### 2. 상대국 연구과제의 명칭, 내용, 한국측 과제와의 연계성

본 연구팀과 공동연구를 수행중인 폴란드 그단스크 기술대학교 연구팀에서 수행한 연구과제는 다음과 같은 4개의 과제로 세분화 되어 있다.

과제 1 : 전류형 CMOS 회로의 모델링과 분석 및 설계

과제 2 : 전류형 MOS-C 아날로그 필터의 분석과 합성 및 설계

(스위치드 전류회로 포함)

과제 3 : 집적화로 레이아웃을 위한 인공지능 회로의 응용

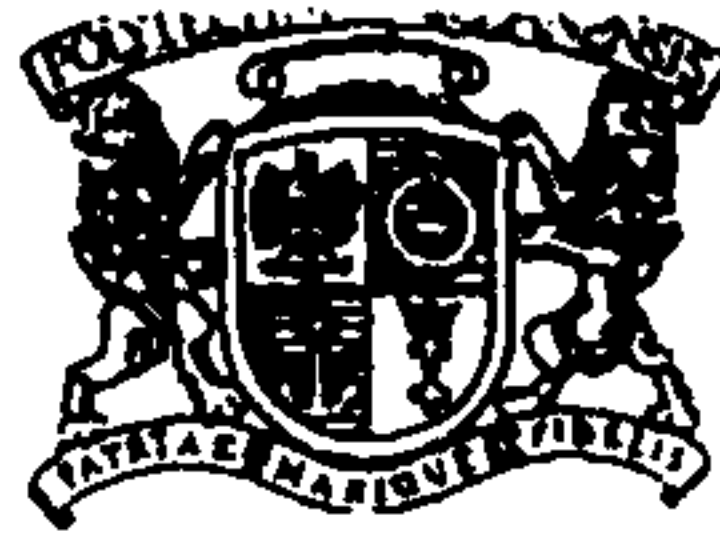
과제 4 : 아날로그 회로 설계를 위한 호리스틱 프로그램의 적용

폴란드 연구팀은 위에서 보는 것과 같이 4개의 과제에 대한 기초 연구를 수행하였으며 그 연구의 내용은 전체적으로 아날로그 회로에 대한 설계 및 분석이다. 역시 본 전북대학교 전기전자회로합성연구소에서 수행한 연구과제가 “OTA 및 SC 회로를 이용한 아날로그 집적회로 개발”이며 이 또한 아날로그 회로에서 주요하게 대두되고 있는 전류형 회로에 초점을 맞추어서 수행되었다. 1차년의 연구과제는 폴란드 팀과 전북대연구소팀 모두가 고성능 아날로그 회로 설계에 역점을 두었으며 2차년도 이후에는 각각 1차년도에서 연구 설계한 회로를 이용하여 구체적인 응용회로에 대한 설계 및 레이아웃을 통하여 개발하고자 하였다.

3. 상대국의 연구비 부담액

상대국의 연구비 부담액 : 20,000 \$ (US) per year

[ 관련 근거 자료 ]



Gdańsk, 1994-10-17

RECTOR  
TECHNICAL UNIVERSITY  
OF GDAŃSK

Letter of Endorsement  
for cooperation between  
Chonbuk National University, Korea, and  
Technical University of Gdańsk, Poland.

Herein I am confirming that the Department of Electronics, Technical University of Gdańsk (TUG), accepts an active participation in the cooperation in the joint research with the Chonbuk National University in the area of electronic circuits.

Professor Michal Bialko will act as the Research Leader from the TUG side. Anticipated amount of funds from Polish side for the cooperation corresponds 20 000 US dollars.

V-President of Technical University  
of Gdansk

prof.dr hab. A. Nowakowski

#### 4. 상호파견, 출장의 횟수, 기간, 추진 내용

본 연구과제는 1995년 9월 제1차 한·폴 과기공동위시 합의과제<공동추진 과제>로 선정되었으며, 96년 10월 공동연구수행을 위한 협약을 체결하였다. 전북대학교 전기전자회로합성연구소와 폴란드 그단스크대학교 전자기술연구소의 연구팀은 1차년에는 각 연구팀에서 합의하여 설정한 고성능 아날로그 회로 개발을 위한 기초적인 연구를 수행하고, 이러한 연구성과의 상호 교환을 위해 한국측의 연구책임자가 1997년 7월 폴란드 그단스크 대학을 방문하였으며, 본격적인 연구성과 교류를 위해 2차년도에는 1998년 6월에 미국에서 실시된 아래의 심포지움에 참가하여 폴란드 연구팀장인 미샤 비알코 교수와 연구결과 및 추후 공동연구에 대한 의견을 다음과 같이 나누었다.

##### The 2nd Analog VLSI Workshop 참가현황

기 간 : 1998. 6. 5 - 6. 8

개최지 : 미국 SANTA CLARA (California주)

주 최 : 미국전기전자공학회, 일본전기전자학회 (IEEE, IEEJ)

참가자 : 전북대학교 전기전자회로합성연구소 김동용 교수

폴란드 그단스크 기술대학교 전자기술연구소 미샤 비알코 교수

미국 오하이오 주립대학교 이스마일 교수

일본 동경공업대학 후지 교수



## 5. 상대국 연구결과

(본 자료는 폴란드측에서 보내온 자료를 TYPING 한것임)

Prof. Michal Bialko

Chair of Electronic Circuits

Depts. of electronics

Technical University of Gdansk

80-952 Gdansk, POLAND

Results of the Research  
between Chonbuk National University  
and Technical University of Gdansk  
in the time period: Dec.1996 ~ Sep.1998

The research was carried out on four topics:

1. Modelling, analysis and design of current mode CMOS circuits.
2. Analysis, synthesis and design of current mode MOS-C analog filters (including switched currents).
3. Application of artificial neural networks for circuit layout design.
4. Application of heuristic programming for analog circuit design.

The results are:

Topic 1 :

- © Modeling of switching processes in SOI-MOS transistors (silicon-on-insulator non quasi-static mode including finite velocity of carriers in the channel. Analytical solution of the problem is based on Hilbert space; as a result a function is obtained describing an evolution of dynamic carrier charge in time and space in the channel during switching of the transistor. Numerical solutions confirmed the theory;
- © Methods of electrothermal relations in CMOS circuits, including investigations of temperature influence on CMOS logical gate parameters. Original method for investigation of nonisothermic effects during SPICE circuit simulations is proposed. A special type of so called "semi-analytical, recursive, convolution" algorithms, are proposed for analysis of dynamic electrothermal processes in CMOS circuits;
- © Investigations of linearization of CMOS transconductance elements (transductors); propositions of new concepts of transconductance broadband (up to 10 GHz) amplifiers and highly linear CMOS current amplifiers.

Publications:

- [1] W. Kordalski, G. Blakiewicz: Influence of the Drain-Source Voltage on the Speed of SOI-MOST Turning-On. Proc. XVI Nat. Conf. Circuit theory and Electronic Circuits, Kolobrzeg 26-28. X. 1993, ss. 254-259, 2 rys., 5 poz. bibliogr.
- [2] W. Kordalski, A. Napieralski: Tranzystor polowy MOS i/lub rezystor liniowy MOS przestrajany napięciem zewnętrznym. Zgłoszenie patentowe, Gdansk 1993.
- [3] W. Kordalski, G. Blakiewicz: Influence of the Drain-Source Voltage on the Speed of SOI-MOST Turning-On. Proc. XVI Nat. Conf. Circuit Theory and Electronic Circuits, Kolobrzeg 26-28. X. 1993, ss. 254-259, 2 rys., 5 poz.
- [4] A. Czarniak, S. Szczepanski, J. Jakusz: A Linearized CMOS Transconductor Based on Bias Offset Technique. Bulletin of the Polish Academy of Sciences, Technical Sciences, Vol. 41, No. 1, 1993, ss. 43-47, 4 rys., 6 poz. bibliogr.
- [5] S. Szczepanski, J. Jakusz : CMOS Transconductance-C Integrator Design at Very High Frequencies. Proc. Nat. Conf. Circuit Theory and Electronic Circuits, Kolobrzeg 26-28. X. 1993, ss. 55-60, 4 rys., 8 poz. bibliogr.
- [6] S. Szczepanski, J. Glinianowicz : A CMOS Transconductor with the Gain Adjustable Linearly by a Voltage. Proc. XVI Nat. Conf. Circuit Theory and Electronic Circuits Kolobrzeg 26-28. X. 1993, ss. 61-66, 4 rys., 9 poz. bibliogr.

Topic 2:

- ⊙ Utilization of negative-impedance-converters (NIC) to adjustable transconductance amplifiers & inductance simulators;
- ⊙ Analysis methods of weakly nonlinear characteristics of high-order OTA-C active filters using Volterra-Wiener series;
- ⊙ Investigation of "jump resonance" phenomena in narrow-band OTA-C active filters using modified describing function.

Publications:

- [1] T. Kulej: Current Mode Function Generator Based on Current Conveyor. Proc. XVI Nat. Conf. Circuit Theory and Electronic Circuits Kolobrzeg 26-28.X.1993, ss.78-83, 4 rys., 4 poz. bibliogr.
- [2] Z. Czarnul, S. Takagi, N. Fuji, T. Yanagisawa: Principles of Nonlinearity Cancellation in linear MOS Systems Using MRC Circuits: with Analog and Analog/Digital Application. Proc. XVI Nat. Conf. Circuit Theory and Electronic Circuits, Kolobrzeg 26-28.X.1993, ss.114-120, 4 rys., 14 poz. bibliogr.
- [3] Z. Czarnul, S. Takagi, N. Fuji : Common-Mode Feedback Circuit with Differential Difference Amplifier. Proc. XVI Nat. conf. Circuit Theory and Electronic Circuits Kolobrzeg 26-28.X.1993, ss. 121-125, 1 rys., 13 poz. bibliogr.

- [4] Z. Felendzer, W. Zwiefka, A. Borzyszkowski: An Implementation of General Greedy Algorithm for Channel Routing. Proc. XVI Nat. Conf. Circuit Theory and Electronic Circuits, Kolobrzeg 26-28.X.1993, ss. 362-366, 1 rys., 1 tabl., 3 poz. bibliogr.
- [5] A. Guzinski, M. Guzinski, Z. J. Staszak: Effective Transformation of Voltage Mode Circuits into Current-Mode Ones. Proc. XVI KK TOiUE. Kolobrzeg 26-28.X.1993, ss. 84-88, 6 rys., 3 poz. bibliogr.
- [6] A. Guzinski, T. Kulej: CMOS Second Generation Current Conveyor. Proc. XVI Nat. Conf. Circuit Theory and Electronic Circuits, Kolobrzeg 26-28.X.1993, ss. 72-77, 4 rys., 1 tabl, 6 poz. bibliogr.
- [7] A. Guzinski, M. Bialko, A. Wezgraj: Current Mode Integrators. Proc. XVI Nat. Conf. Circuit Theory and Electronic Circuits, Kolobrzeg 26-28.x. 1993, ss. 67-71, 6 rys 2 poz. bibliogr.
- [8] A. Czarniak, S. Szczepanski: New Analytical Approach for Predicting Nonlinear Performance of Continuous-Time OTA-C Bandpass Filters. Proc. of the 11th ECCTD 93, Davos, Szwajcaria, 30.08.-3.09.1993, ss. 1267-1270, 5 rys., 12 poz. bibliogr.
- [9] S. Szczepanski, R. Schaumann: Nonlinearity-Induced Distortion of the Transfer Function Shape in High-Order OTA-C Filters. Int. J. Analog Integrated Circuits and Signal Processing 3, 143-151 (1993), ss. 143-151, 8 rys., 21 poz. bibliogr.

- [10] S. Szczepanski, A. Wvszynski, R. Schaumann: Highly Linear Voltage Controlled CMOS Transconductors. IEEE Trans. on Circuits and Sustems, vol. 40, No. 4, April 1993, ss. 258-262, 11 poz. bibliogr.
- [11] A. Guzinski, M. Guzinski, Z. J. Staszak: Effective Transformation of Voltage- mode Circuits into Current-mode Ones. Bulletin of the Polish Academy of Sciences, Technical Sciences, Vol. 42, No. 2, 1994, ss. 299-303, 6 rys., 3 poz. bibliogr.
- [12] A. Guzinski, T. Kulej: CMOS unity-gain current amplifier. Proc. XVII KK TOiUE, Polanica-Zdroj, 19-21.10.1994.
- [13] T. Kulej: Fast and accurate CMOS current conveyor. Proc. XVII Nat. Conf. Circuit Theory and Electronic Circuits, Polanica-Zdroj, 19-21.10.1994.
- [14] M. Guzinski : Synthesis of active filters using ladder (RLC) filter prototypes. Proc. Nat. Conf. Circuit Theory and Electronic Circuits, Polanica-Zdroj, 19-21. 10. 1994. Conf.
- [15] M. Guzinski: Signal flow graph generation of RIC prototypes of active filters using heuristic methods. Proc. XVII Nat. Conf. Circuit Theory and Electronic Circuits, Polanica-Zdroj, 19-21.10.1994.

### Topic 3:

- © Utilization of Kohonen self-organizing artificial neural network to placement (layout) of equal and different size elements;
- © Implementation of modified General Greedy algorithm to channel routing; initial proposition of realization of neural network called "recognitron" for feature extraction of hand witten characters.

### Publications:

- [1]Z.Felendzer, W.Zwiefka, A.Borzyszkowski: An Implementation of General Greedy Algorithm for Channel Routing. Proc. XVI Nat. Conf. Circuit Theory and Electronic Circuits, Kolobrzeg 26-28. X. 1993, ss. 362-366, 1 rys., 1 tabl., 3 poz.bibliogr.
- [2]Z.Felendzer, W.Zwiefka, A.Borzyszkowski: Placement Algorithm of Modules in the Slots Using Kohonen's Model of Neural Network. Proc. XVI Nat. Conf. Circuit Theory and Electronic Circuits, Kolobrzeg 26-28.X. 1993, ss. 367-361, 3 rys., 3 poz. bibliogr.
- [3]W.Zwiefka, Z.Felendzer, A.Borzyszkowski: Comparison of some placement Algorithms in Building Block Approach. Proc. XVI Nat. Conf. Circuit Theory and Electronic Circuits, Kolobrzeg 26-28. X. 1993, ss. 367-372 2 rys., 4 tabl., 8 poz.bibliogr.

#### Topic 4:

- ⊙ Developing of an initial heuristic program (in Pascal) in which human expert knowledge about analog circuit design is located throughout the whole program written using any procedural language (as opposed to expert systems with separate knowledge base). This allows for any programmer to write non-algorithmic programs supporting design process, etc.
- ⊙ Initialization of creation of Object Oriented Programs for design processes of analog circuits, using: Object oriented Programming, Rule-based Inference, and Procedural paradigm.:

#### Publications:

- [1] M. Wojcikowski, M. Bialko: Heuristic programming in the design of electronic circuits. Proc. XVII Nat. Conf. Circuit Theory and Electronic Circuits, Polanica-Zdroj, Poland, 19-21. 10. 1994.
- [2] M. Wojcikowski: Heuristic programming in CLIPS Program for conveyor design. Report of the Chair of Electronic Circuits, Technical University of Gdansk, October 1994.
- [3] M. Bialko, D. A. Mlynski, M. Wojcikowski: Analog circuit design process as an intelligent object-oriented database. Report of the Chair of Electronic Circuits, Technical University of Gdansk, October 1994.



- [4]J.Krol: Connectivity Verifications with an Expert System Technique. Abstracts of Dkssertations, Wydawnictwo Politechniki Gdanskiej, Nr 1 (zlozone do druku).
- [5]J.Krol, K.Jagiello: Spectral Algoriyhm for Simulation of Lossy interconnects. Proc. XVI KK TOiUE Kolobrzege 26-28. X.1993, ss. 168-173, 3 rys.
- [6]M.Guzinski: Signal flow graph generation of RLC prototypes of active filters using heuristic methods. Proc. XVII Nat Conf. Circuit Theory and Electronic Circuits, Polanica-Zdroj, 1921. 10.1994.

## 제 2 절 연산증폭기 (Op-Amp)

### 1. CMOS 연산증폭기의 구조해석

일반적으로 연산증폭기의 구조는 전압이득을 제공하는 이득단의 갯수에 따라 크게 1단(one stage) 구조와 2단(two stage) 구조로 분류될 수 있다.

#### 가. 1단(one stage) 구조

이 구조는 입력단의 전압이득이 2단 구조에서 보다 낮아 전체회로의 전압이득은 대부분 출력단에서 얻어진다. 다시말해서 연산증폭기의 내부에는 높은 임피던스 노드가 출력단에만 존재한다고 할 수 있다. 이때 연산증폭기가 가지게 되는 극점은 식(2-1)와 식(2-2)로 표현될 수 있다.

$$P_1 = \frac{1}{R_2 C_L} \quad (2-1)$$

$$P_2 = \frac{1}{R_1 C_1} \quad (2-2)$$

위 식에서  $C_1$ 은 출력단에 존재하는 기생 캐패시턴스를 나타낸다.  $P_2$ 는 입력단의 노드에서 생긴것으로서 입력단의 출력 저항  $R_1$ 이 매우 작아 그 주파수가 매우 큰값을 가지므로 S-평면상에서 보면  $P_2$ 와 주극점  $P_1$ 은 2단 구조의 경우에서 보다 멀리 떨어져 있게 된다. 따라서 두개의 극점을 좀 더 분리시켜 큰 위상 마진(margine)을 얻기 위하여 사용하는 주파수 보상용  $C_c$ 가 불필요하게 되며 단지 출력단에 연결되

는 용량성 부하  $C_L$  자체에 의하여 자동적으로 주파수 보상이 이루어질 수 있으므로 높은 주파수대에서 이러한 구조의 연산증폭기가 많이 사용된다.

$$GB = g_{m1} / C_L \quad (2-3)$$

또한 1단 구조에서는 보상캐패시턴스  $C_c$ 에 의한 영향이 없으므로 비교적 높은 SR을 얻을 수 있게 된다. 한편 이러한 구조에서는 단일 이득단이 사용되었으므로 높은 DC 전압이득을 얻기가 어렵고 전체회로의 동작이 바이어스 전류에 민감하다는 단점을 지닌다.

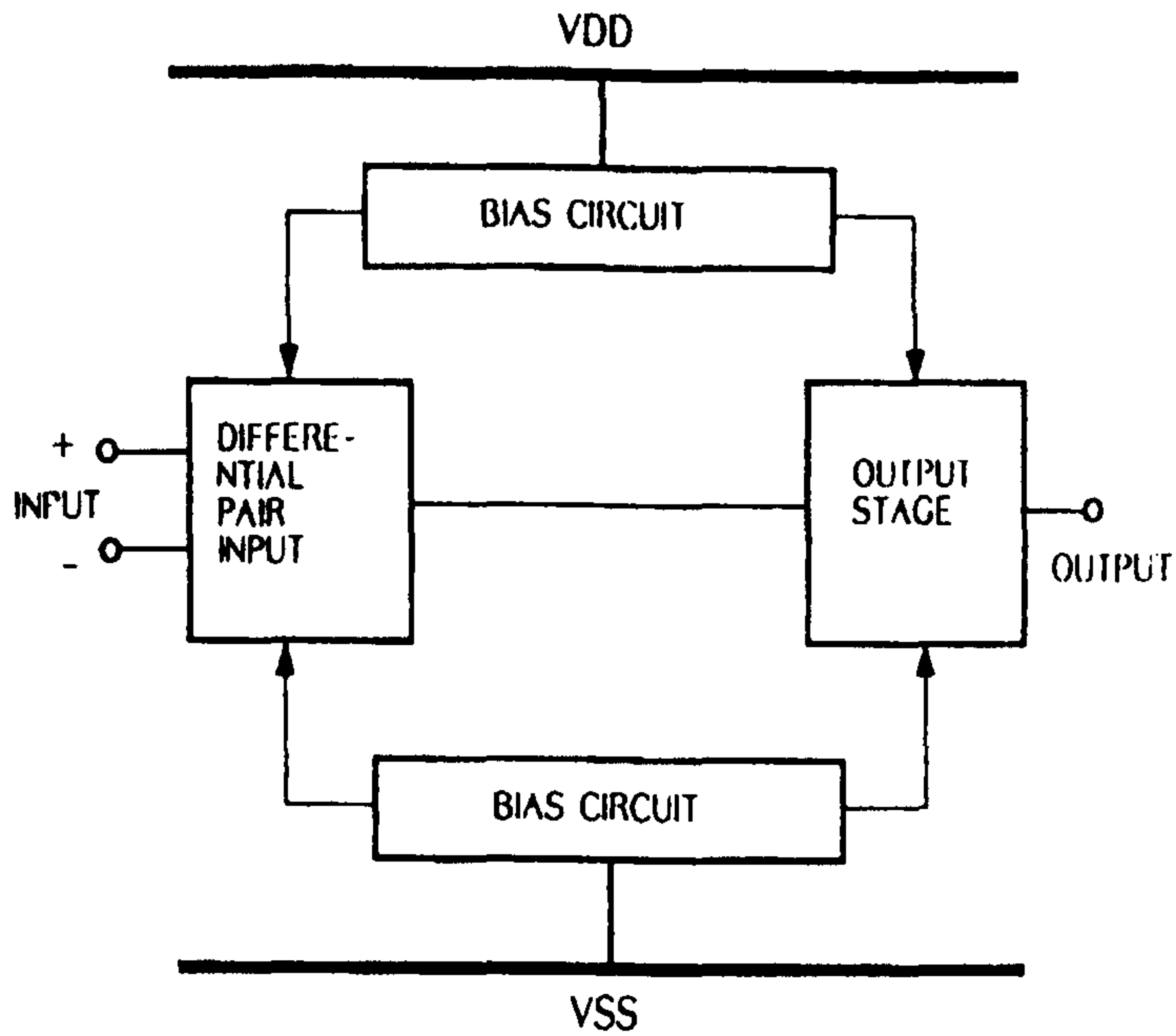


그림 2-1. 1단 구조의 연산증폭기

나. 2단(two stage) 구조의 연산증폭기

2단 구조는 설계방법이 간단하고 비교적 높은 전압 이득과 출력전압 스윙을 얻을 수 있는 장점을 지니고 있다. 그러나 전체의 전압이득에 기여하는 두 개의 높은 임피던스 노드는 연산증폭기의 주파수 특성을 좌우하는 두 개의 극점( $P_1, P_2$ )을 형성시키게 되어 높은 주파수 대에서의 안정성을 해치게 된다. 따라서 이를 보상하기 위해서는 극점 분리용 커패시터( $C_c$ )와 nulling 저항( $R_z$ )가 필요하다. 보통 이 구조의 전압이득( $A_v$ )과 그의 주파수 특성을 나타내는 단위이득 대역폭(GB)은 식(2-4)와 식(2-5)로서 표시될 수 있다.

$$A_v = g_{m1} R_1 g_{m2} R_2 \quad (2-4)$$

$$GB = \frac{g_{m1}}{C_L} \quad (2-5)$$

위 식에서 알 수 있듯이 높은 GB를 얻기 위해서는 큰 입력단의 전달 컨덕턴스( $g_{m1}$ )와 작은 극점 분리용 커패시터( $C_c$ )가 요구된다. 또한 위상마진의 증가를 위한 주파수 보상용 커패시터( $C_c$ )는 출력단의 부하  $C_L$ 에 거의 비례하므로 작은 값으로서 정확한 주파수 보상을 하기 위하여 설계시 각별한 주의가 필요하다. 또한 이 구조에서 동작속도를 결정하여 주는 슬로우올(SR)은 식(2-6)에 나타낸 것과 같다.

$$SR = \frac{I_0}{C_0 + C_L} \quad (2-6)$$

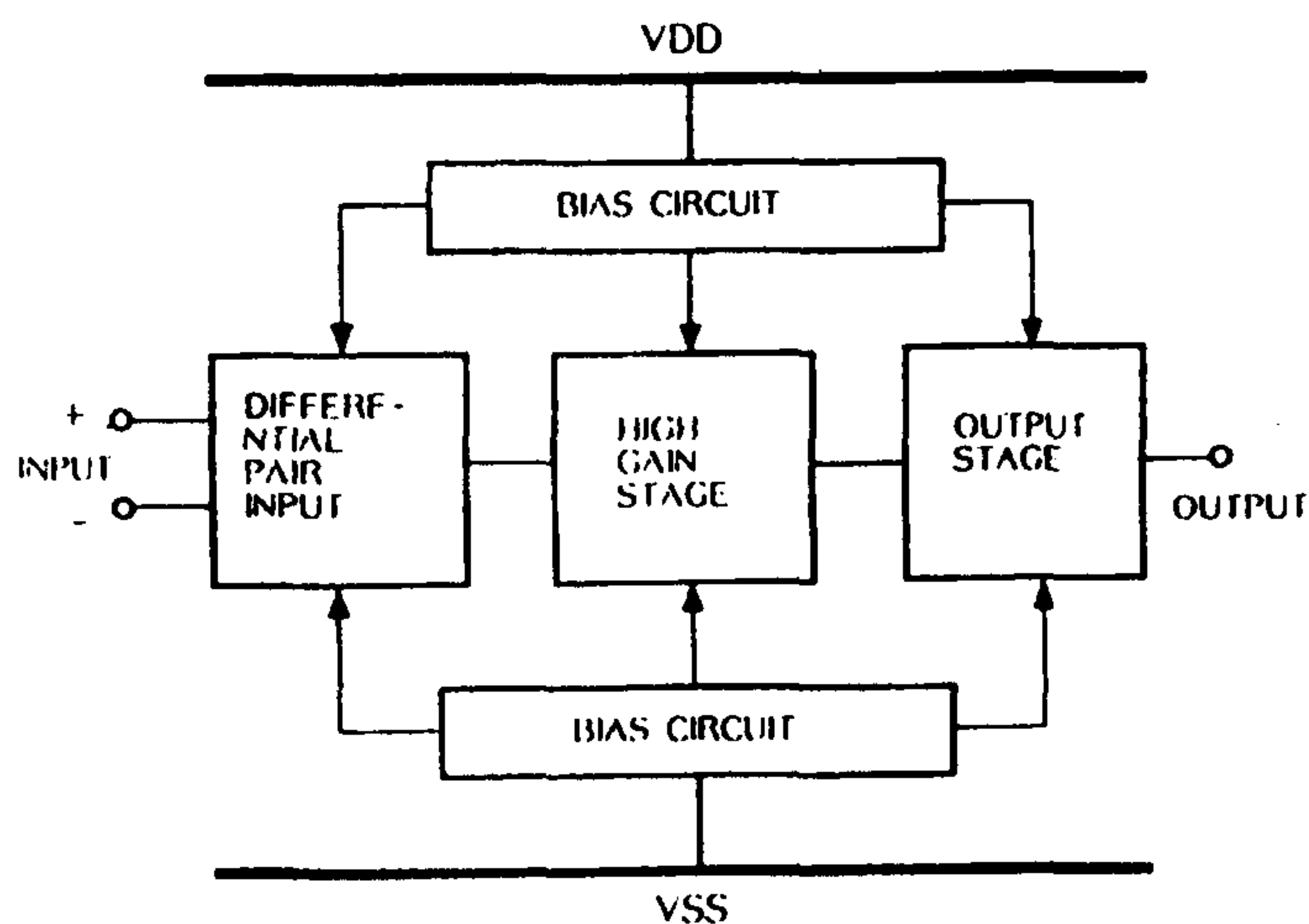


그림 2-2. 2단 구조의 연산증폭기

그리고 일반적인 특성을 갖는 범용 연산증폭기 설계를 위한 주요 파라미터 특성을 표 2-1에 나타냈다.

표 2-1. 연산증폭기 설계를 위한 파라미터 특성

Design Parameters	Performance Characteristics
Open-loop Gain	60 [dB] 이상
Unity-gain Frequency	1 [MHz] 이상
Phase Margin	60° ~ 90°
Slew Rate ( Positive, Negative )	2 [v/μs] 이상
Common Mode Rejection Ratio	60 [dB] 이상
Power Supply Rejection Ratio ( V <sub>DD</sub> , V <sub>SS</sub> )	60 [dB] 이상
Input Common Mode Voltage Range	± 2 [V] 이상
Input Offset Voltage	1 [mV] 이하
Output Resistance	1 KΩ 이하
Power Dissipation	Controllable(10 mW이하)

## 2. CMOS 연산증폭기의 설계

### 가. CMOS를 이용한 연산증폭기의 설계동향

연산증폭기는 내부의 구성 소자에 따라서 그 동작특성이 차이가 있다. 즉, 어떤 소자를 이용하여 연산증폭기를 설계하는냐에 따라서 연산증폭기가 동작할 수 있는 주파수 대역이 차이가 나게 된다. 현재 연산증폭기를 설계하는데 주로 사용되어 지고 있는 소자(트랜지스터)로는 Bipolar, CMOS, GaAs, BICMOS등이 있으며 이 소자들의 특성 차이를 표 2-2에 나타내었다.

표 2-2. 소자의 종류에 따른 특성 비교

특 성	Bipolar	CMOS	BICMOS	GaAs
고속특성 (전자 및 전하이동도)	2	4	3	1
저 소비전력 특성	3	1	2	4
공정의 용이도	2	1	3	4
IC의 집적도	3	1	2	4
IC 제조의 경제성	2	1	3	4

표 2-2를 살펴보면 고속특성을 요구하는 회로를 설계하기 위해서는 GaAs소자를 이용하여 회로를 설계하는 것이 가장 유리하며 CMOS를 사용하는 것은 가장 불리하다는 것을 나타낸다. 또한 그 반대로 이들 소자를 이용하여 회로를 제조하는데 드는 비용은 CMOS가 가장 적게 들며 GaAs가 가장 많이 들게 된다. 그리고 저소비전력 및 공정의 용이도, IC의 집적도 등을 볼 때 기타 다른 소자들에 CMOS를 사용하는 것이 가장 유리하다. 이러한 이유로 인하여 현재 아날로그 및 디지털 회로 설계에 가장 널리 이용되고 있는 것이 CMOS 소자이다. CMOS소자는 다른 소자들에 비해서 동작속도가 느리지만 여러가지면에서 유리한 점이 많으므로 CMOS 소자의 단점(동작속도)을 보완하여 나가는 연구는 매우 중요하며 세계적인 연구동향도 이에 크게 벗어나지 않고 있다. 이러한 점에서 본 연구에 있어서도 CMOS 소자를 이용하여 연산 증폭기를 설계하였다.

#### 나. CMOS 연산증폭기 설계를 위한 특성 고찰

연산증폭기를 설계하기 위해서는 기본적인 연산증폭기의 특성을 그대로 유지하면서도 여러가지의 특성을 고려하여 설계하여야 한다. 연산증폭기를 설계하기 위해서 최소한으로 고려하여야 할 사항으로 개방이득, 위상마진, 입력임피던스, 출력임피던스, 동작 주파수대역, 동작 시간, 부하 구동 능력등이 있으며 연산증폭기 설계시에 이러한 특성들은 보통 다음과 같이 고려되어 진다.

◎ 개방이득(open loop gain) : 이것은 연산증폭기의 증폭특성을 결정짓는 것으로 연산증폭기의 입력전압에 대한 출력전압의 비율로서 나타난다. 개방전압 이득은 높을 수록 좋으나 무한정 높게만 할수는 없으며 동작 주파수대역등 다른 특성과의 밀접한 관계가

있어서 연산증폭기가 사용되는 용도에 따라서 적당한 크기만큼 조절되어야 한다. 보통 60dB이상의 개방 전압이득을 가질 수 있도록 설계된다.

- ◎ 입력임피던스 : 입력임피던스는 이상적인 연산증폭기의 특성을 구현하기 위하여 필수적으로 고려하여야 할 특성이다. 보통 연산증폭기를 등가적으로 구현할 때 입력 임피던스가 무한대가 되어야 한다. CMOS 회로를 이용하여 연산증폭기를 설계할 경우 입력임피던스는 거의 무한대에 가까운 입력임피던스를 얻을 수 있다.
- ◎ 출력임피던스 : 출력임피던스 또한 입력임피던스와 마찬가지로 이상적인 연산증폭기의 특성을 구현하기 위하여 필수적으로 고려하여야 할 특성이나 입력임피던스와는 반대로 그 값이 영이 되어야 한다. 그러나 실제회로에서 출력임피던스를 영으로 설계하기란 불가능하며 보통 수백  $\Omega$ 의 출력임피던스 정도를 가질 수 있도록 설계되면 매우 우수하게 설계된 것이라 볼 수 있다. 본 연구에서 설계한 연산증폭기의 출력임피던스도 수백  $\Omega$ 의 값을 갖는다.
- ◎ 동작 주파수대역 : 이것은 연산증폭기의 주파수 특성을 결정짓는 것으로 연산증폭기의 설계시에 단위 이득 주파수(unity gain frequency) 특성과 직접적으로 관련이 있다. 연산증폭기를 SPICE 시뮬레이션을 통하여 가로축(주파수)과 세로축(이득)으로 동작을 조사할 때 이득곡선이 주파수의 크기에 따라서 점차 하강하여 결국 이득이 1인 점(0dB)에 도달하게 된다. 이때 그 점에서의 주파수를 단위 이득 주파수라 하며 이 주파수가 클 수록 주파수특성이 좋다.
- ◎ 동작 시간 : 이것은 연산증폭기의 시간특성을 결정짓는 것으로 연산증폭기의 설계시에 경사율(slewrate), 안정상태 도달시간



(settling time)등과 직접적으로 관련이 있다. 경사율과 안정상태 도달시간은 연산증폭기가 어떤 시간내에서 동작하는가를 결정한다. 연산증폭기의 입력에 단위계단파 신호를 인가하고 출력특성을 조사할때,  $1\mu s$ 의 시간 동안에 얼마만큼의 전압이 상승할 수 있는가를 측정하는 것이 경사율이고, 입력 단위 계단파에 대해서 출력에서는 시간적으로 지연된 상태에서 입력신호를 복원하게 되는데 이때 입력단위계단파를 90% 이상 복원하는데 걸리는 시간이 안정상태 도달시간이며 짧을 수록 연산증폭기의 시간특성이 좋다.

- ◎ 부하 구동능력 : 이것은 연산증폭기를 회로에 응용할 때는 연산증폭기의 출력단자에 다른 회로가 연결되는데 이것이 연산증폭기의 부하가 된다. 연산증폭기의 부하는 용량성과 저항성부하로 나누어질 수 있다. 연산증폭기가 SC필터 합성에 사용되어 그 출력단에 캐패시터 성분이 많은 회로가 연결될때는 용량성부하가 연결되어 있다고 볼 수 있다. 일반적으로 연산증폭기의 부하(용량성)능력을 측정하는 방법은 연산증폭기에 부하 캐패시터( $C_L$ )를 연결하여 캐패시터의 크기를 조정하여 가면서 측정하며 부하 캐패시터가 클수록 연산증폭기의 부하 구동능력이 크다고 할 수 있다.

CMOS 연산증폭기의 내부 구조는 이상과 같이 고려한 연산증폭기의 특성을 충분하게 나타낼 수 있는 구조로 설계되어야 한다. 연산증폭기는 사용되는 용도에 맞추어서 설계자의 의도에 따라 여러 가지 형태의 구조로서 설계되어 질 수 있으나 일반적으로 바이어스회로, 차동증폭단, 출력회로 등으로 크게 나누어 질 수 있다.

## 다. 바이어스 회로 설계

일반적인 형태로 구성된 전압 증폭단등은 그의 원활한 동작을 위하여 필요하고 다양한 바이어스 전압과 전류가 있어야 한다. 이러한 요구에 의해 설계된 회로들이 바이어스 회로들이다. 연산증폭기는 일반적으로 2개의 직류 전압을 필요로 한다. 이는  $V_{DD} > 0$ 과  $V_{SS} < 0$ 이고 그 외에 필요한 다른 바이어스 전압과 전류들은 바이어스 회로에 의해서 이 2개의 전압에서 얻어질 수 있다. 여기서 DD와 SS 첨자는 트랜지스터의 드레인과 소오스에서 유래한다고 볼 수 있다. 회로 설계에 있어서 바이어스 전압  $V_{01}, V_{02}, V_{03}, \dots, V_{0n}$  을 얻기 위해서 전압분배 원리가 사용될 수 있다. 단 이 전압들은 바이어스  $V_{DD}$ 와  $V_{SS}$  안쪽의 전압이어야 한다. 즉

$$V_{SS} < V_{01} < V_{02} < V_{03} \cdots < V_{0n} < V_{DD} \quad (2-7)$$

저항에 의한 전압분배 회로는 MOS 기술에서는 거의 사용하지 않는다. 그 이유는 필요로 하는 값의 저항을 얻기 위하여 비교적 많은 실리콘 면적을 차지하기 때문이다. 이러한 이유로 MOS 기술에서의 전압분배는 “토텐-폴(totem-pole)” 형태의 회로가 사용되어지는데 이러한 형태의 바이어스 회로를 그림 2-3(a)에 나타내었고, 이러한 형태를 응용하여 본 연구에서 설계된 회로를 그림 2-3(b)에 나타내었다.

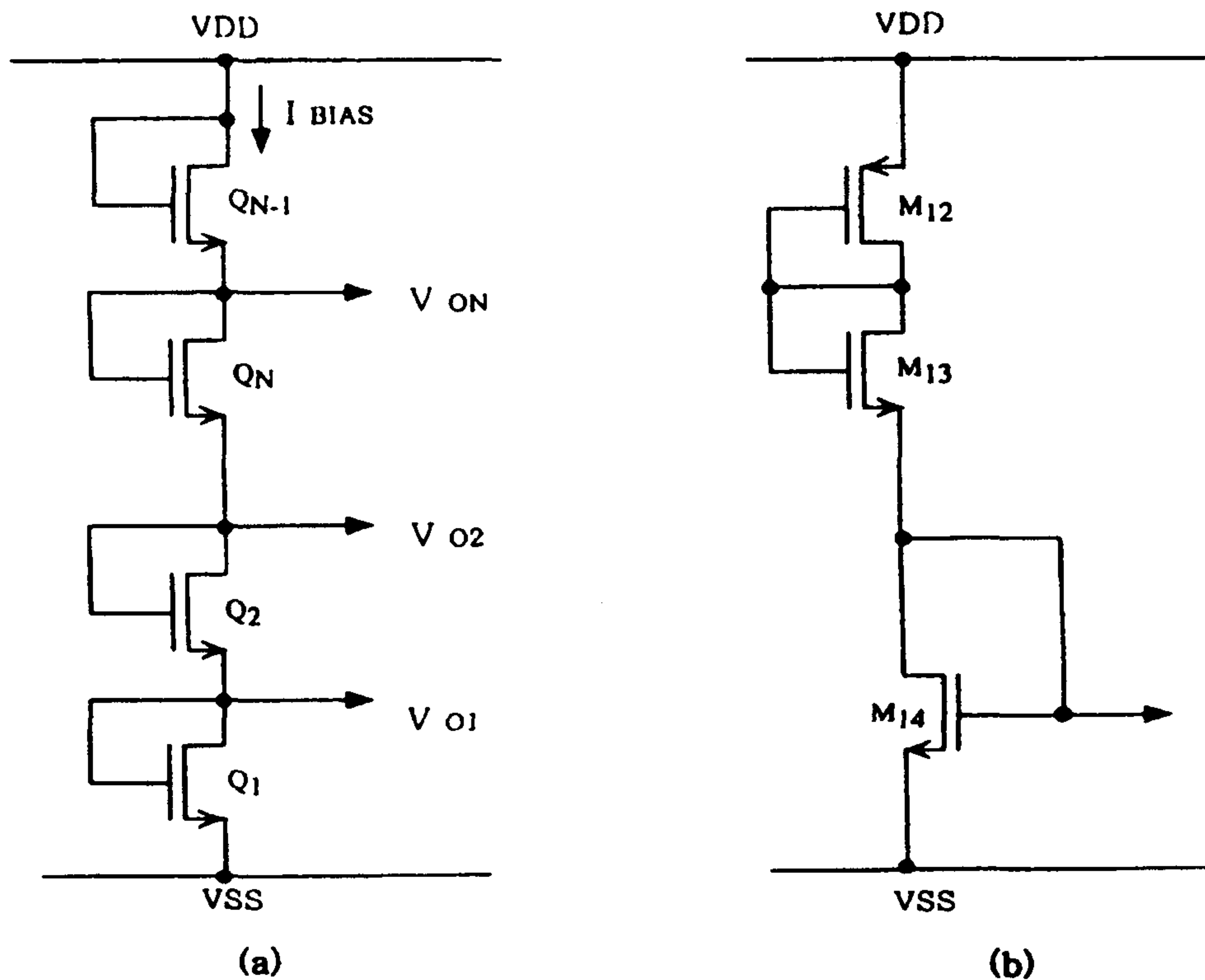


그림 2-3. (a) n채널 바이어스회로 (b) 설계된 바이어스회로

여기서는 단순히 n-채널 트랜지스터와  $V_{SS} = 0$  을 선택하였고 직렬 연결된 모든 MOS 소자의 드레인과 게이트를 연결하여 전압  $V_{GS} = V_{DS}$ 가 되게하여 이 소자들이 포화영역에서 동작하도록 하였다. MOS 트랜지스터의 포화조건은 다음과 같다.

$$V_{DS} \geq V_{GS} - V_T \quad (2-8)$$

여기서  $V_{DS}$ 는 드레인-소오스전압이고  $V_{GS}$ 는 게이트-소오스전압,  $V_T$ 는 MOS 소자의 문턱 전압이다. MOS 트랜지스터의 공통 드레인 전류를 구해보면 다음과 같다.

$$\begin{aligned}
I_{bias} &= K' \left( \frac{W}{L} \right)_1 (V_{01} - V_{T1})^2 \\
&= K' \left( \frac{W}{L} \right)_2 (V_{02} - V_{T1} - V_{T2})^2 \\
&\quad \cdot \\
&\quad \cdot \\
&\quad \cdot \\
&= K' \left( \frac{W}{L} \right)_{n+1} (V_{DD} - V_{0n} - V_{T,n+1})^2
\end{aligned} \tag{2-9}$$

그림에서 표시된  $I_i$  전류는 각각의 전압 출력단으로 흐르는 전류로 바이어스 전류  $I_{bias}$  보다 상당히 작고

$$i_I \ll I_{bias}, \quad I = 1, 2, 3, \dots, n \tag{2-10}$$

위 식은 트랜지스터에서 발생하는 인체효과(body effect)로 인해 이들 각각의 MOS 소자에 대한 문턱전압은 다음과 같이 쓸 수 있다.

$$\begin{aligned}
V_{T1} &= V_T \\
V_{T2} &= V_T + \gamma (\sqrt{2|\psi_P| + V_{01}} - \sqrt{2|\psi_P|}) \\
&\quad \cdot \\
&\quad \cdot \\
&\quad \cdot \\
V_{Tn+1} &= V_T + \gamma (\sqrt{2|\psi_P| + V_{0n}} - \sqrt{2|\psi_P|})
\end{aligned} \tag{2-11}$$

여기서 전류  $I_i$  ( $i = 1, 2, \dots, n$ )보다 전압  $V_{0i}$  ( $i = 1, 2, \dots, n$ )가 더 유용한 결과이다.  $i_I \gg I_{bias}$ 로 되게 설계한다면 식(2-9)와 식(2-11)은 소자의 채널길이와 넓이로 주어지는 설계 파라미터(W/L)를 임의로 얻을 수 있다.

라. CMOS 차동 증폭단 설계

연산증폭기의 특성을 얻어내기 위해서 연산증폭기의 입력증폭단은 높은 입력임피던스, 큰 common mode rejection ratio(CMRR)와 power supply rejection ratio (PSRR), 낮은 직류 오프셋 전압과 노이즈, 그리고 큰 전압이득을 제공할 수 있어야 한다. 이러한 특성을 위해서 입력단의 출력 신호는 입력신호 보다 상당히 커야만 하고 뒤에 연결되는 증폭단의 오프셋전압 효과와 잡음의 영향을 받지 않아야 한다. 그림 2-4(a)에 보인 소오스 커플 CMOS 회로를 사용하여 차동 모드와 공통모드에서 전압이득을 구해 보면 높은 차동모드 전압이득과 낮은 공통모드 전압이득을 얻을 수 있고 이로 인해 높은 CMRR을 얻을 수 있으며, 또한 차동단의 정의로 큰 PSRR을 얻을 수 있다.

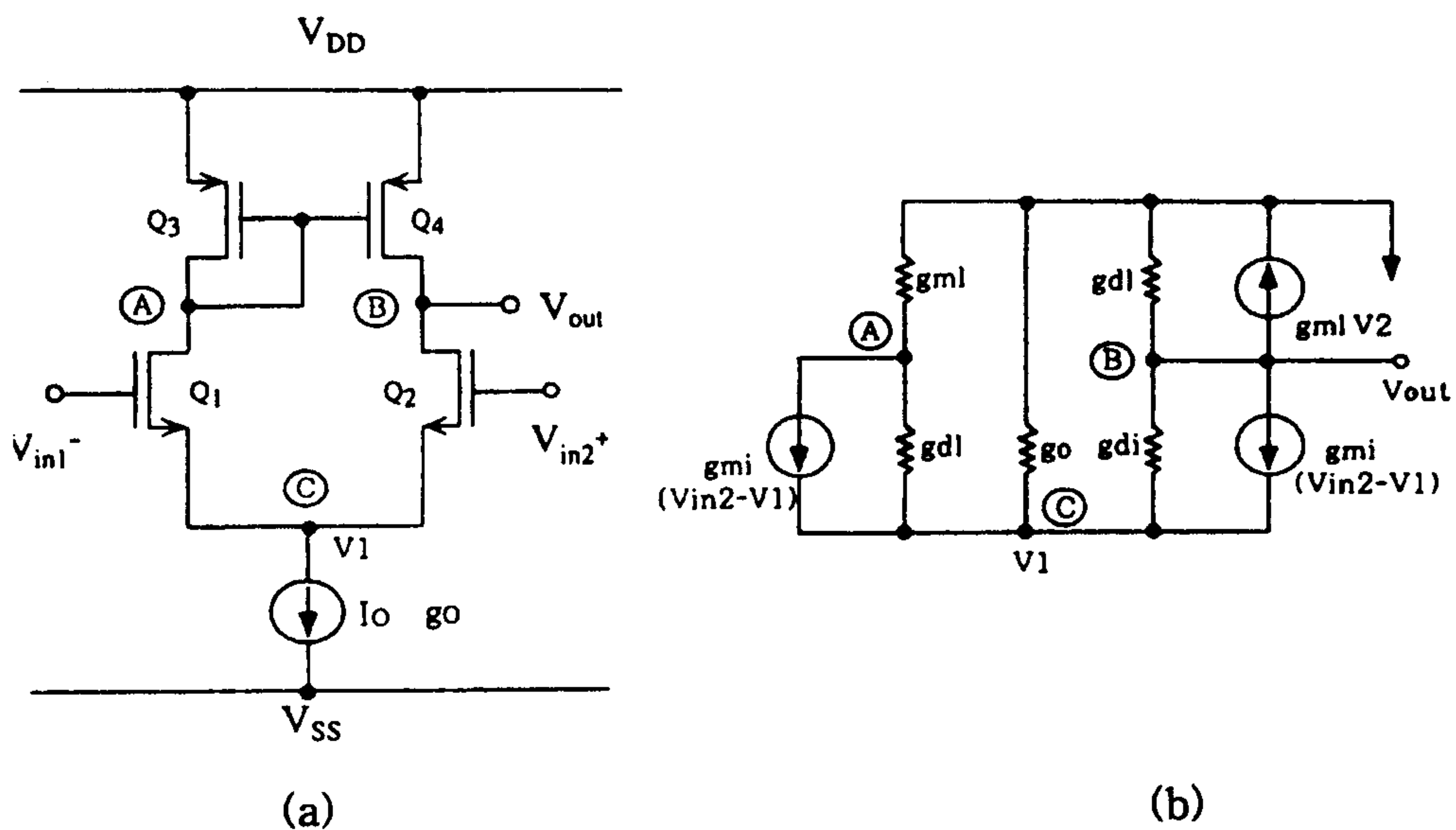


그림 2-4. (a) 능동부하를 갖는 CMOS 차동증폭단

(b) CMOS 차동증폭단에 대한 소신호 등가회로

그림 2-4(a)의 회로는 single-ended output 형태의 구조를 이루고 있다. 이 회로는 차동증폭단과 differential-to-single ended 컨버터의 역할들을 복합적으로 수행될 수 있다. 이 회로의 근사적인 분석은 다음과 같다. 전류원  $I_o$ 를 이상적인 전류원으로 가정하자.  $Q_1$ 과  $Q_2$ 의 드레인 전류의 증감은

$$i_{d1} + i_{d2} = 0 \quad (2-12)$$

를 만족해야 한다. 만약  $Q_1$ 과  $Q_2$ 가 모두 포화영역에서 동작한다면

$$\begin{aligned} i_{d1} &\cong g_m(v_{in1} - v_1) \\ i_{d2} &\cong g_m(v_{in2} - v_1) \end{aligned} \quad (2-13)$$

이 될 것이다. 이 두식은 서로 조합하여

$$v_1 \cong \frac{(v_{in1} + v_{in2})}{2} \quad (2-14)$$

을 얻을 수 있고

$$i_{d1} = -i_{d2} \cong \frac{g_{m1}(v_{in1} - v_{in2})}{2} \quad (2-15)$$

이제 전류  $i_{d1}$ 은  $Q_1$ 에 의해  $Q_3$ 로 증첩되고  $Q_3$ 의 게이트와 드레인은 공통으로 묶여 있으며 이로 인해 공통입력 임피던스는  $1/g_{m3}$ 이다. 트랜지스터  $Q_3$ 와  $Q_4$ 는 current mirror이고 이로 인해  $Q_4$ 는 드레인 전류가 다음을 만족하여야 한다.

$$i_{d4} = i_{d3} = i_{d1} \quad (2-16)$$

그래서  $Q_3$ 와  $Q_4$ 는 둘다 출력단자로

$$i_{dl} = \frac{(V_{in1} - V_{in2})}{2} \quad (2-17)$$

의 전류를 보내야만 한다.

이 출력은  $Q_2$ 와  $Q_4$ 의 드레인 저항에 의해 부하효과를 나타내는데 이로 인해 출력전압  $v_{out}$ 은 식(2-18)과 같으며

$$V_{out} \doteq \frac{2i_{dl}}{(g_{di} + g_{dl})} \doteq g_{mi} \frac{(V_{in1} - V_{in2})}{(g_{di} + g_{dl})} \quad (2-18)$$

이에 대해 차동전압이득은 식(2-19)로 된다.

$$A_{dm} \doteq \frac{V_{out}}{(V_{in1} - V_{in2})} \doteq \frac{g_{mi}}{(g_{di} + g_{dl})} \quad (2-19)$$

이 회로에 대한 소신호 등가회로가 그림 2-4(b) 이다. 이 등가회로에서  $Q_1$ 과  $Q_2$ 는 똑같은 컨덕턴스  $g_{mi}$ 와  $g_{di}$ 를 또한 부하소자  $Q_3$ 과  $Q_4$ 는 같은 컨덕턴스  $g_{mi}$ 와  $g_{di}$ 를 갖는다고 가정한 것이다. 모든 소자가  $V_{SB} = 0$  이므로 인체효과는 나타나지 않을 것이다. 또한 전류원의 출력 컨덕턴스는  $g_o$ 이다. 노드 ㉑와 ㉒에 그리고 노드 ㉓에 전류법칙을 적용하면 다음과 같은 결과를 얻을 수 있다.

$$V_{out} \doteq \frac{g_{mi}g_{ml}}{D} [2(g_{di} + g_{mi})(V_{in1} - V_{in2}) + g_o(V_{in1} - (g_{di}/g_{mi} + 1)V_{in2})] \quad (2-20)$$

여기서  $D$ 는

$$D = (g_{di} + g_{mi})[g_{dl}g_{di} + 2g_{mi}(g_{dl} + g_{di})] + g_o(g_{di} + g_{mi})(g_{dl} + g_{di}) \quad (2-21)$$

이다. 여기서 차동입력과 공통입력모드의 입력신호를 정의한다면 차동전압이득  $A_{dm}$ 과 공통모드전압이득  $A_{cm}$ 은 다음과 같은 결과를 얻는다.

$$V_{out} = A_{dm} V_{in,d} + A_{cm} V_{in,c} \quad (2-22)$$

식 (2-21)와 (2-22)으로 부터

$$A_{dm} = \frac{g_{mi}g_{ml}}{D} [2(g_{di}+g_{mi}) + g_o(1+\frac{g_{di}}{2g_{ml}})] \quad (2-23)$$

$$A_{cm} = -\frac{g_{mi}g_{di}g_o}{D}$$

그리고 CMRR은

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = \frac{g_{mi}}{g_{di}g_o} [2(g_{di}+g_{mi})+g_o] + \frac{1}{2} \quad (2-24)$$

여기서  $g_{mi}, g_{ml} \gg g_o, g_{di}, g_{dl}$ 일때 근사적으로 다음식으로 표현할 수 있다.

$$\begin{aligned} A_{dm} &\doteq \frac{g_{mi}}{g_{dl} + g_{di}} \\ A_{cm} &\doteq -\frac{g_{oi}g_{di}}{2g_{ml}(g_{dl} + g_{di})} \\ CMRR &\doteq 2\frac{g_{mi}g_{ml}}{g_o g_{di}} \end{aligned} \quad (2-25)$$



CMOS 증폭단의 출력임피던스를 구하기 위하여 소신호 등가회로의 출력단에 테스트 전원  $i_o$ 를 공급하고 입력전압  $v_{in1}$ 과  $v_{in2}$ 를 0으로 놓는다. 이렇게 하여 구한 출력 임피던스  $r_{out}$ 은

$$r_{out} = \frac{V_{out}}{i_o} = \frac{1}{D} ((g_{di} + g_{ml})[2(g_{di} + g_{mi}) + g_o] - g_{di}(g_{di} + g_{mi})) \quad (2-26)$$

여기서도 D는 일반적으로  $g_{mi}, g_{ml} \gg g_o, g_{di}, g_{dl}$  이므로 근사치는

$$r_{out} \cong \frac{1}{g_{dl} + g_{di}} \quad (2-27)$$

로 구해질 수 있다.

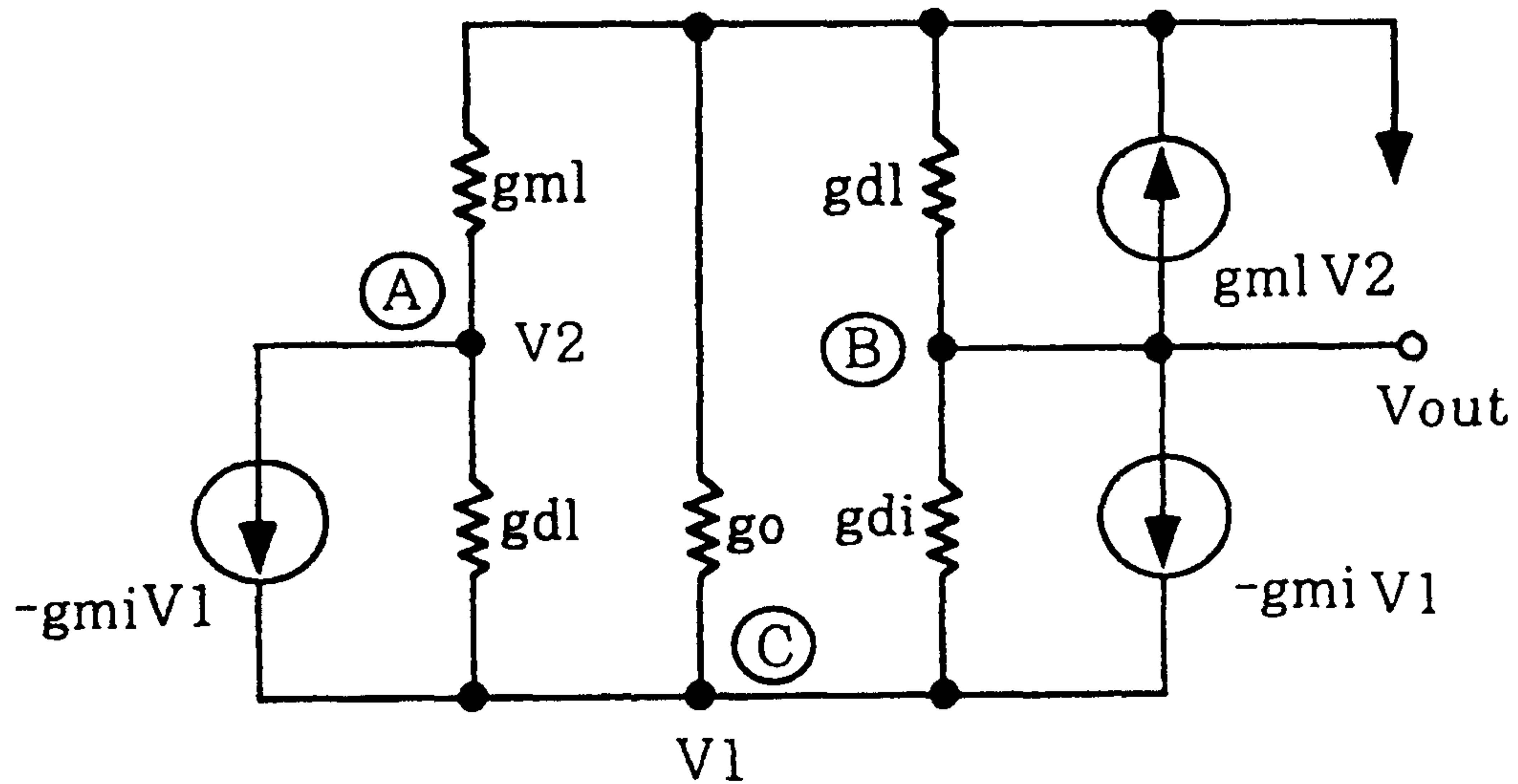


그림 2-5. 차동증폭단의 출력임피던스를 계산하기 위한 등가회로

마. 출력회로 설계

연산증폭기의 출력회로는 출력저항을 감소하고 출력전류를 증가시켜서 외부의 부하에 대한 구동능력을 향상시키고, 연산증폭기의 출력스윙을 증가시켜주는 역할을 하는등 매우 유용한 역할을 한다. 이처럼 출력회로의 다양한 역할에 따라서 회로의 구조도 여러 가지 형태로 설계될 수 있다. 본 연구에서는 전류구동능력이 다른 구조에 비해서 상대적으로 우수한 AB급 push-pull 출력단의 형태를 갖는 CMOS 출력단을 설계하여 이용하였다. CMOS AB급 push-pull 출력단 및 설계된 출력단을 그림 2-6에 나타내었다. 이 회로에서  $Q_1 \sim Q_4$ 는 이득단의 형태이고  $Q_5$ 와  $Q_6$ 는 부하저항  $R_L$ 을 구동한다. 이러한 형태는 일그러짐을 극복하기 위하여 구성된 것이다. 또한 이 회로는 부궤환을 사용하지 않았다. 그래서 그의 출력임피던스는 매우 높은 값을 갖는다.

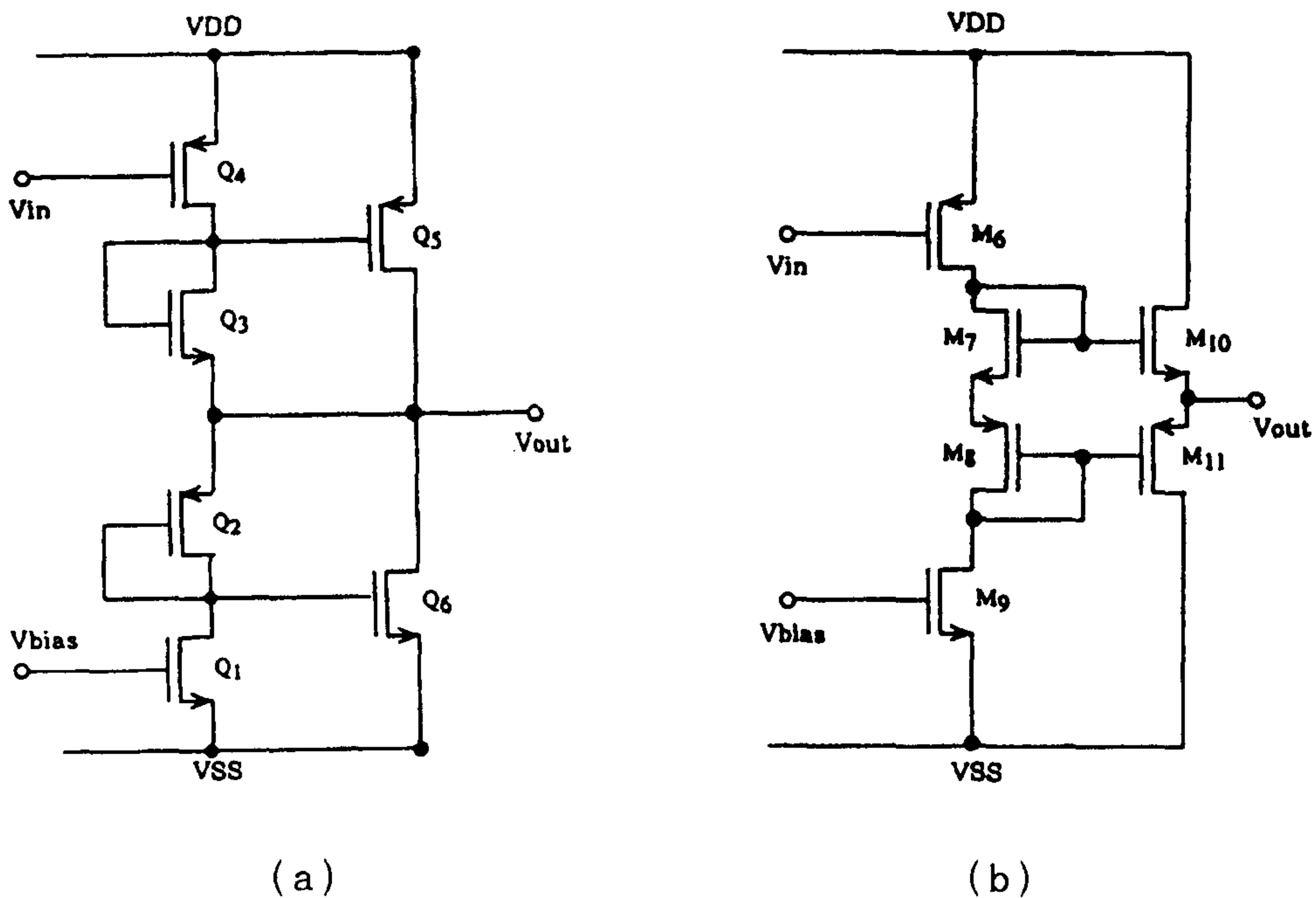


그림. 2-6 (a) CMOS AB급 push-pull 출력단

(b) 설계된 CMOS AB급 push-pull 출력단

바. CMOS 연산증폭기의 설계

위 절에서 설계한 바이어스 회로, 입력 차동증폭회로, 출력회로를 이용하여 설계한 연산증폭기 전체회로를 그림 2-7에 나타내었다.

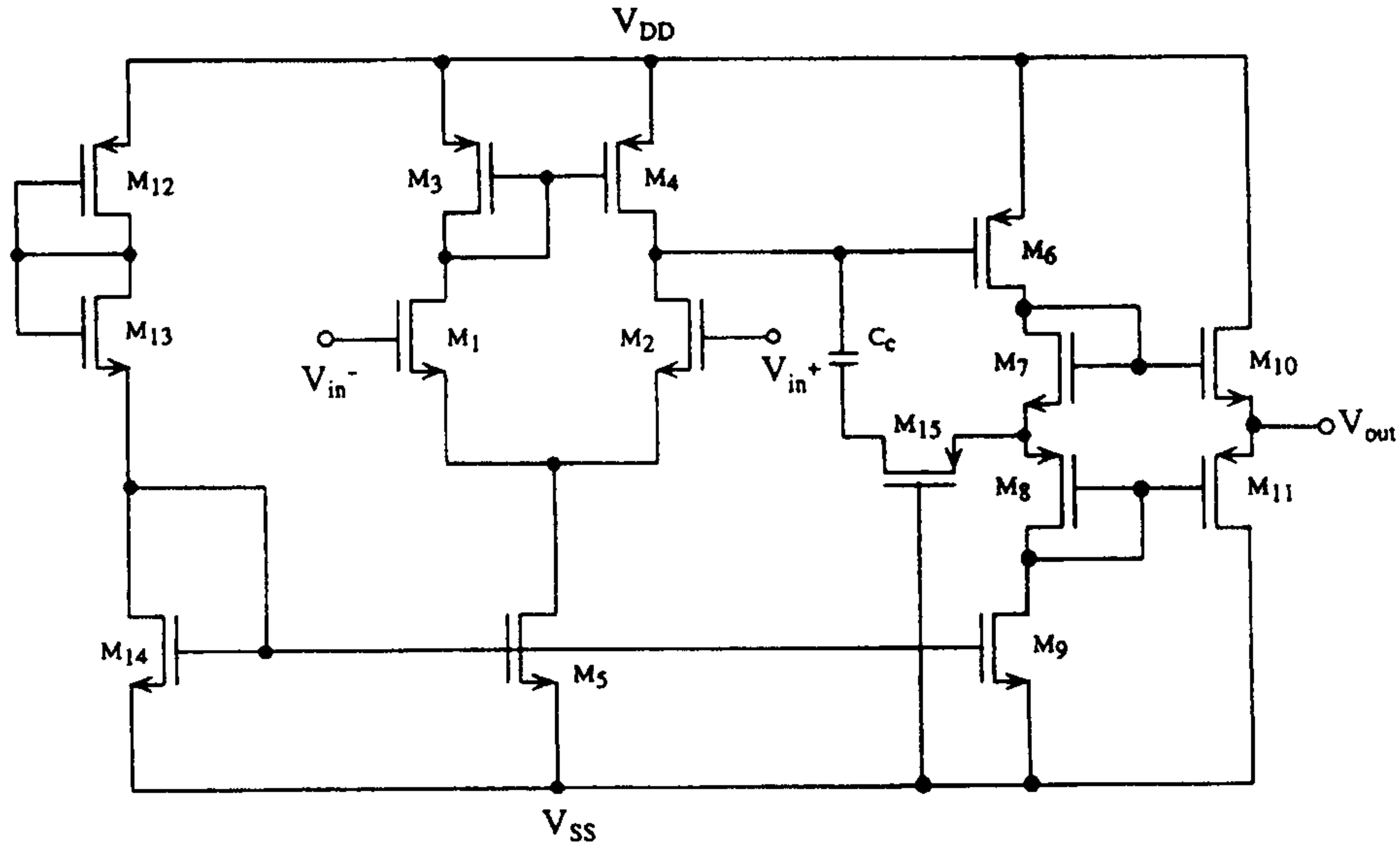


그림 2-7. 설계된 CMOS 연산증폭기

연산증폭기의 내부에 쓰인 각 트랜지스터의 종류 및 크기를 표 2-3에 나타내었다.

표 2-3. CMOS 연산증폭기의 트랜지스터 크기

Transistor	Type	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]
M1 ~ M2	NMOS	85	5
M3 ~ M4	PMOS	32	5
M5	NMOS	6	5
M6	PMOS	105	5
M7	NMOS	153	5
M8	PMOS	400	5
M9	NMOS	10	5
M10	NMOS	200	4
M11	PMOS	175	4
M12	PMOS	74	5
M13	NMOS	88	5
M14	NMOS	30	5
M15	PMOS	37	5

### 3. 시뮬레이션

본 연구에서는 설계된 CMOS 연산증폭기를 0.8 $\mu\text{m}$  double-poly, double-metal n-well 공정 파라메타를 SPICE에 적용하여 시뮬레이션 하였다. 시뮬레이션 결과, 이득 및 위상 특성, slew-rate 특성, CMRR 및 입력 CMR의 특성 곡선을 그림 2-8에서 2-11까지 나타내었다. 또한 dc 바이어스 전압의 영향을 측정하기 위한 PSRR- $V_{DD}$  및 PSRR- $V_{SS}$ 의 특성 곡선과 output swing 특성 곡선을 각각 그림 2-12와 2-13에 제시 하였다. 그리고 설계된 CMOS 연산증폭기의 dc 바이어스 조건은  $V_{DD} = -V_{SS} = 5[V]$ 이며, 보상 캐패시터  $C_c = 5[pF]$ , 부하 캐패시터가 10[pF]일 때의 동작 특성을 표 2-3에 제시하였다. 표에서 알 수 있듯이 모든 동작특성이 표 2-1에 제시한 연산증폭기의 설계조건을 만족하였다.

표 2-4. 설계된 CMOS 연산증폭기의 동작 특성

Parameter ( $V_{DD} = -V_{SS} = 5V, C_L = 10pF$ )	Simulation result
Open loop gain	62.0 dB
Unit-gain frequency	10 MHz
Phase margin	63.1 Deg.
1% Settling time	62.3 ns
Slew-rate	
positive	18.7 V/ $\mu\text{s}$
negative	18.3 V/ $\mu\text{s}$
Input common mode range	-3.2V ~ +2.5V
Output swing	-2.7V ~ +2.6V
Common mode rejection ratio	73.6 dB
Power supply rejection ratio	
$V_{DD}$	69.0 dB
$V_{SS}$	72.4 dB
Offset voltage	-1.4 mV
Output resistance	458 $\Omega$
Power dissipation	15 mW

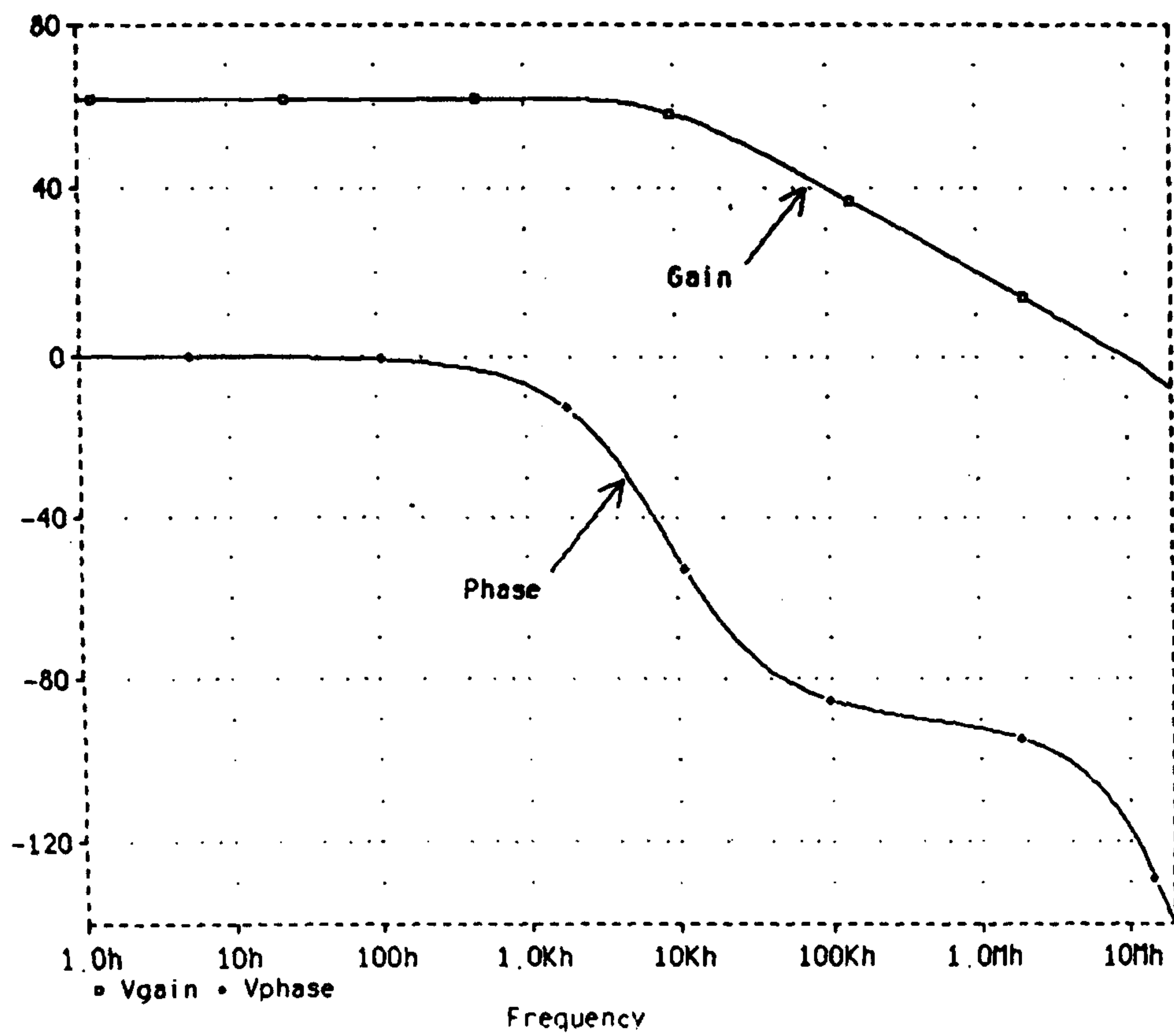


그림 2-8. 이득 및 위상특성

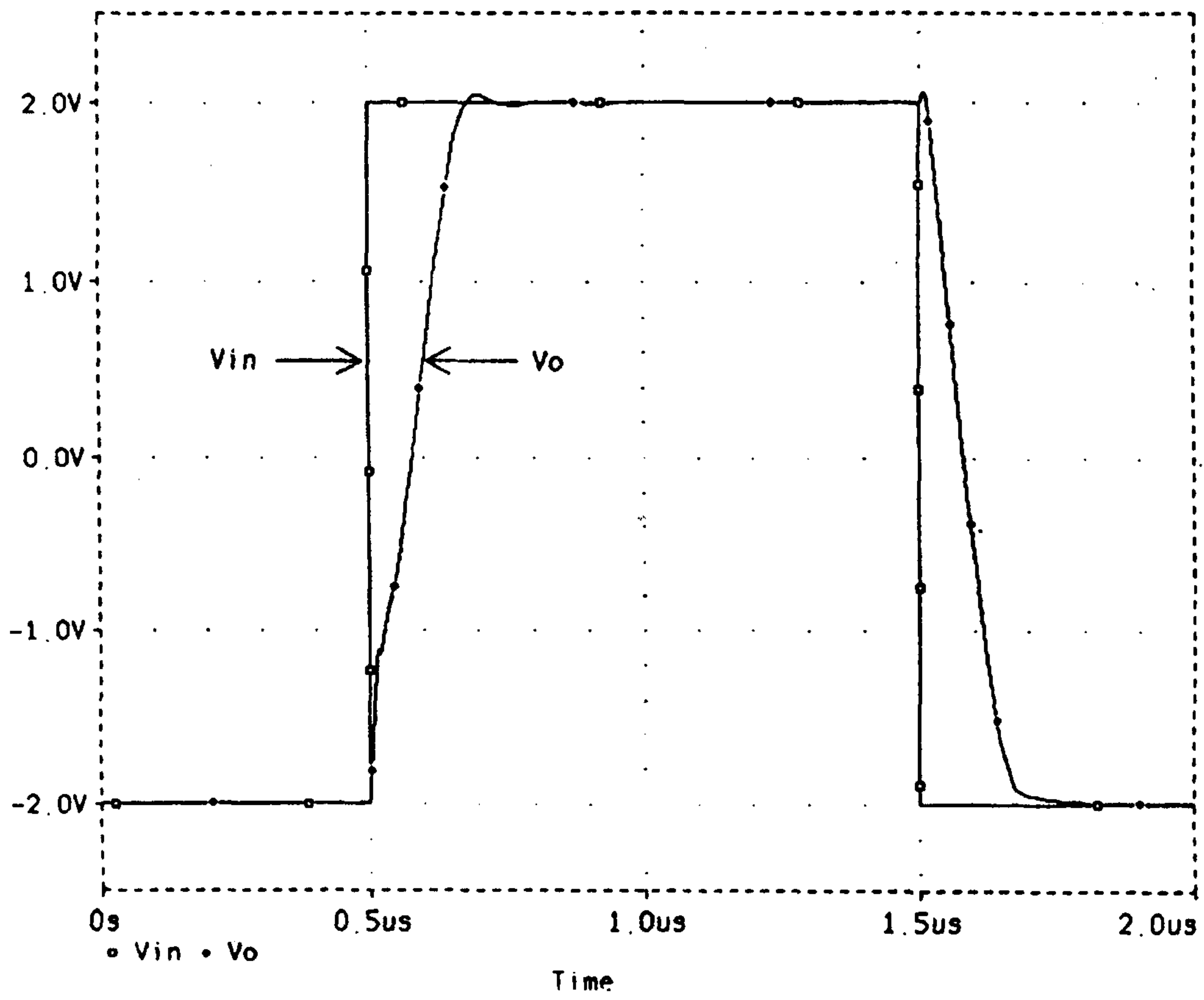


그림 2-9. Slew - Rate 특성

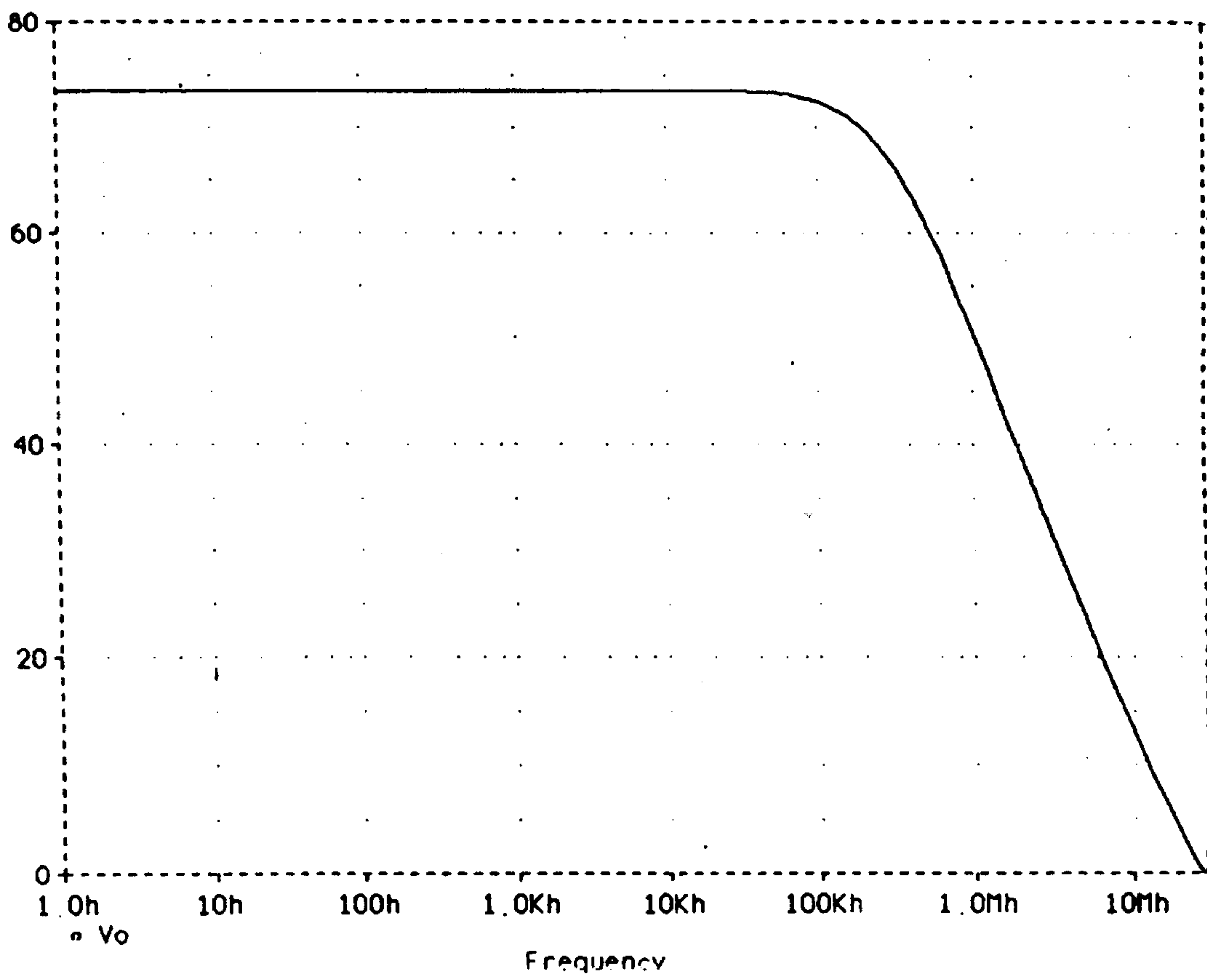


그림 2-10. CMRR 특성

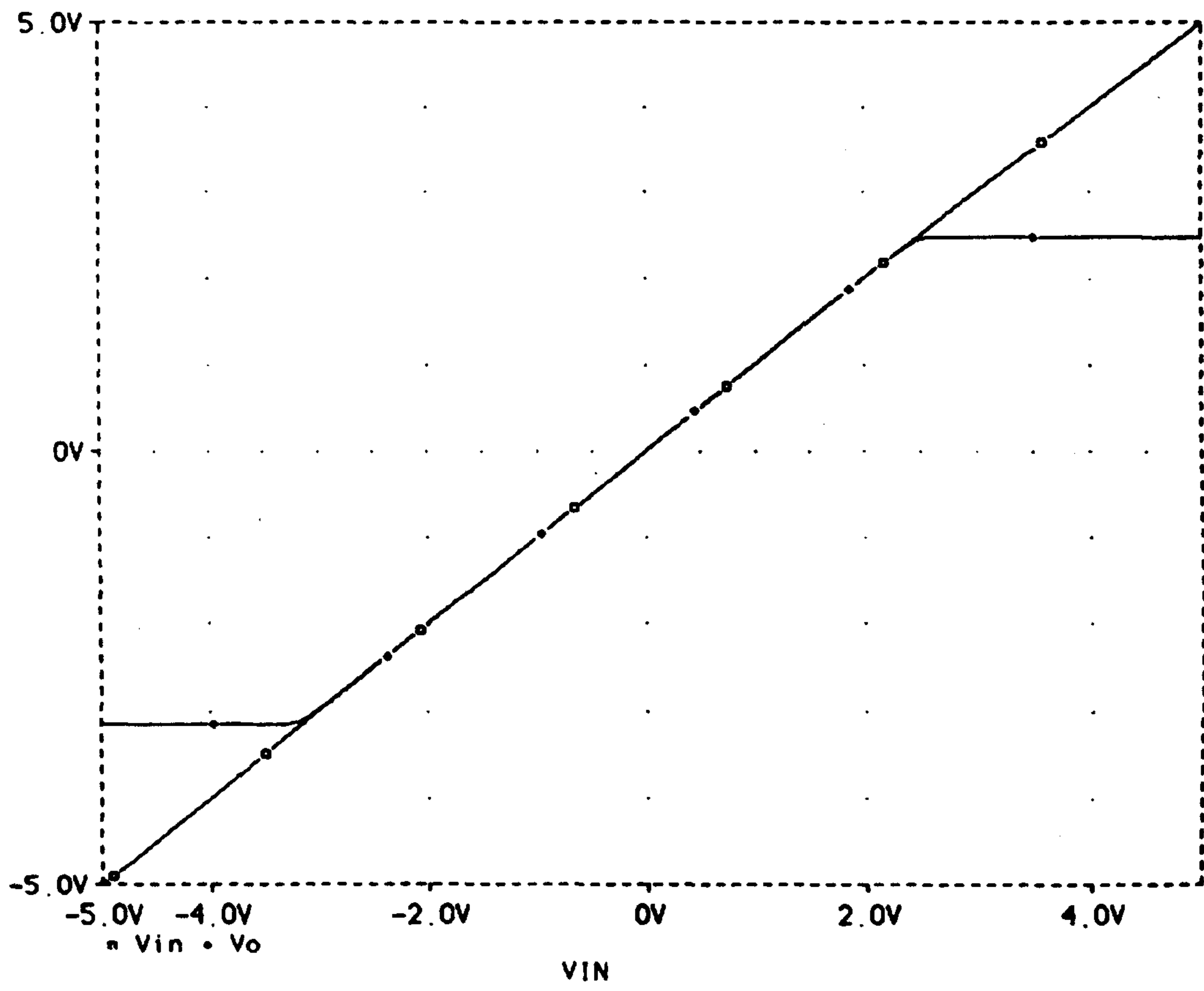


그림 2-11. 입력 CMR 특성



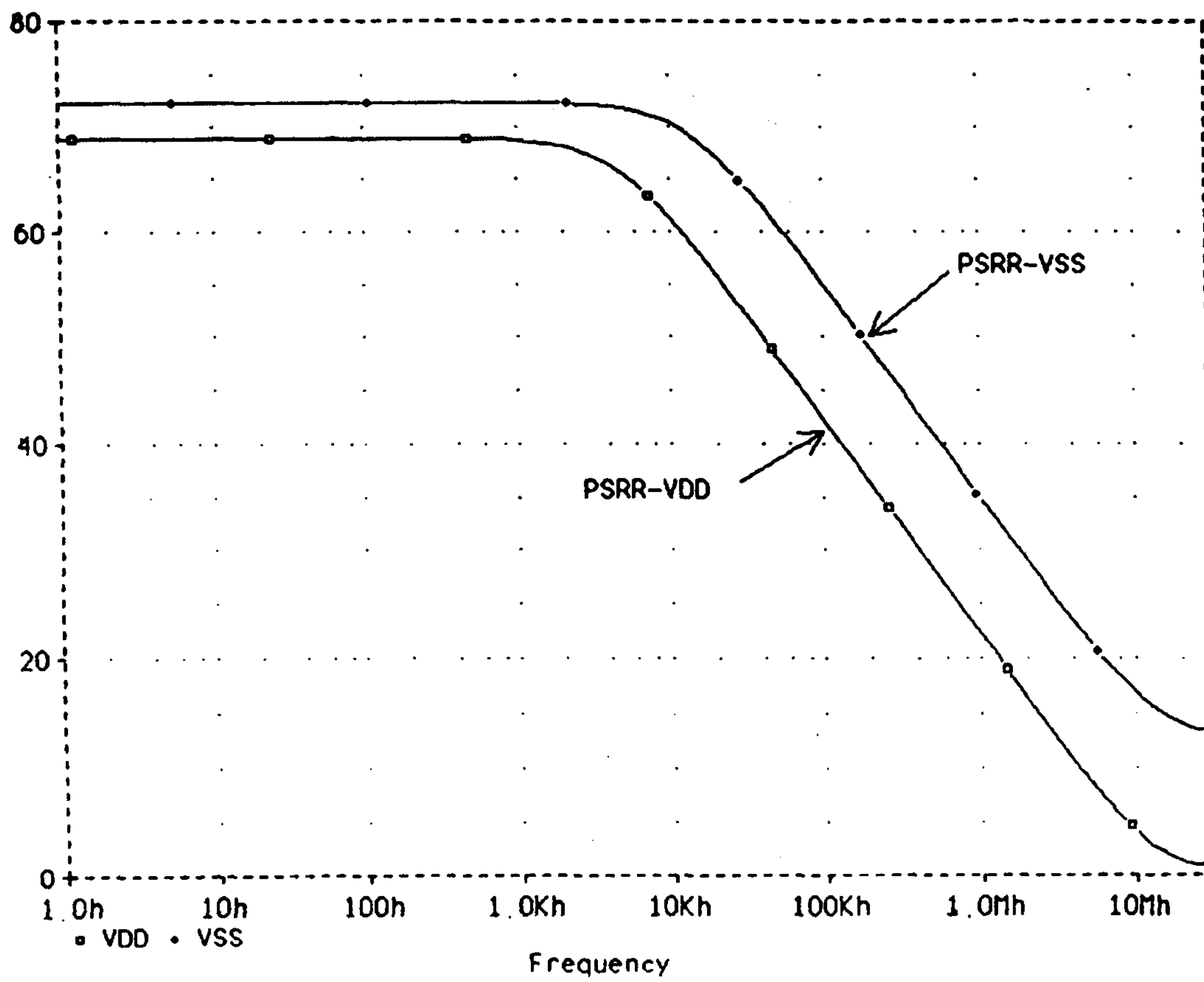


그림 2-12. PSRR-VDD 및 PSRR-VSS의 특성

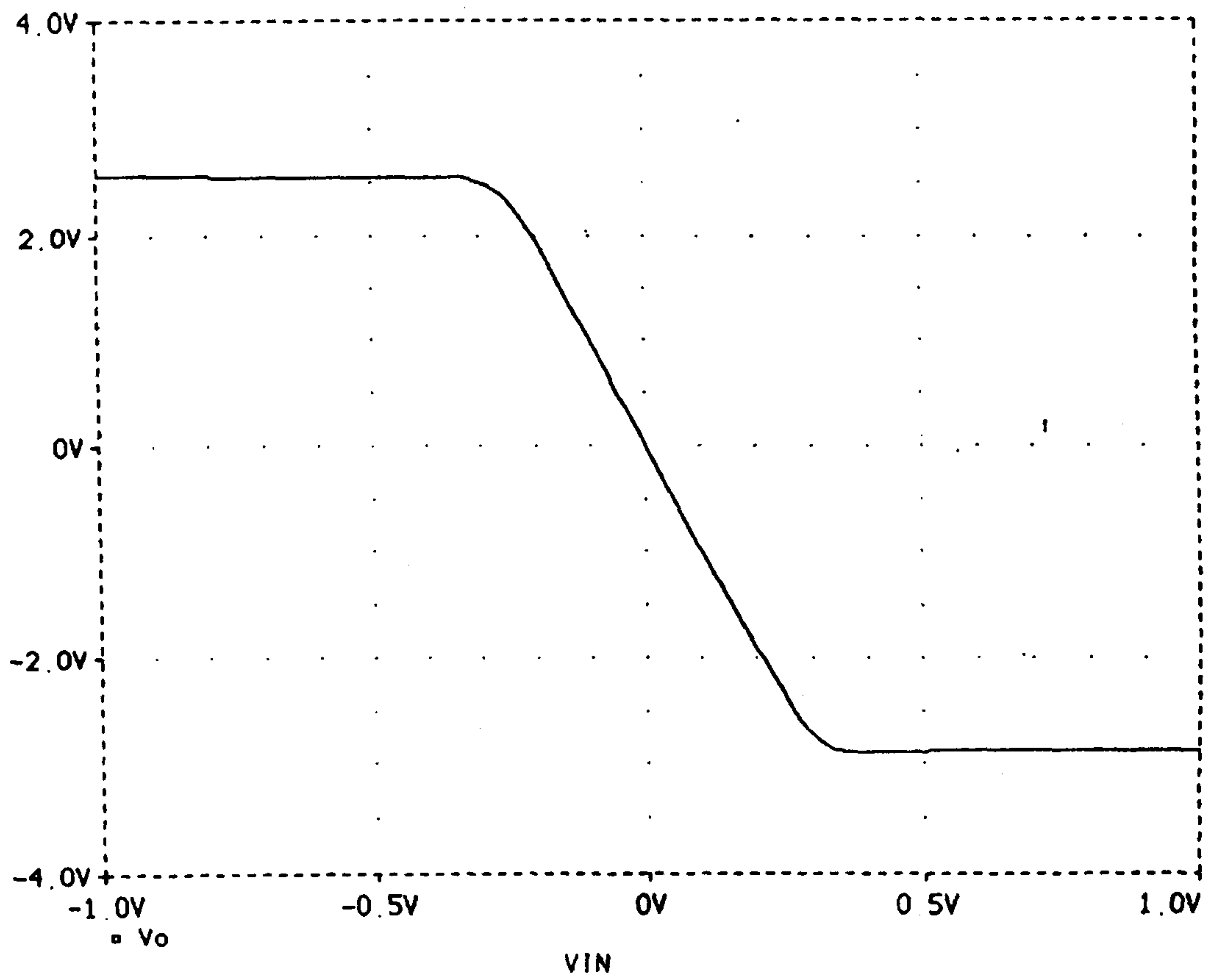


그림 2-13. Output Swing 특성

#### 4. 설계된 CMOS 연산증폭기의 layout

2절에서 설계한 CMOS 연산증폭기를 표 2-3과 같이 구한 MOS Tr.의 채널 폭과 길이로써  $0.8\mu\text{m}$  CMOS n-well 공정 규칙을 적용, layout editor(Cadence)를 사용하여 설계 규칙에 따라 layout 하였다.

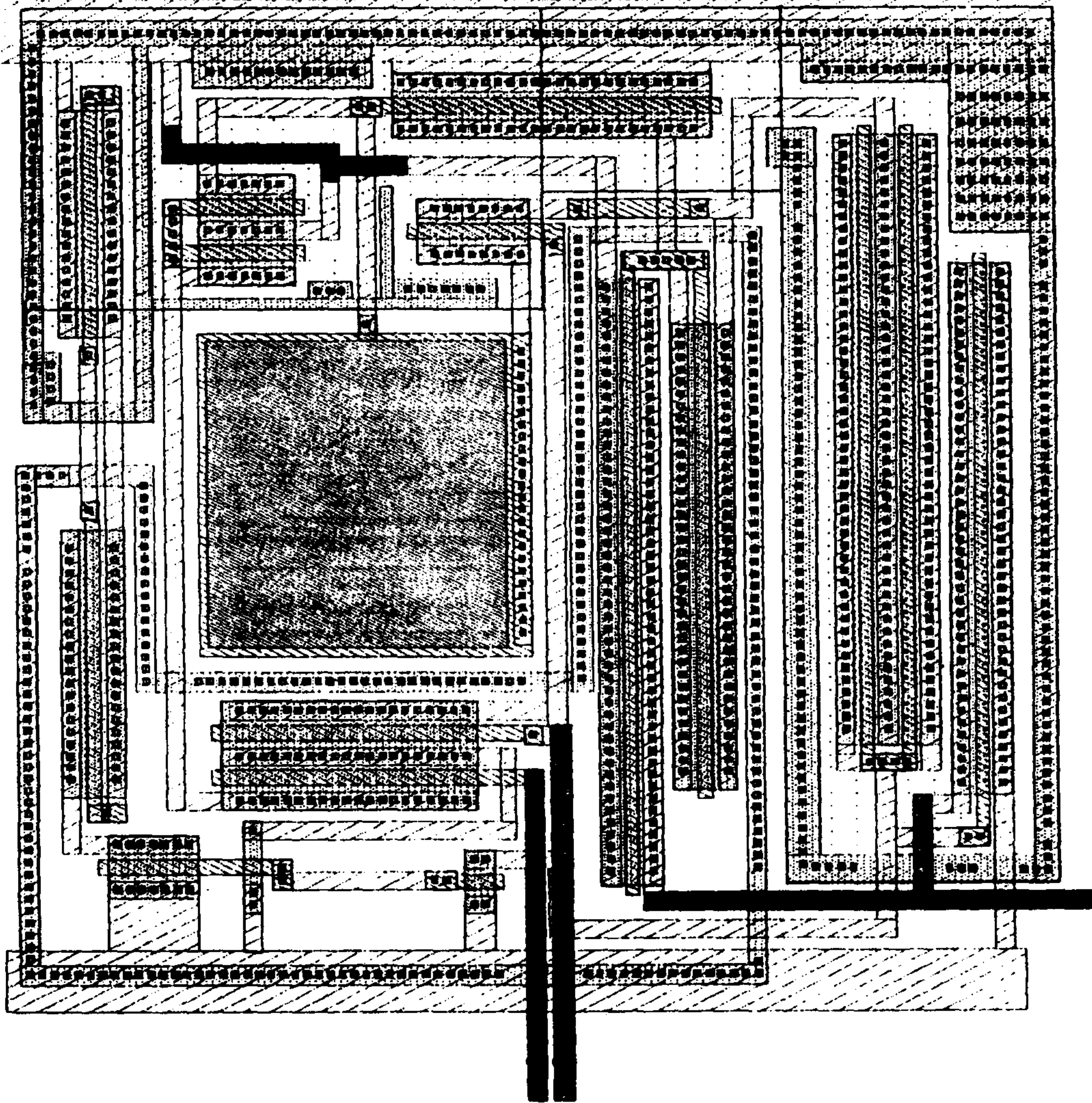


그림 2-14. 설계된 CMOS 연산증폭기의 layout

## 5. 고주파용 CMOS 연산증폭기 설계

### 가. 고주파용 CMOS 연산증폭기 설계를 위한 고찰

고주파용 연산증폭기를 설계하기 위해서는 일반적인 설계사양을 갖는 범용 연산증폭기 설계시에 고려하였던 여러가지 설계조건과 비교해 볼때 우선적으로 연산증폭기의 주파수대역폭에 초점이 맞추어진다. 연산증폭기의 주파수대역폭을 크게 확장함으로써 높은 주파수 대역에서도 동작이 충분히 가능하게 함으로써 입력에서 인가되는 고주파 신호를 연산증폭기가 충분히 소화시킬 수 있는 능력을 갖게 하는 것이다. 연산증폭기가 고주파대역에서 동작이 가능하다는 것은 그만큼 고속으로 동작할 수 있다는 것이다. 현재 거의 대부분의 아날로그 및 디지털 전자회로 와 그 응용회로는 고속화, 소형화, 저잡음화 등으로 설계되는 추세이기 때문에 고속동작 특성을 갖는 연산증폭기의 설계는 매우 중요한 연구가 되고 있다.

고주파 연산증폭기를 설계에 가장 유리한 증폭단의 구조는 한개의 증폭단으로 이득을 결정 지을 수 있는 1단 구조가 유리하다. 이것은 연산증폭기의 주파수 대역폭에 영향을 주게되는 극점의 수를 줄임으로써 연산증폭기의 대역폭을 다른 구조에 비해서 증가시킬 수 있다. 예를 들어 두개 이상의 극점을 갖게 되는 2단 구조 연산증폭기의 경우에는 연산증폭기의 이득 대 주파수의 특성 곡선이 첫번째 극점을 만나면서 감소하게 되다가 또 다른 두번째 극점을 만나게 되면 더욱 감소하게 되는데 이것은 결국 한개의 극점만을 갖는 1단 구조의 연산증폭기의 대역폭에 비해서 매우 그 범위가 작아 질 수 밖에 없게 된다. 이러한 이론에 의하면 3단 이상의 이득단을 갖는 연산증폭기의 대역폭은 더욱 더 불리하게 될 것이다. 고주파 대역을 갖는 연산증폭기 설계에 있어서 또 다른 중요한 설계 방법중의 하나는 가능한 보상

회로를 사용하지 않는 것이다. 보상 회로에 기인하는 연산증폭기 특성의 영향은 여러 가지로 나타나지만 이 보상 회로에 의해서 생기는 가장 큰 단점이 극점을 발생시킴으로써 연산증폭기의 주파수 대역폭을 감소시키는 것이다. 이러한 점에서 보상 회로의 구성이 불필요한 1단 구조의 연산증폭기를 사용하여 이러한 문제점을 최소화 하는 것이 유리하다. 본 연구에서는 고주파용 연산증폭기를 설계하는데 있어서 이와 같은 연산증폭기의 구조적인 특성을 충분히 고려하여 설계하였다.

#### 나. 설계된 고주파용 CMOS 연산증폭기의 특성

설계된 고주파용 CMOS 연산증폭기의 구조를 그림 2-15에 나타내었고 내부에 사용된 트랜지스터 크기를 표 2-5에 나타내었다.

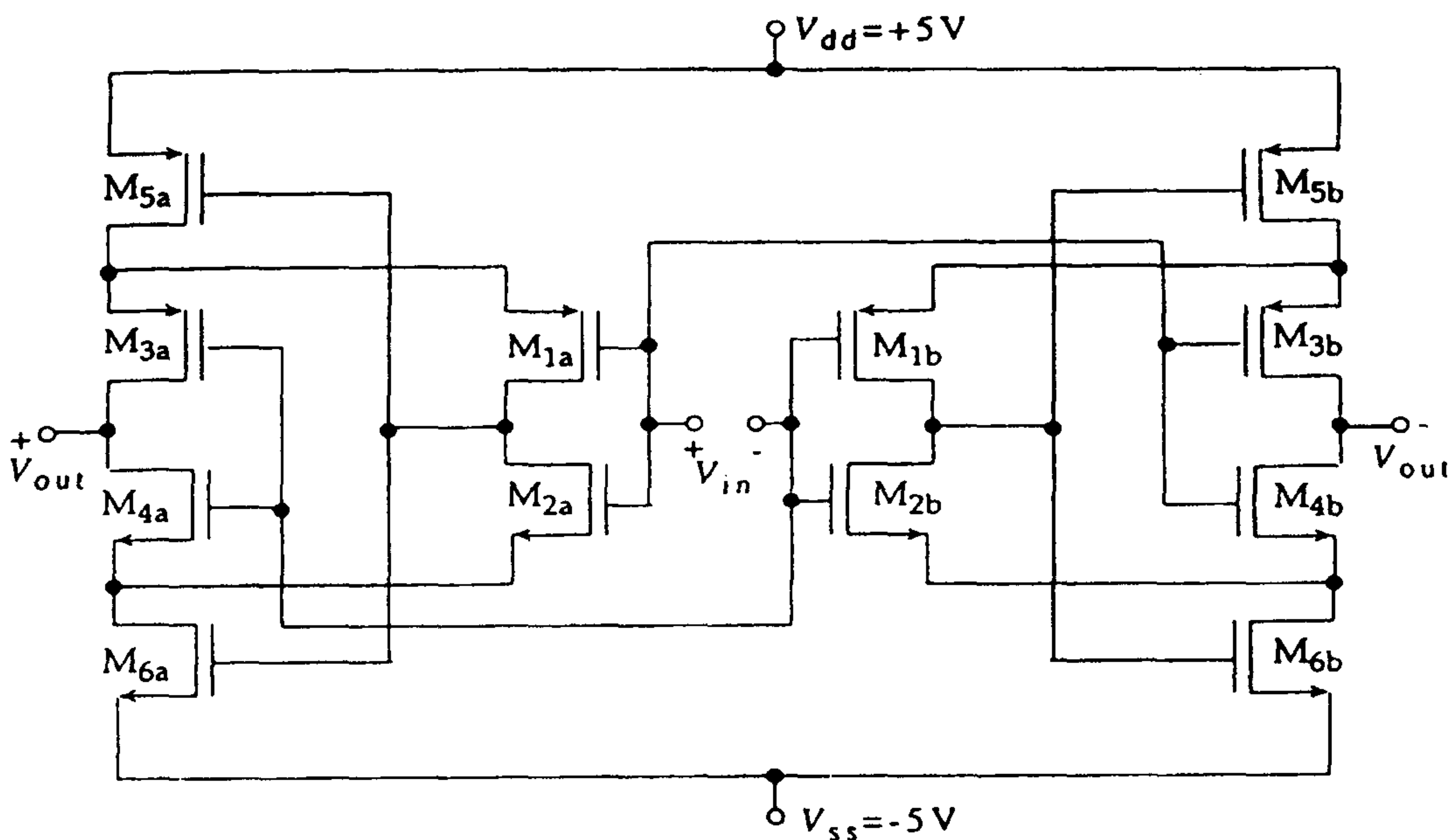


그림 2-15. 설계된 고속 연산증폭기의 구조

표 2-4. 트랜지스터 크기

	MOS	L( $\mu\text{m}$ )	W( $\mu\text{m}$ )		MOS	L( $\mu\text{m}$ )	W( $\mu\text{m}$ )
M1	PMOS	4	420	M7	PMOS	3	33
M2	NMOS	4	440	M8	NMOS	4	16
M3	PMOS	4	420	M9	PMOS	4	420
M4	PMOS	4	440	M10	PMOS	4	440
M5	PMOS	3	33	M11	PMOS	4	420
M6	PMOS	4	16	M12	PMOS	4	440

설계된 고주파용 CMOS 연산증폭기는 다음과 같은 특성을 갖는다.

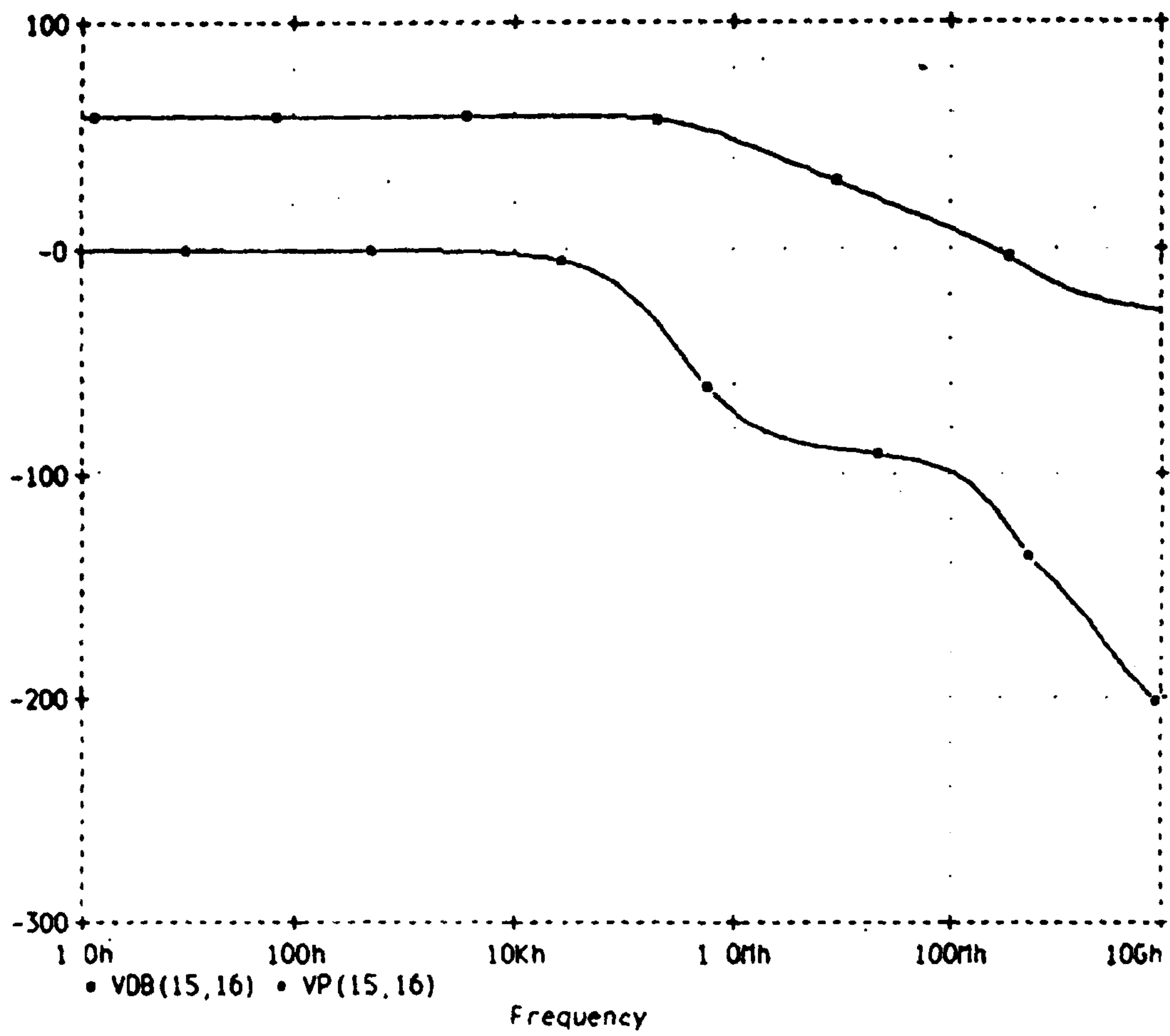
- ◎ 고속동작특성 : 일반적으로 MOS 및 바이폴라 트랜지스터에 의해서 구성되는 차동증폭단, 이득단 및 버퍼단등의 회로는 그 회로를 동작시키기 위한 바이어스 전류를 외부적으로 공급하는 경우가 많으며 동작속도의 개선을 위하여 자기바이어스(self bias)를 사용하여 설계하는 방법도 증가하고 있다. 본 연구에서 고안된 Zero-crossing 검출기구조는 각각의 트랜지스터를 구동할 수 있는 바이어스 전류를 내부적으로 공급할 수 있는 구조로 형성되었다. 이와 같이 증폭단을 구동하기 위한 바이어스 전류를 내부적으로 공급함으로써 다음과 같은 성능의 개선을 얻을 수 있다. 첫째, 자기바이어스에 의해서 구동되는 4개의 트랜지스터,  $M_{5a}$ ,  $M_{5b}$ ,  $M_{6a}$ ,  $M_{6b}$ 를 MOS 동작영역중, 선형영역(Linear Range,  $V_{DS} \ll V_{GS} - V_T$ )에서 동작하게 함으로써 노오드 ㉠ 및 ㉡의 DC 전위가 각각 공급 DC전압인 -5V, 와 5V에 가깝게 유지하게 할 수 있다. 노오드 ㉠ 및 ㉡에서 나타나는 높은 DC전위는 증폭단의 출력 스윙을 결정하게 되기 때

문에 출력 스윙은 두 공급전압의 차만큼이 되며 매우 크게 될 수 있다. 두번째로 위와 같이 4개의 트랜지스터를 선형영역에서 동작하게 함으로써 포화영역(Saturation Range,  $V_{DS} \gg V_{GS} - V_T$ )에서의 동작 상태보다도 출력스위칭 전류를 크게할 수 있다. 이러한 특성으로 볼 때 본 증폭단 구조는 순간적으로 큰 전류 펄스를 공급할 수 있는 능력을 가지므로 고속 동작에 적합한 구조임을 알 수 있다.

- ◎ 고이득특성 : 설계된 연산증폭기는 완전 상보형 차동쌍 구조로서 형성되어 이득이 증가된다. 입력측에 반주기의 양전압이 인가될때 NMOS와 PMOS로 구성된 완전 CMOS 상보형 차동쌍에서 각각  $G_m$ 값을 얻을 수 있어서 이득이 증가될 수 있다. 본 연구에서 설계된 그림 2-15의 연산증폭기는 고이득특성을 얻을 수 있음으로 인해서 고주파 특성을 얻기 위하여 전체적으로 1단 구조로 설계로써 생기는 이득에 있어서의 약점을 충분하게 보완하였다.

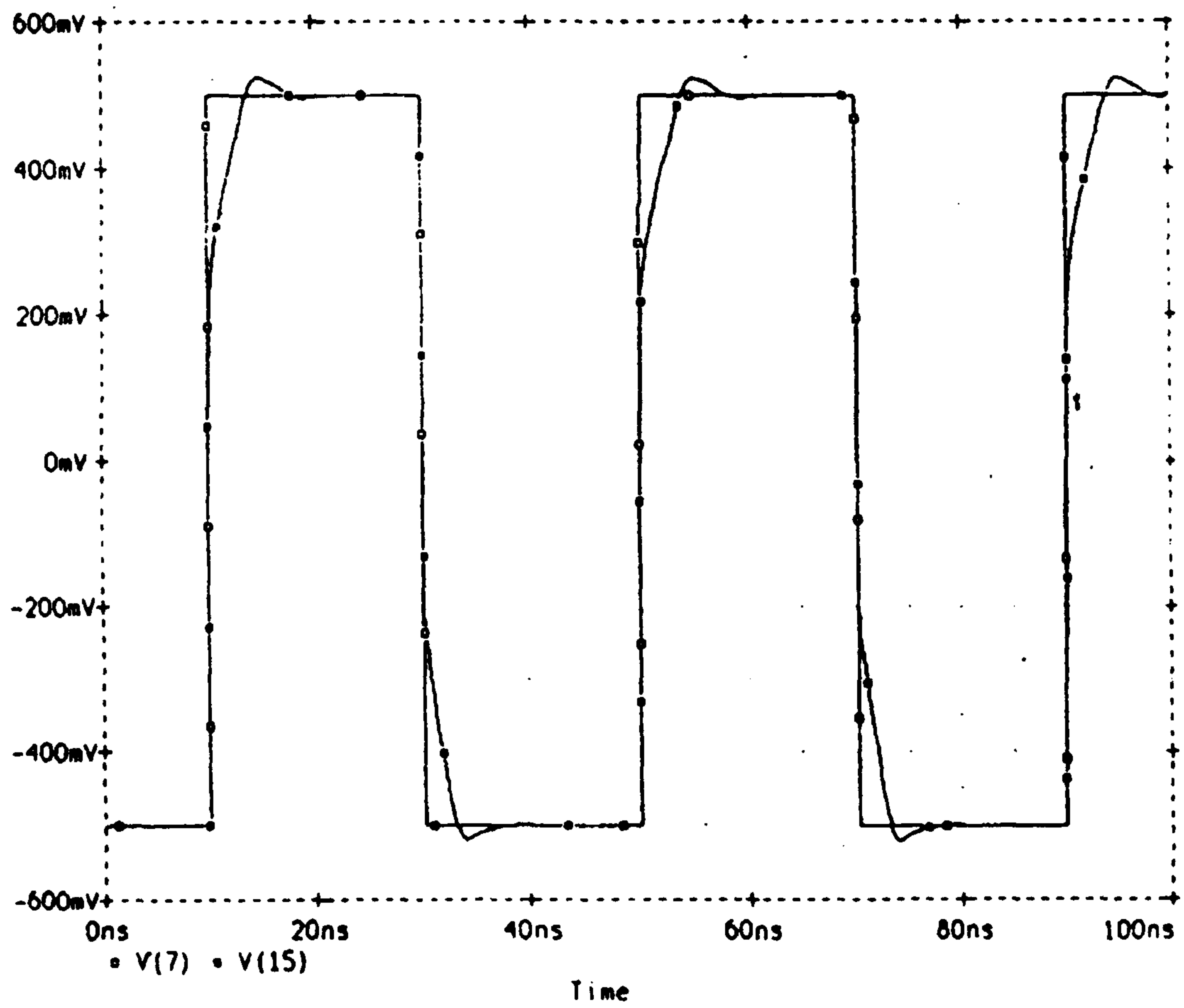
#### 다. 컴퓨터 시뮬레이션 및 비교

설계된 연산증폭기는 SPICE 시뮬레이션에 의해서 그 특성이 조사되었다. 설계된 연산증폭기의 특성을 그림 2-16에 나타내었다.

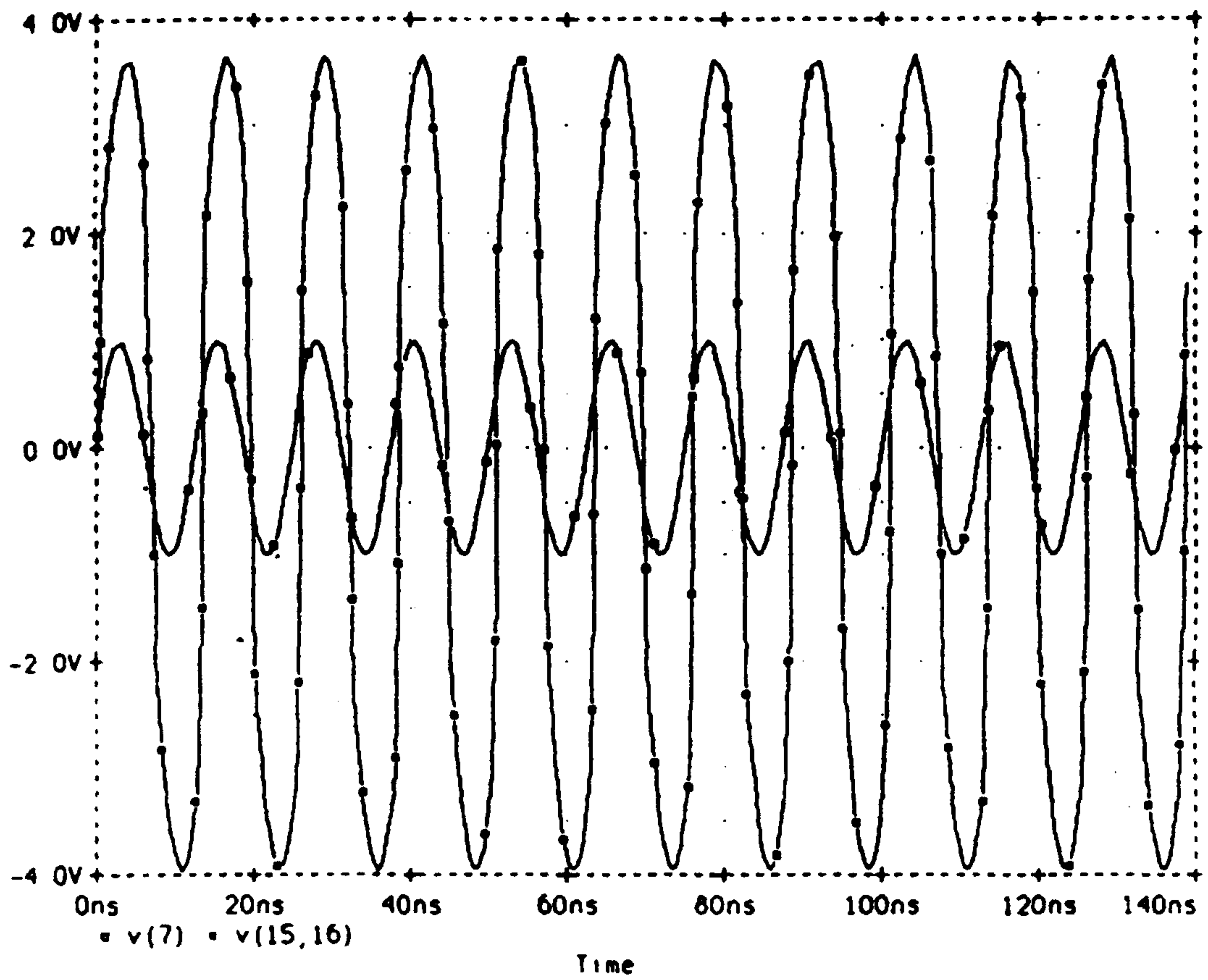


(a) 이득 및 위상특성

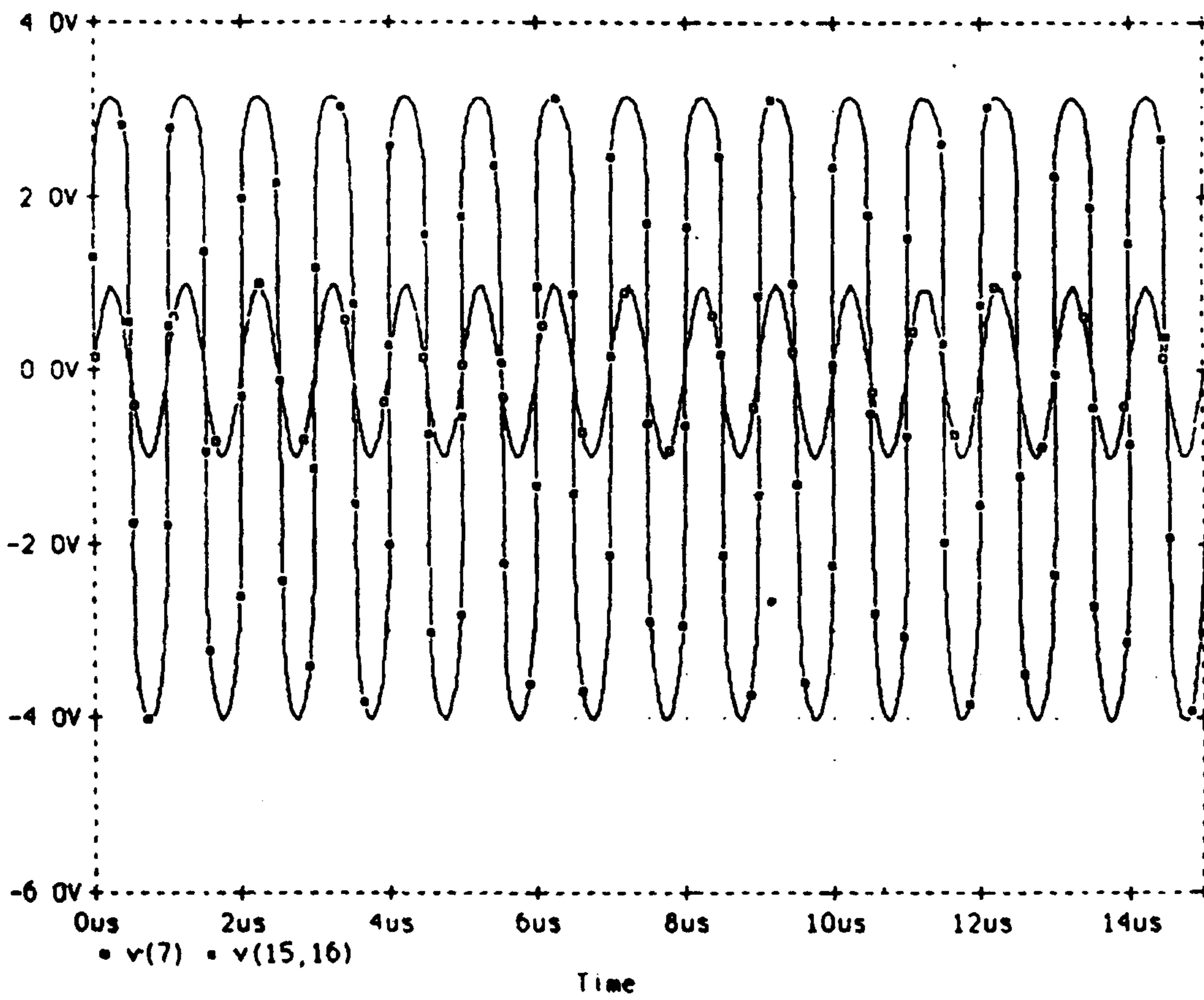




(b) 슬루우울과 안정상태 도달시간



(c) 증폭특성 (입력 계단파입력)



(d) Sin파 입력

그림 2-16. 설계된 고속 연산증폭기의 특성

그림 2-17은 IEEE에 발표된 논문[“Very High Frequency CMOS Amplifier”]에서 설계된 연산증폭기를 나타낸 것이다. 본 연구에서 설계된 고주파용 연산증폭기의 특성과 IEEE 논문에서 발표된 초고속 연산증폭기와의 특성을 표 2-5에 비교하여 보았다.

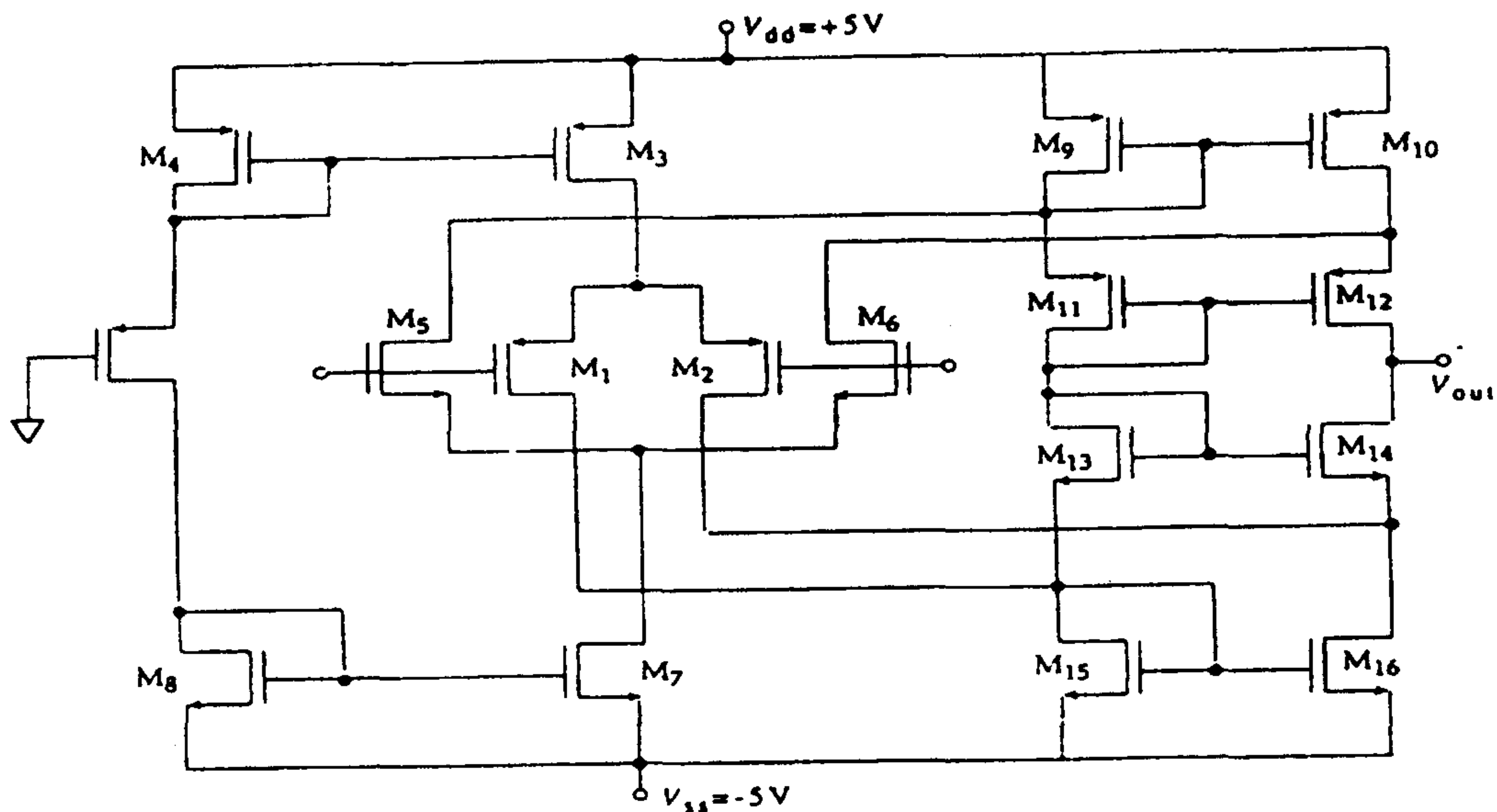


그림 2-17. 발표된 초고속 연산증폭기의 구조

표 2-5. 설계된 고속연산증폭기와 기존의 연산증폭기와의 특성 비교

특 성	설계된 증폭기	기존의 증폭기
OPEN LOOP GAIN	60 dB	57 dB
UNITY GAIN FREQUENCY	250 MHz	200 MHz
CMRR	65 dB	?
PSRR VDD	67 dB	?
PSRR VSS	66 dB	?
SLEW RATE	220 V/ $\mu$ s	310 V/ $\mu$ s
SETTLING TIME	10 nsec	12 nsec
PHASE MARGIN	60 °	59 °
POWER DISSIPATION	12 mW	6.5 mW
LOAD CAPACITOR	5 pF	1 pF

## 제 3 절 전류제어증폭기 (OTA)

### 1. 전류제어증폭기의 구조해석

전류제어증폭기는 입력 전압에 비례하는 전류를 출력시키는 전압 제어 전류증폭기(voltage controlled current amplifier)로써, 전압 제어 전압 증폭기인 연산증폭기와 비교할 때, 전달 특성이 전압 이득이 아닌 전달 컨덕턴스(transconductance)로 나타나는 것을 제외하고는 일반적인 특성에서 큰 차이가 없다. 앞절의 연산증폭기와 비교하여 전류제어증폭기만이 갖는 장점은 다음과 같다.

#### ◎ 넓은 대역폭 :

일반적인 전류제어증폭기의 대역폭은 수 MHz이다. 또한 필터의 집적화에 쓰이도록 만들어지는 단판(monolithic) 전류제어증폭기의 경우에는 수십 MHz에서 수백 MHz까지 이른다.

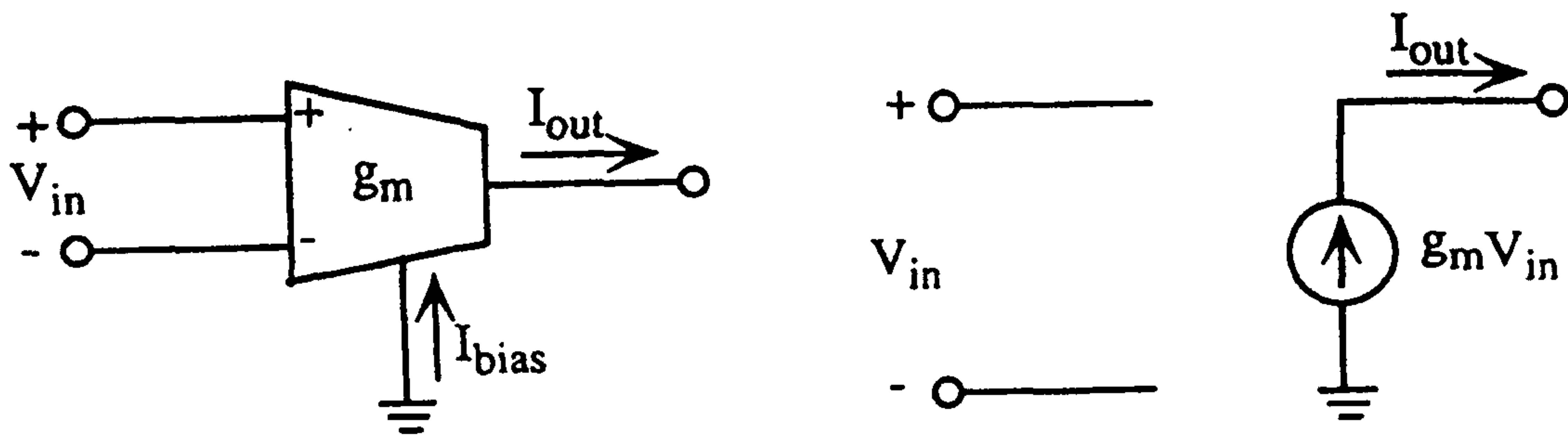
#### ◎ 용이한 집적화 :

바이어스 전류로서 출력을 조절할 수 있으며 일반적으로 회로가 간단하여 집적화가 용이하다.

#### ◎ 전류제어증폭기를 이용한 회로는 보통 수동소자를 적게 요구한다. 전류제어증폭기의 출력은 전류이며, 크기는 입력 전압과 전달 컨덕턴스의 곱으로 나타내어진다.

$$I_{out} = g_m \cdot V_{in} \quad (3.1)$$

그림 3-1 (a)는 전류제어증폭기의 심벌이며 (b)는 이상적인 전류제어 증폭기의 등가회로를 나타낸다. 전류제어증폭기의 중요한 특성은 그림 3-1에서 보여주듯이 외부의 bias 전압 변화에 따라 전달 콘덕턴스 값이 변하게 되고, 결과적으로 전달 콘덕턴스의 변화는 소비전력의 변화를 가져온다는 것이다.



(a) OTA 심벌

(b) OTA의 이상적인 등가회로

그림 3-1. 전류제어증폭기의 심벌 및 등가회로

전류제어증폭기 설계를 위한 주요 파라미터 특성을 표 3-1에 나타냈다. 그림 3-2는 바이폴라 트랜지스터 전류제어증폭기 [CA3080, CA3094]에 의해 잘 알려져 있는 전류제어증폭기의 일반적인 구조이다. 그림 3-2에서 볼 수 있듯이 전류제어증폭기의 전체구조는 차동 입력단과 4개의 current mirror로 구성된다. 여기에서 출력저항이 클 때는 그림 3-1 (b)의 회로와 등가이고, 출력단자의 부하가 캐패시터 일 때는 큰 dc 개방 루프 이득(open-loop gain)이 얻어진다.

표 3-1. 전류제어증폭기 설계를 위한 파라미터 특성

Design Parameters	Performance Characteristics
Open-loop Gain	60 [dB] 이상
Unity-gain Frequency	1 ~ 10 [MHz]
Phase Margin	60° ~ 90°
Slew Rate ( Positive, Negative )	2 ~ 10 [v/ $\mu$ s]
Common Mode Rejection Ratio	60 [dB] 이상
Power Supply Rejection Ratio ( $V_{DD}$ , $V_{SS}$ )	60 [dB] 이상
Input Offset Voltage	2 [mV] 이하
Capacitive Load	0.25 ~ 100 [pF]
Output Resistance	수십 M $\Omega$ 이상
Power Dissipation	Controllable (10mW 이하)

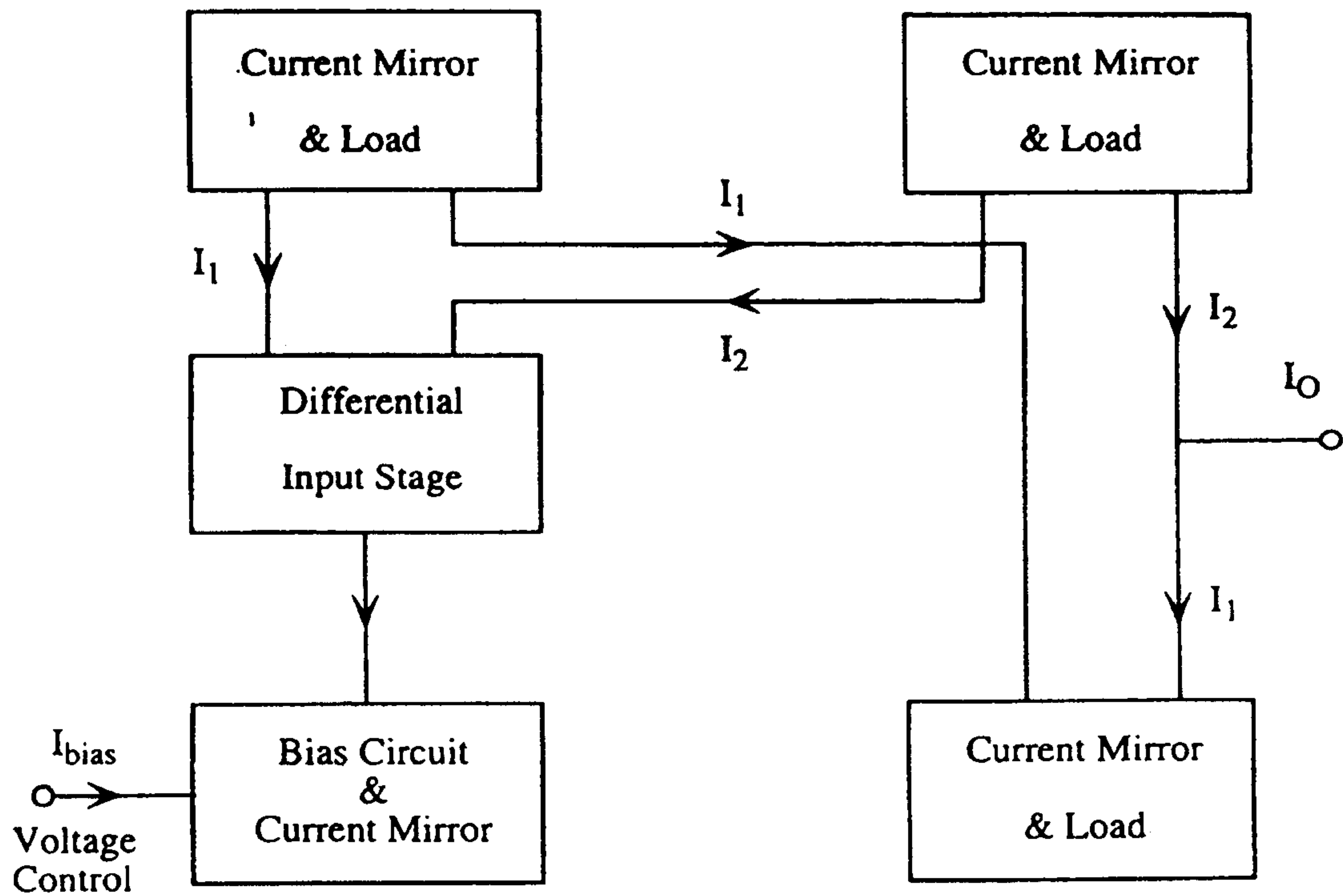


그림 3-2. 일반적인 전류제어증폭기의 구조

## 2. 전류제어증폭기의 설계

### 가. 차동 입력단의 설계

모든 MOSFET이 포화상태에서 동작한다고 가정하면, 드레인 (drain)에 흐르는 전류  $I_D$ 는 다음의 식과 같이 표현된다.

$$I_D = k \cdot (V_{GS} - V_T)^2 \quad (3-2)$$

전류제어증폭기에서 차동 입력단의 설계는 매우 중요하다. 차동 입력단을 설계할 때, 그림 3-3과 같이 소스-커플드 쌍(source-coupled pair)으로 할 경우 게이트-소오스(gate-source)전압과 드레인 전류의 관계는 다음 식과 같다.

$$I_{D1} = \frac{\mu_n C_{OX}}{2} \cdot \frac{W_1}{L_1} [V_{GS1} - V_T]^2 \quad (3-3)$$

$$I_{D2} = \frac{\mu_n C_{OX}}{2} \cdot \frac{W_2}{L_2} [V_{GS2} - V_T]^2$$

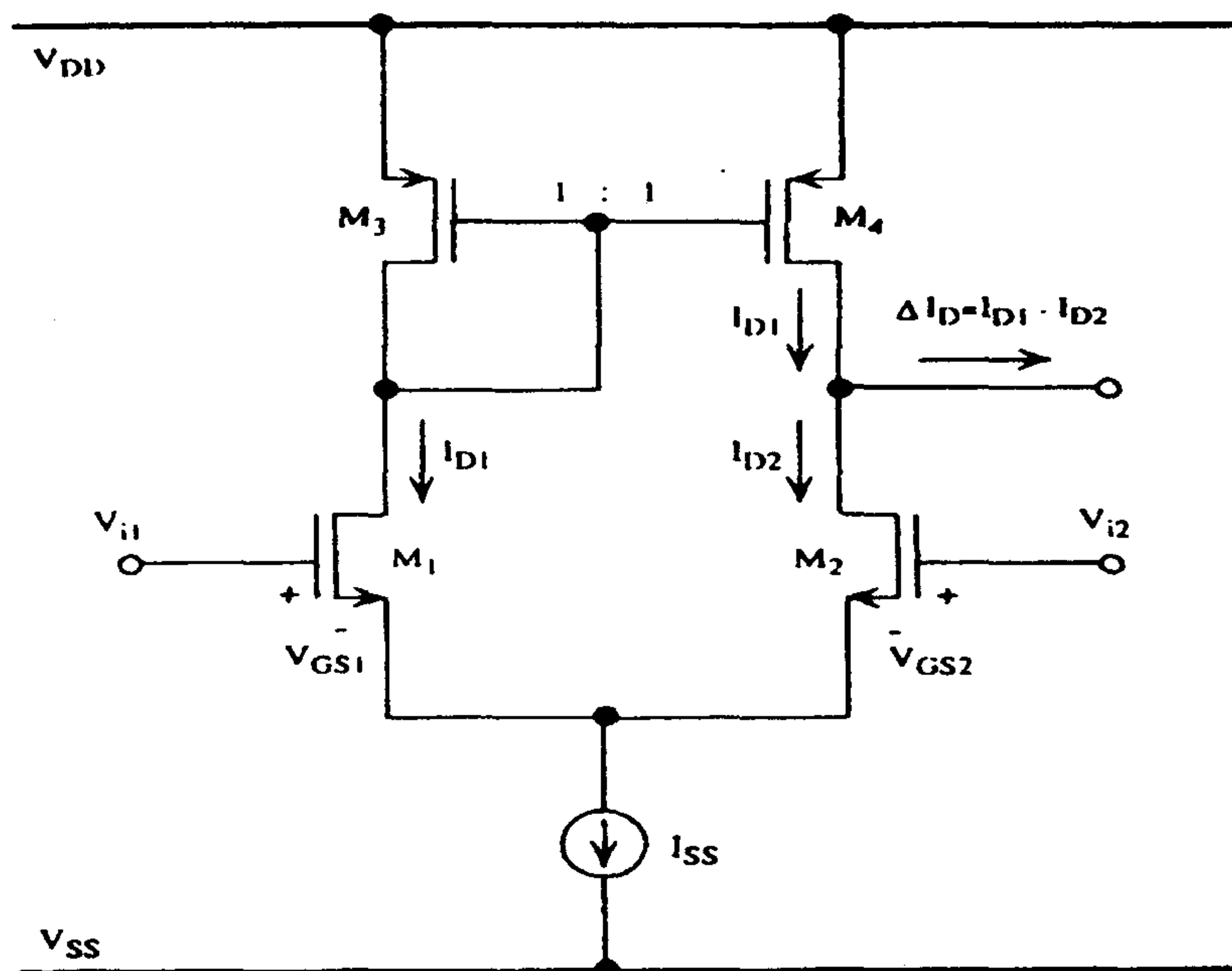


그림 3-3. Source-Coupled Pair



트랜지스터 M1과 M2가 이상적인 것이라 가정하면, 이때 입력전압과 출력전류의 관계는 아래의 식과 같이 표현된다.

$$\begin{aligned}
 \Delta I_D &= \frac{\mu_n C_{OX}}{2} \cdot \frac{W}{L} [V_{GS1}^2 - V_{GS2}^2 - 2V_T(V_{GS1} - V_{GS2})] \\
 &= 2 \frac{\mu_n C_{OX}}{2} \cdot \frac{W}{L} (V_{GS1} + V_{GS2} - 2V_T) \frac{V_{GS1} - V_{GS2}}{2} \\
 &= \frac{\mu_n C_{OX}}{2} \cdot \frac{W}{L} \Delta V_i \sqrt{\frac{2I_{SS}}{\frac{\mu_n C_{OX}}{2} \cdot \frac{W}{L}} - \Delta V_i^2}
 \end{aligned} \tag{3-4}$$

$$|\Delta V_i| \leq \frac{I_{SS}}{\frac{\mu_n C_{OX}}{2} \cdot \frac{W}{L}}$$

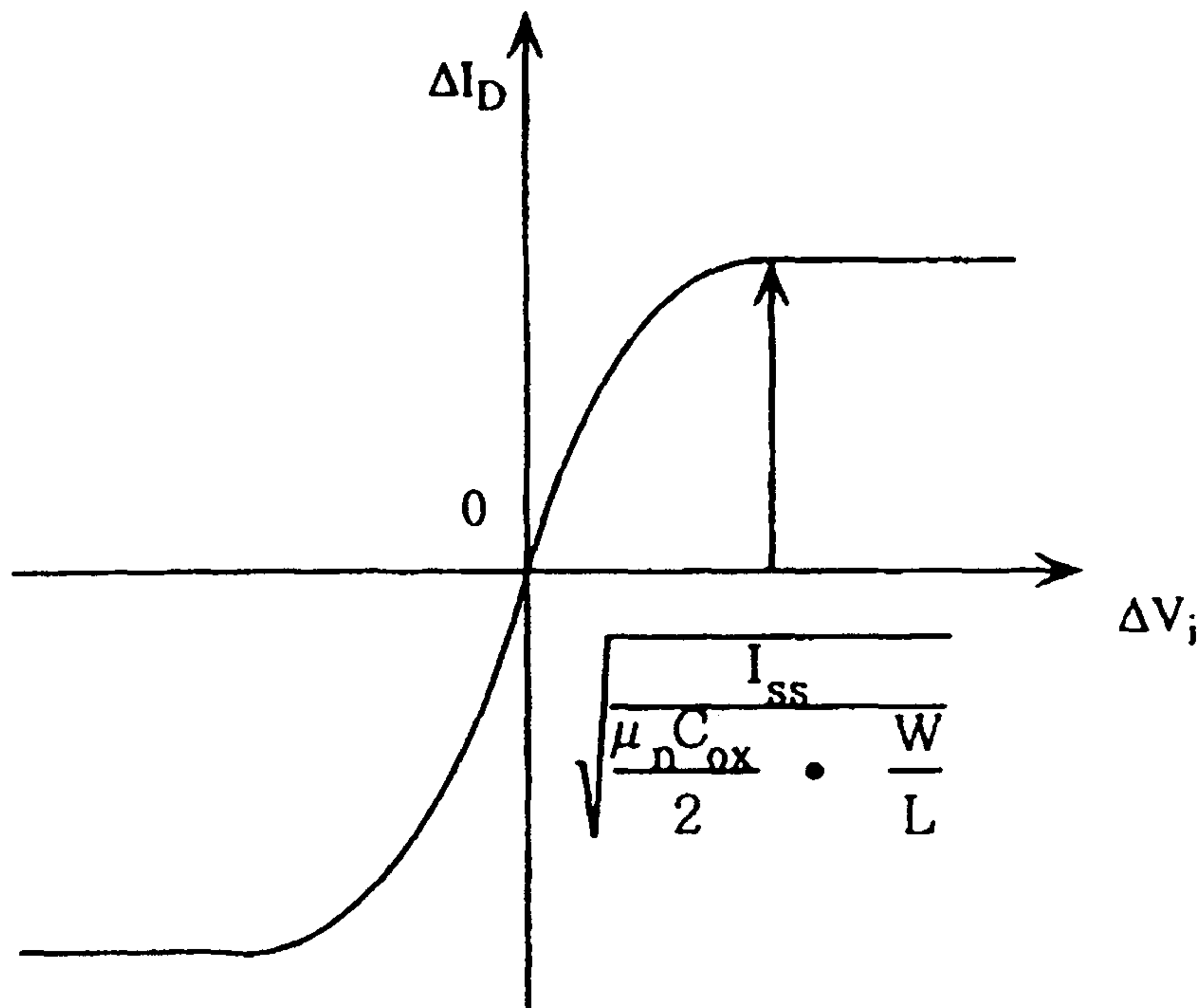


그림 3-4. Source-Coupled Pair의 전달특성

식(3-4)에서 출력전류는 입력전압의 비선형함수이기 때문에 그림 3-4에서 볼 수 있듯이 선형영역이 많은 제한을 받는다. 따라서 입력 선형영역을 보다 증가시키기 위해서는 차동입력단의 설계를 그림 3-5와 같은 크로스-커플드 쌍(cross-coupled pair)로 설계하면 된다. 이때의 출력 전류  $I_{out}$ 은 식(3-5)와 같다.

$$I_{out} = 4k \cdot V_b \cdot V_{in} \quad (3-5)$$

여기에서

$$k = \frac{\mu_n C_{OX}}{2} \cdot \frac{W}{L}$$

$$2V_b = V_{GS1} + V_{GS2} - 2V_T$$

$$V_{in} = \frac{V_{GS1} - V_{GS2}}{2}$$

이며, 식(3-5)로부터  $g_m = \frac{I_{out}}{V_{in}} = 4kV_b$  이다.

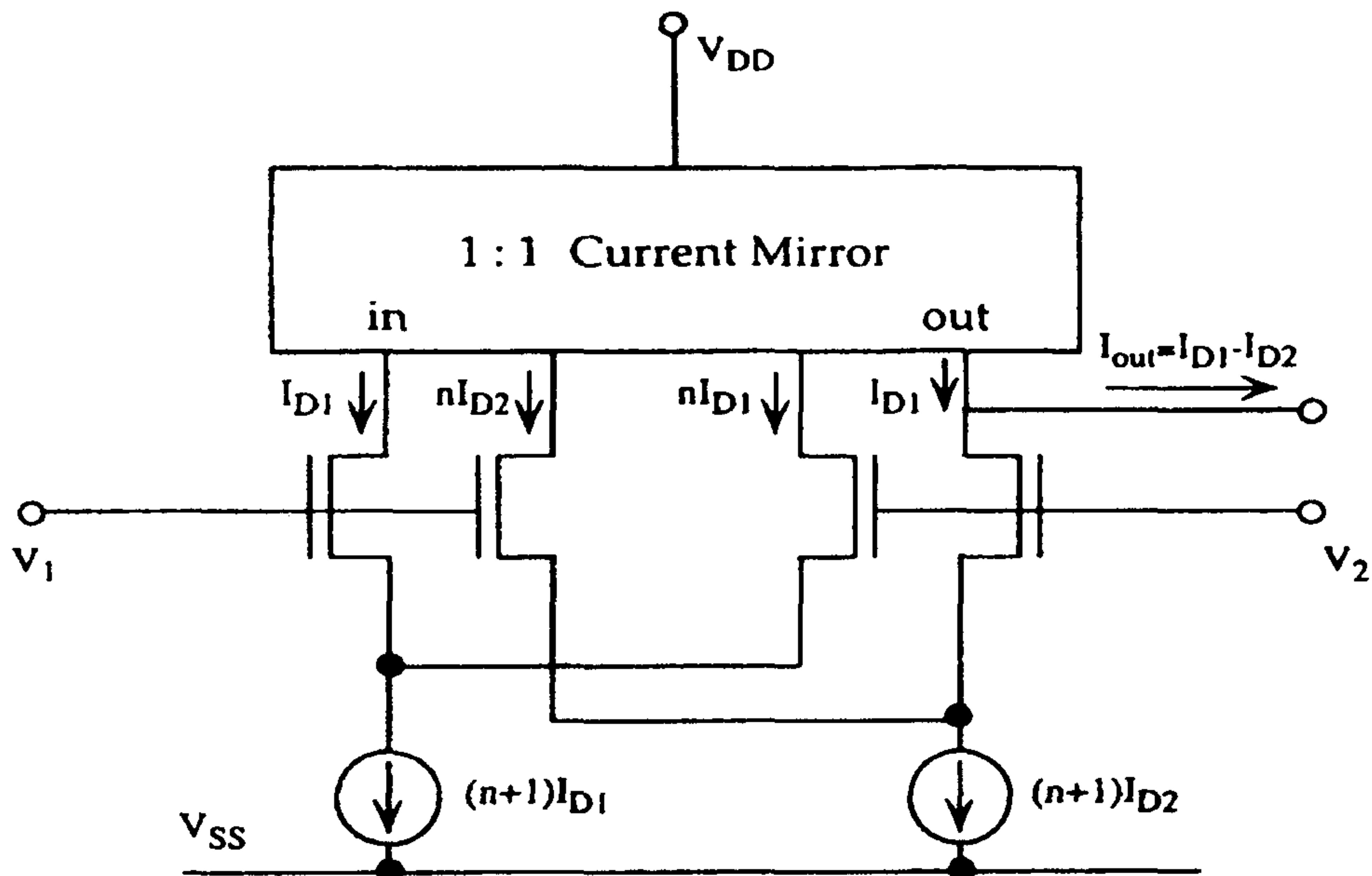


그림 3-5. Cross-Coupled Pair

나. 1단 CMOS 전류제어증폭기의 설계

그림 3-2의 전류제어증폭기 구조에 그림 3-5의 차동 입력단을 합하여 그림 3-6과 같은 1단 CMOS 전류제어증폭기 회로를 설계할 수 있다. 그림 3-6에서 트랜지스터 M1~M4는 입력영역을 선형화하기 위한 cross-coupled pair이고, M5~M21은 current mirror이다. 그림 3-6의 (a)에서 unity-gain current mirror가 사용된다고 가정할 때, 전체 전달 콘덕턴스는

$$g_m = g_{m1} \quad (3-6)$$

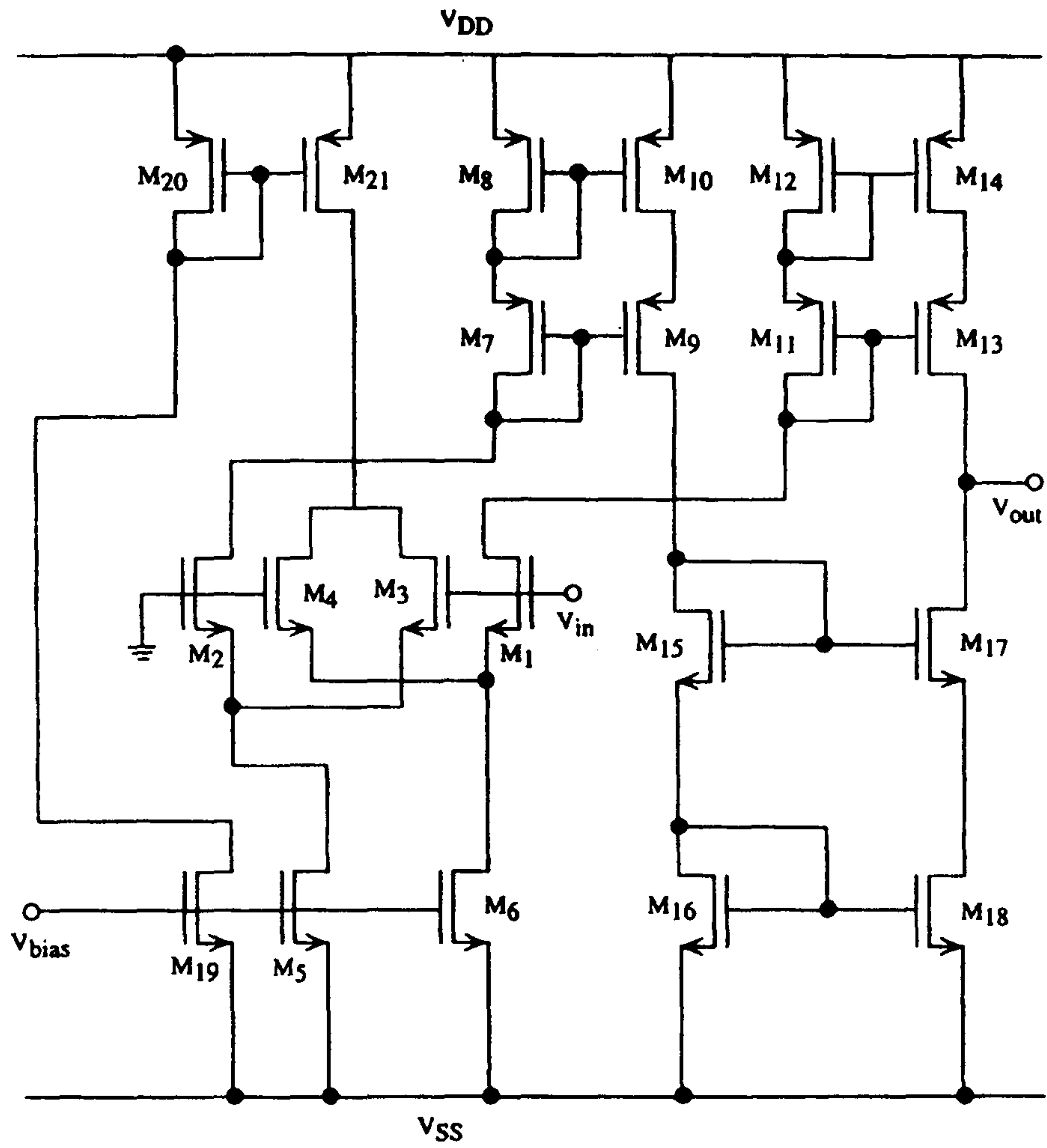
와 같고, 출력저항은 식(3-7)과 같이 표시된다.

$$R_{out} = (r_{ds13} + r_{ds14} + r_{ds13} \cdot r_{ds14} \cdot g_{m13}) // \quad (3-7)$$

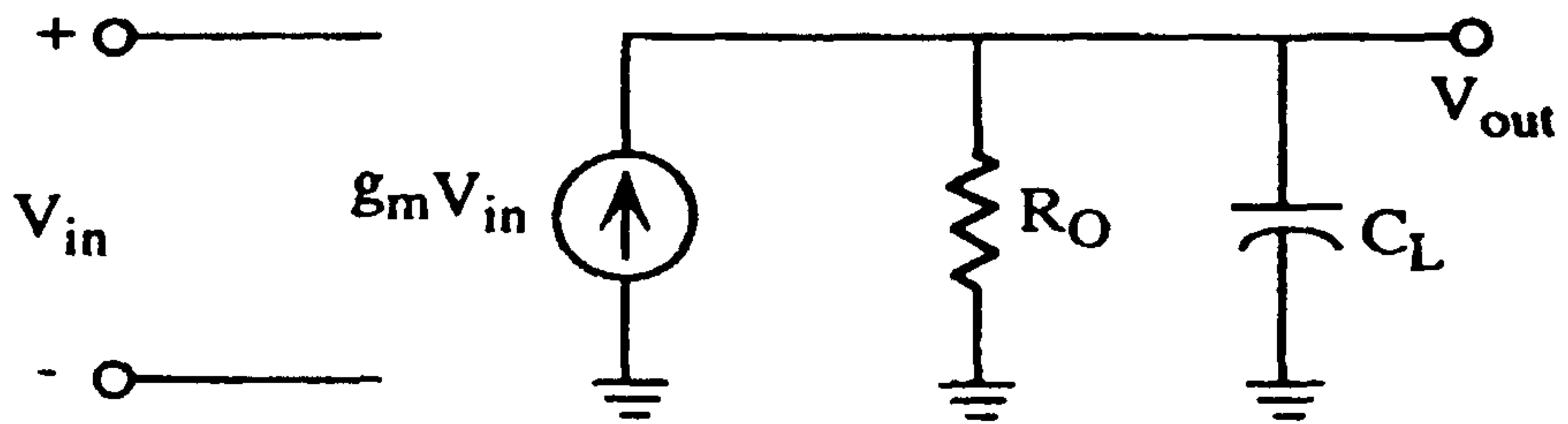
$$(r_{ds17} + r_{ds18} + r_{ds17} \cdot r_{ds18} \cdot g_{m17})$$

여기에서  $r_{ds}$ 들은 드레인 저항이고,  $g_m$ 들은 전압제어 전류원(voltage controlled current source)에 의해 나타나는 전달 콘덕턴스이다. 그리고 전압 이득은 식(3-8)과 같다.

$$A_v = g_m \cdot R_{out} \quad (3-8)$$



(a) 내부회로



(b) 등가회로

그림 3-6. 1단 CMOS 전류제어증폭기

그림 3-6 (b)에서 출력전류  $g_m V_{in}$  은 출력 저항이 매우 크기 때문에 직접적으로 용량성 부하( $C_L$ )에 흐르게 된다. 그러므로 그림 3-6 (b)는 출력측 부하 저항이 없는 그림 3-1 (b)와 동가이며, 부하 캐패시터가 걸린 경우의 출력전압과 dc 출력전압은

$$V_{out} = \frac{g_m \cdot R_{out} \cdot V_{in}}{1 + sC_L \cdot R_{out}} \quad (3-9)$$

$$V_{out(dc)} = \frac{g_m \cdot V_{in}}{g_{out}} \quad (3-10)$$

이고, 3dB 주파수  $f_c$  는 다음과 같다.

$$f_c = \frac{g_{out}}{2\pi C_L} \quad (3-11)$$

또한 이득이 0[dB] 되는 주파수  $\omega_0$  (unit-gain frequency)는

$$\omega_0 = \frac{g_m}{C_L} - \frac{1}{g_{out} \cdot C_L} = \frac{g_m}{C_L} = \frac{1}{\tau} \quad (3-12)$$

으로 전류제어증폭기는 적분기로써 동작하게 된다. 여기에서 시상수  $\tau$  는 이득이 0[dB]인 각주파수  $\omega_0$  와 역수 관계를 갖으며, 각주파수는 그림 3-7에서 보여주는 것처럼 dc 이득에 의존하는 매우 낮은 주파수에서의 우세극점(dominant pole)과 일치한다. 설계된 그림 3-6 (a)의 전류제어증폭기가 표 3-1의 설계조건을 만족할 수 있도록 각 MOS 트랜지스터의 채널 폭( $W_i$ )과 길이( $L_i$ )를 구하면 표 3-2와 같다.

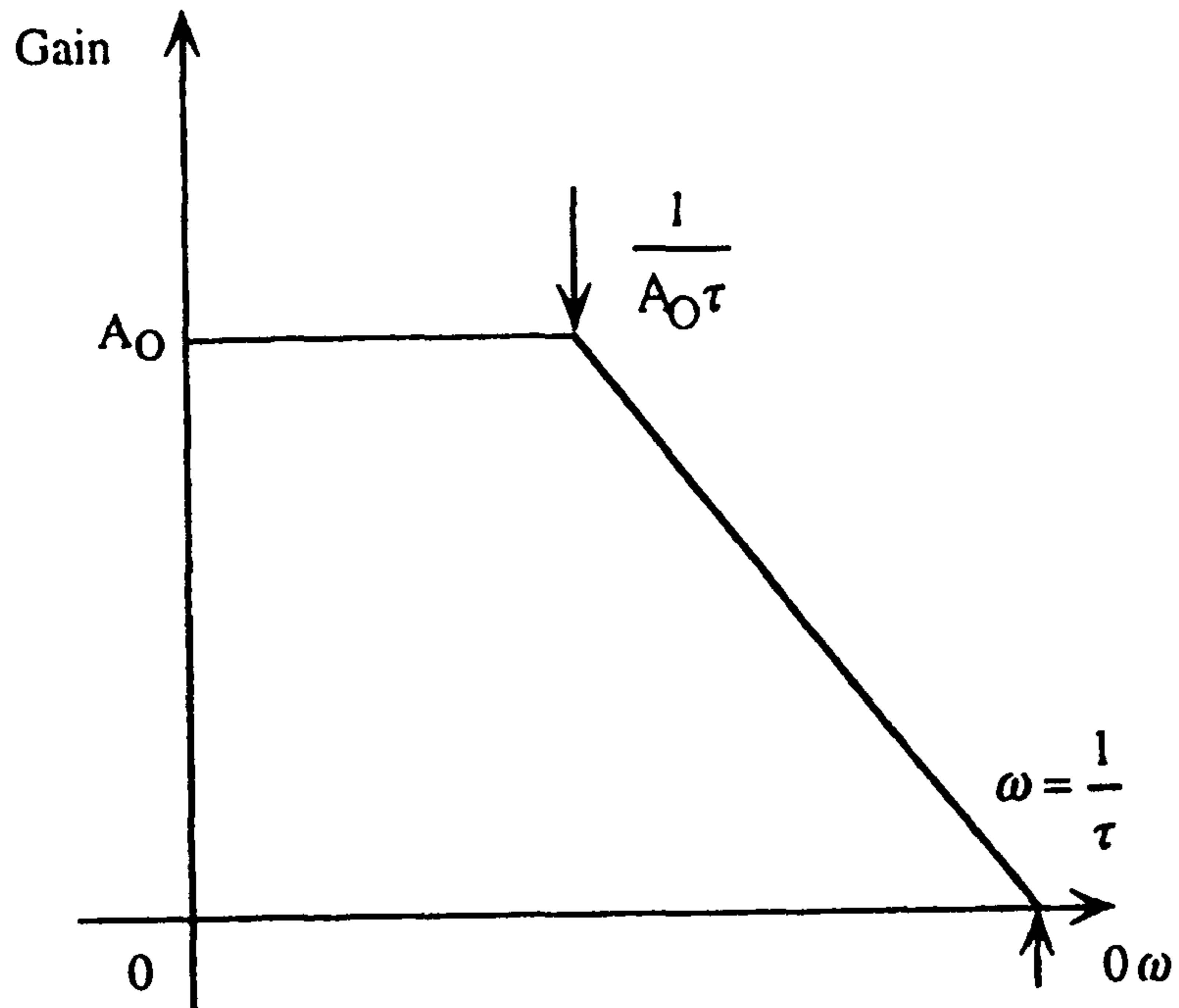


그림 3-7. 이득의 주파수 특성

표 3-2. CMOS 전류제어증폭기의 트랜지스터 크기

Transistor	Type	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]
M1 ~ M2	NMOS	30	2
M3 ~ M4	NMOS	252	18
M5 ~ M6	NMOS	6	12
M7 ~ M10	PMOS	22.5	3
M11 ~ M14	PMOS	20	2.5
M15 ~ M18	NMOS	3	2.5
M19	NMOS	3	10
M20	PMOS	10	250
M21	PMOS	3	150

### 3. 시뮬레이션

본 연구에서는 설계된 CMOS 전류제어증폭기를 chip으로 제작하기 위하여 double-poly, double-metal n-well 공정 파라메타를 적용하여 시뮬레이션 하였다.

표 3-3. CMOS 전류제어증폭기의 특성

Parameter ( $V_{DD} = -V_{SS} = 5V, C_L = 1pF$ )	Simulation result
Open loop gain	63.0 dB
Unit-gain frequency	35.4 MHz
Phase margin	66.1 Deg.
1% Settling time	0.32 $\mu s$
Slew-rate positive	15.8 V/ $\mu s$
negative	9.4 V/ $\mu s$
Input common mode range	-4.6V ~ +3.7V
Common mode rejection ratio	81.5 dB
Power supply rejection ratio $V_{DD}$	75.8 dB
$V_{SS}$	75.3 dB
Offset voltage	0.83 mV
Output resistance	23 M $\Omega$
Power dissipation	0.6 mW

시뮬레이션 결과, 주파수 특성 곡선, 단위 계단 입력에 대한 transient 해석, Common- Mode Rejection Ratio, Input Common- Mode Range, PSRR(Power Supply Rejection Ratio) 측정을 위한  $V_{out}/V_{DD}$  및  $V_{out}/V_{SS}$  특성 곡선을 부하 커패시터가 1[pF]인 경우로 그림 3-8~그림 3-12와 같이 구했다. 또한 dc 바이어스 전압의 영향을 측정하기 위한 PSRR- $V_{DD}$  및 PSRR- $V_{SS}$ 의 특성 곡선과 output swing 특성 곡선을 각각 그림 2-12와 2-13에 제시하였다. 그리고 설계된 CMOS op-amp의 dc 바이어스 조건은  $V_{DD}=-V_{SS}= 5[V]$ 이며 동작 특성을 표 3-3에 제시하였다. 표에서 알 수 있듯이 모든 동작특성이 표 3-1에 제시한 전류제어증폭기의 설계조건을 만족하였다.

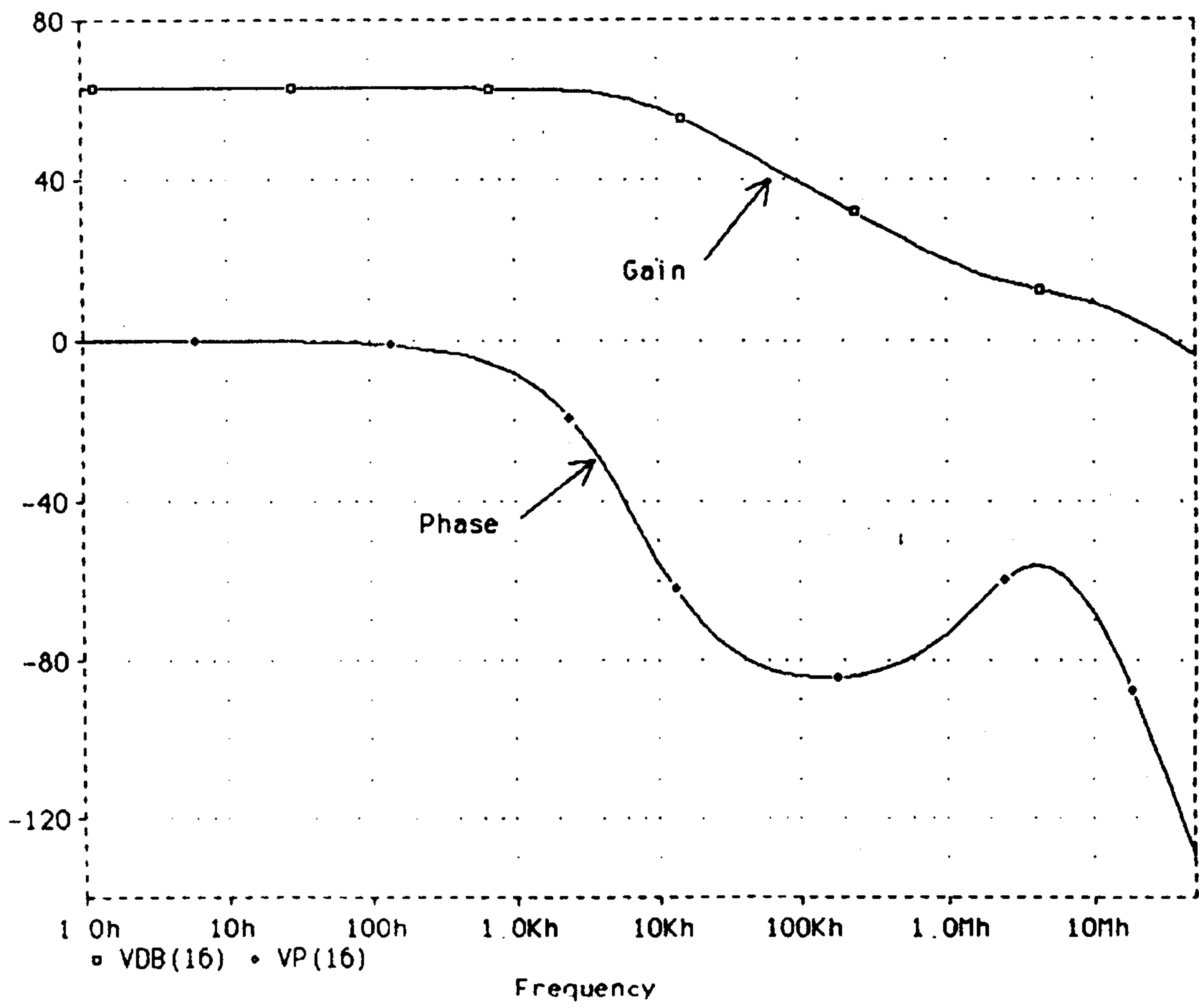


그림 3-8. 주파수 특성



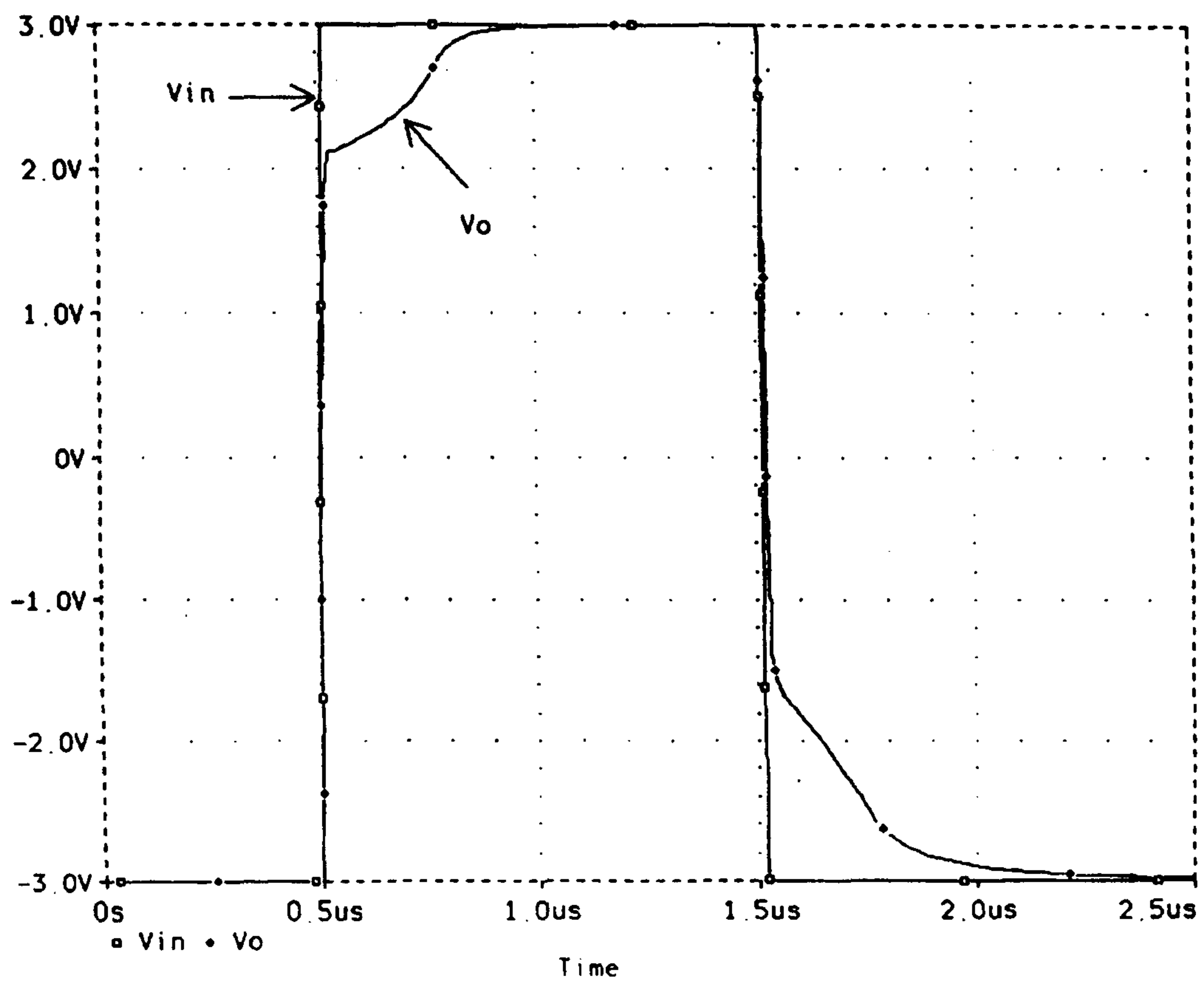


그림 3-9. Slew - Rate 특성

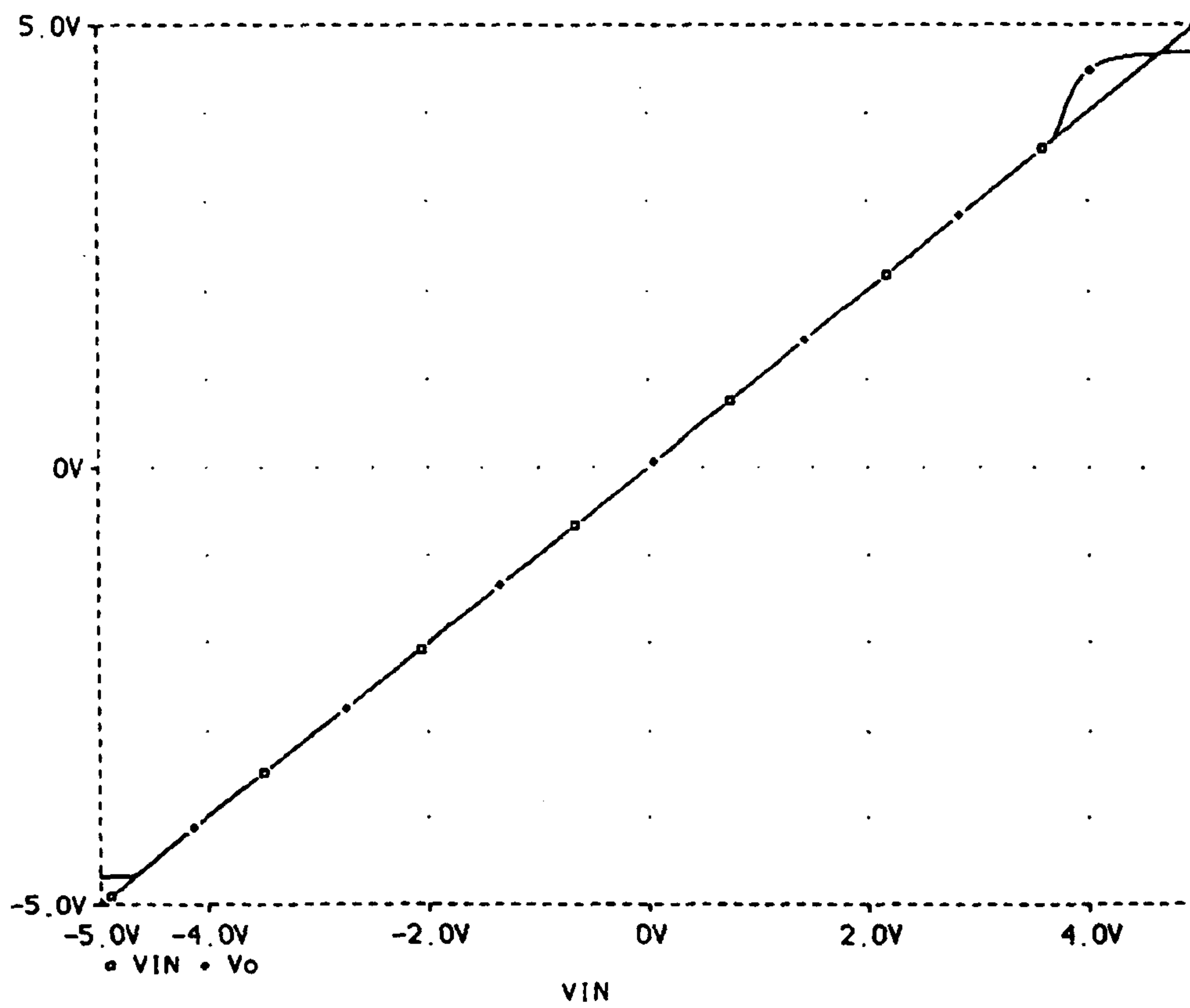


그림 3-10. Input CMR 특성

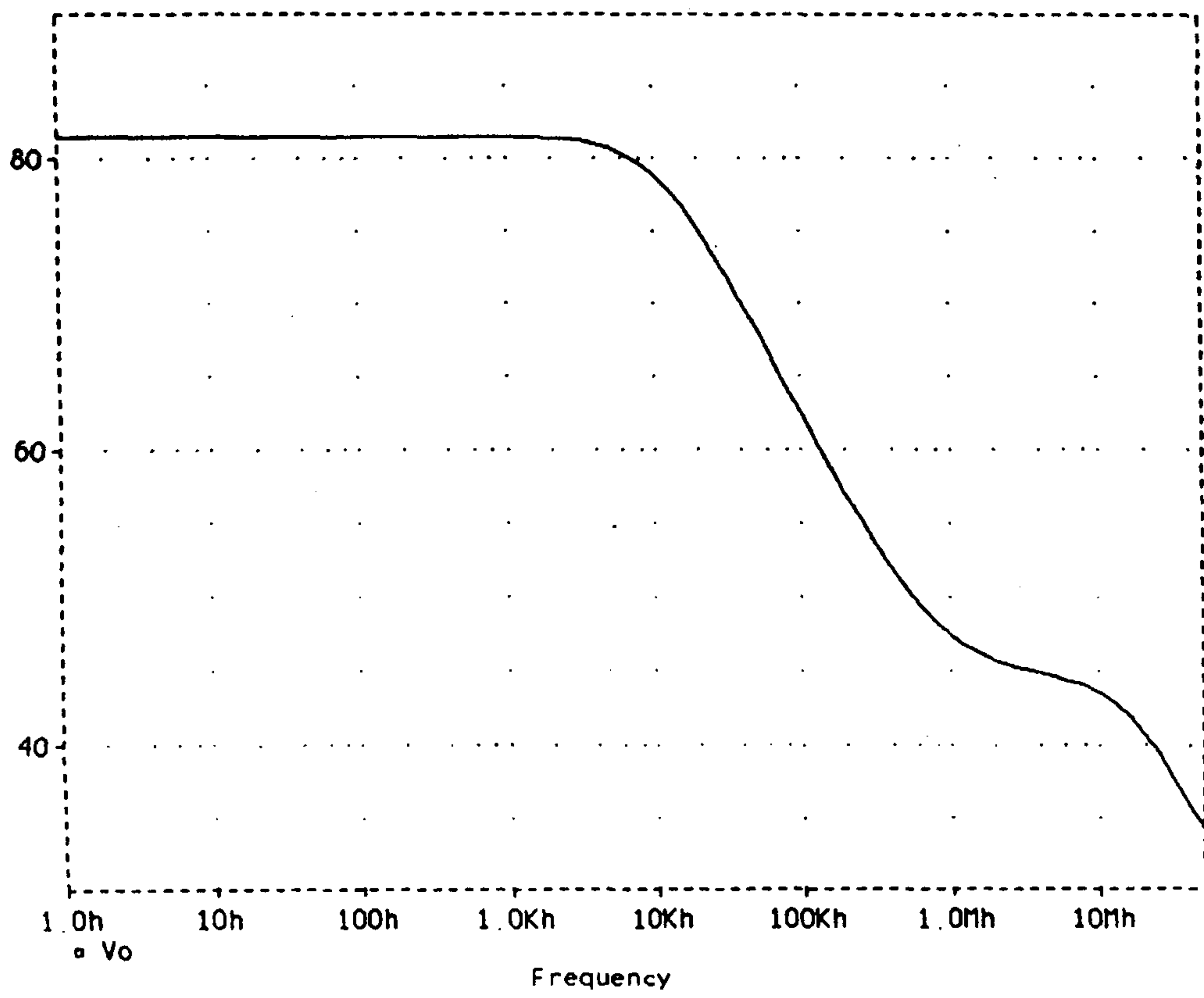


그림 3-11. CMRR 특성

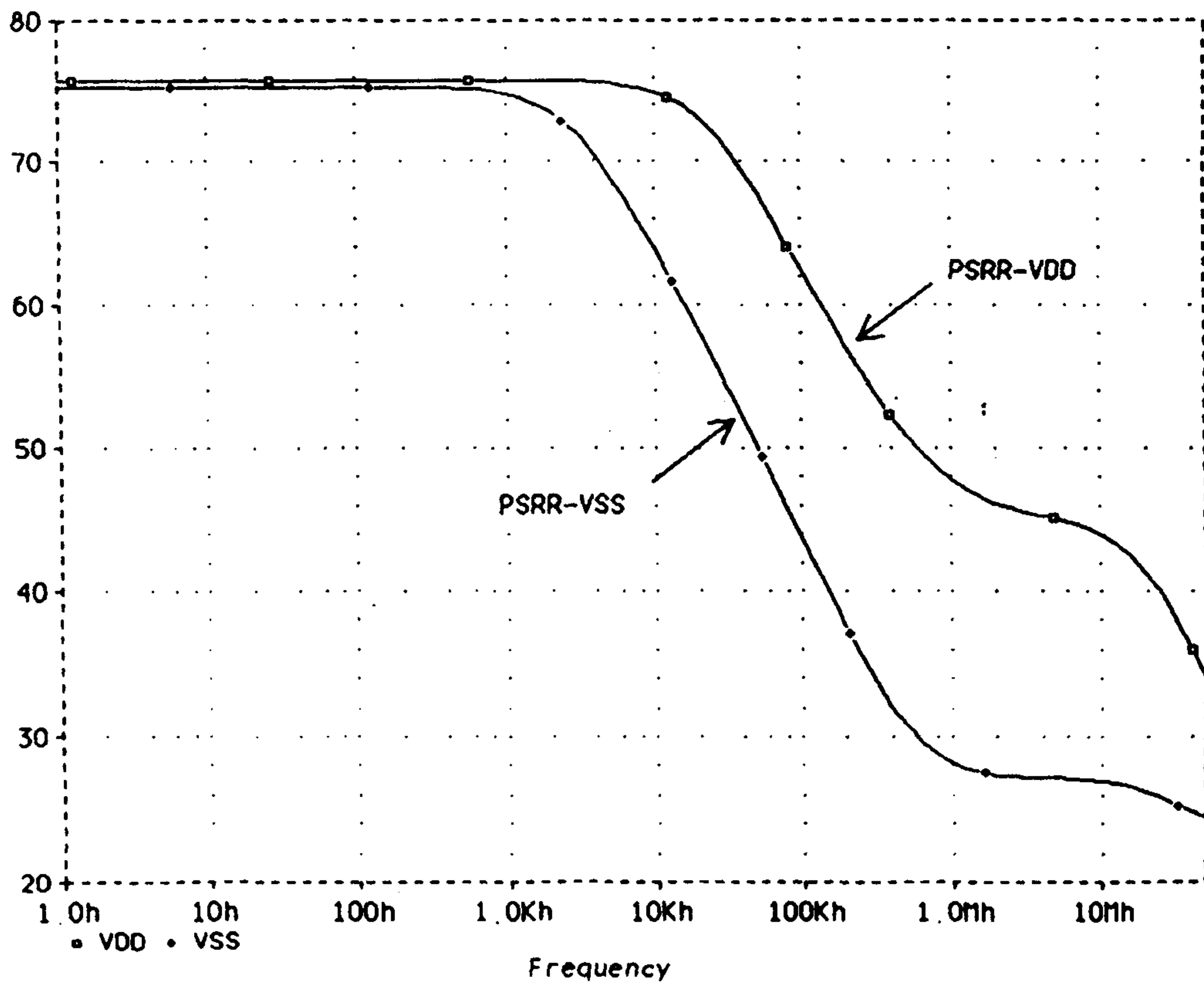


그림 3-12. PSRR-V<sub>DD</sub> 및 PSRR-V<sub>SS</sub>의 특성

#### 4. 설계된 CMOS 전류제어증폭기의 layout

2절에서 설계한 CMOS 전류제어증폭기를 표 3-2와 같이 구한 MOS Tr.의 채널 폭과 길이로써 공정 규칙을 적용, layout editor를 사용하여 하였다.

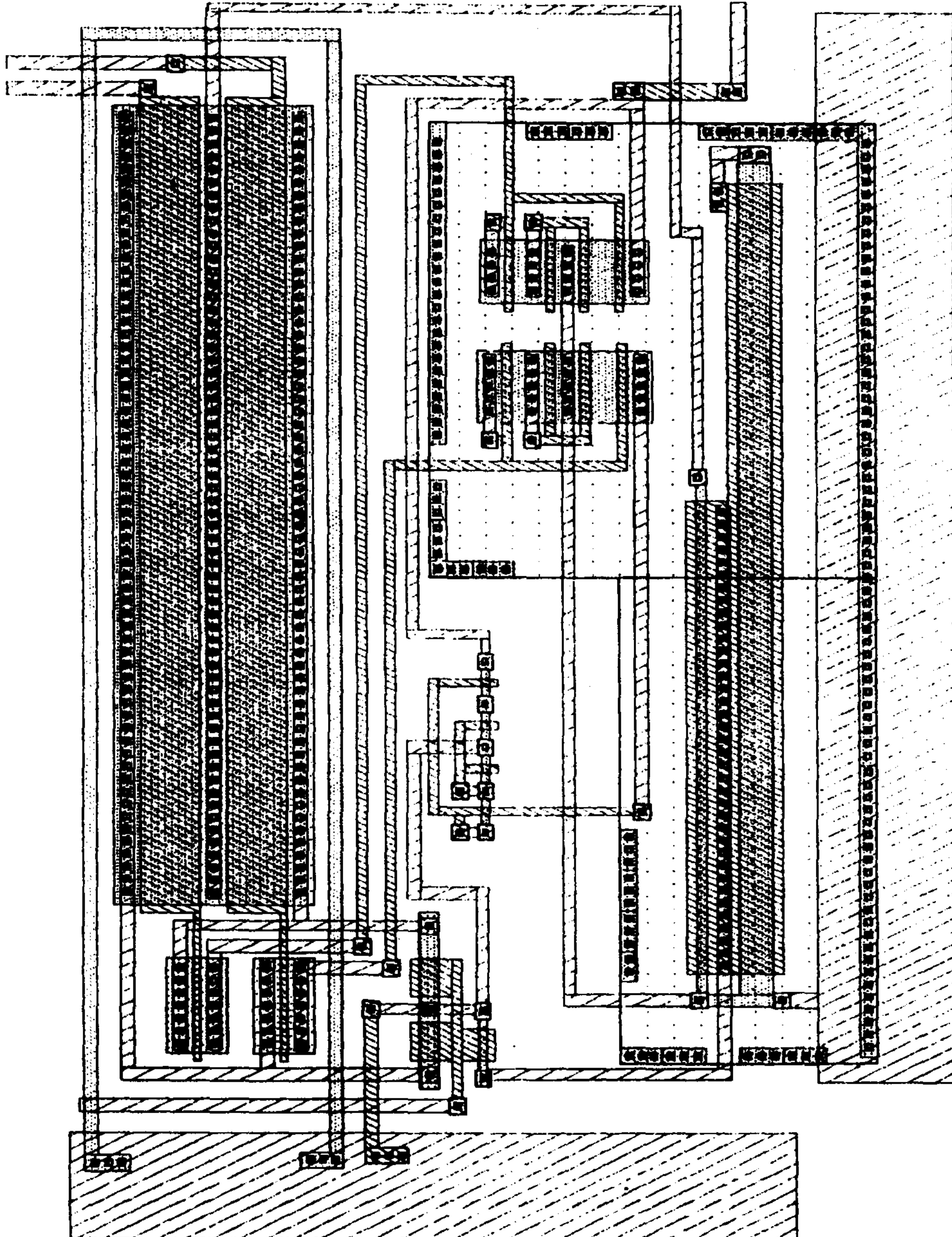


그림 3-13. 설계된 CMOS 전류제어증폭기의 layout

## 5. CMOS 전류제어증폭기 응용회로 설계

### 가. 고주파용 필터에 응용하기 위한 CMOS 전류제어증폭기 설계 조건

본 연구에서는 고주파용 필터설계에 있어서 다른 실현법에 비하여 유리한 자이레이터 필터 실현법을 이용하였다. 자이레이터 실현법은 전류제어증폭기를 이용한 고주파용 필터 실현법으로서 고주파용 필터 설계에 매우 유용하게 이용될 수 있으나 보다 정밀한 특성을 얻기 위해서는 자이레이터 변환법에서 이용되고 있는 전류제어증폭기를 적합하게 설계하여야 한다. 고주파용 필터에 이용될 수 있는 전류제어증폭기를 설계하기 위해서는 다음과 같은 조건을 가져야 한다.

#### (1) 넓은 선형범위(전류/전압)를 갖는 입력회로 설계

전류제어증폭기는  $g_m$ 값을 얻어내는데 사용되며  $g_m$ 값은 전류제어증폭기의 입력 전압과 출력 전류의 비로서 나타나므로 입력 전압에 대하여 출력 전류가 거의 선형적으로 변환되어야 한다. 이것이 비선형성을 가질 때는 신호 파형의 왜곡을 일으키는 원인이 됨으로써 신호 전달에 큰 장애 요인이 된다. 현재 전류제어증폭기의 선형범위를 넓히려는 연구가 활발하게 진행중이다 [12]-[18]. 참고문헌 [12]-[15]의 연구결과는 전류제어증폭기의 입력선형범위에  $\pm 2V$  미만이며, 좀더 최근에 발표된 논문([16]-[18])들은 선형범위 증가를 위주로 연구된 논문들로서 그 선형범위가 [10]의 경우  $\pm 2.5V$ , [16], [18]의 경우  $\pm 3V$ 로써 매우 넓은 선형특성을 가지고 있다. 그러나 전체적으로 선형범위를 증가시키기 위하여 입력 회로가 비교적 복잡함을 알 수 있다. 본 논문에서는 PMOS와 NMOS로서 구성된 CMOS 상보형 구조를 입력단으로 사용하여 기존에 발표된 여러형태의 전류제어증폭기에 비해서 구조가 간단하고 그 선형 범위가  $\pm 3V$ 를 갖는 전류제어증폭기를 설계하였다. CMOS 상보형 회로는 CMOS 인버터 형태로써 본 연구에서

는 CMOS 인버터 회로 두개를 이용하여 완전한 대칭을 이루는 차동쌍으로 구성하여 전류제어증폭기의 입력 회로를 설계하였다. 이렇게 구성된 입력 회로는 n채널과 p채널 각각의 트랜지스터 특성인자 k를 완전하게 정합을 시킬 경우에 좋은 선형범위를 유지할 수 있게 된다. 이것을 수식으로 살펴보면 다음과 같다. 그림 3-14a에서 보여지는 인버터의 n채널과 p채널 MOS 트랜지스터의 포화상태에서의 드레인 전류는 식(3-13), (3-14)와 같이 표현될 수 있다.

$$I_{dn} = \frac{k_n}{2} (V_{gsn} - V_{tn})^2 \quad \text{여기서} \quad k_n = \frac{\mu_n C'_{ox} W_n}{L_n} \quad (3-13)$$

$$I_{dp} = \frac{k_p}{2} (V_{gsp} - V_{tp})^2 \quad \text{여기서} \quad k_p = \frac{\mu_p C'_{ox} W_p}{L_p} \quad (3-14)$$

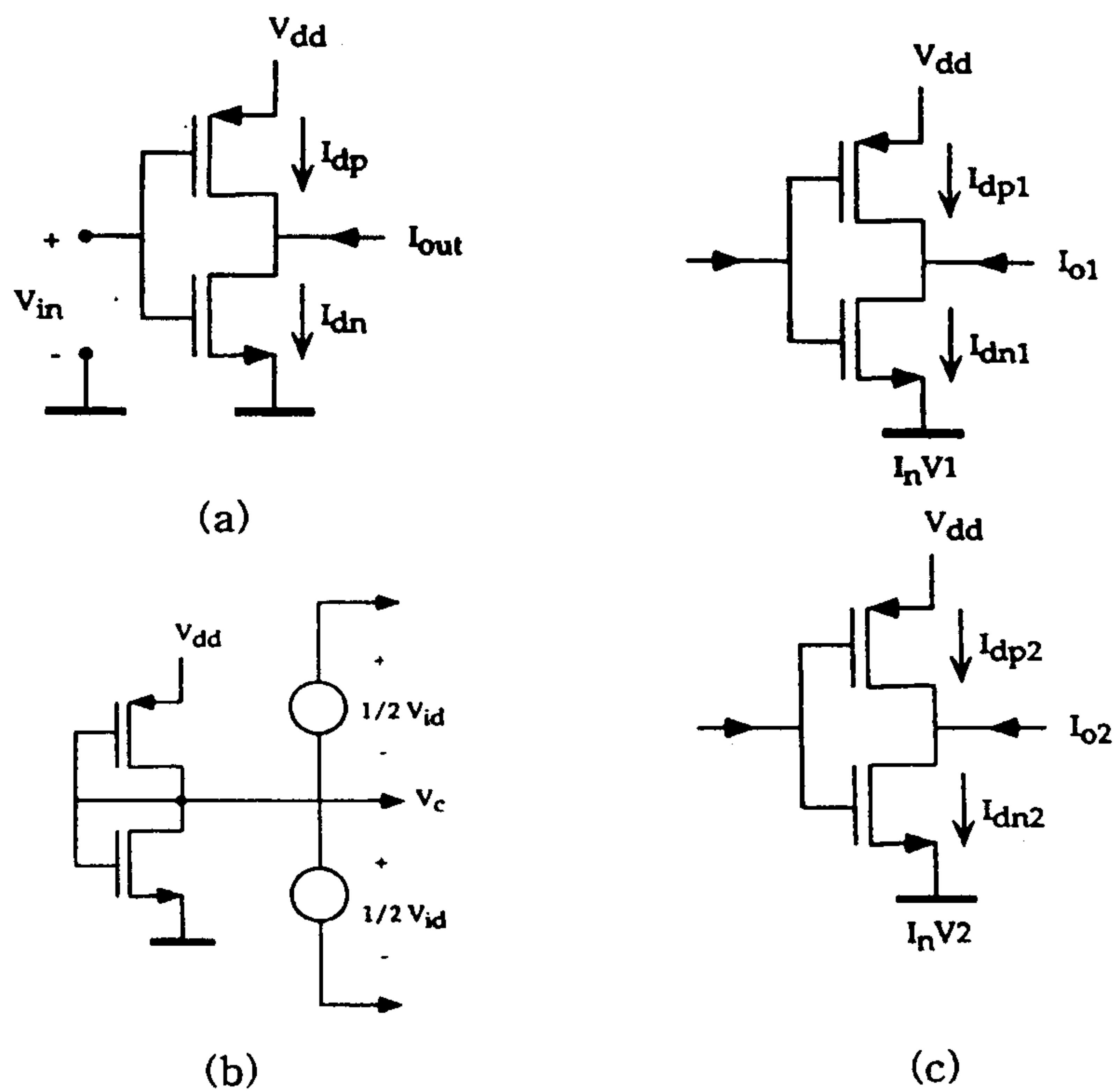


그림 3-14. CMOS 상보형 회로를 이용한 입력 선형범위의 증가

(a) CMOS 상보형 회로 (b) DC전압 유지회로 (c) CMOS 상보형 회로

이때 출력전류는 식(3-15)와 같이 쓰일 수 있다.

$$I_{out} = I_{dn} - I_{dp} = a(V_{in} - V_{tn})^2 + bV_{in} + c \quad (3-15)$$

$$\text{여기서 } a = \frac{1}{2}(k_n - k_p), \quad b = k_p(V_{dd} - V_{tn} + V_{tp}), \quad c = \frac{1}{2}k_p(V_{tn}^2 - (V_{dd} + V_{tp})^2)$$

식(3-15)의 출력전류에서 모든 소자들은 포화영역에서 동작하기 때문에 만약에 완전한 대칭이 이루어지지 않을 경우( $k_n \neq k_p$ )에  $a \neq 0$ 이 된다. 즉 이것은 출력전류에 2차항이 포함되어 인버터의 V-I의 특성이 선형적이지 못하다는 것이 된다. 다시말해서 인버터의 비선형성은 “a”에 비례하기 때문에 이를 제거하기 위해서는 위에서 언급하였던 것처럼 완전한 대칭 구조( $k_n = k_p$ )를 갖어야 한다. 본 논문에서는 이러한 인버터 회로 2개를 차동입력으로 구성하였다. 여기서 중요한 점이 2개의 차동입력에 똑같은 크기를 갖는 DC 전압을 인가시켜야 하여야 되며, 본 논문에서는 그림 3-14b와 같은 회로를 연결하여 구성하였다. 그림 3-14b에서  $V_{in} = V_c$ 일때 출력 전류는 0이 된다.

$$V_c = \frac{V_{dd} - V_{tn} + V_{tp}}{1 + \sqrt{\frac{k_n}{k_p}}} + V_{tn} \quad (3-16)$$

식(3-16)에서  $k_n = k_p$ ,  $V_{tn} = -V_{tp}$ 이면  $V_c = 1/2V_{dd}$ 가 됨을 알 수 있다. 그림 3-14c는 그림 3-14a 회로의 대칭적 구조의 회로이다. 서로 정합된 인버터 Inv1과 Inv2는 상동모드전압  $V_{ic} = V_c$ 에 의하여 서로 대칭을 이루는 차동 입력전압  $V_{id}$ 에 의하여 구동된다. 그리고 출력 전류  $I_{o1}$ 과  $I_{o2}$ 들은 차동 구조에 의하여 서로 빼어짐으로써 차동 출력전류를 얻을 수 있다.



$$\begin{aligned}
I_{o1} &= a \left( V_c - V_{tn} + \frac{1}{2} V_{id} \right)^2 + b \left( V_c + \frac{1}{2} V_{id} \right) V_{in} + c \\
I_{o2} &= a \left( V_c - V_{tn} - \frac{1}{2} V_{id} \right)^2 + b \left( V_c - \frac{1}{2} V_{id} \right) V_{in} + c \\
I_{o1} - I_{o2} &= a \left( \left( V_c - V_{tn} + \frac{1}{2} V_{id} \right)^2 - \left( V_c - V_{tn} - \frac{1}{2} V_{id} \right)^2 \right) + b V_{id}
\end{aligned} \tag{3-17}$$

위식을 다시 정리하면

$$I_{o1} - I_{o2} = V_{id} [b + 2a(V_c - V_{tn})] = V_{id} [K_p(V_{dd} - V_c + V_{tp}) + K_n(V_c - V_{tn})] \tag{3-18}$$

과 같이 된다. 식(3-18)에서 알 수 있듯이 출력 전류는 차동입력 전압을 가진 상태에서 선형적으로 나타남을 알 수 있다. 식(3-18)의  $V_c$ 을 소거하기 위하여 식(3-16)을 사용하면 식(3-19)와 같이 차동출력 전류를 얻을 수 있다.

$$I_{od} = I_{o1} - I_{o2} = V_{id} (V_{dd} - V_{tn} + V_{tp}) \sqrt{k_n k_p} = V_{id} g_{m_d} \tag{3-19}$$

회로의 MOS 트랜지스터들이 포화영역에서 동작을 하기만 한다면 식(3-19)는 매우 타당한 식이 된다. 식(3-13), (3-14)을 이용하면 차동 트랜스컨덕턴스 ( $g_{m_d}$ )는 상수가 되며 심지어는 비선형성 특성의 인버터 회로(즉,  $k_n \neq k_p$ )를 입력회로로 사용하더라도 전압  $V_{id}$ 에 대해서도 독립적으로 되기도 하지만 상동모드 출력 전류를 감소시키기 위해서는  $k_n$ 값이  $k_p$ 값에 거의 근접하여야 한다. 결과적으로 인버터를 이용한 V-I의 변화 회로를 구성하는 데 있어서 가장 중요하게 고려하여야 할 것은 MOS 트랜지스터를 포화영역에서 동작시키는 것과, 완전한 정합을 통하여  $k_n$ 값과  $k_p$ 값을 같게 하는 것이다. 본 논문에서는 입력회로의 설계시에 트랜지스터들을 완전하게 매칭( $k_n = k_p$ )함으로써 넓은 선형범위를 갖는 전류제어증폭기를 설계 할 수 있었다.

## (2) 입력 및 출력 임피던스를 매우 큰 값으로 설계

입력 및 출력 임피던스는 전압-전류 변환 회로와 같은 VCCS (voltage control current source) 방식의 회로에 있어서 거의 무한대의 값을 가져야 한다 [5]. 이것은 전류제어증폭기와 같은 회로에 있어서 출력단에서 충분한 구동전류를 얻어내는데 필수적인 조건이 된다. 보통 MOS로서 회로를 구성하게 되면 MOS의 특성상 거의 무한대에 가까운 입력 임피던스( $R_i = 1E+20 \Omega$ )를 얻어낼 수 있으므로 입력 임피던스는 문제가 되지 않으므로 출력 임피던스를 크게하기 위한 회로를 설계하는 것이 중요하다. 본 논문에서는 이 조건을 만족하기 위하여 균형적인 구조로 설계된 전류제어증폭기의 각출력단에 CMOS저항을 연결하여 출력저항을 증가시킬 수 있는 구조를 설계하였다. 설계된 그림 3-15의 전류제어증폭기에서 MOS 트랜지스터 M4a, M4b, M5a, M5b는 각각 게이트 소오스가 단락된 MOS 저항으로써 이 MOS 트랜지스터들의 크기에 따라서 저항이 조정될 수 있으며, 결국 전류제어증폭기의 출력저항을 증가시킬 수 있게 된다. SPICE 시뮬레이션 결과,  $7E+6 \Omega$  만큼의 출력 저항을 얻을 수 있었으며 이를 이용하여 능동 필터를 실현해 본 결과 출력 임피던스에 의한 영향은 없었다.

## (3) 광대역 전류/주파수 특성

전류제어증폭기를 고주파용 필터 설계에 이용할때 그 주파수 대역폭이 필터 주파수 대역폭에 비해서 훨씬(4배 정도) 넓어야 한다. 이는 전류제어증폭기의 전류 특성이 트랜스컨덕턴스( $g_m$ )의 특성과 매우 밀접한 관계가 있기 때문에 설계자가 원하고자 하는 주파수 대역에서 전류의 크기를 일정하게 유지하여야 만이 트랜스컨덕턴스의 값도 이에 따라서 일정하게 유지 되어 진다. 이 조건이 만족되지 못할

때에는 원하는 주파수 대역폭에서 필터의 특성이 제대로 나타나지 않는다. 일반적으로 전류나, 전압에 대한 증폭 특성을 갖는 소자의 주파수 특성은 소자를 구성하고 있는 증폭단의 갯수에 반비례하게 된다. 즉 1개의 증폭단을 가지는 소자에 비해서 2개 이상을 가지는 소자는 그 만큼 주파수 특성이 저하된다. 이러한 특성은 널리 알려진 것처럼 고주파용 증폭기등의 설계에 있어서 매우 중요하게 고려되는 요소이다. 전류제어증폭기 설계에 있어서도 이러한 설계법이 그대로 적용된다.

본 연구에서 설계된 그림 3-15의 전류제어증폭기는 전체적으로 1단 구조를 갖는 형태를 가지며, 특히 입력 신호가 인가되어 MOS 트랜지스터 M1a, M1b, 및 M2a, M2b으로 구성된 인버터 형태의 차동 이득단만을 거친 후 바로 출력을 얻어내기 때문에 실제적으로 전체 회로의 주파수 특성은 한 개의 인버터에서 얻을 수 있는 만큼의 주파수 특성을 얻을 수 있다. 이러한 구성에 의하여 본 논문에서는 트랜스 컨덕터의 주파수 대역폭이 300MHz(3dB) 이상을 갖을 수 있다. 설계된 전류제어증폭기가 41MHz의 차단주파수를 갖는 필터 설계에 충분하게 이용할 수 있게 된다.

#### (4) 트랜스컨덕턴스( $g_m$ ) 값이 외부적으로 조정(tuning) 되는 구조

필터의 실현시에 수동 필터에서 능동 필터로 변환되는 과정에서 수동 필터의 소자값은 능동 필터의  $g_m$ 값과 직접적으로 관계 된다. 그러므로 정확한  $g_m$ 값을 유지하는 것은 필터내 소자들의 값을 정확하게 유지하는 것이 되므로 매우 중요하다. 그러나 능동 필터를 집적화 할 때 생겨나는 MOS 트랜지스터의 부정합등 여러가지 요인들에 의하여

실제적인  $g_m$ 값이 변하게 될 수도 있다. 본 논문에서는 이러한 영향을 최소화하기 위한 방법으로 전류제어증폭기 설계시에  $g_m$ 값을 조정할 수 있는 단자를 만들어  $g_m$ 값을 조정할 수 있게 하였다. 그림 3-15에서 MOS 트랜지스터 M7a, M7b, M8a, M8b 각각의 게이트에 인가되는 외부 전압을 조정함으로써 전체 전류제어증폭기의  $g_m$ 값이 변화될 수 있도록 하여 칩 제작시에 나타나는 여러 가지 변동요인에 의한  $g_m$ 값의 변동을 보상할 수 있도록 하였다. 위와 같은 여러가지 설계 조건을 고려하여 설계된 전류제어증폭기를 그림 3-15에 나타내었다.

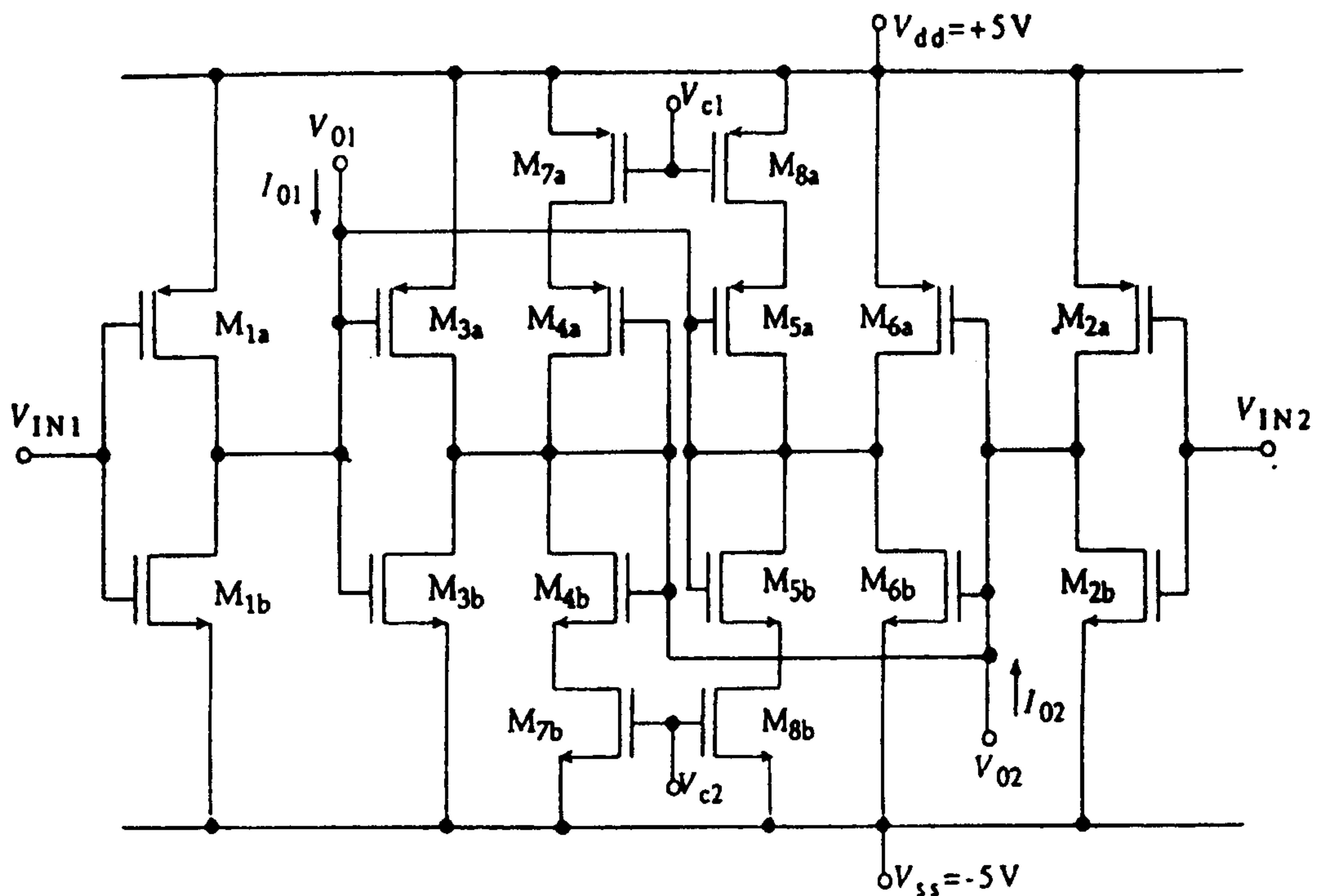


그림 3-15. 설계된 CMOS 전류제어증폭기

표 3-4는 설계된 전류제어증폭기회로의 각 트랜지스터의 크기이다.

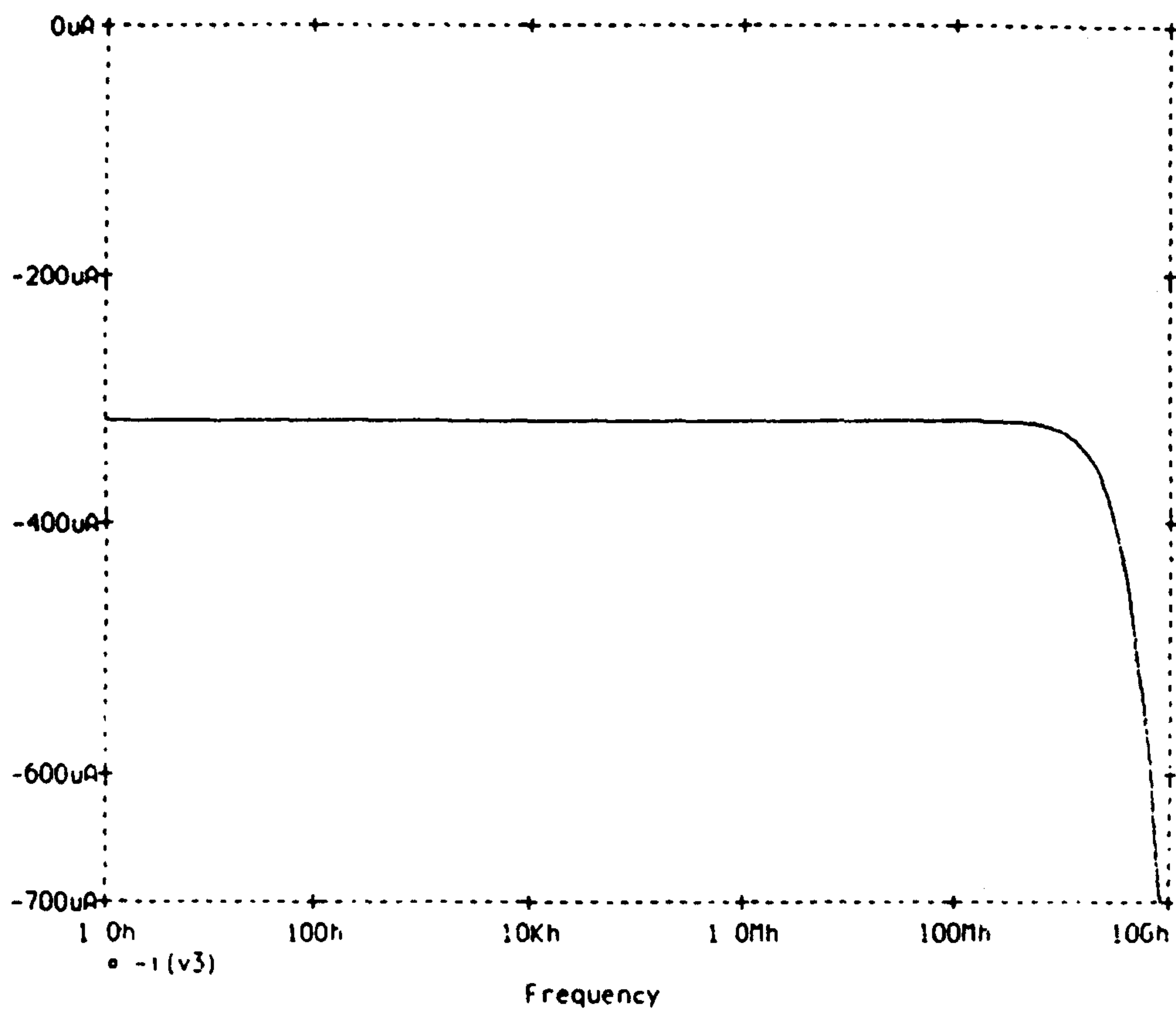
표 3-4. 트랜지스터 크기

	MOS	L( $\mu\text{m}$ )	W( $\mu\text{m}$ )		MOS	L( $\mu\text{m}$ )	W( $\mu\text{m}$ )
M1a	PMOS	11	41	M5a	PMOS	5	32
M1b	NMOS	15	17	M5b	NMOS	5	12
M2a	PMOS	11	41	M6a	PMOS	11	41
M2b	NMOS	15	17	M6b	NMOS	15	17
M3a	PMOS	11	41	M7a	PMOS	5	24
M3b	NMOS	15	17	M7b	NMOS	5	24
M4a	PMOS	5	32	M8a	PMOS	5	20
M4b	NMOS	5	12	M8b	NMOS	5	20

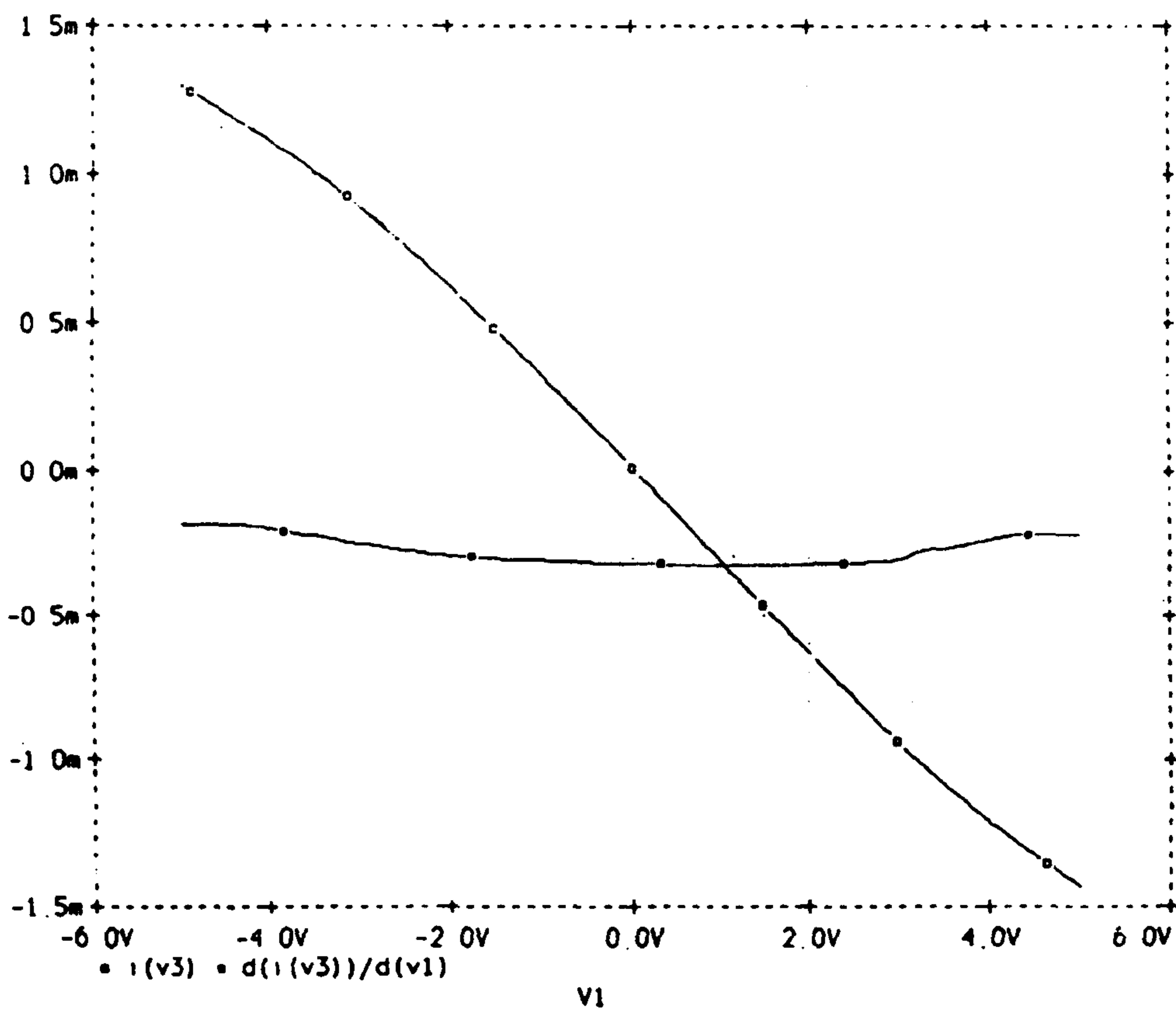
SPICE를 이용하여 시뮬레이션한 결과를 표 3-5와 그림 3-16에 나타내었다.

표 3-5. 설계된 트랜스컨덕턴스의 특성

입력V-I선형범위	- 3V ~ + 3V	출력 DC offset전압	1 mV
전류주파수대역	200 MHz	출력 저항	7 M $\Omega$
$g_m$	320 U	공급 전압	$\pm 5$ V



(a) 트랜스컨덕턴스의 주파수 특성



(b) 트랜스컨덕턴스의 선형범위 및  $g_m$  특성

그림 3-16. 설계된 트랜스컨덕턴스의 특성

나. 고주파용 능동 필터설계를 위한 설계조건 고찰

본 연구에서는 전류제어증폭기를 이용하여 고주파용 필터를 설계하기 위하여 고려하여야 여러조건들을 고찰하고 그 조건에 최대한 만족하기 위하여 다음과 같은 방법을 이용하였다.

(1) 기생캐패시터가 접지되어 있는 단자가 없어야 한다.

일반적인 수동필터는 저항, 인덕터, 캐패시터가 여러형태로 연결되어 있다. 이러한 수동소자들이 직렬 및 병렬형태로서 서로 연결되어 있으면 회로가 연결되는 상태에 따라서 설계자가 원하지 않는 가상의 소자들이 생겨나게 된다. 즉 그림 2-15와 같은 수동회로망은 설계자가 설계한 회로에 실제적으로  $C_p$ 라는 기생캐패시턴스가 생겨나게 된다. 이때 그림의 회로에서 기생캐패시턴스가 생기는 이유는 노드 2와 노드 3을 비교해 볼때 노드 2는  $C_2$ 의 캐패시터가 접지되어 있어서 주위의 기생캐패시턴스들이 이곳으로 합쳐지게 되는데 반해서 노드 3에는 주위의 캐패시턴스를 모아둘 수 있는 캐패시터가 없기 때문에 이곳에서 가상의 기생캐패시터가 생겨나게 되는 것이다. 실제적으로 이러한 기생캐패시턴스는 고주파 필터회로등을 설계할때 회로의 단락상태를 유발하여 신호흐름이 방해한다거나 불필요한 극점이나 영점등을 생성함으로써 필터의 주파수특성에 나쁜 영향을 미치게 된다.

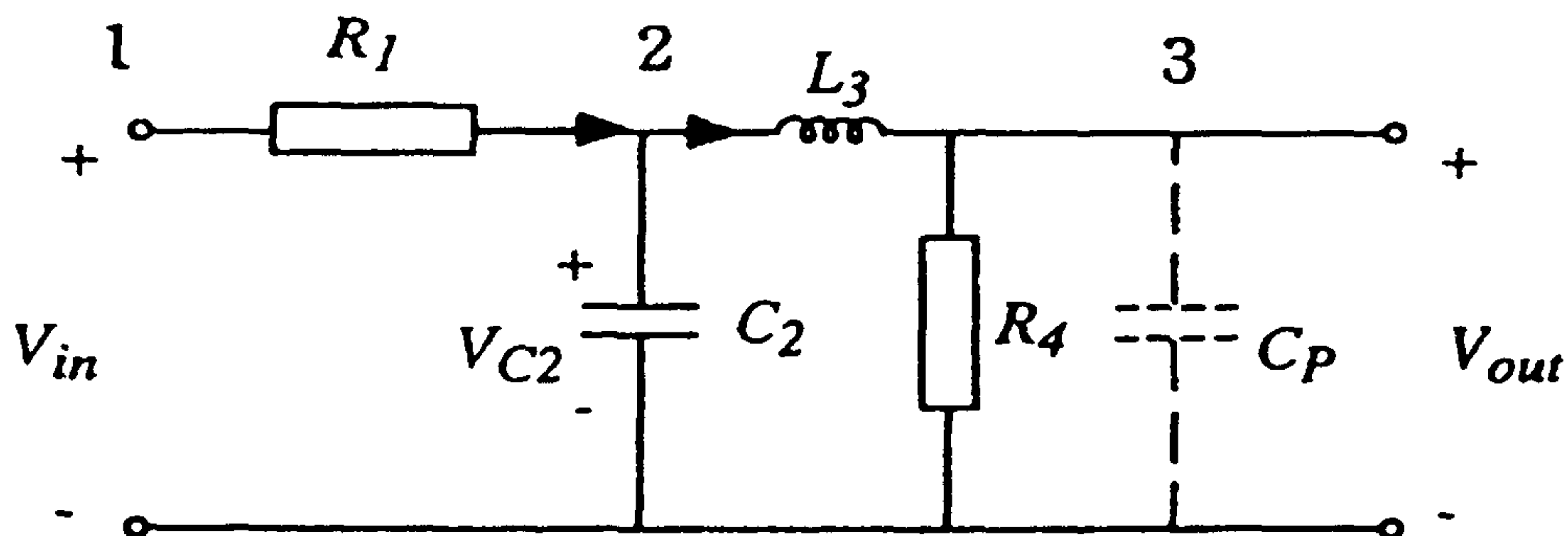


그림 3-17. 수동회로망의 기생캐패시턴스



고주파용 필터설계시에 이러한 문제는 자이레이터법을 이용하여 필터를 합성함으로써 제거될 수 있다. 예를 들어 그림 3-17의 수동회로망을 자이레이터 회로망으로 변환시키게 되면 그림 3-18와 같이 되는데 그림 3-17의 노드 3은 그림 3-18의 회로로 변화될 때, 캐패시터  $C_{L3}$ 로써 합성이 되어 주위에서 생겨나는 기생캐패시턴스들이 이곳으로 합쳐지게 된다. 즉, 본 연구에서는 자이레이터 합성법으로 필터를 실현함으로써 이러한 기생캐패시턴스의 영향을 극소화할 수 있다.

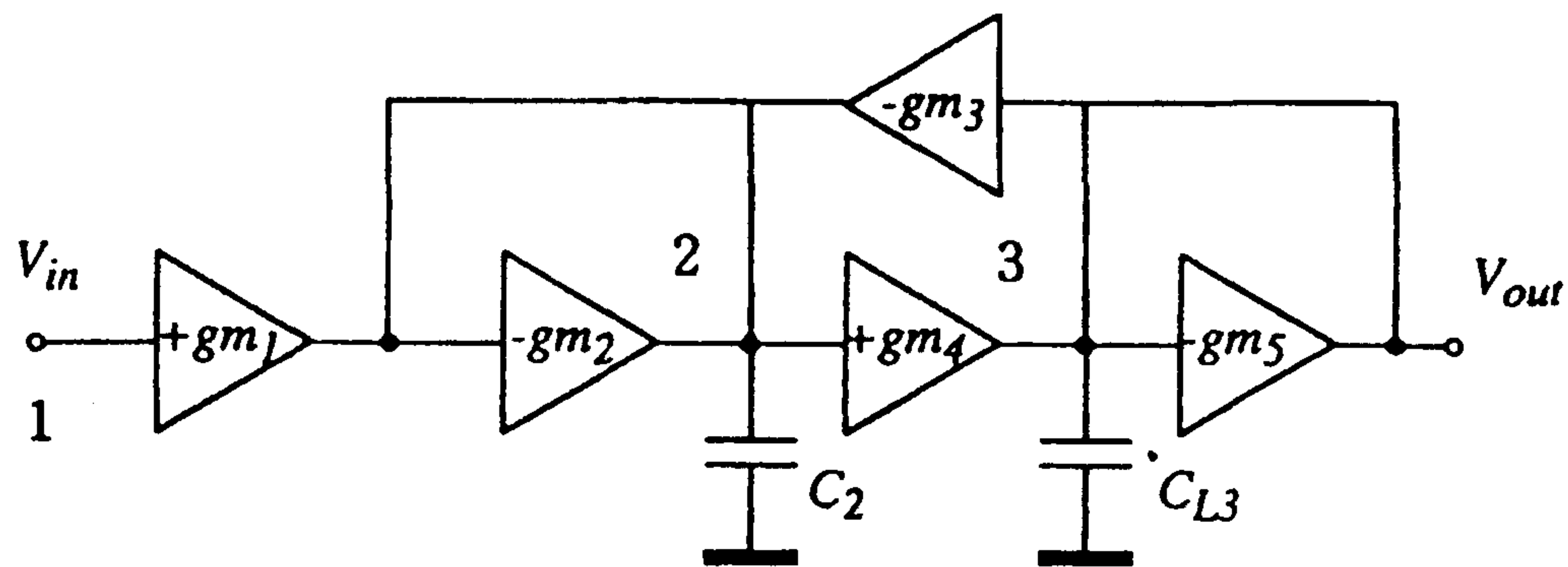


그림 3-18. 자이레이터 합성법에 의한 기생캐패시턴스 제거

(2) 균형적인 (balanced) 구조를 이루는 것이 좋다.

고주파필터 설계시에 균형적인 구조로서 회로를 구성하여 신호를 처리함으로써 선로에서 생성되는 잡음 및 기타 불필요한 요소들이 서로 상쇄되어 짐으로써 제거될 수 있다. 그림 3-19(a)에 단일 신호경로를 가진 회로를 나타내고 있는데 이 회로에서 선로와 접지단자 사이에서 나타나는 잡음들이 출력단자와 접지단자 사이에서 그대로 나타나고 있는데 반하여 그림 3-19(b)의 균형적인 구조로서 구성된 회로망에서는 어떠한 단자에서 잡음이 생기게 되면 똑같은 구조로 설계된 대칭단자에서도 거의 같은 크기의 잡음이 발생하게 되어서, 결국 출력단자에서 볼때는 이러한 잡음들이 서로 상쇄된다.

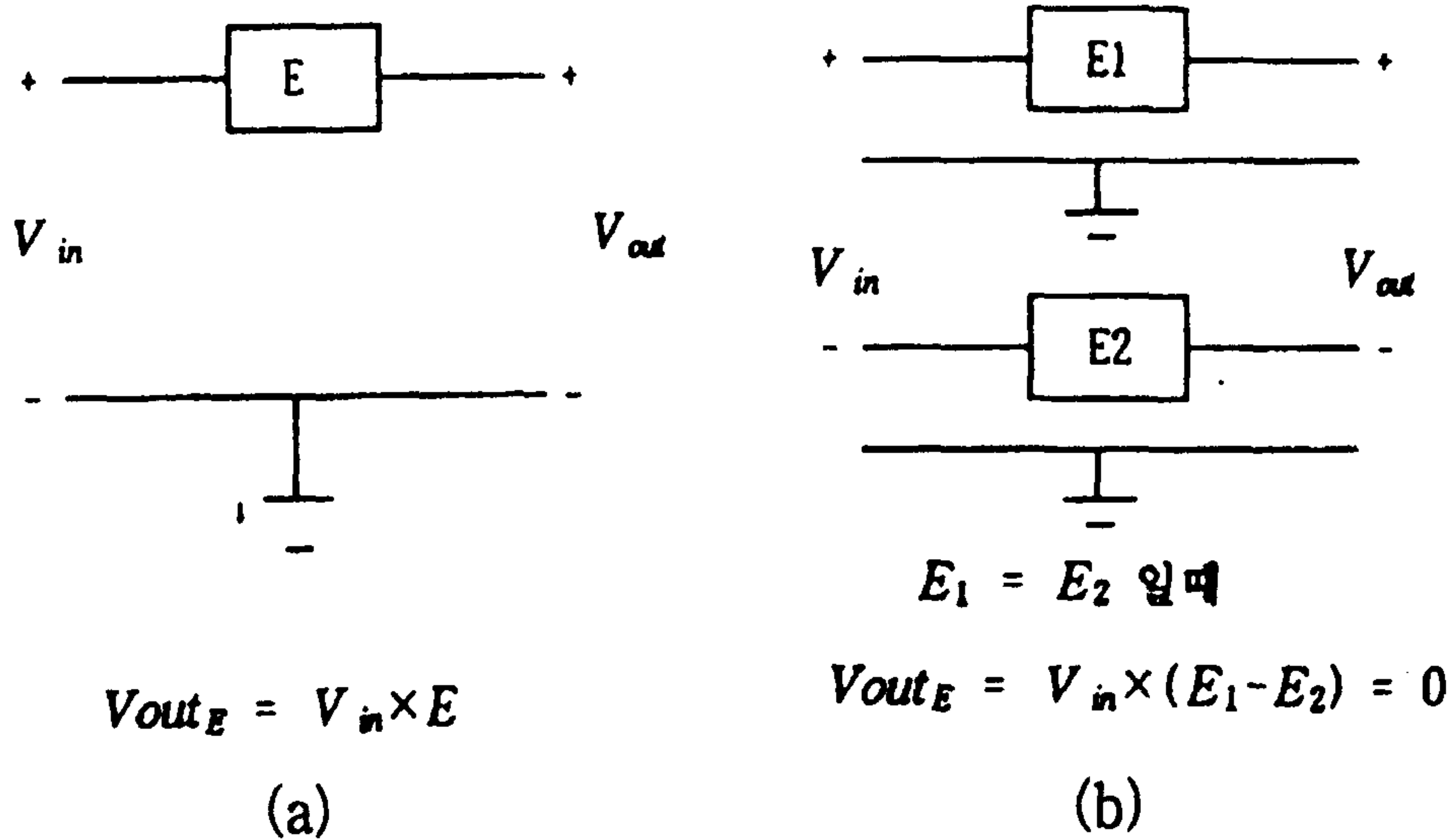


그림 3-19. (a) 단일 경로를 갖는 회로망  
 (b) 균형적인 구조로서 구성된 회로망

이러한 균형적인 회로망의 특성을 충분히 활용하기 위해서는 회로망을 완전한 대칭형 구조로써 설계하여야 한다.

(3) 낮은 감도와 넓은 동적범위를 가져야 한다.

능동 필터를 실현하는데 있어서 수동 복종단 래더(사다리꼴)형 회로망으로서 실현을 시작하게 되면 낮은 감도 특성을 유지할 수 있다. 본 연구에서도 고주파용 능동 필터를 실현하기 위한 첫번째 단계로서 수동필터를 수동 복종단 래더형으로 실현함으로써 감도특성을 좋게하고자 하였다.

다. 설계된 전류제어증폭기를 이용한 고주파용 능동 필터설계

(1) 자이레이터 능동필터 설계를 위한 수동필터 구현

본 연구에서 설계하고자 설정한 능동 저역통과 필터의 설계사양을 그림 3-20와 표 3-6에 나타내었다.

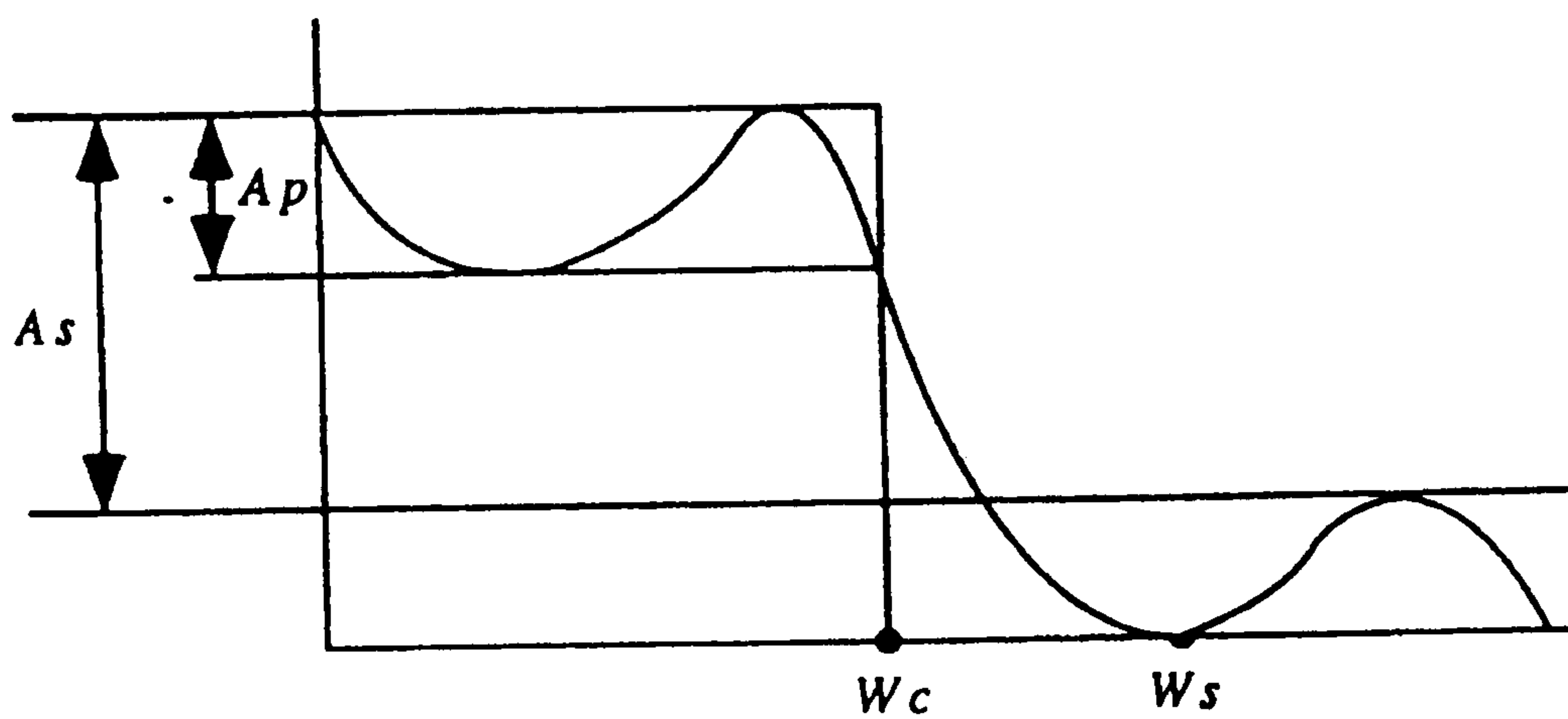


그림 3-20. 능동 저역통과 필터의 설계사양

표 3-6. 능동 저역통과 필터의 설계사양

$A_p$ (통과대역 리플)	1 dB
$A_s$ (저지대역 감쇄율)	30 dB 이상
$\omega_s$ (차단대역의 경사율)	2 dB
$\omega_c$ (차단주파수)	40 MHz

능동필터의 설계에 앞서 수동 래더형 복종단 필터를 일립틱 함수를 이용하여 설계하여 그림 3-21에 나타내었다.

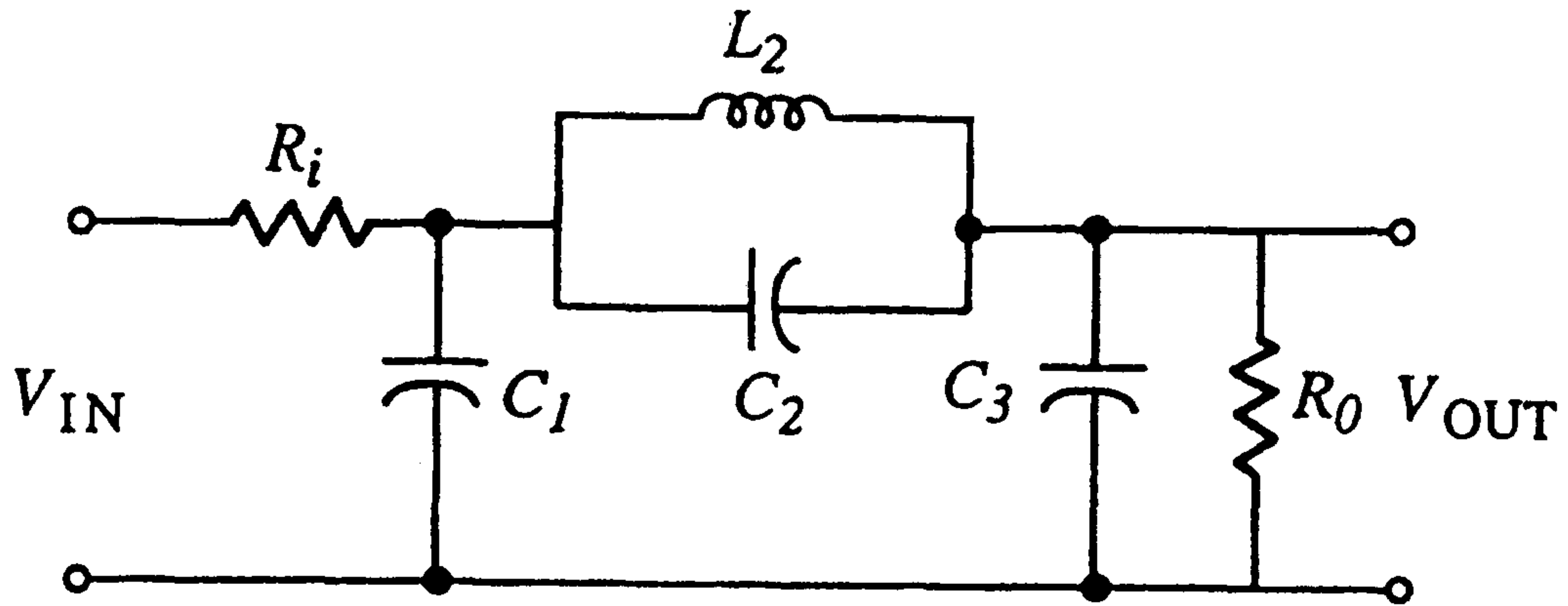


그림 3-21. 설계한 수동 래더형 복종단 필터

수동 저역통과 필터의 주파수 변환 및 임피던스 변환후의 소자값을 표 3-7에 나타내었다.

표 3-7. 능동 저역통과 필터의 설계사양

소 자	소자값 ( $\omega_c = 1 \text{ rad/sec}$ )	주파수변환 ( $\omega_c = 40 \text{ MHz}$ )	임피던스변환 ( $R = 3125 \Omega$ )
$R_I$	1 $\Omega$	1 $\Omega$	3125 $\Omega$
$C_1$	1.85199 F	7.368834076 nF	2.358026904 pF
$C_2$	0.22590 F	89.88275411 nF	28.76624813 pF
$L_2$	0.85903 H	3.417917769 nH	1.093750966 pF
$C_3$	1.85199 F	7.368834076 nF	2.358026904 pF
$R_O$	1 $\Omega$	1 $\Omega$	3125 $\Omega$

SPICE 시뮬레이션을 통하여 조사한 수동 래더형 복중단 필터의 크기 특성을 그림 3-22에 나타내었다.

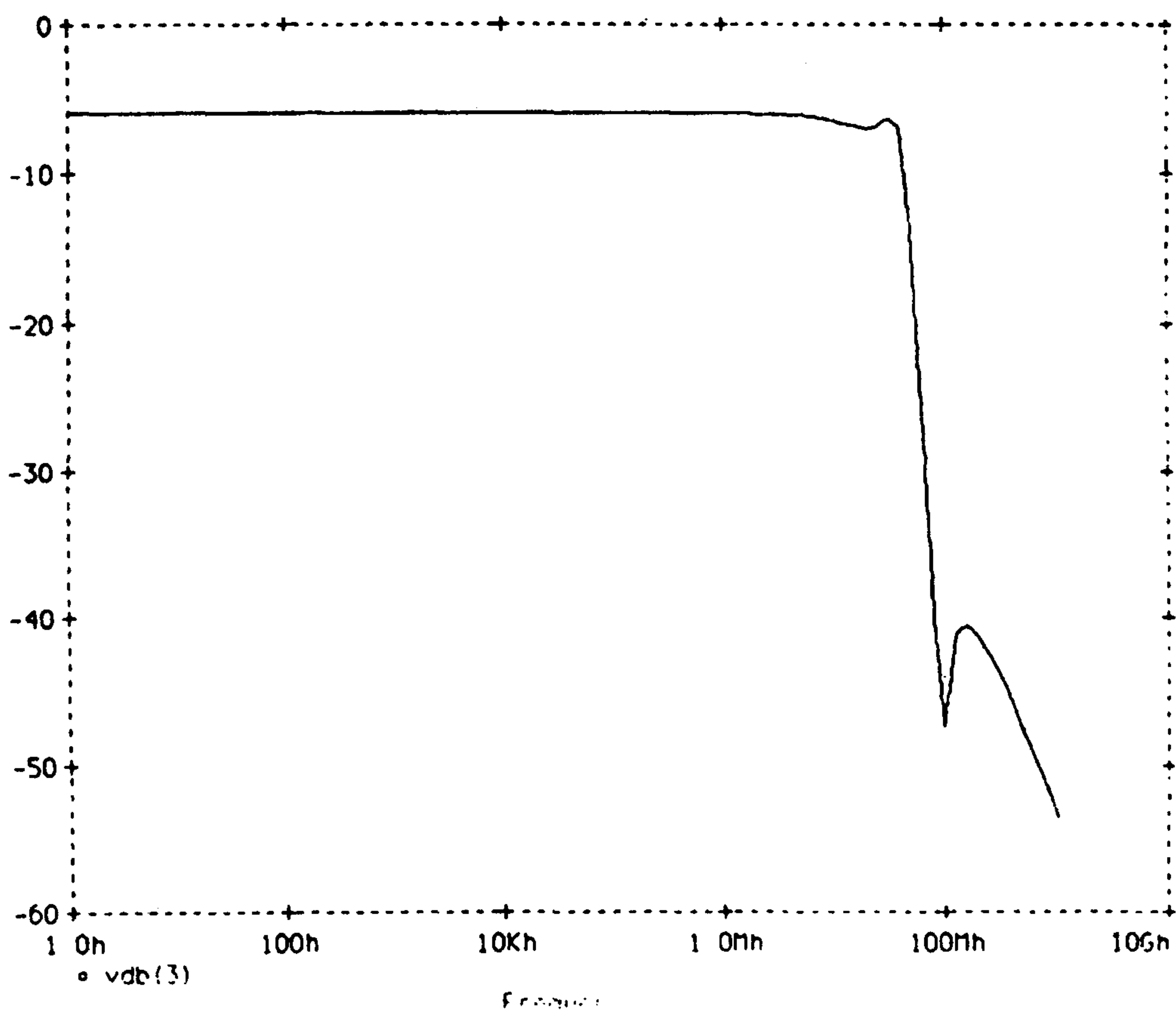


그림 3-22. 수동 래더형 복중단 필터의 크기 특성

(2) 자이레이터 실현법을 이용한 능동 저역통과 필터설계

설계된 수동 래더형 복중단 필터를 자이레이터 변환법에 의하여 능동필터로서 대치한 회로를 그림 3-23에 나타내었다.

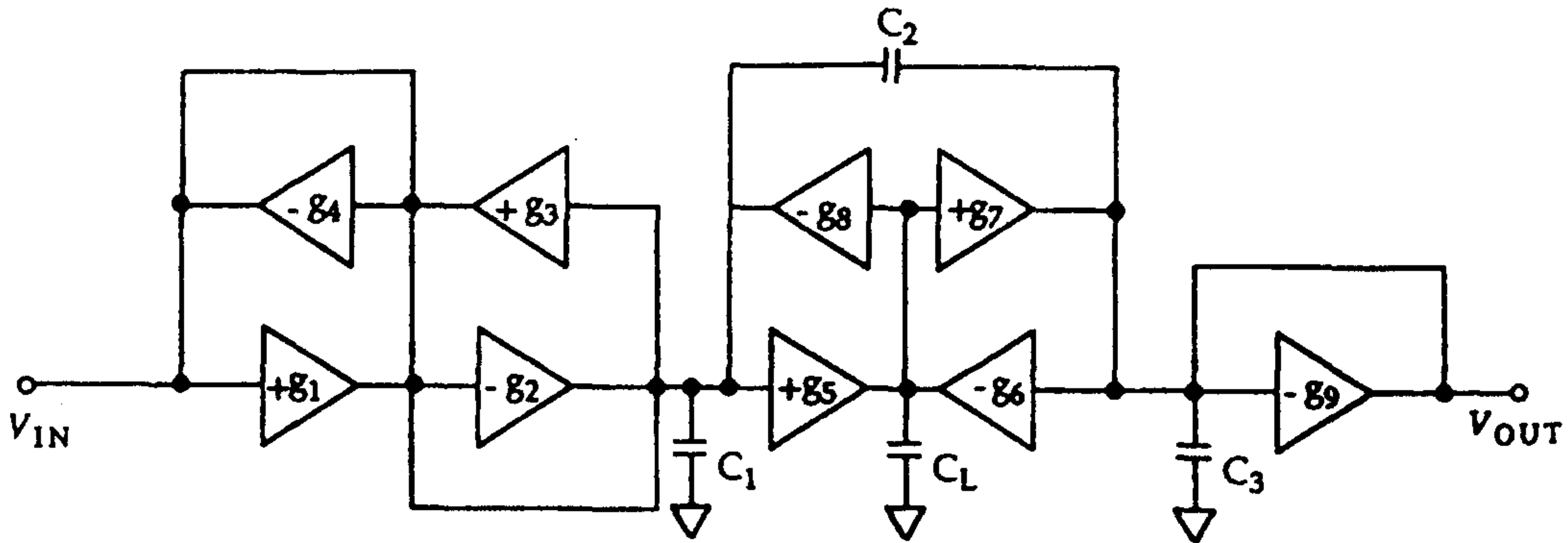


그림 3-23. 자이레이터 변환법에 의하여 능동필터로서 대치한 회로

수동 저역통과 필터를 자이레이터 변환법에 의하여 능동필터로서 대치한 후의 소자값은 표 3-8과 같다.

표 3-8. 자이레이터 변환법에 의한 수동-능동변환 소자값

소자변환	수동필터의 소자값	능동필터의 소자값
$1/R_1 \rightarrow g_m$	3125 $\Omega$	$g_m = 320 \text{ U}$
$C_1 \rightarrow C_1$	2.358026904 pF	2.358026904 pF
$C_2 \rightarrow C_2$	28.76248132 pF	28.76248132 pF
$L_2 g_m^2 \rightarrow C_L$	10.68116178 $\mu\text{F}$	1.093750966 pF
$C_3 \rightarrow C_3$	2.358026904 pF	2.358026904 pF

자이레이터 능동필터를 최종 설계한 회로를 그림 3-24 나타내었다.

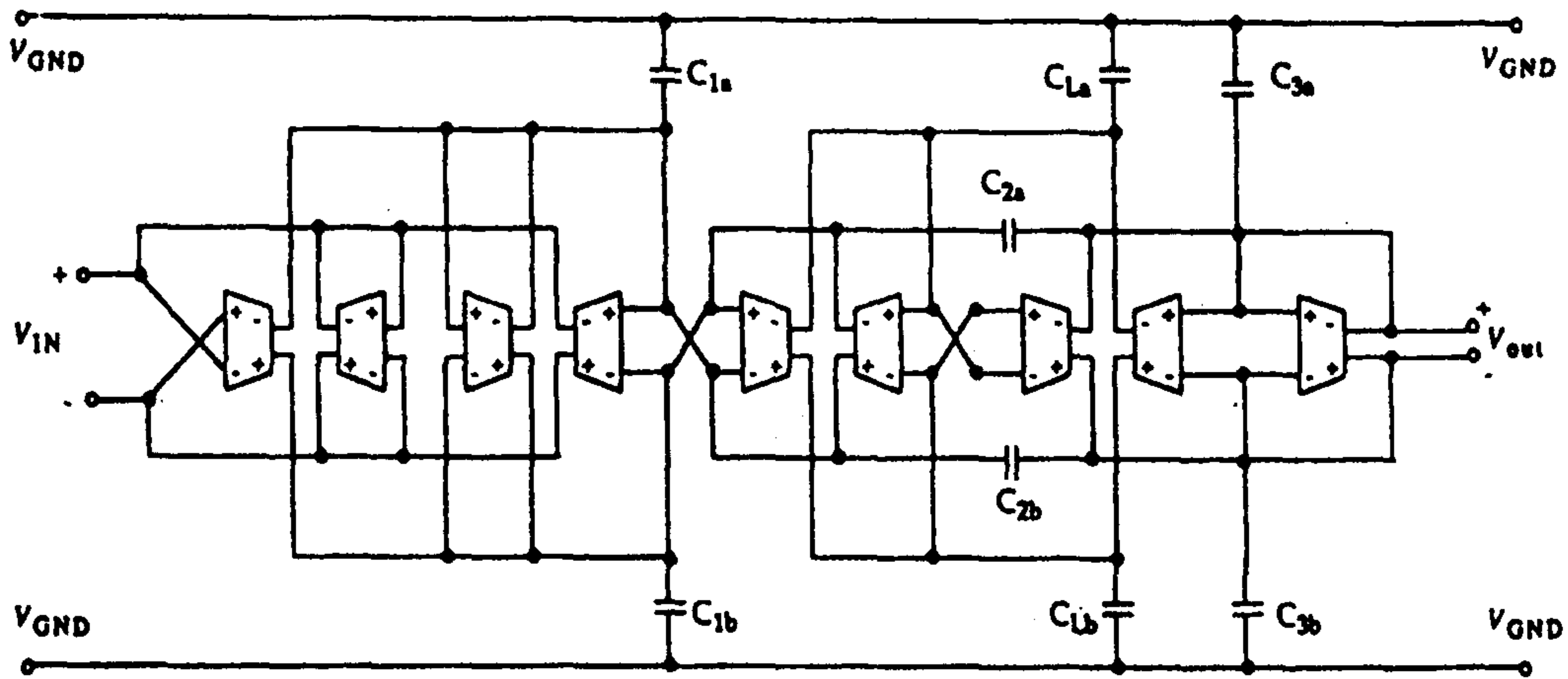


그림 3-24. 균형적인 구조를 갖는 능동 저역필터회로

자이레이터 능동저역필터의 시뮬레이션 결과를 표 3-9와 그림 3-25에 나타내었다.

표 3-9. 설계된 능동 저역통과 필터의 특성

$A_p$ (통과대역 리플)	1 dB
$A_s$ (저지대역 감쇄율)	30 dB 이상
$\omega_s$ (차단대역의 경사율)	2 dB
$\omega_c$ (차단주파수)	40 MHz

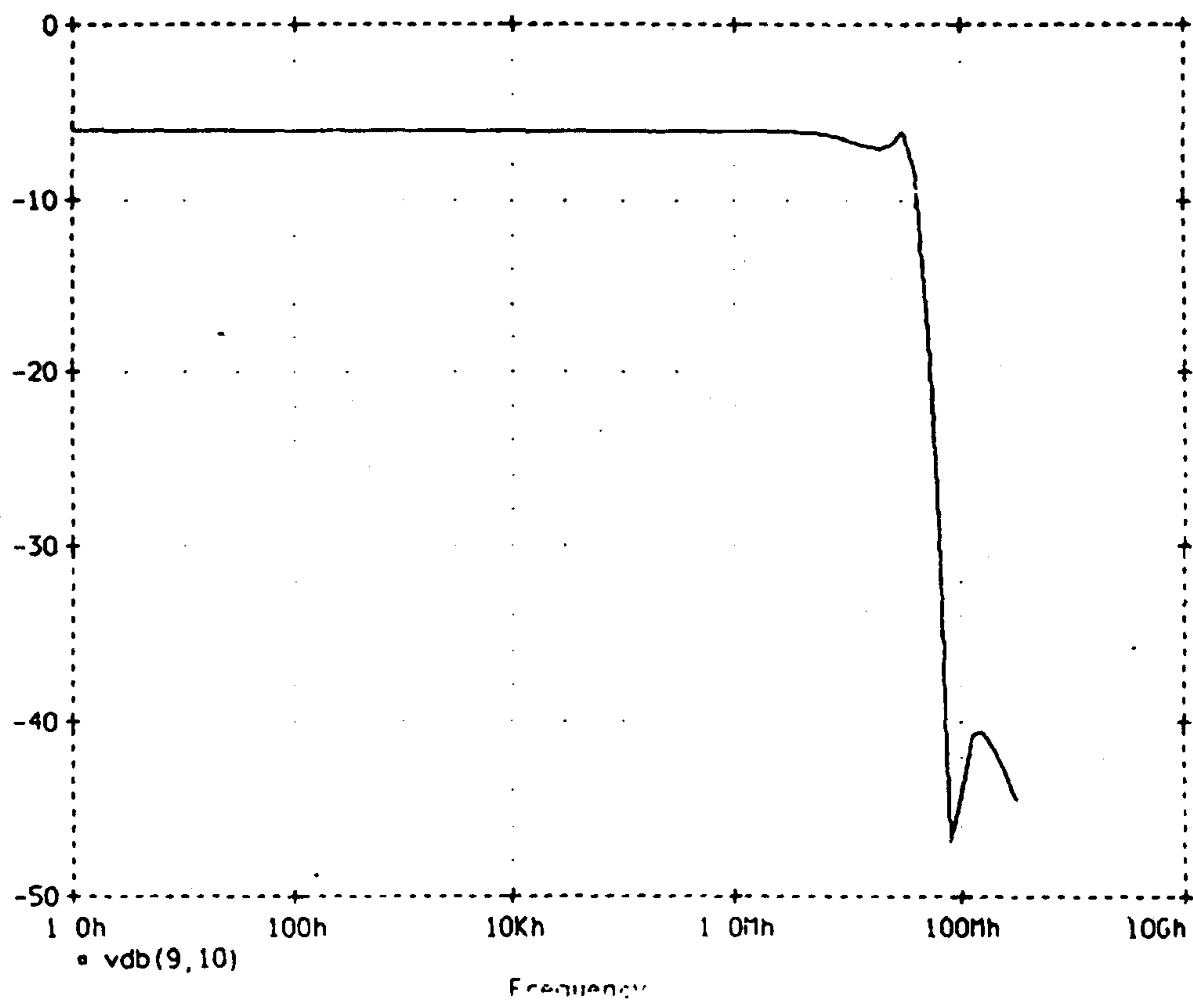


그림 3-25. 균형적인 구조를 갖는 능동 저역필터회로의 특성



## 제 4 절 적분기 (Integrator)

### 1. 적분기의 구조해석

미분기(differentiator)와 적분기(integrator)는 회로설계시 이용되는 용도에 따라 다양한 구조로 설계되고 있으며, 가장 일반적으로 알려져 있는 연산증폭기(Operational Amplifier)를 이용하여 구성될 수 있는 미분기와 적분기의 구조는 그림4-1, 그림4-2와 같다.

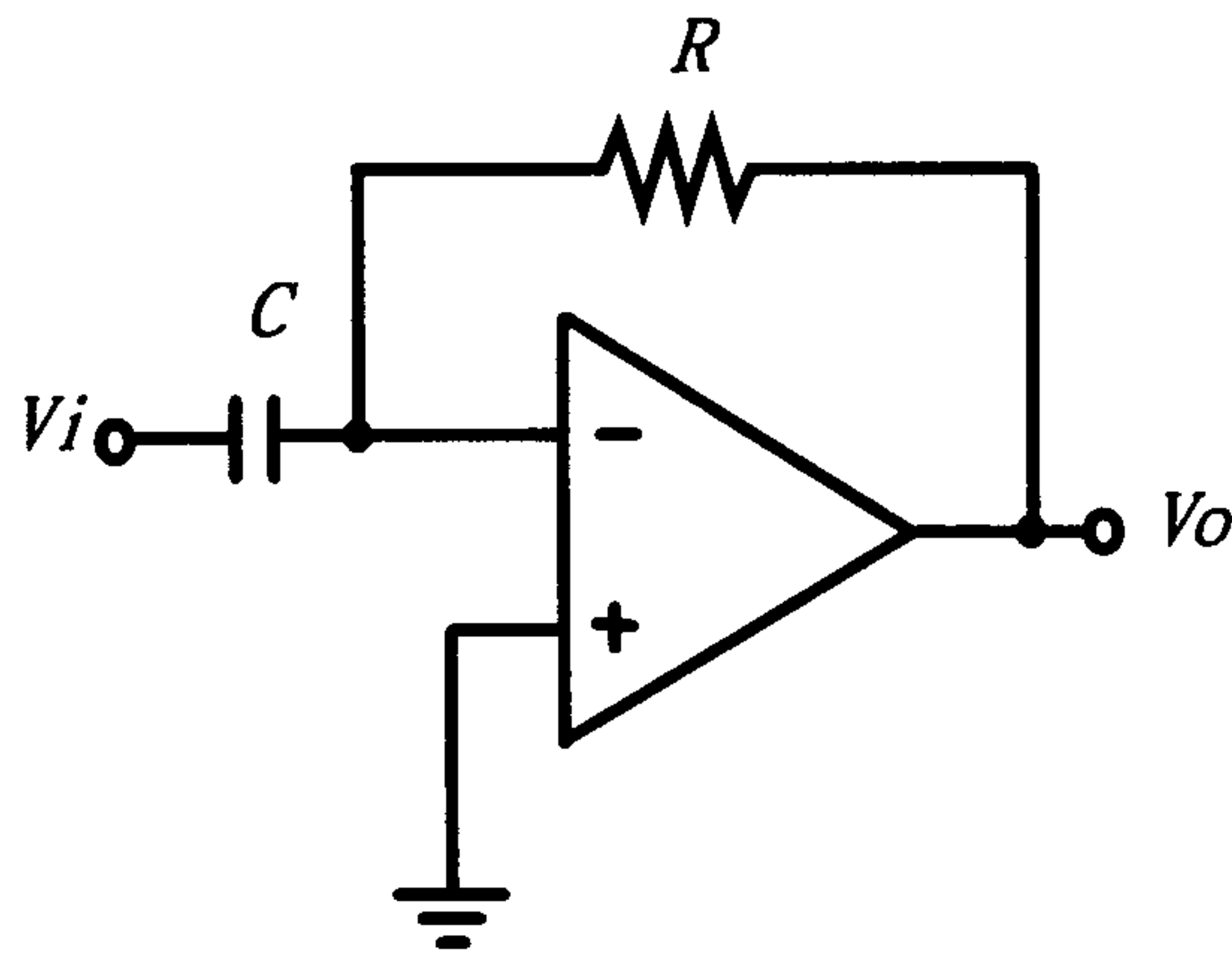


그림 4-1. 미분기

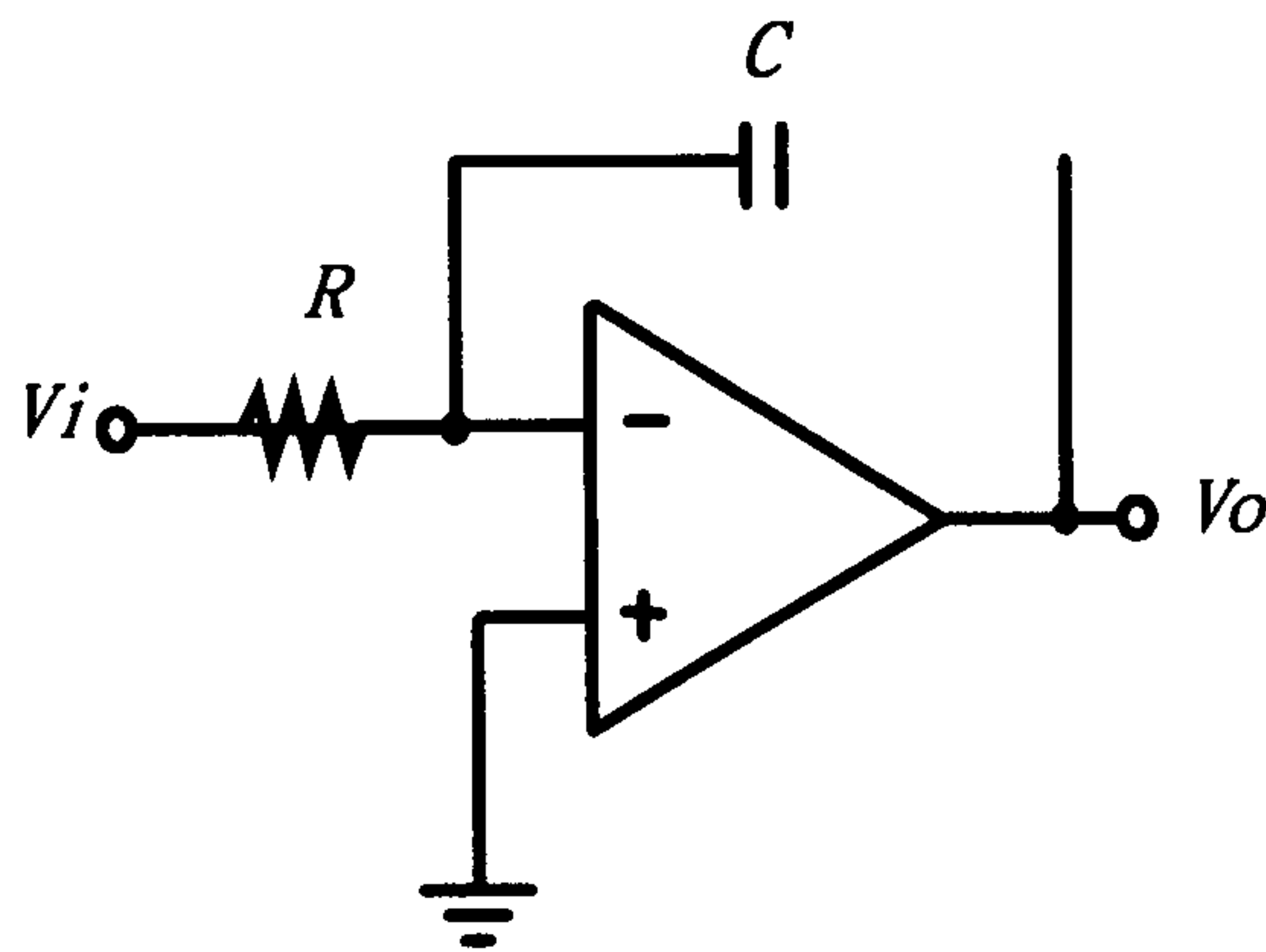


그림 4-2. 적분기

그림 4-2의 적분기는 매우 광범위하게 이용되고 있는 적분기 회로이며, 대부분의 전기전자회로에 응용되고 있는 다양한 형태의 적분기들은 모두 이 구조를 기본으로 하고 있다. 그 동작특성을 해석하면 다음과 같다.

반전 입력단(inverting input terminal)에서 노드방정식을 구하여 보면 식(4.1a)과 같다.

$$\frac{v_i}{R} + C \frac{dv_o}{dt} = 0 \quad (4.1a)$$

또는

$$-\frac{1}{RC} v_i = \frac{dv_o}{dt} \quad (4.1b)$$

식(4.1)은 식(4.2)와 같이 적분형태의 식으로 정리될 수 있다.

$$v_o = -\frac{1}{RC} \int v_i dt \quad (4.2)$$

또는 초기값을 포함하는 더욱 정확한 적분형태로 나타내면 식(4.3)과 같다.

$$v_o = -\frac{1}{RC} \int_0^t v_i(t) dt + K \quad (4.3)$$

여기에서  $K$ 는 출력전압의 초기값이다.

$$K = v_o(0) \quad (4.4)$$

## 가. 적분기 구조 고찰

적분기의 종류는 설계방법에 따라 여러 형태로 나누어질 수 있으며 입·출력 신호원의 종류에 따라서 전압모드, 전류모드 그리고 혼성모드 적분기로 구분될 수 있다. 이들 적분기들은 내부 구성소자의 종류에 따라 그 특성이 구분될 수 있는데 적분기의 내부회로를 구성하고 있는 대표적인 소자가 연산증폭기와 트랜스컨덕터이다. 따라서 전압모드 적분기, 전류모드 적분기와 혼성모드 적분기들의 구조 및 특성을 비교, 분석하기 위해 연산증폭기와 트랜스컨덕터를 이용하여 적분기를 구현하여 본다.

첫 번째로 그림 4-3(a)와 같이 연산증폭기에 커패시턴스를 피드백 시킴으로서 적분기가 구성될 수 있다. 이 회로의 입력과 출력은 각각 전류와 전압으로 설정되며 출력전압은 식(4.5)와 같다.

$$V_{out} = -(1/sC)I_{in} \quad (4.5)$$

식(4.5)를 살펴볼 때 그림 4-3(a)의 회로는 전류를 전압으로 변환하는 I-V변환기 특성을 갖는다.

두 번째 적분기는 그림 4-3(b)와 같은 형태로써 첫 번째 적분기와는 반대로 입력과 출력이 각각 전압과 전류로 설정되며 내부소자는 트랜스컨덕터를 이용하고 있다. 이 적분기의 출력식은 식(4.6)과 같다.

$$I_{o1} = -I_{o2} = G_m(V_{in1} - V_{in2}) \quad (4.6)$$

식(4.6)을 살펴볼 때 그림 4-3(b)의 회로는 입력전압을 출력전류로 변환하는 V-I변환기 특성을 가짐을 알 수 있다. 한편 이와 같은 그림

4-3(b)의 V-I 트랜스컨덕터는 입·출력의 단자형태에 따라서 그림 4-3(c) 및 그림 4-3(d)와 같은 차동입력 트랜스컨덕터, 차동출력 트랜스컨덕터로 설계할 수 있다.

이상과 같이 I-V변환기 혹은 V-I변환기 특성을 갖는 소자들을 이용하여 전류모드, 전압모드 그리고 혼성모드 등의 원하는 입·출력신호원에 따른 적분기를 간단하게 구성할 수 있다.

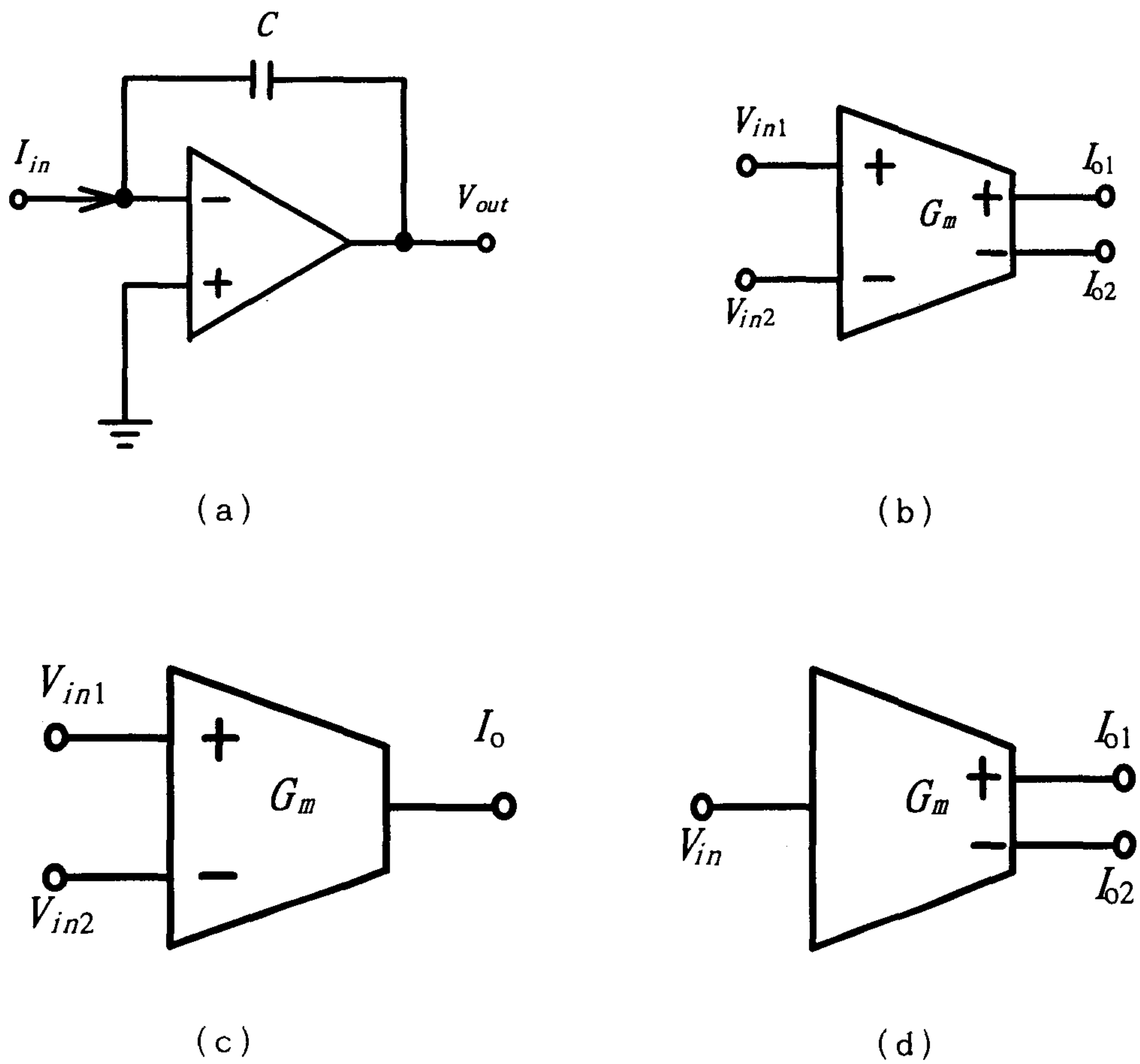


그림 4-3. 적분기 구현을 위한 기본소자

- |                 |                 |
|-----------------|-----------------|
| (a) I-V 변환기     | (b) 트랜스컨덕터      |
| (c) 차동입력 트랜스컨덕터 | (d) 차동출력 트랜스컨덕터 |

(1) 전압모드 적분기(Voltage-Mode Integrator)

전압모드 적분기는 입력 및 출력이 모두 전압신호로 설정된 형태의 적분기를 말하는데 앞 절에서 고찰한 몇 가지 형태의 적분기를 사용하여 구성될 수 있다. 그림 4-4는 그림 4-3(c)의 V-I변환 특성을 갖는 차동입력 트랜스컨덕터와 그림 4-3(a)의 I-V변환기를 종속 연결하여 구성된 차동입력 전압모드 적분기이다. 차동입력 전압모드 적분기의 출력식은 식(4.7)과 같이 구해진다.

$$V_{out} = (G_m / sC) (V_{in1} - V_{in2}) \quad (4.7)$$

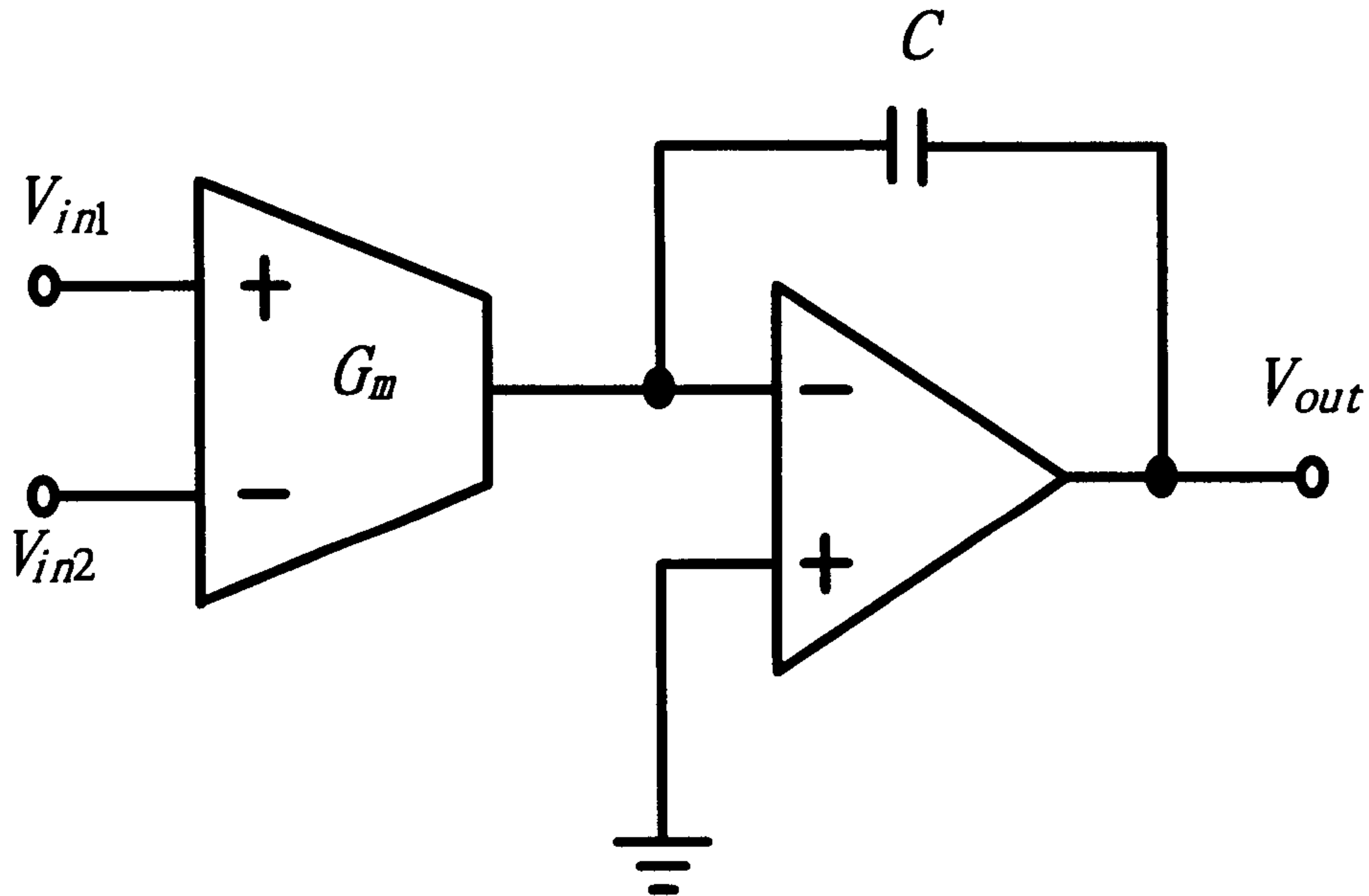


그림 4-4. 전압모드 적분기

(2) 전류모드 적분기(Current-Mode Integrator)

전류모드 적분기는 앞절의 전압모드 적분기와는 반대로 입력과 출력의 신호원이 모두 전류이다. 따라서 전류모드 적분기는 앞에서 고찰한 I-V변환기와 V-I변환기 특성을 갖는 차동출력 트랜스컨덕터를 종속연결함으로써 그림 2.6과 같은 형태로 구성될 수 있다. 이와 같이 구성된 전류모드 적분기의 출력특성 전달함수는 식(4.8)과 같다.

$$I_{o1} = -I_{o2} = (G_m / sC) I_{in} \quad (4.8)$$

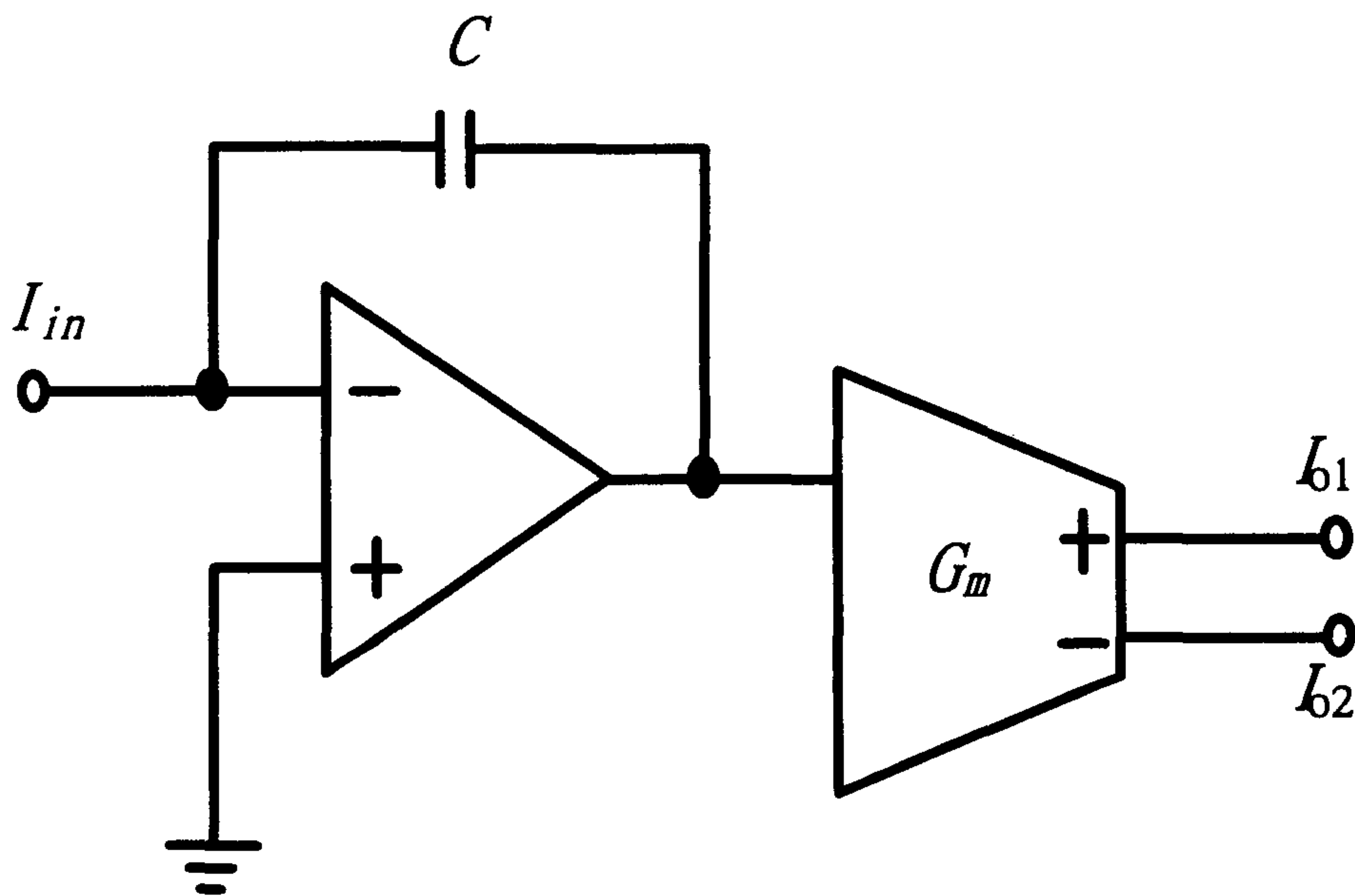


그림 4-5. 전류모드 적분기

(3) 혼성모드 적분기(Mixed-Mode Integrator)

전압신호와 전류신호가 이용되는 혼성모드 적분기는 두 개의 V-I 트랜스컨덕터와 하나의 I-V변환기를 이용하여 그림 4-6과 같이 구성될 수 있다. 이와 같이 구성된 혼성모드 적분기에서 입력변수는 전압이고 출력변수는 전류이며, 그 입·출력관계는 다음과 같다.

$$I_{o1} = -I_{o2} = (G_{m1} G_{m2} / sC) (V_{in1} - V_{in2})$$

여기에서 시상수는  $C / (G_{m1} G_{m2})$  이다.

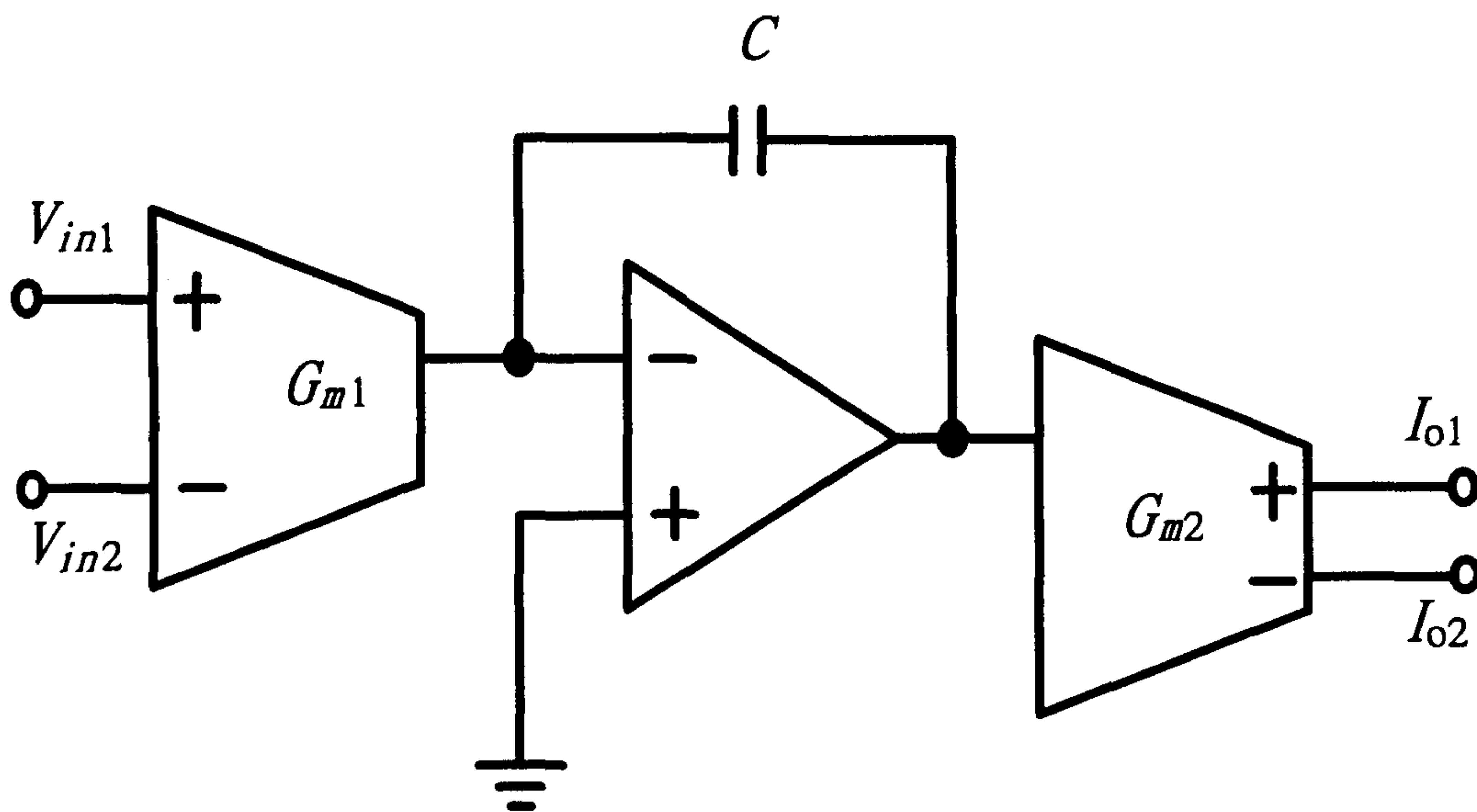


그림 4-6. 혼성모드 적분기

이와 같이 적분기는 입·출력 신호원이 다른 기본 적분기를 어느 것들과 어떻게 연결시키느냐에 따라서 즉, 다시 말해서 전압과 전류 등의 입·출력 신호원의 종류에 의해서 그 종류 및 특성이 결정되어진다. 따라서 전압모드, 전류모드 그리고 혼성모드 등의 적분기 설계방식중 어떤 방식의 적분기를 이용할 것인가 하는 것은 원하는 시스템의 특성에 따라 선택된다. 요즘에 들어서는 이러한 적분기의 선택과정에 있어서 필터등 많은 시스템의 구성에 저전압, 저전력 및 주파수 등의 여러면에서 우수한 특성을 지니고 있는 전류모드 설계방식이 기존의 전압모드 방식보다 각광받고 있는 추세이다. 따라서 이어지는 3.에서는 전류모드 방식에 의해 설계된 기존 적분기들의 특성 및 새로운 구조를 갖는 제안된 적분기의 특성을 분석, 비교하고자 한다.

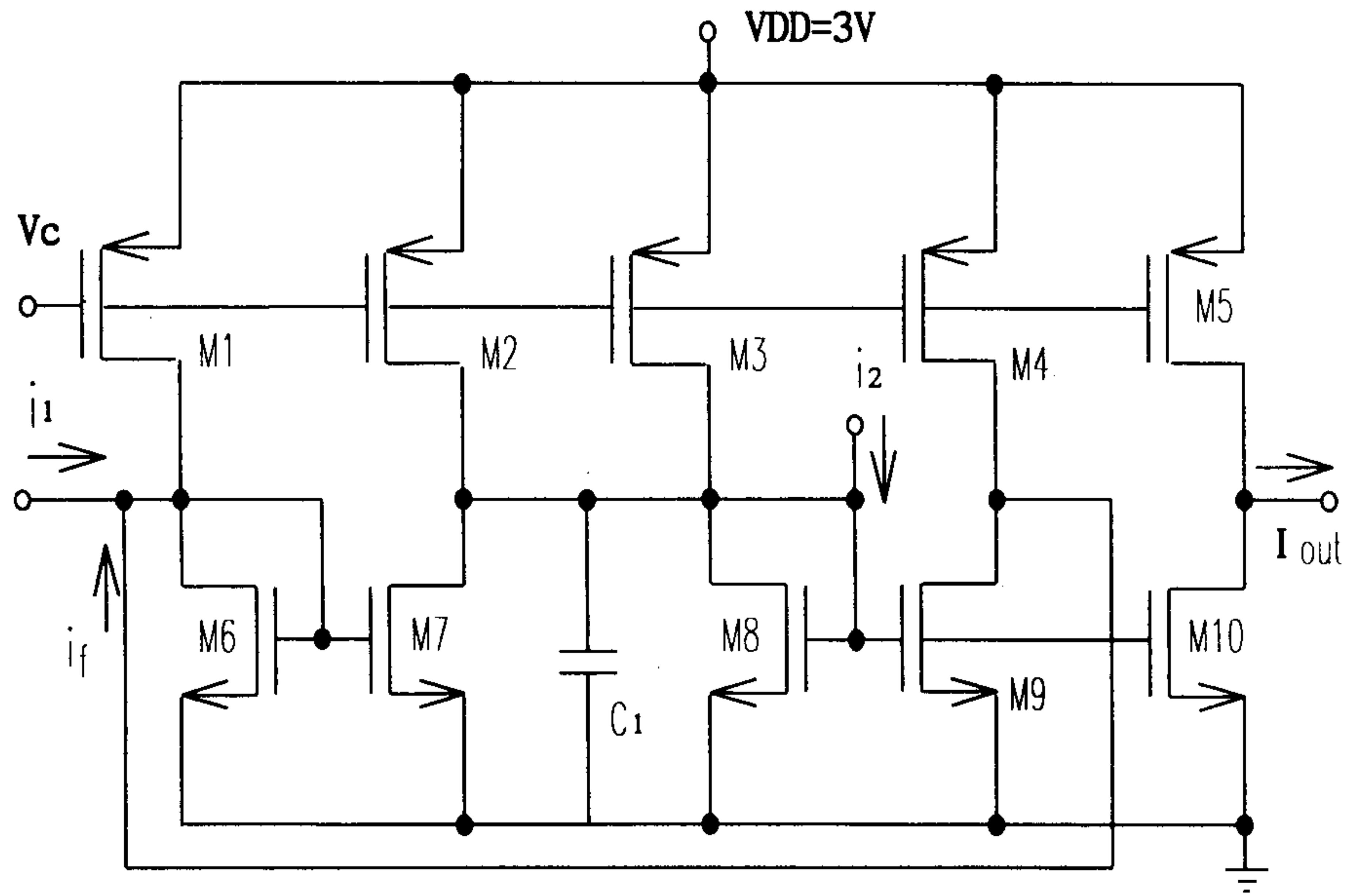
## 2. CMOS 적분기 설계

여기에서는 완전균형 상보형 적분기를 제안한다. 제안된 적분기를 초기 모델인 NMOS형 전류모드 적분기와 그로부터 유추된 상보형 적분기의 특성을 소신호 해석과 시뮬레이션을 통해 비교, 분석한다.

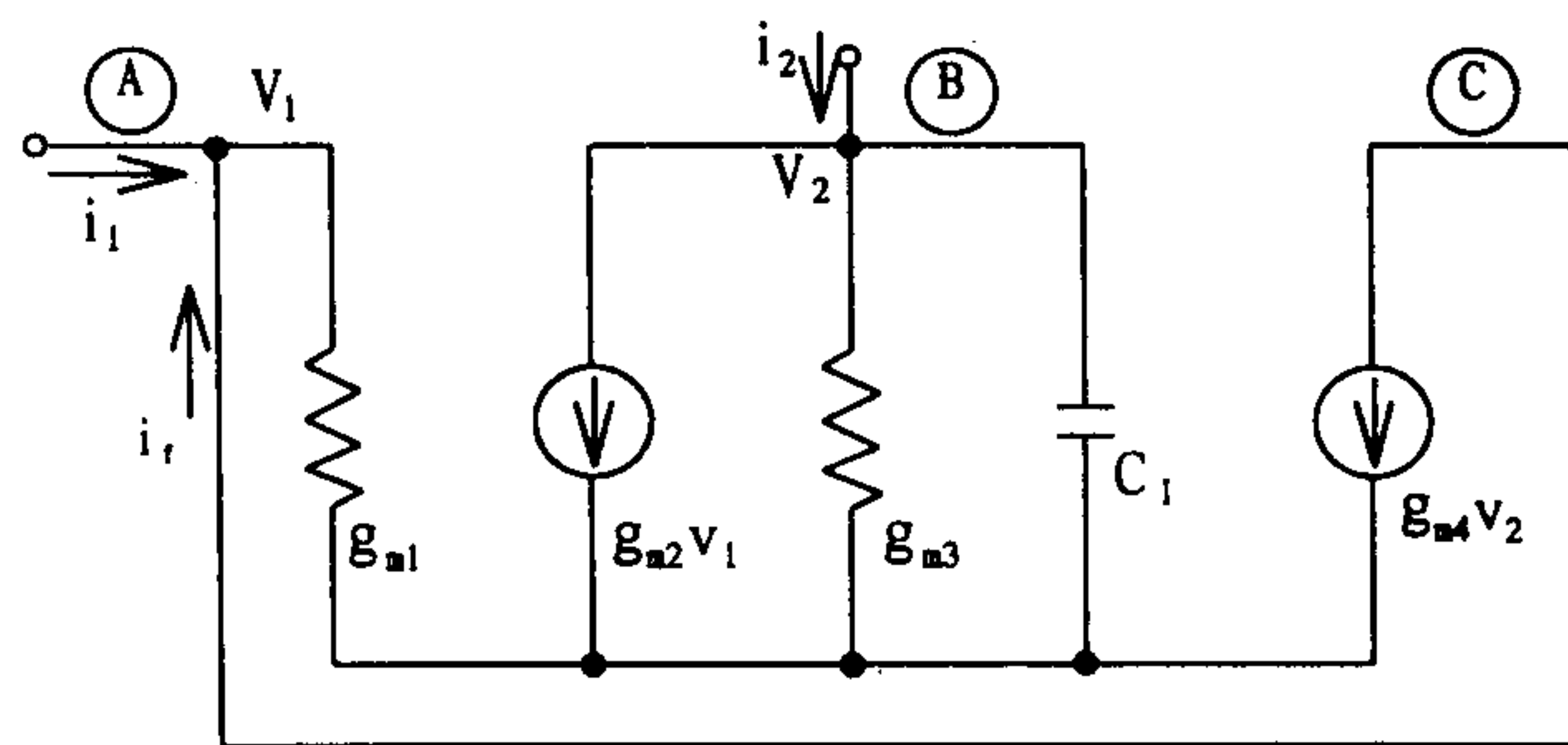
### 가. NMOS형 전류모드 적분기의 해석

80년대 후반 전류모드 방식에 의해 설계된 회로는 저전압, 저전력 특성을 얻어내기 위하여, 또한 디지털 회로와 공존하여 혼성으로 집적화하기 위한 목적으로 제안되었고, 이를 이용하여 전류모드 적분기가 설계되었다. 그리고 전류모드 적분기는 90년대에 들어 발생하는 여러 가지 문제점을 보완하기 위해 그림 4.7과 같은 NMOS 전류모드 적분기로 개선되어 아날로그 회로설계에 응용하고 있다.

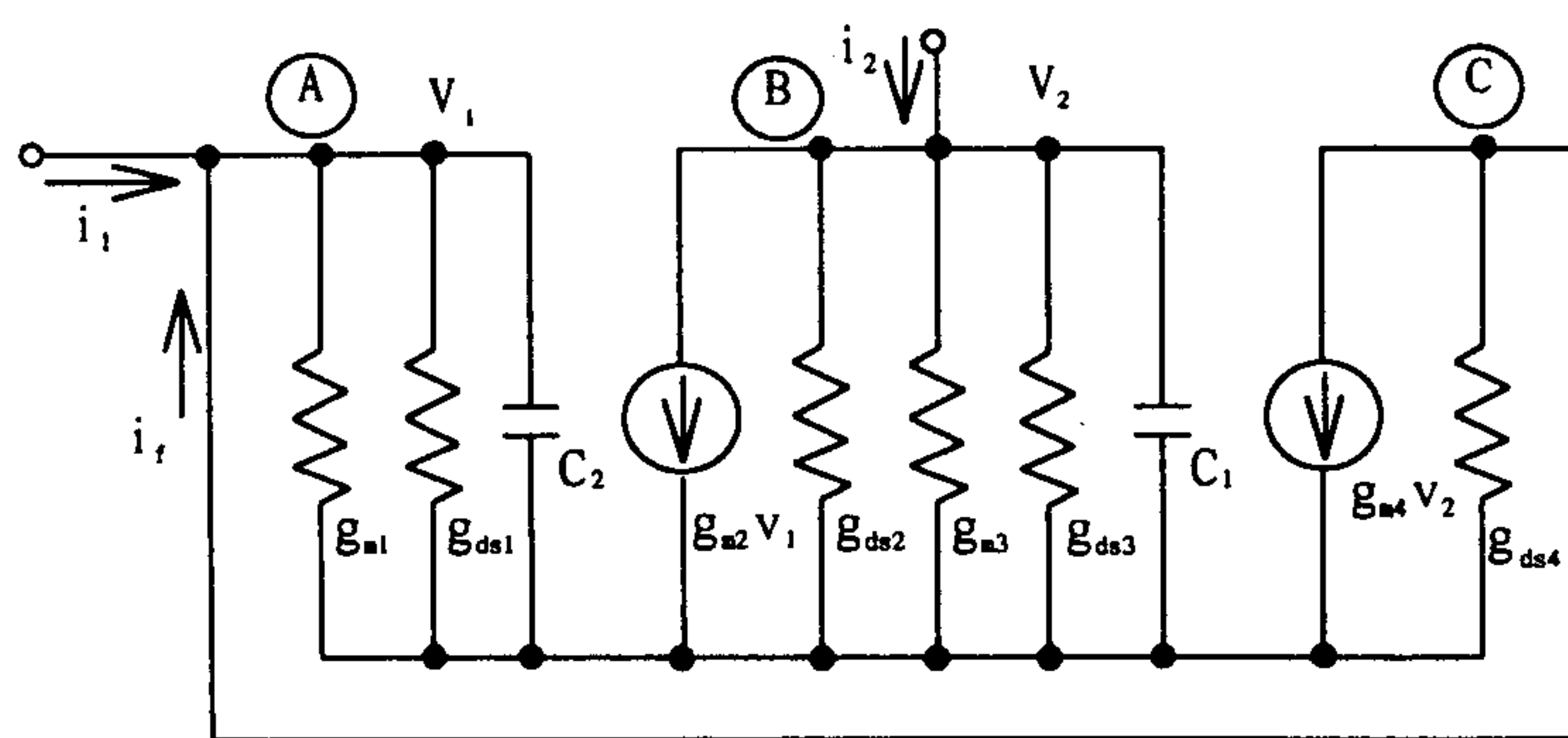




(a)



(b)



(c)

그림 4-7. NMOS 전류모드 적분기

(a) 구성도 (b) 1차 소신호 등가회로 (c) 2차 소신호 등가회로

그림 4-7(a) 적분기의 출력컨덕턴스( $g_{ds}$ )와 기생커패시턴스( $C_2$ )를 무시한 1차 등가회로 그림 4-7(b)에서 모든 트랜지스터들이 이상적인 특성을 갖는다고 할 때, 노드 ㉠, ㉢와 ㉣에서 KCL방정식을 이용하여 식을 정리하면 다음의 식(4.9)을 얻을 수 있다.

$$i_f = \frac{g_{m4}}{sC_1}(i_1 - i_2) \quad (4.9)$$

또한  $i_f$  는 적분기의 궤환전류이며, 출력전류  $i_{out}$  는 궤환전류  $i_f$  의  $k$ 배로 설계되므로 최종적으로 얻을 수 있는 출력전류는 다음의 식(4.10)와 같다.

$$i_{out} = k i_f = k \frac{g_{m4}}{sC_1}(i_1 - i_2) \quad (4.10)$$

식(4.10)에서  $k$ 가 1일 때 최대의 동작범위를 가지므로 단위이득 주파수 ( $\omega_o$ )는  $g_{m4}/C_1$  임을 알 수 있다.

그림 4-7(c)의 2차 소신호 해석에서는 1차 해석에서 무시하였던 기생 커패시터(parasitic capacitor)  $C_2$ 와  $g_m$ 에 비해서 상대적으로 작은 값을 갖는 출력 컨덕턴스( $g_{ds}$ )등을 포함하여 해석한다. 이때 각 MOS에서 얻어지는 트랜스컨덕턴스 값들은 모두 각각 같은 크기로 설계하였으므로  $g_{m1} \sim g_{m4}$ 를  $g_m$ 으로,  $g_{ds1} \sim g_{ds4}$ 를  $g_{ds}$ 값으로 대신하여 각 노드에서 KCL 해석법을 통하여 식을 구해 정리하면 식(4.11a)와 같다.

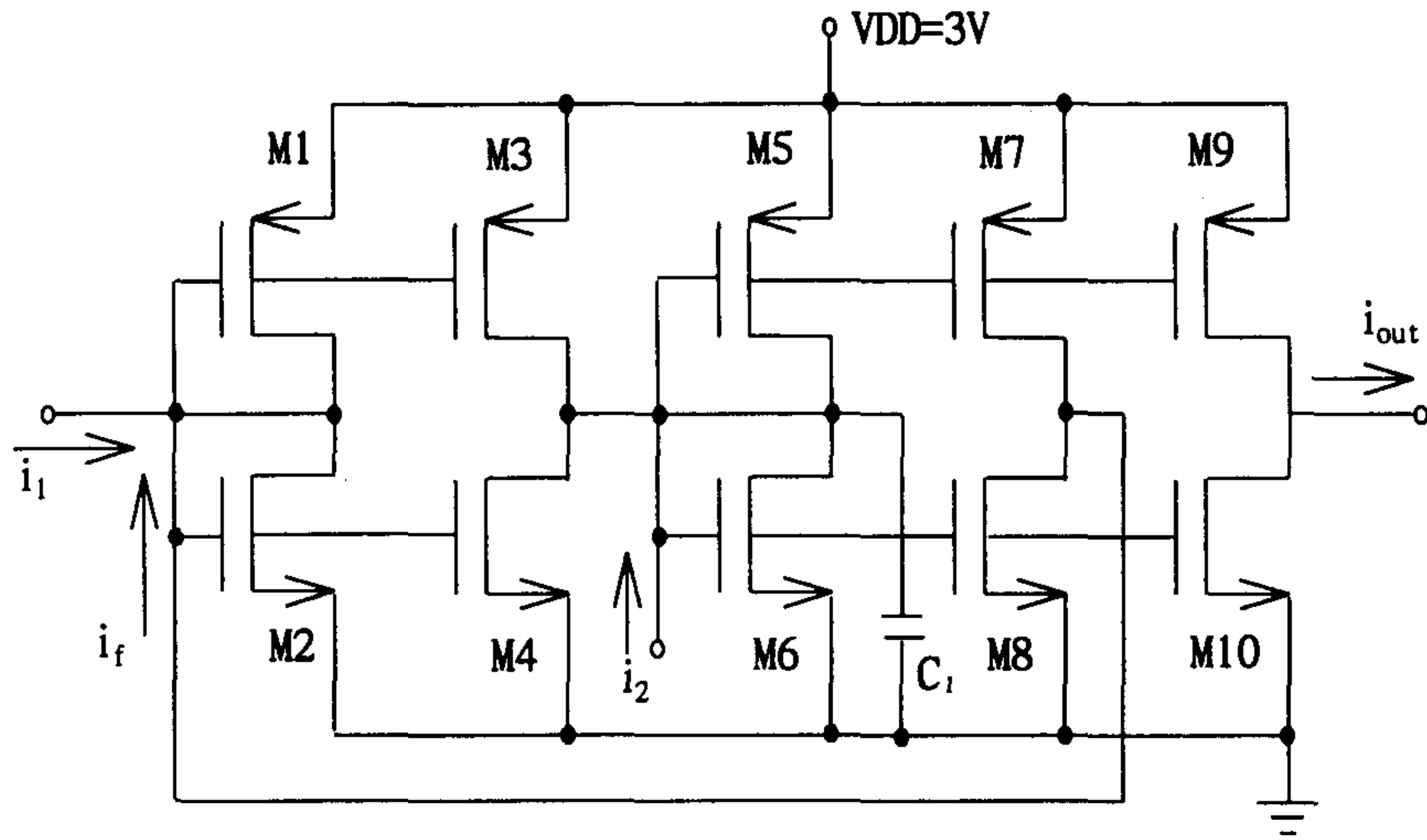
$$i_f = \frac{\left(\frac{-g_{ds}}{C_2}\right)\left[\left(s - \frac{g_m^2}{g_{ds}C_1}\right)i_1\right] - \left(\frac{g_m}{C_1}\right)\left[\left(s + \frac{g_m + g_{ds}}{C_2}\right)i_2\right]}{\left(s + \frac{4g_{ds}}{C_1}\right)\left(s + \frac{g_m}{C_2}\right)} \quad (4.11a)$$

$$i_f = \frac{k_1(s-z_1) - k_2(s-z_2)}{(s-p_1)(s-p_2)} \quad (4.11b)$$

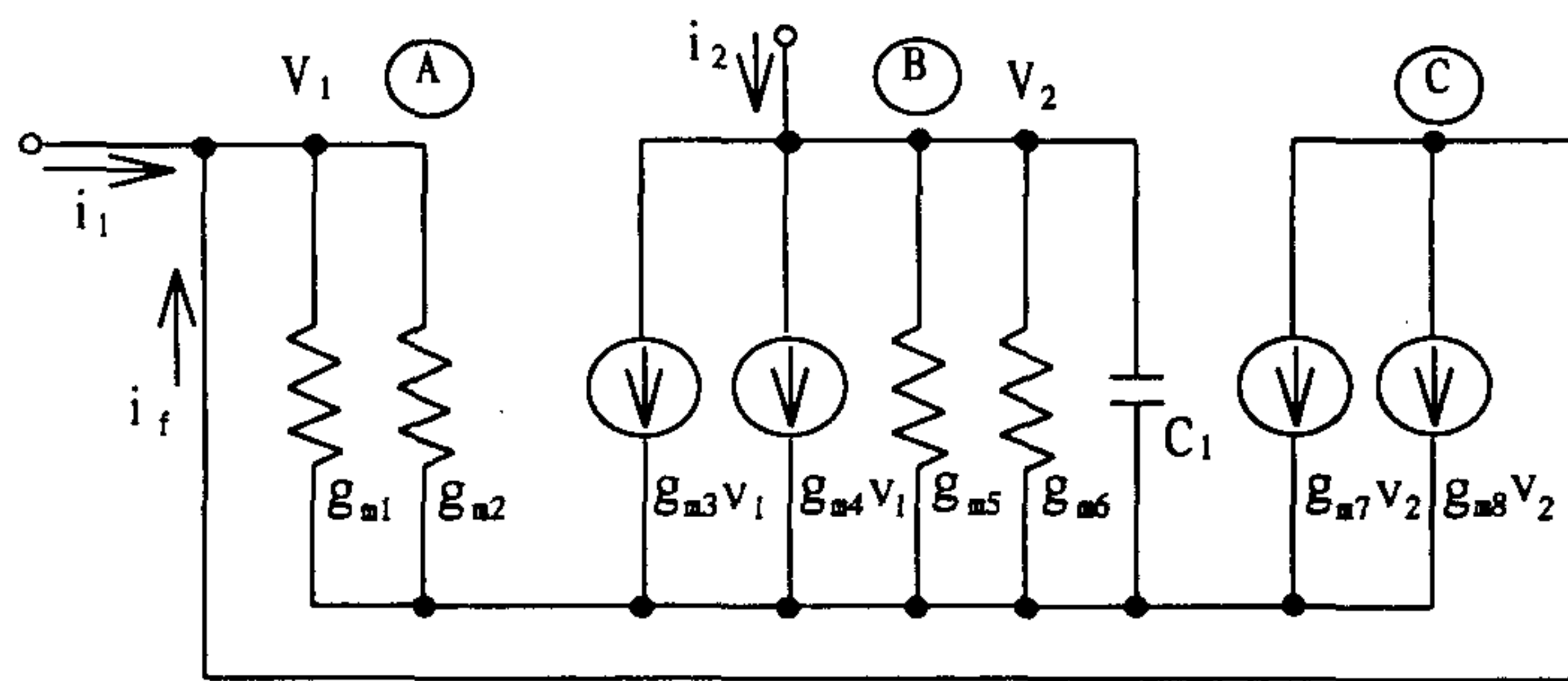
구해진 식(4.11a)을 식(4.11b)의 기본식과 비교하여 보면 첫 번째 단의 영점( $z_1$ )은  $g_m^2/g_{ds}C_1$  이며, 두 번째 단의 영점( $z_2$ )은  $g_m/C_2$  ( $g_m \gg g_{ds}$  이므로)임을 알 수 있다. 또한 우성극점(dominant pole :  $p_1$ )은  $-4g_{ds}/C_1$ 이고, 비우성극점(nondominant pole :  $p_2$ )은  $-g_m/C_2$  값임 역시 알 수 있다. 아울러  $\omega_o = p_1 A_o$ 의 식에서 구할 수 있는 전류이득 값( $A_o$ )은  $g_m/4g_{ds}$  이다.

#### 나. CMOS 상보형 적분기의 해석

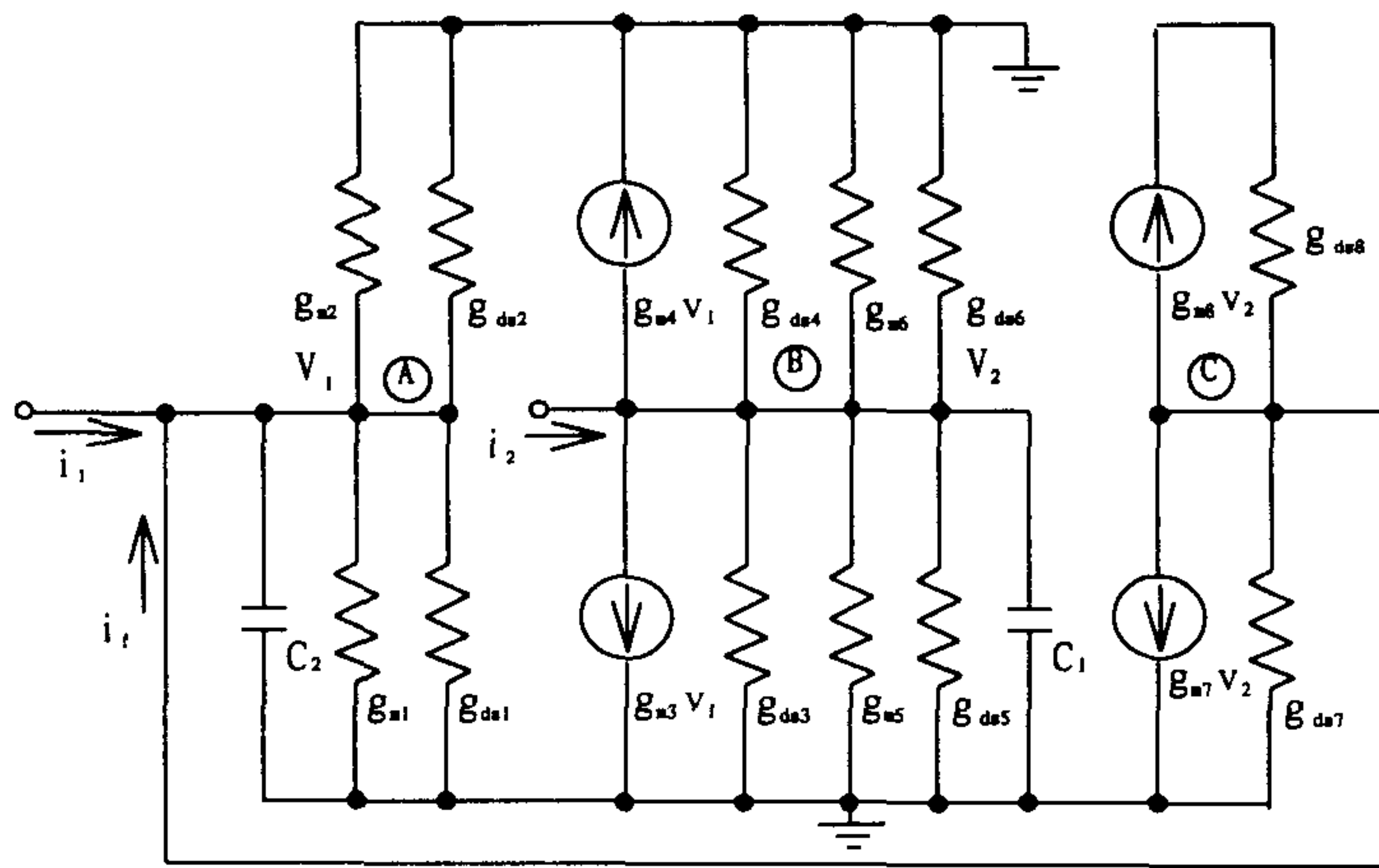
연속시간 상보형 전류모드 적분기의 구조는 그림 4-8(a)와 같이 NMOS 전류모드 적분기에서 단위 이득 주파수 특성을 개선하며, 위상 특성을 개선하기 위한 방법으로 제안된 회로이다. 그 특성을 소신호 등가회로를 통해 해석하여 본다.



(a)



(b)



(c)

그림 4-8. CMOS 상보형 적분기

참고 (b) 1차 소신호 등가회로 (c) 2차 소신호 등가회로

그림 4-8(b)의 1차 소신호 등가회로에서 적분기를 구성하고 있는 모든 트랜지스터들이 이상적인 특성을 갖는다고 가정하고 노드 ㉠, ㉡와 ㉢에서 KCL 방정식을 적용하여 정리하면 다음의 식(4.12)를 얻을 수 있다.

이때 MOSFET M1과 M3, M2와 M4, M5와 M7, 그리고 M6과 M8은 모두 전류미러 형태로 구성되어 있으므로 이들의 트랜지스터의 크기를 모두 같은 크기로 설계하게 되면, 이들에 의하여 발생하는 각각의 모든 트랜스컨덕턴스 값들은  $g_{m1}=g_{m3}$ ,  $g_{m2}=g_{m4}$ ,  $g_{m5}=g_{m7}$ ,  $g_{m6}=g_{m8}$  가 된다.

$$i_f = \frac{g_{m7} + g_{m8}}{sC_1} (i_1 - i_2) \quad (4.12)$$

여기에서 적분기의 출력 전류  $i_{out}$ 는 피드백 전류  $i_f$ 의  $k$ 배로 설계되므로 최종 출력 전류는 식(4.13)와 같다.

$$i_{out} = k \frac{g_{m7} + g_{m8}}{sC_1} (i_1 - i_2) \quad (4.13)$$

식(4.13)식 역시  $k$ 가 1일 때 전류모드 적분기가 최대의 동적 범위를 가지므로 이때 상보형 적분기의 단위이득 주파수( $\omega_o$ )는  $(g_{m7} + g_{m8})/C_1$ 와 같다.

그림 4-8(c)의 2차 소신호 등가회로에서 지금까지 1차 소신호 해석을 통해 무시하였던  $C_2$ 와  $g_{ds}$ 를 고려하여, 이 역시 KCL 해석법을 통

해 아래의 식(4.14)~식(4.16)을 얻을 수 있다. 이때 각 MOS에서 얻어지는 트랜스컨덕턴스 값들은 각각 같은 크기로 설계할 수 있으므로  $g_{m1} \sim g_{m8}$ 의 값은  $g_m$ 으로  $g_{ds1} \sim g_{ds8}$ 의 값은  $g_{ds}$ 로 대신하였다.

$$(2g_m + 2g_{ds} + sC_2)v_1 = i_1 + i_f \quad (4.14)$$

$$2g_mv_1 + (2g_m + 4g_{ds} + sC_1)v_2 = i_2 \quad (4.15)$$

$$2g_mv_2 + 2g_{ds}v_1 = -i_f \quad (4.16)$$

식(4.14), 식(4.15) 및 식(4.16)을 정리하면 적분기의 궤환 전류를 포함한 여러 가지 특성은 다음의 결과식과 같다.

$$i_f = \frac{\left(\frac{-2g_{ds}}{C_2}\right)\left[\left(s - \frac{2g_m^2}{g_{ds}C_1}\right)i_1\right] - \left(\frac{2g_m}{C_1}\right)\left[\left(s + \frac{2g_m + 2g_{ds}}{C_2}\right)i_2\right]}{\left(s + \frac{8g_{ds}}{C_1}\right)\left(s + \frac{2g_m}{C_2}\right)} \quad (4.17a)$$

$$i_f = \frac{k_1(s - z_1) - k_2(s - z_2)}{(s - p_1)(s - p_2)} \quad (4.17b)$$

CMOS 상보형 적분기를 해석한 위 식에서 첫 번째 단의 영점( $z_1$ )은  $2g_m^2/g_{ds}C_1$ , 두 번째 단의 영점( $z_2$ )값은  $-2(g_m + g_{ds})/C_2$ 으로 각각 나타나고 있으며, 우성극점( $p_1$ )은  $-8g_{ds}/C_1$  값으로 비우성극점( $p_2$ )은  $-2g_m/C_2$ 으로 나타난다. 또한  $\omega_o = p_1A_o$ 의 식에서 구할 수 있는 단위이득 값( $A_o$ )은  $2(g_{m7} + g_{m8})/4g_{ds}$  즉,  $g_m/2g_{ds}$ 으로 나타낼 수 있다.

다. 완전균형 상보형 적분기의 제안

앞절의 적분기들에 대한 전달함수 결과식(4.11a)와 (4.17a)를 이용하여 이 식들에서 얻어진 극점  $p_1$ ,  $p_2$  와  $g_{ds}$  및  $C_2$ 의 관계를 수식으로 정리하면 다음의 식(4.18a), 식(4.18b)와 같다.

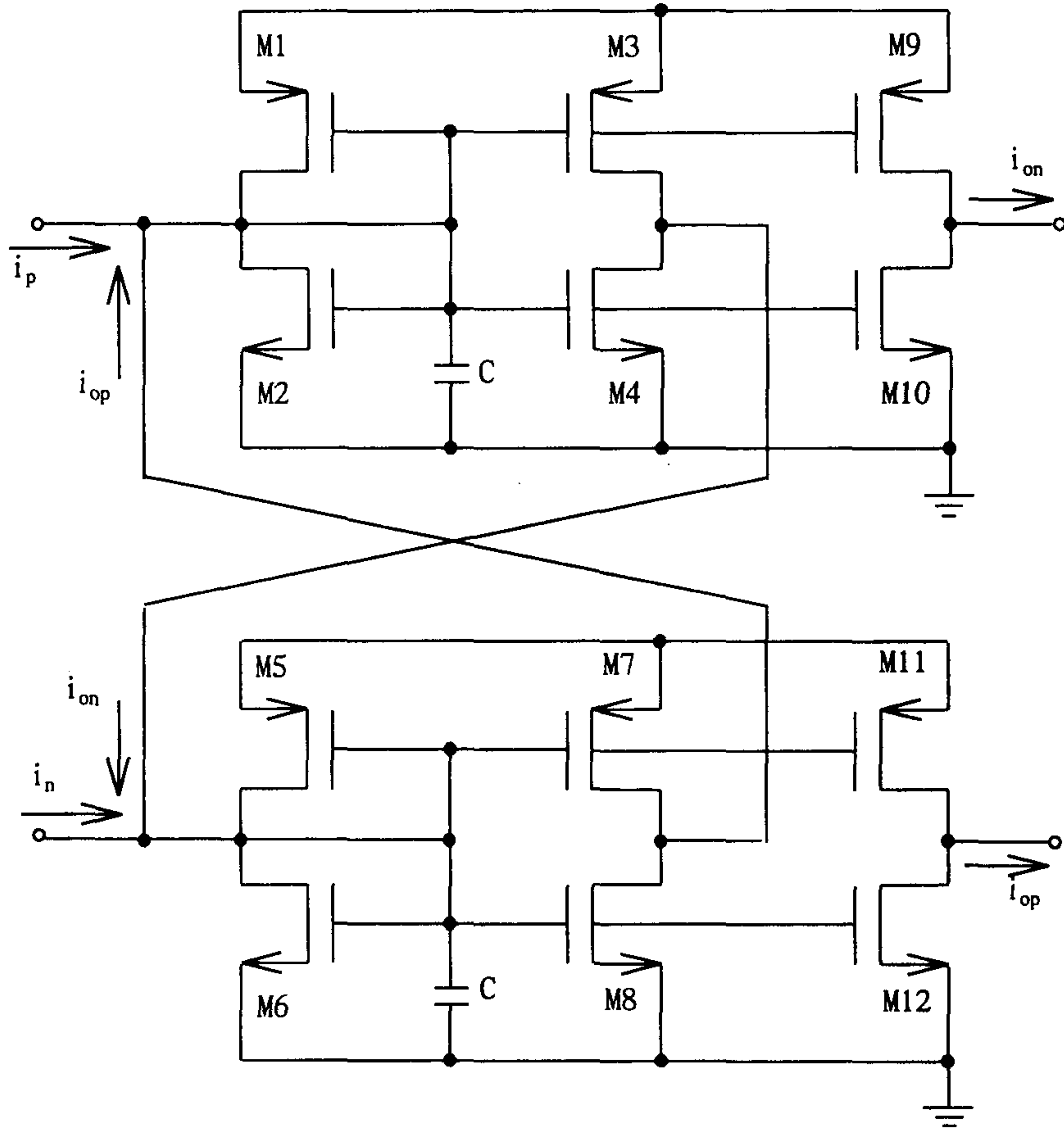
$$p_1 \propto g_{ds} \quad (4.18a)$$

$$p_2 \propto \frac{1}{C_2} \quad (4.18b)$$

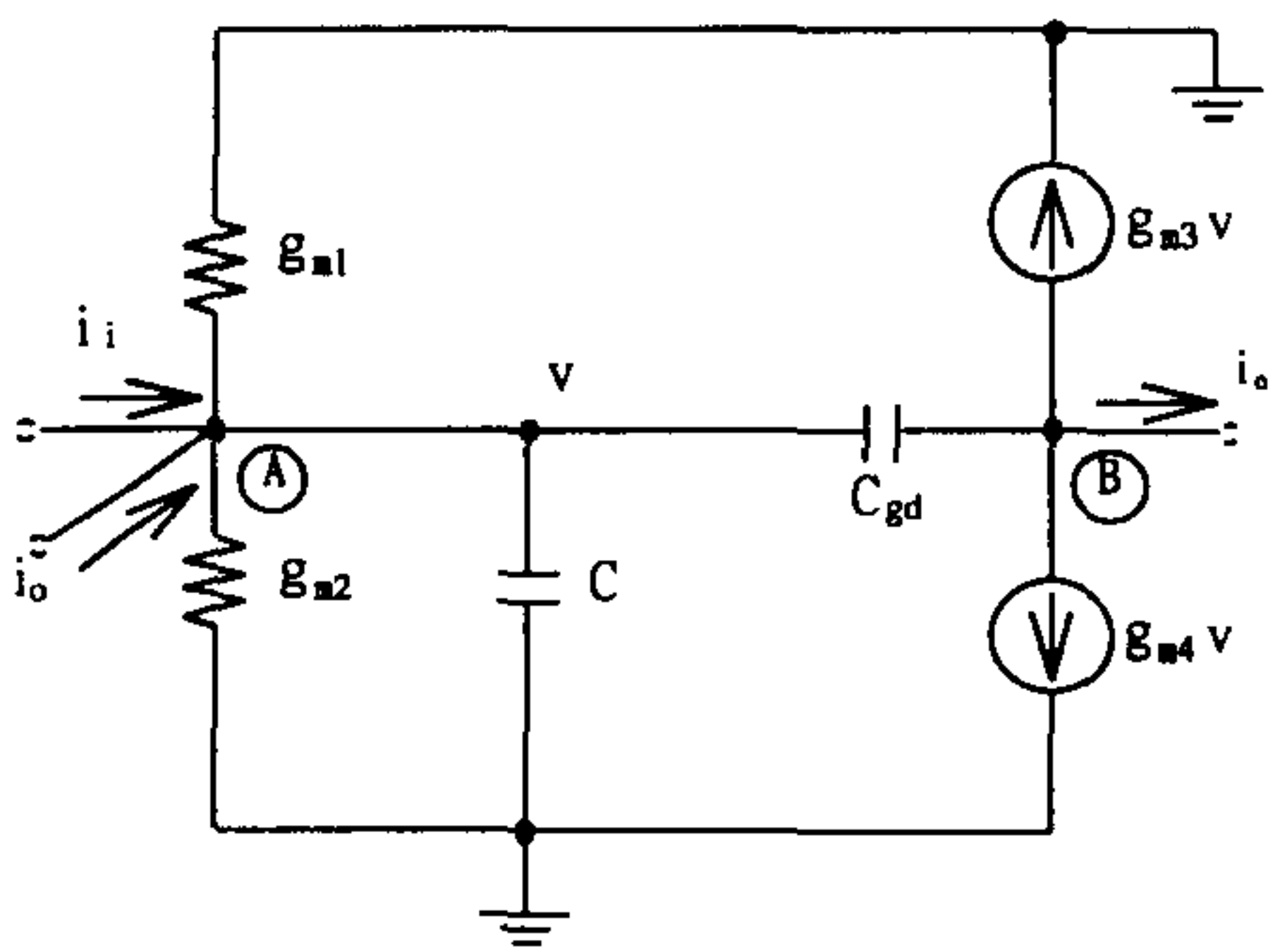
결국  $g_{ds}$ 는 극점  $p_1$ 을 주파수 평면상에서 이동시키고 있으며,  $C_2$ 는 비우성극점  $p_2$ 를 위상추이 시키고 있다. 이러한 문제점은 적분기들의 주파수 확장에 제한요인이 되고 있다.

언급된 문제들은 커패시터  $C_1$ 을  $C_2$ 를 무시할 수 있을 정도로 크게 해주는 방법과 출력컨덕턴스( $g_{ds}$ )의 크기를 축소함으로써 개선시킬 수 있다. 하지만 이와 같은 방법은 전자의 경우 커패시터 값의 불균형을 초래하고, 후자의 경우에는 MOSFET의 비정합을 야기하여 적분기의 안정성에 큰 영향을 미치게 된다.

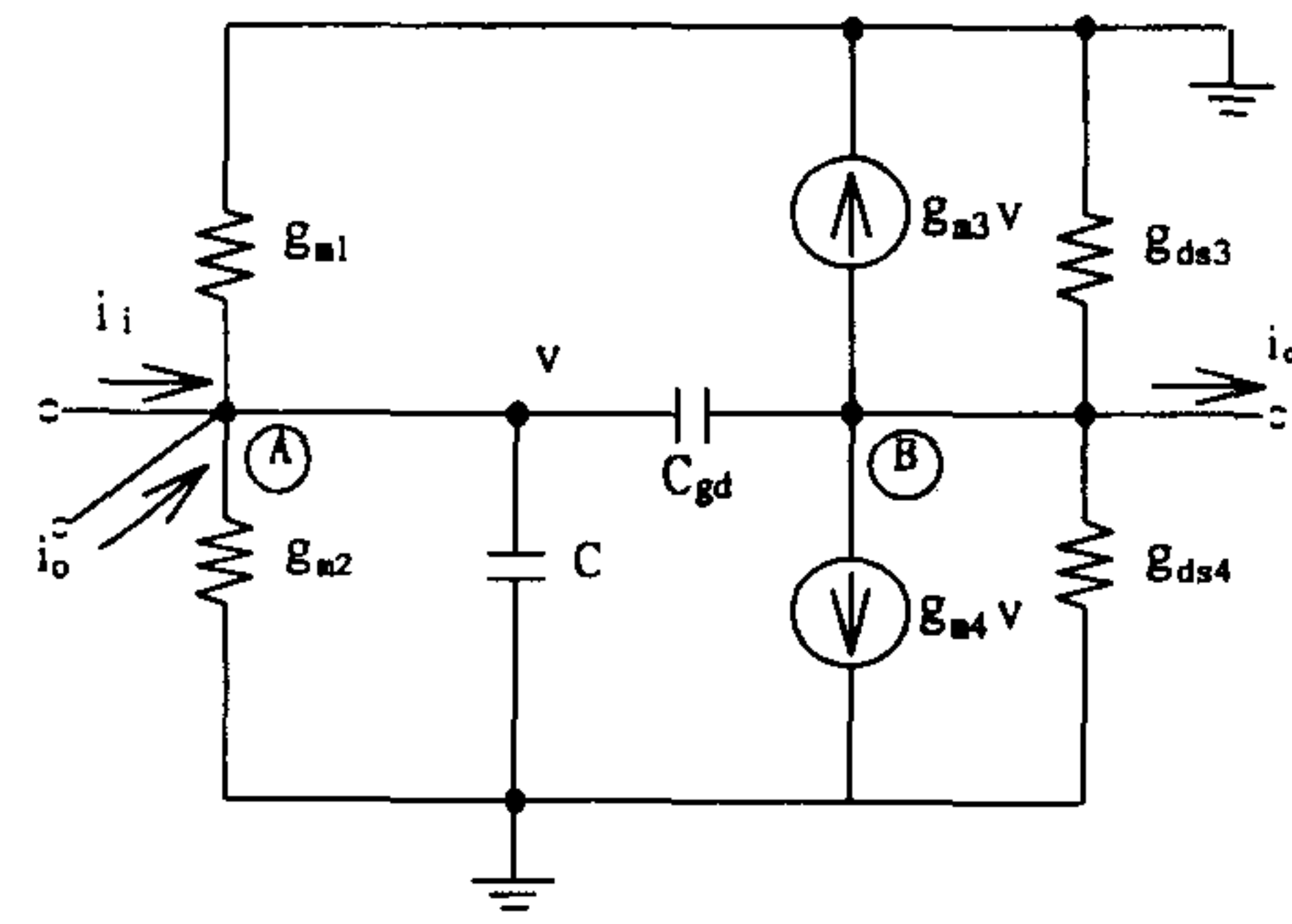
따라서 본 논문에서는 이러한 영향들을 야기시키지 않고 문제점을 해결하기 위한 방법으로 그림 4-9(a)와 같은 병렬형태의 구조를 제안하고자 한다. 그림 4-9(a)와 같이 구성하면 전류모드 적분기의 단위이득 주파수 특성을 개선하고, 적분기에 존재하는 영점 및 극점을 제거시킬 수 있으며 그 안정성의 유지에 큰 장점이 있다.



(a)



(b)



(c)

그림 4-9. 완전균형 상보형 적분기

(a) 구성도 (b) 1차 소신호 등가회로 (c) 2차 소신호 등가회로



그림 4-9(a)의 완전균형 상보형 적분기를 그림 4-9(b)와 같이 절반 회로(half-circuit) 소신호 등가회로로 간략화 시킬 수 있다. 여기서  $i_p$ 는 비반전입력,  $i_n$ 은 반전입력이다. 그림 4-9(a)의 적분기가 완전대칭일 때 그림 4-8(b)의 1차 소신호 등가회로의 절점 ㉠, ㉡에서 KCL을 적용하여 식을 구하면 다음의 식(4.19), 식(4.20)와 같다.

$$(g_{m1} + g_{m2})v + s(Cv + 2v C_{gd}) = i_i + i_o \quad (4.19)$$

$$(g_{m3} + g_{m4})v - 2v sC_{gd} = i_o \quad (4.20)$$

이때 제안된 전류모드 적분기를 구성하고 있는 트랜지스터들이 각각 전류미러를 구성하고 있으므로 그들의 트랜스컨덕턴스( $g_m$ )값들은 같은 크기로 대체할 수 있으며 식(4.21)과 식(4.22)를 계산하여 정리하면 아래의 식과 같이 된다.

$$i_o = \frac{(g_{m1} + g_{m2})}{sC} i_i \quad (4.21)$$

$$i_{op} - i_{on} = \frac{g_{m1} + g_{m2}}{sC} (i_p - i_n) \quad (4.22)$$

그림 4-9(b)에서 무시하였던 출력 컨덕턴스( $g_{ds}$ )를 포함한 2차 소신호 등가회로인 그림 4-9(c)에서 KCL 해석법으로 식(4.23)과 식(4.24)을 얻을 수 있다. 이들의 트랜스컨덕턴스( $g_m$ )값들은 같은 크기로 대체할 수 있다.

$$2g_m v + sCv + 2v sC_{gd} = i_i + i_o \quad (4.23)$$

$$2(g_m - g_{ds} - sC_{gd})v = i_o \quad (4.24)$$

식(4.23)과 식(4.24)으로부터 다음을 얻을 수 있다.

$$i_o = A \frac{(1 - \frac{s}{z_1})}{(1 - \frac{s}{p_1})} i_i \quad (4.25)$$

여기에서 존재하는 영점  $z_1$ 과 극점  $p_1$ 은 다음과 같이 표현할 수 있다.

$$z_1 = \frac{(g_m - g_{ds})}{C_{gd}} \quad (4.26)$$

$$p_1 = \frac{2g_{ds}}{(C + 4C_{gd})} \quad (4.27)$$

또한 전류이득은 다음의 식(4.28)과 같다.

$$A = \frac{(g_m - g_{ds})}{g_{ds}} \quad (4.28)$$

따라서 적분기의 단위이득 주파수는 식(4.29)과 같이 얻을 수 있다.

$$w_o = p_1 A = \frac{2(g_m - g_{ds})}{C + 4C_{gd}} \cong \frac{2g_m}{C} \quad (4.29)$$

$$(\because g_m \gg g_{ds}, C \gg C_{gd})$$

라. 특성비교

완전균형 상보형 적분기에 대한 소신호 해석의 결과, NMOS 전류 모드 적분기와 CMOS 상보형 적분기보다 표 3.1과 같이 그 특성이 개선될 수 있음을 확인할 수 있다.

표 4-1. 소신호 해석 결과

Architecture Characteristics	NMOS-mode integrator	CMOS complementary integrator	Designed fully-balanced complementary integrator
Dominant pole ( $p_1$ )	$4g_{ds} / C_1$	$8g_{ds} / C_1$	$2g_{ds} / (C+4C_{gd})$
Nondominant pole ( $p_2$ )	$g_m / C_2$	$2g_m / C_2$	<b>Removed</b>
Zero ( $z_1$ )	$g_m^2 / g_{ds}C_1$	$2g_m^2 / g_{ds}C_1$	$2(g_m - g_{ds}) / C$
Zero ( $z_2$ )	$g_m / C_2$	$2g_m / C_2$	<b>Removed</b>
Unity gain frequency( $f_t$ )	$g_m / C_1$	$2g_m / C_1$	$2g_m / C$
Unity gain ( $A_o$ )	$g_m / 4g_{ds}$	$g_m / 2g_{ds}$	$(g_m - g_{ds}) / g_{ds}$

### 3. 시뮬레이션

NMOS 전류모드 적분기, CMOS 상보형 적분기 그리고 완전균형 상보형 적분기에 대한 시뮬레이션 결과는 그림 4-10과 같다.

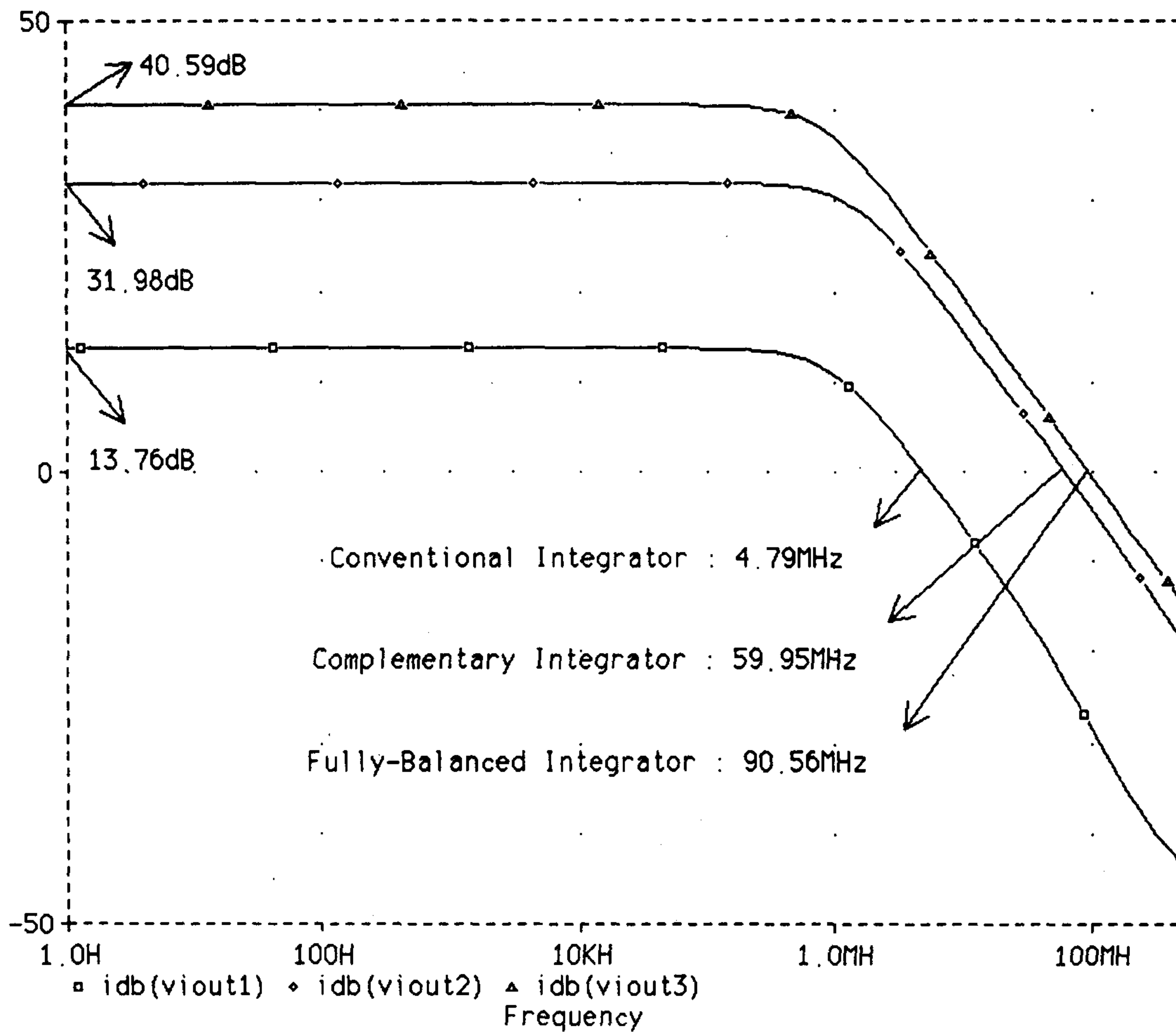


그림 4-10. 세 적분기의 시뮬레이션 결과

표 4-1의 소신호 해석 결과에서 보면 제안된 완전균형 상보형 적분기는 단위이득주파수 확장을 위해 트랜스컨덕턴스 값을 크게 하였을 때 가장 문제시되는 비우성극점과 영점이 제거됨을 알 수가 있다. 이는 주파수 대역폭에 영향을 주는 요인을 제거함으로써 적분기의 단위이득주파수를 확장할 수 있음을 보여준다.  $g_{ds}$ 값은  $g_m$ 값에 비해 무시될 수 있을 정도로 작기 때문에 단위이득( $A_o$ )이 증가함을 알 수가 있다. 또한 이상과 같이 이론적인 해석을 통해 얻은 개선점을 증명하기 위해 현대전자의  $0.8\mu\text{m}$ 공정율을 이용하여 시뮬레이션 하였을 때 그림 3.4에서 보여지는 바와 같이 완전균형 상보형 적분기의 이득은 NMOS 전류모드 적분기의  $20.96\text{dB}$ 와 CMOS 상보형 적분기의  $34.60\text{dB}$ 보다 큰  $40.60\text{dB}$ 의 값을 얻었음을 알 수 있다. 또한 단위이득주파수는 NMOS 전류모드 적분기의  $4.64\text{MHz}$ 와 상보형 적분기의  $85.13\text{MHz}$ 보다도 넓은  $90.81\text{MHz}$ 의 값을 얻었음을 알 수 있다. 따라서 본 논문에서 제안한 적분기는 기존의 적분기에 존재하는 영점과 비우성극점의 제거로 인하여 단위이득 및 주파수 특성이 개선되었다.

따라서 제안된 적분기를 이용하여 설계된 시스템 역시 우수한 특성을 지닐 수 있으리라 생각된다. 그러므로 다음 장에서 각각의 적분기를 이용하여 능동필터를 설계하여 비교함으로써 응용 가능성을 보여주고자 한다.

#### 4. CMOS 적분기 응용회로 설계

고주파 능동필터 설계에 있어서 적분기는 가장 중요한 기본블럭이며, 이용되는 적분기의 주파수와 선형성이 그 동작특성을 결정짓는다. 따라서 본 논문에서 제안하여 그 특성개선이 증명된 완전균형 상보형 적분기를 이용하여 능동필터를 설계하고자 한다.

필터의 설계 방법으로는 제일 먼저 설계할 필터를 설정하고, 설정된 필터의 설계사양에 따라 필터함수를 선정하며 그에 맞는 수동필터 회로를 설계한다. 설계된 수동필터를 능동필터로 변환하기 위해 수동회로의 신호흐름선도 즉, SFG (Signal Flow Graph)를 작성하고, 신호흐름선도에 따라 블럭다이어그램을 작성하여 최종적으로 능동필터를 구성하는 단계로 이루어진다.

##### 가. 완전균형 전류모드 능동필터 설계

전류모드 능동필터의 설계사양을 표 4-2와 같이 설정하였다. 공급전압을 3V로 설정하였으며, 필터함수는 3차 저역통과 체비세프 함수로 하였고, 필터구조는 수동 복중단 제자형 회로망으로 하였는데, 제자형 회로망은 수동회로를 능동회로로 변환하는 과정에서 낮은 감도 특성을 유지할 수 있는 장점을 갖는다. 또한 전류모드 능동필터의 장점에 부합되도록 비교적 높은 차단주파수에 비하여 낮은 소비전력을 갖도록 설정하였다.

표 4-2. 전류모드 저역필터 설계사양

Parameter	Specification
Filter function	Third-order Lowpass, Chebyshev
Passive filter type	Doubly-terminated ladder network
Passband ripple	0.1 dB
Cutoff frequency	150 MHz
Power supply voltage	3 V
Power dissipation	< 6 mW/pole

설정된 설계사양에 의하여 설계된 전류모드 3차 수동 저역통과 필터는 그림 4-11과 같으며 소자값은 표4-3와 같다.

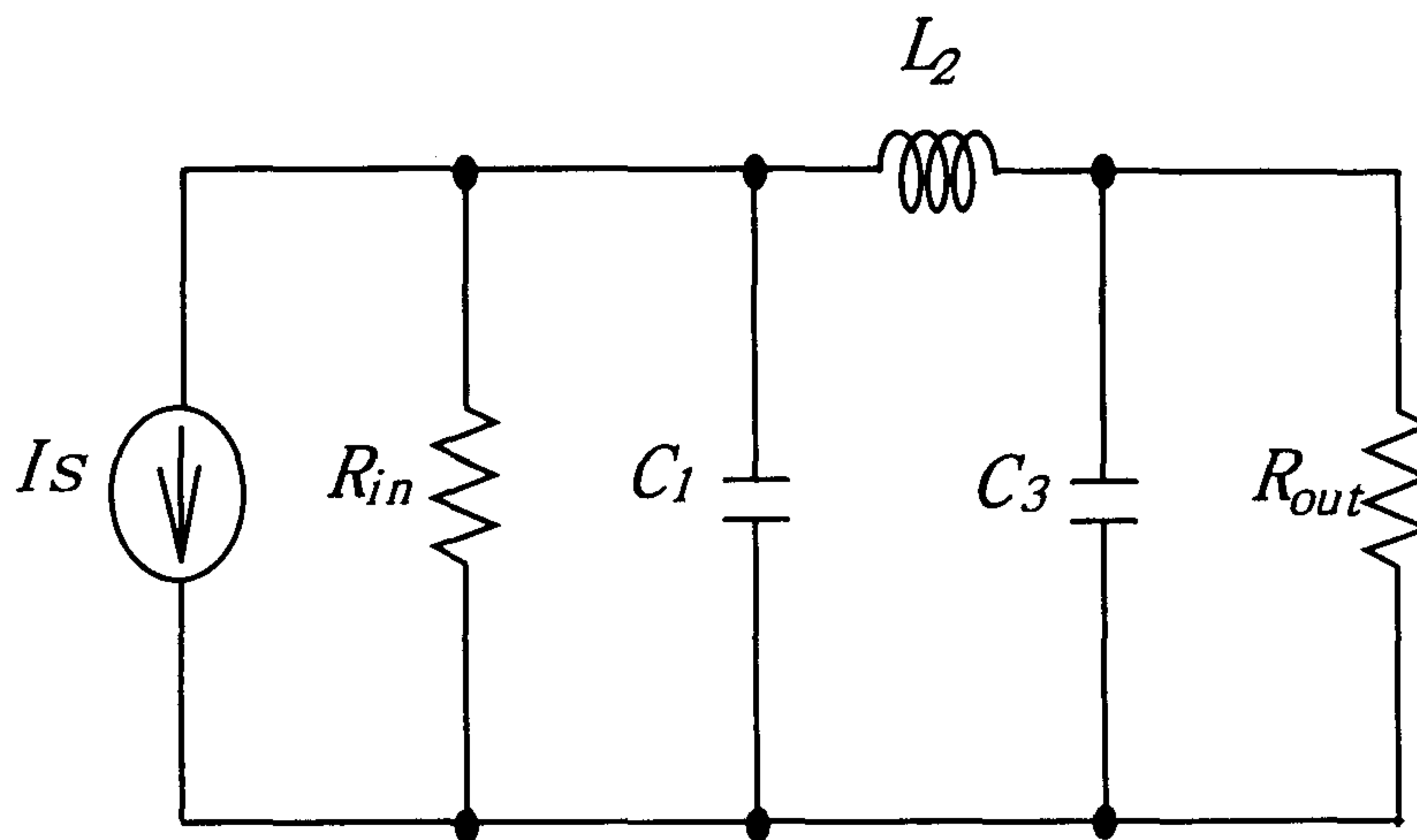


그림 4-11. 전류모드 3차 수동저역필터

표 4-3. 수동필터의 소자값

Passive component	Value ( $\omega_c = 1\text{rad/sec}$ )
$R_{in}$	1 $\Omega$
$C_1$	1.4328 F
$L_2$	1.5937 H
$C_3$	1.4328 F
$R_{out}$	1 $\Omega$

그림 4-11의 전류모드 수동필터를 전류모드 능동회로로 변환하기 위하여 작성한 신호흐름선도는 그림 4-12와 같다. 신호흐름선도의 작성시에  $L$ 과  $C$ 로 구성된 전류모드 수동필터의 각 소자에 흐르는 전류들은 식(4.30)~식(4.32)으로 표현되며 이 식들에 의하여 신호흐름선도가 구성된다.

$$I_1 = \frac{1}{SC_1}(I_S - I_1 - I_2) \quad (4.30)$$

$$I_2 = \frac{1}{SL_2}(I_1 - I_3) \quad (4.31)$$

$$I_3 = \frac{1}{SC_3}(I_2 - I_3) \quad (4.32)$$



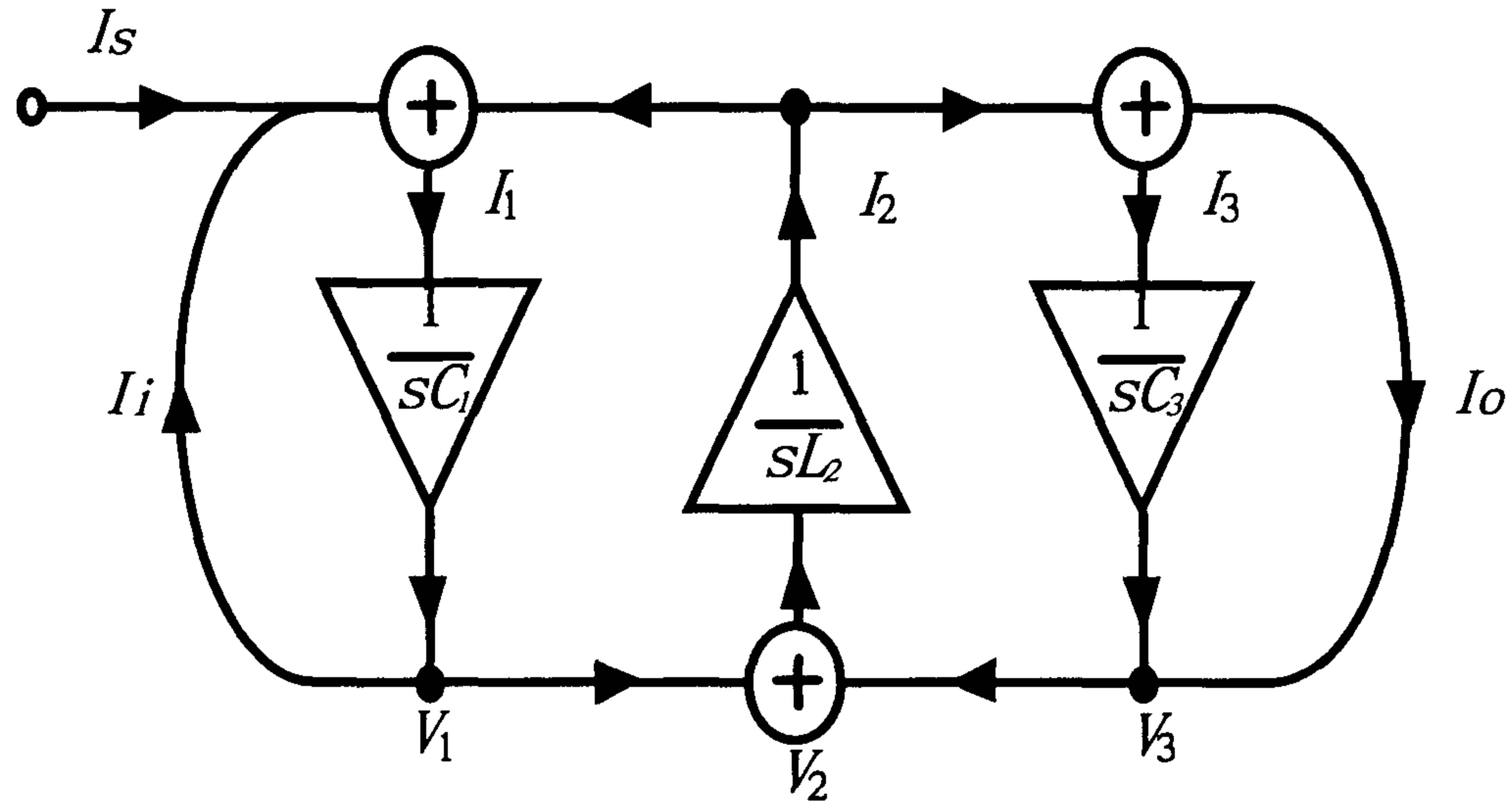


그림 4-12. 신호흐름선도

식(4.30), 식(4.31) 및 식(4.32)를 통해 블럭다이어그램 구성을 위한 신호흐름선도는 그림 4-12와 같이 구성된다. 그림 4-12에서 적분항은 앞장에서 제안된 바 있는 완전균형 상보형 전류모드 적분기에 의하여 모의되며, 각 노드점 사이의 덧셈기는 전류모드 적분기의 입력단에서 합으로 모의되어 최종적으로 필터설계를 위한 블럭다이어그램이 그림 4-13과 같이 구성된다.

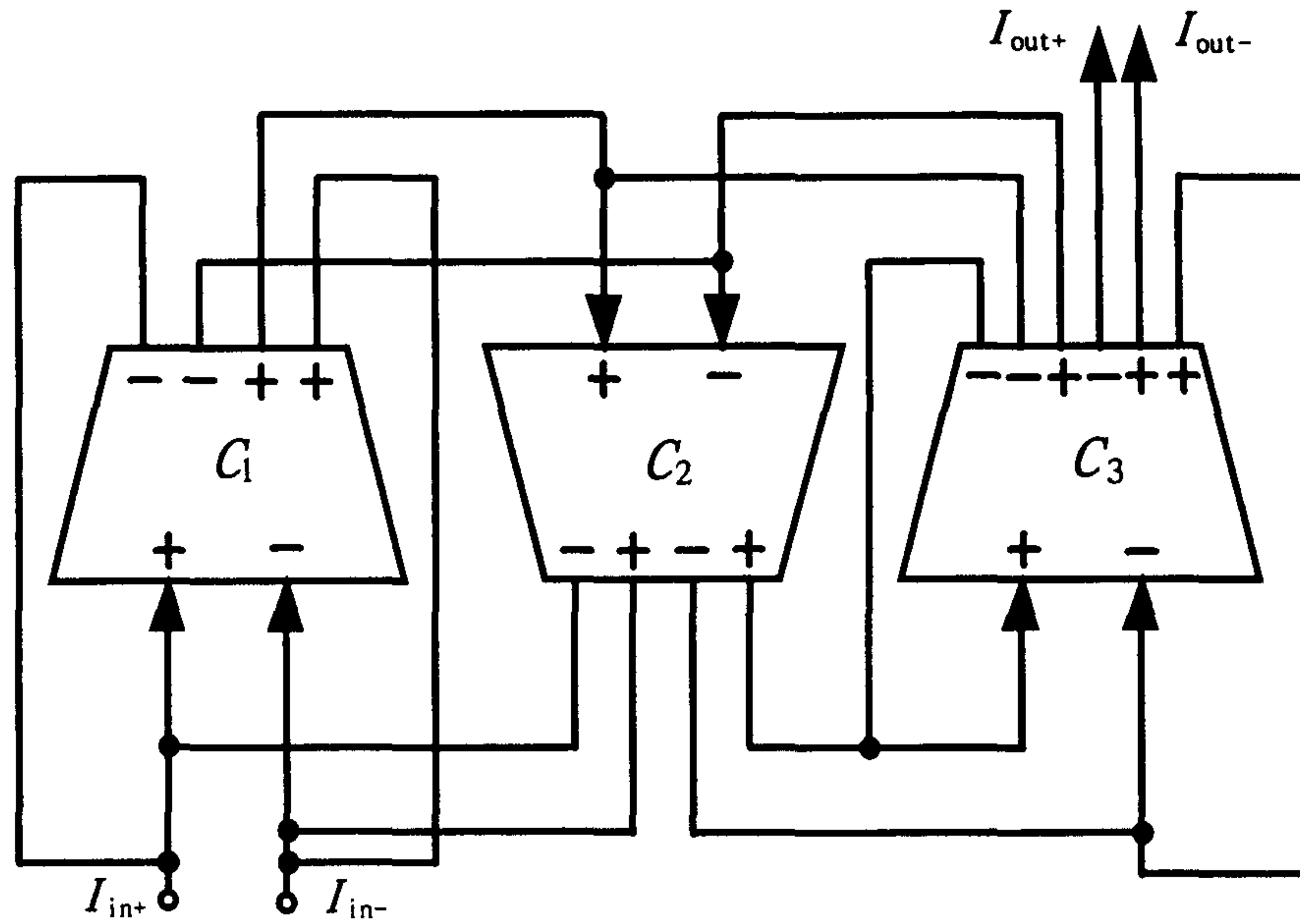


그림 4-13. 전류모드 3차 저역통과 필터의 블럭다이어그램

그림 4-13의 블럭다이어그램에 의하여 전류모드 능동필터는 3개의 전류모드 적분기로 직접 모의되며, 전류모드 적분기 내부의 적분 커패시터의 값을 결정함으로써 설계가 완료된다. 각각의 전류모드 적분기 적분 커패시터  $C_i$ 는 식(4.33)를 통해 구할 수 있다.

$$C_i = \frac{g_m X_i}{\omega_{c0}} \quad (4.33)$$

식(4.33)에서  $g_m$ 은 전류모드 적분기의 트랜스컨덕턴스이며,  $X_i$ 는  $i$  번째 회로의 규준화(normalized)된 수동 소자값이고,  $\omega_{c0}$ 는 전류모드 능동필터의 차단주파수이다. 제안된 전류모드 적분기의  $g_m$ 값과 설정된 전류모드 필터의 차단주파수를 식(4.33)에 대입하여 얻어낸 적분 커패시턴스들을 표4-4에 나타내었다.

표 4-4. 전류모드 적분기의 커패시턴스

Passive component ( $X_i$ )	Transconductance ( $g_m$ )	Cutoff frequency ( $\omega_{co}$ )	Integration capacitor ( $C_i$ )
$C_1 (= 1.4328 \text{ F})$	670 u	150 MHz	$C_1 (= 1.018 \text{ pF})$
$L_2 (= 1.5937 \text{ H})$	670 u	150 MHz	$C_2 (= 1.132 \text{ pF})$
$C_3 (= 1.4328 \text{ F})$	670 u	150 MHz	$C_3 (= 1.018 \text{ pF})$

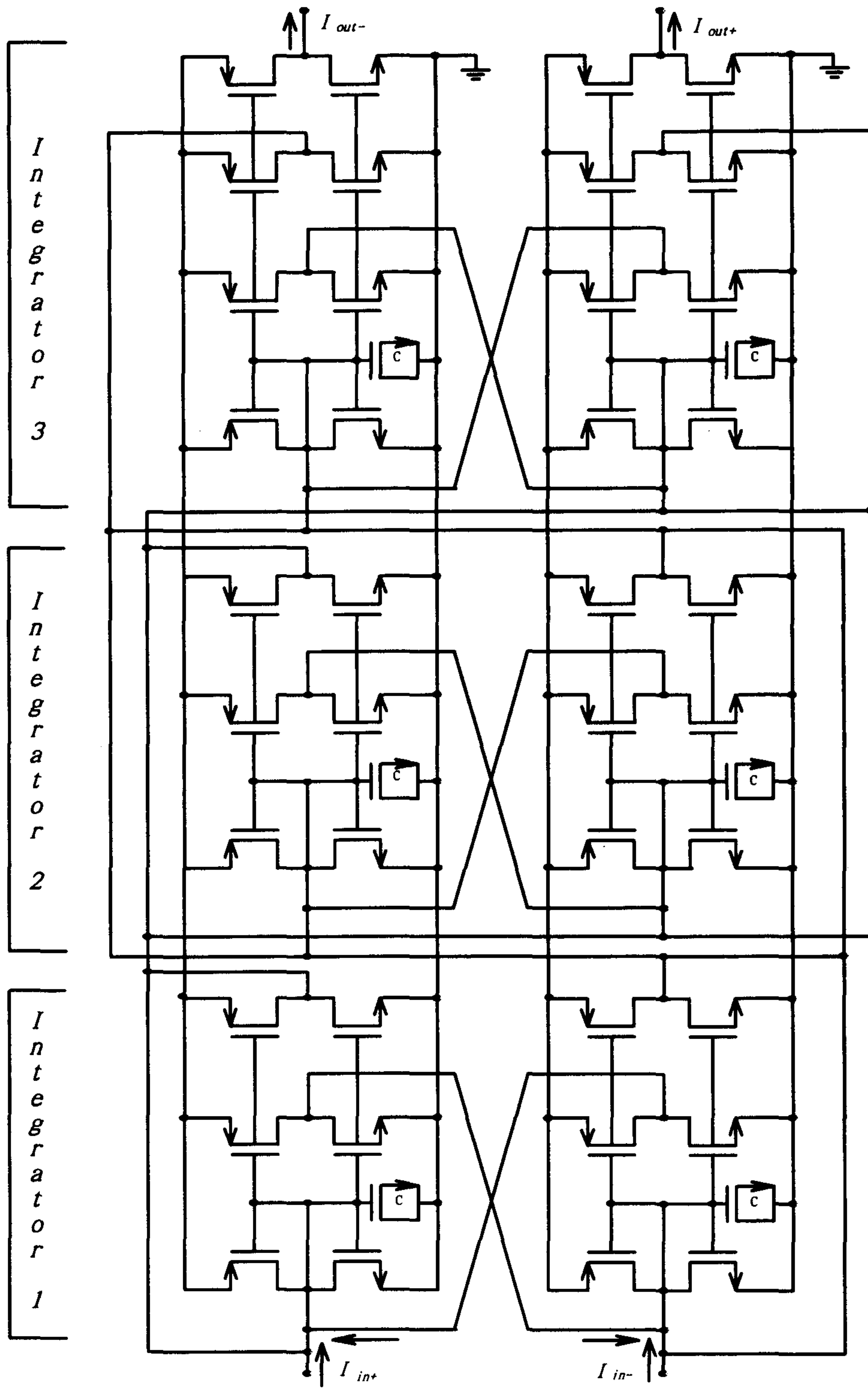


그림 4-14. 설계된 전류모드 3차 능동 저역통과 필터

나. 시뮬레이션 및 고찰

NMOS 전류모드 적분기, CMOS 상보형 적분기와 완전균형 상보형 적분기를 이용하여 동일한 설계사양하에서 설계된 전류모드 3차 능동 저역필터의 시뮬레이션된 주파수 특성비교는 그림 4-15와 같다.

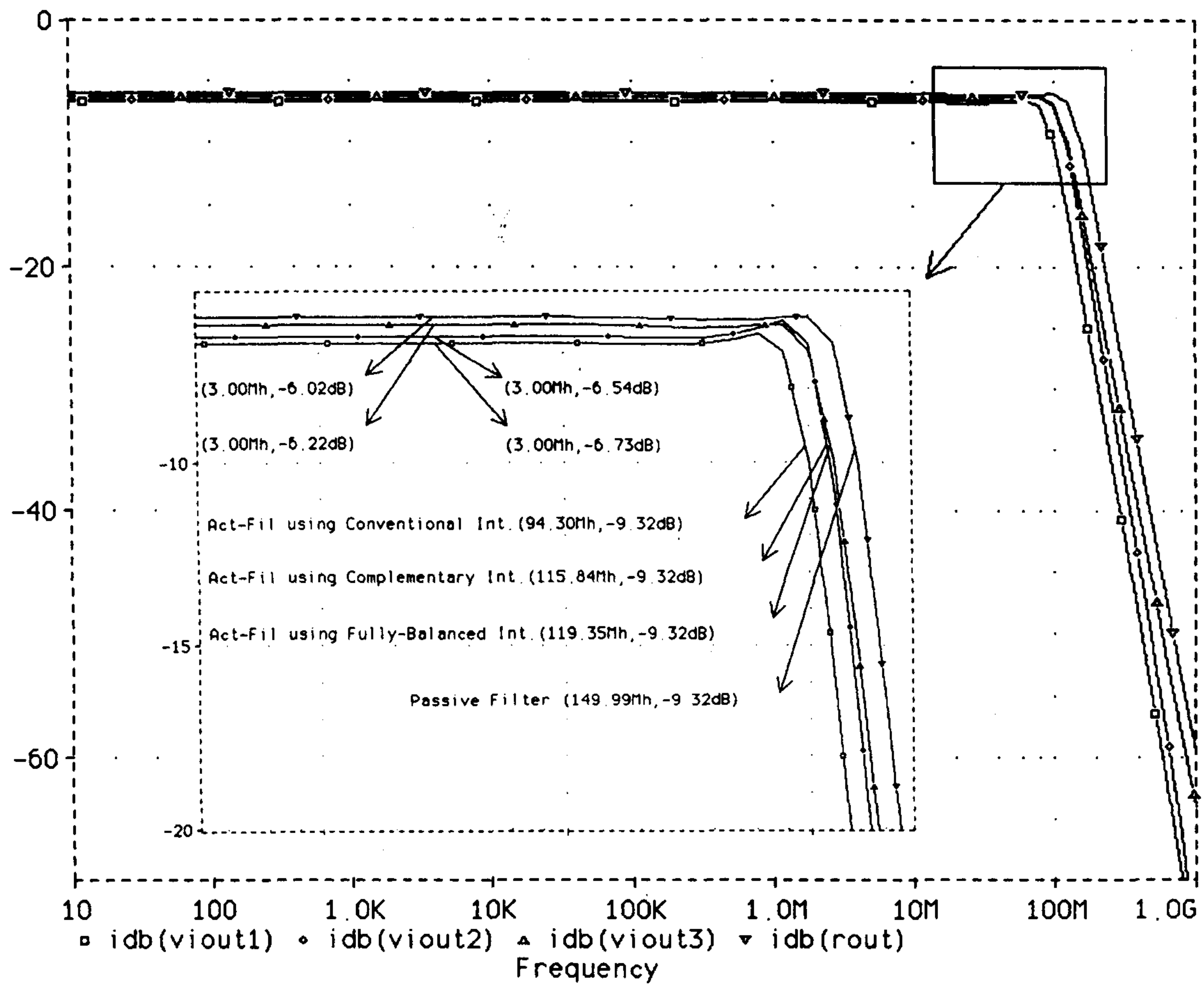


그림 4-15. 설계된 필터들의 주파수응답 특성

현대  $0.8\mu\text{m}$  공정파라미터를 이용한 그림 4-15의 주파수응답특성 시뮬레이션에서 얻어진 결과에서 알 수 있듯이, 본 논문에서 제안된 완전균형 상보형 적분기를 이용한 필터의 특성이 기존의 NMOS 전류모드 적분기와 CMOS 상보형 적분기등 기존의 적분기를 이용한 필터 특성에 비하여 선형성, 차단주파수 및 오차등이 크게 개선되었다.

특히, 필터의 특성을 결정하는 3dB 차단주파수 및 이득오차 특성은 NMOS 전류모드 적분기를 이용한 필터보다도 CMOS 상보형 적분기를 이용한 필터의 특성이 우수하였으며, 제안된 완전균형 상보형 적분기를 이용하여 설계된 필터는 기존의 적분기들을 통해 설계된 필터들보다도 필터설계사양에 더욱 근접하는 우수한 특성을 보였다.

그림 4-14에서 보여준 전류모드 3차 능동저역필터를 레이아웃하여 그림 4-16에 보여주었고, 이를 IDEC에서 실시하는 MPW사업에 참여하여 실제 제품으로 구성하여 그 내부회로의 현미경 사진을 4-17에 나타내었다.

5. 설계된 능동필터의 layout

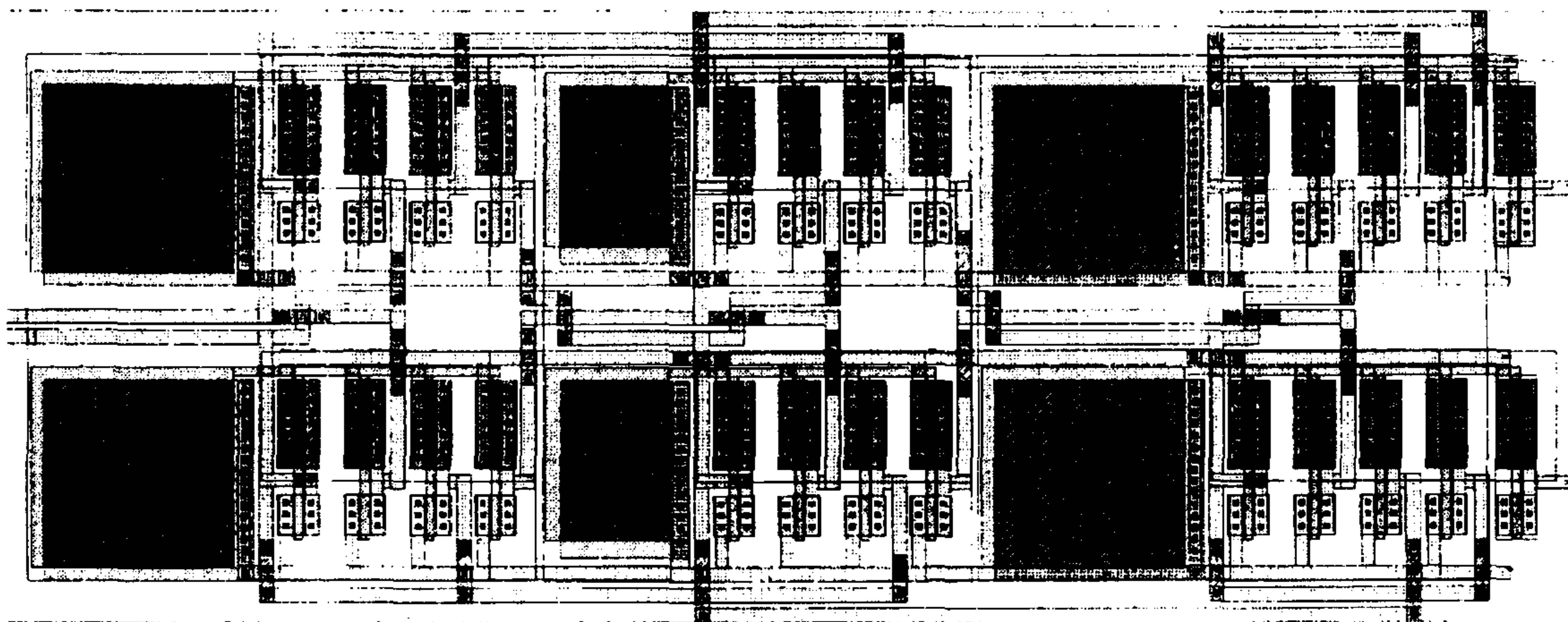


그림 4-16 전류모드 필터 layout

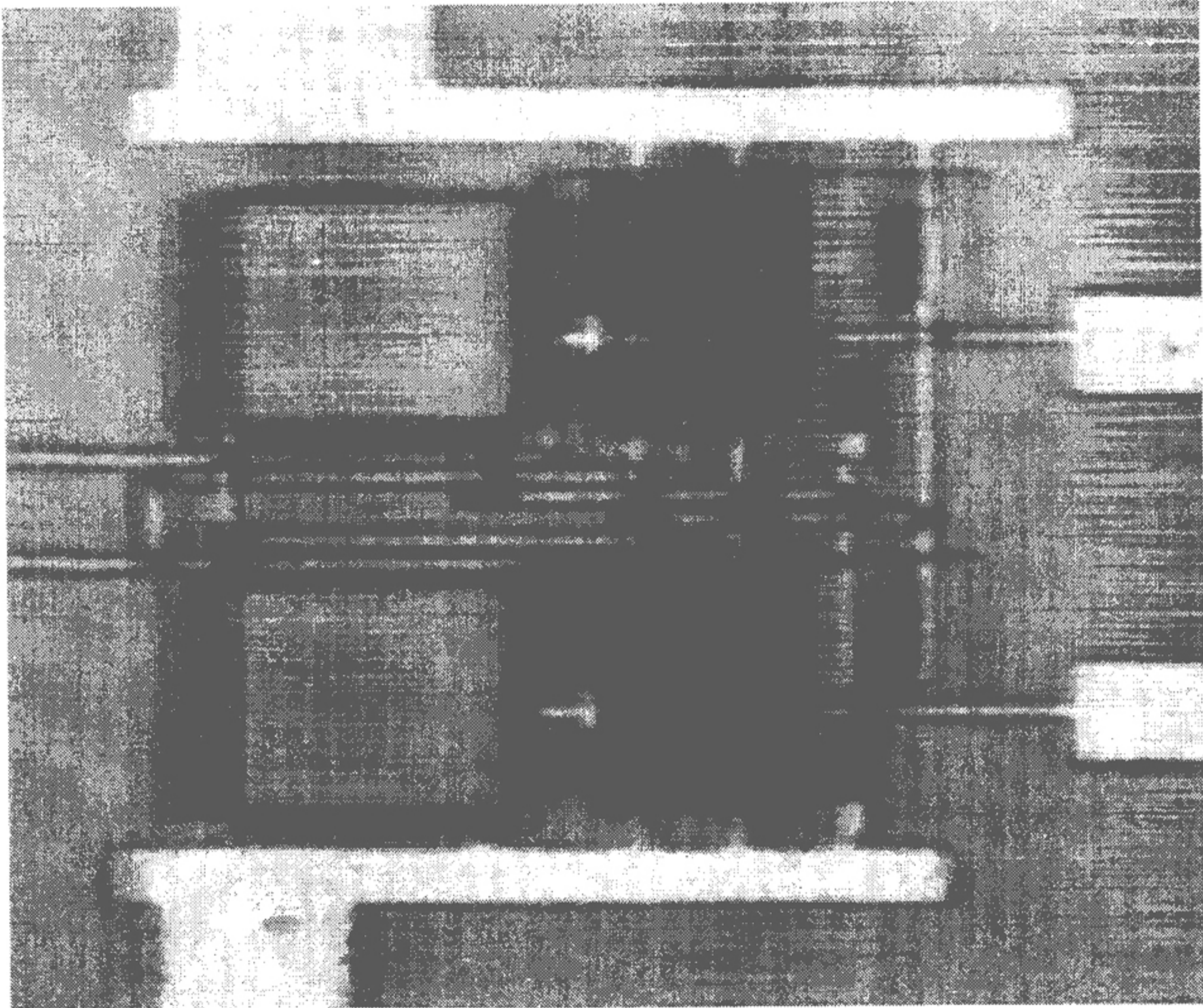


그림 4.17 전류모드 적분기 칩 내부사진



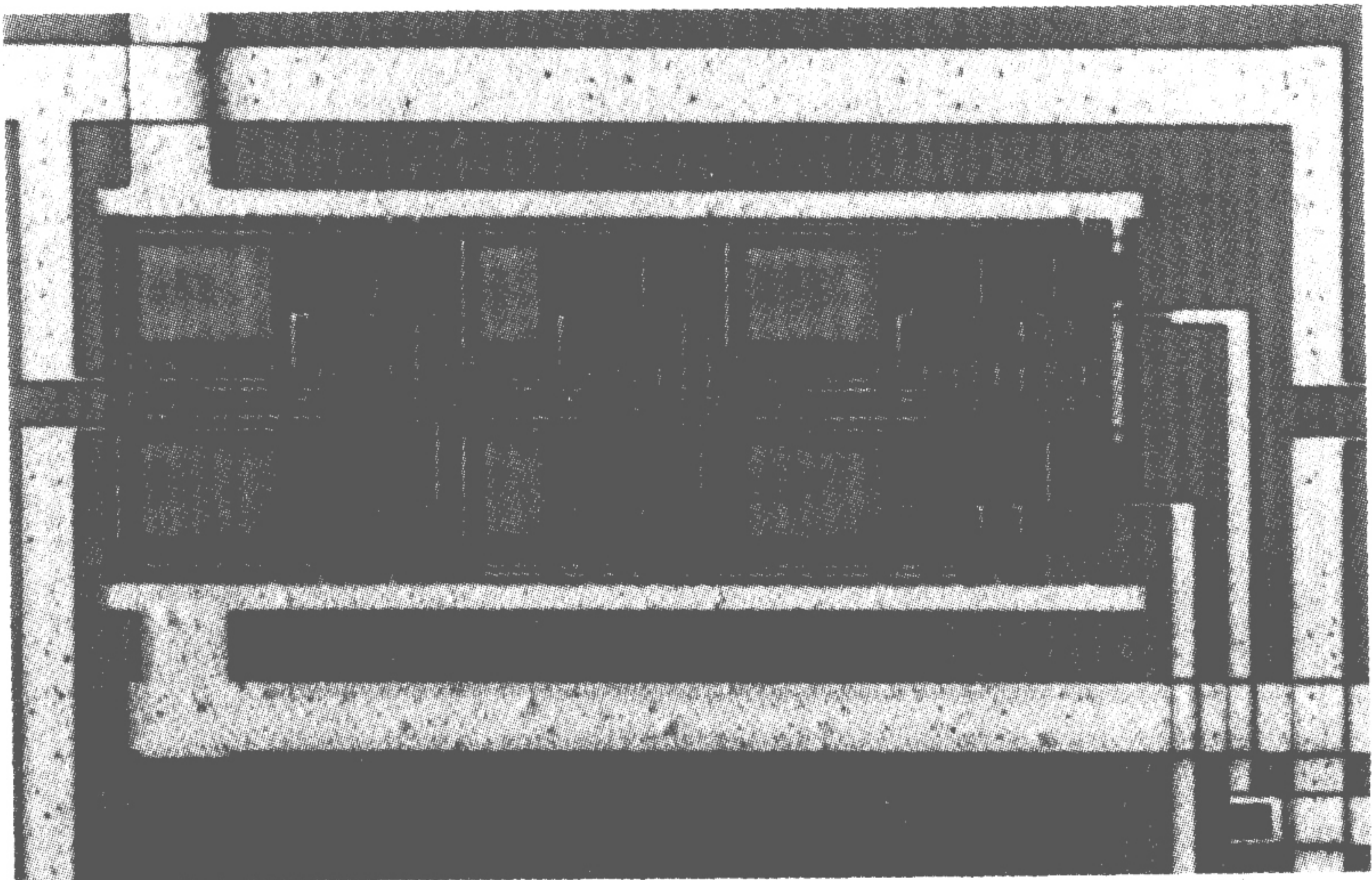


그림 4.18 전류모드 필터 칩 내부사진

본 4절에서는 최근 주목받고 있는 전류모드 설계방식을 이용하여 새로운 구조를 갖는 완전균형 상보형 전류모드 적분기를 설계하였고, 소신호 해석 및 시뮬레이션을 통하여 기존의 적분기들보다 개선되었음을 증명하였다. 가장 큰 개선점으로는 첫째 증가된 트랜스컨덕턴스 값을 얻을 수 있어 단위이득의 증대 및 주파수가 확장되었다.  $0.8\mu m$  공정을 이용한 시뮬레이션 결과를 통해 단위이득 주파수를 비교하여 보면 NMOS 전류모드 적분기는 4.64MHz, 상보형 적분기는 85.13 MHz인 반면 제안된 완전균형상보형 적분기는 90.81MHz로 가장 크게 나타나고 있다. 두 번째로 완전대칭구조로 인해 영점과 비우수극점을 제거함으로써 위상추이 초래로 인한 단점을 개선시킬 수 있었다. 또한 실제 신호처리 시스템에서의 응용여부를 판단하고, 그 개선된 특성을 비교, 분석하기 위해 세가지 적분기를 이용하여 각각의 3차 저역통과 능동필터를 설계하여 시뮬레이션 하였다. 그 결과 단일공급전압에서 이득 및 차단주파수를 크게 개선시켰다. 이는 완전균형 상보형 적분기의 선형성, 주파수 및 이득 등이 개선되었기 때문이다.

따라서 설계된 완전균형 상보형 적분기는 VHF용 통신시스템, 이동통신용 IF회로, 마그네틱 디스크 드라이버의 Read-channel 시스템 등에서 신호의 선별 및 복원처리 기능을 하는데 필수적인 능동필터의 설계시 적절하게 응용될 수 있다. 특히, 수동회로가 사용된 각종 회로에서 저전력 고주파 특성을 갖는 능동회로 설계에 유용하게 이용될 수 있을 것이다.

## 제 4 장 연구개발목표 달성도 및 대외기여도

### 제 1 절 연차별 연구개발목표

본 연구는 총 2년에 걸친 과제로서 모든 집적회로의 아날로그 부분에 필수적인 능동 필터를 설계하는데 있어 기본 블록인 연산증폭기, 전류제어증폭기 및 적분기 회로등의 특성개선을 통해 궁극적으로 저전압 저전력이 중요시되는 필터의 특성을 향상시키고 그 시제품 제작에 있다.

#### 1. 1차년도 연구개발 목표

1차년도에는 능동 필터를 설계하는데 이용되는 각 능동소자들의 특성을 이론적으로 해석하고, 그 성능을 향상시키는 새로운 회로의 설계와 더불어 그 향상된 능동소자들의 특성을 증명하는데 목표를 둔다.

#### 2. 2차년도 연구개발 목표

2차년도에는 1차년도에 설계되어 그 특성이 향상된 것으로 증명된 여러 가지 능동소자들을 이용하여 실질적으로 응용가능한지 필터를 설계해봄으로서 확인하고, 그 설계된 응용회로들을 실제 칩으로 제작하는데 그 목표를 둔다.

## 제 2 절 연구개발목표의 달성도

### 1. 1차년도 연구개발목표의 달성도

본 연구의 1차년도 목표는 능동필터의 기본소자들의 성능을 개선시키고 개선된 소자들을 이용한 각각의 필터설계, 그리고 설계된 필터의 개선된 성능을 입증하는데 있었다. 따라서 1차년도에는 연산증폭기, 전류제어증폭기에서 기존회로들의 해석과 향상된 구조의 새로운 회로들을 설계하고 컴퓨터 시뮬레이션을 통해 그 특성이 검증되었으며, 연구과정에서 새로이 착안된 전류모드 적분기가 설계되어, 그 특성의 개선점이 수식적인 해석과 컴퓨터 시뮬레이션을 통해 검증되었다.

이는 연구계획서상에서 제시하였던 연산증폭기와 전류제어증폭기에 대한 소자특성향상에 대한 1차년도 연구목표를 초과 달성하였다고 사료된다.

아래에 기술된 평가 착안점을 감안하여 3장에서 기술된바 있는 연구내용의 본문을 비교하면 이해에 도움이 되리라 사료된다.

#### 연구평가의 착안점

- 기존의 능동소자의 해석정도
- 해석된 연산증폭기, OTA 그리고 적분기등 소자 설계방법의 창의성 및 우수성
- 각 기본소자들의 특성 개선정도
- 개선된 기본소자들로 구성된 능동필터의 특성 개선정도

## 2. 2차년도 연구개발목표의 달성도

본 연구의 2차년도 목표는 1차년도에 설계되어 그 향상된 특성이 확인된 여러 가지 능동소자 즉, 연산증폭기, 전류제어증폭기 및 적분기등을 이용하여 능동필터를 설계하고, 그 설계된 필터를 직접 칩으로 제작하는데 있다. 불과 2년여전만 하여도 연구된 회로의 실제특성을 검증하기위해 칩을 만들기 위해서는 미국의 실리콘밸리에 위치한 벤처기업에 의뢰를 하는 방법외에 국내에서는 제작이 어려운 실정이었다. 하지만 이제는 한국과학기술대학교 내에 반도체설계교육센터(IDEC)가 설립되었고, 이 센터를 통하여 국내 여러 기업체에 칩의 제작의뢰가 가능하게 되었다. 본 연구팀도 IDEC에서 시행하는 MPW(Multi-project wafer)사업에 참여하여 1차년도에 얻은 결과물들을 칩으로 제작하는데 성공하였다.

이는 연구계획서상에서 제시하였던 실제 칩의 제작 및 실용성 여부확인이라는 2차년도 목표에 달성하였다고 사료된다.

### 연구평가의 착안점

- 1차년도 연구결과와 연계성
- 공정률의 충실여부
- 회로의 집적화 정도
- 제작된 칩 특성의 테스트
- 제작된 칩의 활용도

### 제 3 절 연구개발의 대외기여도

본 연구를 통해 얻어진 결과는 국내 및 국제 학술대회 등에서 전문가들로부터 우수한 아이디어로 인정을 받았으며 상호간의 교류에 있어 다음과 같은 업적을 거두었다.

#### 1. 국내 저명학술지 게재

과 제 명 : OTA 및 SC회로를 이용한 아날로그 집적회로 개발

공동 연구 : 폴란드 그단스크 기술대학교 Prof. Michal Bialko

연구책임자 : 전북대학교 전기전자제어공학부 교수 김 동 용

게재논문지 : 대한전자공학회논문지, 제35-C권 6호, pp30~38,  
1998년 6월

게재논문명 : 트랜스컨덕턴스를 이용한 전류모드 능동필터의 이득 및  
주파수 제어

#### 발포 내용 :

본 연구팀은 능동필터의 소자인 OTA와 SC회로를 이용한 필터설계를 위한 과제수행 중 급변하는 추세에 부응하여 폴란드의 공동연구팀과 능동필터 설계시 기본 블록으로 이용될 수 있으며, 저전압 고주파에서 동작 가능한 새로운 구조의 CMOS 전류모드 적분기 설계에 합의하였다. 능동필터의 기본소자인 적분기를 전류모드로 구동함으로써 저전압 저전력 회로설계에 응용가능하여 여러 시스템에 유용하리라 사료되며, 따라서 그 연구결과를 국내 저명학술지인 대한전자공학회 논문지에 게재함으로써 그 우수성을 입증하였다.

### 트랜스컨덕턴스(gm)를 이용한 전류모드 능동필터의 이득 및 주파수 제어

#### (The Gain & Frequency Control of Current-Mode Active Filter with Transconductance-gm Value)

李根浩\*, 趙成翊\*\*, 方駿鎬\*\*\*, 金東龍\*

(Geun-Ho Lee, Seong-Ik Cho, Jun-Ho Bang, and Dong-Yong Kim)

#### 요 약

본 논문에서는 능동필터 설계시 기본 블록으로 이용될 수 있으며, 저전압 고주파에서 동작 가능한 새로운 구조의 CMOS 전류모드 적분기를 제안하였다. 더불어 전압조절을 통해 그 이득과 주파수를 제어할 수 있는 트랜스컨덕턴스 제어회로를 설계하였다. 제안된 적분기는 CMOS 상보형 회로로 구성하였으며, 따라서 적분기의 단위이득주파수에 영향을 주는 적분기의 트랜스컨덕턴스를 증가 시켰다. 제안된 적분기의 단위이득 주파수는 NMOS-gm을 가지는 기존의 적분기에 비하여 두배 가까이 증가되었다. 또한 트랜스컨덕턴스 제어회로를 이용하여 능동필터의 공정시 나타날 수 있는 오차를 줄이고, 그 용도에 따라 주파수와 이득제어를 가능하게 하였다. 이의 응용회로로서 3차 체비셰프 저역필터를 0.8μm CMOS 파라미터를 이용하여 설계하였으며, 이러한 결과들은 소신호 해석 및 0.8μm 공정 파라미터를 갖는 HSPICE 시뮬레이션을 통하여 검증되었다.

#### Abstract

In this paper, a new CMOS current-mode integrator is proposed that can apply the basic building block of the low-voltage high frequency current-mode active filter. And tuning circuits that control the gain and unity gain frequency of them is designed. The proposed integrator is composed of the CMOS complementary circuit which can extend transconductance of an integrator. Therefore, the unity gain frequency which is determined transconductance and MOSFET gate capacitance can be expanded by the proposed integrator. The unity gain frequency of the proposed integrator is increased about two times larger than that of the conventional continuous-time integrator with NMOS-gm. And also, cut-off frequency and gain of the active filter can be controlled with the designed tuning circuit. From the result, we can reduce errors on fabrication. And then, 3rd-order low-pass active filter is designed as an application circuits. These results are verified by the small signal analysis and the 0.8μm parameter HSPICE simulation.

\* 正會員, 全北大學校 電氣工學科  
(Dept of Electrical Engineering, Chonbuk National University)  
\*\* 正會員, 現代電子 메모리연구소 先任研究員  
(MEMORY R & D DIVISION Hyundai Electronics Industries Co., Ltd)

\*\*\* 正會員, 裡里 國立農工專門大學校 電氣科  
(Dept of Electric, Iri National College of Agriculture and Technology)  
\* 본 논문은 97년도 과학기술처 국제공동연구비 지원에 의한 결과임  
接受日字: 1998年1月12日, 수정완료일: 1998年5月25日

## 2. 국제 학술발표회 발표

미국에서 개최된 아날로그 VLSI 워크샵에 참여하여 연구결과물을 발표하였으며 미국과 일본의 아날로그 회로 전문가들로부터 외국학술지 게재가 가능한 연구자료라는 평가를 받았다.

### 1. 국내 저명 학술지 게재

과 제 명 : OTA 및 SC회로를 이용한 아날로그 집적회로 개발

공동 연구 : 폴란드 그단스크 기술대학교 Prof. Michal Bialko

연구책임자 : 전북대학교 전기전자제어공학부 교수 김 동 용

게재논문지 : The 1st Analog VLSI Workshop in Columbus, Ohio,  
U.S.A., 1997. 5

게재논문명 : A Design CMOS Continuous-Time Fully-Balanced  
Current- Mode Integrator with Complementary-gm

주 최 : The Institute of Electrical Engineers of Japan



[ 관련 근거 자료 ]

Advance Program (Ver.1.01 98/4/2)  
IEEJ (The Institute of Electrical Engineers of Japan)  
The 2nd International Analog VLSI Workshop

June 5,6 1998  
DAYS INN, Santa Clara, California, USA

Cooperation: IEEE Circuits and Systems Society Tokyo Chapter

Time Table of the 2nd Analog VLSI Workshop Sessions

June, 5th, Friday  
(AM)

\_\_FR-1 ( 9:00-10:20)\_\_\_\_\_

- 1) Compensation Techniques for Operational Transresistance Amplifier Based Filters  
Robert Brannen and Mohammed Ismail (The Ohio State University, U.S.A.)
- 2) Integrator-Based Filter Structures with Good Frequency Characteristics  
Kazuyuki Wada and Nobuo Fujii (Tokyo Institute of Technology, Japan)
- 3) On Potential Unstability of RC Filters with Unity-Gain Amplifiers  
Tetsuo Nishi and Masato Ogata (Kyushu University, Japan)
- 4) A Continuous Time Normalized LMS Adaptive Filter Structure  
Luis Nino-de-Rivera(SEPI ESIME Culhuacan National Polytechnic Institute, Mexico)

\_\_FR-2 (10:40-12:00)\_\_\_\_\_

- 5) A Differential Attenuator for Phase Compensation System of Feedback Integrators  
Fujihiko Matsumoto and Yasuaki Noguchi (National Defense Academy, Japan)
- 6) A Near Optimum Analog Integrator Circuit  
Hector Perez-Meana (SEPI ESIME Culhuacan National Polytechnic Institute, Mexico)
- 7) The Design of 400MHz Bandpass Amplifier Using Low-Cost CMOS Technology  
Chung-Yu Wu (National Chiao Tung University, Taiwan)
- 8) A Wireless Data System Constructed of SAW-Devices and Its Applications to  
Medical Cares

Kenji Matsumura (Osaka University, Japan, KCS Co., Ltd., Japan), Gen Fujita,  
Isao Shirakawa (Osaka University, Japan)  
and Hiroshi Inada (National Cardiovascular Center Research Institute, Japan)

(PM)

FR-3 (13:30-14:50)

- 9) Novel Low Power and Constant gm rail-to-rail operational amplifier using multiple input floating gate transistors. S. C. Choi, Allan Lin (Xicor, Inc., U.S.A.)
- 10) A Design Technique of the CMOS Circuit with a Very Low Impedance Terminal for Stability., Eitake Ibaragi Keitaro Sekine (Science University of Tokyo, Japan)
- 11) A LP/LV class AB V-I converter. Changku Hwang (Hitachi Ltd., Japan),
- 12) A CMOS Four-Quadrant Analog Multiplier for Low-Voltage Low-Power  
Hyun-Seung Choi and Dong-Yong Kim (Chonbuk National University, Korea)

FR-4 (15:00-16:10)

13) [Special Talk]

The Education and Research of Analog VLSI in Taiwan  
Chung-Yu Wu (National Chiao Tung University, Taiwan)

FR-5 (16:30-17:40)

14) [Special Talk]

Is Analog still Hot \$B!  
Takahide Inoue (Sony USISTC, U.S.A.)

June, 6th, Saturday

(AM)

SA-1 ( 9:00-10:20)

- 15) On the Extraction of Spice Level-3 MOS Transistor Parameters  
Tuna B. Tarim (Istanbul Technical University, Turkey & The Ohio state University, U.S.A.),  
Metin Yazgi and H. Hakan Kuntman (Istanbul Technical University, Turkey)
- 16) A graphical model of the MOS differential pair  
Roelof F. Wassenaar (University of Twente, The Netherlands)
- 17) Statistical Design of a Low Voltage Low Power Square-Law CMOS Cell  
T. B. Tarim (The Ohio state University, U.S.A.)

- 18) The asymptotic periodic waveform evaluation method for steady state analysis  
Sermsak Uatrongjit (Chiangmai University, Thailand)  
and Nobuo Fujii (Tokyo Institute of Technology, Japan)

\_\_SA-2 (10:40-12:00)\_\_\_\_\_

- 19) A 4GHz Multiple Modulus Prescaler in CMOS  
Rami Ahola and Kari Halonen (Helsinki University of Technology, Finland)
- 20) Phase Detectors / Phase Frequency Detectors for High Performance PLLs  
Hiroyasu Yoshizawa and Kenichi Nakashi (Kyushu University, Japan)
- 21) Speedup of Frequency Switching Time in PLL Frequency Synthesizers Using Target  
Frequency Detector  
Shigeki Obote (Tottori University, Japan)
- 22) A Multi-Loop PLL Frequency Synthesizer  
Yasuaki Sumi (Tottori SANYO Electric Co., Ltd., Japan)

(PM)

\_\_SA-3 (13:30-15:10)\_\_\_\_\_

- 23) Combined Hartley Image-Reject Receiver with Bandpass Delta-Sigma Modulator  
Steven B. Bibyk and Tsung-Yuan Chang (The Ohio State University, U.S.A.)
- 24) Nonlinear Quantization in Low Oversampling Ratio Sigma-Delta Noise Shapers for  
RF Applications  
Andreas Gothenberg and Hannu Tenhunen (Royal Institute of Technology, Sweden)
- 25) A Reduced Delay Method for Improving the Performance of Sigma-Delta  
Analog-to-Digital Converters (ADC)  
Louis Luh and Jeffrey Draper (University of Southern California, U.S.A.)
- 26) A 10bit, 10MHz, A/D Converter with Low Power  
Ju-Ho Son and Dong-Yong Kim (Chonbuk National University, Korea)
- 27) A CMOS Low Power Transistor-Only current Mode A/D Converter Architecture  
Nasirul Chowdhury and Mohammed Ismail (The Ohio State University, U.S.A.)

\_\_SA-4 (15:30-17:30)\_\_\_\_\_

- 28) Low-Power Bipolar Sample-and-Hold Amplifiers  
Masakatsu Kobayashi and Keitaro Sekine (Science University of Tokyo, Japan)
- 29) Differential Analog Data Path Offset Calibration Method  
Takeo Yasuda (IBM Japan Co. Ltd., Japan)

- 30) Regulated-High-Swing Cascodeing and Its Applications  
 Esa Tiiliharju (Helsinki University of Technology, Finland),  
 Mohammed Ismail(The Ohio State University , U.S.A.) and Kari Halonen (Helsinki  
 University of Technology, Finland)
- 31) An Analog CMOS IC for Template Matching  
 Ahmed Biyabani and Takeo Kanade (Carnegie Mellon University, U.S.A.)
- 32) Pulse-Type Hardware Neuron Model for Future IC Design Based on the Modified  
 BVP Equation  
 Katsutoshi Saeki, Yoshifumi Sekine (Nihon University, Japan)
- 33) A Synthesis of A High Transformer Ratio SC DC-DC Converter Operated by  
 Two-Phases Clock and its Analysis  
 Koji Tateno, Akira Hyogo, and Keitaro Sekine (Science University of Tokyo, Japan)

Organizing Committee

Committee Chair

Nobuo Fujii (Tokyo Inst. of Tech.)

Committee Secretaries

Masayuki Ishikawa (Kisarazu National College of Tech.)

Hiroshi Tanimoto (Toshiba Corp.)

Futao Yamaguchi (Sony Corp.)

Committee Co-Secretary

Akira Hyogo (Science Univ. of Tokyo)

=====  
 Department of Electrical Engineering  
 Faculty of Science and Technology  
 Science University of Tokyo,  
 2641 Yamazaki, Noda-shi,  
 Chiba, 278-8510, Japan

Dr. Akira Hyogo  
 E-Mail: hyogo@ee.noda.sut.ac.jp  
 E-Mail: a.hyogo@ieee.org  
 Tel:+81-471-20-1136 (direct)  
 Telefax:+81-471-22-5171 (direct)  
 =====

## 제 5 장 연구개발결과의 활용계획

### 활용 방안

1. 본 연구 활동을 통하여 얻어낸 Know-how를 추후 혼성모드 집적회로의 연구자료에 활용
2. 실제적인 시제품제작기술을 습득함으로써 관련 제품생산에 Know-how 제공
3. 연구프로젝트 수행을 통하여 축적된 연구자료를 인력양성의 교육자료로 활용

### 추가연구 필요성

본 연구가 각각 능동소자들의 특성향상에 현저한 기여를 하였고, 또한 그 개선된 성능이 응용회로로 설계됨으로서 입증되었으나, 실제 시스템에 응용을 하기 위해서는 첫째로 온도등 주변환경의 변화에 따른 성능저하가 없도록 안정적인 전압과 전류를 공급해 줄 수 있는 회로가 필요하며 두 번째로는 변화하는 특성을 외부에서 혹은 내부에서 자동적으로 보정해 줄 수 있는 튜닝회로가 첨가하여 연구되어야 할 것으로 사료된다.

## 제 6 장      참 고 문 헌

- [1] P.R.Gray, "Basic MOS Operational Amplifier Amplifier Design - An Overview", in Analog MOS Intergrated Circuits. New York:IEEE Press, pp.29-49, 1980.
- [2] P.R Gray and R.g.Meyer, "MOS Operational Amplifier Design - A Tutorial Overview", IEEE JSSC, vol.SC-17, NO.6, pp.969-982, DEC.1982.
- [3] Y.Tsividis et al, "Continuous-Time MOSFET-C Filters in VLSI", IEEE Trans. On Circuits and Systems, vol.CAS-33, No.2, pp. 125-139, FEB.1986.
- [4] T.C.Choi et al, "High-Frequency CMOS Switched-Capacitor Filters for Communications Application", IEEE JSSC, vol.SC-18, No.6, pp. 652-663, DEC.1983
- [5] P.M.V.PETEGHEM, "On the Relationship Between PSRR and Clock Feedthrough in SC Filters", IEEE JSSC, vol.SC-23, No.6, pp.997-1003, Aug.1988.
- [6] M.Banu et al, "Fully Differential Operational Amplifier with Accurate Output Balancing", IEEE JSSC, vol.SC-23, No.6, pp.1410-1417, DEC.1988.
- [7] T. C. Choi et al, "High-Frequency CMOS Switched-Capacitor Filters for Communications Application", IEEE J. Solid-State Circuits, vol. SC-18, No. 6, pp. 652-663, Dec. 1983

- [8] H. Khorramabadi and P.R. Gray, "High-frequency CMOS continuous-time filters", IEEE J. Solid-State Circuits, vol. SC-19, pp. 939-948, Dec. 1984.
- [9] Y. P. Tsividis, M. Banu and J.M. Khoury, "Continuous-time MOSFET-C filters in VLSI", IEEE J. Solid-State Circuits, vol. SC-21, pp. 15-29, Feb. 1986.
- [10] Y. Tsividis et al, "Continuous-Time MOSFET-C Filters in VLSI", IEEE Trans. On Circuits and Systems, vol. CAS-33, No. 2, pp. 125-139, Feb. 1986.
- [11] B. Nauta "Analog CMOS Filters for Very High frequencies", pp. 14-22, Kluwer Academic Publishers 1993.
- [12] M. Banu et al, "Fully Differential Operational Amplifier with Accurate Output Balancing", IEEE J. Solid-State Circuits, vol. SC-23, No. 6, pp. 1410-1417, Dec. 1988.
- [13] G. Nicollini, F. Maloberti and M. Conti, "High-Frequency Fully Differential Filter using Operational Amplifiers without Common-Mode Feedback", IEEE J. Solid-State Circuits, vol. SC-23, No.6, pp. 1410-1417, Dec. 1988.
- [14] G. Groenewold, "The design of High Dynamic Range Continuous-Time Integratable Band Pass Filter", IEEE Trans. on Circuits and Systems, vol. CAS-38, Aug. 1991.
- [15] S. Szczepanski, P. V. Halen, "Design of a 2.7GHz Linear OTA and a 250-MHz Elliptic Filter in Bipolar Transistor-Array Technology." IEEE Trans. on Circuits and Systems-II: Analog and Digital Signal Processing, vol. 40. No.1, January 1993..

- [16] S. Szczepanski, R. Schaumann, P. Wu, "Linear Transconductor based on Crosscoupled CMOS Pairs" IEEE Electronics Letters 25th Vol.27, No.9, April. 1991.
- [17] S. Szczepanski, A. Wyszynski, R. Schaumann "Highly Linear Voltage-Controlled CMOS Transconductors." IEEE Trans. on Circuits and Systems-I: Fundamental Theory and Applications, vol. 40. No.4, April 1993.
- [18] J. Guilherme, et al "A CMOS Analog-Digital Audio Processor for a Portable Radiotelephone," IEEE Journal of Solid-State Circuits, Vol.28, No. 5, pp. 560, May, 1993.
- [19] G. Nicollini, et al "A CMOS Fully Integrated Antilarsen System for Digital Telephones", IEEE Journal of Solid-State Circuits, Vol. 28, No. 5, pp. 605, May, 1993.
- [20] W. Redman-White, et al "An Analog CMOS Front-End for a D2-MAC TV Decoder," IEEE Journal of Solid-State Circuits, Vol .29, No. 8, pp. 908, Aug. 1994.
- [21] K. Ishibashi, et al. "A 12.5-ns 16-Mb CMOS SRAM with Common Centroid Geometry Layout Sense Amplifiers," IEEE Journal of Solid-State Circuits, Vol. 29, No. 4, pp. 411, Apr. 1994.
- [22] Patrick K. D. Pai, et al. "A 40-mW 55 Mb/s CMOS Equalizer for Use in Magnetic Storage Read Channels," IEEE Journal of Solid-State Circuits, Vol. 29, No. 4, pp. 489, Apr.1994.
- [23] D. Vallancourt, Y. P. Tsvidis, and S. J. Doubert, "Sampled-current circuits," in Proc. IEEE Int. Symp. Circuits Syst., pp. 1592-1595. May. 1989,



- [24] J.B. Hughes, N.C. Bird and I.C. Macbeth, "Switched Currents A New Technique for Analogue Sample-Data Signal Processing," Proc. IEEE International Symposium on circuits and systems, pp. 1584-1587, May. 1989.
- [25] G. Wegmann and E. A. Vittoz, "Very accurate dynamic current mirrors," Electron. Lett., vol. 25, pp. 644-646, May 11 1989.
- [26] T. S. Fiez, G. Liang, and D. J. Allstot, "Switched-current circuit design issues," IEEE J. Solid-State Circuits, vol. 26, no. 3, pp. 192-202, Mar. 1991.
- [27] B. Wilson, "Current-mode amplifiers," in Proc. IEEE Int. Symp. Circuits Syst., 1989, pp. 1576-1579.
- [28] B. Wilson, "Constant bandwidth voltage amplification using current conveyors," Int. J. Electron, vol. 65, pp. 983-988, 1988.
- [29] S. T. Dupuie and M. Ismail, "High-frequency CMOS trans conductors." in Analogue IC Design: The Current-Mode Approach. C. Toumazou, F. J. Lidgey, and D. G. Haigh, Eds. London: Peter Peregrinus, 1990, pp. 181-238.
- [30] R. H. Zele, S. S. Lee, and D. J. Allstot, "A high-gain current-mode operational amplifier," in Proc. IEEE Int. Symp. Circuits Syst., 1992, pp. 2852-2855.
- [31] S. S. Lee, R. H. Zele, D. J. Allstot, and G. Liang, "A continuous-time current-mode integrator," IEEE Trans. Circuits Syst., vol 38, pp. 1236-1238, Oct. 1991.
- [32] T. S. Fiez and D. J. Allstot, "A CMOS switched-current filter technique," in ISSCC Dig. Tech. Papers, Feb. 1990, pp. 206~297.

- [33] R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully-differential CMOS current-mode circuits," in Proc. IEEE Custom Integrated Circuits Conf., 1991, pp. 2411-2414.
- [34] C. Y. Wu, C. C. Chen, M. K. Tsai, and C. C. Cho, "A 0.5A offset-free comparator for high precision current-mode signal processing," in Proc. IEEE Int. Symp. Circuits Syst., 1991, pp. 1829-1832.
- [35] T. S. Fiez and D. J. Allstot, "CMOS switched-current ladder filters," IEEE J. Solid-State Circuits, vol. 25, pp. 1360-1367, Dec. 1990.
- [36] J. Ramirez-Angulo, M. Robinson, and E. Sanchez-Sinencio, "Current-mode continuous-time filters: Two design approaches," IEEE Trans. Circuits Syst. II: Analog and Digital Signal Processing, vol. 39, no. 6, pp. 337-341, June 1992.
- [37] K. Martin and A. S. Sedra, "Effects of the op amp finite gain and bandwidth on the performance of switched-capacitor filters," IEEE Trans. Circuits Syst., vol. CAS-28, no. 8, pp. 822-829, Aug. 1981.
- [38] D. J. Allstot, R. W. Brodersen, and P. R. Gray, "An electrically-programmable switched capacitor filter," IEEE J. Solid-State Circuits, vol. SC-14, no. 6, pp. 1034-1041, Dec. 1979.
- [39] D. J. Allstot and W. C. Black, Jr., "Technological design considerations for monolithic MOS switched-capacitor filtering systems," Proc. IEEE, vol. 71, no. 8, pp. 967-986, Aug. 1983.
- [40] D. J. Allstot, R. W. Brodersen, and P. R. Gray, "MOS switched capacitor ladder filters," IEEE J. Solid-State Circuits, vol.

SC-13, pp. 806-814, Dec. 1978.

- [41] G. M. Jacobs, D. J. Allstot, R. W. Brodersen, and P. R. Gray, "Design techniques for MOS switched capacitor ladder filters," IEEE Trans. Circuits Syst., vol. CAS-25, pp. 1014-1021, Dec. 1978.
- [42] C. S. Park and R. Schaumann, "Design of a 4-MHz analog integrated CMOS transconductance-C bandpass filter," IEEE J. Solid-State Circuits, vol. 23, no.4, pp. 987-996, Aug. 1988.
- [43] H. Khorramabadi and P. R. Gray, "High frequency CMOS continuous-time filters," IEEE J. Solid-State Circuits, vol. SC-19, no. 6, pp. 939-948, Dec. 1984.
- [44] J. B. Hughes and K. W. Moulding, "Switched-current video signal processing," in Proc. IEEE Custom Integrated Circuit Conf., 1992, pp. 24.4.1-24.4.4.
- [45] T. S. Fiez, G. Liang, and D. J. Allstot, "Switched-current circuit design issues," IEEE J. Solid-State Circuits, vol. 26, pp. 192-202, Mar. 1991.
- [46] J. B. Hughes and K. W. Moulding, "Switched-current signal processing for video frequencies and beyond," IEEE J. Solid-State Circuits, vol. 28, pp. 314-322, Mar. 1993.
- [47] S. S. Lee, R. H. Zele, and D. J. Allstot, "CMOS Continuous-time Current-Mode Filters for High-Frequency Applications" IEEE J. Solid-State Circuits, pp.323-329, 1993.
- [48] J. B. Hughes, N. C. Bird, and I. C. Mac, "Switched Currents A New Technique for analogue Sample-Date Signal Processing," in Proc IEEE ISCAS, pp.1584-1587, 1989.

- [49] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3rd ed. New York: Wiley, 1993, ch. 7.
- [50] R. H. Zele, S. S. Lee, D. J. Allstot, and G. Liang. "A continuous-time current-mode integrator," *IEEE Trans. Circuits and Systems*, vol 38, pp.1236-1238, Oct. 1991.
- [51] S. L. Smith, E. S-Sinencio, "3v High-Frequency Current-Mode Filter," in *Proc. IEEE ISCAS*, pp.1459-1462. 1993.
- [52] R. H. Zele, S. S. Lee and D. J. Allstot, "A 3V-125 MHz CMOS Continuous-Time Filter" in *Proc. IEEE ISCAS*, pp.1164-1167, 1993.
- [53] R. H. Zele, and D. J. Allstot, "Low-Power CMOS Continuous-Time Filter" *IEEE J. Solid-State Circuits*, vol 31, No.2, Feb.1996.
- [54] L. T. Bruton, "Low-sensitivity digital ladder filters," *IEEE Trans. Circuit and System*, vol. CAS-22, no.3, pp. 168-176, Mar. 1975.