GOVP1199316270

박판 PCB에 관한 연구

Development of Thin Printed Circuit Board

연 구 기 관

P C B 조 합

과 학 기 술 처

최종 연구 보고서

1992 년도 특정연구개발사업에 의하여 완료한 박판 P.C.B (Thin Printed Circuit Board) 관한 연구의 최종 보고서를 별첨과 같이 제출합니다.

첨부 : 1. 최종 보고서 3 부

2. 자체평가 의견서 1 부

1992 . .

주관 연구 기관 : PCB 조합

총관연구책임자 : 대덕전자(주) 이 진 호 (인)

주관연구기관장 : PCB 조합장

과 학 기 술 처 장 관 귀 하

제 출 문

과학기술처장관 귀하

본 보고서를 "특정 첨단요소 메카트로닉스에 관한 연구" 과제의 (세부과제 "박판 PCB에 관한 연구" 의) 최종 보고서로 제출합니다.

1992 . 12 . .

주관연구기관명 : PCB 조합

총괄연구책임자 : 이 진 호

연 구 원 : 오춘환, 최성순

박종서, 신선철

손주인, 김진명

곽찬규, 장욱, 문형원

협동연구기관명 : 한일써키트

협동연구책임자 : 김 충 렬

협동연구기관명 : 대덕산업

협동연구책임자 : 권 이 장

요 약 문

Ⅰ. 제목

박판 PCB (Thin Printed Circuit Board) 개발에 관한 연구

Ⅱ. 연구개발의 목적 및 중요성

최근의 PCB 제조기술은 소비자의 욕구에 대응하기 위하여 전자기기가 경박단소화 되어가고 있고 부품도 고집적화, 소형화 되어가고 있는 경향에 맞추어 PCB도 두께를 얇게 하여 부피의 감소 및 단위면적당의 고밀도화를 이루어야만 하게 되었다.

PCB의 박판제조기술을 국내에서 개발함으로써 NOTE PC 및 CAMCORDER와 앞으로 실용화될 메모리 카드용의 PCB 수요에 대응하여 개발하였으며 이 기술을 개발함으로써 FINE PATTERN 제조기술 및 고밀도 SMC PAD PCB 의 제조기술에도 간접적인 영향을 미침으로서 전체적인 PCB 의 고밀도화를 이룩하는데 기여하였다.

Ⅲ. 연구개발의 내용 및 범위

본연구는 우리나라 PCB의 고밀도화에 커다란 영향을 미치고 있는바 다음과 같은 항목에 대하여 구체적으로 개발되었다.

1. 박판 성형 기술의 연구

(가) 0.4t±0.1t 의 성형 기술

(나) 내열성 , 내 halloeing 성이 강화된 원자재의 적층 기술

(Prepreg 두께 및 Lay-up 방법)

(다) 두께가 얇아짐으로 인한 재질의 팽창수축율 변화 (제 1.6t)

(라) (3)항에 따른 A/W의 COMPENSATE RATE 결정

2. 박판 도금 기술 개발

(가) 두께의 변화에 따른 RACKING 치구의 개발

(나) 내층동박판이 얇아짐에 따라 접촉신뢰성 향상을 위하여 DESMEAR 조건의 개발

(다) PANEL PROCESS 및 PATTERN PROCESS 적용시의 장단점 비교

3. 제품 이동 및 취급

(가) 박판화에 따른 전용 CONVEYOR M/C의 작업 (정면, ETCHING)

(나) 박판전용 운반 RACK의 개발

(다) 각공정의 RESISTRATION용 전용 PIN의 개발

4. 신뢰성 TEST

(가) 층간두께가 얇아짐에 따른 내열성 측정기술의 개발

(나) 내층동박 두께가 얇아짐으로 인한 접촉신뢰성의 측정

(PLATED THROUGH HOLE 과 내층신호 LINE의 접촉신뢰성)

Ⅳ 연구개발결과 및 활용에 대한 건의

1. 미.일 등 전자선진국에서만 제작이 가능한 B/D를 국내에서도 제작

2. 신뢰성에서도 260℃,20℃의 FLOATING 후 HOLE QUALITY가 양호하며 두께에서도 0.4t±0.1t를 만족시킴.

3. 국내의 기기및 공정에 맞는 자체기술표준의 정립이 가능하였음

4. 박판 PCB의 제작시 필요한 박판도금시의 기술 (도금,제작관련치구,HANDLING 방법, 칫수변화에 대한 보정율산정)은 BLIND 및 BURIED VIA HOLE B/D 등의 제작 기술에 활용이 가능하다고 판단되어짐

SUMMARY (영문 요약문)

The Thin Printed Circuit Board which we have developed are necessary to fulfill the
needs of the consumer who wish to have a lighter, thinner, shorter and smaller electronic devices. we developed the 4 Layer board of which the thickness is 0.4±0.1mm and endure against the thermal stress of 260℃ Solder for 20 seconds. The thin printed circuit board is used for memory card. And the related technics to this boards can be utilized to make an blind-buried via hole boards. During the development, we studied about the following
detail aspects;

1. Lay-up technics of thin printed circuit board

   - P.C.B press technics of which the thickness range is 0.4±0.1mm
   - Dimensional change of thin Printed Circuit Board
   - Decision of A/W compensation rate per above test results

2. Plating technics of thin printed circuit
board

- Design of racking devices which can handle thin P.C.B
- Study of desmearing condition which can quarantee the connectivity between holewall and inner layer circuits.
- Comparion between panel plating process and pattern plating process.

3. Handling and transfer method.

- Design of transferring racks for thin P.C.B
- Development of registration pin conforming to the board thickness

4. Reliability test

- Measuring method to discern a heat-proof capability , chemical resistance Property

The thin P.C.B passed the 260℃, 20sec thermal folating test, and the thickness of
which was in the range of 0.4±0.1mm

As a results of the above development project, It became possible for us to make a thin printed circuit board in Korea also.

Utilzing the above technics related to the thin printed circuit board, It would be helpful to develop the blind/buried via holes P.C.B.

목 차

제 1 장. 치수안정기술개발의 연구 (대덕산업)

제 1 절. Photo Tool 의 보관조건에 따른 팽창, 수축율 Data 수립

제 2 절. 각 Process 진행에 따른 Laminate의 Data 수립

제 3 절. A/W Compensation Rate의 결정

제 2 장. 내층제조기술의 연구 (대덕전자)

제 1 절. 내층 정면기술의 개발

제 2 절. Lay-up 방법의 연구

제 3 절. Oxide기술의 Set-up

제 3 장. Smear감소를 위한 Drilling 기술개발 (한일 Circuit)

제 1 절. Drill 장치

제 2 절. Drill Bit

제 3 절. Drill 공정 Parameter

제 4 장. 박판 Board의 인쇄방법 및 치구 개발 (한일 Circuit)

제 1 절. Guide Hole 파이와 Pin파이간의 공차

제 2 절. 인쇄 Gap 유지 등 공정조건의 개선

제 3 절. 경화방법의 연구 (대덕산업)

제 5 장. 도금 Racking 방법의 연구
(대덕전자)

제 1 절. 기존 도금 Rack 의 개선
제 2 절. 도금 조건의 개선

제 6 장. 신뢰성 평가방법의 개발
(대덕전자)

제 1 절. Thermal Shock Test
제 2 절. 신뢰성 평가 항목
제 3 절. 신뢰성 Test의 결과

CONTENTS

1.0 The study of dimensional stability (DaeDuck Industrial Co.,Ltd)

1.1 The establishment of phototool expansion data and shrinkage data according to the storage condition.

1.2 The laminate expansion data and shrinkage data per each process

1.3 The decision of Artwork compensation rate

2.0 The study of inner layer manufacturing technic (DaeDuck Electronics Co.,Ltd)

2.1 The inner layer cleaning process

2.2 The lay-up method.

2.3 The oxide technic.

3.0 Drilling technic which decreasing smear problem (Hanil Circuit Co.)

3.1 Drilling Equipment

3.2 Drilling Bit

3.3 Drilling Parameter

4.0 Imaging process of thin board (Hanil Circuit Co.)

4.1 Tolerance between guide hole diameter and pin diameter

4.2 The improvement of imaging process condition.

4.3 Curing method

5.0 Plating process (D.D.E)

5.1 New plating rack

5.2 Parameter of plating process

6.0 Reliability evaluation method (D.D.E)

6.1 Thermal Shock Test

6.2 Evaluation item

6.3 Evaluation results

그 림 목 차

그림 1. 박판의 적층 방법

그림 2. 박판 PCB Press Cycle

그림 3. 각종 조성의 Drill Bit 경도에 따른 온도 변화

그림 4. WC의 입자 크기와 경도

그림 5. Co 함유량에 의한 物性의 변화

사 진 목 차

사진 1. Registration 精度

사진 2. Haloeing 크기의 변화

사진 3. Drill후의 Hole속 상태

사진 4. 개선전의 경화 Rack

사진 5. 개선후의 경화 Rack

사진 6. 개선전의 도금 Rack

사진 7. 개선후의 도금 Rack

사진 8. Hole속 도금두께 및 WICKING

사진 9. THIN PCB의 두께

사진10. THERMAL SHOCK 후 HOLE QUALITY

표 목 차

표 1. 온도변화에 따른 PHOTOTOOL 변화 DATA

표 2. 상대습도 변화에 따른 PHOTOTOOL 변화 DATA

표 3. 정면조건에 따른 WATER BREAK TEST 결과

표 4. DRILL 조건별 TEST

표 5. GUIDE HOLE 파이와 PIN 파이간의 공차

표 6. 인쇄 조건

표 7. 도금 RACK 개선전후의 비교

표 8. 도금 조건별 THROWING POWER

표 9. 신뢰성 TEST 결과

제 1 장. 치수안정 기술개발의 연구

제 1 절. Photo tool의 보관조건에 따른 팽창수축율 Data 수립

1. 목적 : M/L PCB의 내외층 회로를 형성시키는데 필수적인 Photo tool은 3층으로 이루어진 기본적인 구조를 가지고 있으며 주변의 온습도의 유제층, Base 층 (지지체), Backing층등의 영향에 의하여 팽창,수축을 하며 이러한 현상은 Drilled Hole과 내외층 Land 간의 위치오차를 발생시켜 내층의 접촉신뢰성 및 외층의 Solder ability에 영향을 미치게 되므로 이의 특성에 관한 Data를 수립하였다.

2. 변화율 측정 장비

* X , Y - Coordinator : TAI Nippon

3. 환경변화전의 측정거리 (Photo tool) : 500㎛

4. Photo tool의 구조 및 두께

Emulsion
Polyester — 175㎛
Backing material

5. 측정결과

<표 1> 온도변화에 따른 Phototool 변화

(Dimensional change according to a temperature change)

온도변화(℃)	± 2	± 4	± 6	± 8	± 10
Photo tool의 size 변화(㎜	±0.178	±0.356	±0.534	±0.712	±0.89

<표 2> 상대 습도 변화에 따른 Data

(Data according to a relative humidity)

상대습도변화(℃)	± 2	± 4	± 6	± 8	± 10
Photo tool의 size 변화(㎜)	0.008	0.016	0.024	0.032	0.04

6. 측정결론

Photo tool의 보관장소와 작업장소간의 환경 (온.습도) 변화를 최소화하여 Dimension의 안정을 기하여야 한다.

제 2 절. 각 Process 진행에 따른 Laminate의 수축율 Data의 수립

1. 목적 : Laminate가 각 제조공정을 거치는 과정에서의 흡습, 건조, 가열, 냉각과정을 통하여 치수의 변화가 발생할 수 있는데 이는 Prototool의 변화와 함께 Misregistration의 주요한 Factor가 된다. 이에 Data를 수정하여 내층의 접속신뢰성및 외층의 Solderability 향상을 목적으로 한다.

2. 변화율 측정장비

X,Y - coordinator : TAI Nippon

3. 측정방식

IPC Test Method Manual

4. 측정 Laminate

4층 , 0.4t , 500㎜ x 500㎜

Epoxy Resin 및 Glass Cloth

5. 측정기구

(1) Warp 방향

- Etching 후 : 0.001㎜ 수축 (0.2㎛/㎜)
- 2차 적층 후 : 0.005㎜ 수축 (1.0㎛/㎜)

(2) Fill 방향

- Etching 후 : 0.00125 ㎜ (0.25㎛/㎜)
- 2차 적층 후 : 0.0015 ㎜ (0.3㎛/㎜)

제 3 절. A/W Compensation Rate의 결정

1. Phototool 보관 환경을 습도 50±10% RH, 온도 22±2℃로 유지할 때의 Compensation 율은

- Warp : 0.09 %
- Fill : 0.06 %

2. 위의 Compensation 율을 적용하였을때 사진과 같은 Registration 정도를 나타내었다.

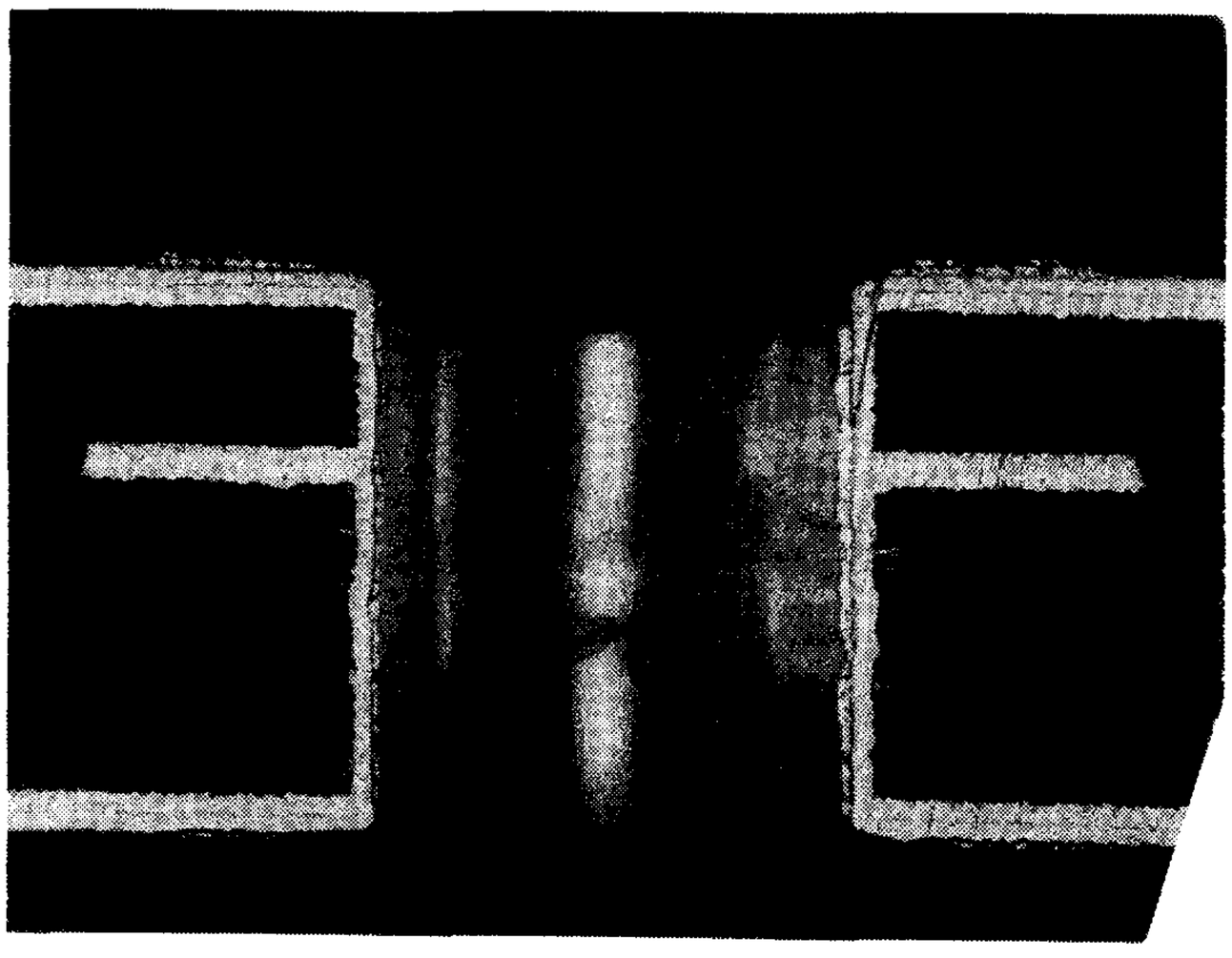


사진 1. Registration 정도 (Registration Accuracy)

제 2 장. 내층 제조 기술의 연구

제 1 절. 내층정면 기술의 연구

1. 목적 : 내층회로를 형성하기 위하여 D/F Phototool을 Thin core에 적용하게 되는데 이때에 Resist와 표면 Copper foil과의 접착력을 향상시켜 Etching 시의 Yield를 향상시키기 위함이다.

2. 개발항목

Conveyor 속도 및 Abrasive Material의 농도변화에 따른 접착력 판단

3. 기타의 정면조건

(1) Buff Brush : 600 grit 4축 (상.하 각 2축)
(2) Brush 회전속도 : 2500 RPM
(3) Brush 회전 방향 : 기판진행 방향과 역방향
(4) 연마제 Spray 압력 : 2.5kg/cm^2 (상.하)
(5) 수세후 건조 온도 : 70℃

4. 정면후의 접착력 판단방법

- Water Break Test

(1) Water break test 측정방법

(ㄱ) 정면후의 기판을 완전히 물에 담근다.
(ㄴ) 기판을 꺼내어 수직으로 세운다.
(ㄷ) 기판상에 물이 묻어있는 시간을 초단위로 측정기록한다.
(ㄹ) 판단기준은 전면에 물이 골고루 묻어있는 상태로 15초 이상을 유지하여야 한다.

5. 조건별 Water Break Test 결과

(단위 : sec)

속도(m/min) 연마제농도(V%)	3.5	3.0	2.5	2.0
35	10	11	11	11
25	12	12	12	10
15	14	18	18	20
5	10	12	12	12

〈표 3〉 정면조건에 따른 Water Break Test 結果

(Results of water break test according to a surface cleaning condition)

6. Test 결론

연마제농도 15% 일경우 정면기의 Conveyor 속도가 2.0 - 3.0 m/min 범위에서 합격이었으나 최선의 결과인 2m/min , 15V%를 정면조건으로 확정지었음.

제 2 절 Lay-up 방법의 결정

1. 목적 : 기판의 목표 두께인 0.4±0.1㎜를 만족시키기 위하여 적정 Press Cycle 및 Prepreg 및 Thin core 를 적절히 배합한다.

2. 적층방법

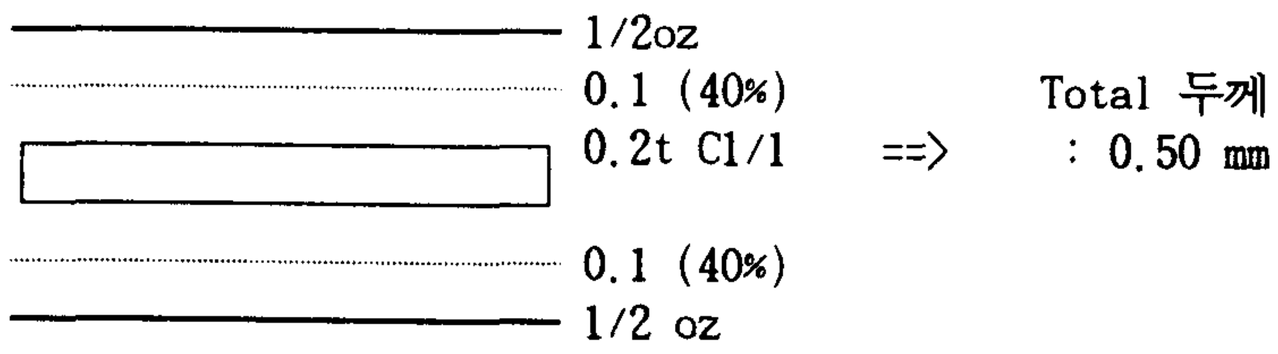
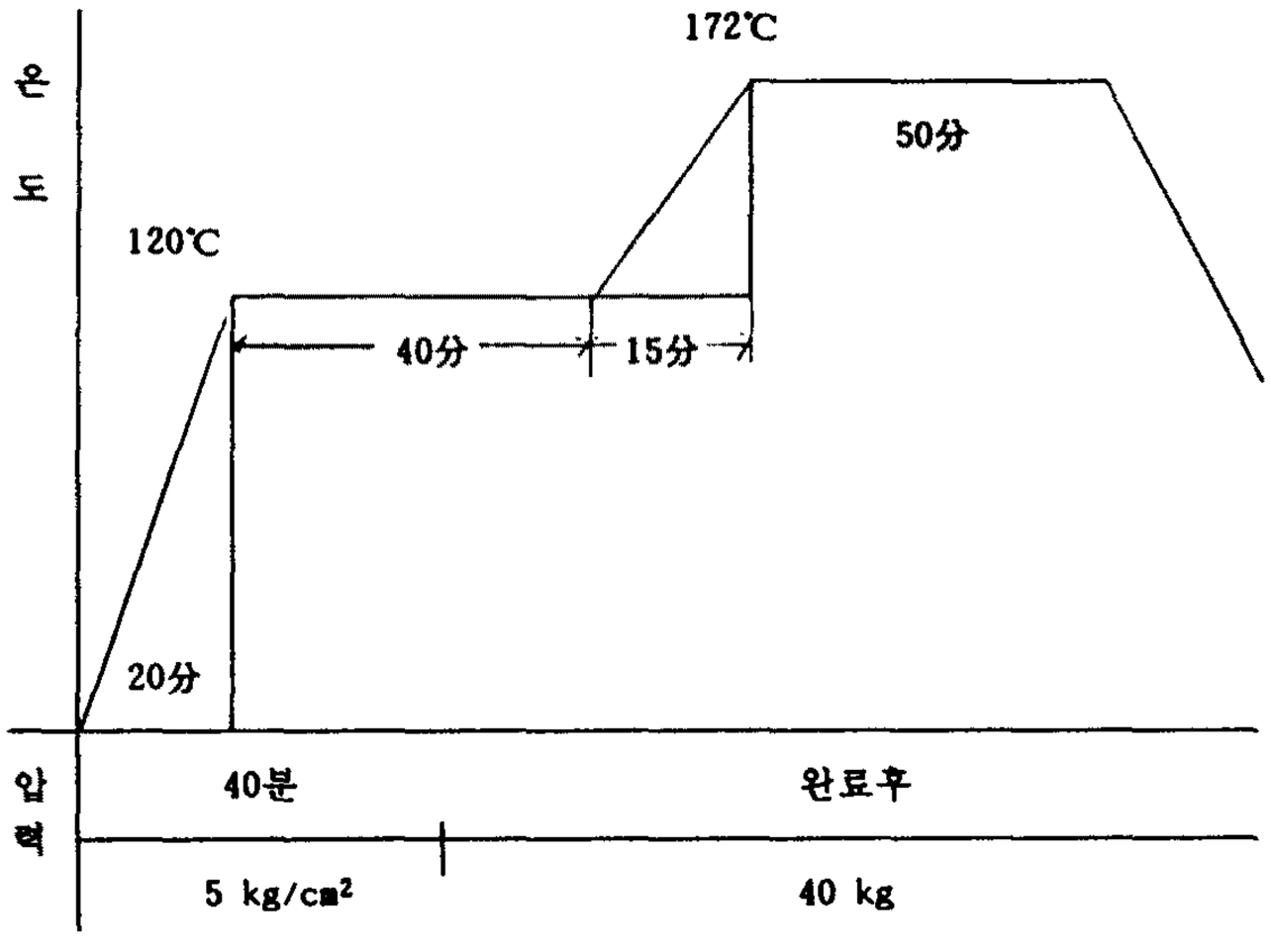


그림 1. 박판의 적층 방법 (Lay-up method of thin board)

3. 적정 Press Cycle



* 10 stack

* 上.下 各 1枚씩 Dummy 板을 댄다.

그림 2. 박판 PCB Press Cycle (Press cycle for thin P.C.B)

4. Oxide 技術의 Set-up

1) 目的 : 層과 層間의 接着力을 向上시켜 Haloeing 不良을 減少시킨다

2) Chemical 製造社 : Electromechemicals Inc.,

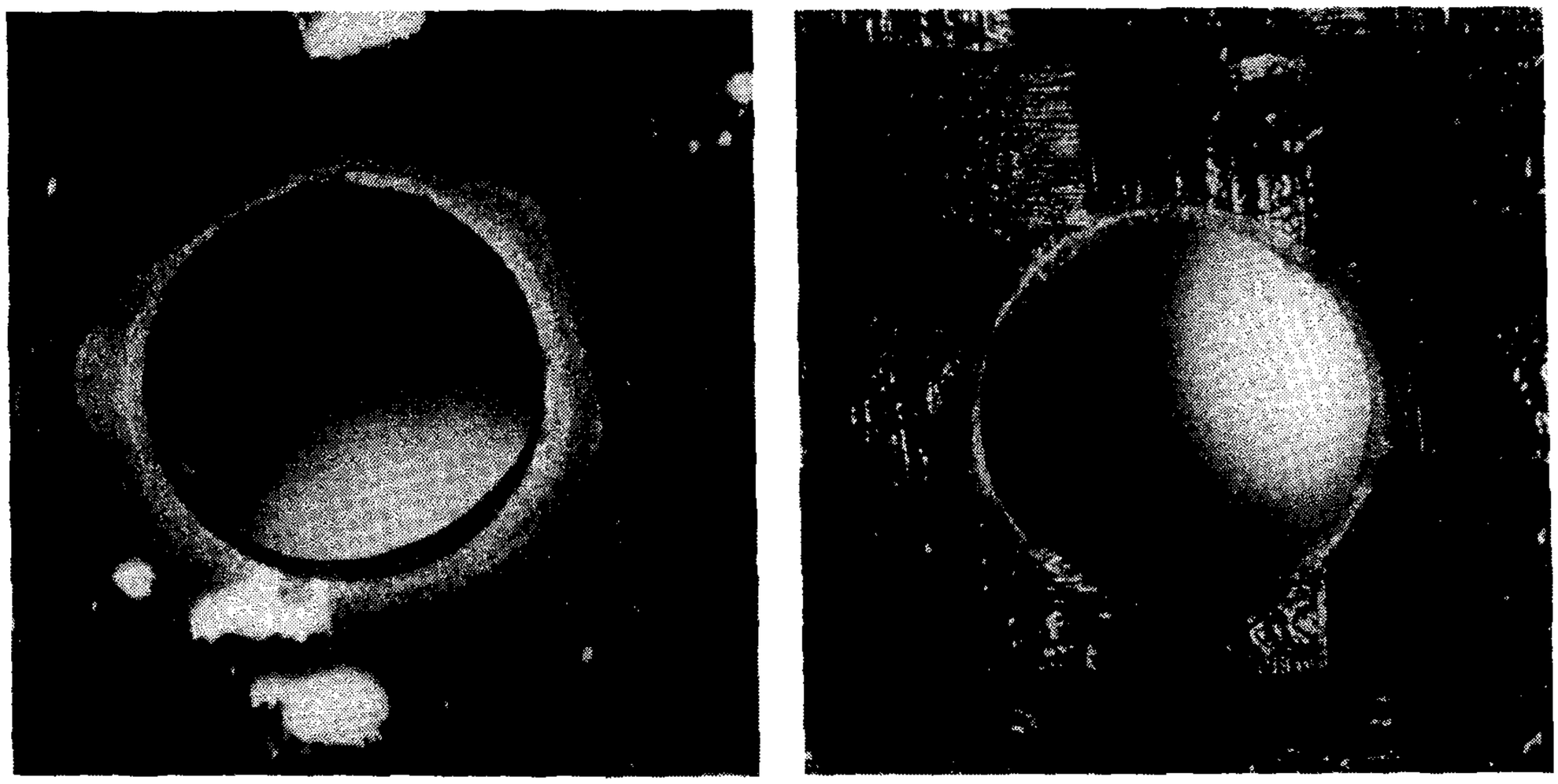
3) 工程

(가) Alkaline Soak Clean		3-5 minutes
	Electro-Brite #402-L Cleaner	20-25% v/v
	Temperature	140-180°F
(나) Water Rinse		
(다) Acid Neutralizer / Cleaner (Optional)		2 - 3minutes
	Sulfuric Acid (66° Be')	5 - 10% v/v
	Electro-Brite Acid Cleaner #2A	1% v/v
	Temperature	150-160 °F

㈑ Water Rinse	1 - 2 mimutes
㈒ Etch/Clean	125 °F
Electrochemicals CO-BRA Etch	
Temperature	
㈓ Water Rinse	
㈔ Sodium Hydroxide 1-2% by weight	1 minute
(or 5% v% 501-B)	
㈕ Water Rinse(optional)	30seconds-1minute
㈖ Copper Oxide Treatment	
ELectro-Brite Copper Treatment	
Process 501	
㈗ Water Rinse	
㈘ Hot Rinse	
㈙ Electro- Brite NPR 409 Post Dip	
or Electro-Brite NPR 496 Post Dip Process	

4) Haloeing 크기의 변화

기존 250㎛ 이상 -> 현재 100㎛ 이하



既存　　現在

사진 2. Haloeing 크기의 변화 (Dimensional change of haloeing)

제 3 장. Smear 감소를 위한 Drilling 기술 개발

층간의 접속능력을 향상시키기 위하여 홀벽이 거칠어지면 안되며 내층도체에 Smear가 남지않도록 하여야 한다.

제 1 절. Drill 장치

1. 개요 : 온도, 진동등의 영향이 없는 재료, 구조를 채택함으로서 정도를 확보한다.
2. 설치 : 외부의 진동으로부터 영향을 받지 않도록 완전히 고정하여야 한다.

제 2 절. Drill Bit

1. Drill Bit : 텅크스텐 카바이트를 사용
(-> 온도의 변화에도 영향을 받지 않음)

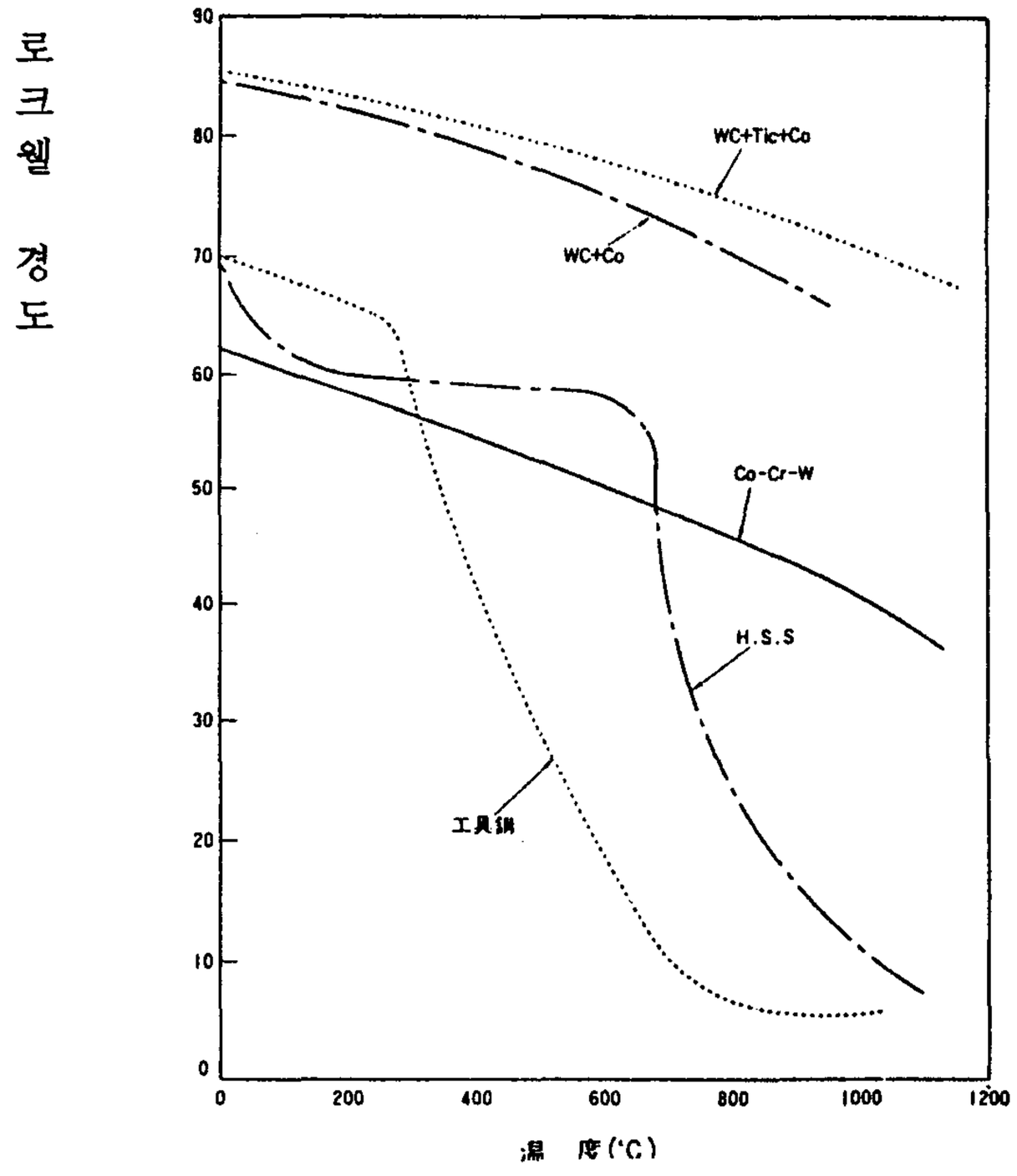


그림 3. 각종 조성의 Drill Bit 경도에 따른 온도 변화
(Temperature change according to a drill bit hardness)

- 그림3,4에 표시된 것과 같이 Co 등이 포함된 Bit를 사용하여 경화,강도, 마모성등을 향상시켜 Smear를 감소시킨다.

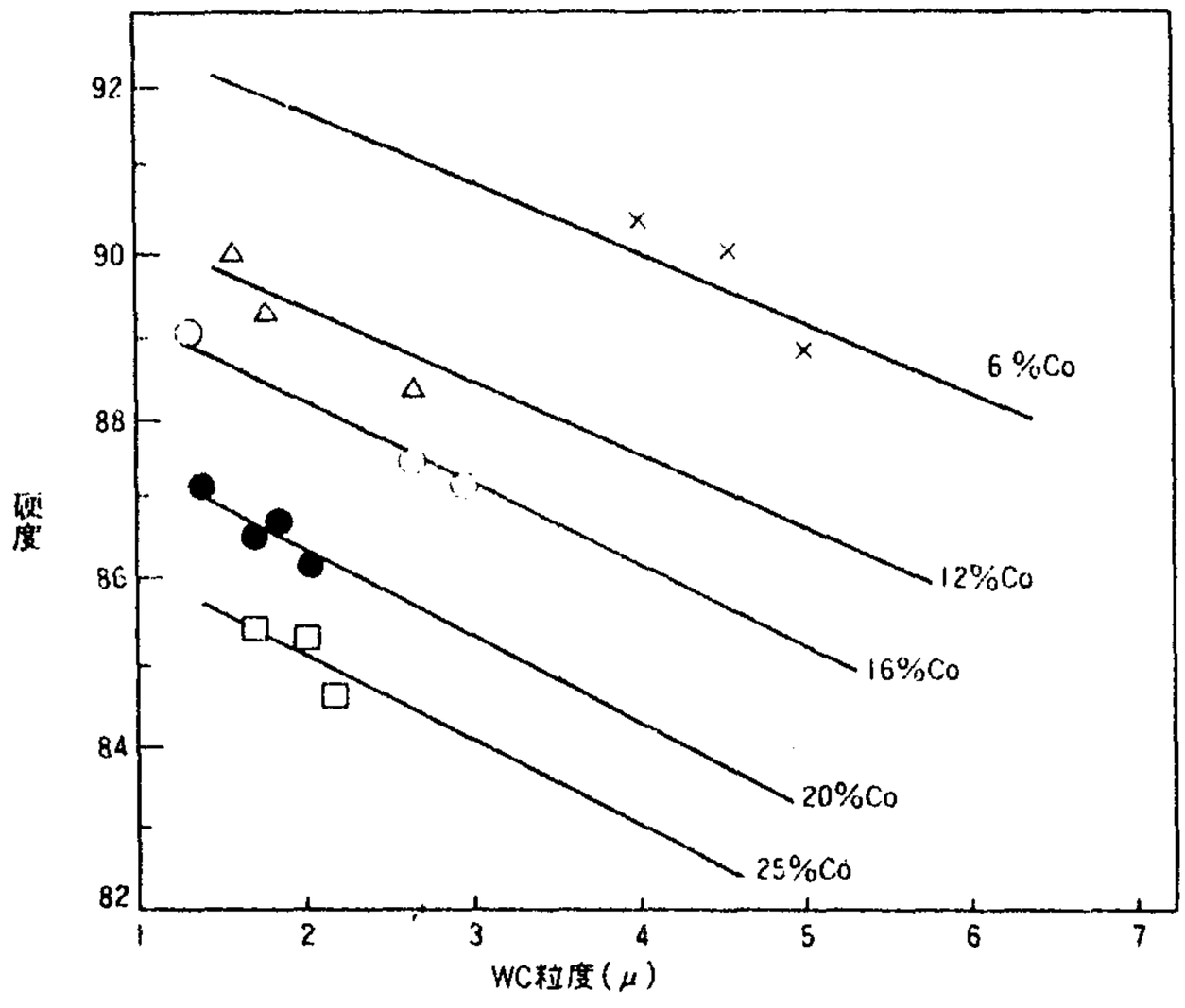


그림 4. W C의 분자크기와 경도 (Size and hardness of WC)

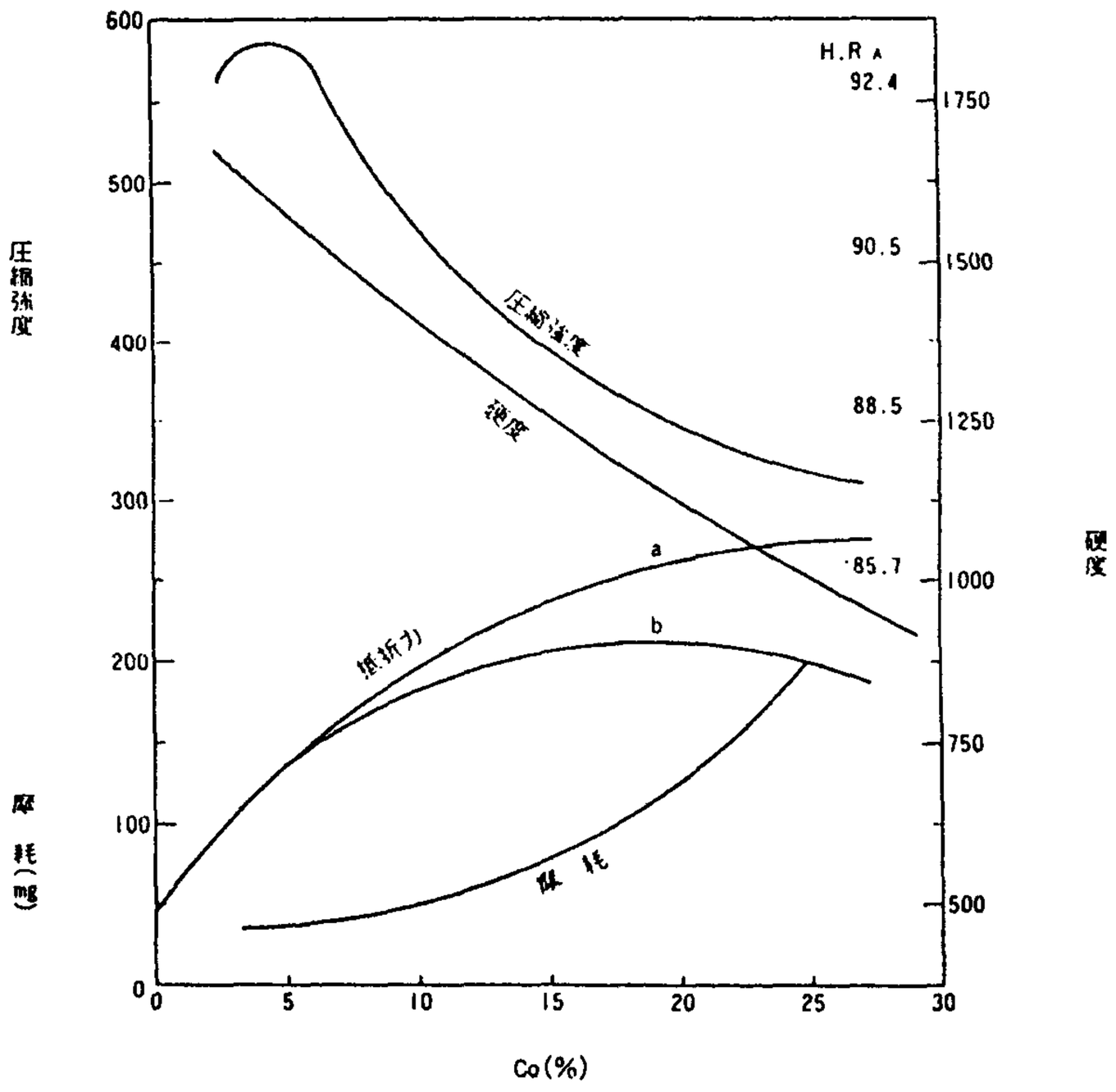


그림 4. Co 함유량에 의한 물성의 변화

(Charateristic change according to a Co percentage)

제 3 절. Drill 공정 Parameter

여러 Patameter에 대해 Test한 결과 다음의 수치가 가장 적절한 것으로 결과가 나왔다. (Smear : 0)

1. 조건별 용어설명

1) Chip Load : Bit 1회전시 내려가는 길이

2) Cutting Speed : Bit 의 원주속도

$$\text{원주속도} = \frac{\pi \times \text{Bit직경} \times \text{회전수}}{\text{Min}}$$

= Feet/Min (SFM)

3) RPM (Rate Per Minute : 분당회전수)

$$\text{원주속도 (sfm)} = \frac{\pi \times D \times \text{Round}}{\text{Min}}$$

$$\text{RPM} = \frac{\text{sfm} \times 304.8}{\pi \times D}$$

(1 ft = 304.8mm)

4) Feed Rate (mm/sec) . Bit의 하강속도

$$\text{Feed Rate} = \frac{\text{RPM} \times \text{Chipload (mm)}}{60}$$

2. Test 조건

조건	Feed Rate (㎜/sec)	KRPM	Chip-load (mil)	s.f.m (feet/min)	조건	Feed Rate (㎜/sec)	KRPM	Chip-load (mil)	s.f.m (feet/min)
1	86	61	3.3	440	2	23	28	1.9	606
3	88	61	3.4	503	4	22	27	1.9	612
5	88	60	3.5	526	6	21	26	1.9	616
7	87	59	3.5	547	8	20	24	2.0	594
9	85	56	3.6	577	10	19	23	2.0	593
11	81	49	3.9	556	12	18	22	1.9	590
13	73	46	3.7	569	14	17	21	1.9	584
15	66	43	3.6	576	16	16	20	1.9	577
17	60	40	3.5	577	18	15	19	1.9	568
19	52	38	3.2	586	20	15	18	2.0	557
21	45	36	3.0	594	22	14	17	1.9	543
23	35	34	2.4	596	24	14	17	1.9	561
25	29	33	2.1	612	26	14	16	2.1	544
27	27	31	2.1	607	28	14	15	2.2	541
29	25	30	2.0	618	30	13	14	2.2	577

〈표 4〉 Drill 조건별 Test (Test data according to a drill parameter)

3. Test 결과

1항 - 30항의 조건에 걸쳐 Test한 결과 5항의 조건인

1) Feedrate : 88 (mm/sec)

2) RPM : 61,000 RPM

3) Chipload : 3.3 mil

4) S.F.M : 440 feet/min

일때의 결과가 가장 양호한 결과가 나옴

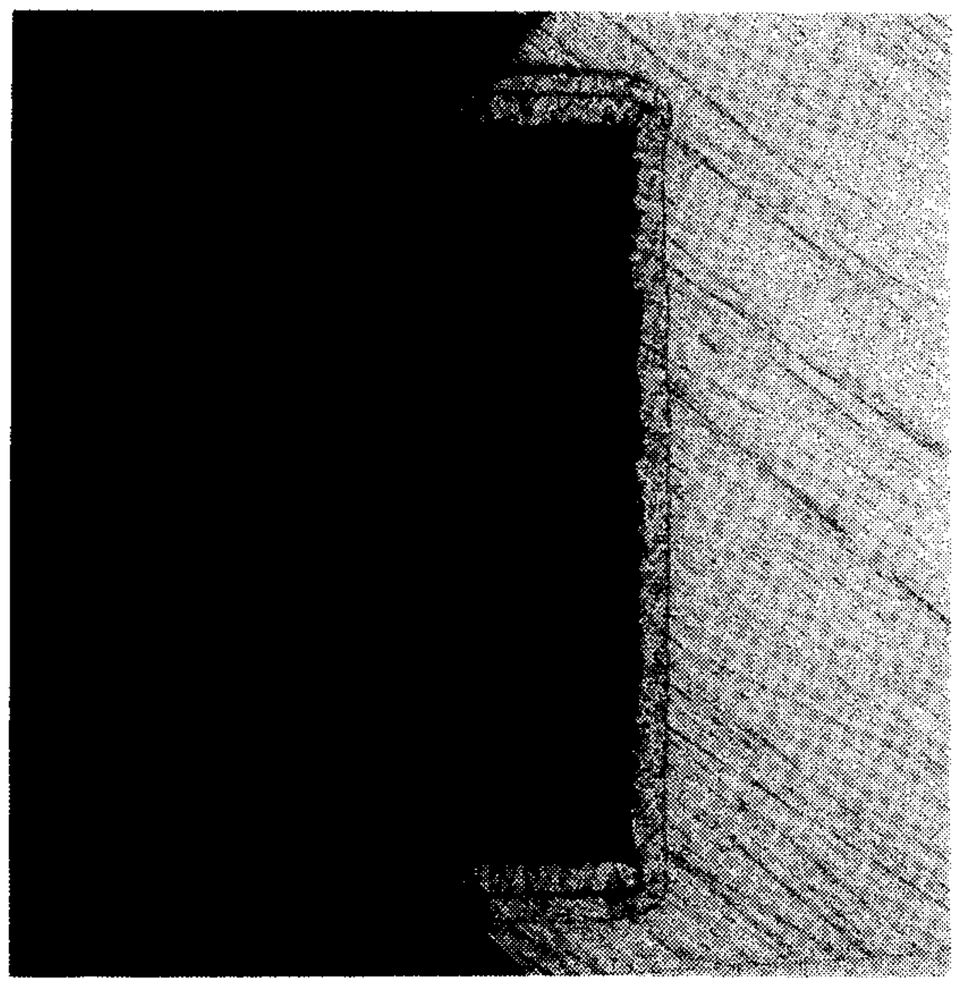


사진 3. Drill 후의 Hole 속 상태 --> Little Roughness
(Condition of hole after drill)

제 4 장. 박판 Board의 인쇄방법 및 치구개발

제 1 절. Guide Hole 파이와 Pin 파이간의 공차

1. 개선 전후의 비교

구분	항목	Pin φ	Guide Hole φ	공 차	Pin 높 이	Pin 의 형 태
개선전	크기	3,220㎜	3,295 ㎜	75 ㎛	1.2㎜	원통형
	비고	-	-	Mis-Registration	-	접착력부족
개선후	크기	3,240㎜	3,295 ㎜	55 ㎛	0.7㎜	받침판형
	비고	-	-	Registration 해결	-	접착력 향상 center 일정

〈표 5〉 Guide Hole 파이와 Pin 파이간의 공차

(Difference between a guide hole diameter and pin deameger)

2. 결론

Guide Hole φ에 대한 Pin φ를 개선함으로써 위치정도(Registration)를 평균 10㎛ 향상시켜 최소 Land 폭인 0.05㎜를 만족시킬수 있었음.

제 2 절. 인쇄 Gap 유지등 공정조건의 개선

1. 개요

Normal B/D의 두께가 1.6㎜인 것에 반하여 박판 Board인 경우 0.4±0.1㎜인 까닭으로 Solder Resist 인쇄시 Screen에 기판이 붙는 현상이 발생한다. 이를 해결키 위하여 공정조건을 개선하였다.

2. 인쇄조건의 변경

항 목	조 건		비 고
	개 선 전	개 선 후	
Mesh	100 mesh	150 mesh	mesh=선/inch
Opening Area	80 %	40 %	-
인쇄속도	25 ㎝/sec	40 ㎝/sec	stop watch로
인쇄압력	4 ㎜	3 ㎜	좌우同壓
Squeegee 경도	75°	70°	-
Off contact	6 ㎜	8 ㎜	-
인쇄 Gap	4 ㎜	6 ㎜	-

〈표 6〉 인쇄 조건 (Printing parameter)

3. 결과

조건변경 후 Screen에 PCB가 달라붙는 현상이 해결되어 개선조건으로 인쇄조건이 set-up 되었음.

제 3 절. 경화방법의 연구

1. 목적 및 개요

Solder Resist 인쇄시 수직경화시에는 기재의 휨 및 뒤틀림이 발생하여 이를 개선하기 위하여 경화방법을 개선한다.

2. Rack의 개선

1) 개선전의 형태

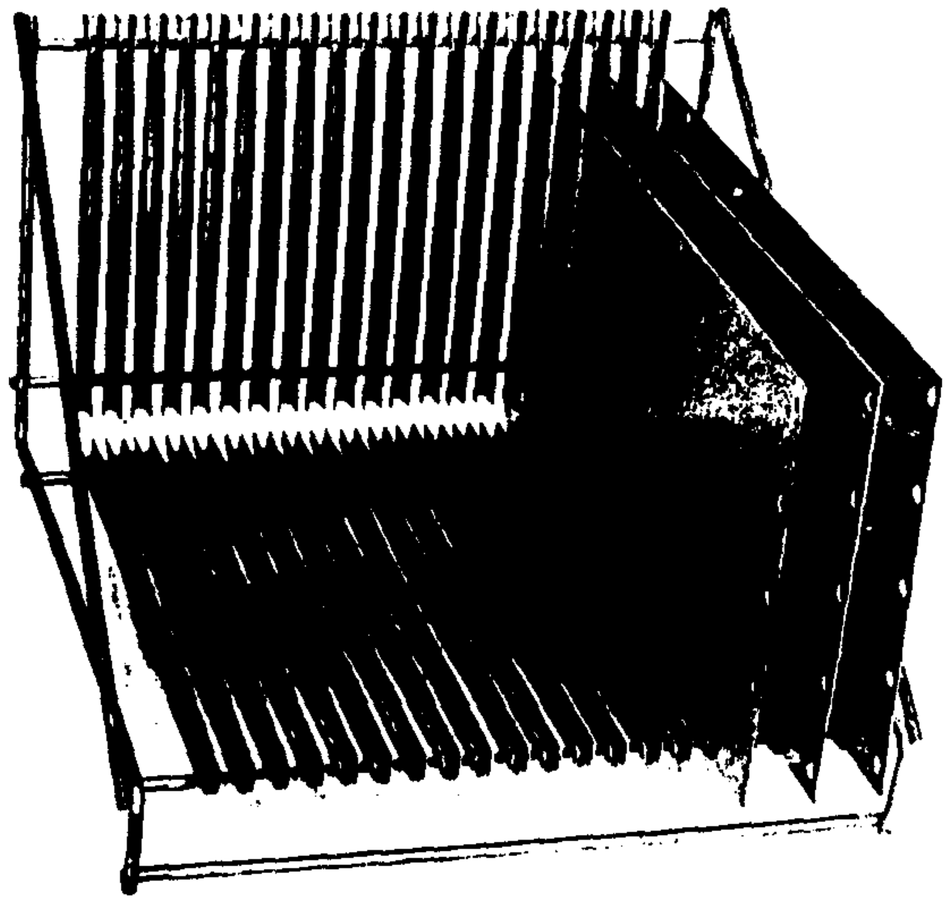


사진 4. 개선전의 경화 Rack
(Baking rack before improved)

2) 개선후의 형태

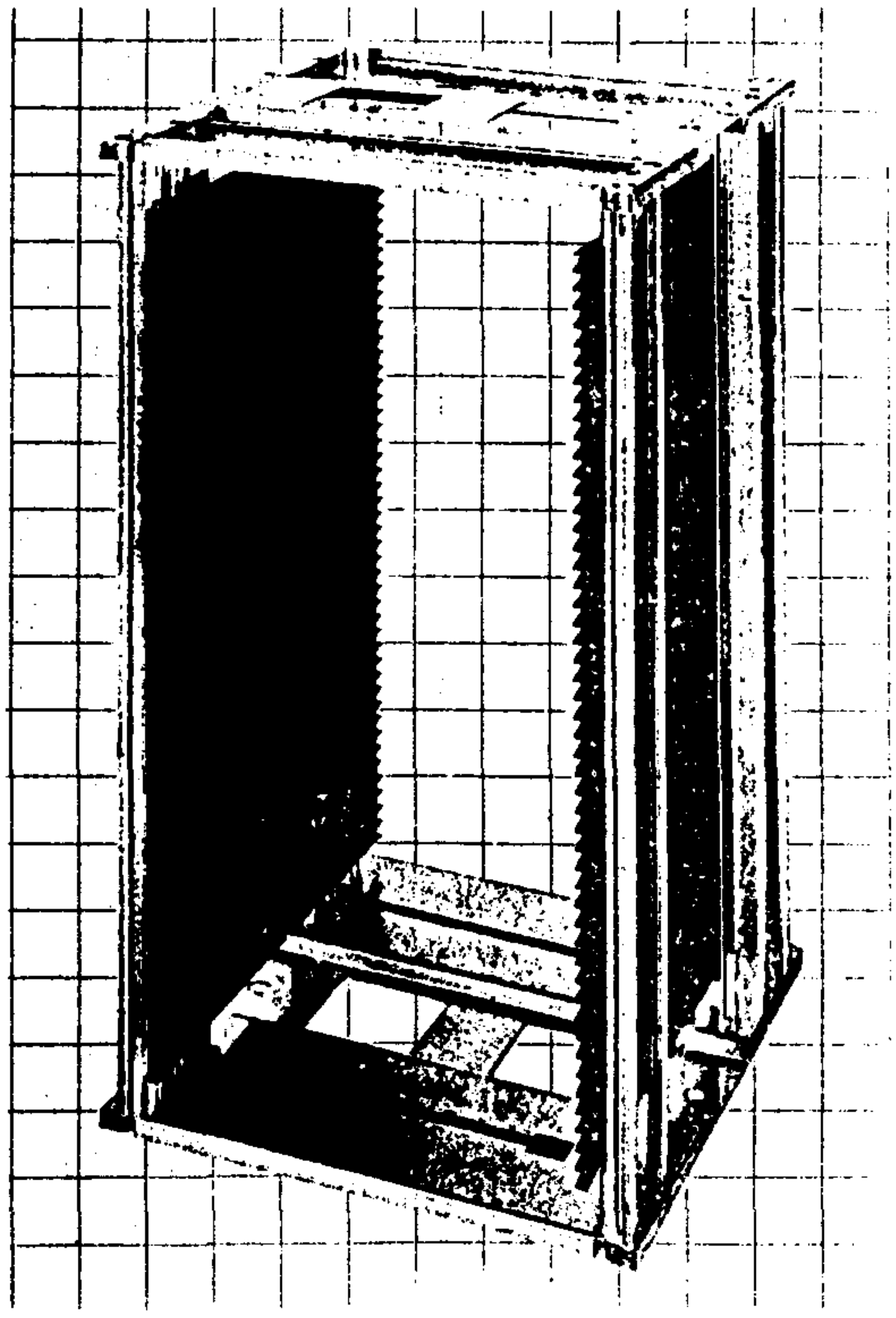


사진 5. 개선후의 경화 Rack
(Baking rack after improved)

3. 결론

매 Piece당 휨 및 뒤틀림의 크기가 2㎜ 이내로 축소되어 문제를 해결하게 되었다. Rack 개선시의 Key Point는 3각 고정에서 4각 고정으로의 개선이었다.

제 5 장. 도금 Racking 방법의 연구

제 1 절. 기존 도금 Rack의 개선

1. 개요 및 목적

Normal B/D보다 두께가 얇은 까닭으로 Board의 각 Corner를 골고루 균일하게 유지하는 것이 중요한 Factor 이다.

2. 개선 전.후의 비교

1) 개선전

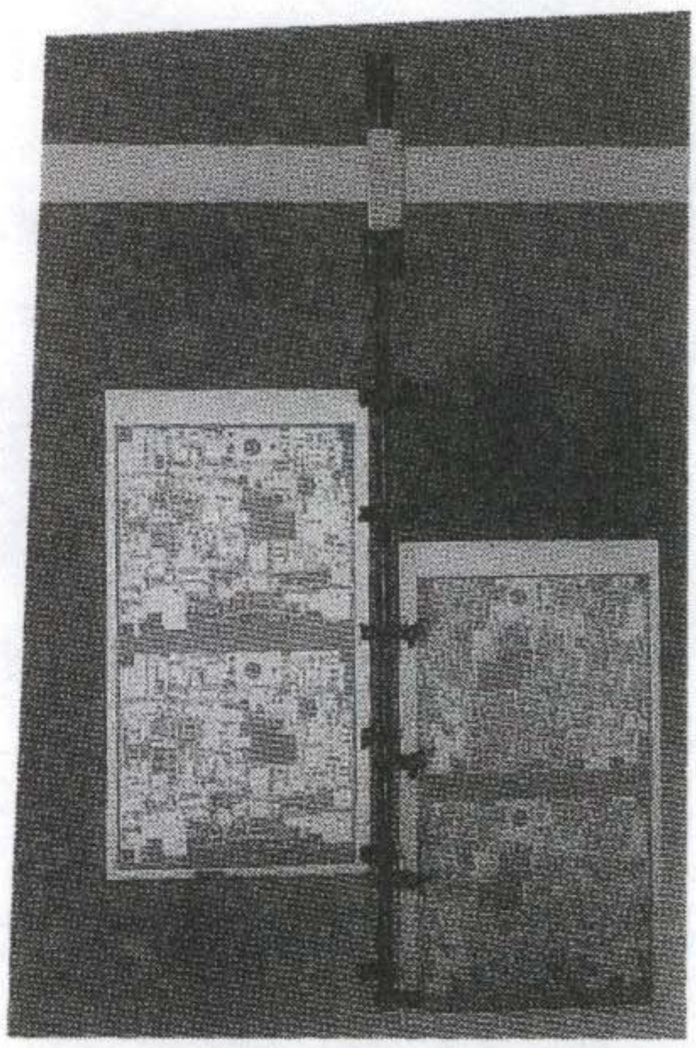


사진 6. 개선전의 도금 Rack (Plating rack before improved)

* 기판의 좌우를 균일하게 지탱하지 못하여 도금두께의 바라쯔끼, 도금중에 기판이 도금 Tank 등에 빠지는 유형의 Trouble이 발생한다.

2) 개선후

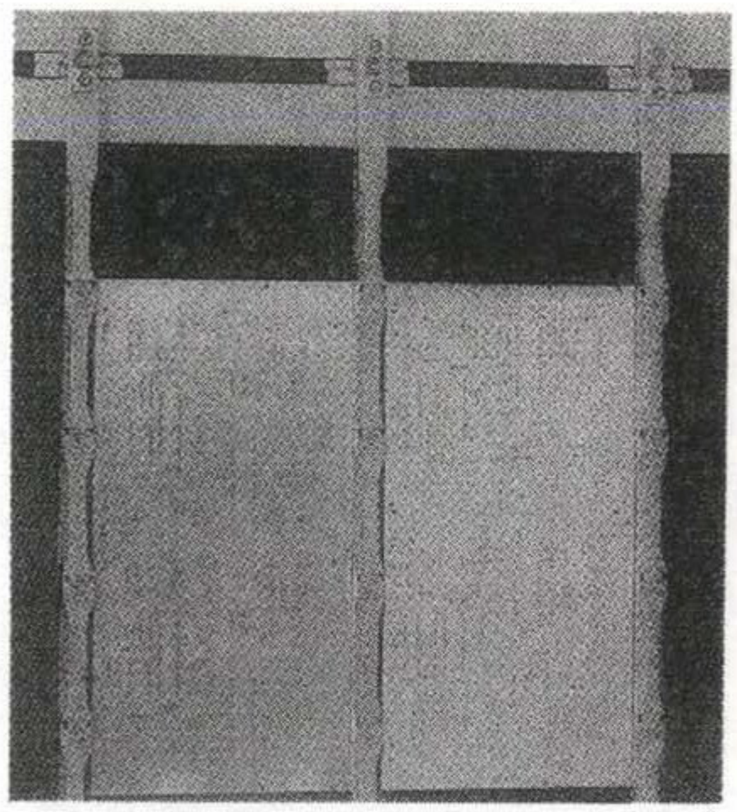


사진 7. 개선후의 도금 Rack (Plating rack after improved)

* Rack이 기판의 가장자리를 견고하게 고정시켜서 전류밀도가 균일하게 분포되어 도금두께의 균일성 (Board 대 Board, 동일 Board내의 위치별) 및 Robort의 Board 이동시의 Tank에 빠짐 등의 Trouble이 해결되었다.

3) 도금성 향상 Data

구 분 / 항 목	개선전	개선후	비 고
도금두께편차 (㎛)	40 ㎛	20 ㎛	동일 B/D 내 25㎛ 도금시
도금 Tank내에 빠짐	2 %	0 %	

<표 7> 도금 Rack 개선전,후의 비교
(Comparison between before and after of improvement)

제 2 절. 도금조건의 개선

1. 개요

기판상의 Hole속 도금 실시시 Hole속의 균일한 두께를 얻고자함이다. 이를 위하여 도금 공정의 Parameter를 변화시킨다.

2. Test 조건 및 결과

조 건	도금액농도 (H_2SO_4)	도금액온도	전류밀도	Brightener 농도	결 과 (T.P.순위)
1	280 g/l	38 ℃	3.5 A/dm^2	30 ml/l	4 th
2	260 g/l	36 ℃	3.2 A/dm^2	27 ml/l	3 th
3	240 g/l	32 ℃	3.0 A/dm^2	20 ml/l	1 th
4	220 g/l	30 ℃	2.8 A/dm^2	15 ml/l	2 th

〈표 8〉 도금 조건별 Throwing Power

(Throwing power of each plating condition)

* T.P. : Throwing Power

= Hole 속 (중앙부위) 두께 / 기판표면 도금두께 x 100

3. 결론

0.4t ± 0.1t Board의 Throwing Power를 향상시키기 위하여 3항의 조건으로 작업할 것을 결정하였다.

제 6 장. 신뢰성 평가방법의 개발

제 1 절. Thermal Shock Test

1. 개요

기판의 신뢰성을 평가하기 위하여 기판에 열적 충격을 가함으로써 기판의 내성을 측정하기 위함이다.

2. 관련규정 및 서류

1) IPC - TM - 650

2) Fedral Spec. QQ - S- 571

3. Test 시편 (Specimen)

제작기판으로부터 1/4 "안쪽에 위치한 Hole 들을 포함하도록 2.5cm x 1.5cm 크기로 Routing 하여 Sampling한다. 이때 Hole에 미치는 충격을 고려하여 엑기생으로 Punching 하여서는 안된다.

4. 관련기기

1) Solder Pot : - 전기가열방식
- Solder 조성 : Sn 63% (IPC-S-815)

2) Thermo Couple Indicator : Thermo Couple Indicator나 온도를 측정할 수 있고 유사한 온도 측정 Equipment

3) Microscope : Thermal Shock 후의 시편의 상태 측정

4) Stopwatch : Solder Floating 시간의 측정

5) Water white rosin flux

5. 절차

1) 시편을 Flux로 Coating하여 Solder가 잘 묻을 수 있도록 한다.

2) Pot내 Solder 표면의 이물질들을 주걱으로 제거한 후 핀셋을 이용하여 시편을 Solder의 표면에 살며시 내려 놓는다. 이때 Solder 표면의 온도가 260℃인가를 확인한 후 20secs동안 Solder의 표면에 시편을 놓는다.

3) 20secs가 지난후 핀셋을 이용하여 조심스럽게 시편을 집어낸다.

4) 집어낸 후 실온으로 식을때까지 방치시킨다.

5) Microsection (IPC TM의 2.1.1)을 실시한 후 Hole속의 Quality를 Check 한다.

제 2 절. 신뢰성 평가 항목

Thermal Shock후에 Microsection을 통하여 판단할 신뢰성항목들을 기술한다

1. 도금두께

Hole속의 도금두께를 일컬으며 최소 18㎛ 이상의 두께를 유지하여야 한다.

2. Void

Hole속에 도금이 되지 않은 현상을 말하며 Void 면적이 Hole 면적의 10%를 초과하면 불합격이다.

3. Hole wall seperation

Hole속의 도금과 Epoxy resin의 열팽창계수의 차에 의하여 Hole속 Copper와 Epoxy 벽간의 분리현상이 발생하는 것으로 Hole벽의 50%이상을 초과하면 안된다.

4. Crack

3항과 동일한 사유로 발생하며 도금벽 및 Base Copper벽과 관통되면 안된다

5. Wicking

PCB 제조공정 중 Chemical이 Glass Cloth속으로 침투하는 현상을 말하며 Max. 70㎛ 를 초과하면 안된다.

제 3 절. 신뢰성 Test 결과

1. 개요

제 2 절의 항목들에 대하여 Microsection을 실시하고 Microscope로 관찰한 결과가 다음의 사진과 같이 나타났다.

2. 결과

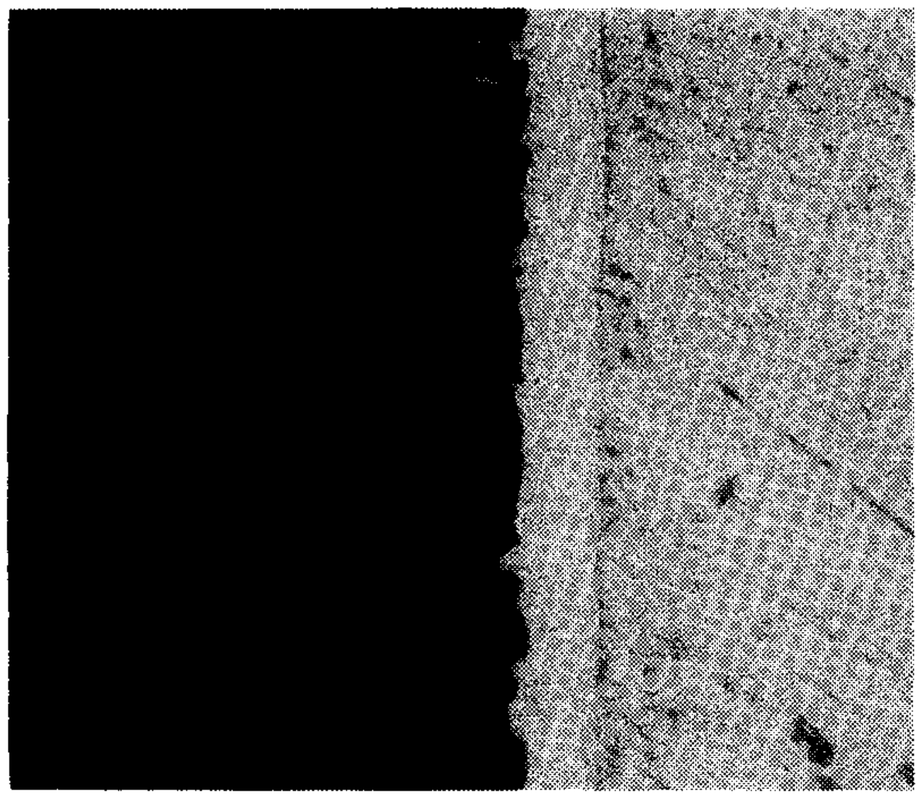
측 정 항 목	기 준	측 정 치	판 정	비 고
도금두께	Min 18㎛	23.3 ㎛	합 격	x 400
Void	Hole 면적의 10% 이하	0	합 격	-
Hole Wall Seperation	Hole 벽의 Max. 50%	0	합 격	-
Crack	Hole 벽을 관통하면 안됨	No Crack	합 격	x 200
Wicking	Max. 70㎛	26 ㎛	합 격	-
Board 두께	0.3 - 0.5 ㎜	4.5 ㎜	합 격	-

<표 9> 신뢰성 Test 결과
(Reliability test results)

3. 결론

금반 개발된 박판 PCB (Thin Printed Circuit Board)는 개발목표인 0.4±0.1t의 두께를 만족시키며 260℃에서 20secs 동안의 Solder Floating Test에서 합격된 우수한 신뢰성을 갖고 있음이 입증되었다.

신뢰성 Test 결과 사진



- Hole 속 도금 두께

x 300

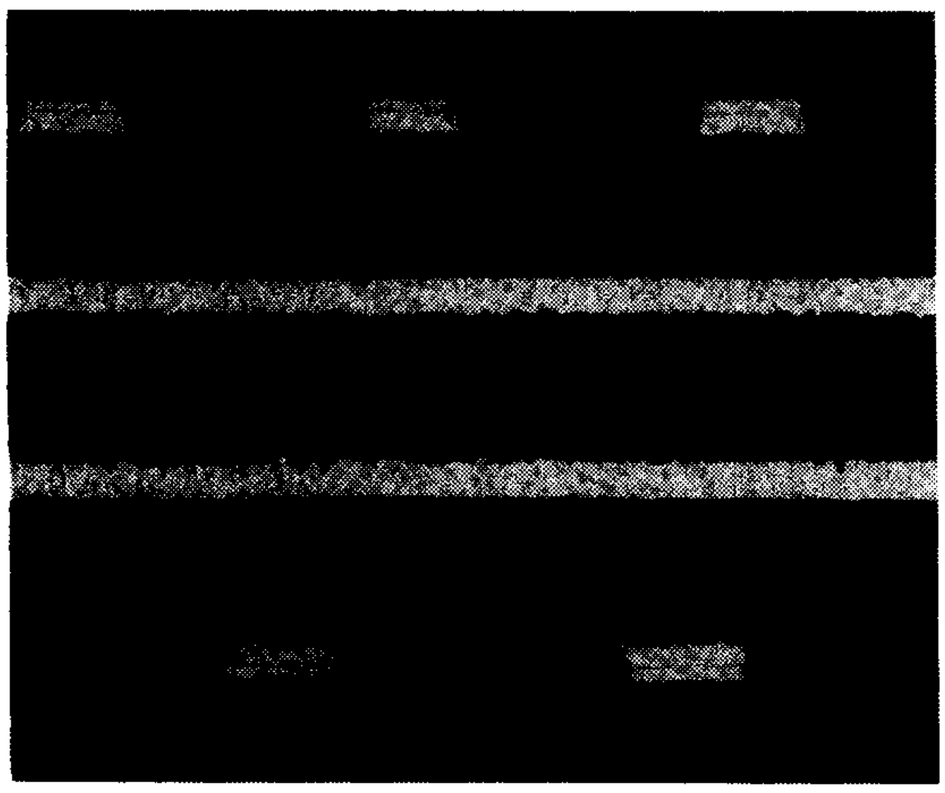
23.3 ㎛

- Wicking

26 ㎛

사진 8. Hole속 도금두께 및 Wicking

(Plating thickness and wicking of hole wall)



PCB 두께

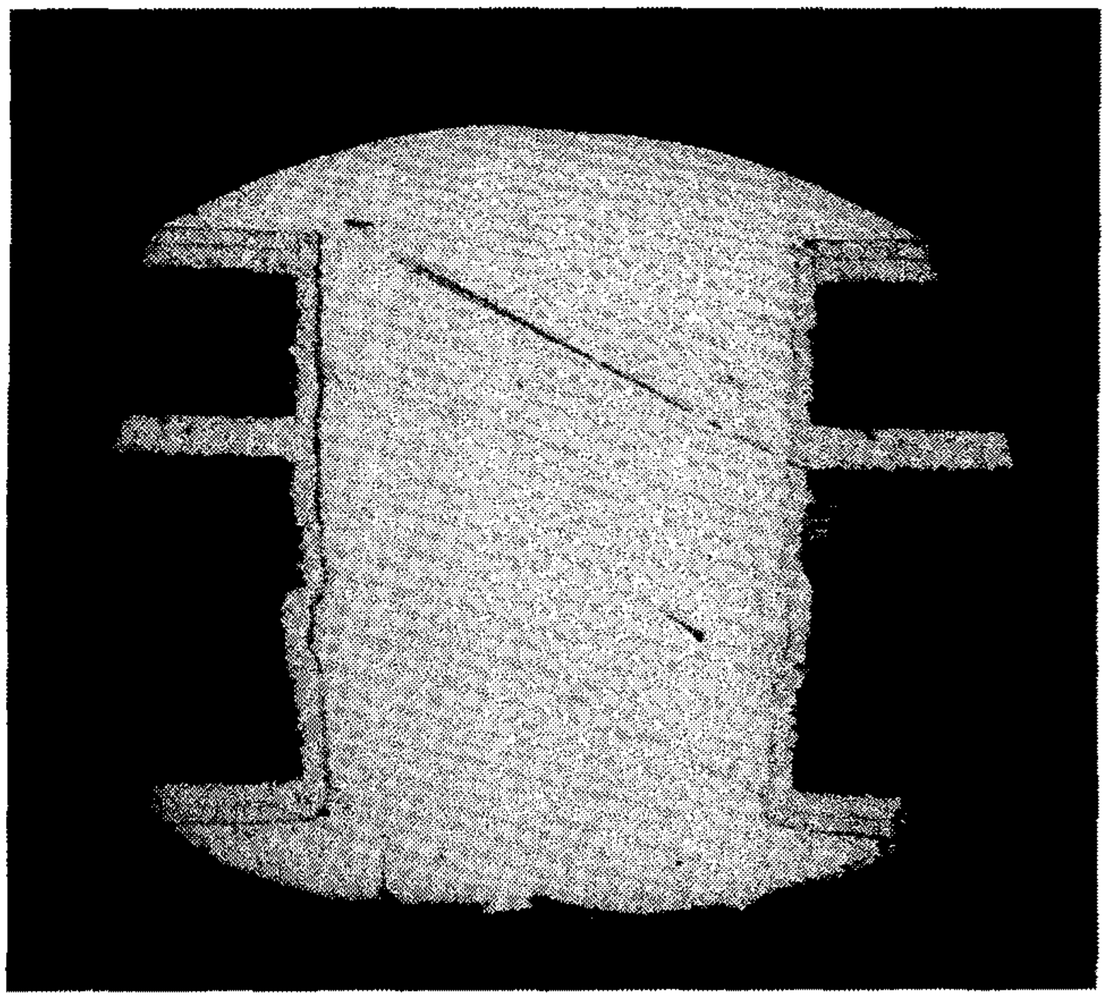
x 100

4.5 ㎜

(4 층)

사진 9. Thin PCB의 두께

(Thickness of thin P.C.B)



Thermal Shock 후

- No Void

- No Hole Wall Seperation

- No crack

사진 10. Thermal Shock 후 Hole Quality
(Hole quality after thermal shock)

참 고 문 헌

1. 藤平正氣 : 多層 プリント 配線板 ステップ 365 (1961)

2. 日本 プリント 回路工業會 : 新技術 セミナ- (1987)

3. 金洪 : 印刷回路基板 (1990)

4. 日間工業新聞社 :プリント 配線板のすべて (1991)

5. 伊藤謹司 : プリント 配線技術 讀本 (1989)

6. The Institute of Printed Circuit : Test Method Manual (1991)