

# 고기능 정밀센서 기술 개발

## 의료 전자용 반도체 집적센서의 개발

Development of Integrated Semiconductor Sensor for  
Medical-Electronics Application

연구기관  
한국과학기술연구원

과 학 기 술 처

# 제 출 문

과학기술처 장관 귀하

본 보고서를 “ 고기능 정밀센서 기술 개발 ” 의 세부과제인 “ 의료 전자용 반도체 집적센서의 개발 ” 에 관한 연구의 2 차년도 연구보고서로 제출합니다.

1991. 8. 4

주 관 연 구 기 관 : 한 국 과 학 기 술 연 구 원  
총 괄 연 구 책 임 자 : 오명환 ( 광전 기술 센터 책임연구원 )  
연 구 책 임 자 : 오명환 ( 광전 기술 센터 책임연구원 )  
강광남 ( 광전자연구실 책임연구원 )  
연 구 원 : 김형곤 ( 집적시스템연구실 책임연구원 )  
이정일 ( 광전자연구실 책임연구원 )  
이명복 ( 광전자연구실 연구원 )  
주병권 ( 응용전자연구실 연구원 )  
이윤희 ( 응용전자연구실 연구원 )  
권용무 ( 집적시스템연구실 연구원 )  
이유종 ( 광전자연구실 연구원 )  
한일기 ( 광전자연구실 연구원 )

여 백

# 요 약 문

## I. 제 목

의료 전자용 반도체 집적센서의 개발

## II. 연구개발의 목적 및 중요성

### 1. 목 적

- 의료전자 및 정밀한 반도체 공정용 Si 흐름, 온도 및 압력센서의 개발

### 2. 중요성

고기능 정밀 센서는 공업 선진국의 경우 각종 가전기기 뿐만 아니라 FA 및 로봇, 공해방지 및 각종 방재기기, 자동차, 항공기, 우주탐사 및 해양탐사, 새로운 농업 및 의료전자 등의 기술분야에 필수적인 부품으로 채용되고 있으며 미래 기술산업의 총아로서 아래와 같은 기술적 특성을 갖고 있다.

- 센서의 소형, 경량, 초정밀, 고신뢰성 및 동시 다변수 측정에 의한 고기능, 고감도 센서의 실현가능성
- 센서기능 및 system 의 지능화가 가능하므로 표준적인 각종 생산 공정의 자동화를 위한 key 소자
- 센서제조 공정에 발달된 Si 집적회로 공정기술을 적용 가능하므로 짧은 기간의 연구에 의해 기술적 향상이 가능함

- 반도체 및 초 전도체등의 신기능 소재의 사용을 통한 소자 기능의 획기적 발전 가능성과 초정밀 가공 기술의 발전등에 기여

센서와 관련된 공업전반의 기술적 발전단계가 아직도 개발초기 혹은 산업화의 초기단계에 머물고 있으나 향후 10년 이내에 국제적으로 관심이 집중되는 첨단산업으로 전망되고 있다. 국내 연구개발 및 투자규모는 매우 제한적이고 미진한 상태이나 체계적이고 집중적인 연구개발이 계속될 경우 상대적으로 짧은 기간내에 독일, 일본, 미국등의 공업 선진국과 대등한 기술수준으로 발전 가능한 첨단기술 분야이다.

센서와 관련된 기술분야는 매우 다양하고 종합적인 기술적 특성을 가지고 있다. 즉 재료분야, 화학분야, 생물분야, 물리분야, 의학분야, 기계분야, 전자분야, 생산공학분야, 컴퓨터공학분야, 생명공학분야 등에서 개별적인 연구개발의 필요성과 더불어 이들 각 분야의 종합에 의해 높은 지능의 센서개발이 가능하므로 총체적인 목표아래 종합적이고 대형화된 연구개발 program의 창출이 요구된다.

### III. 연구개발의 내용 및 범위

본 연구개발 사업의 최종적인 목표는 의료전자용 혹은 반도체 공정기술용 반도체 유량/압력/온도 계측용 실리콘 마이크로 센서의 개발에 있으며 2차 년도의 연구내용 및 범위는 아래와 같다.

- 다기능 센서 설계와 해석
- Si 압력센서의 제작 및 평가 ( 0 - 2 atm range )
- Si 유량/온도 센서의 제작 및 평가 ( 0 - 5 lpm range )
- 의료분야에의 응용을 위한 packaging 기술조사 및 실험

- Si PN 접합 다이오드의 제작 및 온도센서 응용을 위한 특성 평가
- 2 층 실리콘 산화막/질화막의 제작 및 특성평가
- Si fusion bonding (SFB) 기구의 해석 및 센서 제작을 위한 공정기술의 개발

#### IV. 연구개발의 결과 및 활용에 대한 건의

##### 1. 결 과

- 흐름-온도-압력 동시 측정을 위한 실리콘 센서용 공정 마스크의 설계 및 제작
- 실리콘 용융접합 및 박판화 공정을 이용하여 실리콘 센서에 응용될 수 있는 새로운 micromachining 공정 기술의 개발
- 센서제작을 위한 4" Si full wafer 공정 기술의 개발
- 대면적 lift-off 공정 기술 개발
- 흐름-온도-압력 동시 계측용 집적센서 제작을 위한 일괄공정 조건의 확립
- 확립된 센서공정을 통한 집적센서의 제작 및 특성평가
- 센서응용을 위한 플라즈마 식각방법의 Si micromachining 기술 연구
- 열적 격리 및 식각용 마스크를 위한 PECVD 절연막 제작 및 특성평가

##### 2. 활 용

1, 2 차 년도의 연구를 통하여 제작된 Si 흐름, 온도 및 압력센서에 대한 특성평가 결과와 더불어 최종적인 집적화된 흐름-압력-온도 동시 계측용 Si 마이크로 센서의 개발이 완료될 경우 다음과 같이 응용 가능할 것으로 예상된다.

- 혈관, 근육, 호흡기관내 유체의 압력, 흐름속도, 온도등을 감지할 수 있는 생체 응용센서
- 반도체 공정장비에서 개스의 흐름, 압력, 온도 등의 감지와 정밀한 단위의 제어용 센서
- 고기능, 초 정밀, 고 신뢰도의 차세대 센서 개발을 위한 기반기술 구축과 신기능 센서개발의 촉진제 역할

# SUMMARY

## I. Title

Development of Integrated Semiconductor Sensor for Medical -  
Electronic Application

## II. Objective and Importance of the Project

### 1. Objective

To develop the integrated Si micro flow-pressure-temperature sensor for the application of medical electronics and the precise control of semiconductor processing equipments.

### 2. Importance

Integrated micro - sensors based on the highly developed fabrication technology of Si-integrated circuits will play an important roles in the fields of factory automation, robotics, pollution - monitoring, automobile electronics, etc. These technologies have the following technological characteristics:

- small volume, high sensitivity and high reliability
- possibility of the multi-functional and intelligent sensor

- great impact on the advanced material industry and semiconductor industry
- key devices for the factory automation and automobile electronics

### III. Contents and Scopes of the Project

- Design and analysis of multi-functional sensor
- Fabrication and characterization of Si pressure sensor ( 0 - 2 atm range )
- Fabrication and characterization of Si flow-temperature sensor ( 0 - 5 lpm range )
- Technological analysis and experiment on the packaging for the application of medical electronics
- Fabrication and characterization of Si PN junction diode as a temperature sensor
- Fabrication and characterization of 2 layered  $\text{Si}_3\text{N}_4$  /  $\text{SiO}_2$  dielectric film
- Experimental analysis of Si fusion bonding (SFB) mechanism and development of SFB-related Si process technology

### IV. Results and Applications

#### 1. Results

- Design and fabrication of processing mask usable for Si flow-temperature-pressure sensor
- Development of new-type Si micromachining process technology

using Si fusion bonding and thinning method

- Development of 4" Si full - wafer - process - technology for semiconductor sensor applications
- Development of large area lift - off technology
- Development of integrated process technology for flow-temperature-pressure sensor
- Fabrication and characterization of integrated Si micro-sensor
- Development of reactive ion etching technology for sensor application
- Development of PECVD technology for sensor application

## 2. Applications

As a final object, the integrated multifunctioning flow-pressure-temperature sensor can be applied for the following fields:

- Measurement and investigation on the fluid pressure, flow, and temperature within a blood vessel, muscle, and respiratory organs
- Instrumentation and control of gas flow, vacuum level, pressure, and temperature in semiconductor processing equipments
- Accumulation of key technologies related to the next-generation sensors with high precision and reliability

여 백

# CONTENTS

Chapter 1. Introduction -----	15
Chapter 2. Design & Generation of Photo-Masks and Unit Processing for integrated Sensor -----	19
Section 1. Design & Generation of Photo-Masks for Integrated Sensor -----	19
Section 2. Development of 4 " Si- Full- Wafer Process -----	21
Section 3. Fabrication of Integrated Sensor Based on Integrated Process Sequence -----	35
Chapter 3. Characterization of Fabricated Si Micro-Sensor -----	42
Section 1. Characterization of Si PN Junction Diode -----	42
Section 2. Characterization of 2 Layered Si <sub>3</sub> N <sub>4</sub> /SiO <sub>2</sub> Dielectric Thin Film -----	48
Section 3. Characterization of Si Micro-Flow Sensor -----	55
Chapter 4. Development of Si Fusion Bonding (SFB) Technology for Various Si-Sensor Applications -----	65
Section 1. Experimental Methods -----	68
Section 2. Experimental Results and Discussions -----	70
Chapter 5. Conclusions -----	86
References -----	88
Appendix -----	93

여 백

# 목 차

제 1 장	서 론	15
제 2 장	Photo-Mask 설계, 제작 및 센서 단위공정	19
제 1 절	집적센서용 Photo-Mask 의 설계 및 제작	19
제 2 절	4" Si Full-Wafer 단위 공정 연구	21
제 3 절	집적된 공정에 의한 마이크로 실리콘 센서제작	35
제 3 장	집적화 Si 마이크로 센서 특성평가	42
제 1 절	Si PN 접합 다이오드의 특성평가	42
제 2 절	열격리를 위해 사용된 2 층 절연막의 특성평가	48
제 3 절	제작된 Si 마이크로 흐름센서의 특성평가	55
제 4 장	실리콘센서에 응용되는 실리콘 용융접합 기술의 개발	65
제 1 절	실험방법	68
제 2 절	실험결과 및 토의	70
제 5 장	결론	86
	참고문헌	88
	부 록	93

여 백

# 제 1 장 서 론

초 고집적 회로로 대변되는 최근의 반도체 산업에서 발달된 Si 공정기술을 이용하여 고기능의 정밀 센서를 개발하고자 하는 연구가 점차적으로 가중되고 있으며 다양한 분야의 proto-type 센서의 설계 및 제작에 따른 특성 평가가 이루어지고 있다. 다이오드나 트랜지스터와 같은 기존의 반도체 소자들은 일반적으로 신호처리와 에너지 처리용 소자로서 사용되고 있으나 센서로서도 훌륭한 특성을 가질 수 있다. 표 1-1 에 대표적인 전자소자의 센서응용에 대한 예를 나타내었으며 이들 외에도 반도체 resistance thermometer, photodiode, phototransistor 및 bipolar-transistor proportional-to-absolute-temperature (PTAT) 센서등도 잘 알려져 있다.

기존의 잘 발달된 Si 공정기술에 의한 센서제작시 표준적인 공정만으로 해결될 수 없는 기술로 지적되고 있는 것은 바로 Si 의 deep-etching 혹은 3 차원적인 구조의 제작등과 관련된 micromachining 이다. 3 차원적인 Si 의 기계적인 구조는 1) 실리콘 웨이퍼의 식각에 의한 bulk 가공(1-1), 2) 웨이퍼 상에 절연막 등을 사용하는 표면가공(1-2) 그리고 3) 표면 가공된 웨이퍼를 direct bonding 하는 새로운 공정등에(1-3) 의하여 제작될 수 있다.

표 1-1 Microelectronic Devices as Sensors

Device	Physical Quantity Sensed
Resistor	Temperature
Diode	Light
Capacitor	Charge
Bipolar Transistor	Magnetic Fields
MOSFET	Chemical Species

결정면에 따른 식각율의 차이에 기인하는 단결정 실리콘의 anisotropic 식각에 의하여 다양한 종류의 3 차원 구조와 함께 제작된 얇은 membrane상에 각종 기능의 센서들이 제작될 수 있다. 특히 센서에서 두꺼운 웨이퍼 대신에 상대적으로 얇은 박막구조를 사용하는 이유는 고속동작, 고감도 등의 동작특성의 현저한 개선이 있기 때문이며 (1-4) 본 연구에서 제작된 Piezo-resistive 효과를 이용한 압력센서에서도 약 20  $\mu\text{m}$  의 얇은 membrane을 제작하였으며 그 단면사진을 그림 1-1 에 도시하였다. (1-5, 6)

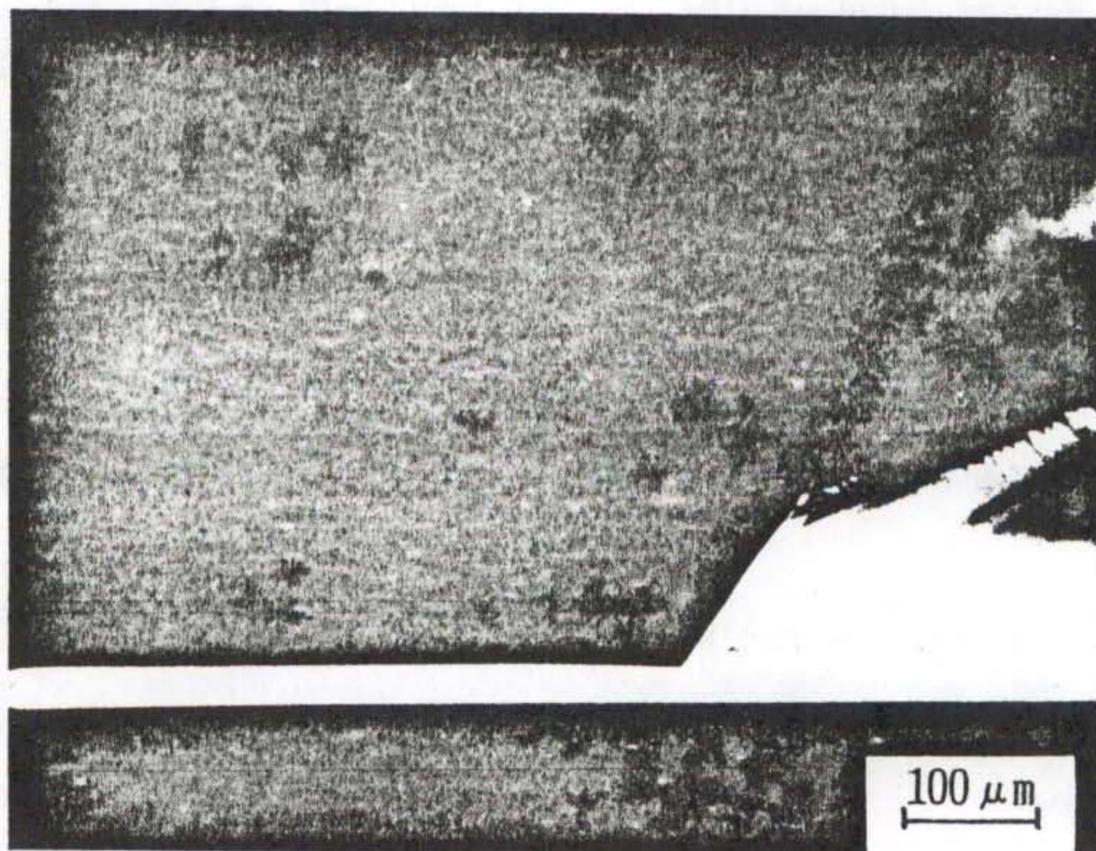


그림 1-1 Anisotropic 식각에 의해 제작된 압력센서용 Si-Membrane  
( 두께 = 20  $\mu\text{m}$  )

앞서 언급한 고도로 발달된 IC 제조 공정기술을 마이크로 센서분야로 적용하고자 하는 연구의 견인력 (driving force) 은 공정 기술상의 유사함이나, 가격에 대한 제고, 전자회로의 지원, 그리고 최근의 발달된 기계구조 제조기술등으로 평가된다. 공정 기술상 lithography 와 평면 IC 제조법과 유사하며 낮은 가격을 약속하는 일괄 처리공정에 의한 센서제작의 필요성이 점차 확대되고 있다. 다만 센서의 소형화에 따른 문제점으로 전자소자의 경우 감소된 크기의 단위소자는 소형,고속 그리고 단위 chip 당 집적 가능한 소자수의 증가, 다기능성, 적은 배선등의 장점이 있는 것으로 알려져 있으나 마이크로 센서의 경우 소형화가 항상 좋은 특성을 나타내지는 못하는 것으로 이해되고 있다. 예를 들면 외부의 인가된 load 에 대해 구조상 변형이 발생하는 소자들 즉 diaphragm 형 압력센서나 cantilever-beam 형 가속도 센서는 기계구조의 물리적인 사양에 의존하는 기계적인 반응특성을 보이며 기계구조의 크기가 감소되면 그 감도도 떨어지게 된다. 따라서 구조적인 변수와 그 반응특성 사이의 자연적인 trade-off 가 요구되며 사용환경과 용도등에 따라 그 사양의 변화와 같은 설계상의 어려움도 함께 내포하고 있다.

센서제작과 관련된 문제외에도 system화의 초기단계에서 package 문제가 매우 어려운 과제로 남아 있으며 별도의 연구가 이루어지고 있는 상태이다.(1-7) 기존의 analog 및 digital 집적회로를 package 하는 기술과 달리 센서 packaging 문제는 응용분야에 따라 다양한 형태로 변화되고 있다. 그림 1-2 는 저항변화형 흐름센서, piezoresistive 압력센서, 습도센서 및 Hall 효과를 이용한 위치센서등의 Package 상태를 보여주는 그림이다. 각 그림에서 볼 수 있듯이 센서응용에 따라 그 반응특성이 안정되고 신뢰성이 높은 상태를 유지하기 위해서는 결국 센서마다 독립적인 Package가 요구됨을 알 수 있다. Package 에 의한 센서 동작특성의 변화도 매우 중요한 문제로 지적되고 있으며 각 단위 센서마다 calibration 이 이루어져야 하는 난해함등에 의하여 센서의 system 단계의 상승에 따른 센서가격도 매우 큰 폭으로 변화되고 있으므로 센서의 packaging 연구와 더불어 system화에도 많은 연구가 이루어져야 할 것으로 판단된다.

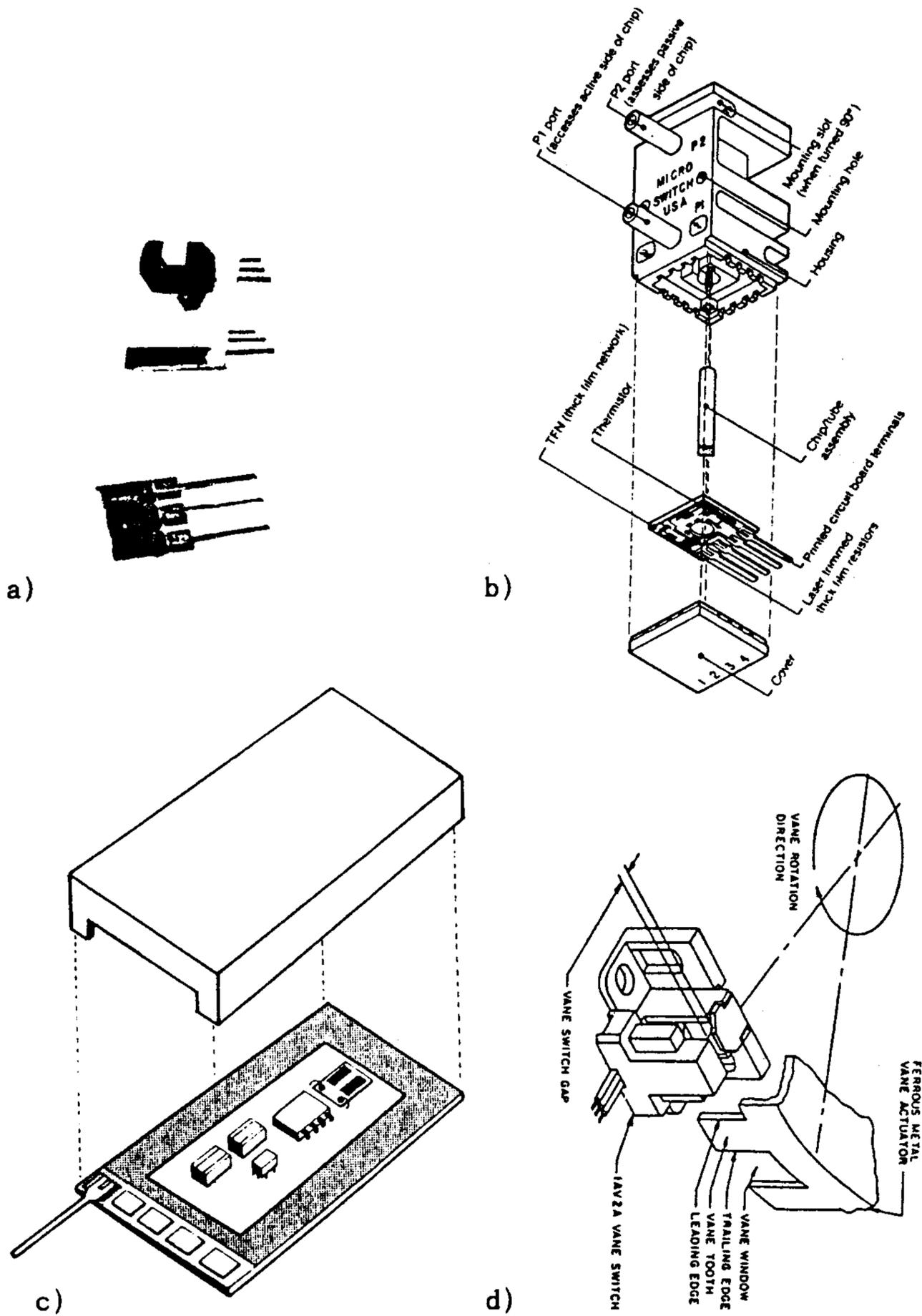


그림 1-2 센서 응용분야에 따른 package 모양 : a) RTD air flow sensor, b) piezoresistive pressure sensor, c) relative humidity sensor, d) Hall vane switch operation

## 제 2 장 집적센서용 Photo-Mask 의 설계, 제작 및 단위공정

### 제 1 절 집적센서용 Photo-Mask 의 설계 및 제작

본 연구의 최종적인 목표인 흐름-압력-온도 동시 계측용 집적센서를 제작하기 위해서 공정용 photo-mask 의 설계와 제작이 이루어져야 한다. 제 1 차 년도의 연구를 통하여 제작된 단위센서의 제작 및 특성결과를 바탕으로 하여 본 연구에서 설계한 집적화 센서를 그림 2-1 에 도시하였다. 그림에서 볼 수 있듯이 집적화 센서는 흐름측정 센서와 압력측정 센서 그리고 온도측정 센서 및 각 단위공정의 특성평가를 위한 test-pattern 으로서 전체적으로 4 개의 그룹으로 이루어져 있다.

그림의 왼쪽 상단 가운데 부분이 바로 액체나 기체의 흐름을 측정할 수 있는 hot-wire anemometer 형 흐름센서이며 양쪽의 소자는 Si PN 접합 다이오드로 칩의 온도나 흐름의 온도를 측정하는 온도센서이다. 가운데 부분의 패턴은 Ni thin film resistor 들로서 가운데 부분을 히터로 그리고 양쪽 패턴을 저항변화를 이용한 온도센서로서 가운데의 히터에서 발생한 열의 전도에 의한 온도변화를 감지하는 역할을 한다.

왼쪽 하단의 사각 패턴은 센서제작 단위공정을 검증하기 위한 test pattern 역할도 수행하면서 단위소자로서의 기능도 갖춘 PN 접합 다이오드와 MIS capacitor 들이다. 왼쪽 하단의 제일 끝은 10  $\mu\text{m}$ , 20  $\mu\text{m}$  의 게이트 길이를 갖는 Si MOSFET 들이다.

오른쪽 상단은 Si 확산 저항과 Al 박막으로 구성되는 thermocouple의 array인 thermopile 구조이다. 총 couple의 수는 25쌍이며 hot point는 Si 다이아프램상에 위치하여 주변으로의 열 손실을 가능한 적게 하였다. hot point의 위쪽에는 두 개의 가열용 금속 박막 저항을 구성하여 hot point 에

일정 전력에 의한 열을 공급하도록 하였다. 이와 같은 구조를 이용하여 가열저항에서 발생된 열량의 감소 정도나 변화량, 열 전도도등을 측정하면 온도는 물론 유체의 흐름이나 공간내의 진공도 등을 측정할 수 있다. (2-1)

오른쪽 하단은 압저항형 실리콘 압력센서로 이에 관해서는 앞서 발표한 바 있다. (2-2) 칩의 오른쪽 최상단 및 최하단의 금속 저항은 양단간의 온도를 측정할 때 사용된다.

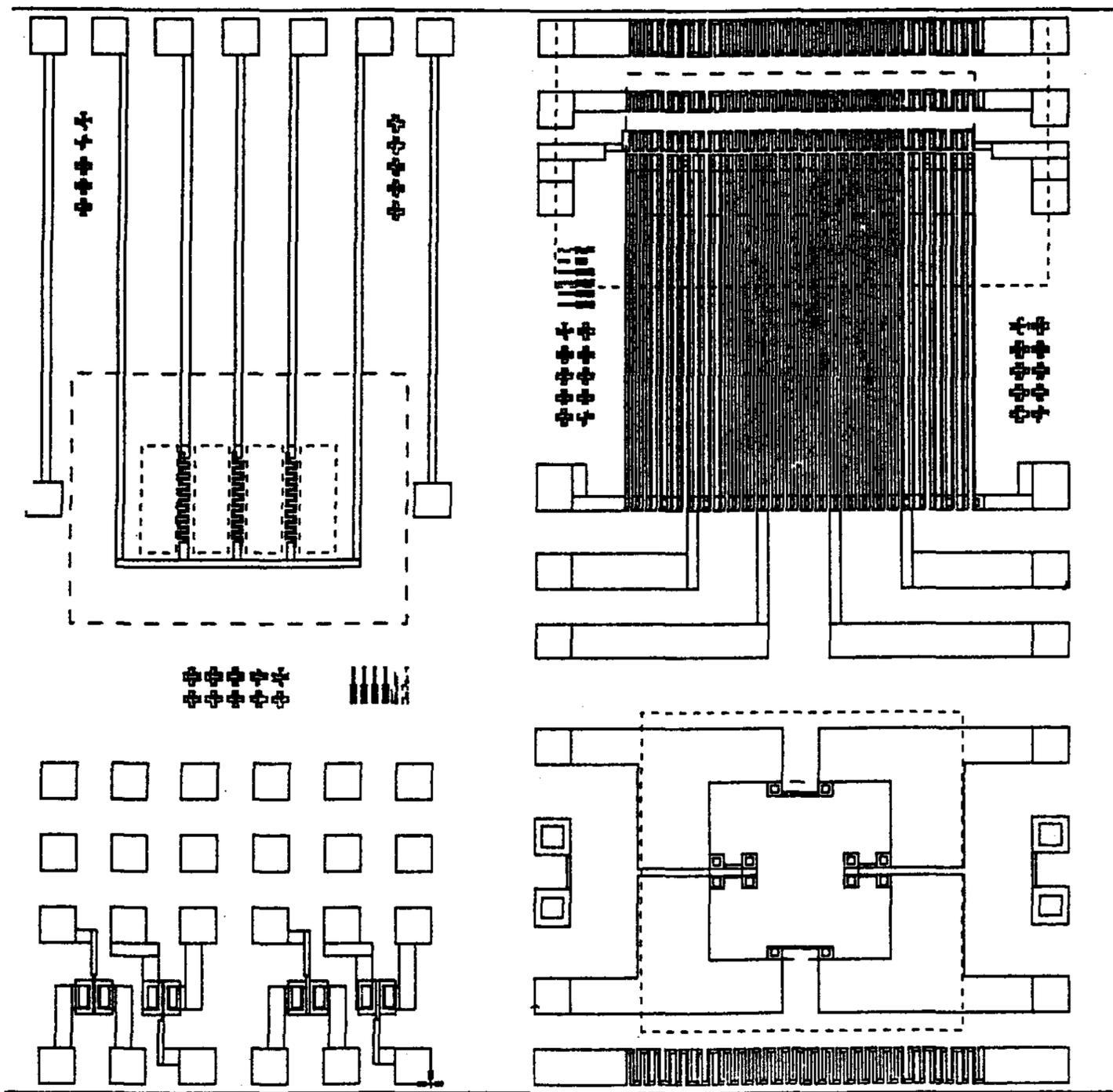
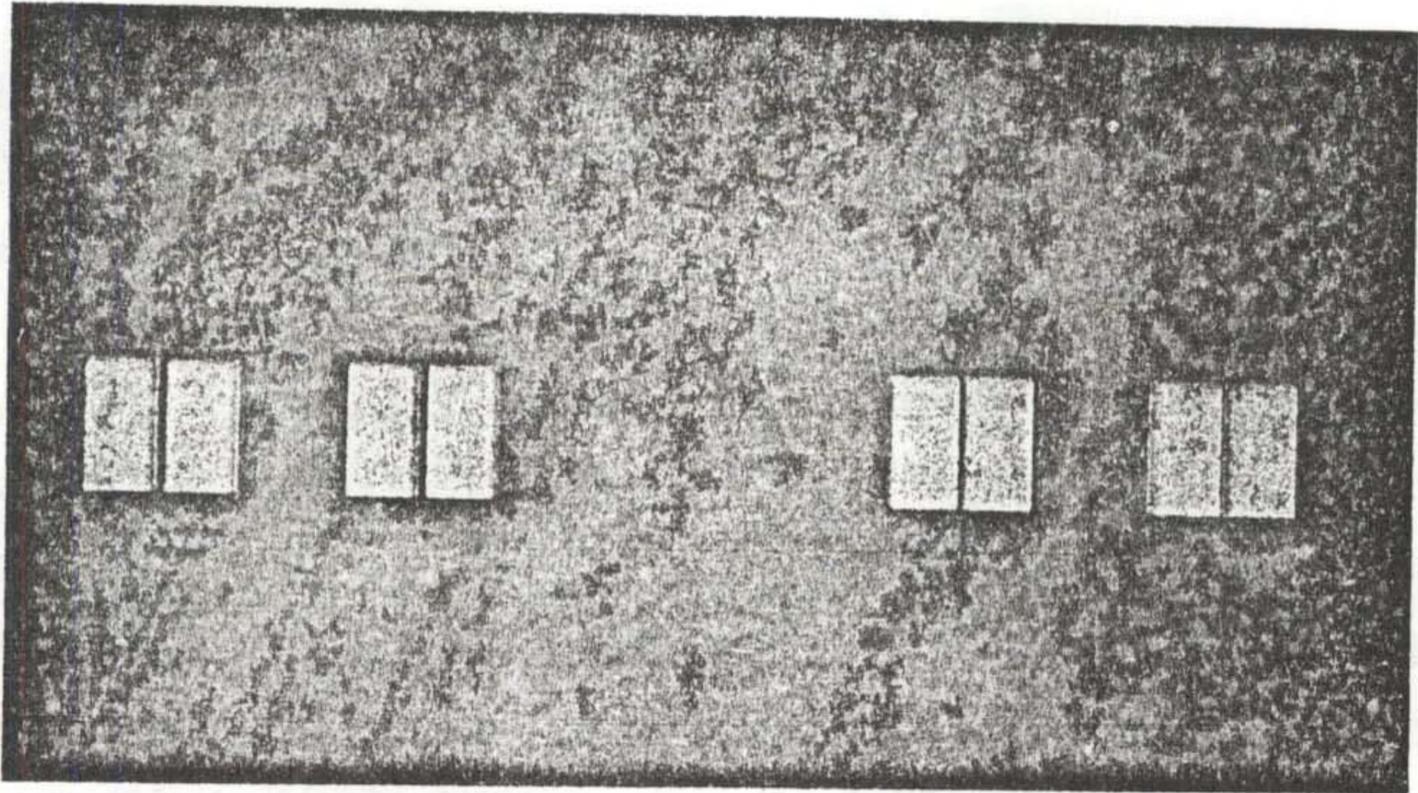


그림 2-1 설계된 Si 마이크로 흐름-온도-압력센서의 lay-out

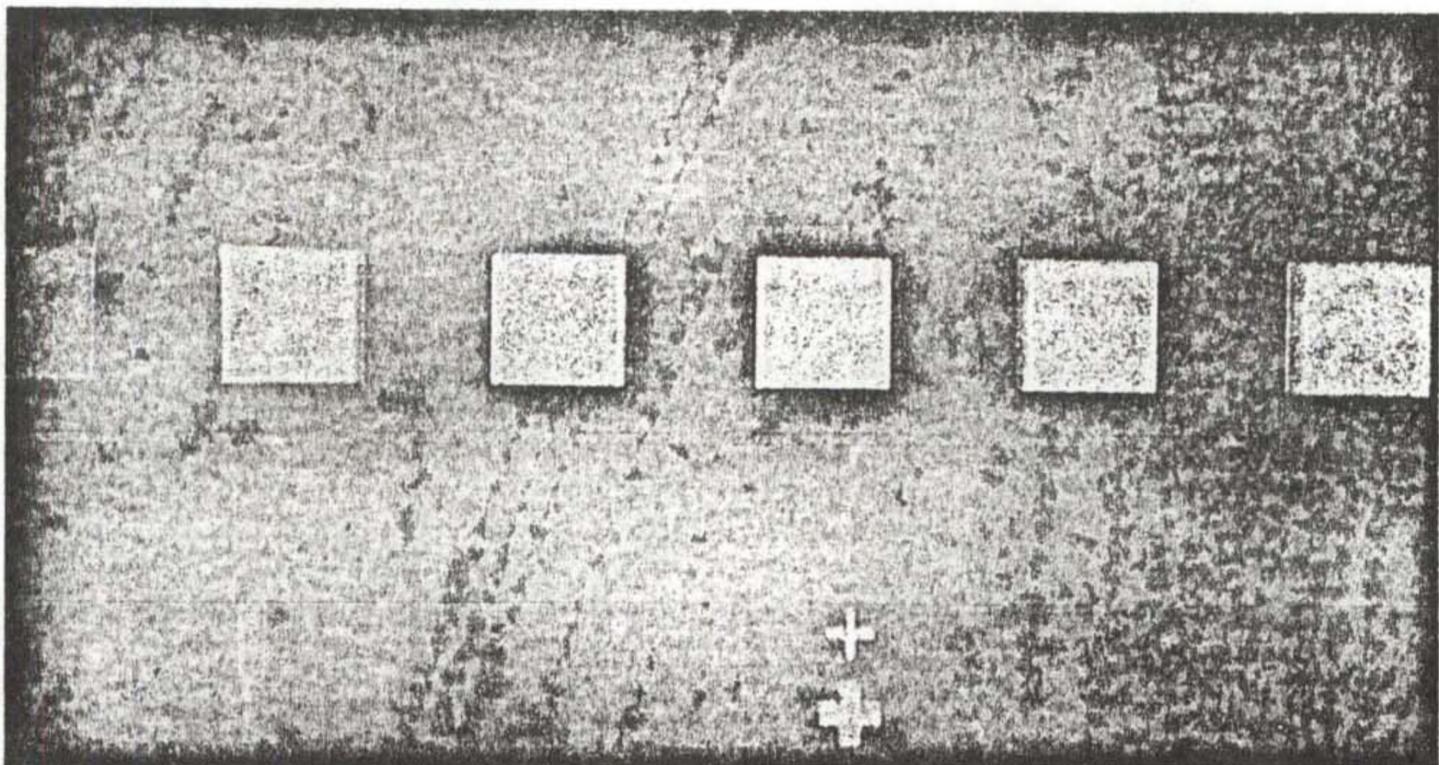
## 제 2 절 4" Si full-wafer 단위공정 연구

고기능 정밀센서의 제작에 고도로 발달된 실리콘 집적회로 제조공정 기술을 이용하고자 하는 연구가 널리 수행되면서 상당부분이 가능한 것으로 평가되고 있는 현실을 감안하여 본 연구에서도 센서제작용 4" Si full-wafer 공정기술을 개발하고자 시도하였다. 설계된 흐름-온도-압력 동시 측정용 다기능 Si 집적센서의 공정기술 연구는 1) 평면 공정기술에 의한 단일 실리콘 웨이퍼 가공기술과 2)실리콘 센서응용을 위한 실리콘-실리콘 용융접합 기술 개발로 대별하여 진행하였다. 실리콘 센서응용을 위한 실리콘-실리콘 용융 접합 기술에 대한 연구결과는 제 4 장에서 기술하였으며 본 절에서는 평면 공정기술에 의한 단일 실리콘 웨이퍼 가공기술에 의해 흐름-온도센서-압력센서를 제작하는 공정중 가장 중요한 부분으로 PECVD 에 의한 실리콘 관련 절연막의 제조와 화학 식각용액 및 활성화 이온에 의한 실리콘의 micromachining 을 언급하고자 한다. 이러한 중요 공정외에도 표준적인 실리콘 집적회로 제조기술인 초기 열산화막의 제조, 확산공정, 대면적 lift-off 공정기술, bonding 을 위한 Au-plating, Ni resistor 및 interconnection 패턴 제작공정 그리고 최종적인 package 기술등에 대해서도 요약하여 기술하고자 한다.

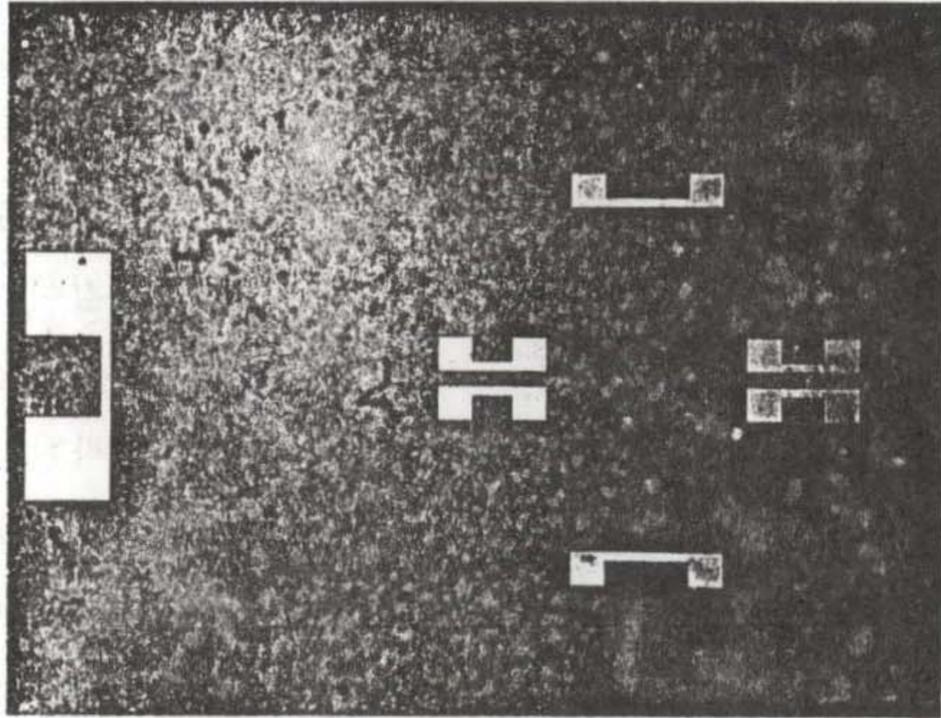
그림 2-2 는 1000 °C 의 건조한 산소 분위기에서 4" p-형 (100) 실리콘 표면에 약 1000 Å 두께의 산화막을 제조하고 연이어 PECVD 방법으로 약 1000 Å 두께의 실리콘 질화막을 성장하여 확산공정을 위한 절연막의 lithography 및 패터닝 상태를 나타낸 것이다. 2 층 실리콘 산화막/질화막의 패터닝은 NH<sub>4</sub>F/HF 용액의 체적비가 6/1 인 buffered HF 용액을 사용하였으며 상온에서 식각율은 분당 약 1000 Å 이다. 그림에 나타난 패턴은 그림 2-1 의 마스크 lay-out 중 MOSFET 의 소오스/드레인, PN 접합 다이오드, 압력센서의 piezo-resistor 및 thermopile 등이며 식각된 절연막의 선폭이나 간격등이 매우 균일하게 처리되었음을 알 수 있다.



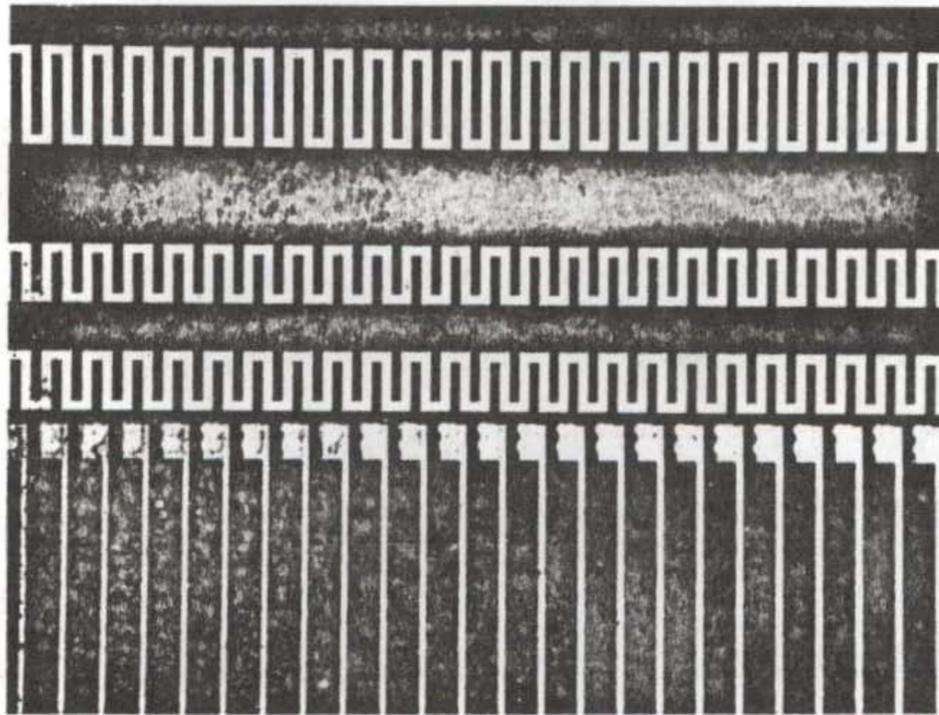
a)



b)



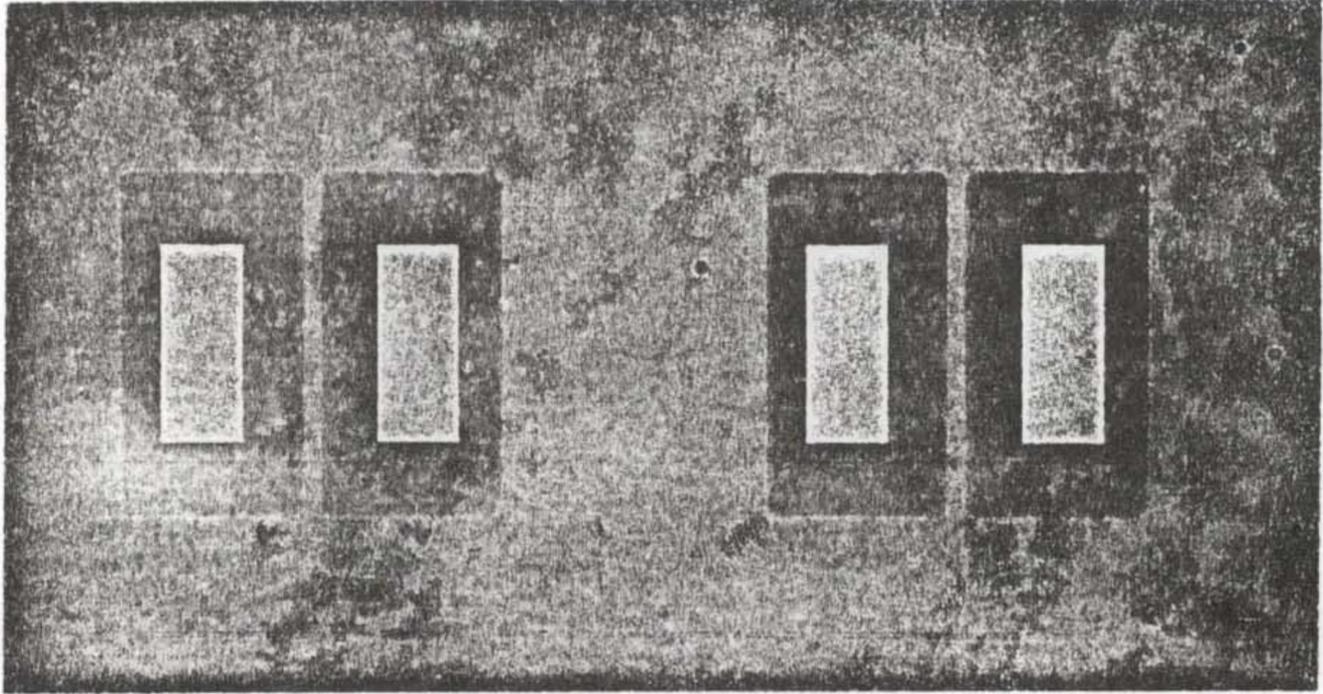
c)



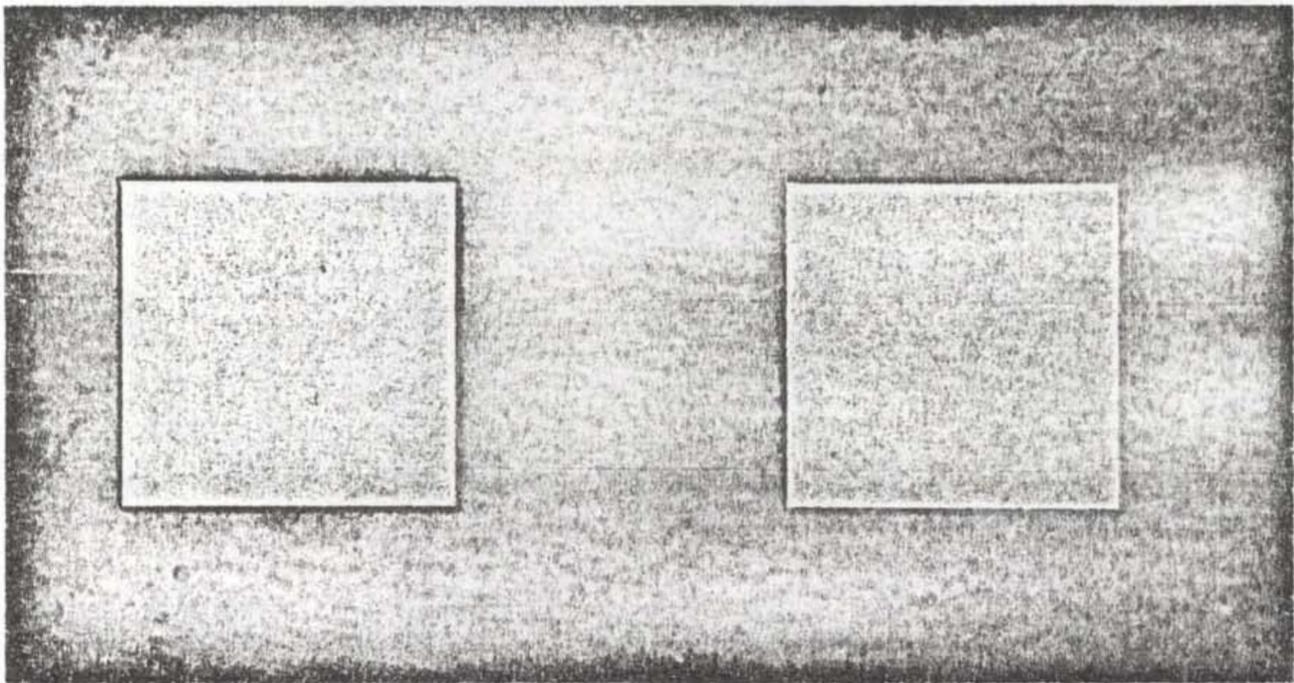
d)

그림 2-2 제작된 1st layer photo-mask 를 사용하여 2 층 실리콘 산화막/질화막의 lithography 및 패터닝한 결과 : a) MOSFET 의 소오스/드레인, b) PN 다이오드, c) 압력센서용 piezo-resistor, d) thermopile

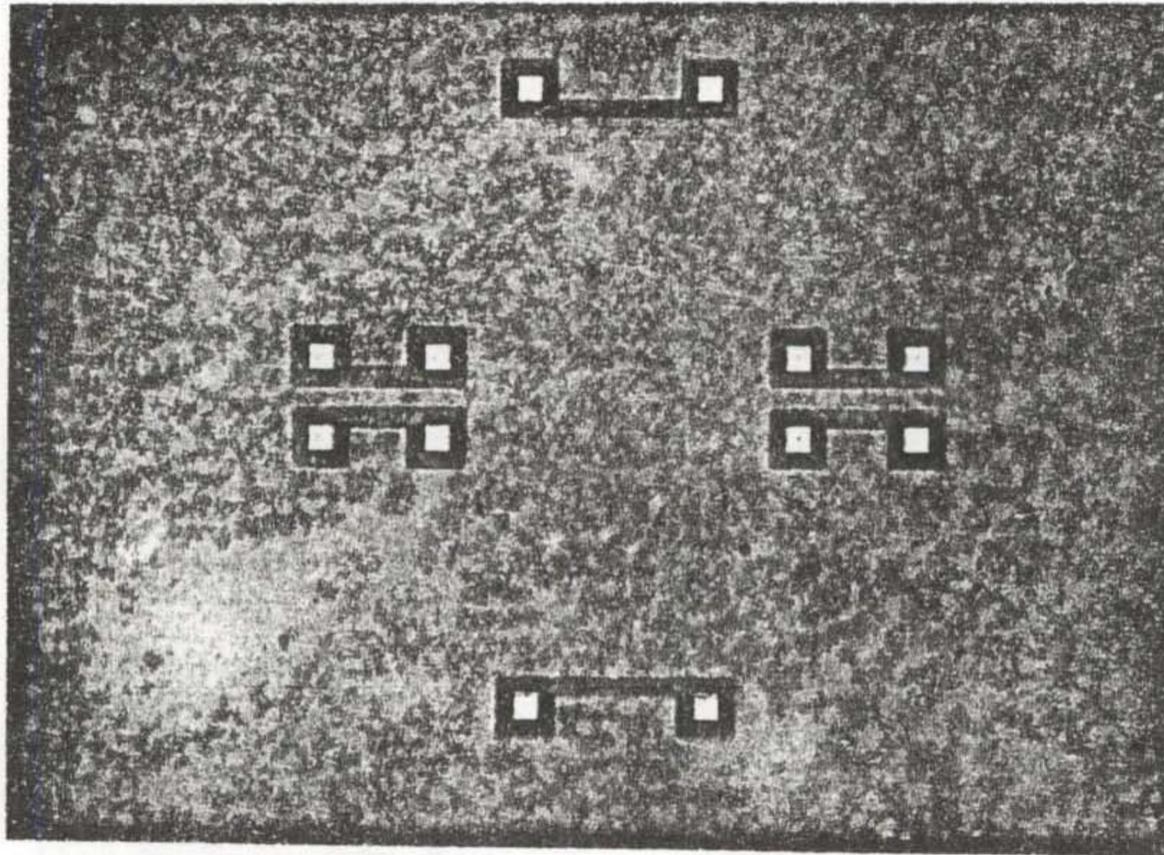
그림 2-2 의 초기 공정이 완료된 상태에서 4" Si full wafer 공정용 4 tube 전기로의 확산용 tube 에 4" phosphorous 고체 확산원과 함께 장입하여 확산공정을 수행하였다. 확산 공정은 일반적으로 2 단계로 나누어 지며 본 연구에서는 고순도의 질소 분위기의 850-900 °C 온도구간에서 30-60 분 범위의 확산원 predeposition 을 통하여 실리콘 웨이퍼의 표면에 흡착시킨 뒤 확산원을 제거하고 1000 °C 의 온도에서 원하는 접합깊이의 설정에 따라 적당한 시간만큼 drive-in 하였다. 제작된 접합깊이는 2-3  $\mu\text{m}$  범위이며 60-120 분 정도의 drive-in 에 의해 가능하다. 제작된 확산층은 위에 언급되어 있듯이 MOSFET 의 소오스/드레인, PN 다이오드, 압력센서용 piezo-resistor 및 thermopile 의 한 쪽 접합을 위한 공정단계이다. 이러한 확산층의 특성은 제작된 PN 접합 다이오드의 특성평가등을 통하여 확인될 수 있으며 이를 위하여 확산층상에 비정류성 접촉을 제작하여야 한다. 이러한 비정류성 접촉은 일반적으로 금속을 증착하고 열처리하여 제작할 수 있지만 사용되는 금속이 단순한 Al 이 아닌 경우 그 제작공정이 매우 어렵다. 본 연구에서는 Ti/Au 를  $n^+$  층의 비정류성 접촉을 위한 금속으로 사용하였으며 III-V 화합물 반도체 소자 제조공정에서 주로 사용되고 있는 lift-off (2-3) 기술을 적용하여 국부적으로 금속을 증착하고 고순도 질소 분위기의 450 °C 온도에서 약 30분간 열처리하여 비정류성 접촉을 제작하고 그 결과를 그림 2-3에 나타내었다. 그림에서 상대적으로 검게 나타나는 부분이 확산층이 제작된 영역이며 비정류성 접촉이 잘 정렬되어 제작되었음을 알 수 있다. 그림에서 압력센서용 piezo-resistor 의 연결부분, thermopile 의 연결부분, MOSFET 의 소오스/드레인 연결부분 그리고 PN 접합 다이오드상에 제작된 결과들로서 잘 확립된 공정조건에 의해서만 실현 가능한 기술이다. 이렇게 제작된 소자들중 기초적인 확산공정 및 비정류성 접촉 제작을 위한 lift-off 공정의 평가를 위해서 PN 접합 다이오드의 정류특성을 조사한 결과, 공정변수의 적절한 제어에 의하여 균일한 특성을 나타낼 수 있는 Si 공정기술로 평가되었고 구체적인 특성평가 결과에 대해서는 제 3 장의 제 1 절에서 자세하게 언급하였다.



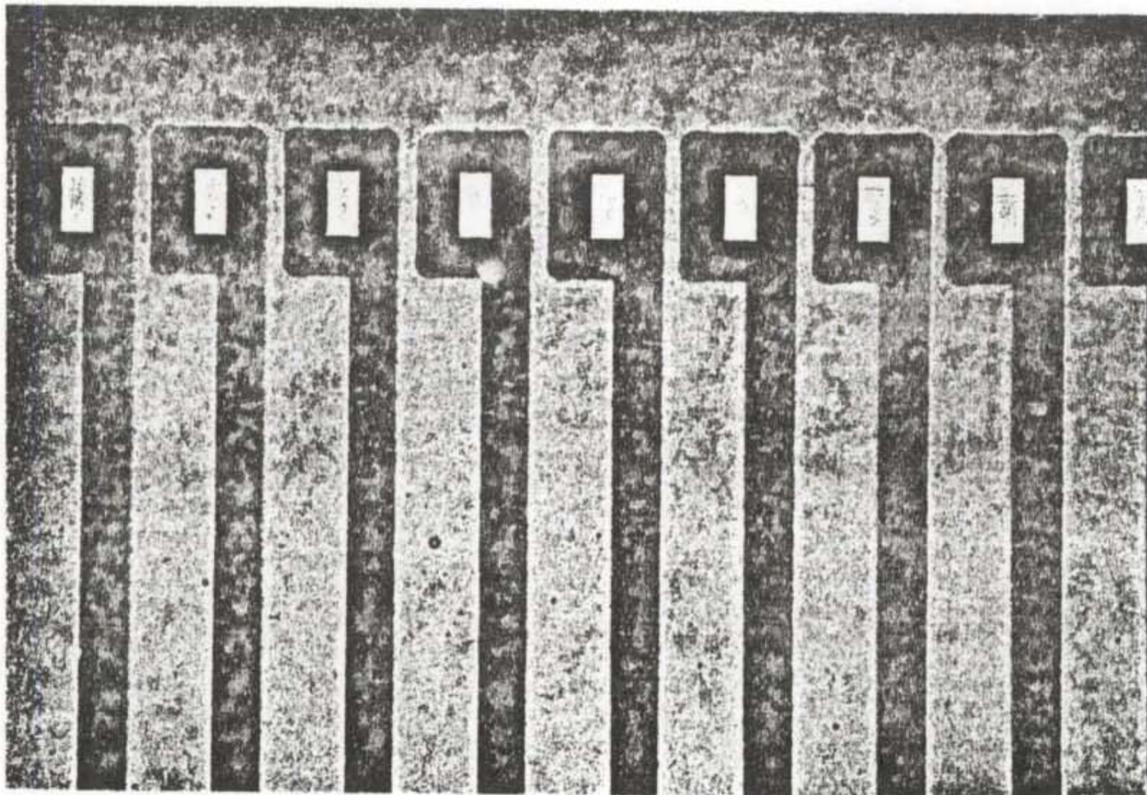
a)



b)



c)

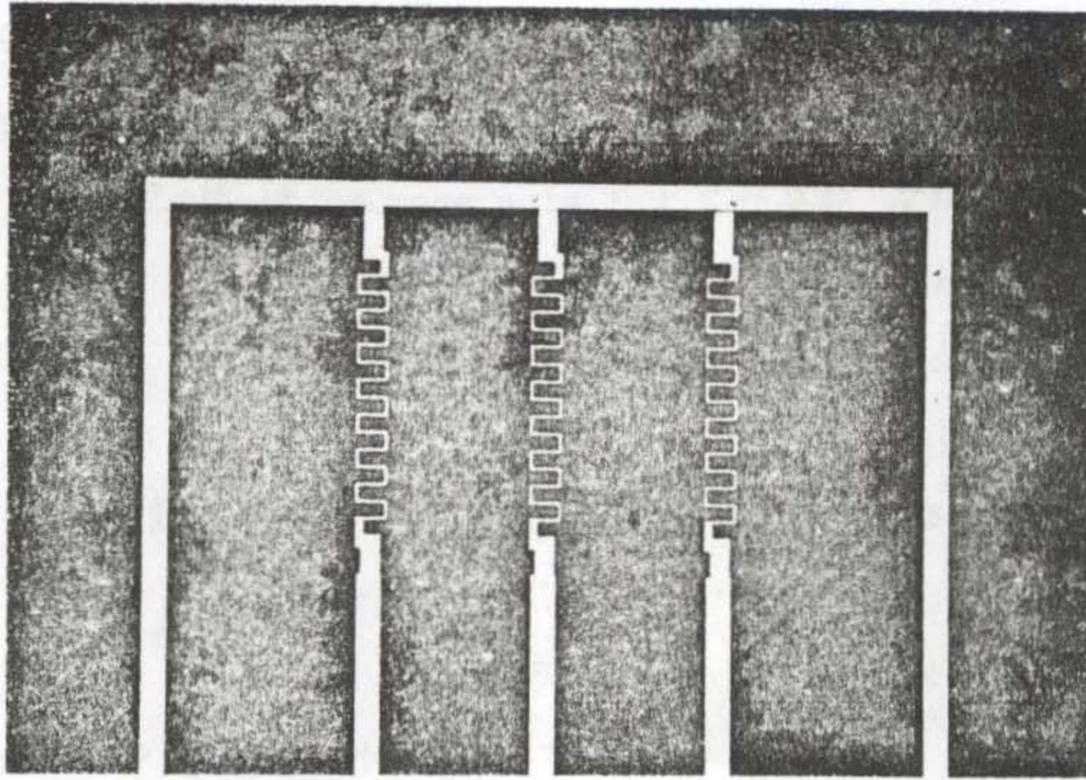


d)

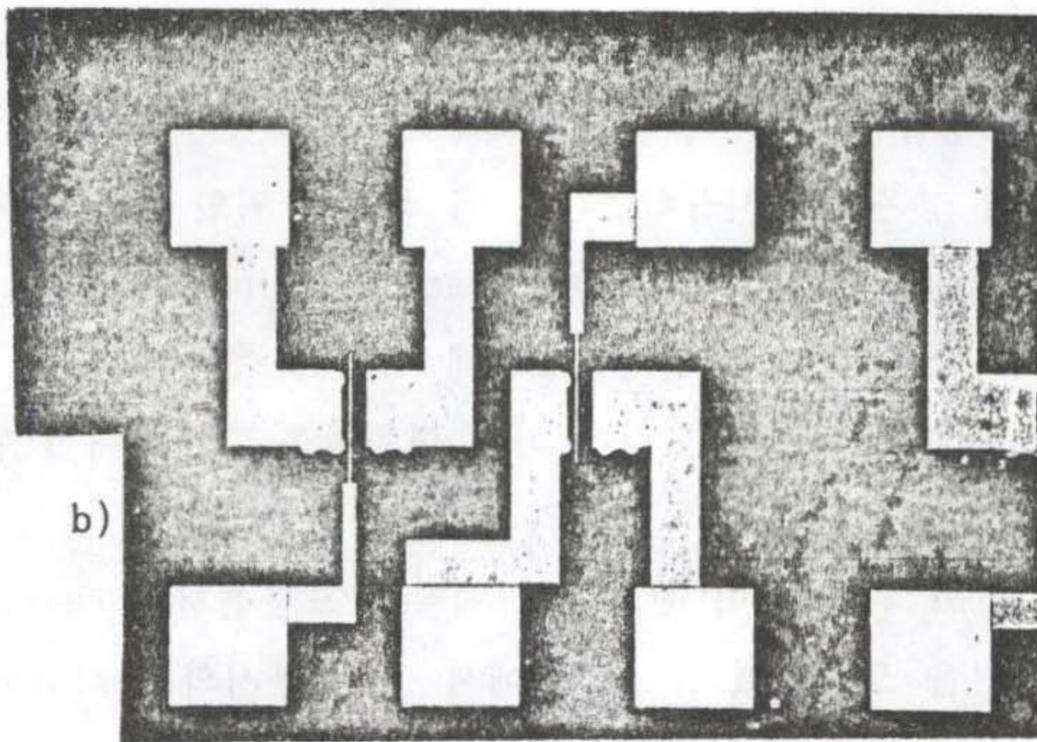
그림 2-3 고체 확산원에 의해 제작된 확산층과 그 위에 lift-off 공정기술을 사용하여 제작된 Ti/Au 비정류성 접촉: a) MOSFET의 소오스/드레인, b) PN 다이오드, c) 압력센서용 piezo-resistors, d) thermopile

비정류성 접착이 완료된 시료는 전면에 약 500-2000 Å 두께의 Ni을 증착하여 bonding-pad 부분과 interconnection에 대한 Au-plating 공정시 base material 로서도 사용하고 hot-wire anemometer 형 흐름센서의 히이터와 온도센서용 resistor 를 제작하게 된다. 약  $4 \times 10^{-6}$  torr 의 진공상태에서 텅스텐 보오트를 이용하여 Ni 의 증착이 가능하며 그 위에 3rd photo-mask의 사용에 의한 표준적인 PR lithography 공정으로 패턴을 제작한 뒤 plating 용으로 제작한 system 을 사용하였다. Plating 에 사용된 Au-시안화 용액은 온도 bath 를 사용하여 약 75 °C 의 온도로 고정하여 Pt 전극과 기판의 Ni 사이에 약 5 mA 의 일정한 전류를 흘리면서 약 1-3  $\mu\text{m}$  정도의 두께범위에서 시간을 조절하여 제작하였다. 이어 plating 이 완료된 시료는 표면의 PR 을 acetone을 이용하여 stripe 하였으며 현미경 등으로 그 상태를 관찰하였다. 다시 plating 이 완료된 표면에 Ni 식각 마스크인 4th photo-mask 에 의한 표준 PR 공정을 통하여 PR 을 마스크로 하여 MOSFET 의 게이트 및 흐름센서의 resistor 와 더불어 interconnection 을 위하여 Ni을 식각하게 된다. Ni 식각에 사용된 system 은 teflon을 가공하여 제작하였으며 식각 용액은  $\text{HNO}_3$  : Glacial acetic acid : D.I. water = 50 cc : 25 cc : 25 cc 의 조성을 가지는 대체로 식각속도가 느리고 안정된 식각특성을 나타내는 용액이며 상온에서 사용하였다. Ni 식각을 위한 PR 공정에서 실제 1-3  $\mu\text{m}$  범위의 step height 차이에 의해 interconnection 과 resistor 사이가 쉽게 끊어지는 경우가 자주 발생하였는데 이러한 문제는 공정 sequence 의 변화나 photo-mask상에 측면 식각에 의한 변화등을 고려하여야 할 것으로 생각된다.

그림 2-4 에 Ni 의 식각이 완료되어 제작된 흐름센서의 resistor 부분과 MOSFET 의 사진을 도시하였다. 그림에서 흐름센서의 resistor 선폭과 MOSFET 의 게이트 선폭은 10  $\mu\text{m}$  이며 모두 Ni/Au 의 2 층 interconnection 에 의하여 bonding pad 에 연결되어 있음을 볼 수 있다. 실제 제작된 MOSFET의 게이트 폭은 200  $\mu\text{m}$  였으며 bonding pad 의 크기는 200 X 200  $\mu\text{m}^2$  이고 제작된 resistor 의 저항은 수백  $\Omega$  에서 수 K $\Omega$  의 값을 나타내었다.



a)



b)

그림 2-4 3rd 와 4th photo-mask 에 의해 제작완료된 흐름센서의  
a) resistor 와 b) MOSFET 사진

이상의 과정을 통하여 설계된 집적센서의 전기적인 부분은 공정이 완료되며 최종적으로 뒤면과 전면의 Si micromachining에 의하여 thin membrane이 제작되고 scibing-line을 이용하여 단위 chip으로 잘라서 특성평가가 이루어지게 된다. 특히 뒷면의 micromachining은 Si이나 절연막을 통한 투과가 양호한 IR 광원을 이용한 double-side aligner를 사용하여야 하며 현재 본 연구에서는 자체 제작한 간단한 응용 system을 기존의 deep UV aligner에 첨가하여 양면 공정에 이용하고 있으며 반사율이 뛰어난 금속을 제외한 패턴은 약 500  $\mu\text{m}$  이상의 두께를 가진 Si을 통하여 선명하게 나타나 양면 공정에 손쉽게 응용 가능한 것으로 판단된다.

Si micromachining은 주로 화학 식각용액을 사용하는 습식식각이나 활성화 이온을 이용한 건식식각에 의해 이루어지고 있으며 Si을 이용한 센서에서 수 백  $\mu\text{m}$ 의 식각을 통한 thin membrane이 요구되는 압력센서의 경우에 주로 상대적으로 빠른 식각율과 균일한 표면특성을 보이는 화학 식각용

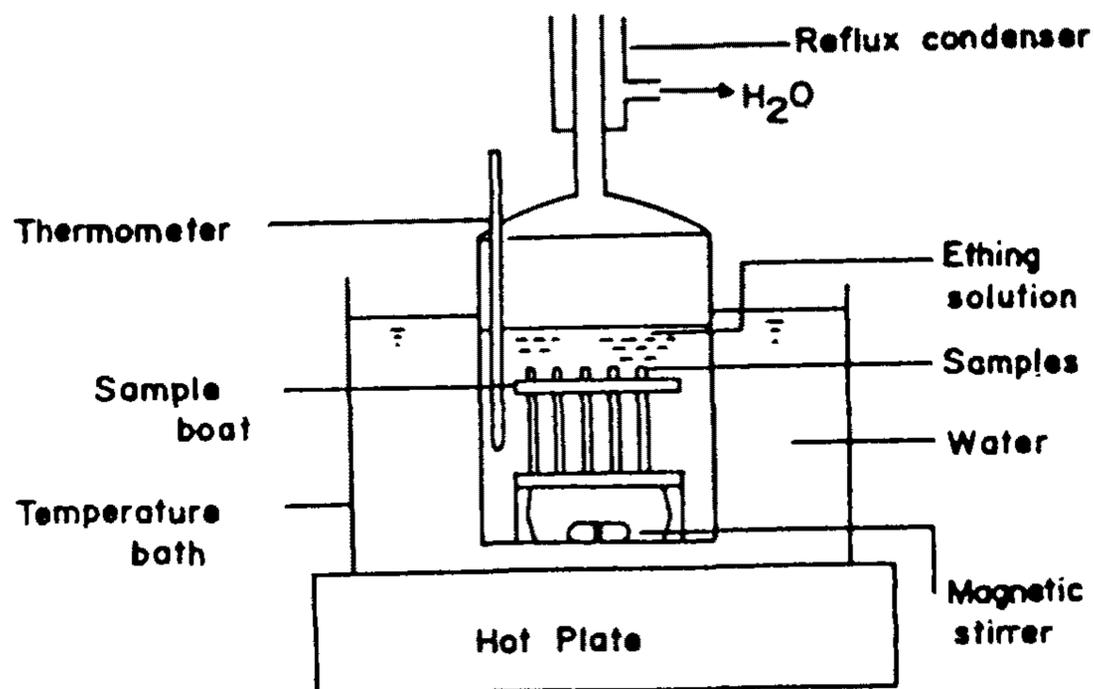


그림 2-5 화학 식각용액에 의한 Si micromachining에 사용된 장치

액을 사용하고 있으나(2-4, 5, 6, 7) 현재 Si IC 공정에서 일반화 되고 있는 건식식각 공정의 응용 가능성등을 알아 보기 위하여 활성화 이온에 의해 Si 을 식각하고 그 특성을 평가하였다.

화학 식각용액에 의한 Si의 식각을 위하여 본 연구에서는 그림 2-5 와 같은 장치를 자체 제작하여 사용하였다. 그림에서 화학 식각용액의 대부분이 실리콘 산화막의 식각을 유발하는 점을 고려하여 teflon 으로 제작된 용기를 사용하였으며 그 용기를 항온 bath 에 담아 상온에서 원하는 범위로 온도가 변이 가능하고 4" Si full wafer 공정이 가능하도록 제작하였다. 용액이 담긴 용기의 밑면에는 용액의 stirring 을 위해 magnetic bar 를 사용할 수 있도록 용액의 중앙에 시료를 잡아주는 간단한 시료 holder 를 역시 teflon 으로 가공하여 용기의 뚜껑과 연결하여 사용하였다.

그림 2-6 은 고순도의 증류수 100 ml 에 고체 상태의 KOH 75 mgr 의 비로 용해시켜 만든 실리콘 식각용액을 약 70 °C 의 온도에서 장시간 식각할 경우에 관측되는 (100) 표면의 etch-pit 과 표면상태를 나타내고 있으며 분당 약 1  $\mu\text{m}$  의 식각율을 나타내었다.

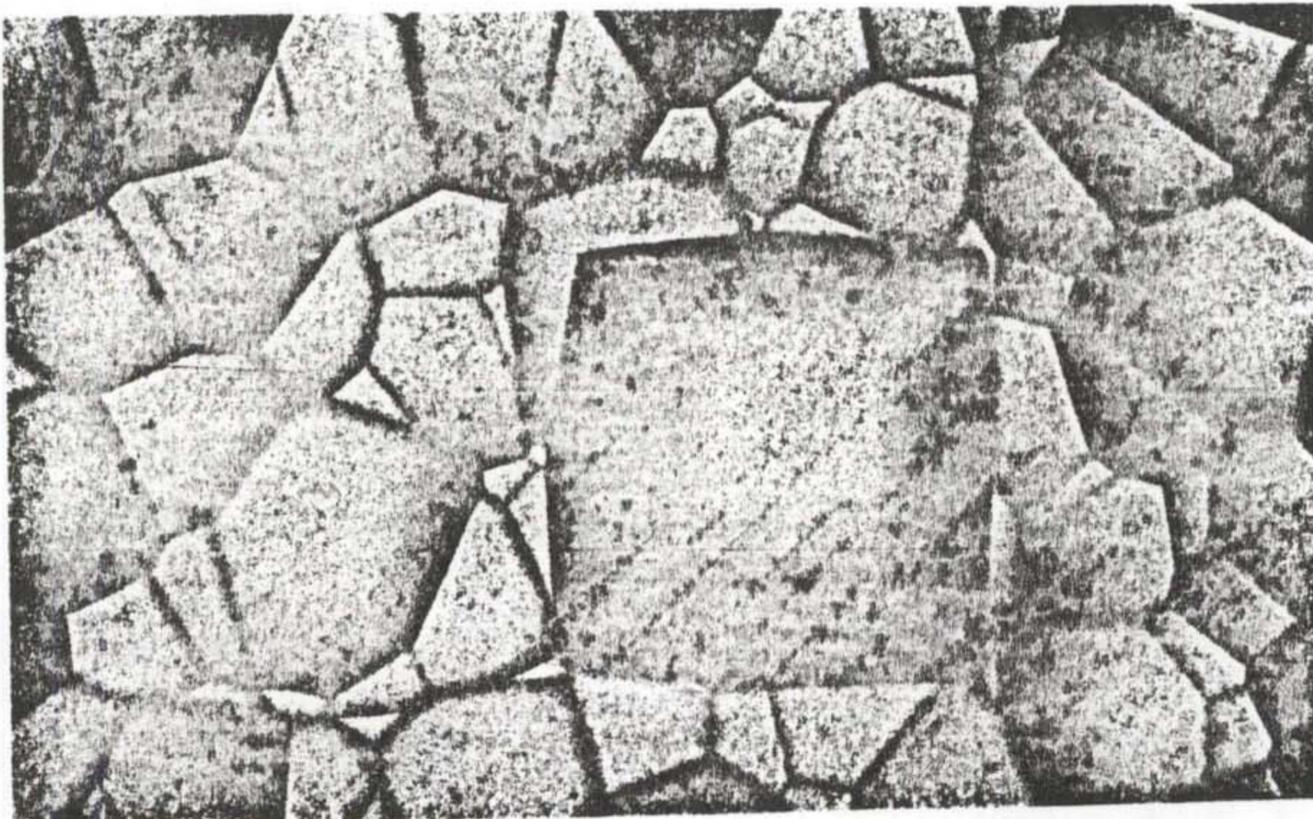


그림 2-6 70 °C 의 KOH 식각용액에서 장시간 식각될 경우에 관측되는 (100) Si 의 etch-pit 과 표면상태

화학 식각용액에 비해 물질에 따른 높은 선택성 (selectivity) 과 비등방성 식각 ( anisotropic etching ) 등의 특성을 가지고 있으며 화학적 활성화 개스와 불활성 개스를 함께 흘리면서 RF power 의 공급에 의해 plasma 상태로 유도하고 이 플라즈마의 활성화 개스에 의한 화학적 식각과 여기된 이온들의 표면충돌에 의한 기계적인 식각이 동시에 이루어지는 공정이다. 그림 2-7 은 본 연구에서 사용한 RIE 장비의 개략도를 도시한 것이다. 초기에 일정한 진공도로 pumping port 를 이용하여 챔버내를 배기한 상태에서 원하는 양의 활성화 개스와 carrier 개스를 그림 상단부의 gas inlet 을 통하여 흘리면서 챔버 내부의 진공상태가 steady-state 에 도달할 때 까지 배기한다. 챔버 내부의 진공상태가 steady-state 에 도달하면 matching network 을 통하여 챔버 내부에 위치한 anode 와 cathode 에 13.56 MHz RF power 를 공급하며 플라즈마 상태를 유도한다. 이때 공급되는 RF power 는 본 연구에서 제작된 장비의 경우 100 W 에서 300 W 범위에서 가변 가능하며 carrier 개스는 주로 Ar 개스를 활성화 개스로는  $CCl_2F_2$  와  $CF_4$  를 사용하고 있다.

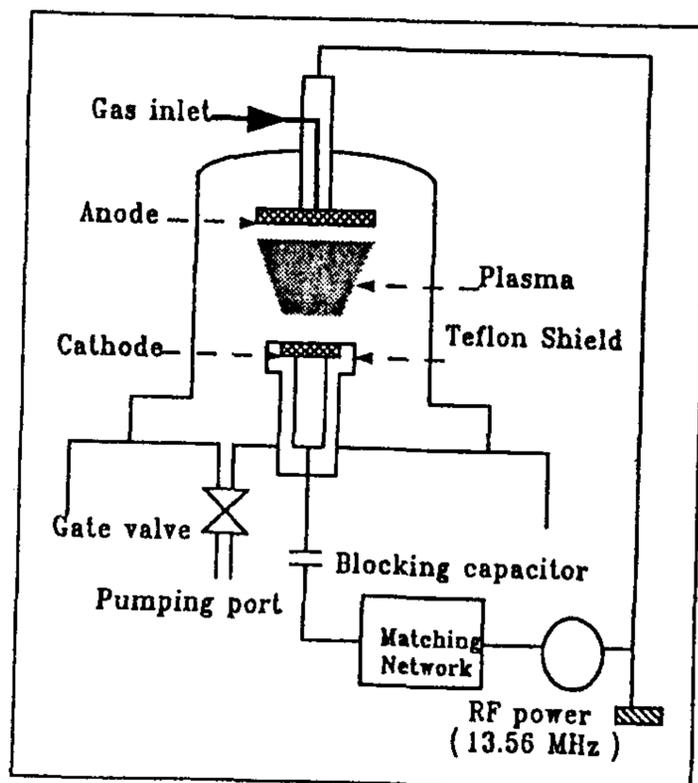


그림 2-7 본 연구에서 활성화 이온에 의한 Si의 micromachining 을 위해 사용한 RIE 장비의 개략도

그림 2-8 의 a)는 Ni 을 식각용 mask 로 사용하여 50 SCCM 의 CF<sub>4</sub> 개스와 25 SCCM 의 Ar개스를 흘리면서 300 W 의 RF power 에서 약 20 분간 활성화 이온에 의해 식각된 Si 의 SEM 단면 촬영결과이고 b) 는 260 W 에서 약 1 시간 15 분간 식각된 경우이다. 실제 식각된 깊이는 a) 에서 약 4  $\mu\text{m}$  b) 에서 약 10  $\mu\text{m}$  였으나 장시간 식각된 b) 의 경우에서 볼 수 있듯이 국부적으로 식각이 제대로 이루어지지 않은 큰 잔유물이 생겨 있음을 볼 수 있다. 이러한 식각특성은 화학 식각용액을 사용하는 경우에도 나타났으며 그 원인으로 활성화 이온의 식각 mask 로 사용한 Ni 의 잔유나 혹은 사용한 실리콘 기판의 자체적인 결함 그리고 식각과정에서 발생한 비 휘발성 잔유물등에 기인하는 것으로 추정된다. 이러한 비 균일한 표면을 제외하고는 두 경우에 식각된 표면은 약 0.5  $\mu\text{m}$  정도의 표면 거칠기 (surface roughness) 를 나타내었고 모두 비슷한 경사의 anisotropic etching 특성을 보여주고 있다. 그림에서 볼 수 있듯이 식각용 mask 로 사용한 Ni 이 위치한 자리는 매우 균일한 상태였으며 Ni 표면에 이온들의 충돌에 의한 손상이 미세하게 관측되었으나 활성화 이온에 의한 deep etching 시 mask 용 재료로 사용 가능한 것으로 판단된다. 본 연구에서 측정된 (100) 방향의 Si 식각율은 분당 약 0.2  $\mu\text{m}$  정도로서 화학 식각용액에 의한 식각율 1  $\mu\text{m}$  에 비해 상대적으로 적은 값을 보였으나 챔버 내부의 초기 진공도의 개선이나 높은 식각율은 나타내는 활성화 개스의 사용에 의하여 화학 식각용액에 버금가는 식각율을 나타낼 수 있는 것으로 보고되고 있으므로 (2-8) 센서제작용 공정기술로 정착되기 위해서 더 많은 연구가 진행되어야 할 것으로 사료되며 차기년도의 연구과제로 남아 있다.

그림 2-9 는 활성화 이온에 의한 실리콘 식각공정을 이용하여 폭이 200  $\mu\text{m}$  이고 간격에 170  $\mu\text{m}$  인 micro-bridge 패턴의 식각과정을 보여주는 결과이다. 그림 a) 는 동일한 크기의 5 개 패턴이 일정한 간격으로 식각되고 있음을 보여주고 있으며 그림 b) 는 식각된 표면상태를 확대하여 촬영한 SEM 사진이다. 대체로 거친 표면과 균일한 식각특성을 보이고 있으며 마스크로 사용한 Ni 은 장시간의 식각에도 거의 손상되지 않았다.

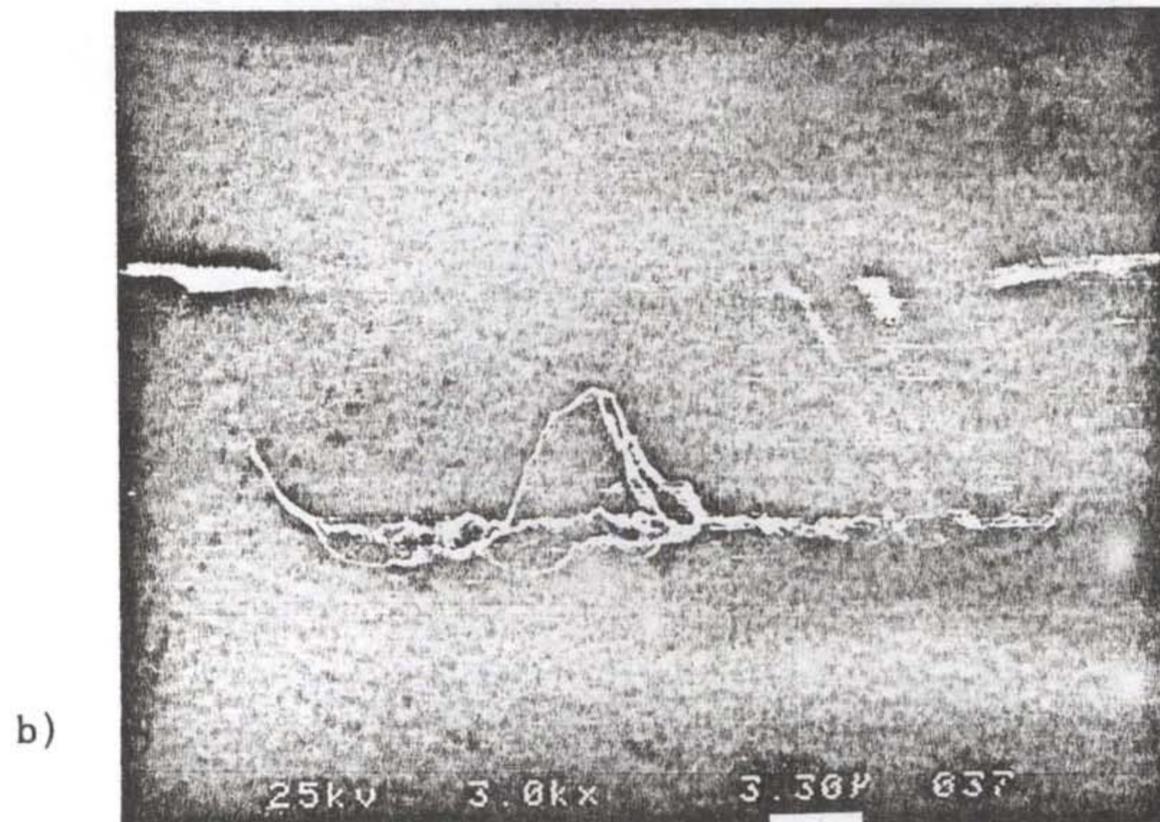
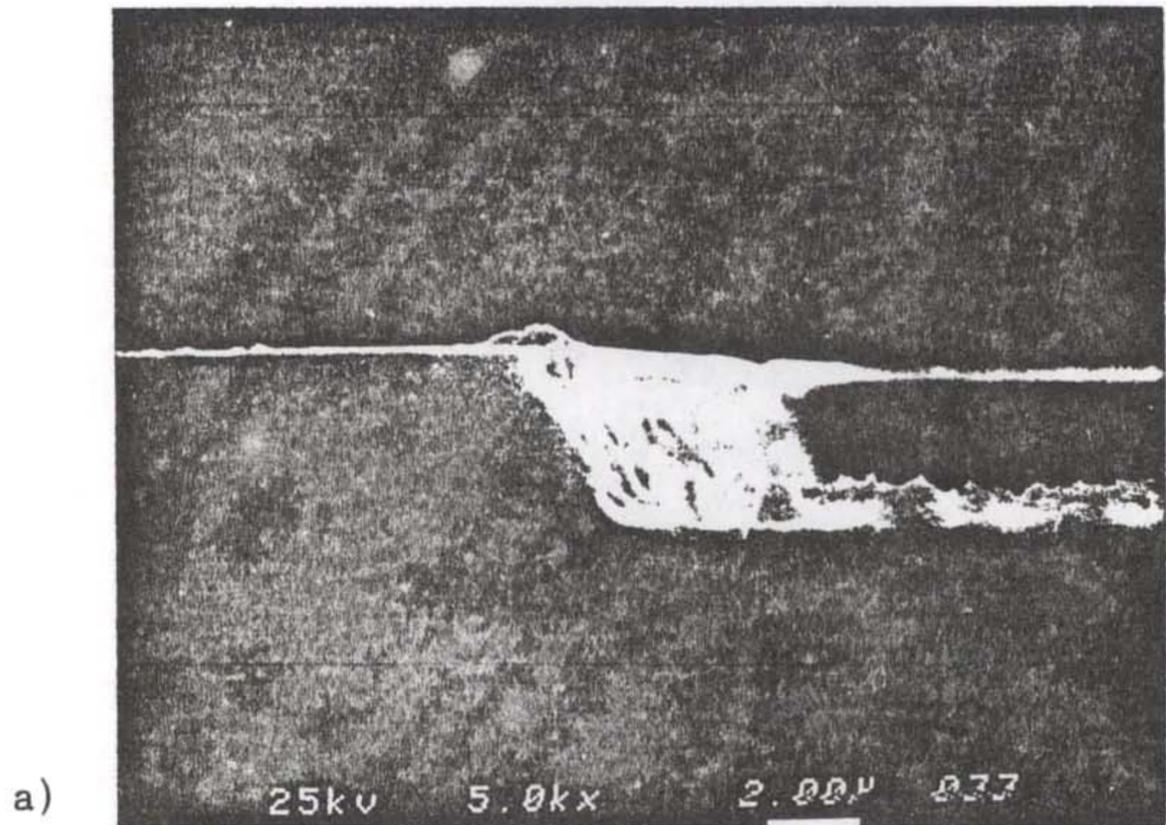


그림 2-8 Ni 박막을 마스크로 사용하고 50 SCCM의  $CF_4$  개스와 25 SCCM의 Ar 개스 흐름조건에서 RIE 공정에 의해 식각된 Si의 단면 SEM 촬영결과: a) 300 W RF power, 20 min, b) 260 W, 75 min

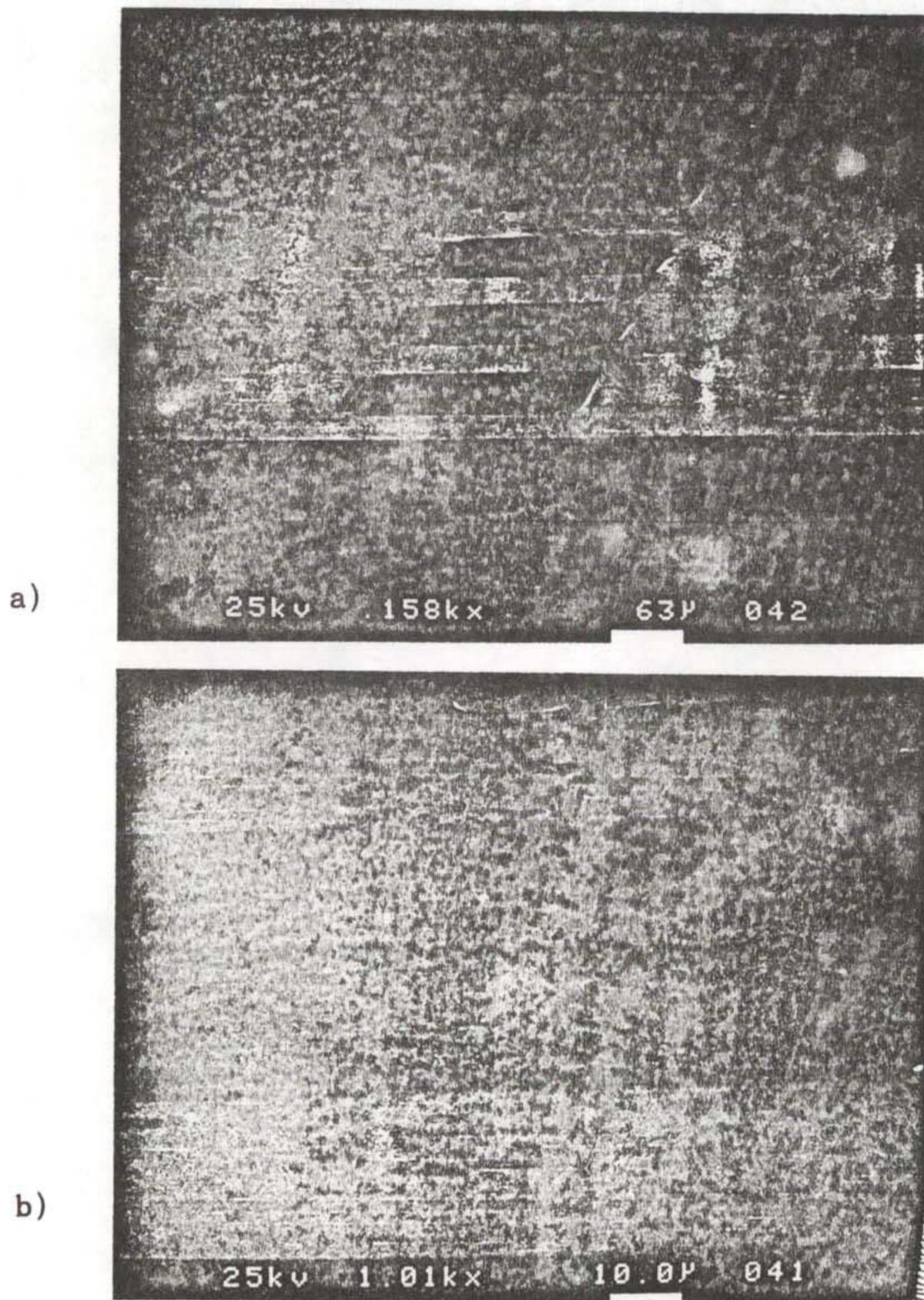


그림 2-9 Ni 을 식각용 마스크로 사용하고 50 SCCM 의  $CF_4$  개스와 25 SCCM 의 Ar 개스비에 의한 RIE 공정에 의해 Si micro bridge를 제작하는 과정의 SEM 사진: 260W RF power, 60 min, a) 흐름센서용 마이크로 bridge, b) 식각된 표면의 거칠기를 보여 주는 그림 a) 의 확대사진

## 제 3 절 집적된 공정에 의한 마이크로 실리콘 센서제작

앞절에서 기술된 센서제작용 단위공정에 의해 제작되는 실리콘 흐름-온도-압력 동시 측정용 집적센서의 전체적인 공정 흐름도는 그림 2-10 과 같다. 그림에서 각 단위 공정마다 1번 혹은 2번의 표준적인 PR lithography 공정이 요구되고 있으며 얇은 membrane 제작을 위한 뒷면 공정에는 double side alignment 등의 고도로 발달된 기술이 요구되는 매우 복잡하고 엄격한 공정조건의 확립이 제작되는 센서의 감도와 공정수율의 고양을 위해 절대적으로 요구된다. 그림의 전체 공정을 요약하면 아래와 같다.

- 1) Wafer : 4" p or n-type (100) Si,  $\rho = 4-5 \Omega \text{ cm}$  (test or master grade)
- 2) Oxidation : Dry  $\text{O}_2$ , 1000 °C, 1000 A ( 150-200 min)  
\*Annealing :  $\text{N}_2$ , 1100 °C, 30-60 min
- 3) PECVD :  $\text{Si}_3\text{N}_4$ , 200-300 °C , 1000 A
- 4) Dielectric patterning for diffusion : (1st diffusion mask)
  - \* RCA cleaning : TCE, acetone, methanol boiling
  - \* Photolithography : AZ 1350 J positive PR, 4000 rpm, 1.5  $\mu\text{m}$
  - \* Dielectric etch : BHF, 700-800 A/min
  - \* Diffusion : PDS 4" P or B source, 1000 °C, 30-60 min
- 5) Ohmic contact : (2nd metal 1 mask)
  - \* RCA cleaning
  - \* Photolithography
  - \* Metal evaporation : Ti/Au (n-type Si), Al (p-type Si)

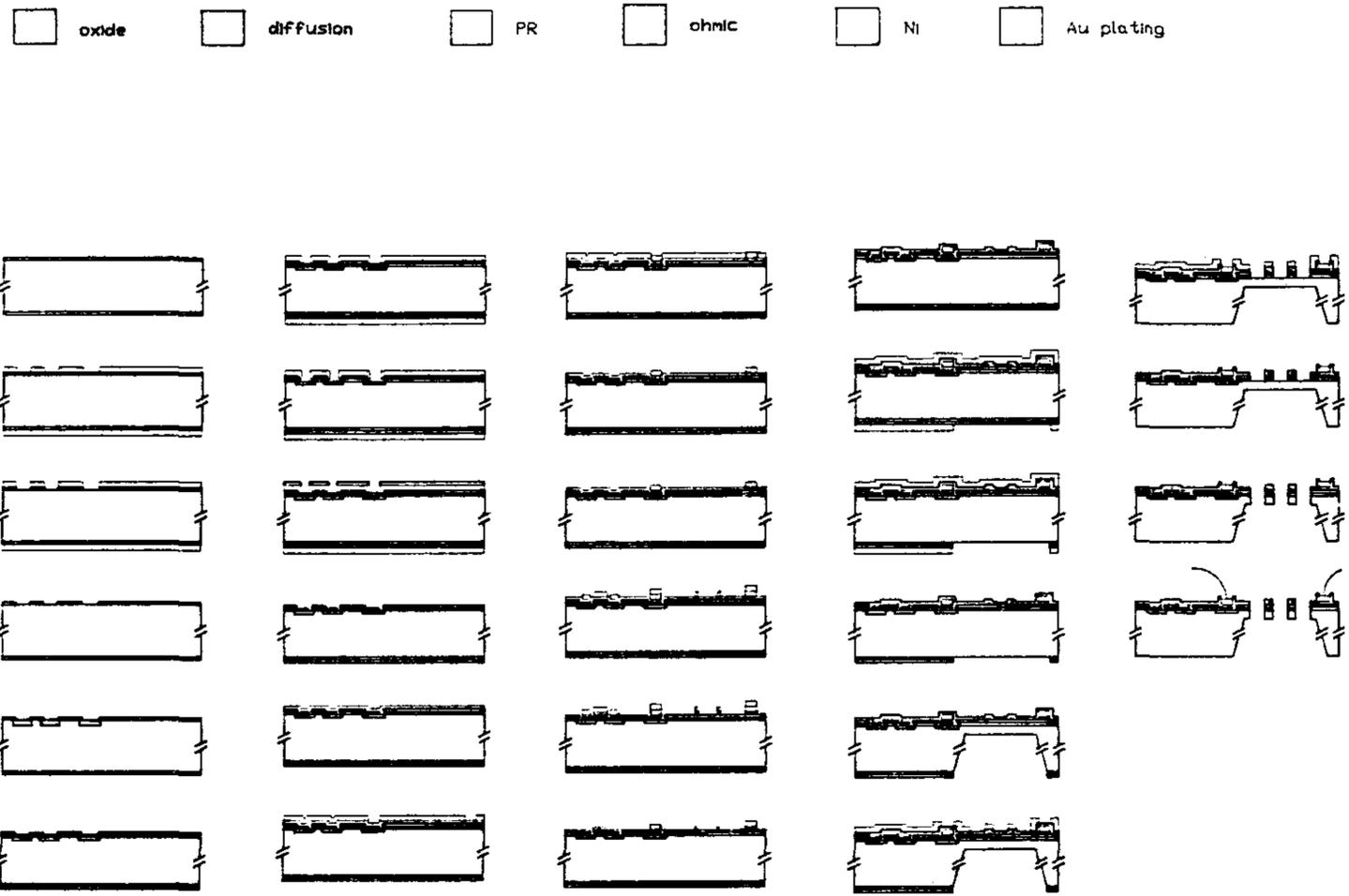


그림 2-10 집적된 센서 제작용 전체 공정의 흐름도

- \* Lift-off
- \* Annealing : 450 °C, 30-60 min

6) Au plating : (3rd metal 2 mask)

- \* RCA cleaning
- \* Ni evaporation : Purity 5N, 500-2000 A
- \* Photolithography
- \* Au plating : 70 °C, 5 mA, 2-5 min, 1-3 μm thickness

7) Ni etching : (4th metal 3 mask)

- \* RCA cleaning
- \* Photolithography
- \* Ni etching : HNO<sub>3</sub>:glacial acetic acid:D.I. water = 50 : 25 : 25
- \* PECVD : Both side, Si<sub>3</sub>N<sub>4</sub>, 1000 A

8) Backside Si micromachining : (5th etch 1 mask)

- \* RCA cleaning
- \* PR coating : a) Wet etching : Front side, PMMA or Masking PR  
Back side, AZ 1350 J  
b) RIE etching : Back side, AZ 1350 J only
- \* Photolithography : Back side, double side alignment
- \* Dielectric patterning : For wet etching
- \* Ni evaporation & lift-off: RIE etching
- \* PR strip
- \* Si etching : a) Wet etching : KOH : D.I. water = 75 gr : 100 ml,  
70 °C, 1 μm / min  
b) RIE etching : CF<sub>4</sub> / Ar gas ,0.2 μm/min  
( thin Si micro-membrane )

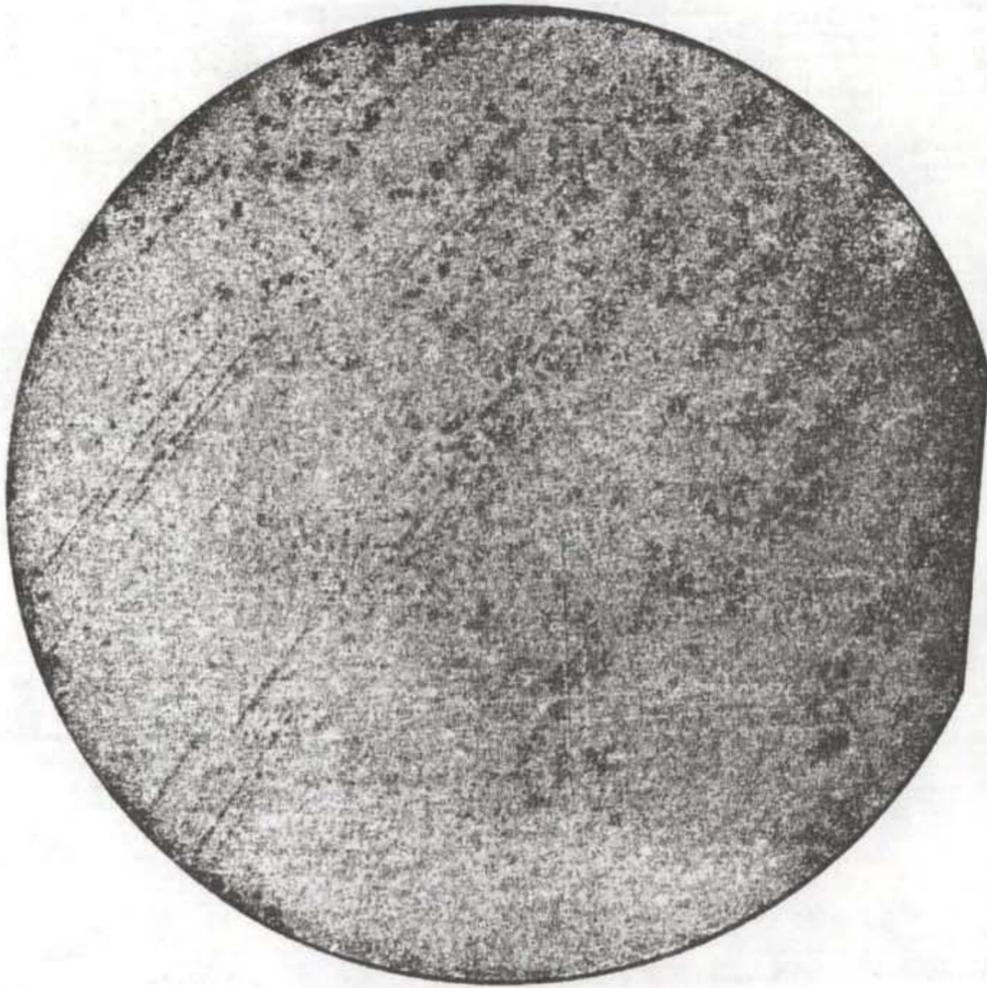
9) Front side Si micromachining : (6th etch 2 mask)

- \* RCA cleaning
- \* PR coating : a) Wet etching : Back side, PMMA or Masking PR  
Front side, AZ 1350 J  
b) RIE etching : Front side, AZ 1350 J
- \* Photolithography : Front side
- \* Dielectric patterning: For wet etching & bonding pad opening
- \* Ni evaporation & Etching : For RIE etching & bonding pad opening
- \* PR strip
- \* Si etching : a) Wet etching : same as 8)  
b) RIE etching : same as 8)  
(resonating micro-bridge)
- \* Ni mask etching

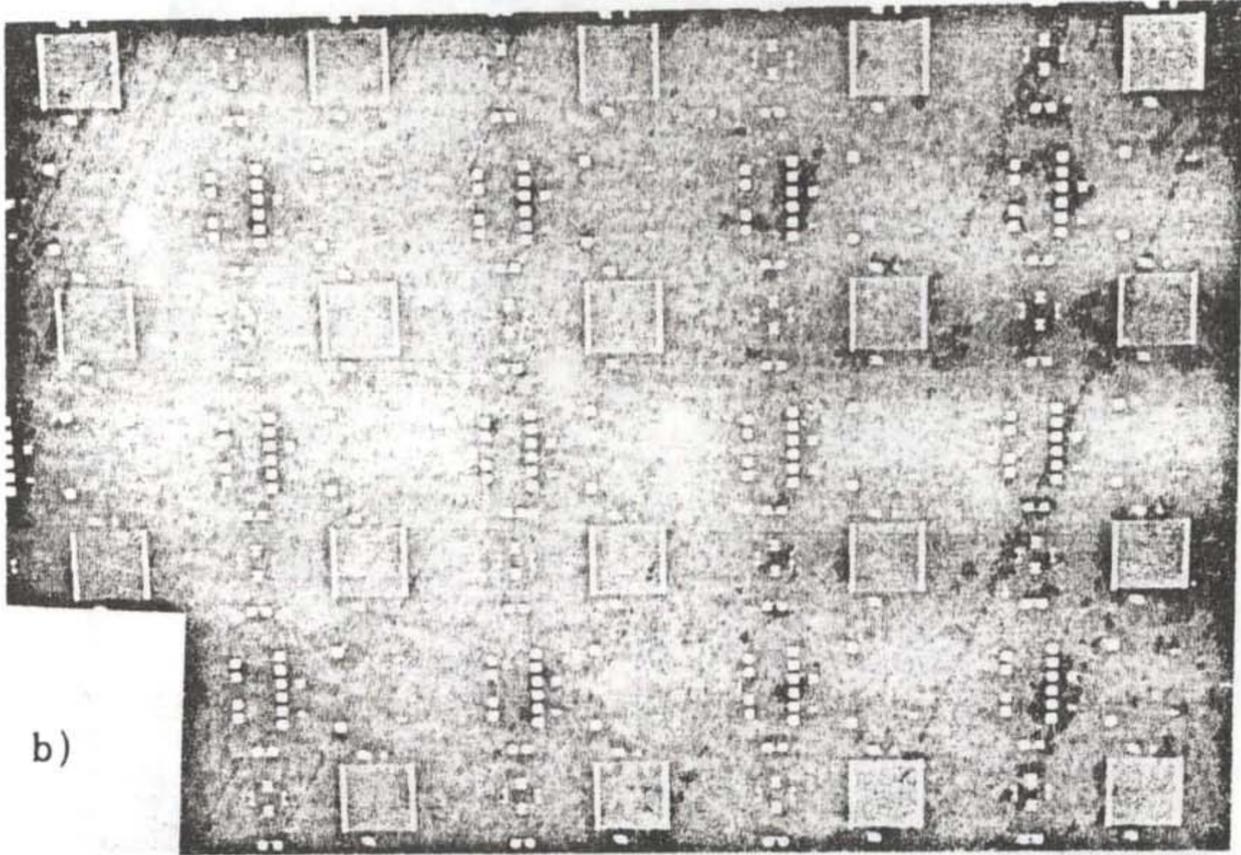
10) Package : Commercial 8-16 pin chip carrier

- \* Unit chip scribing : Integrated Chip, 6 X 6 mm<sup>2</sup>
- \* Bonding : Commercial Au ball bonder
- \* Test : Temperature, Flow, Pressure, IR response

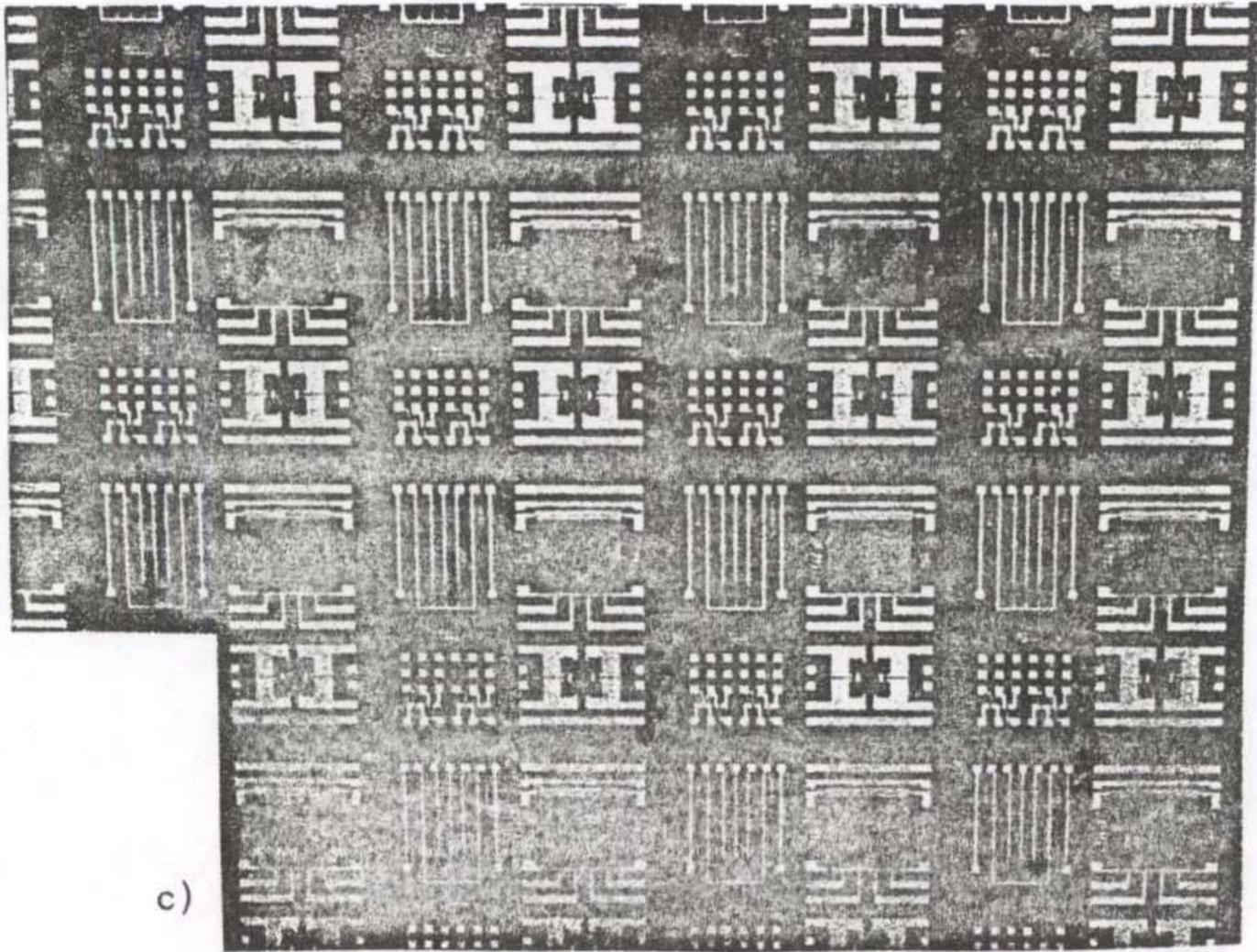
위에 기술된 전체 공정흐름도에 의해 실제 연속적으로 제작되는 과정을 촬영하여 그림 2-11 에 도시하였다. 그림 a) 는 실리콘 산화막/절연막이 제작된 초기 4" Si wafer 이고, b) 는 확산공정후 ohmic contact 공정까지 완료된 단계를 나타낸다. 그림 c) 는 Au plating 및 Ni 의 patterning 이 완료된 상태, d) 는 단위 칩으로 잘라낸 흐름-온도-압력 동시 측정용 집적센서를 보여주고 있으며 e) 와 f) 는 각각 상용의 칩 carrier 에 wiring 된 흐름 센서와 전체적인 집적센서를 나타내고 있다. 제 3 장에 기술된 PN 접합 다이오드와 절연막 그리고 흐름센서의 특성평가는 그림 2-11 의 e) 혹은 f) 상태에서 이루어지게 된다.



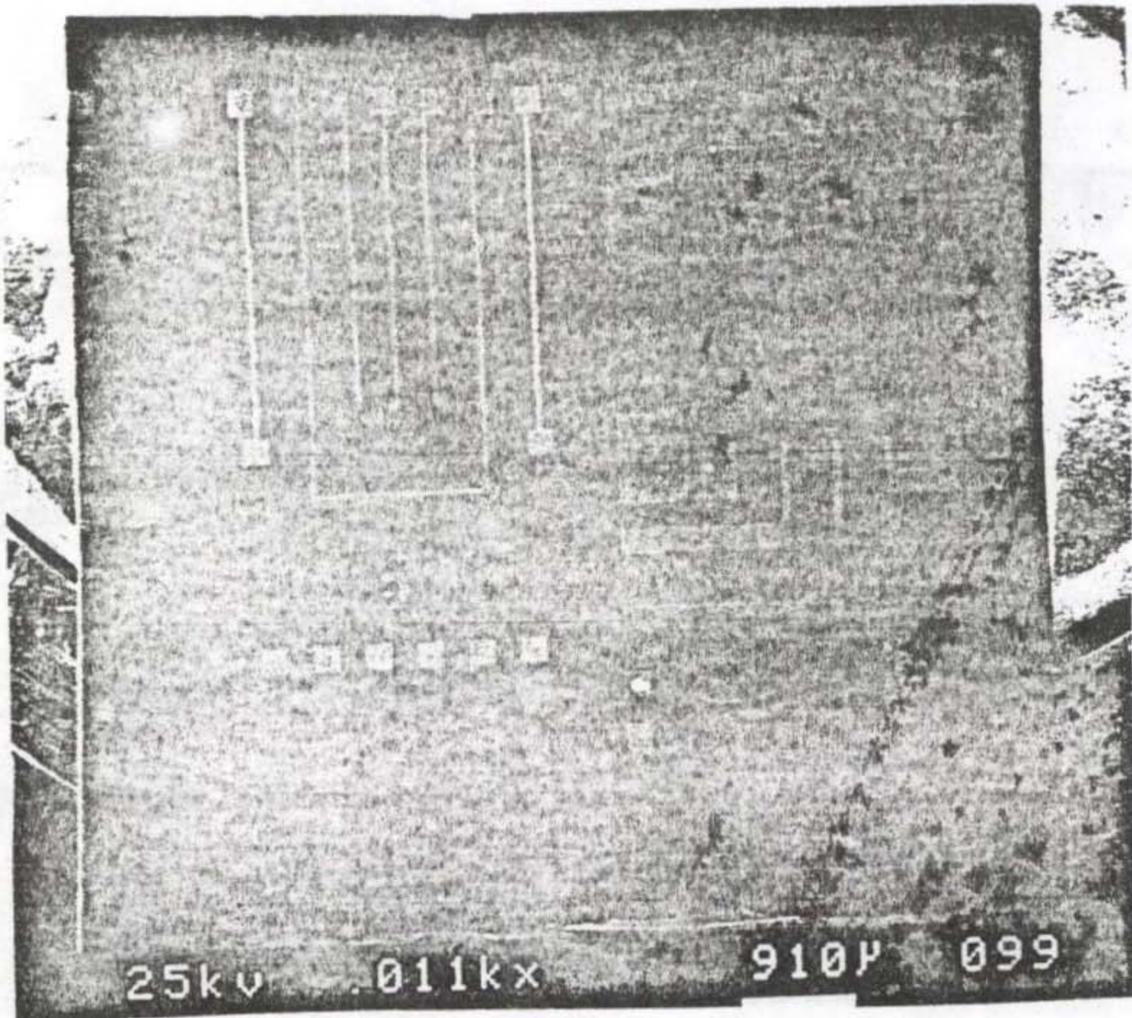
a)



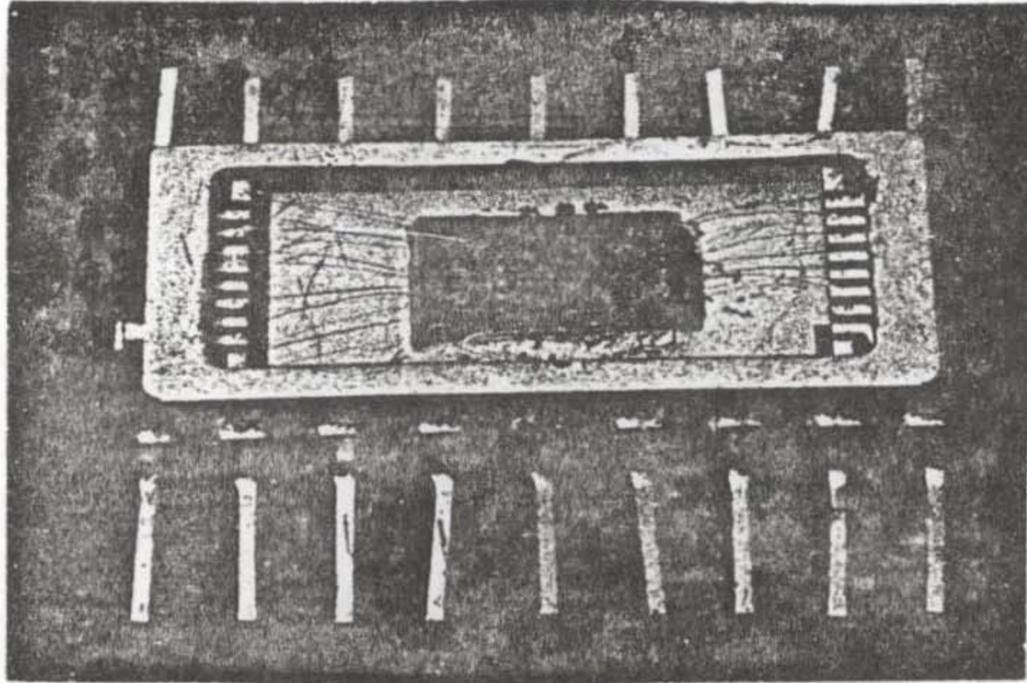
b)



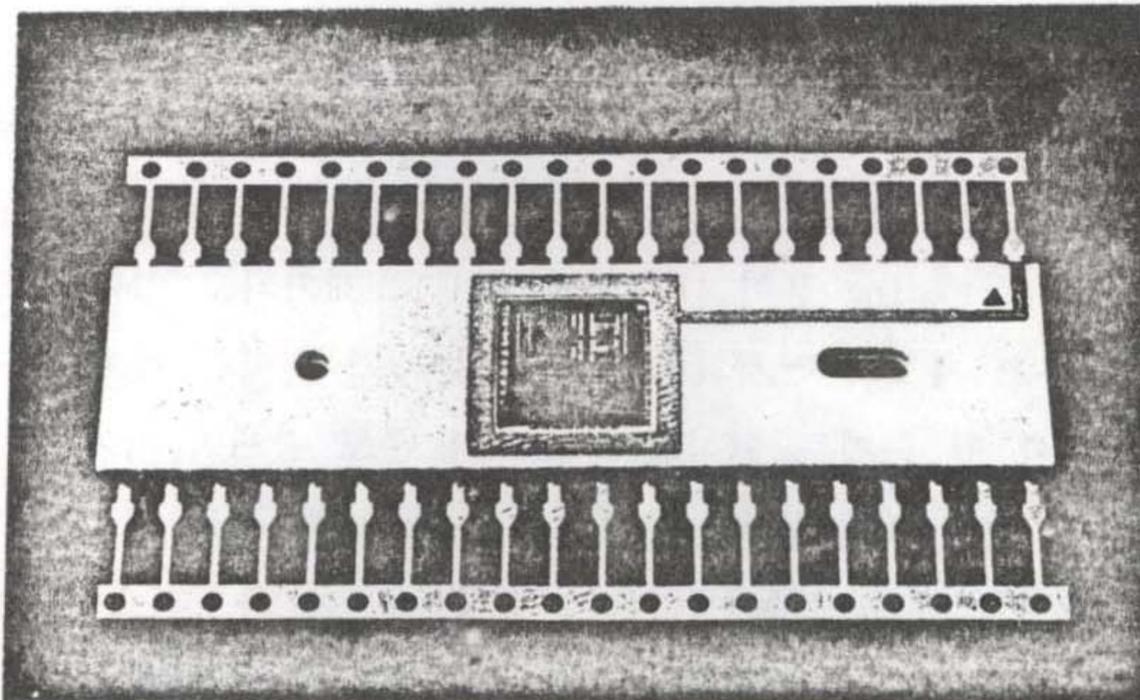
c)



d)



e)



f)

그림 2-11 집적화된 4" full wafer 공정에 의해 제작되는 집적센서의 각 공정단계별로 측정된 사진 : a) 2 층 실리콘 산화막/질화막이 제작된 4" Si Wafer, b) 확산공정 및 ohmic contact 공정까지 완료된 상태, c) Au plating 및 Ni 의 etching 까지 완료된 단계, d) 단일 칩으로 잘라낸 흐름-온도-압력 동시 측정용 집적센서, e) 전체 칩중 흐름센서만 상용의 칩 carrier 에 wiring 한 상태, f) 단일 칩으로 잘라낸 흐름-온도-압력 동시 계측용 집적센서의 bonding 된 상태

## 제 3 장 집적화 Si 마이크로 센서 특성평가

### 제 1 절 Si PN 접합 다이오드의 특성평가

초 고밀도 집적회로로 대변되는 최근의 반도체 산업에서 신기능 소자 혹은 고기능 센서에 대한 관심이 점차 고조되면서 극도로 발달된 Si 집적회로 공정기술을 이용하여 센서를 제작하고자 하는 연구가 다양하게 이루어지고 있다. 이러한 신기능 소자제작에 집적화 공정기술을 사용하기 위해서는 다양한 각도에서 해결되어야 할 문제점들이 지적되고 있는데, 이들중 system 단계의 partitioning 과 calibration 및 기초 소자제조 단계에서 공정 sequence 와 packaging 등이 대표적인 문제로 제기되고 있다. 또한 기계적인 Si 미세구조 제조와 전자회로 부분들의 제조에 따른 설계 단계의 양립성도 선결되어야 할 문제로 인식되고 있으나 온도, 광세기, 자기장, 이온, 압력등의 각종 물리적인 양을 측정할 수 있는 microelectronic Si 센서들이 비교적 저렴한 가격으로 제조될 수 있다는 가능성 때문에 공업기술이 앞선 선진 각국에서 집중적인 투자와 연구개발이 수행되고 있는 시점이다. (3-1)

이러한 신기능 소자들중 기체나 액체의 흐름 혹은 흐름속도의 측정과 정밀한 제어는 반도체 공정과 더불어 의료전자 분야등에서도 매우 중요한 문제로 인식되고 있다. 특히 MBE, CVD 그리고 RIE 와 같은 low pressure 공정에서는 sub-SCCM 영역의 정밀도가 요구되고 있으나 현재 널리 사용되고 있는 일반적인 hot-wire anemometer 형 센서는 (3-2, 3, 4) 약 1 SCCM 의 full-scale range 와  $10^{-2}$  SCCM 의 최대 분해능을 가지는 것으로 평가되고 있다. 더 개선된 분해능을 가진 용량형 압력에 기초한 flowmeter 에 대한 보고가 최근에 이루어 지고 있으나 (3-5) 일괄 공정상의 문제나 제조상의 난해한 문제를 안고 있는 것으로 평가된다.

본 연구에서도 개선된 분해능의 고기능 Flowmeter를 설계하고 평면, 일괄공정에 의해 소자를 제작하고 packaging 하여 특성을 분석하였다. 설계된 흐름센서의 기초적인 특성은 thermal isolation 이 우수한 micro-bridge 형 thin-dielectric막을 사용하는 hot-wire anemometer 로서 DC 와 AC 두 영역에서 출력특성을 가지는 복합적인 센서구조이다. 제 1장에서 이미 언급한 설계된 Si 마이크로 흐름센서용 photo-mask의 제작을 완료하고 design 된 공정순서에 따라 각 단위공정의 공정변수 확립과 더불어 일괄공정에 따른 공정의 양립성등과 같은 각종 문제점을 보완하면서 일괄공정 sequence 를 연구하였다. Si 마이크로 흐름센서 제작을 위한 중요공정을 아래 표 3-1 에 요약하였다. 표에서 알 수 있듯이 main 흐름센서와 함께 설계된 게이트 길이

표 3-1 Si 마이크로 흐름센서의 중요공정

공정	용도 및 기능 ( 중요 공정변수 )
DIFFUSION	Commercial Planner Diffusion Source, 4" wafers, Boron & Phosporous, PN Diode & S/D of MOSFET (Drive in Time & Temperature)
Ohmic Contact	P-type Si : Al, N-type Si : Ti/Au (Annealing Enviornment, Temperature & Time)
Si-Micro-Machining	Si-Micro-Bridge & Dielectric Micro-Bridge, Wet & Dry (RIE) Process (Chemical, Temperature, RF power, Gas Ratio & Time)
Packaging	Commercial Chip Carrier, 8-16 pins

10  $\mu\text{m}$  와 20  $\mu\text{m}$  인 MOSFET 의 소오스/드레인 영역과 PN 다이오드 제조를 위한 공정으로 4" 크기의 wafer 형 planner diffusion source(PDS)를 사용하여 공정을 수행하였다. Diffusion 공정에서 중요한 변수는 고순도 질소 분위기에서 먼저 predeposition 한뒤 원하는 표면 불순물농도와 접합깊이에 따라 well drive in 온도와 시간을 미리 결정하여 전기로를 제어하여야 한다. 실제 제작된 MOSFET 과 PN 접합 다이오드는 그 기능상 주로 온도센서로 사용되거나 히이터 혹은 신호처리부의 능동소자로 활용될 수 있으므로 본 연구에서도 공정검증용 및 온도센서용 test-pattern 역할을 하고 있다.

그림 3-1 에 실제 제작된 PN 접합 다이오드의 상온 선형 전류-전압 특성곡선을 나타내었다. 그림에서 볼 수 있듯이 제작된 PN 다이오드의 정류

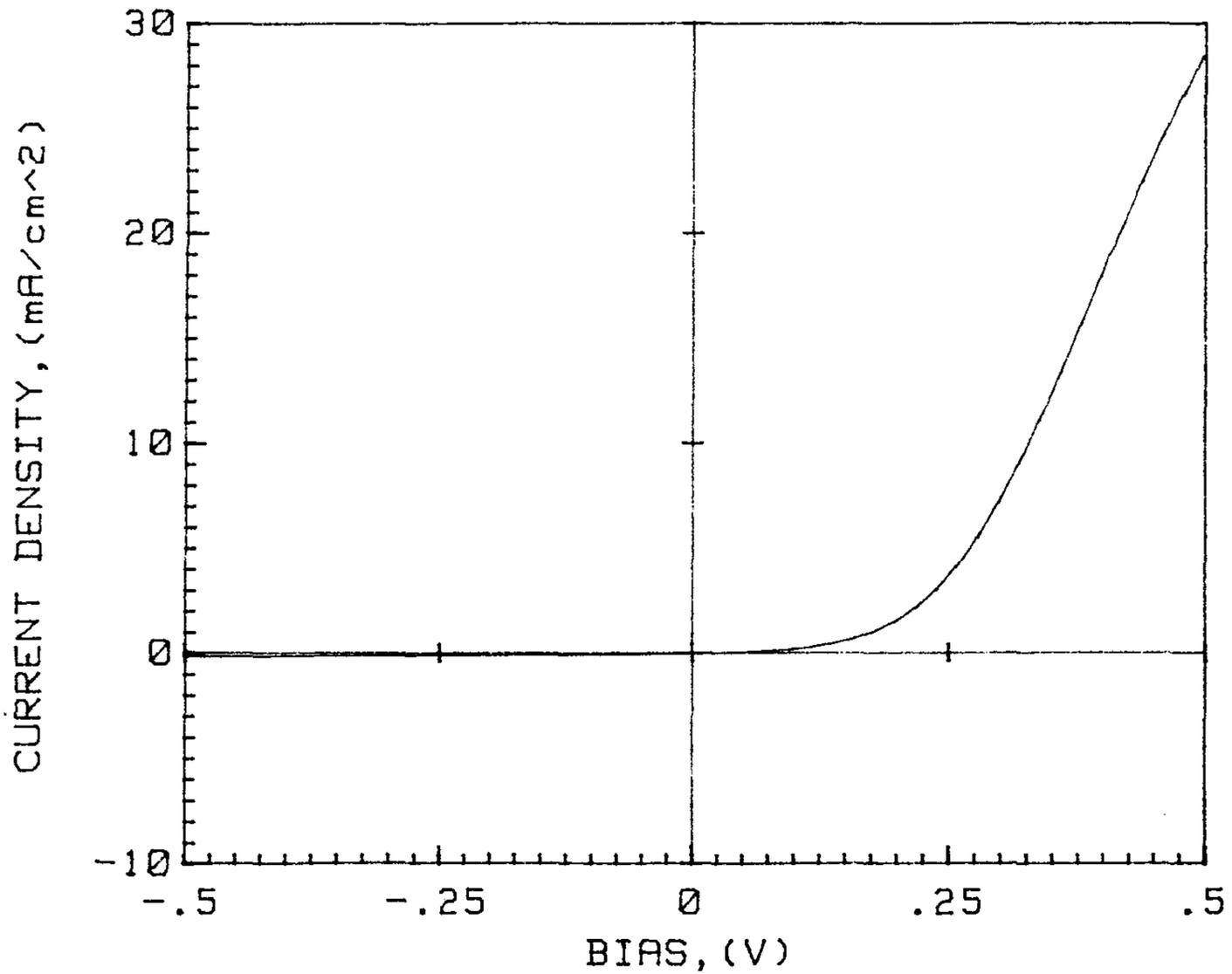


그림 3-1. Diffusion 공정에 의해 제작된 PN 다이오드의 상온 I-V 특성곡선

특성은 대체로 양호한 것으로 평가되었으며 접합장벽이나 ideality factor 등의 다이오드 변수도 동일 wafer 내에서 매우 균일한 특성을 보였다. 불순물의 predeposition 은 약 850 °C 에서 30 분간 이루어졌으며 drive in 은 1000 °C 의 온도에서 30-60 분간 수행하여 접합깊이를 2-3 μm 정도로 제어하였다. (3-6) MOSFET 이나 PN 다이오드를 온도센서로 사용하기 위해서는 이들 소자의 온도에 대한 반응특성을 조사하여야 한다. MOSFET 에 비하여 PN 다이오드의 전류-전압 특성이 비교적 잘 알려져 있으며 흐름의 온도를 측정하기 위하여 실제 소자에서도 사용되고 있다. (3-7) PN 다이오드의 순방향 및 역방향 전류-전압 특성은 온도에 매우 민감하며 초기에 Shockley 등에 의해 이상적인 모델이 세워졌으나 surface effect, 공핍영역에서 전류운반자의 generation-recombination, bandgap 내 존재하는 에너지상태들 사이의 전류운반자 천이, 상대적으로 적은 순방향 전압에서도 발생 가능한 높은 전하주입조건 그리고 기생저항 효과등에 의하여 Si 이나 GaAs 접합 다이오드에서는 보완된 전류-전압 특성에 대한 방정식이 사용되고 있으며 (3-8) 순방향 전류-전압 특성은 아래와 같이 나타낼 수 있다.

$$J_F = J_s \exp(qV/nKT)$$

위의 식에서  $J_s$  는 역방향 포화전류 밀도를 나타내며 온도에 대한 의존성이 있으나 순방향 전류-전압 특성은 Kelvin 온도의 역에 대해 지수적인 변화를 예상할 수 있다. 따라서 일정한 전압에서 전류밀도와 온도사이의 지수적인 관계를 토대로 일정한 전압에서 전류밀도의 변화를 온도로 변환 가능하게 된다.

온도변화에 따른 Si PN 다이오드의 전류-전압 특성곡선을 그림 3-2 에 나타내었다. 그림 3-2 의 a) 는 순방향 선형 전류-전압 특성을 나타낸 것이며 b) 는 지수적인 순방향 및 역방향 전류-전압 특성곡선의 온도에 따른 변화이다. 온도는 상온에서 32, 42, 46, 60 °C 로 변화시켰으며 실험된 온도구간에서 적은 온도변화에도 대체로 전류밀도의 변화가 큼을 알 수 있었다.

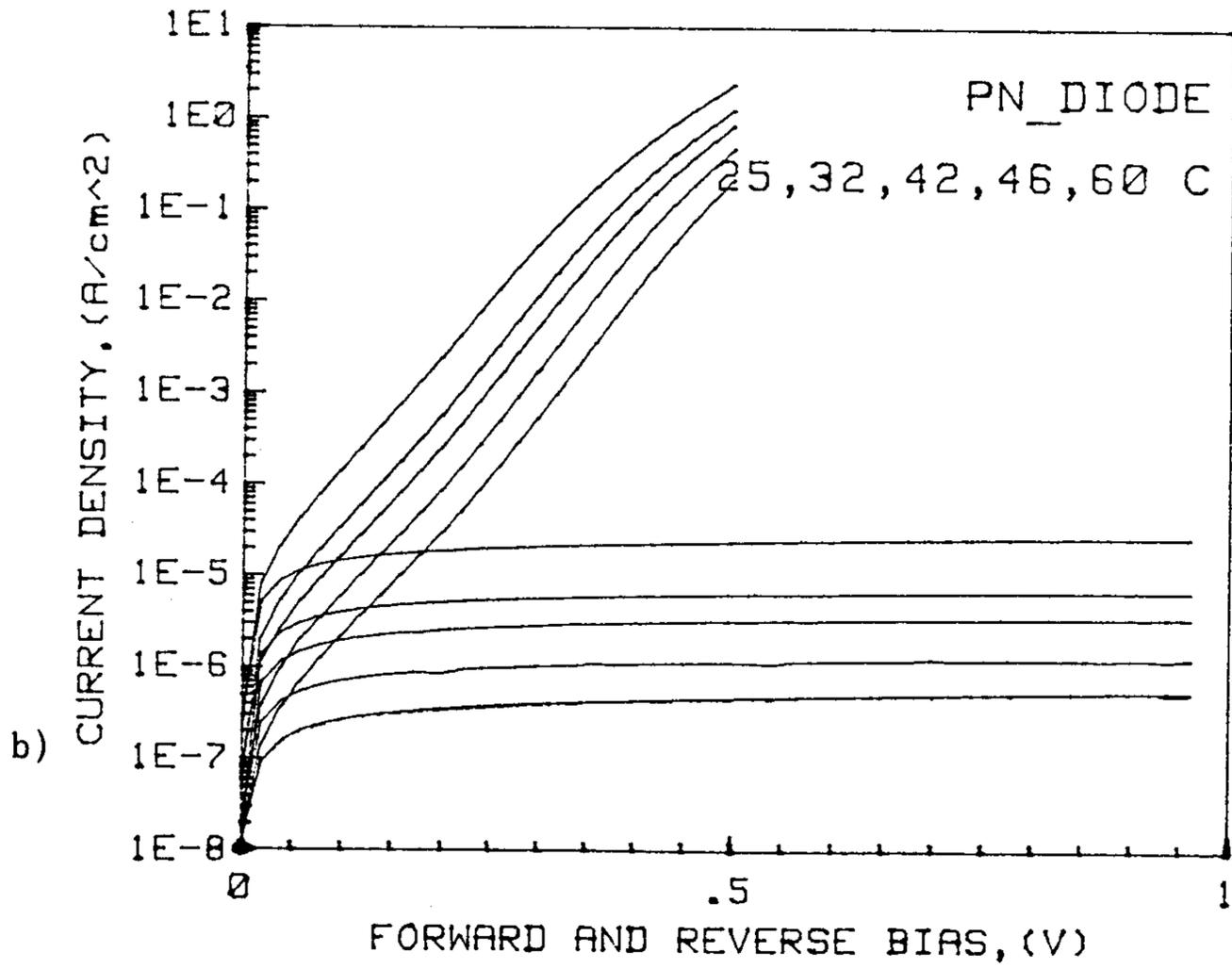
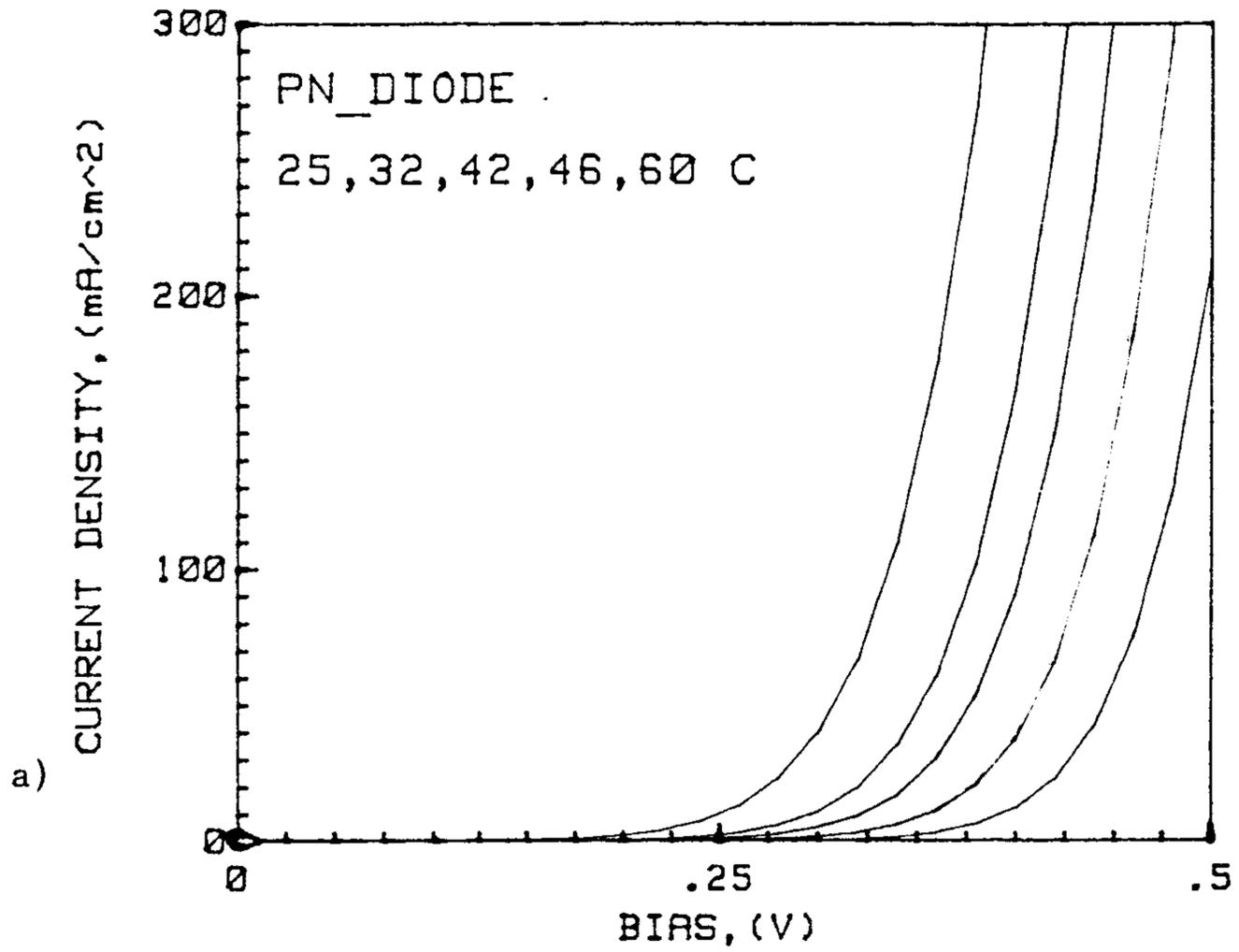


그림 3-2. a) 온도변화에 따른 순방향 선형 전류밀도-전압 특성곡선의 변화, b) 온도변화에 따른 순방향 및 역방향 전류밀도-전압 특성곡선의 변화

그림 3-3 은 그림 3-2 의 결과에서 일정한 전압 ( 0.5 V ) 에서 온도변화의 역과 그에 따른 순방향 전류밀도의 변화를 지수적으로 나타낸 결과이다. 그림에서 상온 25 °C 에서 측정된 초기 전류밀도는 약 211.2 mA/cm<sup>2</sup> 이었으며 온도 의존성의 크기를 나타내는 기울기는 약 3451 로서 매우 정밀한 온도센서로서의 가능성을 보여주고 있다.

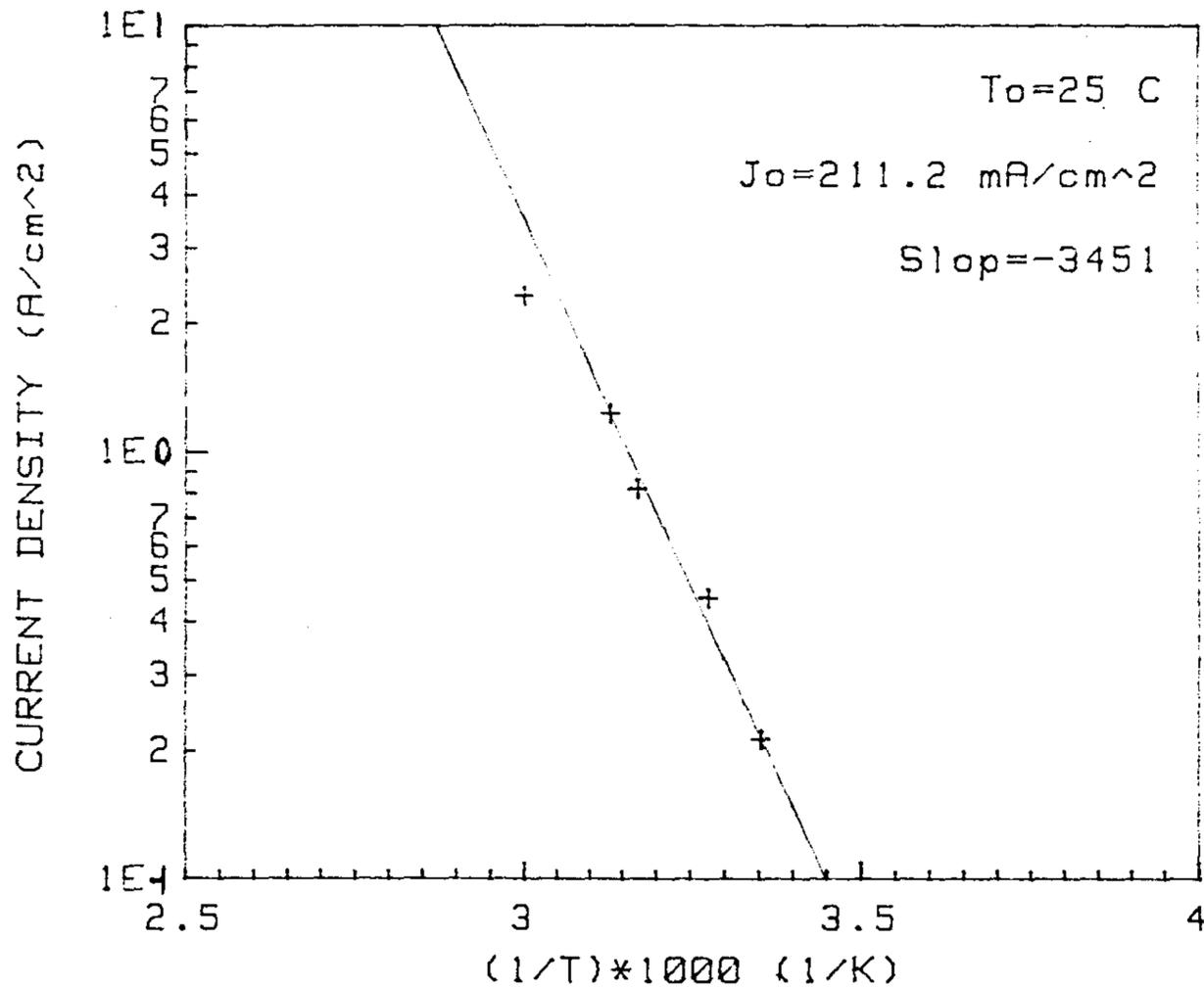


그림 3-3 Si PN 접합 다이오드의 전류밀도-온도의 역과 지수적인 관계를 나타내는 선형관계 : 기울기 = 3451

## 제 2 절 열격리를 위해 사용된 2 층 절연막의 특성평가

Micro-bridge 형 dielectric thin-film Si 마이크로 flow-sensor 를 제작하기 위해서는 열전도적인 측면에서나 전기적인 측면에서 매우 안정되고 강도가 우수한 절연막의 제조가 필수적인 문제이다. Si 을 이용하는 소자제작의 경우에 열산화에 의해 가장 안정한 산화막을 제조할 수 있으며 Si과 산화막 사이의 계면특성에 대한 연구결과는 이미 보고한 바 있다.(3-9) 본 연구에서는 열산화에 의해 비교적 얇은 약 500 Å 의 안정한 산화막을 성장한 뒤 Plasma Enhanced Chemical Vapor Deposition (PECVD) 방법으로 실리콘 질화막을 약 500 Å 성장하여 약 1000 Å 의 절연막을 사용하였다. 실제 본 연구에서 제조하고자 하는 dielectric micro-bridge 의 기계적인 구조제작은 공정상 매우 어려운 기술에 속한다. 먼저 제작된 산화막/질화막의 2층 절연막은 열격리 효과가 우수하므로 국부적인 온도변화를 요구하는 hot-wire anemometer 형의 흐름센서에 적합한 절연막이므로 이들에 대한 전기적인 특성평가가 선행되어야 할 것으로 사료된다. 열산화에 의해 제작된 산화막과 Si 기판 사이는 잘 제어된 고순도 산소분위기에서 약  $3-5 \times 10^{10} /\text{cm}^2 \text{ eV}$  의 계면상태 밀도를 가지므로 계면상태에 의한 소자 특성변화는 상당 부분 감소시킬 수 있다. 다만 그 산화막 위에 PECVD 방법으로 제조되는  $\text{Si}_3\text{N}_4$  막의 특성이 제조된 흐름센서에 중요한 특성인자가 될 것이 자명하다.(3-10) 실리콘 질화막의 제조공정에서 중요한 변수로서 기판온도 (200-330 °C range), 반응개스의 분압비 ( $P_{\text{NH}_3}/P_{\text{SiH}_4}$  ratio) 그리고 RF 출력등이 있으며 전기적으로 가장 안정된 공정조건으로 성장하였다.

성장된 2층 절연막의 붕괴전장 세기는 약 2.8 MV/cm 로 나타났으며 측정된 축적방향의 전류-전압 특성을 그림 3-4 에 도시하였다. 건조한 산소분위기에서 제조된 산화막의 붕괴전장이 2-5 MV/cm 영역임을 감안하면 측정된 붕괴전장은 대체로 안정된 산화막과 질화막이 제조되었음을 알 수 있으며 측정된 leakage 전류밀도도  $10^{-9}$  A 영역으로 매우 낮았다. 또한 산화막내 유

동전하와 상관관계가 있는 것으로 알려져 있는 고주파 C-V hysteresis 특성을 그림 3-5 에 도시하였다. 1 MHz 의 고주파 AC 신호와 함께 인가되는 DC 전압의 인가방향 즉 축적영역에서 반전영역으로 인가되거나 역으로 전압이 인가됨에 따라 절연막내 유동전하는 기판 근처의 절연막에서 전극 근처의 절연막으로 그 분포 위치가 달라지며 그에 따라 소자의 flatband 전압의 변화에 의해 공핍영역이 발생하는 게이트전압이 이동하게 된다. 이러한 고주파 C-V hysteresis 는 유동전하의 극성에 따라 flatband 전압과 약한 반전영역 사이에서 두 인가되는 전압방향에 따라 시계방향 혹은 반시계 방향의 특성을 보이게 되는데 본 실험에서 사용된 실리콘 산화막/질화막으로 구성된 2 층의 절연막은 flatband 전압과 약한 반전영역에서 거의 hysteresis 가 나타나지 않았으며 다만 약한 반전영역에서 강반전영역 사이에서 반시계 방향의 hysteresis 를 보이고 있음을 알 수 있었다. 이러한 결과는 유동전하의 유동에 의한 것이 아니고 반전층의 형성에 따른 소수 운반자의 반응특성과 관련이 있는 것으로 사료된다. 고주파 C-V hysteresis 와 더불어 AC 신호의 주파수 변화에 따른 C-V 특성도 측정되었으며 그 결과를 그림 3-6 에 도시하였다. 측정에 사용된 장비는 HP 4284A precision LCR meter 와 HP 4140B pA meter로 모두 HP 9153C 컴퓨터로 연결하여 측정과 결과해석을 자동화 하였다. 그림 3-6 에서 알 수 있듯이 주파수 변화에 따라 측정된 C-V 곡선의 변화는 축적영역의 1 MHz capacitance 최대치로 normalization 하여 나타내었으며 주파수가 낮아짐에 따라 flatband 전압의 변화는 거의 없었으나 축적영역 capacitance 최대치가 큰 폭으로 증가하다 점차 포화되는 현상을 나타내어 천이영역의 완만함에 기인하는 듯한 결과를 보여주고 있다. 실험에 사용된 실리콘 산화막/질화막의 경우 산화막의 천이영역 특성이 매우 abrupt 함을 상기하면 단순한 천이영역의 완만함에 기인하는 것이 아님을 알 수 있다. 축적영역에서 capacitance 최대치의 증가는 quasi-static C-V 측정에서 고주파 1 MHz 의 최대치에 비해 약 1.4 배 이상 증가하였으며 그 원인이 주로 series resistance 등에 기인하는 잡음특성으로 여겨진다. 이러한 사실을 나타내는 결과중의 하나로 게이트전압에 따른 conductance 를 함께 측정하였으

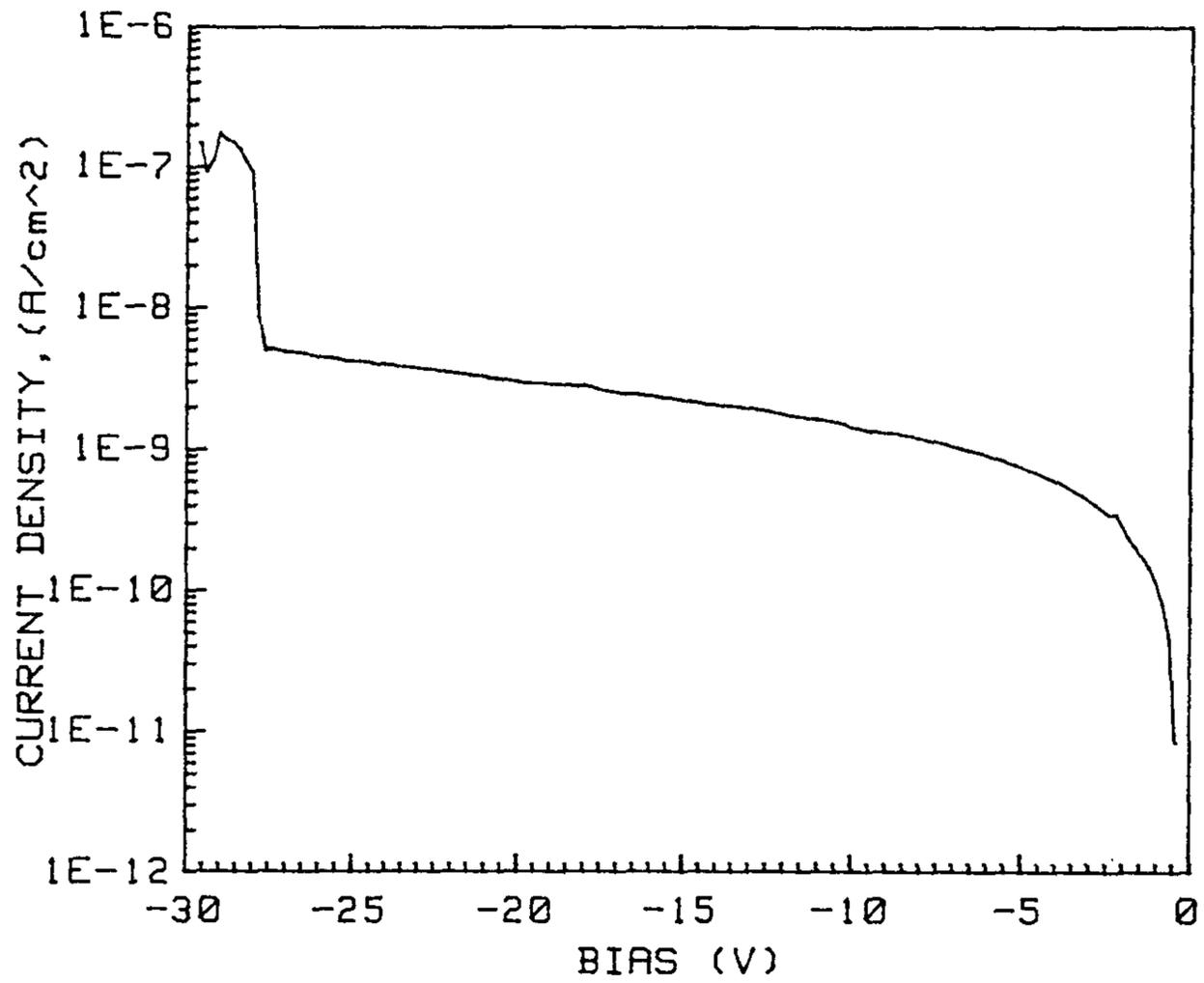


그림 3-4 열격리를 위하여 사용된 2층 산화막/질화막의 축적방향 전류-전압 특성곡선 : 붕괴전장  $E_c = 2.8 \text{ MV/cm}$

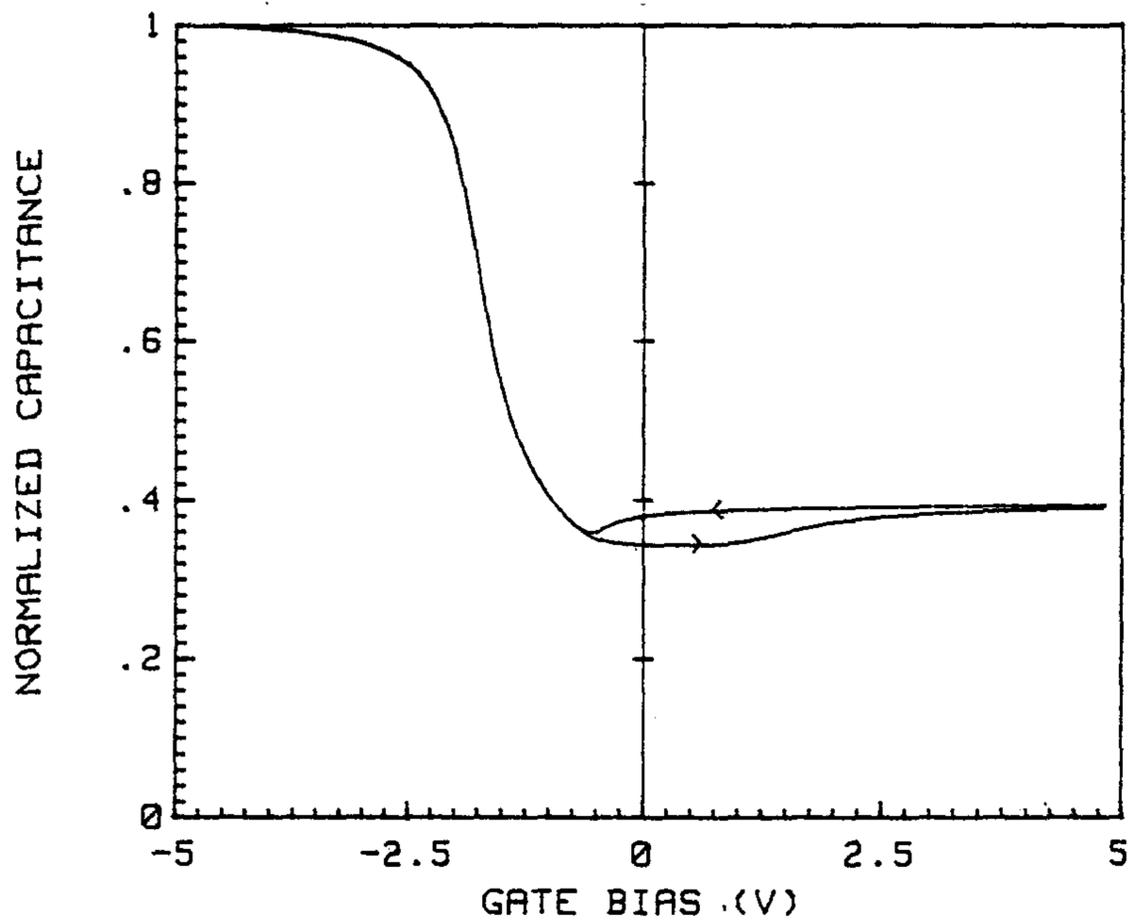


그림 3-5 열격리를 위하여 사용된 2층 산화막/질화막의 1 MHz C-V hysteresis 특성곡선:  $C_{ox} = 257.1 \text{ pF}$

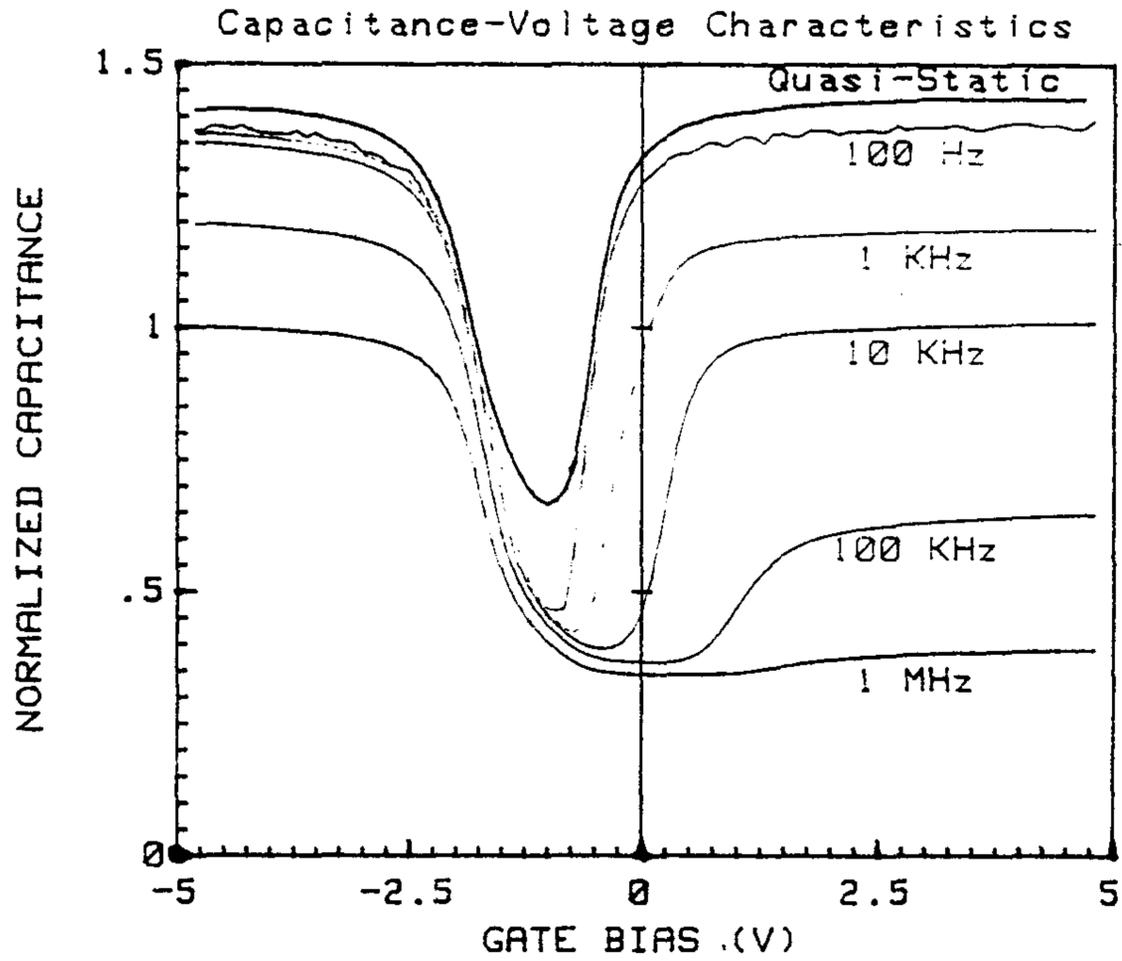


그림 3-6 2층 실리콘 산화막/질화막의 주파수 변화에 따른 C-V 곡선의 변화 : 1MHz 측정영역 capacitance 최대치로 normalization

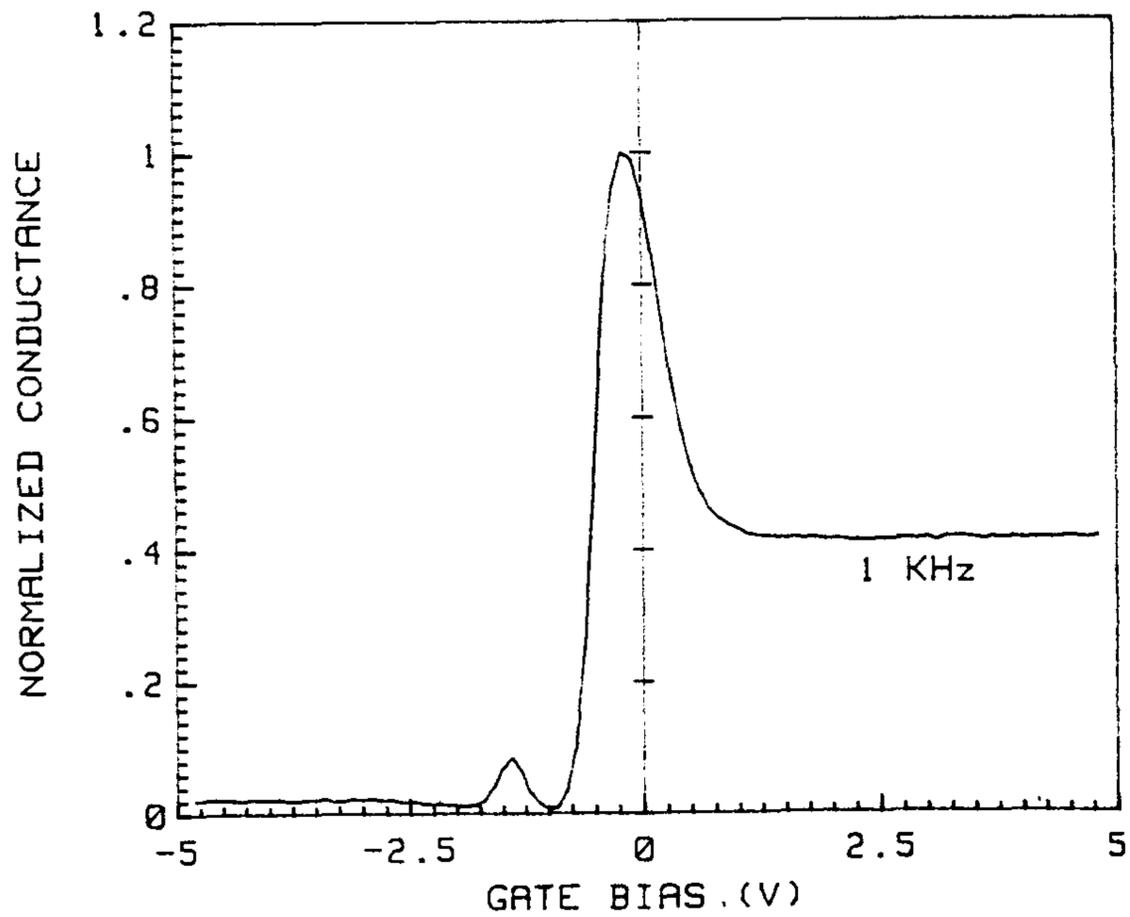


그림 3-7 2층 실리콘 산화막/질화막의 게이트전압에 따른 conductance 특성곡선의 변화 : 측정 주파수 = 1 KHz

며 그 결과를 그림 3-7 로 나타내었다. 그림 3-7 에서 측정에 사용된 주파수는 1 KHz 이며 그림에서 볼 수 있듯이 게이트전압의 변화에 따라 두 개의 peak 이 발생함을 알 수 있다. 즉 반전영역이 시작되는 약 -1.5 V 의 게이트 전압과 강반전이 시작되는 약 0.5 V 의 게이트전압에서 conductance 곡선의 peak 이 나타나고 있다. 주파수에 따라 측정된 conductance-voltage (G-V) 특성곡선의 변화에서 주파수가 증가됨에 따라 이들 두 peak 는 서로 다른 변화를 보였는데 반전층이 형성되기 시작하는 게이트전압에서 나타난 peak 는 주파수가 증가함에 따라 peak 이 나타나는 게이트전압이 negative 의 방향으로 이동하면서 상대적인 크기가 점차 증가하나 축적영역의 conductance 도 급격하게 증가하여 100 KHz 이상의 주파수에서는 peak 이 사라지며 강반전이 시작되는 게이트전압에서 나타난 peak 은 반대로 positive 게이트전압으로 이동하면서 점차 완만한 형태의 peak 으로 변화되었다. 원리상 conductance 는 series resistance 의 영향이 없을 경우 축적영역과 반전영역에서 zero 이어야함을 감안하면 본 실험에서 사용된 2층 실리콘 산화막/질화막 으로 구성된 절연막은 단일 절연막보다 상대적으로 큰 series resistance 효과를 나타내는 것으로 해석되며 그림 3-6 의 C-V 특성곡선의 주파수에 따른 변화와도 긴밀한 관계가 있으므로 적절한 수정과 해석상의 보완이 있어야 할 것으로 사료된다.

절연막의 특성이 제작된 마이크로 흐름센서에 있어 매우 중요한 변수임을 지적하면서 또 다른 중요한 변수로서 센서 제작에 사용되고 있는 실리콘 기판 자체의 특성을 들 수 있다. 이러한 관점에서 실리콘 자체의 표면 혹은 bulk 특성 해석을 위하여 전기적으로 비평행 상태인 deep-depletion 에서 공핍영역의 edge 가 평행 상태의 반전영역과 일치되는 위치로 환원되는 과정에서 시간에 따라 나타나게 되는 capacitance 의 변화를 측정하여 기판 자체의 표면 재결합 속도와 bulk 쪽 소수 운반자의 생존시간 (minority carrier lifetime) 을 분석할 수 있다.(3-11,12,13,14) 그림 3-8 은 1 MHz 의 주파수에서 측정된 capacitance-time 결과를 산화막의 capacitance 로 나누어 나타낸 결과이다. 그림에서 볼 수 있듯이 초기에 게이트전압을 축적영역에서

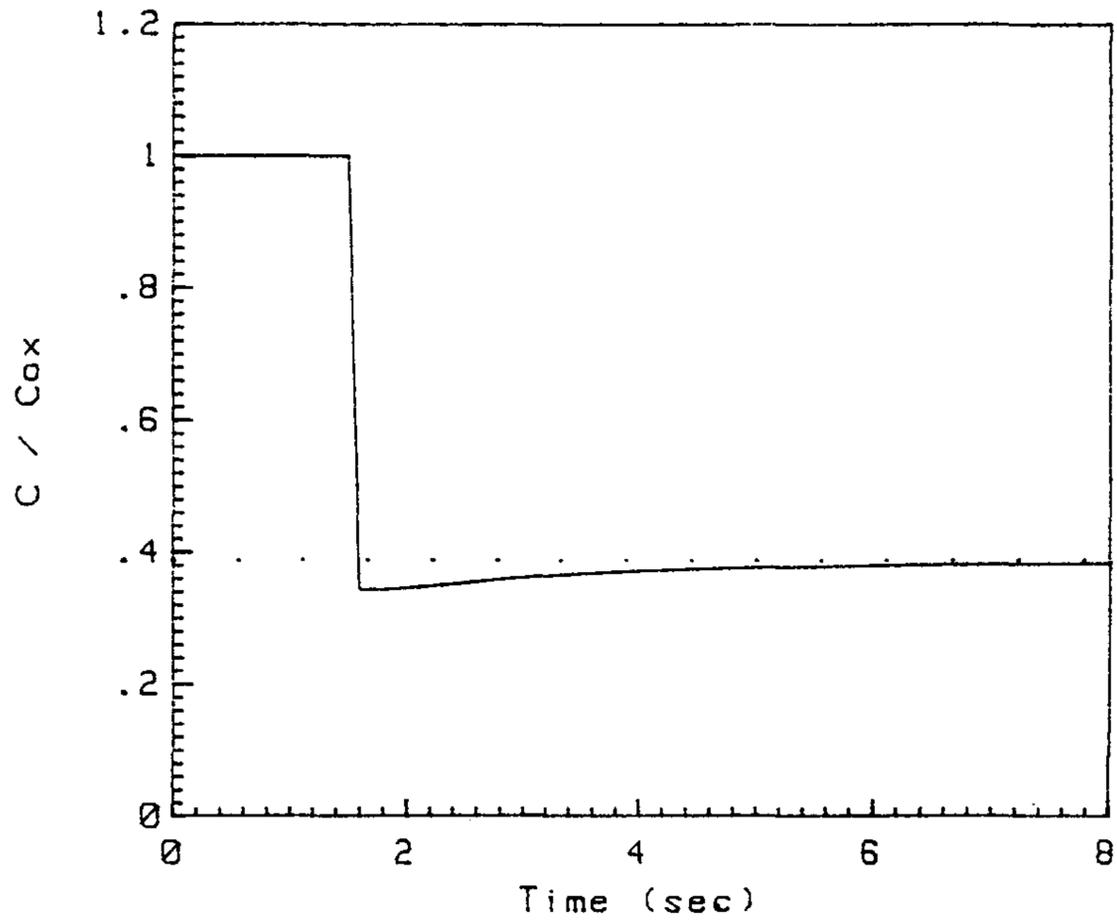


그림 3-8 1 MHz 의 주파수에서 2층 실리콘 산화막/질화막의 Si MIS 구조에 대해 측정된 capacitance-time 특성곡선

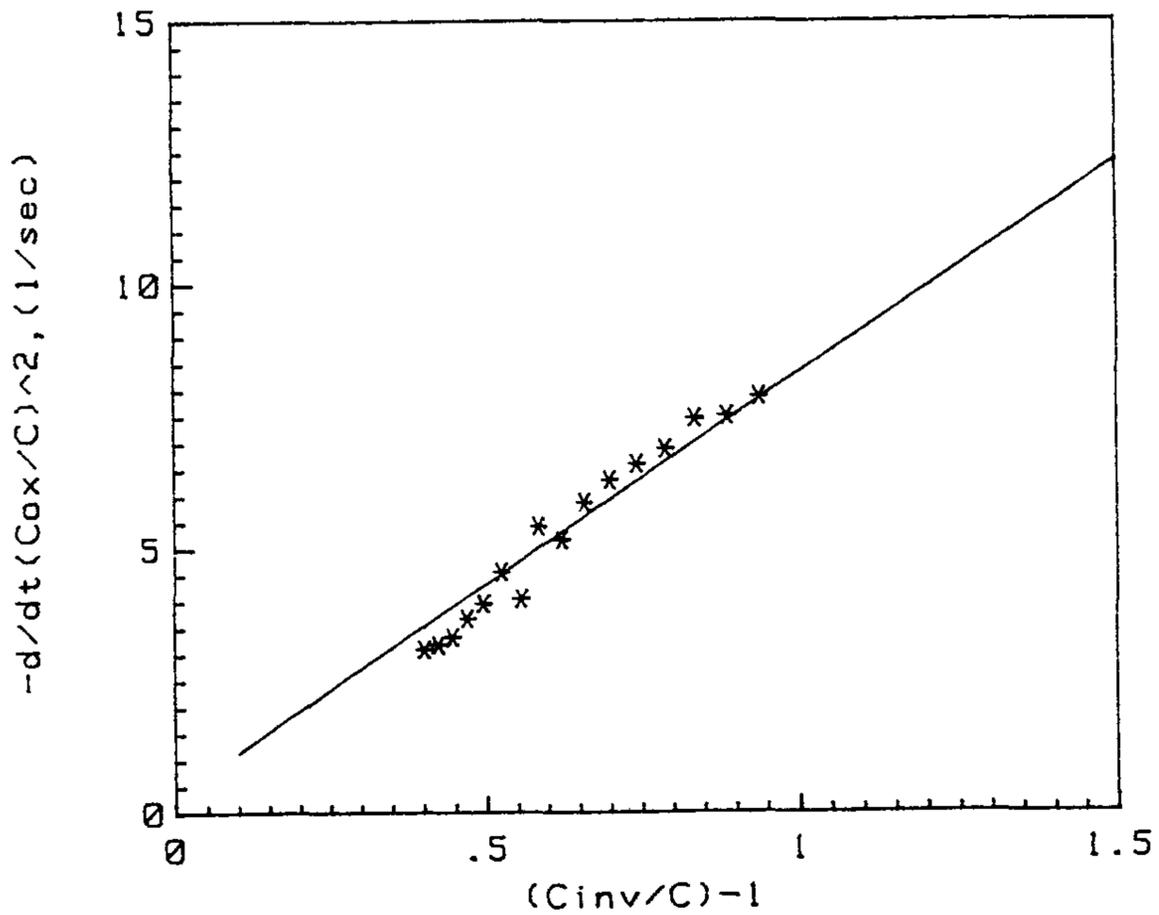


그림 3-9 그림 3-8 의 C-t 측정결과로부터 센서 제작에 사용된 실리콘 기판의 특성평가를 위한 Zernst-plot

약 15 초 가량 유지하면서 capacitance 를 측정후 게이트전압을 강반전영역으로 급격하게 변화시키면 실리콘내의 공핍영역은 평형상태의 최대 깊이보다 더 확장되는 deep-depletion 상태가 된다. 이러한 비평형 상태에서 그림에 나타나 있듯이 시간의 경과에 따라 점차 공핍깊이가 감소되면서 반전영역의 평행상태로 포화된다. 그림 3-9 는 그림 3-8 의 capacitance-time 측정결과로부터 실리콘 기판 자체의 표면 재결합 속도와 소수 운반자의 생존시간을 구하기 위한 Zerbst-plot 을 도시한 것이다. (3-15) 그림의 기울기와 Y -축의 절편으로부터 구한 생존 시간은 실리콘에서 대체로 짧은 값인  $0.23 \mu\text{sec}$  였고 표면 재결합 속도는  $51.5 \text{ cm/sec}$  를 나타내어 산화막 제조나 PECVD 공정등에 의한 변화는 거의 없는 것으로 생각된다.

### 제 3 절 제작된 Si 마이크로 흐름센서의 특성평가

본 연구에서 최종적으로 개발하고자 하는 흐름센서는 그 분해능이 sub-SCCM 정도이고 full-scale range 가 약 100 SCCM 인 고기능 정밀 흐름 센서로서 주변 회로와의 양립성이 우수한 micro-bridge형 dielectric Si flow sensor이다. 이러한 연구목표를 달성하기 위해서는 단위 센서 자체에 대한 완벽한 설계 및 검증 그리고 소자 실현으로 이어져야 하며 동시에 병행하여 제작된 소자의 package 와 주변회로에 대한 체계적이고 과학적인 계획 아래 연구가 수행되어야 한다. 이러한 종합적이고 합리적인 접근방식에 의한 센서개발을 위하여 이미 앞 절에서 각 단위 공정을 통한 체계적인 공정조건 의 확립에 따라 본 절에서는 이들을 집적한 최적 공정 sequence 에 의해 Si 마이크로 흐름센서를 제작하고 그 특성을 평가하고자 한다.

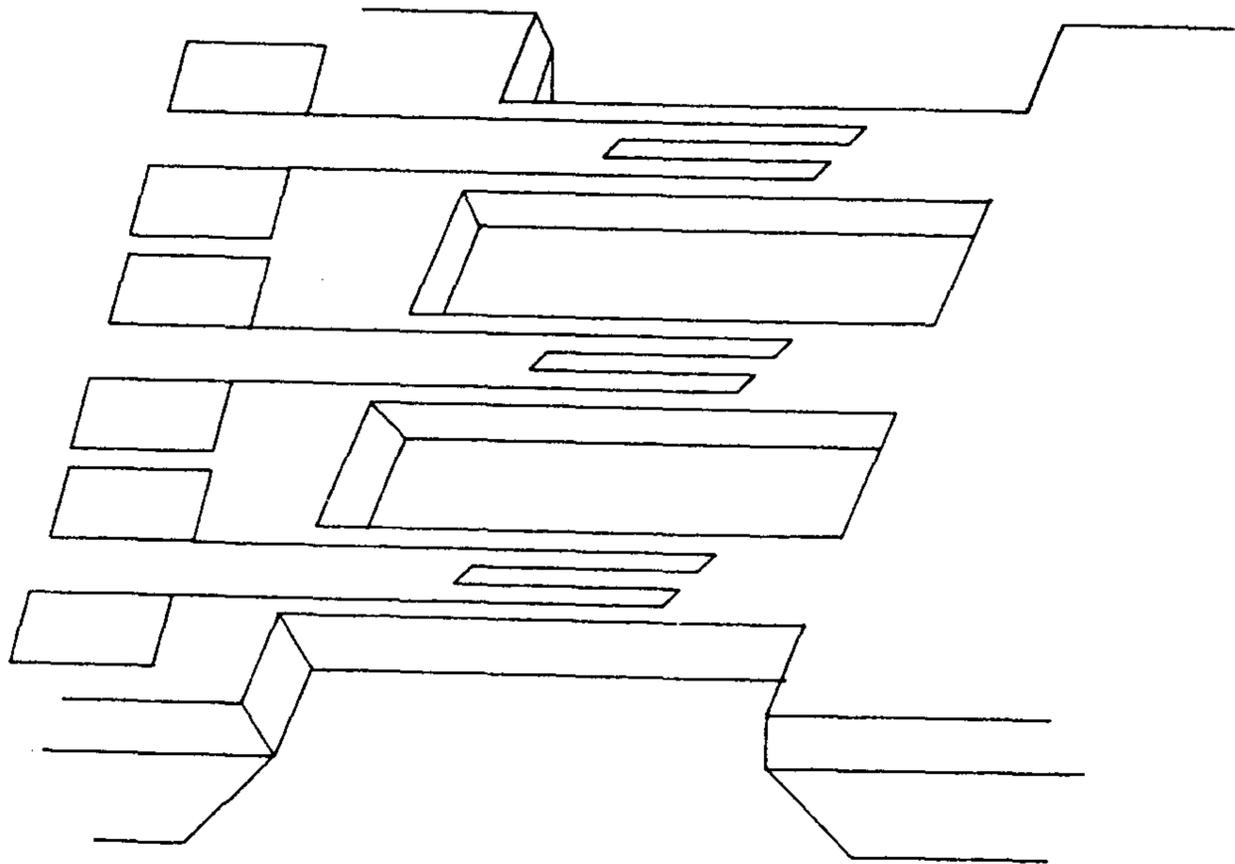


그림 3-10 Dielectric micro-bridge 형 Si-resonating flow sensor

그림 3-10 은 본 연구에서 최종적으로 개발하고자 하는 단위 흐름센서의 기본적인 모델을 나타낸 것이다. 그림에서 알 수 있듯이 1  $\mu\text{m}$  내외의 두께를 가지는 dielectric film 을 membrane 으로 사용하여 micro-bridge 를 제작하고 Si 기판으로의 열 전도를 최대한으로 감소시키는 resonating bridge 구조이다. 이러한 형태의 흐름센서는 주변과의 완벽한 열적 격리가 가능하여 hot-wire anemometer의 흐름에 대한 분해능 고양과 동시에 response time 을 향상시켜 고속동작이 가능하게 된다. 또한 단순한 금속 전극 대신에 Si의 piezo-resistive 특성을 이용하면 흐름에 대한 센서의 출력특성을 AC 신호화 할 수 있으며 동작회로의 동시제작에 의하여 고속동작의 집적화된 고기능 정밀 센서의 실현이 이루어지게 된다. 이러한 동작특성은 micro-bridge 자체가 가지는 고유한 진동수를 이용하는 것으로 흐름의 온도나 속도 혹은 양에 따라 이 고유진동수의 변화를 측정하여 흐름에 대한 평가가 이루어지게 된다. 2차 년도의 본 보고서에서는 집적화된 고기능 압력 - 온도-흐름센서 제작용 photo-마스크의 설계 및 제작 그리고 각 단위 공정에 대한 연구를 중심으로 과제를 수행하였으며 Si-micromachining 을 위한 습식 식각 기술과 활성화 이온에 의한 식각기술의 적절한 조합에 의하여 매우 양호한 surface morphology를 갖는 thin-membrane 제작을 시도하고 있다. 이와 병행하여 집적화된 공정의 최적화를 위한 지속적인 연구와 package 기술 연구 및 특성평가를 위한 자동화된 평가 system 등도 지속적인 연구과제로 사료된다.

앞 장에서 확립된 공정을 통하여 제조된 집적센서중 흐름센서를 scribing line 을 따라 자르고 각 센서 die 를 칩 carrier에 bonding 하여 특성평가를 시도하였으며 온도 및 흐름에 대한 반응특성 측정을 위한 system 은 아래 그림 3-11 과 같다. 본 연구에서 hot-wire anemometer로 사용한 금속은 Ni 이며 약  $3-5 \times 10^{-5}$  torr 의 진공하에서 500-2000 A 의 두께범위로 증착하여 두께에 따른 온도 반응특성의 변화 여부도 관측하였다. 그림의 측정 system 에서 볼 수 있듯이 제작된 Ni-resistor 의 온도에 따른 저항 변화를 측정할 수 있는 온도 가변 bath 그리고 시간에 따른 resistor 의 transient 측정을 위한 정밀 계측기기를 연결하여 종합적인 평가가 가능하도록 구성하였다.

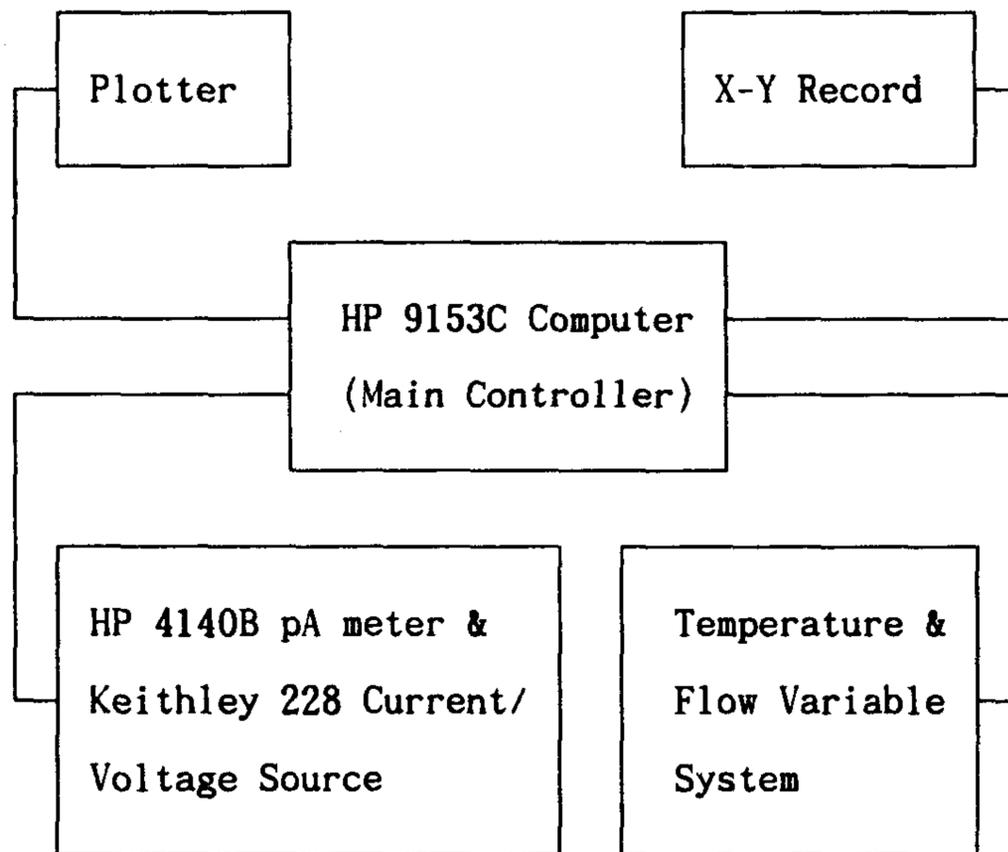


그림 3-11 제작된 Si 마이크로 흐름센서의 특성평가를 위한 종합적인 측정 system

그림 3-12 는 증착된 Ni resistor 의 두께가 서로 다른 경우에 있어 온도변화에 대한 저항변화를 나타낸 결과이다. 그림 a) 는 상대적으로 증착된 두께가 상온 경우로서 상온에서 측정된 저항값이 4.32 K $\Omega$  인 resistor이고 b) 는 상대적으로 증착된 두께가 두꺼운 시료 즉 상온에서 측정된 저항값이 0.78 K $\Omega$  인 경우에 각각 측정된 저항-온도 측정결과를 비교하여 나타낸 그림이다. 그림 a)에서는 측정된 온도구간 즉 100  $^{\circ}\text{C}$  이하의 온도 구간에서 수 % 내외의 비선형성이 나타나긴 하였으나 측정상의 오차등을 감안하고 그림 b)의 결과등을 참조하면 전체적으로 선형적인 온도-저항 관계를 가지는 것으로 해석된다. 초기 저항값이 상대적으로 매우 큰 그림 a) 에서 볼 수 있듯이 관측된 온도변화-저항변화도 상대적으로 크긴 하였으나 측정치의 비선형성이 큰 것으로 나타났고 직선의 기울기는 약 5.046  $\Omega / ^{\circ}\text{C}$  였다. 비슷한 온도구간에서 측정된 그림 b) 의 경우는 비선형성이 거의 없었으나 온도에 대한 저항변화는 상대적으로 적었으며 관측된 기울기도 그림 a) 에 비해 약 1/5 정도의 적은 0.916  $\Omega / ^{\circ}\text{C}$  였다. 따라서 온도에 대한 저항변화가 큰 경우가 더 높은 정밀도를 가질수 있긴 하지만 비선형적인 특성이 나타나는 점을 고려하면 저항값의 trade-off 가 있어야 하므로 최적 저항치를 갖는 resistor 는 본 연구에서 약 1 K $\Omega$  정도의 저항을 갖는 약 1000  $\text{\AA}$  의 두께로 사료된다.

금속 저항체의 온도-저항 사이의 관계는 매우 잘 알려져 있으므로 본 연구에서 사용된 Ni 의 특성에 대해 간단히 언급하고자 한다. 고순도 Ni 의 경우 100  $^{\circ}\text{C}$  이하의 온도에서 thermal conductivity 가 88.5 W/m K 로서 Pt 과 Cr 의 중간정도이고 열 팽창 계수는  $13.3 \times 10^{-6} / \text{K}$  이다. 그리고 비저항의 온도계수는  $6.8 \times 10^{-3} / \text{K}$  로서 Al, Au, Cr, Pt 등에 비하여 상대적으로 큰 값을 가지는 금속이다. (3-16) 따라서 온도센서로서 Ni resistor 는 대체로 큰 저항변화를 가지므로 적합한 금속으로 생각되며 공정상 bonding등을 위한 Au-plating 시 base-metal 및 활성화 이온식각 (RIE) 에서 마스크 역할 등의 다양한 목적으로 사용되고 있다. 그림 3-13 은 그림 3-12 에서 얻어진 결과를 바탕으로 상온에서 측정된 초기 저항값으로 나누어 상대적인 변화를

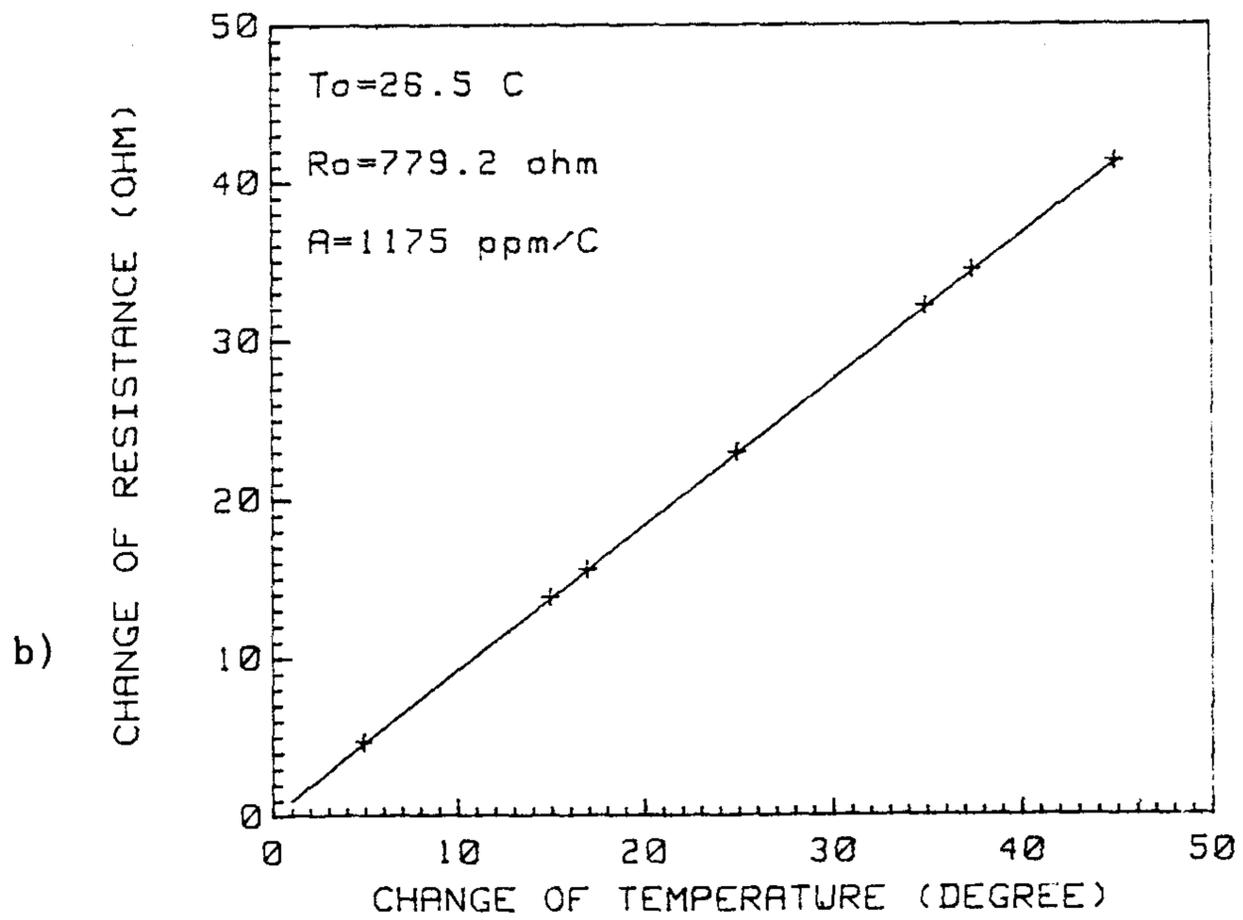
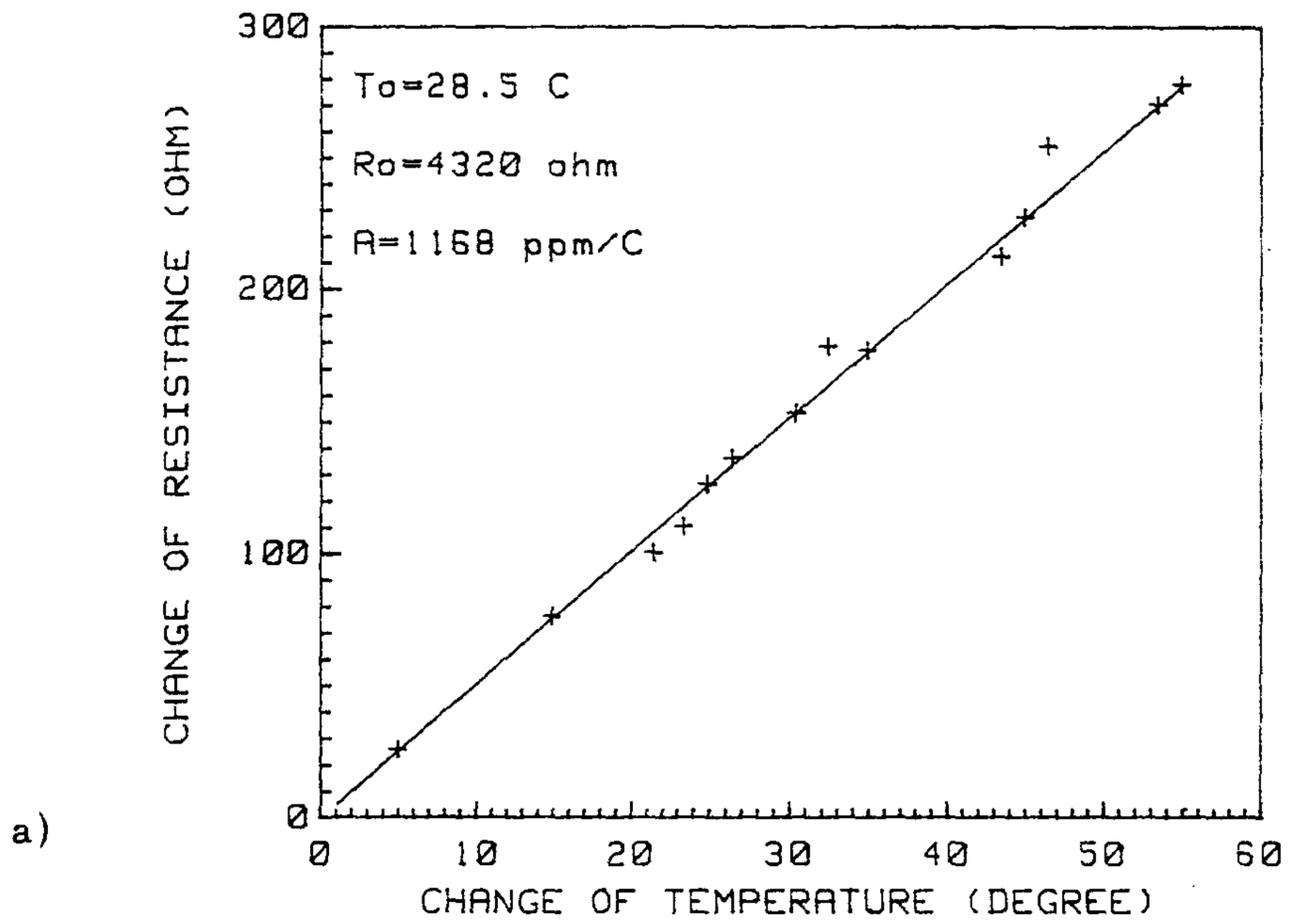


그림 3-12 서로 다른 저항값을 가지는 thin-film Ni resistor 의 온도-저항의 선형적인 관계 : a) 4.32 K $\Omega$ , b) 0.78 K $\Omega$

나타낸 결과이다. 제작된 thin-film Ni resistor 의 저항에 대한 온도계수는 고순도의 bulk Ni 에서 약 6800 ppm/K 의 높은 값을 가지는 것으로 알려져 있으나 본 연구에서 측정된 결과는 사용된 500-2000 Å 범위의 두께와 그에 대응하는 약 500 Ω - 5 KΩ 의 저항을 가지는 박막에 대해 두께에 따른 큰 변화없이 약 1175 ppm/K 로서 bulk 에 비해 6배 가량 적은 수치를 나타내었다. 그림에서 볼 수 있듯이 서로 초기 저항이 다른 경우에 단순한 저항변화도 다르게 나타나긴 하지만 초기치에 대한 상대적인 변화는 하나의 직선에 부합되고 있으며 6800 ppm/K 의 고순도 bulk 에 비해 상대적으로 낮은 thin-film의 온도계수 1175 ppm/K 은 사용된 금속의 순도 및 물리적 상태 (열처리, bulk, hard drawn, cast, etc.) 등과 긴밀한 관계가 있을 것으로 사료되며 이들에 대한 연구도 추가되어야 할 것으로 판단된다.

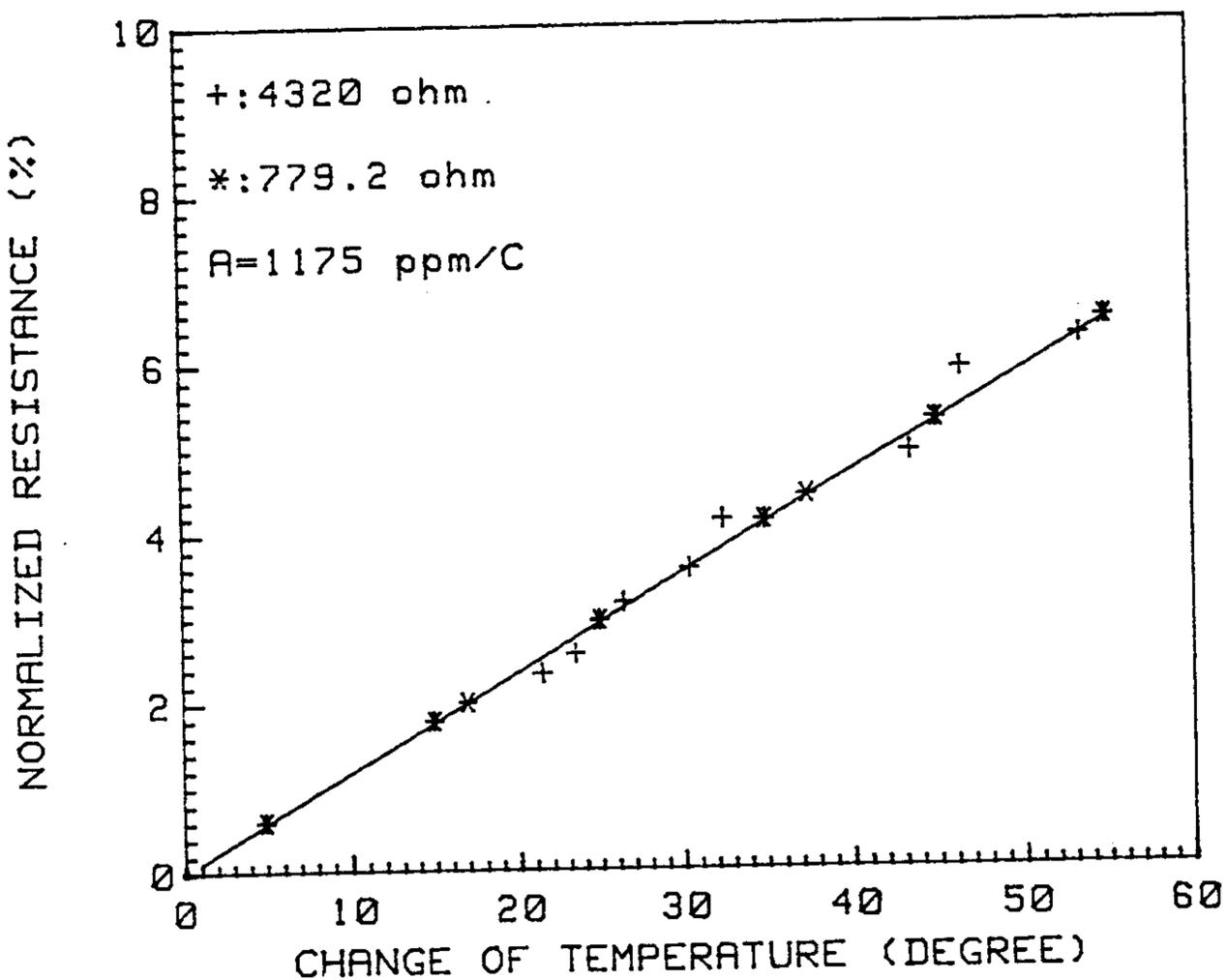


그림 3-13 그림 3-12 의 결과에서 초기 저항으로 normalization 한 경우의 저항-온도 변화의 선형적인 관계:  $\alpha = 1175 \text{ ppm/K}$

제작된 Si 마이크로 센서를 상용의 18 pin chip-carrier 에 bonding 하여 transient 특성을 측정하여 그림 3-14 에 도시하였다. 그림에서 일정한 전류 즉 140 mA 를 흘리면서 시간에 따른 출력전압과 저항변화로 부터 Ni resistor 의 온도변화를 계산하여 함께 도시하였다. 그림에서 알 수 있듯이 초기 5초 가량의 시간내에서는 대체로 선형적인 변화특성을 보이다가 점차 일정한 값에 포화되는 현상을 보이고 있으며 그 반응시간이 상당히 긴 것으로 나타났는데 이는 센서자체의 반응특성보다는 chip-carrier 를 포함하는 system 전체의 반응특성으로 평가된다. 결국 이러한 결과로 부터 알 수 있는 중요한 결과는 실제 제작된 센서 자체만의 반응특성이 아무리 좋더라도 센서를 포함하는 전체 package 상태가 센서의 반응특성을 결정하는 요인이라는 것이다. 이러한 측면에서 센서에 적합한 package 의 개발도 중요한 연구 과제라 아니할 수 없다. 실제 제작된 Si 마이크로 센서 자체의 반응속도는 수 10 에서 수 100 msec 정도의 대체로 짧은 시간상수를 갖고 있으나 본 연구에서 사용한 chip-carrier 를 포함하는 system 의 전체 반응은 15 초 이상의 상당히 긴 시간상수를 가지는 것으로 나타났다.

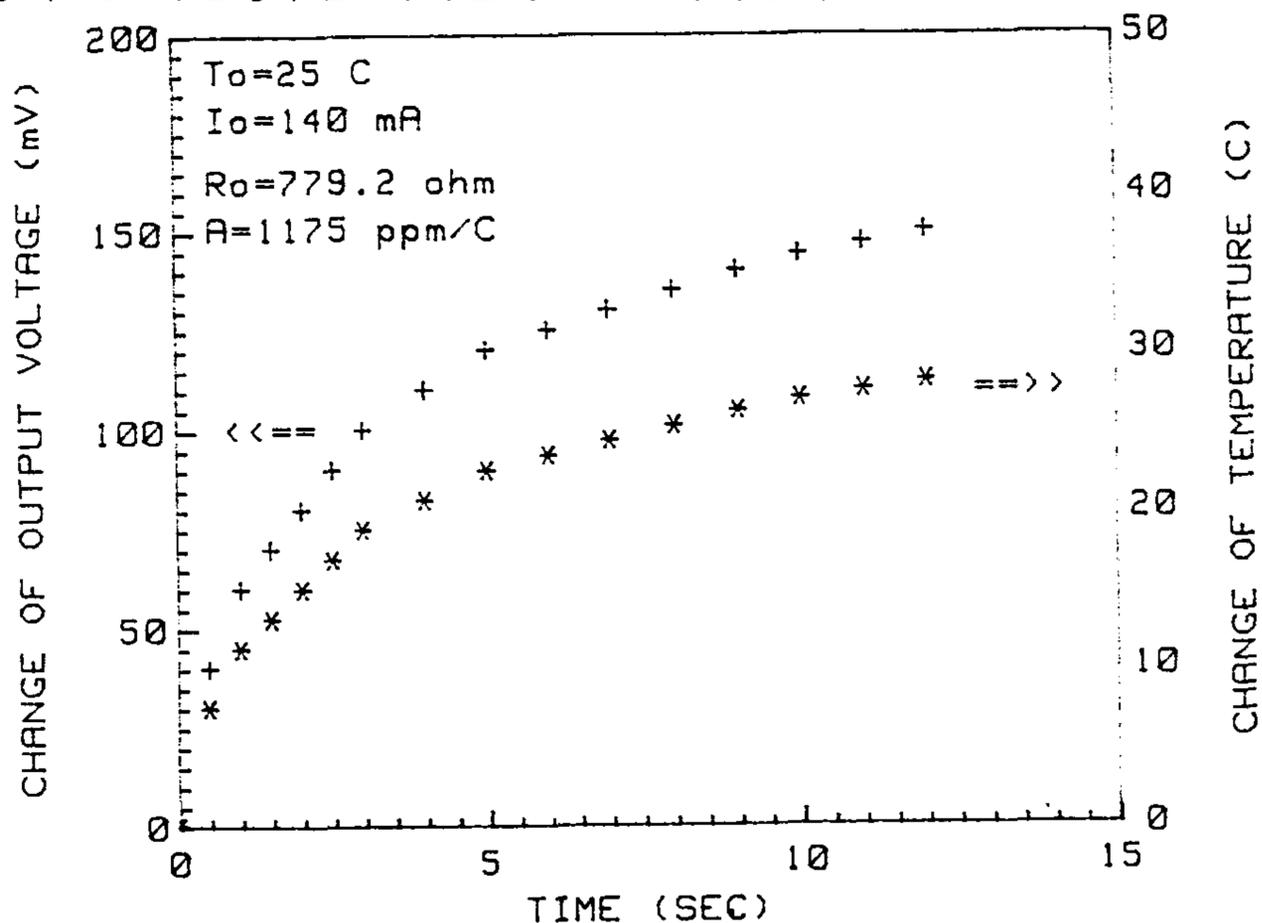


그림 3-14 Chip-carrier 를 포함하는 전체 system 의 transient 특성

그림 3-15 는 Ni resistor 에 인가된 전기적인 DC power 에 대한 열변환 정도를 나타내는 그림으로 입력 에너지의 증가에 대해 대체로 선형적인 변화를 보이긴 하였으나 낮은 power 영역에서는 상대적으로 측정상의 오차가 상당부분 발생하는 것으로 나타났다. 입력 DC power 가 0 에서 300 mW 로 증가됨에 따라 resistor 의 상대적인 저항변화는 약 10 % 이내로 변화하였으며 그에 대응하는 resistor 의 온도변화는 상온 25 °C 보다 약 50 °C 이상 증가하는 결과를 볼 수 있었다. 사용된 Ni resistor 의 초기 저항값은 약 844 Ω 이었으며 온도 계산에 사용된 저항체의 온도계수는 1175 ppm/K 이었다. 입력 에너지에 대한 온도변화의 크기를 나타내는 기울기는 낮은 에너지 영역과 높은 에너지 영역에서 변화를 보이고 있었으나 100 mW 이상의 입력 power 영역에서 비선형성은 10 % 내외였다.

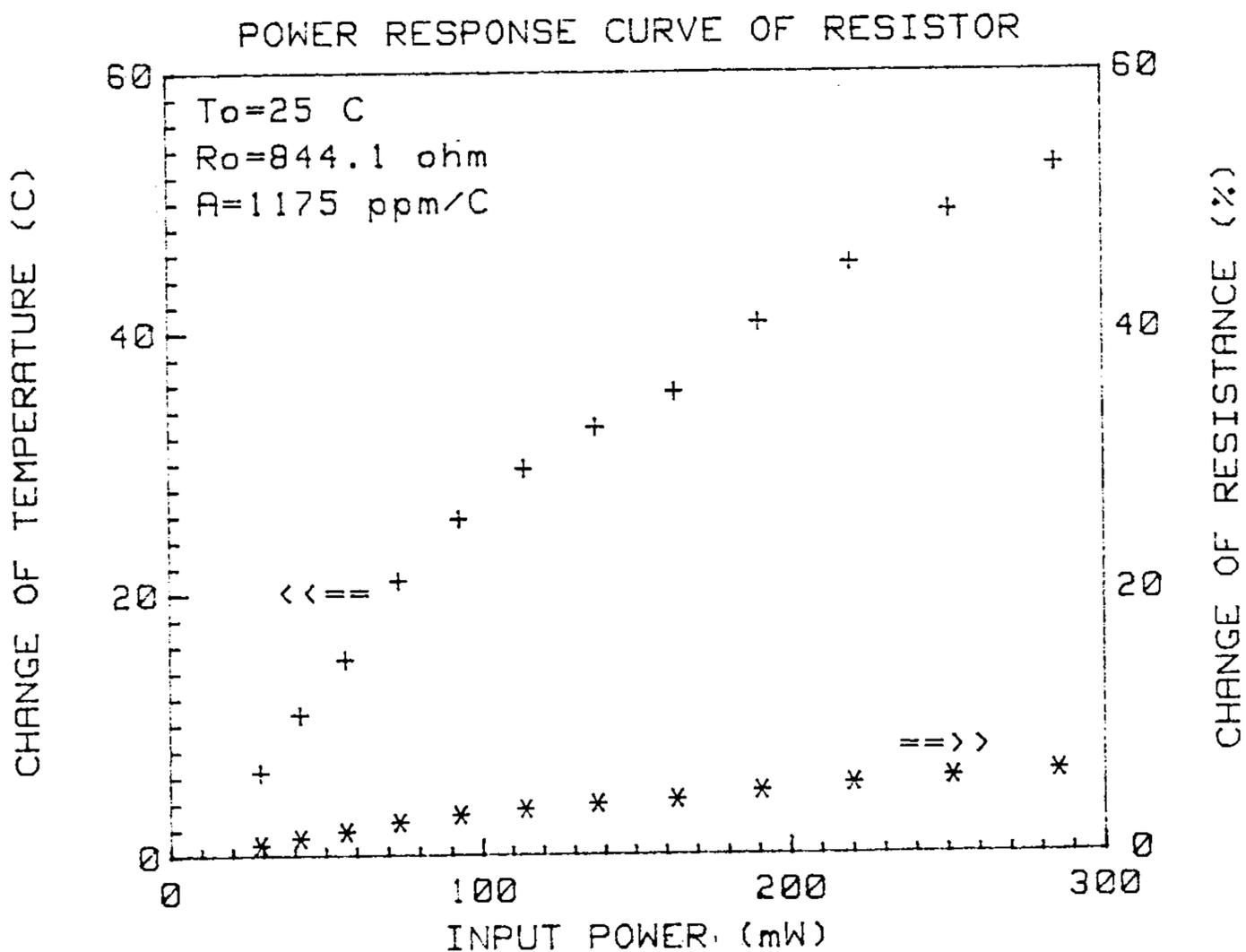


그림 3-15 제작된 Ni resistor 에 인가되는 DC power 의 변화에 따른 저항의 상대적인 변화와 그에 따른 chip 의 온도변화

흐름에 대한 센서의 반응특성은 주로 흐름의 양이나 속도가 변화될 때 일정한 chip 온도를 유지하기 위한 (Constant-Chip Temperature Operation) 입력 power 의 변화로 나타내고 있으며 이 입력 power의 변화가 클 수록 우수한 감도를 가지는 것으로 평가되고 있다. 본 연구에서 제작한 Si 마이크로 센서의 경우 흐름의 양을 0에서 5 lpm 으로 증가시킴에 따라 chip 의 온도를 흐름의 온도보다 약 13.5 °C 높은 상태로 유지하기 위한 입력 power 의 변화를 그림 3-16 에 도시하였다. 흐름의 양이나 속도등과 관련된 hot-wire anemometer 의 입력 power 의 변화 혹은 온도변화에 대한 관계는 잘 알려져 있으며 대체로 흐름에 대해 square root 의 변화관계를 가진다. 그림에서 열적 평형상태에 도달한 흐름센서를 통하여 흐름의 양이 증가됨에 따라 온도 강하가 일어남을 볼 수 있으며 이러한 온도 강하를 보상하기 위한 입력 에너지의 증가가 연쇄적으로 일어나게 된다. 그림에서 얻어진 센서의 감도는 약  $111.3 \mu\text{W}/\text{lpm}^{1/2}$  로서 대체로 양호한 센싱특성을 나타내는 센서로 평가된다.

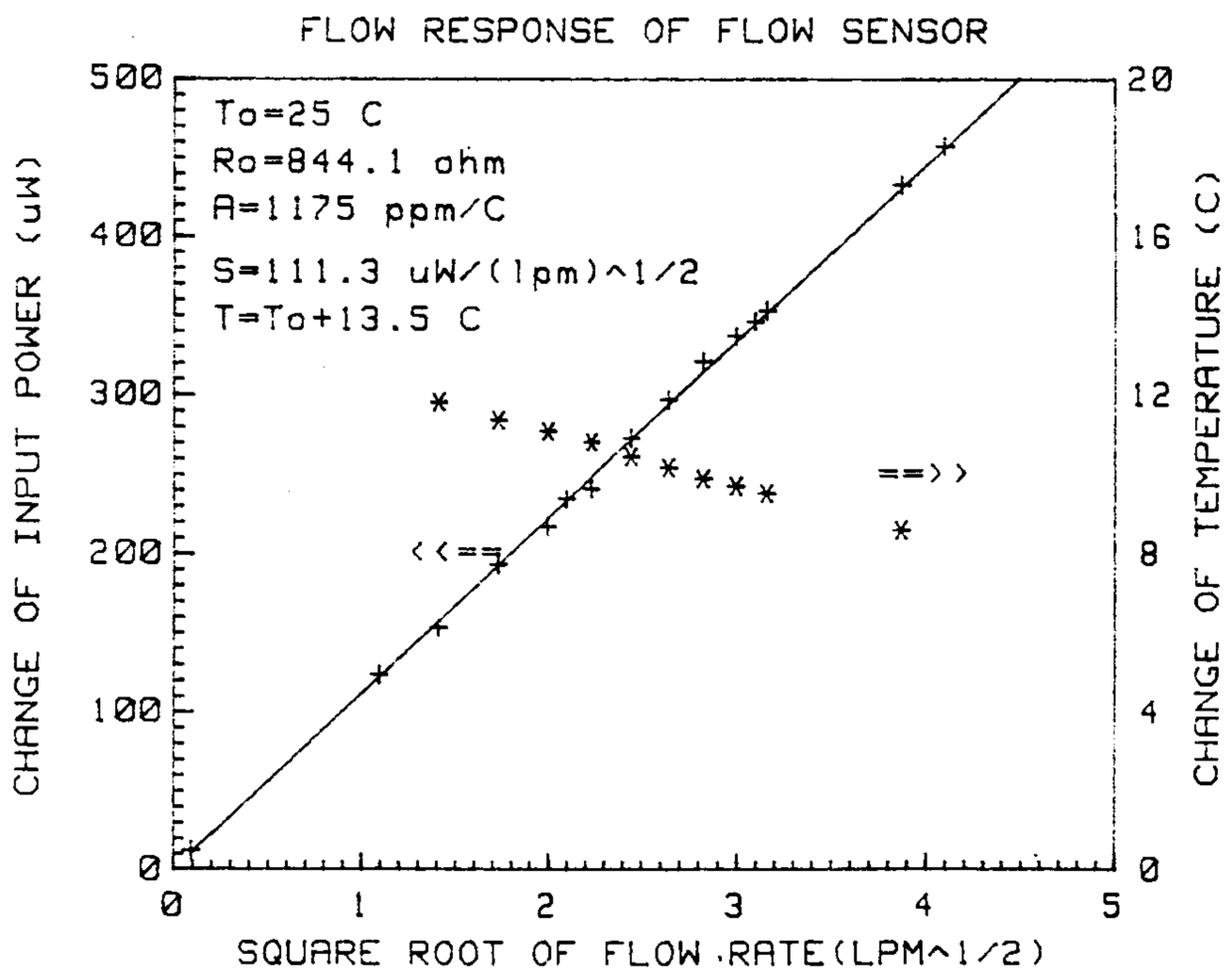


그림 3-16 제작된 Ni hot-wire anemometer 형 Si 마이크로 흐름센서의 흐름에 대한 반응특성: Sensitivity =  $111.3 \mu\text{W}/\text{lpm}^{1/2}$

제작된 Si 마이크로 흐름센서의 동적인 흐름에 대한 반응특성을 조사하기 위하여 그림 3-16 에서와 동일한 온도변화를 유지하면서 흐름을 5 lpm 그리고 10 lpm 상태로 on 및 off 시켜 측정된 결과를 그림 3-17 에 도시하였다. 그림에서 볼 수 있듯이 초기 100 초 동안 일정한 power 를 인가하여 안정된 상태에 이르게 한 뒤 5 lpm 의 양으로 흐름을 제어하고 시간에 따른 온도강하 그에 따른 입력변화를 측정하고 100 초 동안 유지한 뒤 다시 off 하였다. 계속하여 100 초 동안 안정화 시킨뒤 다시 10 lpm 의 흐름을 흘리면서 100 초 동안 시간의 경과에 따른 온도강하 및 그에 따른 입력 에너지 변화를 측정하고 흐름을 차단하는 과정을 통하여 동적인 흐름에 대한 센서의 반응특성은 앞에서 언급된 chip-carrier 를 포함한 System 전체의 반응특성으로 나타났으며 대체로 그 반응시간이 상당히 긴 것으로 평가되었다. 그림에서 알 수 있듯이 5 lpm 의 흐름양에 대한 입력 power의 변화는 약 300  $\mu$ W 였으며 10 lpm 의 흐름양에 대한 입력 power 변화는 약 500  $\mu$ W 였다.

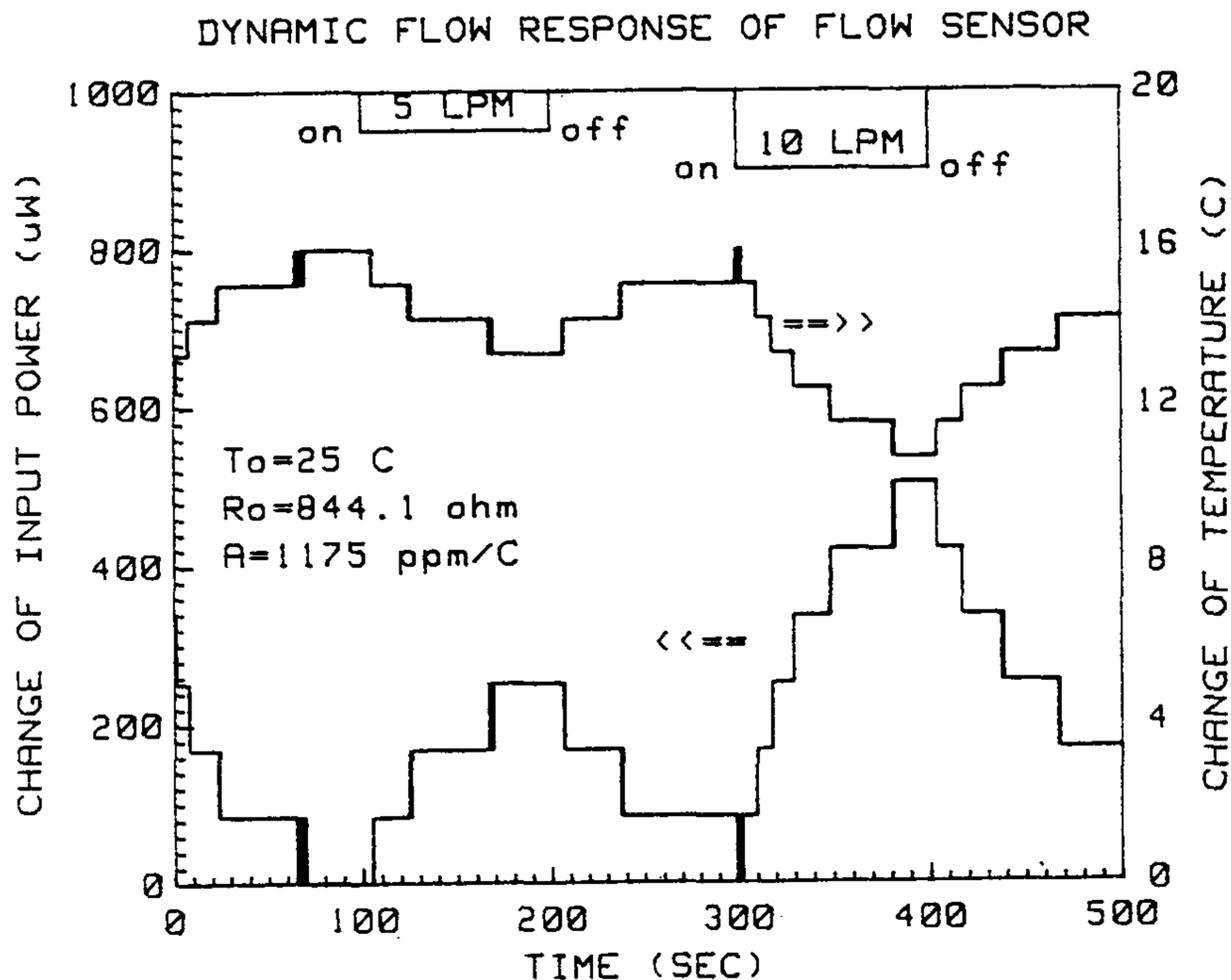
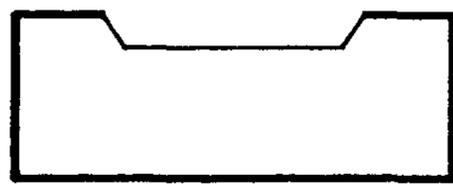


그림 3-17 Ni hot-wire anemometer 형 Si 마이크로 흐름센서의 흐름에 대한 동적인 반응특성: 측정계기의 분해능 = 1  $\mu$ W

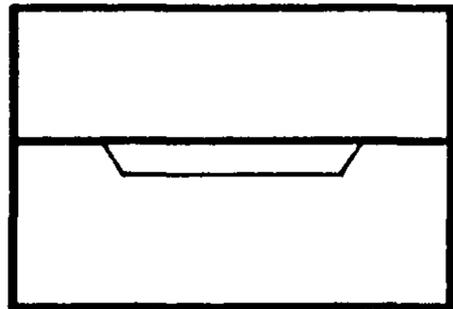
## 제 4 장 실리콘 센서에 응용되는 실리콘 용융접합 기술의 개발

SOI (Silicon on Insulator) 구조를 제작하는데 있어 활발히 연구되어 온 실리콘 용융접합 (Silicon Fusion Bonding: SFB) 공정은 최근에 이르러 압력, 가속등 물리량의 측정을 위한 Si 센서 제조 기술의 하나로 효용성을 인정받고 있다. (4-1.2) 그림 4-1은 실리콘 bonding & thinning 공정을 이용하여 압저항형 실리콘 압력센서를 제조하는 방법의 일례로 이와 같이 용융접합 공정에 의해 압력 센서를 제작할 경우 종래의 기판 뒷면으로부터의 deep etching을 이용한 경우에 비해 여러 잇점들이 있다. (4-3) 즉, 다이아프램 제조시 소모되는 면적이 적고 얇은 공동 (shallow cavity)에 의해 다이아프램의 과잉 편향을 막을 수 있으며, 다이아프램 제조후에 감압 회로를 구성함으로써 센서 제작의 일괄화를 더욱 원활히 할 수 있다. 용융접합 공정을 이용한 압력센서의 제작에 있어 특히 중요한 공정 요소는 계면의 비접촉영역인 gap의 제거와 접합후 기계적 혹은 (전기)화학적 thinning에 의해 제조되는 다이아프램의 정밀한 두께 조절이다. 기판간에 비접촉 영역이 존재할 경우 이는 기준압 보존용 기준 공동 (reference cavity)와 외부의 피측정부간에 leakage를 형성할 뿐 아니라 실리콘 기판간의 접합 강도를 약화시켜 소자의 동작 범위를 줄이는등의 부작용을 초래한다. 또한 다이아프램의 두께 변화는 센서의 감도 오차를 제공하는 결정적인 요인이 되는데, 예를 들어 크기 1mm x 1mm, 두께 20  $\mu\text{m}$ 의 다이아프램으로 동작하는 압저항형 Si 압력센서에 있어 +/- 1  $\mu\text{m}$ 의 두께 변화는 +/- 10% 내외의 감도 변화를 초래하게 된다. (4-4)

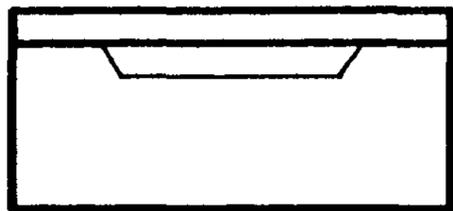
용융접합 공정시 접합 계면에는 비접촉영역인 여러가지의 gap들이 존재하게 되는데 외부로부터의 불순물 오염에 의해 발생하는 폭이 0.5  $\mu\text{m}$  이상의 macro-gap, 약 200-600  $^{\circ}\text{C}$ 정도의 중간온도에서 열처리를 행할 경우 계면에서 water 분자의 축적이 일어남으로써 생기는 bubble 형태의



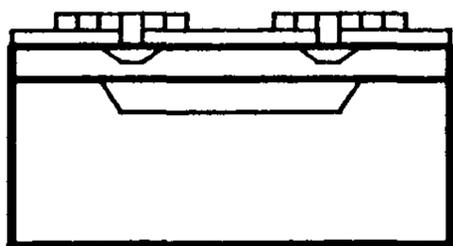
ETCH  
CAVITY



BOND  
TOP WAFER



THIN TO  
DIAPHRAGM  
THICKNESS



FAB.  
RESISTOR  
BRIDGE

그림 4-1. SFB 공정을 이용한 Si 압력센서의 제작순서

gap, 그리고 실리콘 기판의 표면 거칠음에 의한 것으로 이는 기판의 표면 상태에 따라 좌우되나 대략 폭  $0.1 \mu\text{m}$  이하의 micro-gap 등이 있다. (4-5.6, 7) 이들 중 macro-gap은 보다 청정한 환경에서 접합을 행하거나 혹은 특수한 방법의 기판 세척(4-8)에 의해 제거할 수 있으며, bubble 형 gap의 경우  $900 \text{ }^\circ\text{C}$  이상의 온도에서 열처리를 하여 표면 산화 속도를 증가시키고 이 때 발생하는 수소 가스를 외부로 확산시킴으로써 발생을 억제할 수 있다. 기판 자체의 비평탄도 (nonflatness)에 의해 비교적 넓은 범위에 걸쳐 형성되는 micro-gap은 형성 여부가 기판 고유의 품위에 의존하므로 사전처리로 제거하기가 어려울 뿐 아니라, gap의 폭이  $0.1 \mu\text{m}$  이내일 경우 gap의 관찰을 위해 흔히 사용되는 thermal (infrared) imager로도 검출이 용이하지 않다.

일반적으로 용융접합 공정시 계면에 존재하는 gap은 접합된 기판 쌍을 열처리 분위기에 무관하게 고온 ( $1050 \text{ }^\circ\text{C}$  이상)에서 일정시간 (30-120분) 동안 열처리하여 "기판의 성형 변형 + Si 원자의 고상 확산" 과정을 유도함으로써 제거되며(4-7.9.10), 다이아프램의 두께는  $p^-/p^{++}$ ,  $n/p$  등의 전기적 접합이 형성되어 있는 실리콘 기판을 전기화학적으로 etching & stopping 함으로써 대략  $\pm 0.02 \mu\text{m}$  이내의 두께 오차를 갖도록 조절할 수 있다. (4-10.11) 그러나 이들 두가지 공정을 병용할 경우 즉, base 역할을 하는 "handling wafer"와 다이아프램의 형성을 위한  $p^-$ 형 epi/ $p^{++}$ 형 sub 혹은  $n$ 형 epi/ $p$ 형 sub 구조의 "active wafer"를 고온 열처리에 의해 접합할 경우 out-diffusion, autodoping 등에 따른 불순물의 재분포 현상으로 doping profile 의 변화가 일어나 다이아프램의 두께 조절을 어렵게 하는 문제가 있다.

본 실험에서는 센서에의 응용을 위해 용융접합 공정을 수행하던 중 class 100 이내의 청정한 분위기에서 실리콘 기판간의 접합을 이룰 경우 불완전한 접합의 대부분이 micro-gap에 의해 형성되며 단시간의 열처리에 의해 이를 제거하는데 있어 열처리 분위기가 매우 중요한 변수로 작용됨을 관찰하였다. 이를 토대로 용융접합된  $p$ 형 실리콘/ $n$ 형 실리콘 기

판쌍들에 대해 ultrasonic image, angle lap./stained 접합, 단면 SEM 형상, 접합강도, 다이오드의 특성등을 관찰함으로써 습식 산소 분위기와 건식 산소 및 질소 분위기하에서의 고온 열처리시 micro-gap내에서 일어나는 접합 메카니즘을 조사하여 실리콘 센서에의 응용도를 평가하였다. 수록된 실험결과들은 센서용 실리콘 기계구조의 제작이나 패키징등에 효과적으로 이용될 수 있다.

## 제 1 절 실험 방법

본 실험에 사용된 실리콘 기판은 직경 4인치, 두께 525-530  $\mu\text{m}$ , 저항률 4.5-5.5  $\Omega\text{cm}$ 인 n형 및 p형 (100) 웨이퍼이며 아울러 표면 평탄도를 나타내는 TIR(Total Indicator Reading)의 평균치는 각각 1.435 및 1.553  $\mu\text{m}$ 로 SAS Tech.사의 Nanosurf 488 profile meter로 측정된 표면의 평탄 정도는 그림 4-2와 같다. 실리콘 기판들은 표준 RCA 세척방법(4-12)에 의해 세척된 뒤  $\text{OH}^-$  이온 흡착층 (hydrophilic layer)의 형성을 위해 60  $^{\circ}\text{C}$ , water 6part + hydrogen peroxide 1part + ammonium hydroxide 4part 용액내에서 3분간 hydrophilizing 하였고 water rinse - bubbling - spin drying 순으로 사전처리를 마무리하였다. 사전처리가 완료된 기판들은 p형과 n형을 한 쌍으로 하여 그림 4-3과 같은 캐리어상에서 석영 spacer에 의해 서로 분리된 채 상온에서 30초간 안정화하였다. 안정화 분위기는 습식 산소 (95  $^{\circ}\text{C}$  water bubbling), 건식 산소, 질소중의 하나를 선택하였다.

안정화 후, spacer를 제거하면  $\text{OH}^-$  이온들간의 수소결합에 의해 대략 5-10초내에 기판간에 접합이 형성된다. 이와 같이 약한 접합이 형성된 기판 쌍은 접합 계면에서 보다 강한 접합반응이 일어나도록 1100  $^{\circ}\text{C}$  에서 1, 2, 10, 30분, 1, 10 시간 동안 열처리는 안정화 단계에서 사용된 분

Name: SMP\_1 Dimensions: 800.00 Microns + 50.00 Microns

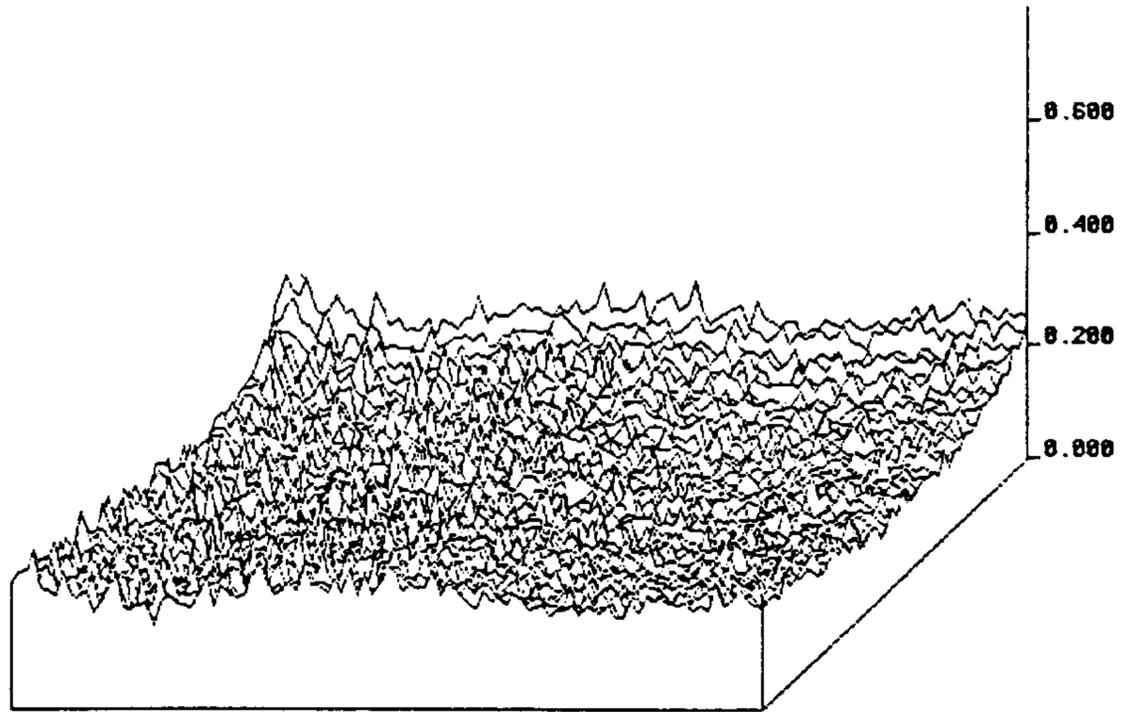


그림 4-2. SFB 공정에 이용된 Si 기판의 표면 거칠기

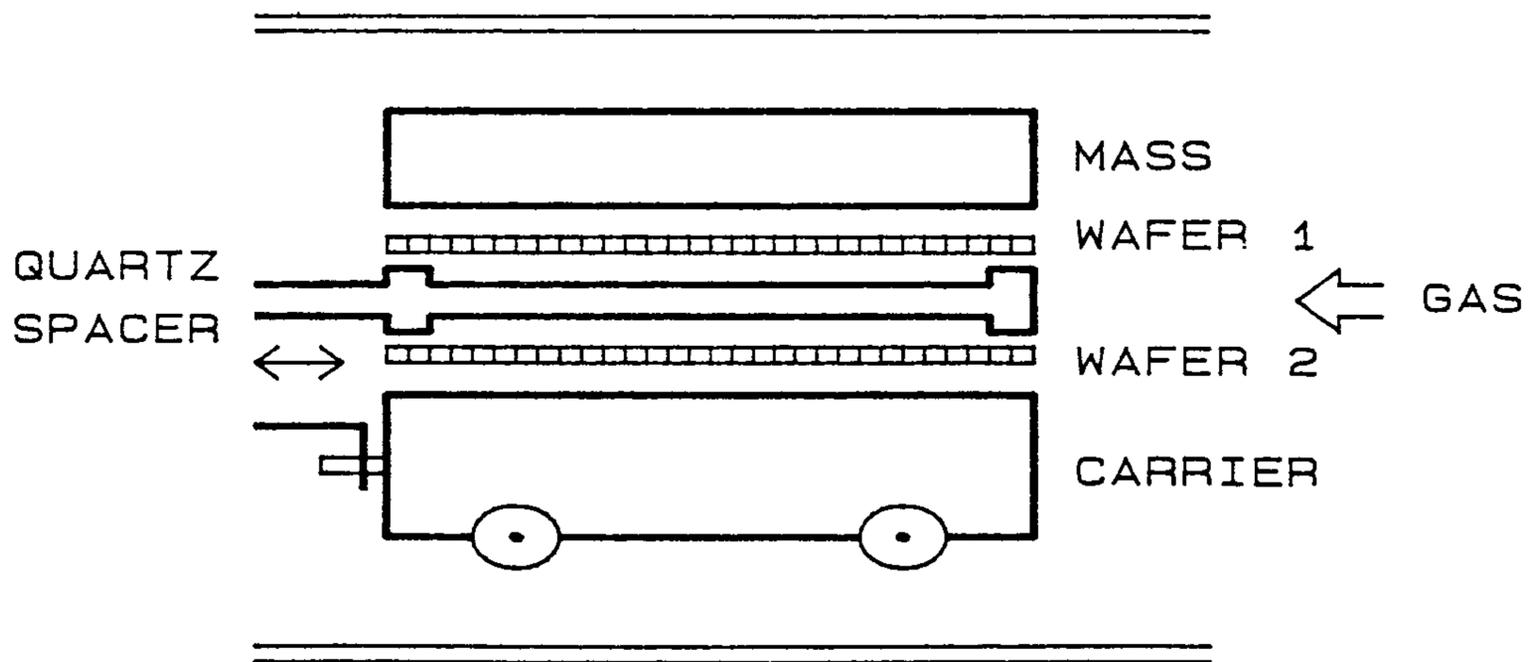


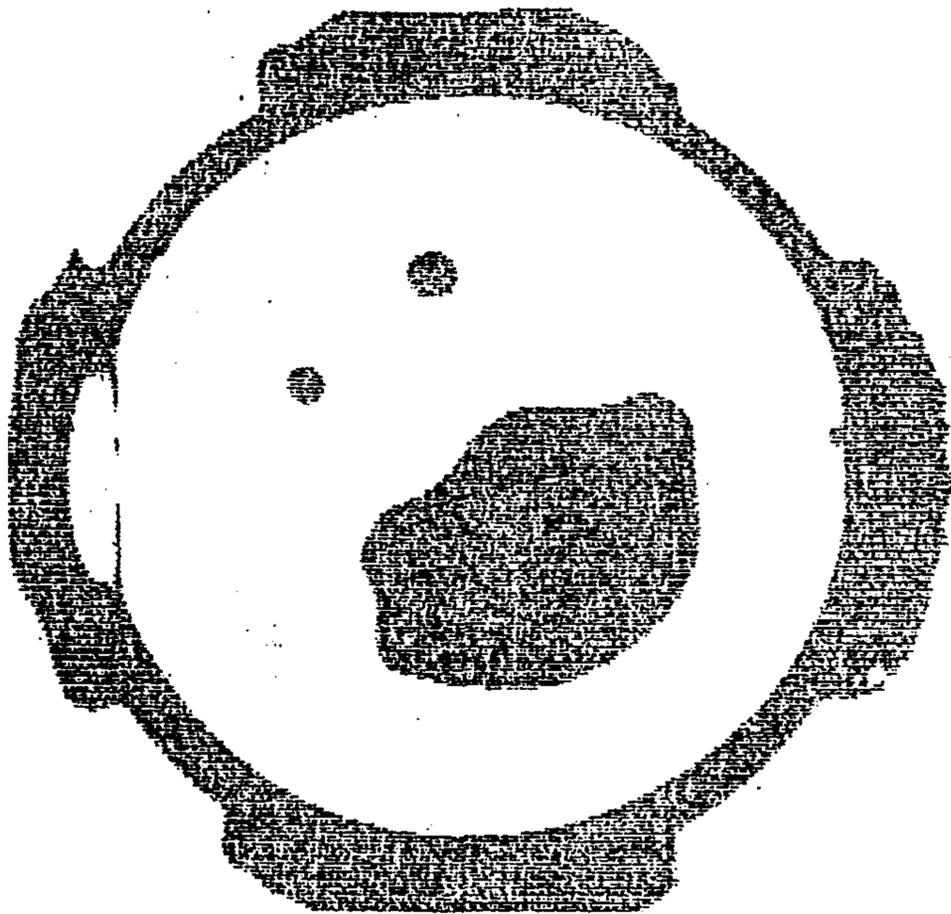
그림 4-3. SFB 공정시 열처리를 위한 기구의 구조

위기내에서 각각 수행되었으며 열처리 온도는 water cluster의 분해, 실리콘의 성형 변형, 실리콘 및 산소 원자의 고체상태 확산, 실리콘의 표면 산화속도, 계면에서의 산화막의 점성 흐름 (viscous flow)등을 고려하여 1100 +/- 2 °C 로 적절히 선택되었다. 또한 mass로는 무게 400 gr의 석영구조를 상측기판상에 놓았는데 이는 접합이 진행되는 동안 기판들을 서로 밀착시켜주는 역할을 한다. 이상의 모든 공정은 class 100 이내의 clean room 환경하에서 수행되었다.

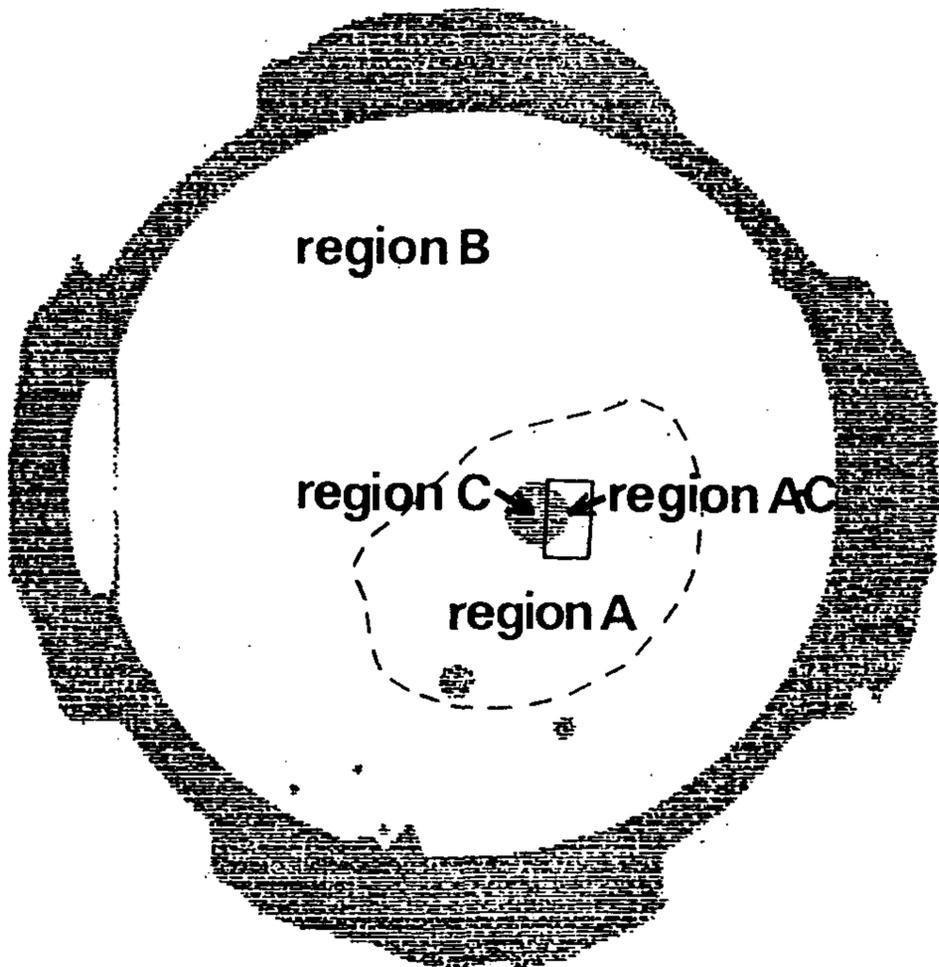
## 제 2 절 실험결과 및 토의

그림 4-4 (a) 및 (b)는 각각 습식 산소 분위기내에서 상온 안정화 후 접합을 행한 경우와 접합후 1100 °C, 10분간 열처리를 거친 p형-n형 실리콘 기판쌍에 대해, 접합 계면에 형성된 gap area를 IR thermograph 보다 분해능이 뛰어난 ultrasonic microscope (Testech LS-240 scanning and recording system) 로 관찰한 것이다. 그림 4-4(b)에서 "영역 A"는 접합 초기에 gap이 존재하였으나 열처리에 의해 제거된 영역이고 "영역 B"는 접합 초기부터 gap이 관찰되지 않은 영역이다. 아울러 "영역 C"는 열처리 후에도 지속적으로 gap이 존재하는 영역이며 "영역 A-C"는 "영역 A"와 "C"의 경계 부분을 나타낸다. 이를 통하여 초기 약 17% 정도의 gap-area가 열처리에 의해 1.5% 정도로까지 감소하였음을 관찰할 수 있다. 약 15-20% 범위의 gap area를 1로하고 1% 이내를 0으로 표준화하여 열처리 분위기 및 시간에 따라 gap area가 감소하는 정도를 그림 4-5에 나타내었다.

이를 보면 습식 산소 분위기의 경우 약 2분간의 열처리에 의해 gap-area가 대략 1% 정도로 감소하나 건식 산소나 질소 분위기시 1시간 이상의 열처리가 필요함을 알 수 있다. 고온 열처리시 gap내에 존재하는 산화제와 기판 표면의 OH<sup>-</sup> 이온들에 의해 Si 기판의 열산화 현상이



(a)



(b)

그림 4-4. wet O<sub>2</sub> 분위기하의 상온 접합된 경우 (a)와 접합 후 1100°C-10분간 열처리된 경우 (b) Si/Si 쌍의 초음파 영상

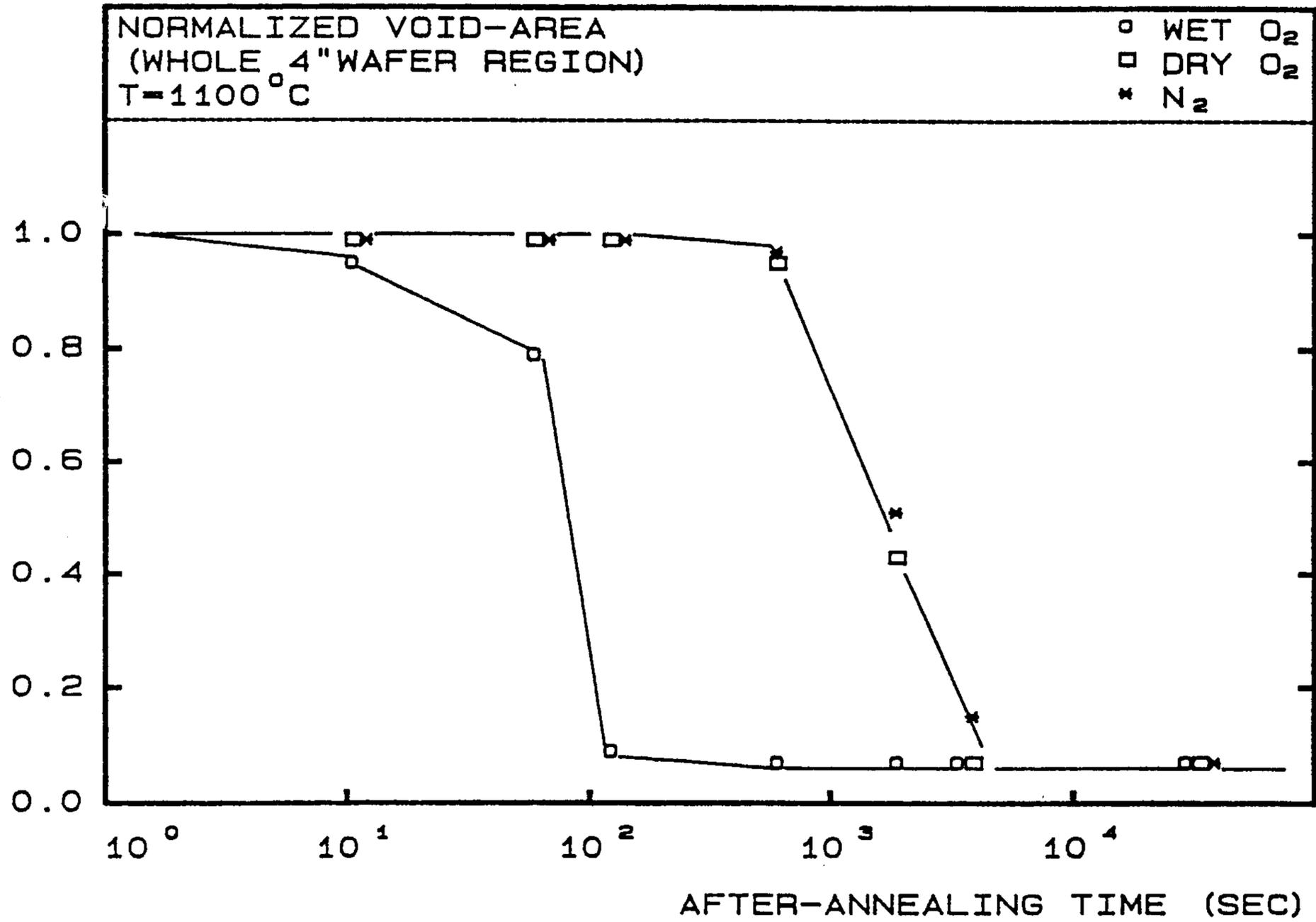


그림 4-5. 열처리 분위기 및 시간에 대한 규준화된 gap-area의 변화

일어나고 이로인한 "pumping 작용"에 의해 gap 내가 극부적인 진공 상태 (partial vacuum)가 됨으로써 기판의 성형 변형이 일어나게 되며 이러한 변형의 정도는 기판의 두께를 줄임으로써 더욱 커져 접합상태가 향상된다는 점은 이미 보고된 바 있다.(4-5.7.9.13) 이 경우 기판의 접합상태가 향상될수록 산화제 (oxidant)가 실리콘 산화막/실리콘 계면에 도달되기가 어려워지며 이로 인해 계면 산화막의 성장에 의한 gap의 메움 현상보다도 기판의 성형 변형이 gap area의 감소 및 제거에 더욱 우세한 요인으로 작용하게 된다. 그러나 산화막 내에서 water vapor의 용해도가 oxygen에 비해 약 600배 정도 크다는 점과 OH<sup>-</sup> 이온을 포함한 water-related species 가 초기의 수소 결합에 의한 접합 반응에 기여한다는 점(4-13.14)을 고려하여 볼때, 접합이전의 안정화 과정과 열처리의 초기에 기판과 기판간의 미세 채널을 통한 산화제의 공급으로 폭 0.1 μm 이내의 micro-gap을 제거하는데 있어 있어 계면 산화막의 성장에 의한 gap의 메움 현상(gap filling-up phenomena)이 무시될 수 없을 정도로 작용하고 있음을 예측할 수 있다.

그림 4-6의 (a)와 (b)는 각각 "영역 A"와 "영역 B"에 있어서 열처리 분위기-시간에 따른 접합 강도(bonding strength, 혹은 fracture strength)의 변화를 tensile strength meter(Instron Model 4301)로 측정된 것이다. 이때 "영역"의 의미는 그림 4-4(b)의 경우와 동일한 의미를 갖는다. 그림 4-6(a)에서 볼 때, 습식 산소 분위기시 gap area가 1% 정도로 감소하는 시점인 2분 정도의 열처리 시간에서 기판간의 접합 강도는 약 110 Kg/cm<sup>2</sup>에 이르며 10분이 지나면 다시 증가하기 시작하여 1시간에 이르면 약 180 Kg/cm<sup>2</sup>로 포화됨을 알 수 있다.

이와 같이 습식 산소 분위기내에서의 열처리시 2-10분간의 열처리 시간에서 과도 영역이 존재하는 이유로 다음과 같은 해석이 가능하다. 즉, 열처리후 2분이 경과되면, 성형 변형으로 더욱 간격이 좁아진 micro-gap 내의 두 기판상에서 성장된 산화막이 서로 맞닿음으로써 gap이 메워지게되나, 산화막-산화막 간에는 아직 완전한 구조적 결합이

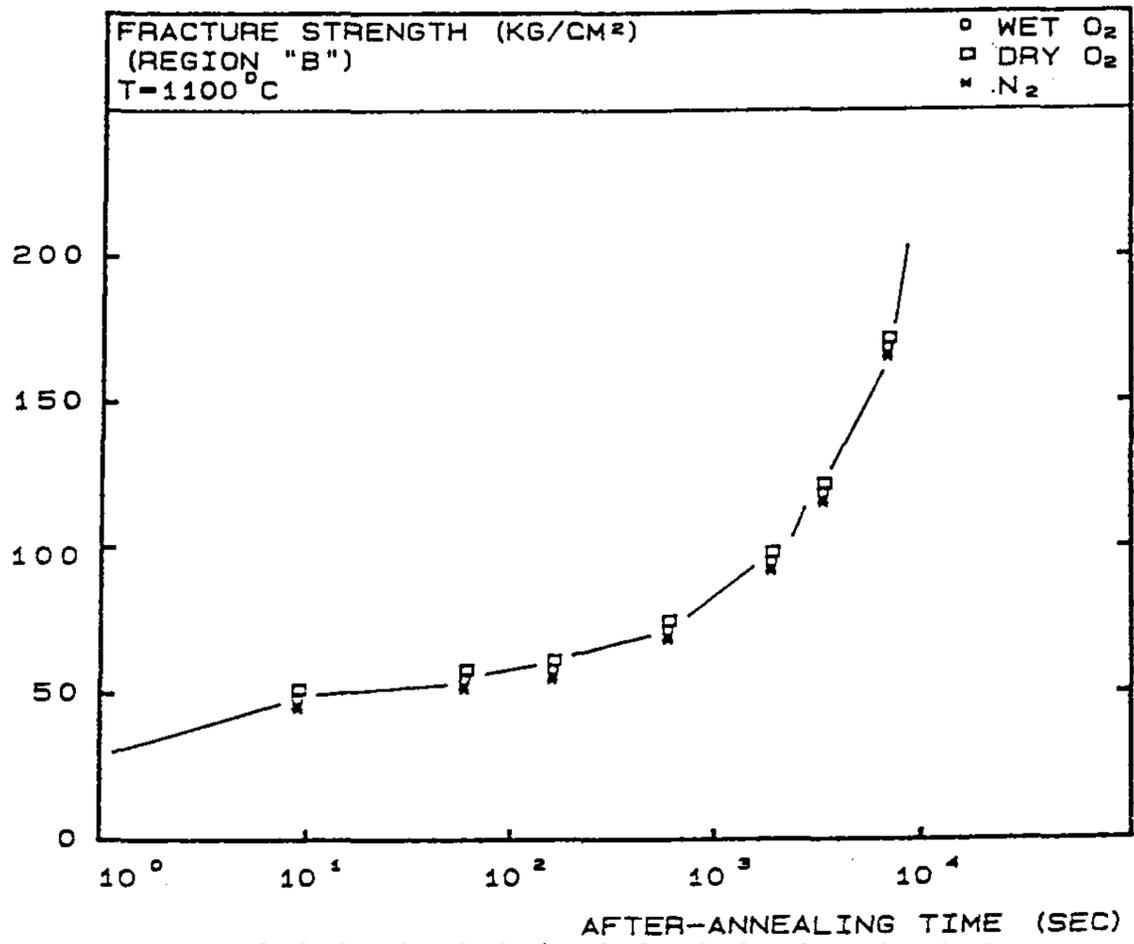
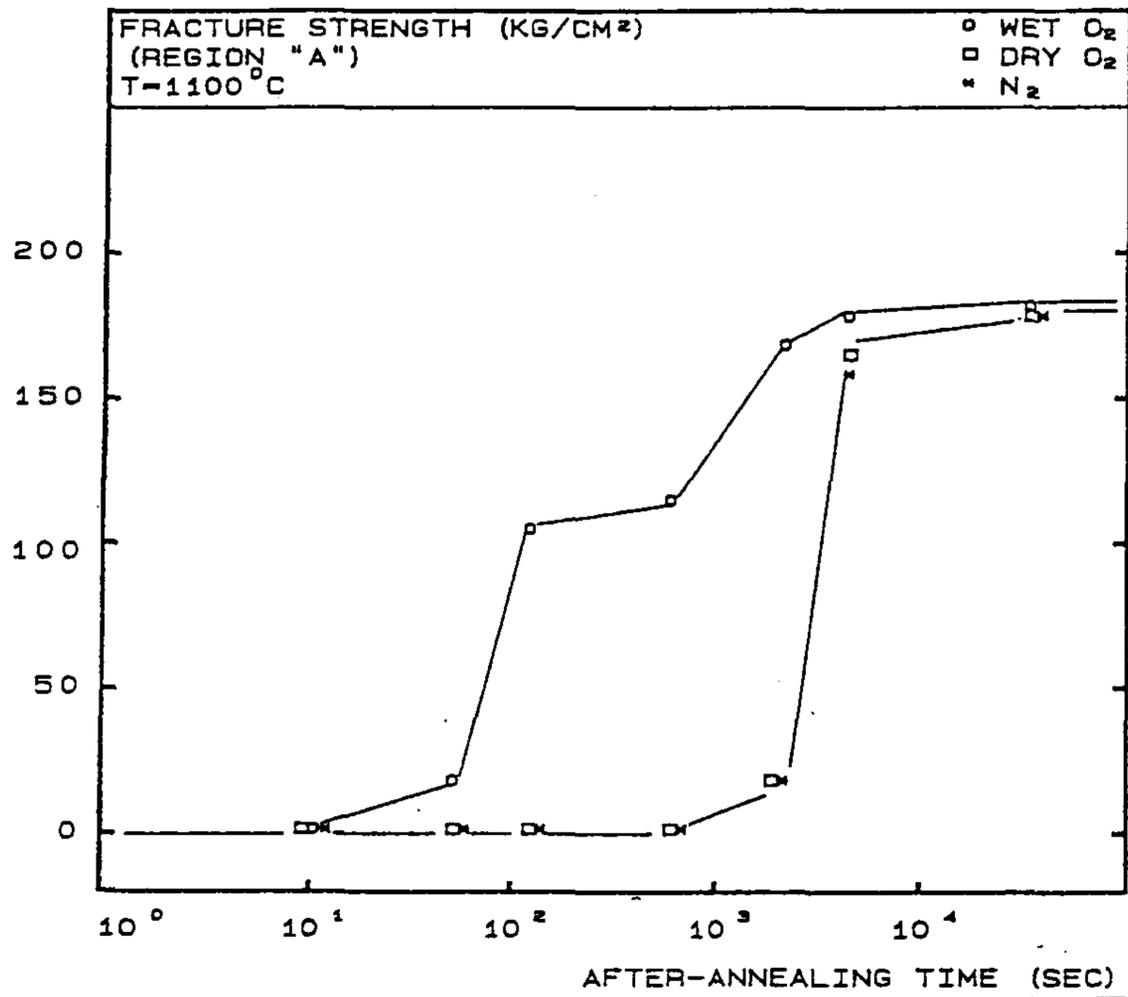


그림 4-6. 열처리 분위기 및 시간에 대한 접합 강도의 변화

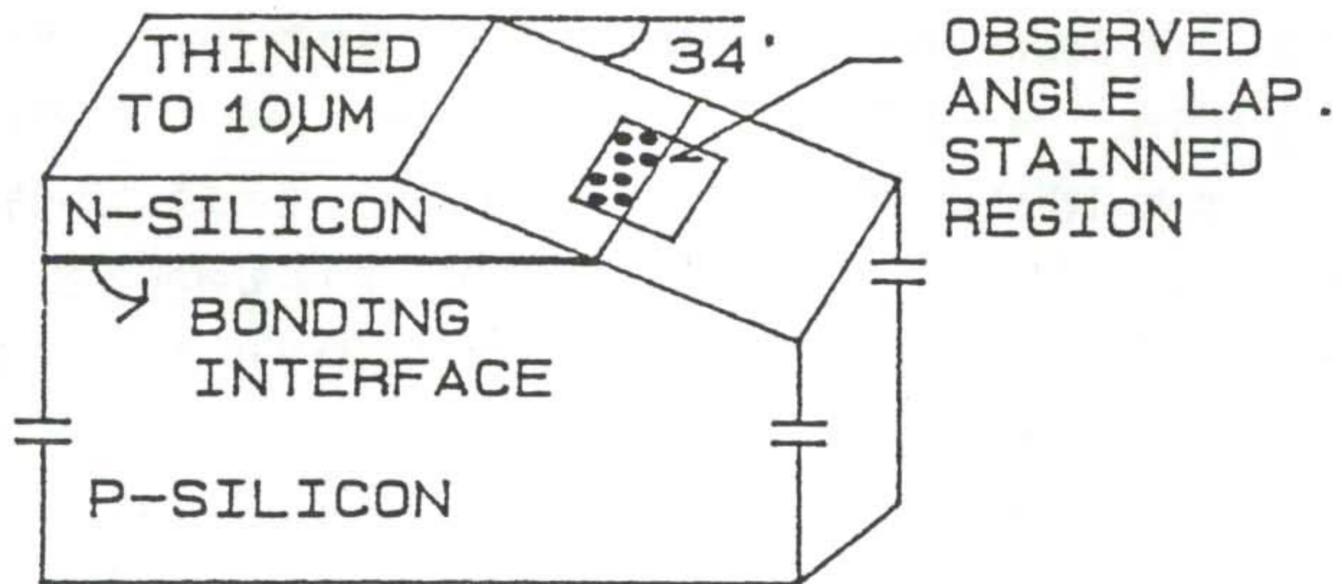
(a) 그림 4-4(b)의 "영역 A"

(b) 그림 4-4(b)의 "영역 B"

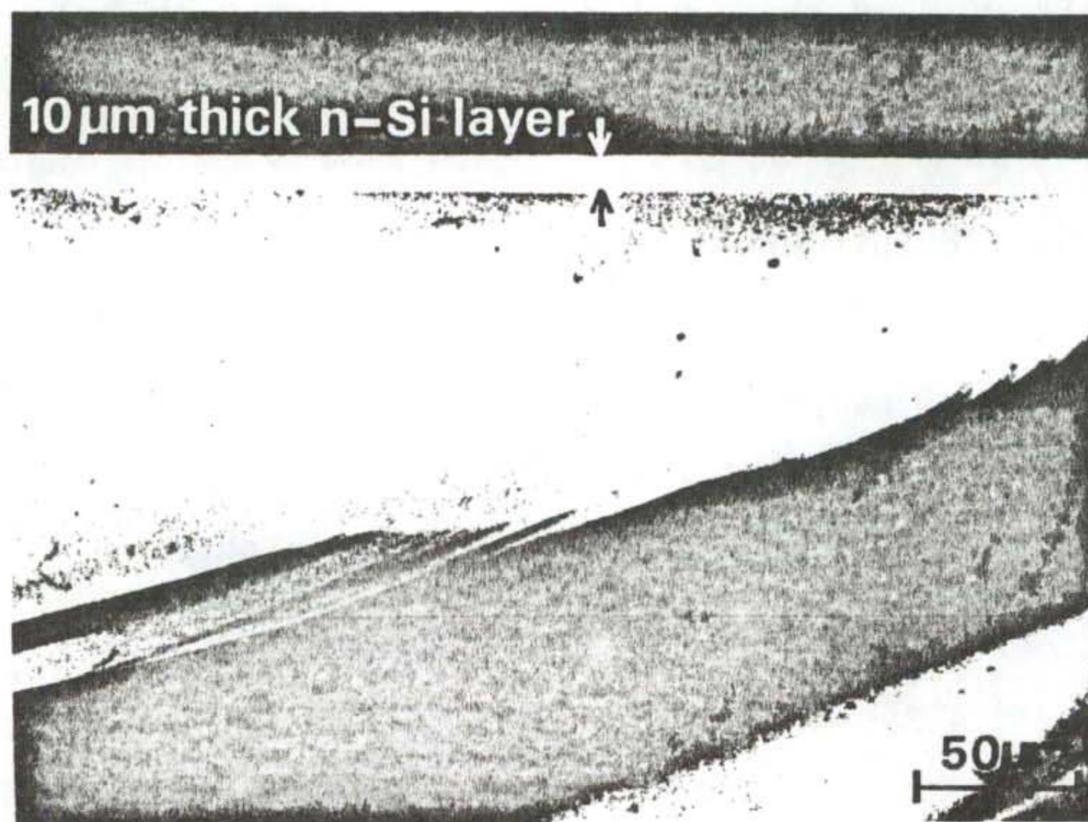
이루어지지 않은 상태이다. 열처리 후 10분이 지나면 산화막의 점성 흐름 (viscous flow), 실리콘 및 산소 원자의 고체 상태 확산 (solid state diffusion) 을 통해 산화막간에 존재하는 계면이 제거되기 시작하여 대략 1 시간 후 접합 강도는  $180\text{Kg/cm}^2$  에 이르게 된다. 건식 산소나 질소 분위기의 경우 과도 영역이 없이 1 시간이 지나면 비슷한 접합 강도로 포화되는데 이로부터 기판간의 접합은 주로 성형 변형후 실리콘과 적은양의 산소 원자의 고체 상태 확산에 의해 이루어지며, 습식 산소 분위기의 경우처럼 단시간 내에 계면 산화막의 성장에 의한 기여도는 무시될 수 있음을 알 수 있다. 한편 그림 4-6(b)는 "영역 B"에 있어서 접합 강도를 측정된 것으로 접합 초기에 micro-gap의 영향없이 완전한 접합이 이루어진 경우 열처리 분위기에 무관하게 시간에만 지수적으로 의존하는 경향을 띄는데 이는 W.P.Maszara et al. (4-13) 및 R.Stengl et al. (4-14)의 결과와 일치함을 보여주고 있다.

그림 4-7(a)는 실리콘-실리콘 접합 계면을 관찰, 비교하기 위하여 angle lapping / staining 된 시편의 구조이다. 시편의 제작을 위해 그림 4-4(b)의 "영역 A"와 "영역 B"로부터 크기  $10\text{mm} \times 10\text{mm}$  정도의 시편을 채취하여 n형 기판의 두께가 대략  $10\ \mu\text{m}$  정도 되도록 기계적으로 연마하였다. 연마된 기판 쌍을  $34^\circ$ 의 각도를 갖는 jig 에 부착하여 angle lapping한 뒤, (cupric sulfate:5water) 0.8gr + 48% HF acid 1cc + d.i.water 100cc 용액내에서 UV를 쬐어주면서 n형 기판을 staining하였다. 그림 4-7(b)는 약  $10\ \mu\text{m}$ 까지 연마된 n형 기판을 갖는 n형 Si-p형 실리콘 쌍의 단면을 보인 것이며 그림 4-4(b)의 "영역 A"와 "영역 B"에서 채취되어 angle lapping /staining된 시편의 접합 계면 영역을 각각 그림 4-7(c) 및 (d) 에 나타내었다.

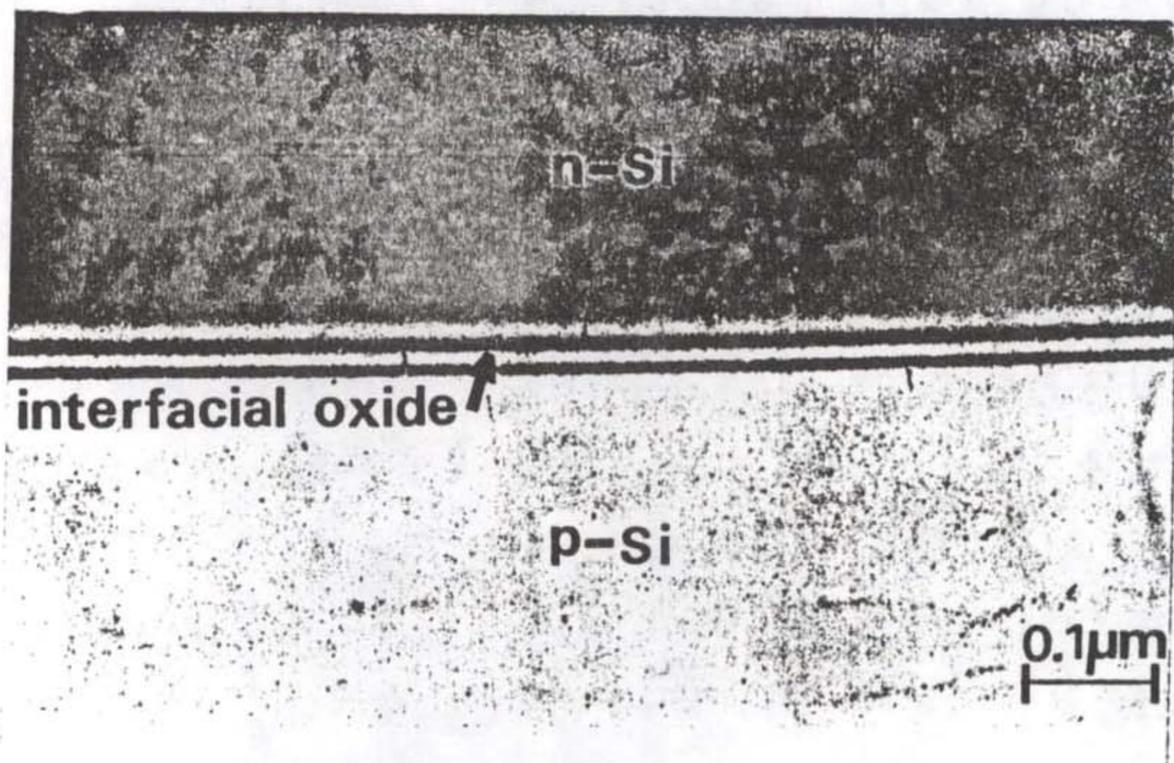
"영역 A"의 경우, 약  $200\text{-}300\ \text{\AA}$  정도의 산화막이 gap을 메우고 있는 것이 확인되었으며 이로 인해 열처리 이전에 존재하고 있던 비접촉 영역이 소멸되었음을 추측할 수 있다. 그림 4-3(d), 즉 "영역 B"에 있어서, 접합 계면 부분은 관찰되었으나 계면 산화막이 보이지않는 점으로 미루어 볼때 열처리 이전에 상온에서의 수소 결합에 의해 micro-gap이 없



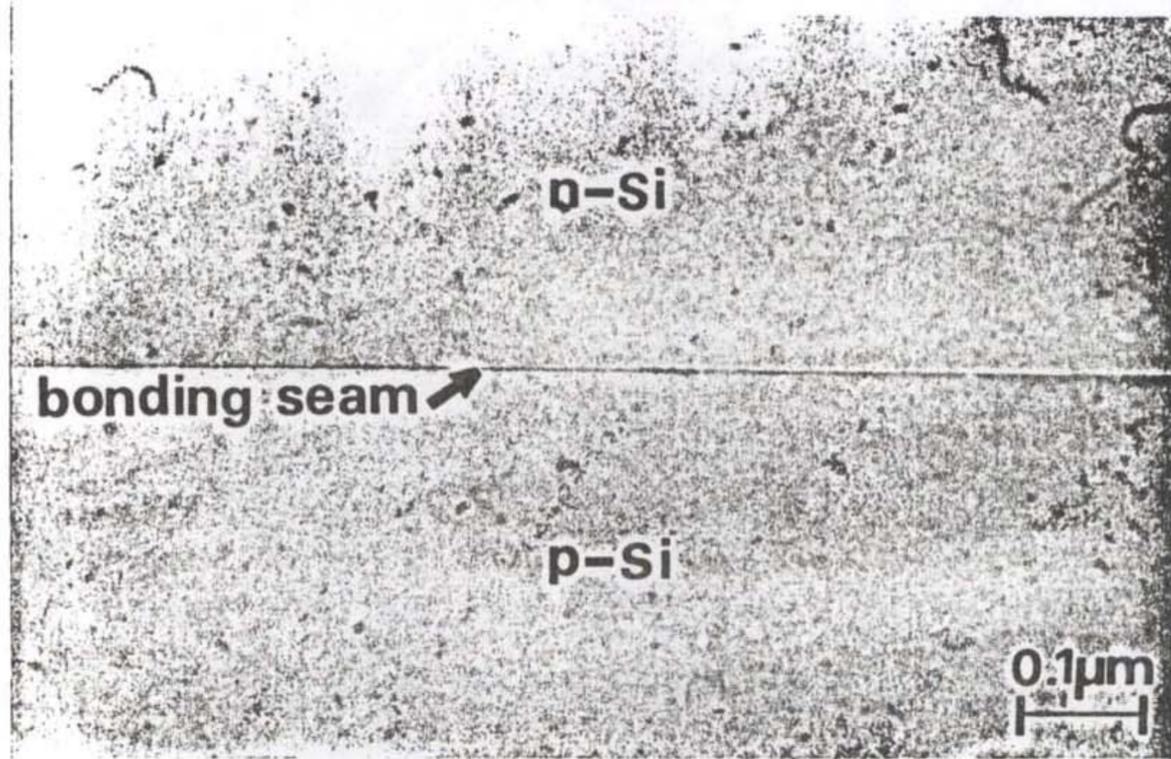
(a)



(b)



(c)



(d)

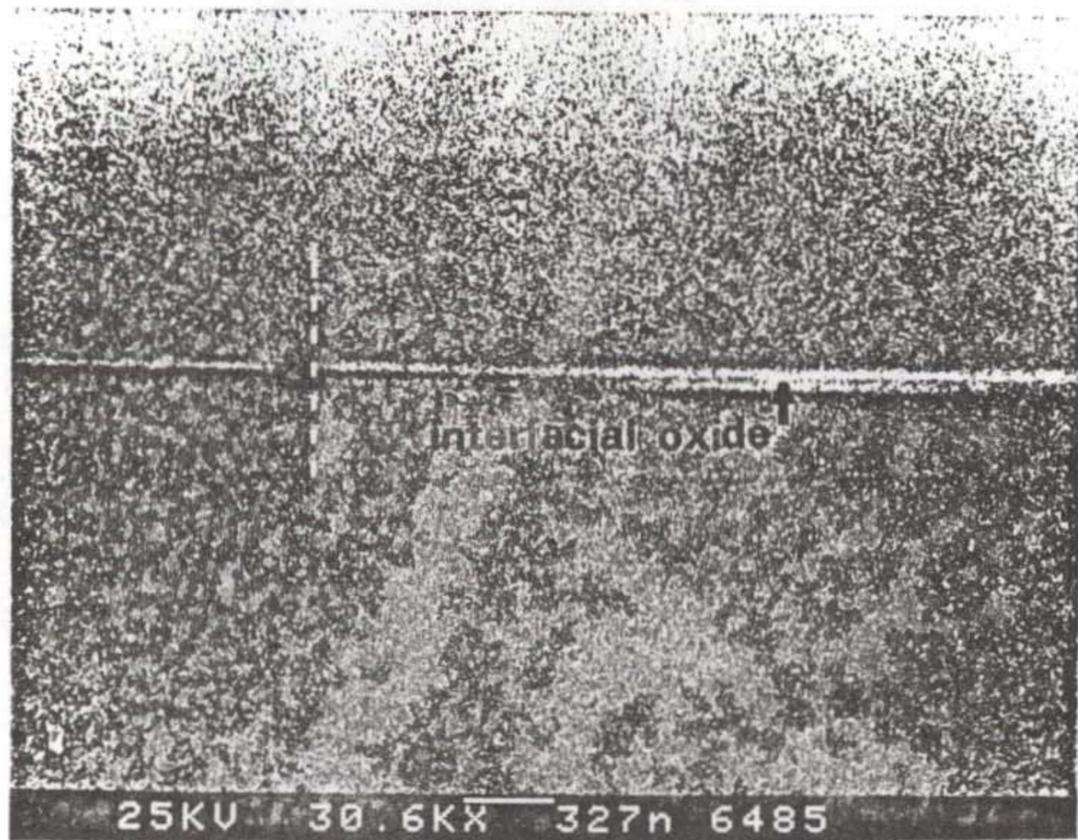
- 그림 4-7. (a) angle lapping/staining 방법을 통한 접합 계면 관찰용 시편  
 (b) 10 $\mu\text{m}$ 까지 박판화된 시편의 단면도  
 (c) 그림 4-4(b) "영역 A"에 있어서 34' angle lapping/staining 된 모양  
 (d) 그림 4-4(b) "영역 B"에 있어서 34' angle lapping/staining 된 모양

이 완전한 접합이 형성된 경우, 이미 보고되었듯이 고온 열처리를 통해 계면에서 실리콘이나 산소 원자의 확산등이 일어남으로써 Si-OH-Si → Si-O-Si → Si-Si 단계로 접합 상태가 진행됨을 추측할 수 있다. (4-7, 9, 10) 이때, 열처리 시간은 10분으로 그림 4-6에서 알 수 있듯이 접합 강도가 최대치인 180 Kg/cm<sup>2</sup> 에 이르지 못하고 있으나, "영역 A"에 있어서 접합 강도가 110 Kg/cm<sup>2</sup> 정도로 "영역 B"의 경우 ( 70 Kg/cm<sup>2</sup> ) 에 비해 높으며 또한 그림 4-5에서 알 수 있듯이 gap도 거의 제거된 상태이다. 예를 들어 실리콘 압력센서의 경우, 10 - 30 μm 두께의 다이아프램에 대한 최대 허용 압력이 1 - 15 Kg/cm<sup>2</sup> 임을 고려할 때(4-14), 습식 산소 분위기 하에서의 1100 °C-10분간의 열처리에 의해 제거된 gap 영역의 접합 강도는 이에 응용할 수 있을 정도로 강함을 알 수 있다.

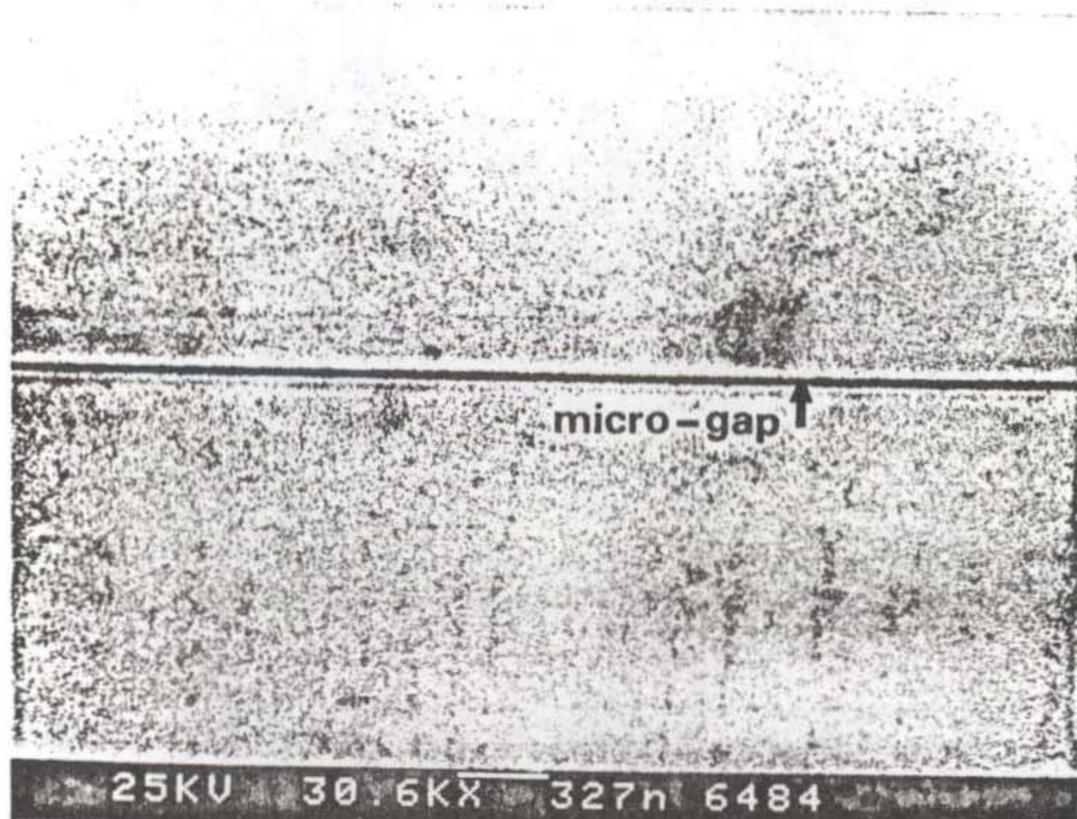
그림 4-8(a)는 그림 4(b)에서의 "영역 A-C" 부분을 관찰한 것으로 점선을 경계로 하여 우측에 열산화막으로 보이는 계면 물질의 성장을 통해 micro-gap이 메꿔지고 있음을 관찰할 수 있다. 그림 4-8(b)는 (a)의 시편을 buffered HF 용액내에 3분간 담근 뒤 관찰한 것으로 gap 내에 성장된 계면 산화막이 제거된 후 폭 200-300 Å 정도의 micro-gap의 존재를 확인할 수 있다.

한편, 그림 4-4(b)의 "영역 C"의 경우, 10시간 이상의 장시간 열처리에도 gap이 지속적으로 존재하는데, 이와 같은 형태의 gap은 건식 산소나 질소 분위기내에서 열처리를 행한 경우에도 종종 발견된다. 예를 들어 그림 4-9(a)는 질소 분위기내에서 30초간 안정화한 뒤, 1100 °C, 10시간동안 열처리된 실리콘 기판 쌍의 ultrasonic image로 "영역 C"로 표시된 gap이 여전히 존재하고 있다. 이의 단면을 관찰한 결과 그림 4-9(b)에 보인 바와 같이 약 0.8 μm 크기의 먼지 입자가 관찰되었는데, 이와 같은 형태의 gap은 는 전술하였듯이 보다 청정한 환경하에서 접합을 행하는 경우에만 존재하지 않게 된다.

그림 4-10(a) 및 (b)는 각각 건식 산소 분위기내에서 상온 안정화 후 접합을 행한 경우와 접합 후 1100 °C, 3시간의 열처리를 거친 실리콘 기

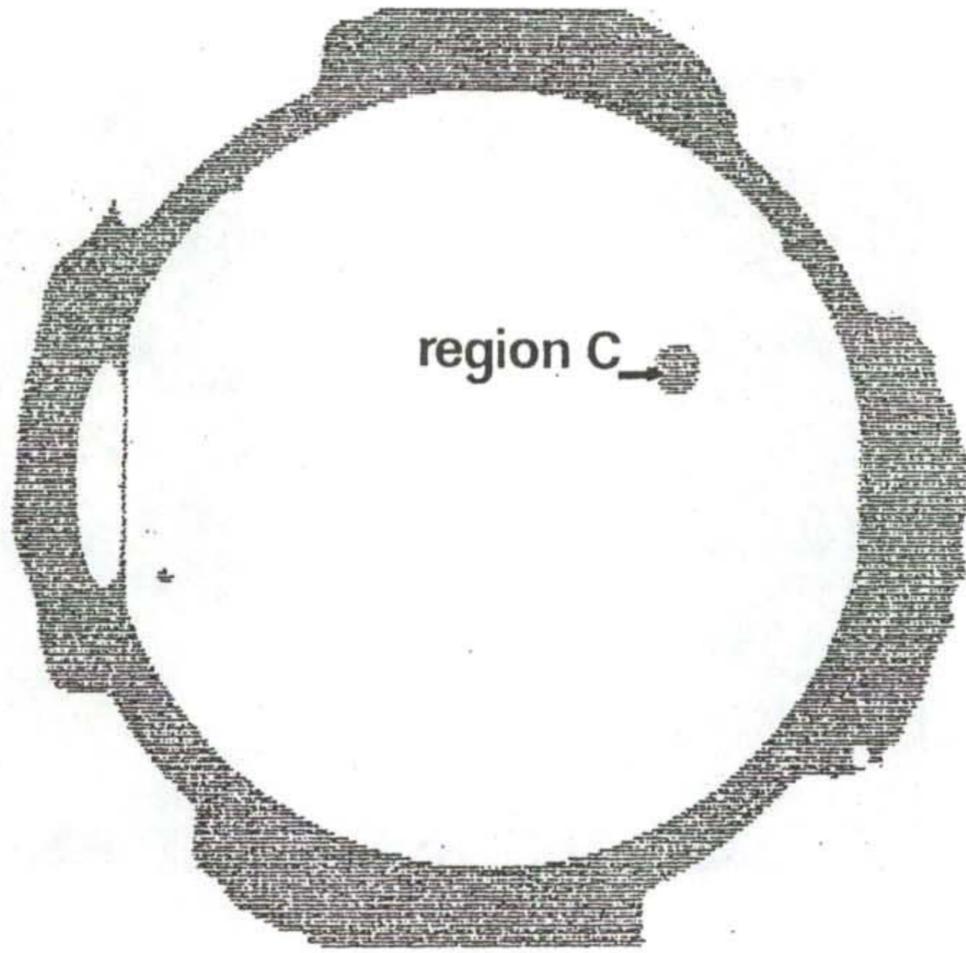


(a)

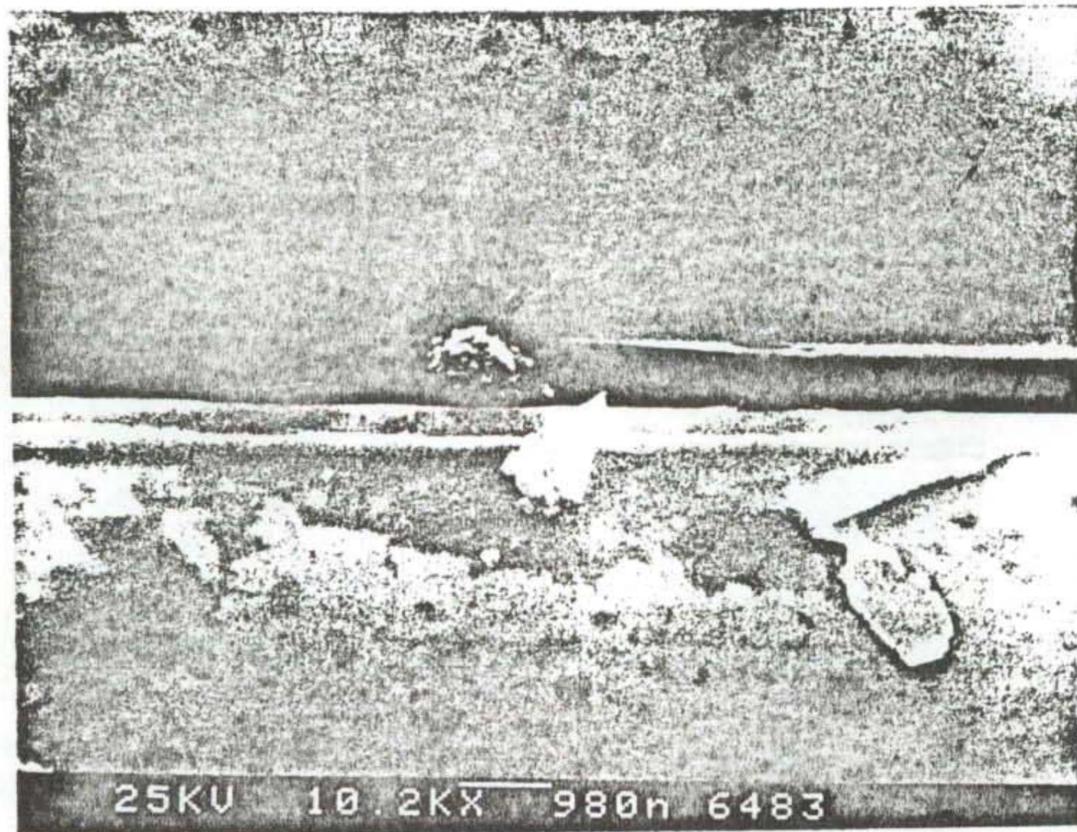


(b)

그림 4-8. 그림 4-4(b) "영역 A-C"의 단면 (a)과  
BHF 용액내의 30초간 담근 후의 단면 관찰 (b)



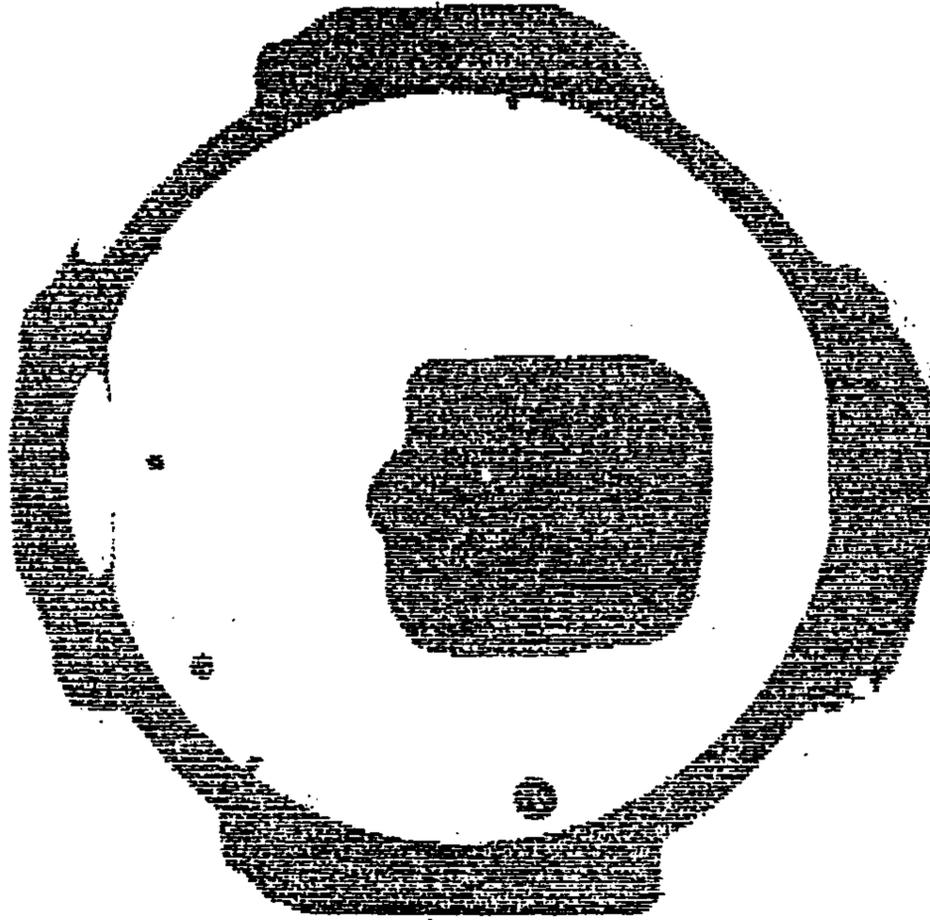
(a)



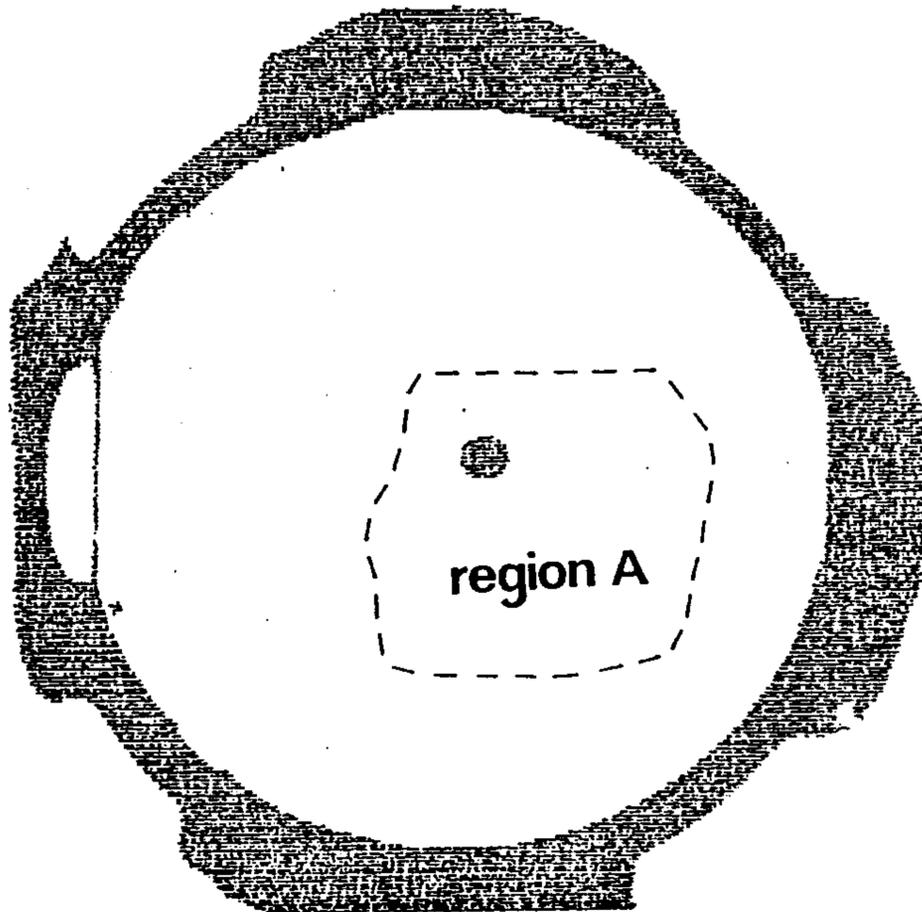
(b)

그림 4-9. (a) N<sub>2</sub> 분위기하의 접합 후 1100°C-10시간동안  
열처리된 Si/Si 쌍의 초음파 영상

(b) (a)의 "영역 C"의 단면



(a)



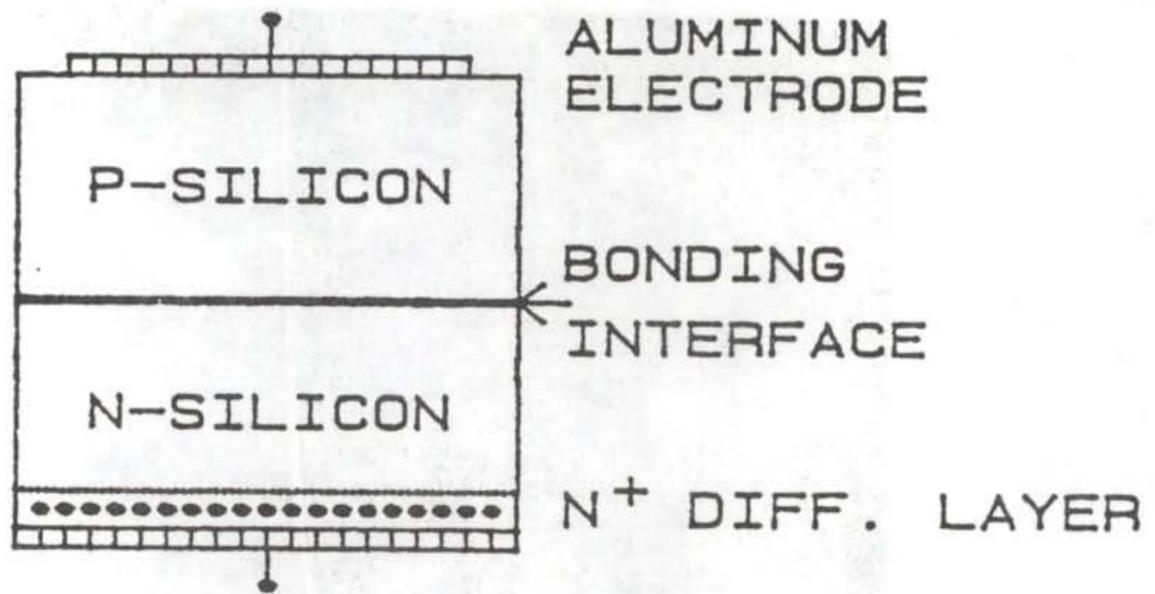
(b)

그림 4-10. dry  $O_2$ 분위기하에서 상온 접합된 경우 (a)와  
접합 후  $1100^{\circ}C$ -3시간동안 열처리된 경우 (b)  
p-Si/n-Si 기판쌍의 초음파 영상

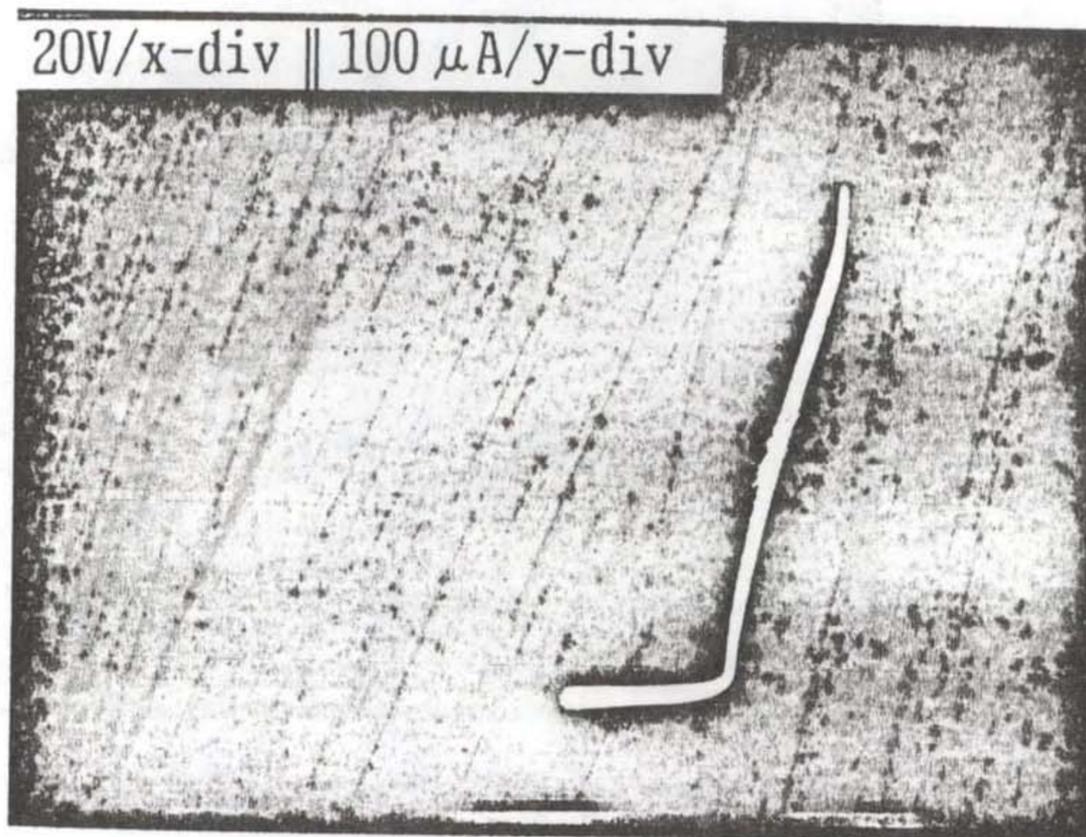
판상에 대한 ultrasonic image이다. 그림 4-10(b)에 있어서 각 "영역"의 적용은 그림 4-4(b)의 경우와 같다. 이와 같은 열처리를 거친 기판 상은 macro-gap이 거의 존재하지 않을 경우, 약 1% 이내의 gap-area와 180 KG/cm<sup>2</sup> 정도의 접합 강도를 지니게 된다. 그림 4-4(b)의 시편을 2시간 50분간 1100 °C, 습식 산소 분위기에서 부가적인 열처리를 행하여 총 열처리시간을 3시간으로 한 후, 이의 "영역 A"와 그림 4-10(b)의 "영역 A"를 이용하여 다이오드를 제작하였다. 각 다이오드의 크기는 2 x 2 mm<sup>2</sup> 로 하였고 p형 기판상에는 지름 1.8 mm의 원형 Al 전극을 증착하고 n형 기판상에는 phosphorus를 확산하여 n<sup>+</sup>영역을 형성한 뒤 전면에 Al 전극을 증착하여 450 °C의 질소 분위기에서 3분간 alloying하였다.

그림 4-11(a)는 제작된 다이오드의 구조이고, 그림 4-11(b)와 (c)는 각각 1100 °C, 3 시간의 습식 산소, 그리고 건식 산소 분위기내에서의 열처리를 통해 제작된 소자들의 순방향 특성을 보인 것이다. 그림 4-11(b)의 경우, 37-40 V 정도에서 계면 산화막의 절연 파괴가 일어남을 알 수 있는데, 이는 200-300 Å의 두께를 갖는 열 산화막에 대해 절연 파괴전장이 1.5-1.3 MV/cm 임(4-15)을 고려할 때 계면 산화막의 존재 및 두께 정도를 간접적으로 시사해 주고 있다. 그림 4-11(c)의 경우 그 순방향 특성은 일반적인 다이오드의 I-V 관계식 " $I = I_0 \exp(qV/nkT)$ "를 따르며, 이때 n의 값은 1.6정도로 이 다이오드의 전류는 재결합 및 확산전류의 중간 경향을 띄고 있음을 알 수 있다. 그림 4-11(d)의 경우 이의 역방향 특성으로 약 200V 정도의 역 bias에 이르기까지 누설 전류는 거의 관찰되지 않았다.

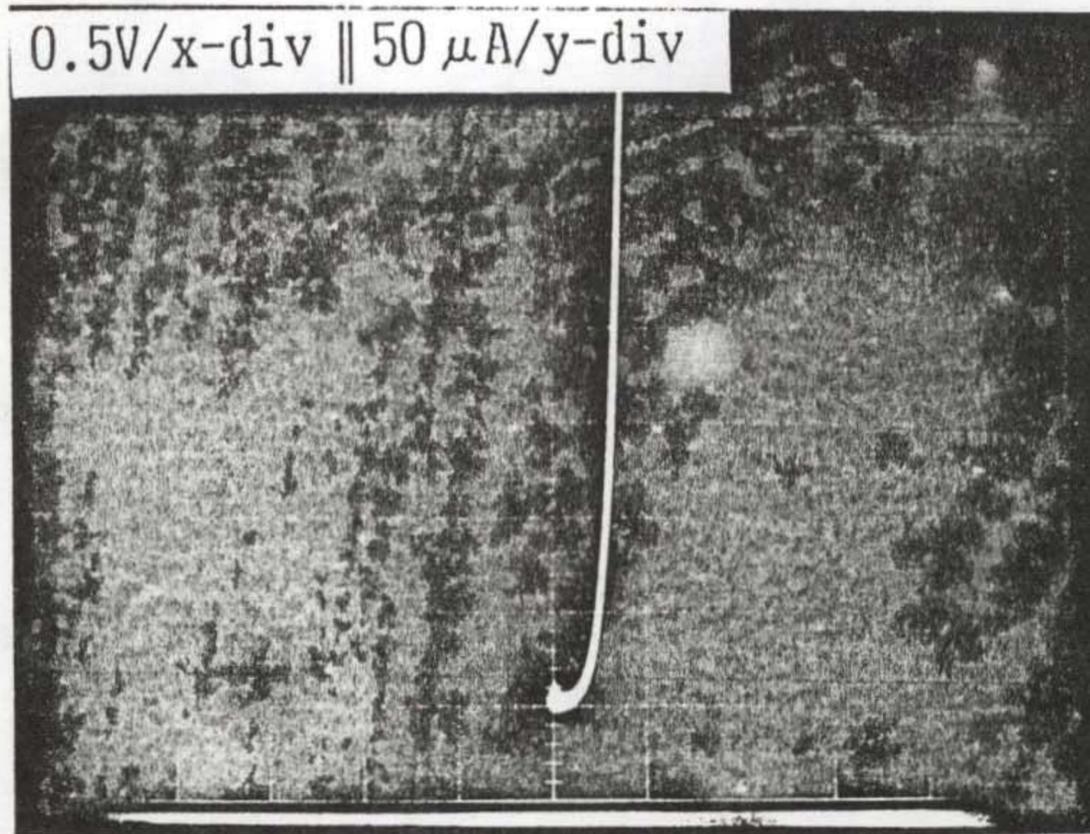
이상, 실리콘 센서용 미세기계 구조의 제작에 있어 최근 핵심기술로 등장하고 있는 실리콘 용융 접합에 관하여 전반적인 실험을 수행하고 그 결과를 분석하여 보았다. 또한 보다 단시간내에 접합을 완료하는 방안을 강구하기 위해 강한 산화제로 채워져있는 분위기에서 고온-단시간의 열처리를 행한 결과, 접합 강도와 접합 계면 상태에 있어서 발생하는 몇몇 문제점들에 대한 분석만 이루어진다면 실리콘 압력센서용 다이아프램이



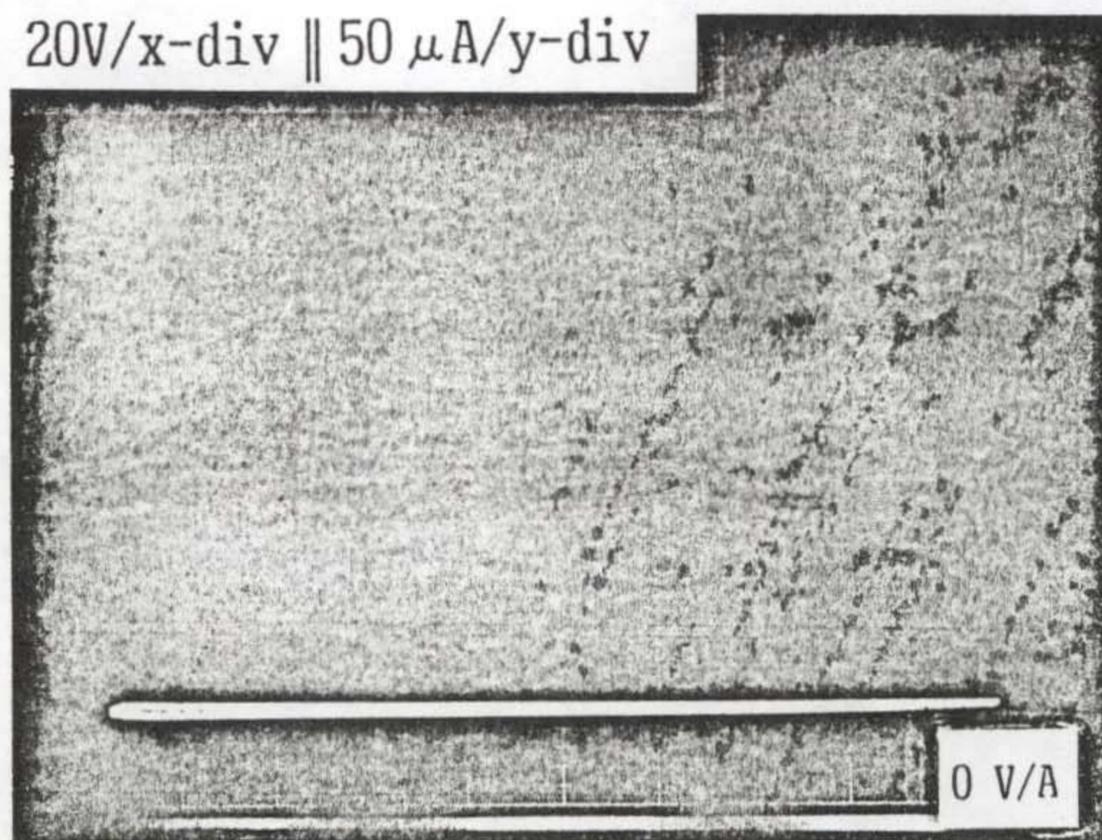
(a)



(b)



(c)



(d)

그림 4-11. (a) SFB 공정에 의해 형성된 p-Si wafer/n-Si/wafer/n<sup>+</sup> diode 구조

(b) wet O<sub>2</sub>-1100°C-3시간 열처리된 소자의 순방향 특성

(c) dry O<sub>2</sub>-1100°C-3시간 열처리된 소자의 순방향 특성

(d) dry O<sub>2</sub>-1100°C-3시간 열처리된 소자의 역방향 특성

나 가속센서용 캔틸레버 빔의 제작에 있어서 전술한 바와 같은 잇점들이외에도 보다 정밀한 전기화학적 식각이나 불순물 도핑 관련 공정들을 수행하는데 효과적인 방법으로 쓰일 수 있을 것으로 생각된다.

이의 응용에로써, 실리콘 용융 접합 및 박판화 공정을 통해 제작된 실리콘 압력 센서용 다이아프램을 그림 4-12에 나타내었다. 이 구조에 있어서 기준 공동의 폭은 약  $20\ \mu\text{m}$ , 다이아프램의 두께는 약  $15\ \mu\text{m}$ 이다.

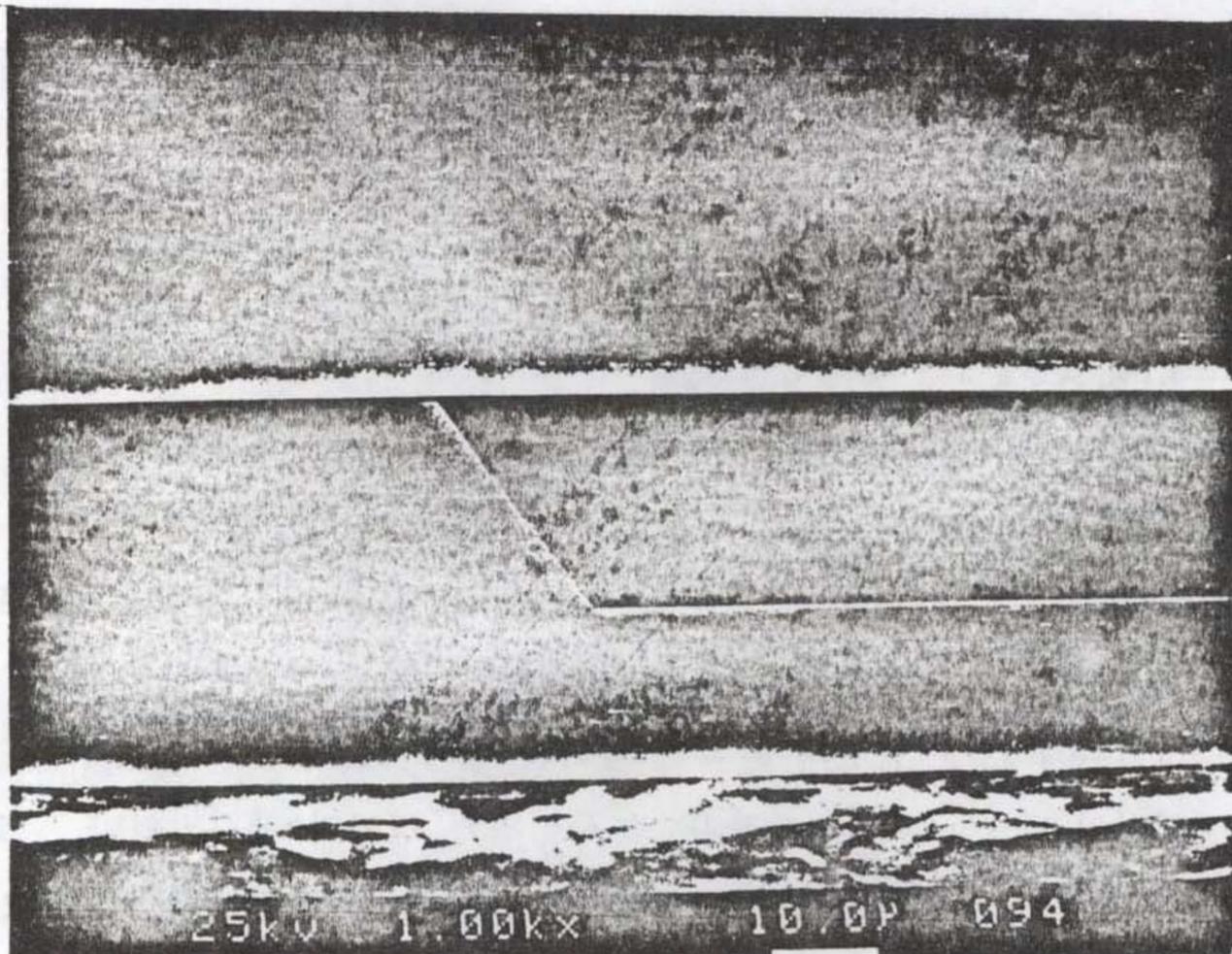


그림 4-12 SFB 및 thinning 공정에 의해 제작된  $15\ \mu\text{m}$  두께의 실리콘 다이아프램

## 제 5 장 결 론

흐름-온도-압력 동시 계측용 집적화 실리콘 마이크로 센서 개발에 관한 본 연구에서 고도로 발달된 실리콘 집적회로 제조기술과 최근의 실리콘-실리콘 용융접합 기술을 이용하기 위한 연구가 진행되었다. 제 1 차 년도의 연구결과를 바탕으로 흐름-온도-압력 동시 계측용 집적화 실리콘 센서용 마스크를 설계하고 제작하였다. 제작된 마스크의 흐름센서는 금속 박막의 온도-저항관계를 이용하는 hot-wire anemometer 형이고 Ni 을 사용하였다. 온도 센서의 경우 일정한 전압에서 측정된 순방향 전류나 역방향 전류의 면적비가 온도변화에 대해 지수함수의 관계로 나타나는 실리콘 PN 접합 다이오드와 전도도가 다른 두 매질 사이의 열기전력(thermoelectric force) 에 기초한 thermocouple 형 array 인 thermopile 을 설계하였다. 압력센서는 실리콘의 piezo-resistive 효과를 이용하는 thin membrane 형 센서이다.

설계 및 제작된 집적센서용 photo-mask 를 이용한 4" Si full wafer 공정기술 연구에서 PDS 확산 소오스에 의한 확산층의 제조기술, 대면적 lift-off 기술, 그리고 package 등에 대한 연구결과를 제시하였다. 단위공정 연구를 통하여 확립된 공정조건을 이용하여 일괄 공정단계를 설정하고 그에 따라 집적센서를 제작하였다. 집적센서에 사용된 주요공정중 열적 격리를 위한 절연막의 경우 열산화에 의한 실리콘 산화막과 PECVD 방법에 의한 실리콘 질화막의 2 층 구조의 제작과 그 특성평가 결과가 제시되었다. 또한 실리콘의 deep-etching (or micromachining) 을 위한 공정에서 일반적인 화학식각용액에 의한 습식기술과 RIE (reactive ion etching) 에 의한 건식식각 기술을 연구하고 그 특성평가를 통하여 기술적 응용 가능성을 확인하였다.

평면 공정에 의하여 실리콘에 미리 일정 단계의 공정이 이루어진 시료와 또 다른 실리콘의 용융접합에 기초한 실리콘-실리콘 용융접합 기술은 최근에 다각도로 연구되어온 기술로서 센서제작에 응용될 경우 비교적 손쉽고

높은 수율의 기술적 장점이 인정되는 신기술이다. 본 연구에서도 이러한 추세를 감안하여 그 기본적인 기술연구 단계에서 응용접합의 물리적 배경과 기구를 연구하여 고감도, 신기능의 집적센서 제작에 응용하고자 하였다.

집적된 공정 sequence 에 의해 제작된 센서중 각 단위센서에 대한 특성평가 결과를 제시하였으며 그 중 실리콘 PN 접합 다이오드의 온도-전류의 실험적 관계를 통하여 온도센서로서 그 기능을 확인하였고, Ni hot-wire anemometer 에 기초한 흐름센서의 특성평가가 다각도로 이루어졌으며 그 결과를 제시하였다. 얻어진 결과중 Ni 저항체의 상대적인 저항변화는 약 100 °C 이내의 온도구간에서 선형적이었고 시간에 따른 transient 특성 측정결과 상대적으로 느린 속도의 반응을 보여 package 에 따른 문제가 센서에 중요한 변수임을 확인할 수 있었다. 흐름에 대한 특성평가에서 얻어진 감도는 약  $110 \mu\text{W}/1\text{pm}^{1/2}$  였으며 동적인 반응특성도 package 와의 복합적인 반응에 의하여 매우 느린 특성을 보였다. 이러한 연구결과를 바탕으로 최종년도 의 연구에서 반응특성이 우수한 집적센서를 제작하기 위해 package 에 대한 세밀한 분석과 연구가 이루어져야 할 것으로 판단되며 이러한 문제가 해결된다면 고기능, 고속동작이 가능한 실리콘 집적센서의 개발이 가능한 것으로 결론된다.

## 참 고 문 헌

- 1-1) K. Petersen, "Silicon as a Mechanical Material", Proc. IEEE, 70, pp. 420-457, 1982.
- 1-2) R. T. Howe, "Polycrystalline Silicon Microstructures", in C. D. Fung, P. W. Cheung, W. H. Ko and D. G. Fleming, Ed. Micromachining and Micropackaging of Transducers, Elsevier, 1985, pp. 169-187.
- 1-3) K. Petersen, P. Barth, J. Poydock, J. Brown, J. Mallon, Jr. and J. Bryzek, "Silicon Fusion Bonding for Pressure Sensors", Technical Digest, IEEE Solid-State Sensor and Actuator Workshop, Hilton Head, 1988, pp. 144-147.
- 1-4) J. Berenz, G. C. Dalman and C. A. Lee, in "Proceedings of 8th Biennial Cornell Conference on Active Microwave Semiconductor Devices and Circuits", p. 75, Cornell University Press, 1981.
- 1-5) MOST Report, "집적화 마이크로 센서 기술 개발", N657(2)-3948-1, p. 76, 1990.
- 1-6) 주 병권, 이 명복, 이 정일, 김 형곤, 강 광남, 오 명환, "소형 Si 압력센서의 제작 및 특성평가", 대한전자공학회 논문지, 제 27권 11호, 1697-1703 쪽, 1990.
- 1-7) R. E. Bicking, L. E. Frazee and J. J. Simonelic, "Sensor Packaging for High-Volume Applications", Transducers'85, pp.350-353, 1985.
- 2-1) 주 병권, 김 형곤, 오 명환, "실리콘 Thermopile 집적센서의 기술 동향", 전자공학회지, 제16권 6호, pp.546-555, 1989
- 2-2) MOST Report, "집적화 마이크로 센서 기술 개발", N657(2)-3948-1, p.69, 1990

- 2-3) M. Hatzakis, B. J. Cannavella, and J. M. Shaw, "Single-Step Optical Lift-off Process", IBM J. Res. Develop., 24, p.452, 1980.
- 2-4) H. Guckel and D. W. Burns, "Fabrication Techniques for Integrated Sensor Microstructures", IEDM 86, pp. 176-179, 1986.
- 2-5) K. C. Lee, "The Fabrication of Thin, Freestanding, Single-Crystal, Semiconductor Membranes", J. Electrochem. Soc., 137, pp.2556-2574, 1990.
- 2-6) E. Bassous, "Fabrication of Novel Three-Dimensional Microstructures by the Anisotropic Etching of (100) and (110) Silicon", IEEE Trans. Electron Devices, ED-25, pp. 1178-1185, 1978.
- 2-7) K. E. Bean, "Anisotropic Etching of Silicon", IEEE Trans. Electron Devices, ED-25, pp. 1185-1193, 1978.
- 2-8) Y. -J. Lii, J. Jorne, K. C. Cadien and J. E. Schoenholtz, Jr. "Plasma Etching of Silicon in SF<sub>6</sub> : Experimental and Reactor Modeling Studies", J. Electrochem. Soc., 137, pp. 3633-3639, 1990.
- 3-1) S. D. Senturia, " Microsensors vs. Integrated Circuits : A Study in Contrasts", IEDM, 89, p.3, 1989.
- 3-2) K. Petersen, J. Brown, and W. Renken, " High-Precision, High-Performance Mass-Flow Sensor with Integrated Laminar Flow Micro-Channels", Transducers'85, p.361, July 1985.
- 3-3) Y. -C. Tai and R. S. Muller, "Lightly Doped Polysilicon Bridge as an Anemometer", Transducers'87, p. 360, July 1987.
- 3-4) S. Bouwstra, R. Legtenberg and H. A. C. Tilmans, "Resonating Micro-bridge Mass Flow Sensor", Transducers'89 Abstracts, Montreux, Switzerland, p.140, June 1989.
- 3-5) S. T. Cho, K. Najafi, C. L. Lowman, and K. D. Wise, "An Ultrasensitive Silicon Pressure-Based Flowmeter", IEDM'89,

- p. 499, 1989.
- 3-6) MOST 연구보고서, "집적화 마이크로 센서 기술 개발", pp. 46-54, N657(2)-3948-1, 1990.
- 3-7) G. Stemme, "A CMOS Integrated Silicon Gas-Flow Sensor with Pulse-Modulated Output", *Sensors and Actuators*, 14, p. 293, 1988.
- 3-8) S. M. Sze, *Physics of Semiconductor Devices*, 2nd Ed., pp. 90-94, Wiley, 1984.
- 3-9) MOST 연구보고서, "집적화 마이크로 센서 기술 개발", pp. 24-46, N657(2)-3948-1, 1990.
- 3-10) MOST 연구보고서, "레이저 기술개발: 광 IC용 InP 계 Device 공정기술 개발", pp. 17-24, UCN736(6)-4159-4, 1991.
- 3-11) K. S. Rabbani and D. R. Lamb, "A Quick Method for the Determination of Bulk Generation Lifetime in Semiconductors from Pulsed MOS Capacitance Measurement", *Solid-State Elect.*, 24, pp. 661-664, 1981.
- 3-12) G. Vitale, E. E. Crisman, J. J. Loferski and B. Roessler, "Measurement of Minority-carrier Lifetime in GaAs Using the Transient Response of MOS capacitors", *Appl. Phys. Lett.*, 34, pp. 106-108, 1979.
- 3-13) P. G. C. Allman, "Theory of Non-Equilibrium Phenomena in an MIS Device Under Linear Voltage Ramp Bias", *Solid-State Elect.*, 25, pp. 241-247, 1982.
- 3-14) X. Zhang, "The Non-Steady-State Bulk Generation Effect on the C-t Transients in an MIS Device Under Linear Voltage Sweep", *Solid-State Elect.*, 34, pp. 43-46, 1991.
- 3-15) M. Zerbst and H. -E. Longo, "Research on the Capacitance of the Semiconductor-Insulator Interface", *German J. Appl. Phys.*, 19, pp. 85-90, 1965.

- 3-16) C. J. Smithells and E. A. Brandes, Metals Reference Book, 5th Ed., Butterworths, London & Boston, p.940.
- 4-1) L.Christel et al., "Single-crystal Silicon Pressure Sensors with 500x Overpressure protection," Sens.Actuat., vol.A21-A23, p.84 (1990)
- 4-2) K.Petersen et al., "Ultra-stable, High-temperature Pressure Sensors Using Silicon Fusion Bonding," Sens.Actuat., vol.A21-A23, p.96 (1990)
- 4-3) P.W.Barth, "Silicon Fusion Bonding for Fabrication of Sensors, Actuators and Microstructures," Sens.Actuat., vol.A21-23, p.919 (1990)
- 4-4) K.W.Lee et al., "SENSIN: A Simulation Program for Solid-State Pressure Sensors," IEEE Tr.Electron Dev., vol.ED-29, no.1, p.34 (1982)
- 4-5) M.Shimbo et al., "Silicon-to-Silicon Direct Bonding Method," J.Appl.Phys., vol.60, no.8, p.2987 (1986)
- 4-6) H.Ohashi et al., "Study of Si-Wafer Directly Bonded Interface Effect on Power Device Characteristics," IEDM 87, p.678 (1987)
- 4-7) Q.-Y. Tong et al., "Diffusion and Oxide Viscous Flow Mechanism in SDB Process and Silicon Wafer Rapid Thermal Bonding," Electron. Lett., vol.26, no.11, p.697 (1990)
- 4-8) R.Stengl et al., "Bubble-Free Wafer Bonding in a Non-Cleanroom Environment," Jpn.J.Appl.Phys., vol.27, no.12, p.L2364 (1988)
- 4-9) J.B.Lasky, "Wafer Bonding for Silicon-on-Insulator Technologies," Appl.Phys.Lett., vol.48, no.1, p.78 (1986)
- 4-10) W.P.Mszara, "Silicon-On-Insulator by Wafer Bonding: A Review," J.Electrochem.Soc., vol.138, no.1, p.341 (1991)

- 4-11) K.C.Lee, "The Fabrication of Thin, Freestanding, Single-Crystal, Semiconductor Membranes," *J.Electrochem.Soc.*, vol.137, no.8, p.2556 (1990)
- 4-12) W.Kern et al., "Cleaning Solution Based on Hydrogen Peroxide for Use in Silicon Semiconductor Technology," *RCA Rev.*, vol.31, p.187 (1970)
- 4-13) W.P.Maszara et al., "Bonding of Silicon Wafers for Silicon-on-Insulator," *J.Appl.Phys.*, vol.64, no.10, p.4943 (1988)
- 4-14) R.Stengl et al., "A Model for the Silicon Wafer Bonding Process," *Jpn.J.Appl.Phys.*, vol.28, no.10, p.2735 (1989)
- 4-15) C.M.Osburn et al., "Dielectric Breakdown in Silicon Dioxide Films on Silicon," *J.Electrochem.Soc.*, vol.119, no.5, p.591 (1972)

## 부 록

A-1. C-V 방법에 의한 Si/SiO<sub>2</sub> 계면 상태 연구 ----- 95

A-2. 소형 Si 압력센서의 제작 및 특성 평가 -----101

여 백

C-V 방법에 의한 Si/SiO<sub>2</sub> 계면상태 연구

이명복 · 주병권 · 이정일 · 김형근 · 오명환 · 감광남  
한국과학기술연구원 응용물리 · 전자연구부

(1990년 5월 15일 받음)

Thermal oxidation에 의한 단결정 실리콘의 산화막 성장과정에서 초래되는 계면상태를 capacitance-voltage 방법을 이용하여 해석하였다. 고주파(1 MHz) C-V, quasi-static C-V 그리고 고주파와 quasi-static C-V 방법을 결합한 combined high-low C-V 방법을 이용하여 이들 각각의 방법에 대한 특성과 실험에서 얻어진 결과를 해석하였다. 이들 세 가지 C-V 방법 중 quasi-static C-V 방법이 단일 MOS 시료에서 에너지 갭내의 많은 구간에 적용가능하고 실험결과에서 직접 표면전위를 계산할 수 있는 장점을 가지고 있었다. 또한, 이상적인 MOS 구조에 대해 계산한 표면전위와의 비교에 의하여 산화막 성장과정에서 발생할 수 있는 기판 불순물 농도의 재분포나 산화막내 전하의 gross-nonuniformity 등을 알 수 있으므로 실질적인 공정과정의 척도로서도 이용할 수 있었다. 위의 세 가지 방법을 통하여 해석된 계면상태는 mid-gap 에너지 영역에서  $5-8 \times 10^{10}/\text{eVcm}^2$ 의 값을 보였고 band-edge로 갈수록 더 많은 계면상태를 나타내었다.

## I. 서 론

초고밀도(ULSI) 메모리 집적회로로 대변되는 최근의 반도체산업은 공정장비의 지속적인 발전과 더불어 비약적인 규모로 확대되어 왔으며 새로운 장비의 발전과 회로설계 기술의 자동화 등을 통하여 회로제조에 대한 기술은 한단계 높은 수준까지 기술축적이 이루어진 것으로 평가된다.<sup>(1-3)</sup> 다른 한편, 제조된 칩내의 단일소자와 더불어 직접회로의 신뢰성과 수명에 영향을 미치는 직·간접적인 인자들에 대한 적극적인 연구가<sup>(4,5)</sup> 불가피하게 되었다. 초미세구조 소자제조에 사용되는 공정장비들의 동작원리에 기인하는 플라즈마나 고에너지 이온들의 흔적과,<sup>(6,7)</sup> 소자 크기의 감소와 얇은 게이트 산화막의 사용 등 소자 변수에 기인하는 고전장 효과(hot-carrier effects)<sup>(8,9)</sup> 등에 의하여 공정에 대한 정밀한 제어, 각 공정의 검증 및 최적 검증인자의 선택 등이 필수적인 과제로 부각되고 있다.<sup>(10)</sup>

단위공정에 대한 최적 검증인자와 측정방법은 최종적인 소자동작에 결정적인 영향을 미치는 직접적인 인자이어야 하며 원리상 손쉽게 측정 가능하여야 한다. 전술한 검증인자의 결정기준을 고려할 때 반도체와 절연체의 계면에 존재하는 계면상태의 밀도<sup>(11,12)</sup>가 적절한 인자로 고려되고 있으며 그 측정방법은 다양한 각도에서 시도되어 왔다. 실리콘/실리콘 산화막의 계면상태에 대한 초기연

구에서 L.M.Terman<sup>(13)</sup>은 고주파 C-V 방법을 이용하여 공핍영역에서 weak inversion 영역에 존재하는 계면상태 측정기술을 제시하였으나 K.H. Zaininger et al.<sup>(14)</sup>에 의하여 고주파 C-V 방법의 한계성 등이 검토되면서 여러가지 단점들이 지적되었다. 이후 E.H. Nicollian과 A. Goetzberger<sup>(15,16)</sup>에 의하여 conductance에 기초한 계면상태의 전기적 특성 측정기술이 제시되어 널리 사용되어 왔다. 더불어 C-V 방법도 초기의 고주파 방법에서 저주파 혹은 quasi-static C-V<sup>(17)</sup> 방법과 고주파와 저주파 방법을 결합한 combined high-low C-V 방법<sup>(18)</sup> 등이 제시되어 conductance 방법에 따른 계면상태 연구결과와 비교·검토되어 왔다. 특히 M.Kuhn<sup>(17)</sup>에 의해 제안된 quasi-static C-V 방법은 단일시료에서 band-edge를 제외한 밴드 갭의 전 구간에 적용가능하고 측정된 capacitance에서 직접 밴드 밴딩에 대응하는 표면전위를 계산할 수 있기 때문에 이상적인 계산결과와의 비교에 의하여 소자제조에서 도입된 gross-nonuniformity 등을 확인할 수 있으며 대체로 손쉽게 C-V 측정이 가능한 장점을 가지고 있다. 반면에 conductance 방법은 밴드 갭의 중앙에 해당하는 mid-gap에서 bulk fermi 준위내에 존재하는 계면상태만을 측정하므로 n형 실리콘의 upper half 그리고 p형 실리콘의 lower half 영역에만 적용가능한 단점이 있다.

몇년 전까지도 C-V 방법은 대체로 연구목적용으로 인

식되어 왔으나 최근에는 신뢰성과 공정제어 기술로 널리 사용되고 있는 현실을 감안할 때 이들의 종합적이고 체계적인 연구결과의 축적은 매우 중요한 과제로 인식된다. Capacitance 방법이 매우 편리하고 중요한 기술임을 다시 한번 강조하면서 본 연구에서는 세 가지 C-V 방법(고주파, quasi-static, combined C-V)을 사용하여 본 연구실에서 제조한 실리콘 산화막과 기업체에서 공정 검증용으로 제조한 MOS 구조의 test pattern 들에 대해 계면상태 밀도를 밴드 에너지의 함수로서 도출하고 비교하였다. 또한 산화막의 기초 성질로서 임계 붕괴전장(critical break-down field)을 측정하여 산화막 제조방법에 따른 산화막 자체의 특성변화도 함께 연구하였다.

## II. 실험 및 결과

본 연구에 사용된 MOS 시료는 (100)방향 p형 실리콘을 1000°C의 건조한 산소분위기에서 성장된 산화막과 기업체에서 HCl이 3% 첨가된 건조한 산소분위기에서 성장된 200Å 두께의 산화막이다. 본 실험에서 산화막 제조에 사용한 장비는 국내 제작된 4 tube system으로 중심의 온도편차가 ±0.5°C로 대체로 정밀한 전기로이다. 본 연구실에서 제조한 산화막의 두께는 성장시간에 따라 다르나 600~1100Å인 산화막을 대상으로 하였으며 실리콘 기판의 비저항은 16~17Ωcm이고 불순물로 Boron이 7-9×10<sup>14</sup>/cm<sup>3</sup> 첨가된 시료이다. 기업체에서 제조된 MOS 시료는 4M DRAM 공정에서 생산된 test pattern으로 p-well과 n-well이 함께 제조되었으며 불순물은 As과 P가 표면에 2×10<sup>16</sup>/cm<sup>3</sup> 주입된 시료이다. 본 연구실에서 제조된 시료의 경우 실리콘 기판의 오염성 접촉은 Au/Ti을 증착한 뒤 약 350°C의 질소분위기에서 열처리하여 제조하였고 산화막상의 게이트 전극도 Au/Ti을 직경 1mm인 금속 마스크를 통하여 증착하였다. 기업체에서 제조된 시료의 게이트 전극은 모두 poly-silicon 게이트이고 면적은 400×400μm<sup>2</sup>이다. 제조된 각 시료들은 bonding하여 사용상의 편의와 외부의 미세한 온도변화에도 주의하였다.

일반적으로 capacitance와 conductance 방법은 매우 느리게 변화하는 DC 전압에 일정한 진폭을 가진 AC 전압을 실어 게이트 산화막에 인가하면서 DC 전압의 함수로서 capacitance나 conductance를 측정한다. 따라서 고주파의 의미는 반도체 표면의 소수 운반자들이 AC에 반응하지 못하는 높은 주파수를 의미하며 통상적으로 실리콘에서 1MHz가 널리 사용되고 있으며 본 연

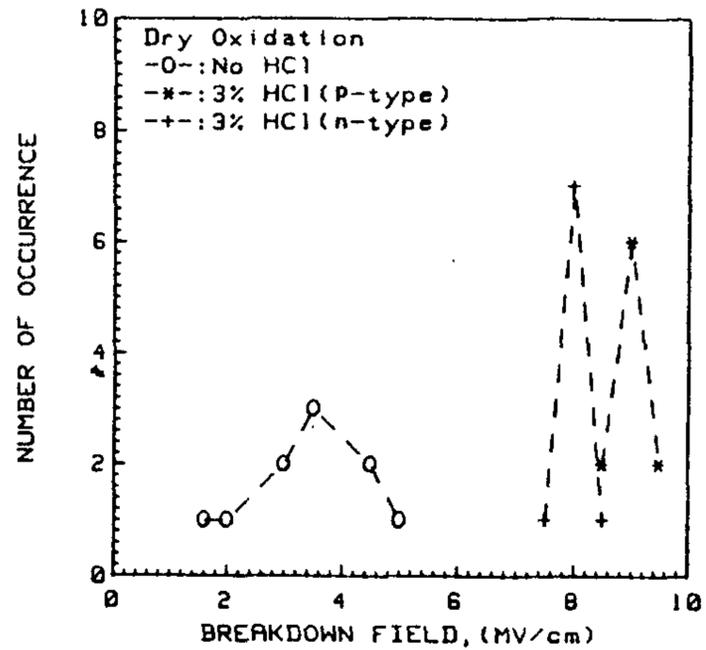


그림 1. 산화막 성장조건(HCl 첨가여부)에 따른 붕괴전장의 분포.

구에서도 동일한 주파수에서 실험하였다. 고주파 측정에 사용된 장비는 HP 4192A LF Impedance Analyzer로 5Hz에서 13MHz까지 측정가능하고 quasi-static C-V 측정은 HP 4140B pA Meter의 선형성이 우수한(오차 ±0.5%) ramp-wave를 사용하여 수행하였다. 측정에 사용된 장비들은 모두 HP 9826A desk-top 컴퓨터로 자동제어 하였으며 결과해석도 병행하였다.

그림 1은 본 실험에서 사용한 시료의 붕괴전장을 나타낸 것이다. 산화막의 붕괴전장은 축적(accumulation) 방향으로 ramp DC 전압을 인가하면서 leakage current density가 급격하게 증가하는 전압을 산화막의 두께로 나누어 결정하였다. 실험에서 측정된 I-V 결과를 참조하면 산화막을 통한 전류밀도가 약 1μA/cm<sup>2</sup> 되는 순간의 전장에 대응하였다. 산화막의 두께는 Ellipsometry와 식각 후 SEM 단면관측, capacitance의 최대치 등을 이용하여 결정하였으며 성장조건에 따른 이론적인 결과<sup>(20)</sup>들과 대체로 잘 일치하였다. 기업체에서 제조된 시료의 경우도 capacitance 최대치에서 측정된 게이트 산화막의 두께 오차는 ±2Å 이내로 매우 균일하였다. 그림에서 "\*"와 "+"는 HCl이 3% 첨가된 시료이고 "0"은 본 연구실에서 건조한 산소분위기에서 성장된 시료이다. 열산화에 의한 실리콘 산화막의 붕괴전장은 건조한 산소분위기에서 성장된 경우 그 분포가 Gaussian shape<sup>(20)</sup>을 나타내는 것으로 알려져 있으며 HCl이 첨가된 경우 p형에서는 8.5~9.5MV/cm, n형 기판에 대해서는 7.5~8.5MV/cm로 그 분포에 대한 half-width가 적었으나 본 실험에서 성장된 산화막의

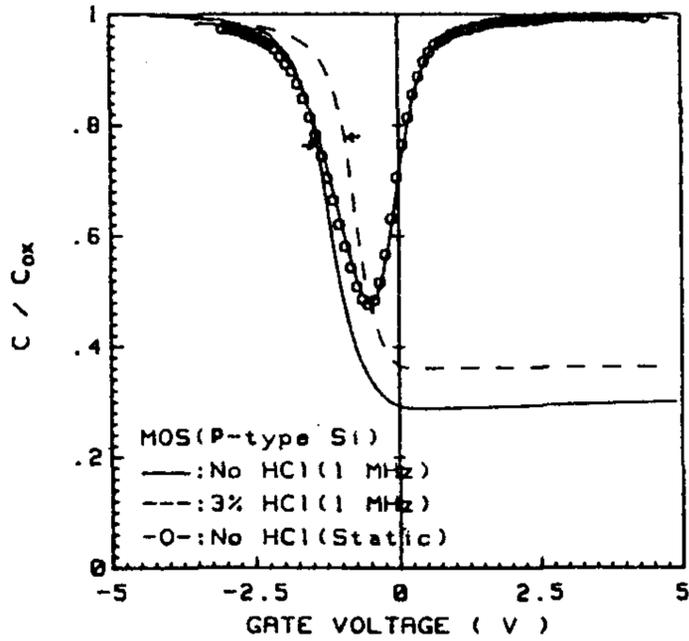


그림 2. HCl이 첨가된 시료(실선)의 고주파와 첨가되지 않은 시료에서 측정된 고주파 및 Quasi-Static C-V 결과.

봉피전장은 상대적으로 큰 half-width의 Gaussian shape과 그 값이 2~5 MV/cm로 낮은 값을 보여 성장된 산화막에 상대적으로 더 많은 산화막 전하가 존재하는 것으로 추정되며 그림 2에서 결과를 언급하였다.

그림 2는 산화막의 두께가 200, 1000Å인 시료에서 측정된 고주파 및 quasi-static C-V 결과이다. 각 시료에서 동일한 측정이 수행되었으며 고주파 측정결과에서 얻어진 산화막의 두께와 기판 불순물 농도를 이용하여 이상적인(ideal) C-V 곡선을 계산하였다. 그림에서 "←" 표시는 계산된 flat-band capacitance로부터 구한 flat-band 전압을 나타낸 것이다. 실험에서 얻어진 flat-band 전압은 시료에 따라 다소 차이가 있었으나 HCl이 첨가된 경우에 -1.0~-0.5V 범위였고 건조한 산소분위기에서 제작된 경우는 -2.5~-1.0V의 값을 나타내었다. 정밀하게 제어된 분위기에서 제작된 전자의 경우는 게이트 전극으로 poly-silicon을 사용하였고 후자의 경우는 Au/Ti을 사용하였기 때문에 금속과 실리콘 기판사이의 일함수<sup>(21)</sup> 차이에 의한 flat-band 전압의 변화를 동일하게 볼 수는 없으나 HCl이 첨가되지 않은 시료에서 상대적으로 더 많은 flat-band 전압의 이동을 알 수 있었다. 후자의 경우에 일함수 차이에 의한 기여를 -0.8V로 근사하면  $4 \sim 5 \times 10^{10}/\text{cm}^2$ , 그리고 전자의 경우 일반적으로  $1 \sim 2 \times 10^{10}/\text{cm}^2$ 의 산화막 전하가 존재하는 것으로 알려져 있으므로 그림 1의 산화막 봉피전장과 비교하면 산화막 전하가 산화막 봉피전장 등의 전기적 특성에 음의 기여가 있음을 짐작할 수 있다.

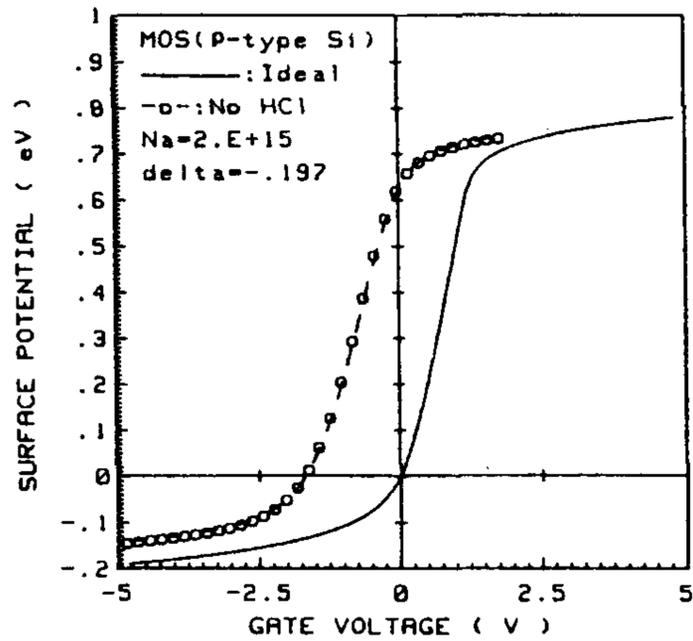


그림 3. 이상적인 모델에서 계산된 표면전위(실선)와 Quasi-Static C-V 측정 결과에서 게이트 전압의 함수로서 나타낸 표면전위.

그림 3은 측정된 quasi-static C-V 결과를 게이트 전압에 대해 적분하고 일정한 상수를 더하여 얻어진 표면전위<sup>(16,17)</sup>와 이상적인 모델에서 계산한 표면전위를 게이트 전압의 함수로서 나타낸 것이다. 실선은 이상적인 결과로서 flat-band 전압(즉 표면전위가 0인 게이트 전압)이 0임을 알 수 있으며 "-0-"는 실험에서 얻어진 값으로 전체 표면전위의 변화가 실리콘의 상온에너지 갭(1.1eV)을 벗어나지 않음을 알 수 있다. E.H. Nicollian et al.<sup>(18)</sup>의 방법에서 얻어진 부가 상수는 p형에서 -0.2eV였다. 강축적 영역에서 강반전 영역사이를 적분한 표면전위는 산화막 gross-nonuniformity가 있으면 밴드 갭보다 더 많은 변화를 보이게 된다.

그림 3의 이상적인 표면전위 계산결과와 고주파 C-V 측정결과에서 capacitance 비( $C/C_{ox}$ )가 동일한 경우에 동일한 표면전위를 나타낸다는 가정하에 Terman<sup>(19)</sup>은 측정된  $C/C_{ox}$ 를 계산한 결과와 비교하여 각 게이트 전압에서 표면전위를 구하였다. 동일한 방법으로 본 연구에서 얻어진 결과를 그림 4에 도시하였다. 그림 4에서 알 수 있듯이 동일한 표면전위를 나타내는 게이트 전압이 이상적인 계산결과(실선)와 실험결과(-0-)가 서로 다르며 실험결과와 기울기가 상대적으로 적다는 것을 알 수 있다. 이러한 기울기 변화가 심하게 나타나는 영역은 공핍영역에서 weak inversion 영역임을 표면전위의 값으로부터 알 수 있으며 고주파 방법이 적용가능한 에너지 영역의 한계성이기도 한다. 그림 4에서 0을 기준으로 하여 표면전위의 변화량  $\delta\phi$ 와 게이트 전압의 변화량

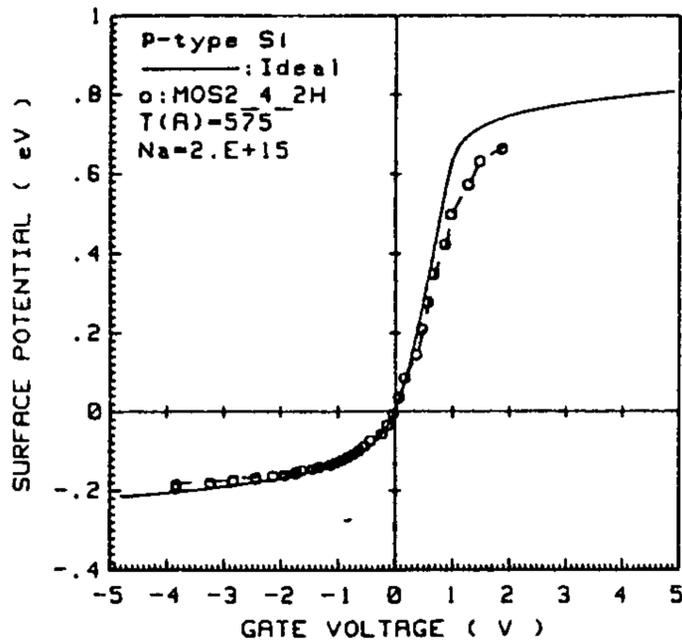


그림 4. 고주파 C-V 방법에서 계산된 표면전위(실선)와 동일 C/C<sub>ox</sub>비에서 결정된 표면전위의 게이트 전압 의존관계.

$\delta V$  를 구하고 아래 식 (1)을 사용하여 계면상태에 의한 capacitance 차이  $C_{it}$ 를 표면전위의 함수로서 계산할 수 있다.

$$C_{it}(\phi) = C_{ox} \times [(\delta V / \delta \phi) - 1] - C_{sc}(\phi) \quad (1)$$

식 (1)에서  $C_{sc}$ 는 고주파에서 표면전위의 함수로서 이상적인 모델을 사용하여 계산한 실리콘의 표면 capacitance이다. 등가회로를 이용한 계산에서 고주파 출력 capacitance는 아래 식 (2)와 같이 주어진다.

$$1/C = 1/C_{ox} + 1/C_{sc} \quad (2)$$

따라서 이상적인 계산결과에서 단위 면적당 산화막의 capacitance  $C_{ox}$ 와 전체 C 값을 이용하여 실리콘의 이상적인 표면 capacitance  $C_{sc}$ 를 식 (3)에서 구할 수 있다.

$$C_{sc} = C_{ox} / (1 - C/C_{ox}) \quad (3)$$

최종적으로 고주파 C-V 방법은 식 (1)과 식 (3)에서 표면전위의 함수로서 계면상태에 의한  $C_{it}$ 를 구하고 단위 전하량으로 나누어 계면상태값을 결정하게 된다.

M. Kuhn<sup>(17)</sup>에 의해 제안된 quasi-static C-V 방법도 고주파 방법과 비슷하나 저주파의 경우에는 측정된 결과에서 직접 표면전위를 구할 수 있다는 점을 그림 3에서 이미 언급하였다. 저주파에서 측정되는 capacitance C는 등가회로에서 아래 식 (4)와 같이 주어진다.

$$1/C = 1/C_{ox} + 1/(C_{sc} + C_{it}) \quad (4)$$

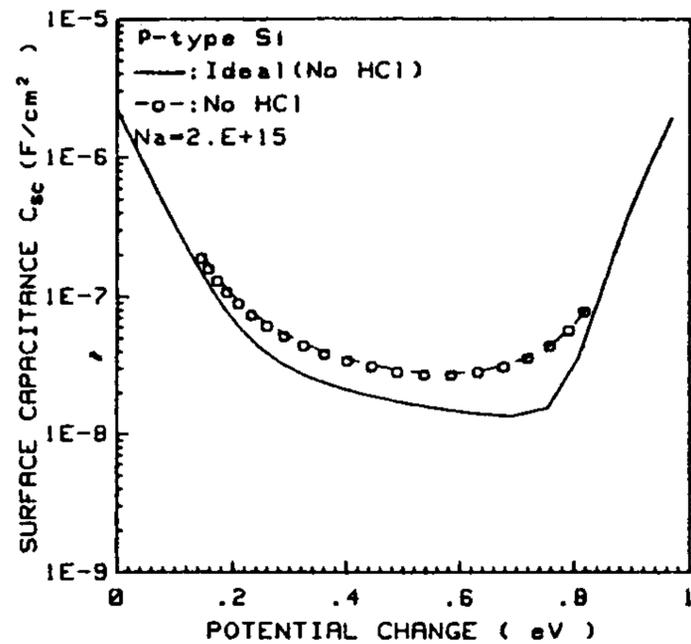


그림 5. 이상적인 모델에서 계산한 p형 실리콘 기판의 표면전위와 저주파 표면 Capacitance 관계(실선) 및 측정된 Quasi-Static C-V 결과에서 얻어진 표면전위와 표면 Capacitance의 비교.

따라서 계면상태가 0가 아닌 경우 실리콘 표면의 capacitance는  $C_{it}$ 와  $C_{sc}$ 의 합으로 주어짐을 알 수 있다. 또한 계면상태가 0인 이상적인 모델에서 계산된 저주파  $C_{sc}$ 를 표면전위의 함수로 나타낼 수 있으며 동시에 측정된 결과로부터 구한 표면전위의 함수로서 식 (4)를 이용하여 측정된 저주파 표면 capacitance( $C_{sc} + C_{it}$ )를 구할 수 있다. 본 연구에서 계산한 이상적인  $C_{sc}$ 와 실험에서 얻어진  $C_{sc} + C_{it}$ 를 그림 5에 나타내었다. 그림에서 알 수 있듯이 실험에서 구한 표면 capacitance가 이상적으로 계산한 표면 capacitance보다 표면전위의 거의 모든 영역에서 크게 나타나며 표면전위의 양쪽 끝에서만 서로 일치됨을 알 수 있다. 따라서 일정한 표면전위에서 이들 두 값의 차이가 바로 계면상태에 기인하며 표면전위의 함수로서 계면상태를 구할 수 있다. 그림에서 알 수 있듯이 표면전위의 많은 구간에 대해 그 차이를 구할 수 있다. 이상적인 모델에서 계산된 표면 capacitance는 기판 불순물 농도에 대해 매우 민감하게 변화하므로 저주파 C-V 방법의 실질적인 측정감도는 바로 기판 불순물 농도에 의해 결정된다. 결국 산화막의 성장과정에서 사용되는 높은 온도나 분위기에 의해 기판불순물 농도의 재분포 등과 같은 현상이 발생하면 측정된 계면상태값은 실제 존재하는 계면상태값과 매우 달라지므로 기판 불순물 농도에 대한 정확한 수치가 매우 중요한 데이터로 작용한다.

본 연구에서 사용한 p형 실리콘의 경우 Boron이 주

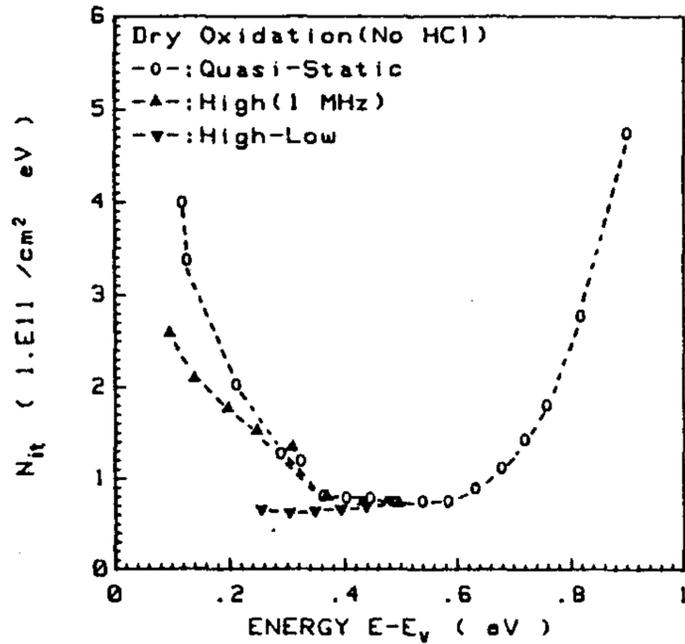


그림 6. 3가지 C-V 방법에 의해 얻어진 계면상태 밀도와 밴드에너지 관계.

입되어 있으며 산화막 성장시간에 따라 표면농도의 변화가 심각하게 나타날 수 있다.<sup>(22)</sup> 초기의 불순물 농도가  $7 \sim 9 \times 10^{14} / \text{cm}^3$ 이었으나 산화막 성장 후 측정된 불순물 농도는 표면에서 약  $1 \mu\text{m}$  깊이까지 많은 변화를 보였으며 그 이상의 깊이에서는 초기와 같은 불순물 농도를 나타내었다. 본 연구에서 계산에 사용된 표면 불순물 농도는  $2 \times 10^{15} / \text{cm}^3$ 이며 고주파 C-V 측정을 통하여 공핍깊이의 함수로서  $1/C^2$  방법을 이용하여 구하였고<sup>(23)</sup> HCl이 첨가된 시료의 경우 표면 불순물 농도는  $2 \times 10^{16} / \text{cm}^3$ 이다.

앞에서 언급한 고주파 방법이나 저주파 방법이 원리상 이상적인 모델에 의한 계산결과가 주어지지 않는 단점이 있다. 반면에 둘을 결합한 combined high-low C-V 방법은 식 (2)와 식 (4)를 이용하여 이상적인 계산결과 없이 실험치에서 직접 계면상태에 대해 구할 수 있으나 고주파 방법과 마찬가지로 적용되는 에너지 구간이 공핍영역에서 weak inversion 영역으로 제한된 단점도 가지고 있다. 저주파 측정결과로부터 게이트 전압의 함수로서 표면전위를 계산하고 동일한 게이트 전압에서 고주파와 저주파 capacitance 차  $\delta C$ 를 구한다. 각 게이트 전압에서 측정된 고주파 capacitance  $C_h$ 와 저주파 capacitance  $C_l$ 을 이용하여 아래 식 (5)로부터 게이트 전압이나 표면전위의 함수로서

$$N_{it} = \delta C / q / (1 - C_l / C_{ox}) / (1 - C_h / C_{ox}) \quad (5)$$

계면상태를 도출할 수 있다. 이상 언급된 세 가지 C-V 방법으로 해석된 계면상태를 가전자대를 원점으로 하여

밴드 갭내 에너지의 함수로서 그림 6에 도시하였다. 그림에서 “-○-”은 저주파 방법에 의한 결과이고 “-▲-”와 “-▼-”는 각각 고주파 방법과 combined high-low 방법에 의한 결과들로서 이미 언급한 대로 적용가능한 에너지 구간이 저주파 방법에서 상대적으로 넓게 나타났다. 계면상태 최소치는 일반적으로 mid-gap 근처에서 나타나지만 엄밀하게 구분하면 bulk fermi 준위와 mid-gap 사이에서 나타나게 된다. 따라서 p형 실리콘의 경우 mid-gap 바로 아래, n형 실리콘은 mid-gap 바로 위에 나타남을 알 수 있다. 그림에서 알 수 있듯이 사용된 세 가지 방법에서 모두 band-edge로 갈수록 계면상태가 증가하는 경향을 보여 conductance 방법 등에 의한 연구결과들과 동일한 경향을 볼 수 있었다. 시료의 산화막 성장시간과 분위기(HCl 첨가여부)에 따라 최저 계면상태값이 조금씩 다르게 나타났으나 그 변화가 불순물 농도의 측정오차에 따른 계면상태 변화보다 더 적은 범위였다. 전체적으로 본 연구에서 사용된 시료의 경우 측정된 계면상태 최소치가  $5 \sim 8 \times 10^{10} / \text{cm}^2 / \text{eV}$ 의 값을 보여 계면의 전기적 특성은 대체로 양호한 것으로 평가되었으나 성장방법에 따른 산화막 자체의 특성은 상대적으로 큰 변화를 보였다.

### III. 결 론

열산화에 의해 성장된 실리콘 산화막의 붕괴전장과 여러 가지 C-V 방법에 의하여 실리콘/실리콘 산화막의 계면특성을 연구하였다. 지금까지 알려진 C-V 방법 중 고주파 방법, 저주파 방법 그리고 이 둘을 결합한 combined high-low 방법을 간략히 기술하고 각 방법의 적용가능한 에너지 구간과 방법상의 특성을 요약하였다. 세 가지 방법 중 적용가능한 에너지 구간이 가장 넓은 것은, 저주파 방법으로, 실리콘 기판의 불순물 농도가 측정감도에 매우 민감한 인자로 작용함을 알 수 있었다. Combined high-low 방법은 저주파나 고주파 방법이 이상적인 모델을 통한 계산결과를 필요로 하는 단점은 해소할 수 있으나 그 적용구간이 매우 좁은 단점도 가지고 있다. 본 연구실에서 건조한 산소분위기에서 성장된 산화막의 붕괴전장은  $2 \sim 5 \text{ MV/cm}$ 로 낮게 나타났고 HCl이 소량 첨가된 경우  $7.5 \sim 9.5 \text{ MV/cm}$ 의 상대적으로 높은 값을 보였다. 또한, 측정된 flat band 전압도 HCl이 첨가된 시료에서 적은 변화를 보여 HCl이 산화막내 전하들의 생성을 억제하는 효과가 있음을 확인할 수 있었다. 계면상태값은 HCl이 첨가된 경우가 낮은 값을 보이긴 하였으나 성장조건과 관계없이 전체적으로  $5 \sim 8 \times$

10<sup>10</sup>/cm<sup>2</sup>/eV의 범위를 나타내었다. 이상의 연구결과로 판단할 때 저주파 혹은 quasi-static C-V 방법이 적용가능한 에너지 구간이 가장 넓으며, 또한 측정된 결과에서 직접 표면전위를 계산하여 산화막의 gross-nonuniformity 등을 알 수 있고, 손쉽게 C-V 측정이 가능한 장점이 있으므로 MOS나 MIS 구조를 통한 공정검증이나 계면의 전기적 특성연구에 가장 적합한 방법으로 판단된다.

### 감사의 글

본 연구는 과학기술처 특정연구개발사업 중 일부분이며 후원에 감사드립니다.

### 참 고 문 헌

- [1] T. Kaga et al. IEEE Trans. Electron Devices 35, 893 (1988).
- [2] E. K. Broadbent et al., IEEE Trans. Electron Devices 35, 952 (1988).
- [3] S. I. Kimura et al. IEEE Trans. Electron Devices, 35, 1591 (1988).
- [4] T. C. May and M. H. Woods, IEEE Trans. Electron Devices ED-26, 2 (1979).
- [5] T. Hori et al. IEEE Trans. Electron Devices 35, 904 (1988).
- [6] D. S. Yaney et al. IEEE Trans. Electron Devices ED-26, 10 (1979).
- [7] S. B. Felch et al., IEEE Trans. Electron Devices, 35, 2338 (1988).
- [8] W. Weber, IEEE Trans. Electron Devices 35, 1476 (1988).
- [9] 이명복, 이정일, 강광남, 대한전자공학회 논문지, 26, 48 (1989).
- [10] J. Skardon, Solid State Technology, March, 93 (1990).
- [11] R. B. M. Girisch et al. IEEE Trans. Electron Devices 35, 203 (1988).
- [12] Z. C. Butler and T. Y. Hsiang, IEEE Trans. Electron Devices 35, 1651 (1988).
- [13] L. M. Terman Solid-State Electron 5, 285 (1962).
- [14] K. H. Zaininger and G. Warfield, IEEE Trans. Electron Devices ED-12, 179 (1965).
- [15] E. H. Nicollian and A. Goetzberger, Appl. Phys. Lett. 7, 216 (1965).
- [16] E. H. Nicollian and A Goetzberger, Bell Syst. Tech. J. 46, 1055 (1967).
- [17] M. Kuhn, Solid-State Electron. 13, 873 (1970).
- [18] E. H. Nicollian and J. R. Brews, *MOS Physics and Technology*, (Wiley New York; 1982), pp. 331-333.
- [19] E. A. Irene, J. Electrochem. Soc. 121, 1613 (1974).
- [20] E. A. Irene, J. Electrochem. Soc. 125, 1709 (1978).
- [21] G. Barbottin and A. Vapaille, *Instabilities in Silicon Devices*, Vol. 1, (Netherlands, 1986), pp. 224-250.
- [22] A. S. Grove et al. Solid-State Electron. 8, 145 (1965).
- [23] I. G. McGillivray et al., IEEE Trans. Electron Devices 35, 174 (1988).

## A Study of Silicon/Silicon Dioxide Interface by C-V Techniques

Myoung Bok Lee, Byeong Kwon Ju, Jung Il Lee, Hyoung Gon Kim,  
Myung Hwan Oh and Kwang Nham Kang

*Division of Applied Physics and Electronics, Korea Institute of Science and Technology,  
Cheongryang, P.O. Box 131, Seoul 136-650*

(Received: May 15, 1990)

Thermally grown silicon/silicon dioxide interfaces are analyzed by three different C-V techniques. The high frequency C-V, Quasi-static C-V, and combined high-low C-V techniques are reviewed and applied to analyze the interfaces formed by dry oxidation with and without HCl addition. Of three methods, The quasi-static C-V technique appeared to be the best method due to following characteristics; 1) The surface potential and the surface state density can be obtained relatively simply and over a large part of the energy gap on single MOS sample, 2) it provides a direct test for the presence of gross-nonuniformities in the silicon dioxide layer. Thus, it can be used as a control tool for fabrication processes. Samples oxidized with and without HCl addition were estimated to contain the oxide charge density of 1-2×10<sup>10</sup>/cm<sup>2</sup> and 4-5×10<sup>10</sup>/cm<sup>2</sup>. Even though interfaces oxidized with HCl addition showed slightly lower number of state density than that of samples oxidized without HCl addition, prepared all samples were experimentally estimated to contain the minimum interface state density of 5-8×10<sup>10</sup>/eVcm<sup>2</sup> range at the near midgap and relatively enhanced number interface states density at the near band edge of silicon.

## 소형 Si 압력센서의 제작 및 특성 평가

## (Fabrication and Characterization of Miniature Si Pressure Sensor)

朱炳權\*, 李明福\*, 李精一\*, 金炯坤\*, 姜光南\*, 吳明煥\*

(Byeong Kwon Ju, Myoung Bok Lee, Jung Il Lee, Hyoung Gon Kim

Kwang Nham Kang, and Myung Hwan Oh)

## 要 約

표준 Si 공정기술을 이용하여 칩의 크기가  $1.7 \times 1.7 \text{mm}^2$ 인 소형 압저항형 Si 압력센서를 제작하고 그 동작특성을 평가하였다. 제작된 센서는 크기  $1.0 \times 1.0 \text{mm}^2$ , 두께  $20 \mu\text{m}$ 의 n형 Si 다이아프램상에 4개의 붕소 확산저항이 브릿지 형태로 연결된 칩 구조를 가지며 최종적으로 게이지압을 측정할 수 있도록 상온 상압하에서 패키징하였다. 이 센서의 동작특성은 상온에서 압력감도  $14.2 \mu\text{V}/\text{V} \cdot \text{mmHg}$ , 정격 압력범위  $0 \sim 760 \text{mmHg}$ , 최대 비선형성 1.0% FS로 평가되었다.

## Abstract

On the basis of standard Si processing, the miniaturized piezoresistive-type Si pressure sensor with a chip size of  $1.7 \times 1.7 \text{mm}^2$  was fabricated and its operating characteristics were investigated. The sensor chip has a full-bridge type of 4 boron-diffused resistors which is formed on an  $1.0 \times 1.0 \text{mm}^2$  area,  $20 \mu\text{m}$  thick n-type Si diaphragm and finally, encapsulated under room temperature, 1 atm in order to measure a gauge pressure. The operating characteristics of this sensor were determined as a pressure sensitivity of  $14.2 \mu\text{V}/\text{V} \text{mmHg}$ , a rated pressure range of  $0 \sim 760 \text{mmHg}$ , and a maximum nonlinearity of 1.0% FS at room temperature.

## I. 서 론

가전용품, 의료기구, 생산 공정장비등 현대 인간 복지생활에 기여하고 있는 제분야의 진보 추세가 자동화 및 무인화를 추구함에 따라 이들의 성능향상 정도에 척도가 되는 결정인자로서 센서의 시스템화가 크게 대두되고 있다. 센서의 시스템화란 단지 계측/지시에 국한된 센서 고유의 동작영역을 신호량의 다

점 정밀계측, 분석, 처리 및 전송등 시스템 차원의 영역으로까지 확장하는 것으로 반도체 기판상에 소형 센서칩과 함께 하이브리드 혹은 모노리식 형으로 신호처리를 위한 집적회로부를 내장함으로써 가능하게 된다. 이를 위해 압력, 온도, 이온, 흐름등의 신호량을 측정하기위한 소형 Si 센서들이 각 용도별로 개발되고 있으며 아울러 이들의 어레이화, 복합화, 집적화를 향한 연구가 단계적으로 실현되고 있다.<sup>1-3)</sup>

이들중 특히 Si를 이용한 소형 압저항형 압력센서는 그 연구 개발 및 응용도가 매우 활발한 소자이다. 이는 금속을 재료로 한 압력게이지와 동작특성면

\*正會員, 韓國科學技術研究院 光·電技術센터  
(Optics & Electronics Center, KIST)  
接受日字: 1990年 7月 17日

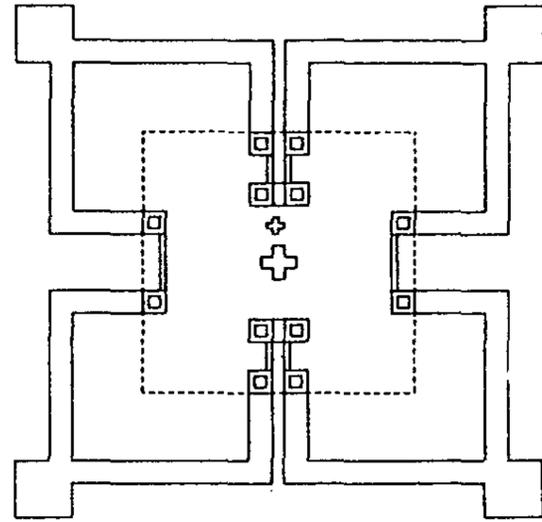
에서 비교하여 볼 때 집적화 및 소형화가 용이하다는 점 이외에도 Si 단결정이 금속보다 약 100배이상 큰 압저항효과를 지니고 있을뿐 아니라 완전한 탄성체이므로 히스테리시스를 나타내지 않으며 확산저항을 다이아프램상에 구성함으로써 2차적인 오차 발생원인을 제거할 수 있다는 등의 잇점이 있다.

이를 토대로 본 연구에서는 의료전자 분야 및 반도체 공정장비에 이용될 수 있는 압력-흐름-온도동시측정용 집적센서 개발의 첫 단계로서, 상압이상의 게이지압을 측정할 수 있는 소형 압저항형 Si 압력센서소자를 제작하고 그 특성을 평가하여 보았다.

II. 압력센서의 설계

압저항형 Si 압력센서의 동작요소로는 압력감도, 브릿지 비평형전압 및 이들의 온도계수, 정격 압력범위, 최대 인가압력, 비선형성등이 있는데 이들은 Si 다이아프램의 결정방향, 모양, 크기, 두께 그리고 확산저항, 즉 압저항 (piezoresistor)들의 방향, 크기, 배열 위치, 전하 운반자의 종류 및 농도등의 공정변수에 의존한다. 따라서 센서의 제작시 각각의 공정변수들은 센서의 응용분야와 사용환경등에 의해 사전에 엄격히 결정되어야 하며 이와 함께 동작요소와 공정 변수간의 관계에 관한 연구결과들이 기 발표된 바 있다.<sup>1)</sup> 이를 기초로하여 본 연구에서는 의료용에서의 혈압 측정 및 제 공정장비에서의 유체의 압력, 흐름등의 측정에 적합한 사양을 갖는 압력센서를 제

작 공정과정을 고려하여 표 1 과 같이 설계하였다. 아울러 그림 1은 설계된 압력센서의 레이아웃을 나타낸 것이다.



KIST AEL P5-1

그림 1. 압저항형 Si 압력센서의 칩 레이아웃  
Fig. 1. Chip layout of piezoresistive-type Si pressure sensor.

표 1. Si 압력센서의 설계 요건  
Table 1. Design consideration of Si pressure sensor.

공정 변수		고려 사항	설정치(구조)
Si 다이아프램	모양	제작의 난이도	정사각형
	면 방향	응용 분야	[100]
	크기	동작범위 (0~1기압) 압력감도(19.7 $\mu$ V/VmmHg) 최대인가압력 (4000mmHg)	1.0 $\times$ 1.0mm <sup>2</sup>
	두께	수율	20 $\mu$ m
확산저항	크기	압력감도 수율	20 $\times$ 200 $\mu$ m
	면 저항	압력 감도	175~180 $\Omega$ /□
	불순물	온도계수	봉소
	배열	온도계수	브릿지형
	위치	평균효과 압력감도 양면 정합오차	다이아프램의 가장자리로부터 50 $\mu$ m내부에 위치
패키징 방법	응용 분야	게이지압형	

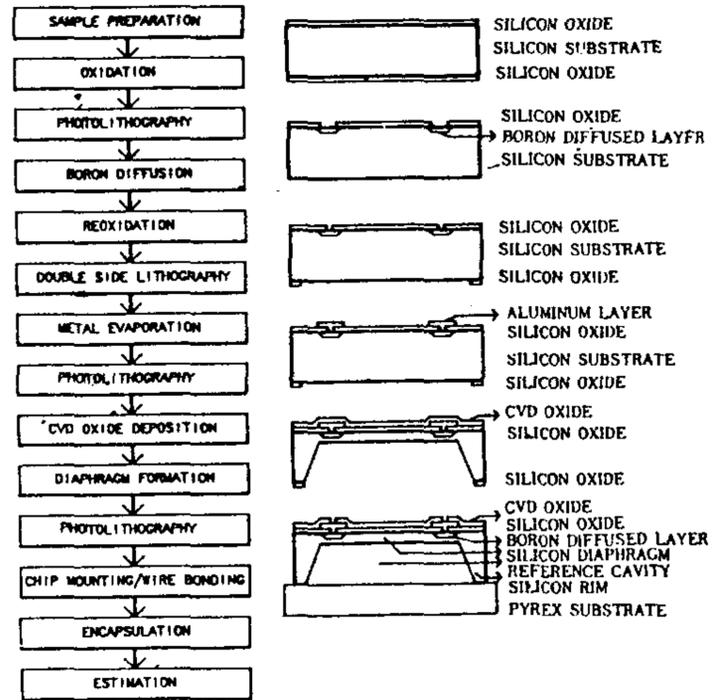


그림 2. Si 압력센서의 공정 순서  
Fig. 2. Processing sequence for Si pressure sensor.

### Ⅲ. 압력센서의 제작공정

센서를 제작하기 위한 전반적인 공정순서는 그림2와 같다.

#### 1. 앞면 회로 공정

사용된 센서용 기판은 직경 4인치, 두께  $520\mu\text{m}$ , 저항률  $\rho=3.0\sim 3.2\Omega\text{m}$ , 방향성(100)인 n형 Si 웨이퍼로 이를  $2\times 2\text{cm}^2$ 으로 절단하여 16개의 칩이 일괄 제작되도록 하였다. 즉, 표준세척공정을 거친 Si 기판상에  $1500\text{\AA}$ 두께의 습식 열 산화막을 성장한 뒤, 사진식각공정을 통해 폭  $20\mu\text{m}$ , 길이  $200\mu\text{m}$ 의 붕소 확산저항패턴을 형성하였다. 이때 다이아프램에 수직인 확산저항패턴은 각 저항의 응력평균효과(stress averaging effect)를 고려하여 저항의 길이 방향으로 1/2의 크기를 갖는 패턴을 각각 2개씩 2쌍을 형성하였다.<sup>1)</sup> 형성된 저항패턴에 붕소를 확산하기 위해 Carborundum BN-1100 고체 확산원을 사용하여  $1000^\circ\text{C}$   $\text{N}_2$ 분위기에서 35분간 사전증착한 뒤, BHF 처리-습식저온산화-BHF 처리를 거쳐 붕소스킨을 제거하였다. 이를  $1100^\circ\text{C}$ ,  $\text{N}_2/\text{O}_2$ 분위기에서 60분간 드라이브 인을 하였으며 이 때 함께 처리된 테스트 칩을 4 point probe와 spherical drill을 사용하여 측정한 결과면 저항은  $175\sim 180\Omega/\square$  정도, 접합깊이는 약  $2.1\mu\text{m}$  정도임을 알 수 있었다.

다음으로 산화막을 제거한 후 다시  $1000\text{\AA}$ 두께의 열산화막을 성장하였다. 양면 마스크 정합기를 이용하여 기판 앞면의 접촉창 패턴과 뒷면의 다이아프램 패턴을 정합한 뒤 두 번째 사진식각공정을 행하였다. 금속전극용으로  $7000\text{\AA}$ 두께의 Al을 열 증착하고 각 확산저항들이 브릿지 형으로 연결되도록 세번째 사진식각공정을 통해 Al을 배선연결하였다. 최종적으로 Si의 비등방성 식각용액내에서 Al의 부식을 막기 위해 회로형성부분 전체에 걸쳐  $2000\text{\AA}$  두께의 회로보호용 실리콘 산화막을 CVD방법으로 증착하였다. 이 때 사용된 가스는  $\text{N}_2$ ,  $\text{O}_2$ , 5%  $\text{SiH}_4$ 로 상압,  $400^\circ\text{C}$ 의 온도에서 각각  $800\text{sccm}$ ,  $100\text{sccm}$ ,  $40\text{sccm}$ 의 유량으로 2분동안 흘려주었다. 이상과 같은 공정을 거쳐 제작된 센서의 앞면 회로부는 그림3과 같다.

#### 2. 다이아프램의 형성

오차  $\pm 0.5\mu\text{m}$  이내의 범위를 갖는  $20\mu\text{m}$  두께의 다이아프램과 기타 집적센서용 Si 미세기계구조들의 제작에 관해서는 앞서 발표한 바 있다.<sup>2)</sup> 본 실험에서는 압력센서용 다이아프램의 제작을 위해 Si의 비등방성 식각용액들중 식각률의 조절이 비교적 용이하고 식각된 표면 즉(100)면이 경면에 가장 가까운

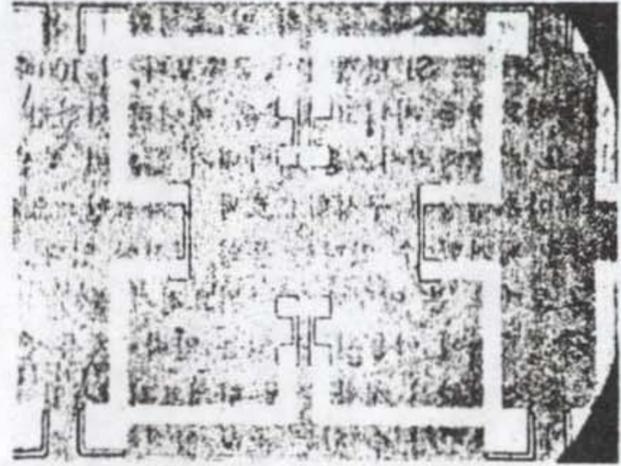


그림 3. 압력센서의 앞면 회로부

Fig. 3. Front-side circuit part of Si pressure sensor.

Ethylenediamine-Pyrocatechol-Water 용액을 각각 75ml-12gr-24ml의 조성으로하여  $115\pm 2^\circ\text{C}$ 의 온도에서 사용하였다. 이때 용액의 산화, 조성 및 온도변화등을 방지하기위해 용액교반기, 되흐름기를 사용하였고 또한 용액내에 질소를  $100\text{sccm}$  정도로 불어 넣어주었다. EPW용액에 의한 Si의 식각시 주목할 점은  $300\mu\text{m}$  이상의 깊은 식각의 경우 식각표면상에 종종 흰색 잔유물이 존재함으로써 식각표면의 평탄화나 균일화를 방해한다는 점이다.<sup>3)</sup> 이러한 흰색 잔유물의 모양을 그림4에 나타내었는데 이는 결정성을 띄지않는 흰색 분말덩어리로 그 조성은 Si-O-H-N-C의 화합물로 구성되며 불산을 제외한 대부분의 용액에도 용해되지 않는다. 이는 용해된 Si의 국부적인 과잉포화로 인해 식각깊이가 깊을수록 더욱 현

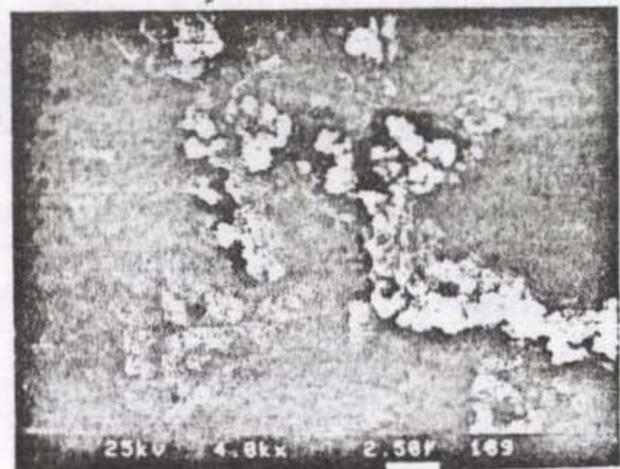


그림 4. Si의 비등방성 식각시 표면에 발생하는 흰색 잔유물

Fig. 4. White residues at surface during Si anisotropic etching.

저히 나타나므로 두께 500 $\mu\text{m}$  이상의 Si기판을 박판화(thinning)하지않은 상태에서 공정을 행할경우 Si의 과잉포화를 막기위해 보다 저온에서 식각하거나 혹은 촉매성분을 첨가하여야 한다. 본 실험에서는 촉매로서 Pyrazine을 약 0.48gr 정도 첨가하여 다이아프램의 수율을 향상할 수 있었다.

아울러 p형 Si 기판상에 n형 에피층을 성장하여 전기화학적 식각정지를 행한 결과 앞면의 회로형성부분에 식각정지용 전위를 공급하는 금속박막의 증착이 어려웠다. 또한 회로부를 제외한 주변영역에 매트릭스형으로 Au/Ti전극을 증착하여 전기화학적 식각을 하여보았는데 Si 에피층의 측면방향으로 전위의 변화가 발생하여 다이아프램의 두께를 정확히 조절할 수 없었다. 따라서 여기서는 식각용액의 조건을 가능한 고정된 뒤 사전에 정해진 식각률(1.25 $\mu\text{m}/\text{min}$ )을 고려하여 식각시간을 조절하였으며 동일규격의 기준용 칩을 함께 넣어 그 투과광 및 단면관찰을 통해 다이아프램의 두께 오차를  $\pm 0.5\mu\text{m}$  이하로 조절할 수 있었다. 그림 5에 20 $\mu\text{m}$  두께의 다이아프램 공정이 완료된 압력센서 칩의 단면도를 보였다.

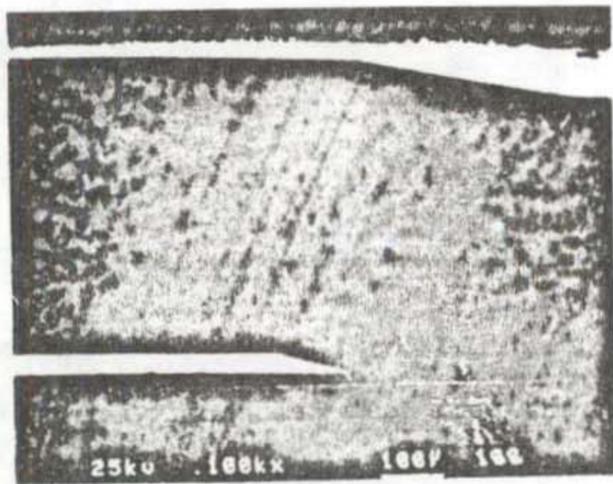


그림 5. 20 $\mu\text{m}$ 두께의 다이아프램을 갖는 Si 압력센서의 단면도

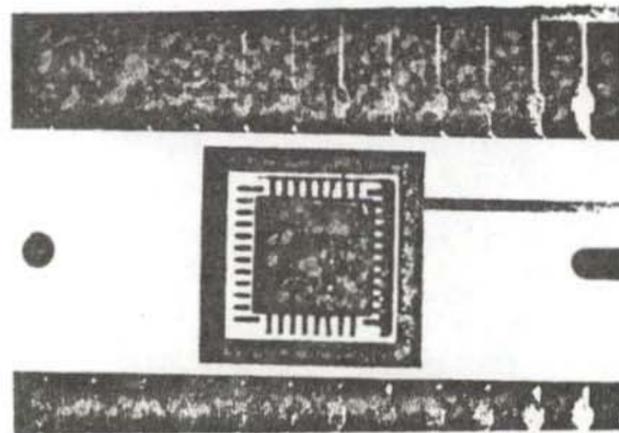
Fig. 5. Cross-section of Si pressure sensor with a 20 $\mu\text{m}$  thick diaphragm.

### 3. 패키징

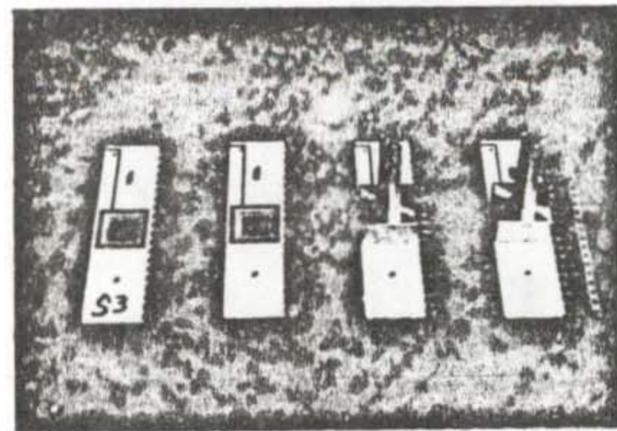
다이아프램 형성후 마지막 사진식각공정을 통해 앞면의 배선연결용 패드부의 CVD 산화막 및 뒷면의 열 산화막을 제거하였다. 다음단계로 에폭시를 사용하여 표면이 경면인 파이렉스 유리판과 센서칩의 뒷면을 완전히 집착하였으며 이때 기준 공동의 형성조건은 상온-대기압으로 하였다. Si-유리의 정

전 열접합(electrostatic bonding)<sup>11)</sup>을 행할 경우 350 $^{\circ}\text{C}$  이상의 고온에서 밀봉된 공동내의 공기가 상온에서 수축되어 대기압을 기준으로하는 게이지압 측정용 압력센서의 동작특성을 저하시킬 우려가 있어 이를 배제하였다.

최종적으로 그림 6(a)와 같은 듀얼 인 라인 칩 캐리어상에서 와이어 본더를 사용하여 칩의 배선연결을 하였는데 금후 정전류원, 차동증폭회로, 온도 및 비선형성 보상회로등 신호처리부와외의 집적화를 고려하여 40핀 패키지를 사용하였다. 아울러 그림 6(b)는 공정이 완료된 게이지압 측정용 압저항형 Si 압력센서의 최종 모형이다.



(a)



(b)

그림 6. 제작된 Si 압력센서들

- (a) 듀얼 인 라인 패키지상에 올려진 센서 칩
- (b) 압력 인입구를 갖는 게이지압 측정용 Si 압력센서들

Fig. 6. Fabricated Si pressure sensors.

- (a) Sensor chip mounted on dual-in-line package,
- (b) Si pressure sensors with a pressure-inlet tube for measuring gauge pressure.

IV. 게이지압 측정용 센서의 동작특성 평가

제작된 압력센서의 동작특성을 평가하기위해 그림 7과 같은 측정 시스템을 구성하였다. 압력인가원으로 질소 실린더를 사용하였으며 이로부터 미세조절밸브를 통해 0.0~1.5KgF/cm<sup>2</sup> 범위의 압력이 0.05KgF/cm<sup>2</sup>의 간격으로 센서와 기준 압력게이지(JOFRA calibrator LPC2A)에 동시 전달된다. 이와 함께 압력센서의 두 단자간에는 정전압용(Keithley 228 V/I Source)에 의해 10V DC전압이 인가되며 압력인가시 각 확산저항들의 변화로 발생하는 다른 두 단자간의 전위차가 전압계(Keithley 619 Electrometer)로 검출되어 기록된다.

그림 8(a)는 상온에서 측정된 압력센서의 인가압력-출력전압의 관계이다. 브릿지 비평형전압 V(OFFSET)은 280.5mV로 이는 각 분소확산저항들간의 저항치의 차이에 기인한 것이다. 아울러 이 센서의 동작영역인 0~1기압(0.00~1.03KgF/cm<sup>2</sup>, 대기압을 0으로 한 경우)범위내에서 출력전압은 0.00~107.64 mV의 변화폭을 갖는다. 즉, 이 센서의 압력감도는 상온에서 약 14.2μV/V mmHg로 이는 센서 시뮬레이션 프로그램[4]을 이용하여 얻어진 값인 이상압력감도 19.7μV/V mmHg에 비해 28%정도 작은 값이다. 이와같이 압력감도가 이상치보다 적은 이유로는 다이아프램의 두께 오차, 다이아프램과 확산저항 브릿지간의 양면 정합오차, 확산저항치의 공정오차로

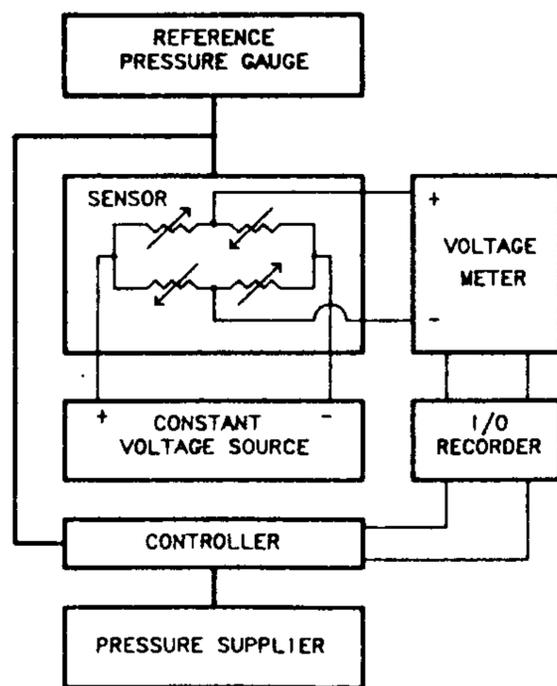
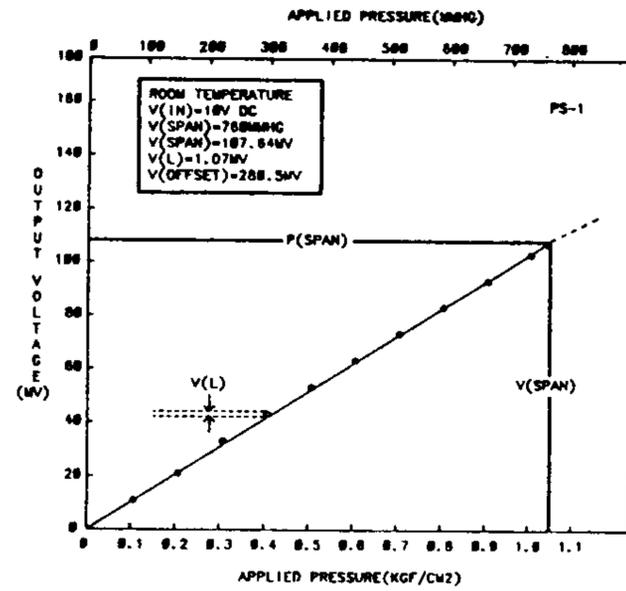
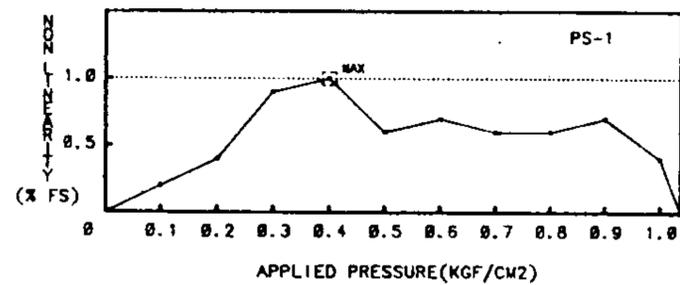


그림 7. 압력센서의 특성 측정 시스템  
Fig. 7. Measurement system for pressure sensor.



(a)



(b)

그림 8. 센서의 압력 응답 특성  
(a) 인가압력에 따른 브릿지 출력전압  
(b) 동작영역내에서의 비선형성

Fig. 8. Pressure response characteristics of pressure sensor.  
(a) bridge output voltage as a function of applied pressure,  
(b) nonlinearity in the range of rated operating region.

인한 변화등을 추정할 수 있다. 최대 비선형성은 0.4KgF/cm<sup>2</sup>의 압력인가시 발생하는데 이는 그림 8(a)로부터  $V(L)/V(SPAN) \times 100 \approx 1.0\% FS$ 로 얻어진다. 이때, V(L)은 정격 압력범위의 하단과 상단을 잇는 직선으로부터의 측정치 최대편차, V(SPAN)은 정격 압력범위인 P(SPAN)에 대한 브릿지 전압의 출력범위를 나타낸다.

아울러 센서의 동작영역내에서 측정된 비선형성 오차를 그림 8(b)에 나타내었다. 이들은 대략 0.2~1.0% FS의 범위를 갖는데 이는 다이아프램의 과잉 편향에 의한 것이라기보다는 압저항계수의 비선형성에 기인한 것으로 사료된다. 상술한 게이지압 측정용 압저압형 Si 압력센서의 주요 동작특성을 표 2에 요약하였다.

표 2. 제작된 Si 압력센서의 동작특성(상온)  
Table 2. Characteristics of fabricated Si pressure sensor. (at R. T.)

측정압력형태	게이지압
인가 전원	10V DC
브릿지 비평형전압	280.5mV
최대 인가압력	약 4000mmHg
정격 압력범위	0~1기압
정격 출력범위	0~107.64mmV
압력 감도	14.3 $\mu$ V/VmmHg
최대 비선형성	1.0% FS

V. 결 론

의료전자 분야 및 반도체 공정장비에의 응용을 목적으로, 대기압을 기준으로 할 때 0~1기압의 측정 범위를 갖는 소형 압저항형 Si 압력센서를 제작하여 보았다. 브릿지 비평형 전압 280.5mV, 최대 비선형성 1.0% FS를 감안하면 제작된 압력센서는 약 14.2 $\mu$ V/V mmHg의 압력감도로 0~1기압내에서 동작할 수 있음을 확인되었다. 비교적 큰 비평형 전압과 비선형성은 차동증폭회로를 이용한 외부로부터의 이득조절등에 의해 감소될 수 있으며 또한 센서회로 내에 바이폴라 트랜지스터나 확산저항등을 삽입하여 동작특성의 온도변화를 추출하는 것도 반드시 필요할 것이다. 아울러 적은 출력전압에 대한 신호 증폭회로, 전원공급용 정전류/전압회로, A/D 변환기등 신호처리부와외의 집적화, 온도 및 흐름센서와의 복합화등이 다음 연구방향으로 될 것이다.

감사의 글

본 연구는 과학기술처의 연구비 지원에 의해 수행되었으며 아울러, 연구가 수행되는 동안 금속 배선공정 및 실험결과에 관한 토의, 정리를 도와주신 본 연구부의 권용무, 한일기, 전형욱, 박중현, 이윤희 연구원께 깊은 감사를 드립니다.

參 考 文 獻

- [1] J.E. Brignell, "Sensors within Systems," *J. Phys. E: Sci. Instrum.* vol. 17, pp. 759-765, 1984.
- [2] 주병권의, "실리콘 Thermopile 집적센서의 기술동향," 전자공학회지, 제16권, 제 6 호, pp. 90-99, 1989
- [3] 주병권의, "생체계측을 위한 피하주입형 Si센서의 기술동향," 전자공학회지, 제17권, 제3호, pp. 1~9, 1990
- [4] K.W. Lee et al., "SENSIM: A Simulation Program for Solid-State Pressure Sensor," *IEEE Tr. Electron Dev.*, vol. ED-29, no. 1, pp. 34-41, 1982.
- [5] H.L. Chau et al., "Scaling Limits in Batch-Fabricated Silicon Pressure Sensors," *IEEE Tr. Electron Dev.*, vol. ED-34, no. 4, pp. 850-858, 1987.
- [6] 주병권의, "N<sub>2</sub>H<sub>4</sub>-H<sub>2</sub>O용액의 100 $\mu$ Si에 대한 최적식각조건의 설정과 전기화학적 식각에의 응용," 전자공학회논문지, 제26권, 제11호, pp. 66-60, 1989
- [7] 주병권의, "실리콘의 비등방성 식각상태의 고찰과 집적센서용 미세기계구조 제작에의 응용," 전기학회논문지, 제39권, 제 1 호. pp. 75-82, 1990
- [8] A. Reisman et al., "The Controlled Etching of Silicon in Catalyzed Ethylenediamine-Pyrocatechol-Water Solutions," *J. Electrochem. Sco.*, vol. 126, no. 8, pp. 1406-1415, 1979.
- [9] X.P. Wu et al., "A Study on Deep Etching of Silicon using Ethylenediamine-Pyrocatechol-Water," *Sensor. Actuator.*, vol. 9, pp. 333-343, 1986.
- [10] G. Wallis et al., "Field Assisted Glass-Metal Sealing," *J. Appl. Phys.*, vol. 40, no. 10, pp. 3946-3949, 1969.