

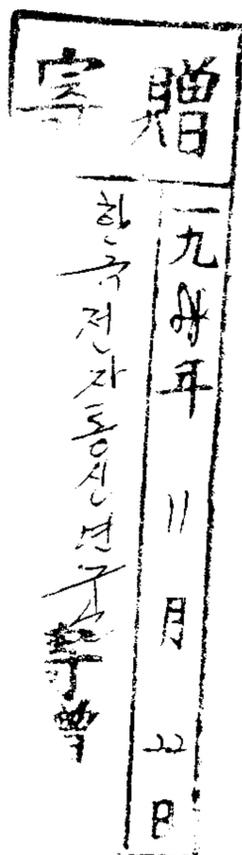
# 最 終 研 究 報 告 書

Self-Tuning Advanced Controller의

개발에 관한 연구

(제어계측 및 의료전자기기 기술개발중)

주관연구기관 : 한국 전자 통신 연구 소



과 학 기 술 처

# 제 출 문

## 과학기술처장관 귀하

제어계측 및 의료전자기기에 관한 기술개발 중 “Self-Tuning Advanced Controller의 개발에 관한 연구”과제의 최종연구보고서를 별첨과 같이 제출합니다.

1988년 8월 29일

주관연구기관명 : 한국전자통신연구소

총괄연구책임자 : 정 선 종 (인)

주관연구기관장 : 경 상 현 (직인)

# 제 출 문

과학기술처장관 귀하

본 보고서를 “제어계측 및 의료전자기기에 관한 기술개발 중 Self-Tuning Advanced Controller의 개발에 관한 연구”과제의 최종연구보고서로 제출합니다.

1988년 8월 29일

주 관 연 구 기 관 : 한국전자통신연구소  
연 구 책 임 자 : 권 오 형  
선 임 연 구 원 : 이 창 구  
연 구 원 : 정 태 진  
기 술 기 능 원 : 이 진  
행 정 기 능 원 : 서 정 인  
위탁연구수행기관 : 서울대  
아주대  
연세대  
경북대

# 요 약 문

## I. 과제명

Self-Tuning Advanced Controller의 개발에 관한 연구

## II. 연구개발의 목적 및 중요성

본 과제의 목적은 제품의 생산성 향상, 원가 절감등을 피하기 위하여 현재 생산공정 제어시스템에 널리 쓰이고 있는 분산제어 시스템중의 단말 부분에 해당하는 제어기의 기능과 성능을 고급화하기 위하여 현대제어 이론을 도입, Self-Tuning 기능을 내장한 Advanced Controller의 개발 및 상품화에 있다.

철강, 제약, 염색, 제지등의 생산공정을 제어하는 시스템은 최근의 반도체, 컴퓨터 및 통신분야의 급격한 발달로 분산제어 방식을 채택한 계층제어 시스템으로 개선되어 공정제어의 자동화, 생산효율의 극대화등을 도모하고 있는 추세이며 이러한 제어 구조상에서는 단말에 속하면서 공정의 각 루프들을 직접 제어하는 제어기의 기능과 성능이 전체 시스템의 효율을 좌우하는 것은 두말할 나위가 없다. 따라서 이 제어기들의 기능과 성능을 고급화하고 효율을 높이는 것이 당면한 주요 과제로 꼽히고 있다.

현재 재래식의 ON/OFF나 단순 PID 기능만을 갖고 있는 루프 제어기들을 사용하고 있는 생산 현장의 엔지니어들은 공정의 동특성및 외란 발생시 그들의 경험을 토대로 매번 제어기의 PID 파라미터등을 수동으로 조절해야 하며, 이때 별도의 Configurator를 사용해야하는 불편함을 겪고 있다. 이러한 여러가지 문제점들을 극복하기 위하여 외국의 몇몇 회사들은 고급제어이론인 적응제어 이론과 인공지능 기법을 도입한 고급의 제어기를 개발하여 여러 산업공정에서 사용하고 있다. 이들에 대한 성능 평가 및 분석

보고에 따르면 기존 제어기보다 훨씬 우수한 성능을 나타내며 조작성 간편할뿐 아니라 상위 컴퓨터와도 통신이 가능하다는 등의 다양한 기능을 가진 것으로 평가되고 있다.

현재 국내에서 활발히 일고 있는 공장 자동화의 추세에 따라 공정제어 감시용 컴퓨터 뿐만 아니라 Programmable Controller, Loop Controller 등도 점차 개발되어 가고 있으며, 국내 일부 업체에서는 온도 제어용 Auto-Tuning Controller를 개발하여 시판하고 있다.

이 Auto-Tuning Controller는 온도 공정만을 위한 한정된 제어기로서 단순한 기능만으로 이루어져 있기 때문에 종합적 시스템의 구성요소로서 쓰이기 힘들뿐 아니라, 대부분의 제품이 외국것의 모방에 그쳐 기술 축적이 어려운 실정이다. 따라서, 본과제에서는 pH, 온도, 유량, 압력, 습도 등의 여러 공정제어에 적합하고 상위 컴퓨터와 통신의 가능하며, 공정의 특성에 따라 제어기 자체가 스스로 조절되는 조작성 간편하면서 범용성을 갖는 고급의 Self-Tuning Controller를 개발하는데 그 목적을 둔다.

### III. 연구개발의 내용 및 범위

#### 1. 시스템의 분석 및 설계

- 시스템의 기능 설정
- 기존 모델의 조사 및 성능 비교 연구
- 각종 규격서 작성

#### 2. 제어 알고리즘 개발

- Pre-Tuning 기법 연구 및 개발
- PID 자기동조 방법 연구 및 개발
- Long Range Predictive Control Algorithm 연구 및 개발
- 비최소 위상시스템의 견실한 적응제어 방법 연구 및 개발
- Expert 기능을 갖는 적응제어 방법 연구 및 개발

### 3. 제어기의 H/W 제작

- H/W기능 설정 및 설계
- H/W의 구성 및 기능구현
- Integration 및 Test

### 4. 제어기의 S/W 설계

- Monitoring Program 개발
- 제어기와 PC간의 Communication Program 개발
- 제어기의 Configuration Program 개발
- 각 기능별 S/W 설계 및 Program개발

### 5. pH 공정 분석 및 자기동조 알고리즘 개발

- pH 적정공정의 모델링
- pH 제어의 세부 분석 및 문제점 검토
- 자기동조 pH공정 제어 알고리즘 개발

## IV. 연구 결과 및 활용에 대한 건의

본 연구과제의 2차년도에는 1차년도에서 조사 작성된 User's Requirement Spec.과 System Spec.을 토대로 H/W의 설계, 제작 및 제어기와 PC간의 Communication 기능 보장, PC에서의 EXPERT 기능의 제어알고리즘 개발, pH 적정공정 모델링 및 제어알고리즘 개발, Pre-Tuning 기법 및 Robust Adaptive Algorithm 개발등을 토대로 Self-Tuning Advanced Controller의 Prototype을 제작하였다. 이와 같은 2차년도의 결과를 토대로 3차년도에는 제어기 기능의 가감, Program의 Optimization, 제어기 단가의 저렴화를 실현하고 충분한 현장 시험 운전을 통해 상품화 및 국내 중소기업에 기술 전수를 목표로 하고 있다.

개발된 Self-Tuning Advanced Controller는 기존의 Loop Controller와는 달리 조작성이 편리하고, 성능이 우수한 것으로 예상되며, 현재 산업체에 도입되어 있거나 개발되어 있는 계층 구조 공정 제어 시스템의 단말기로서 활용된다면 상위 컴퓨터에서 하위 구조에 속하는 제어기에 이르기까지의 전체적인 시스템을 국산화할 수 있다. 따라서 우수기업체를 적정 기준에 따라 선정, 본 연구 결과를 기술 전수하여 국내 산업체에 보급할 경우 수입 대체 효과는 물론, 고급 제어 기술의 도입으로 인한 생산공정의 개선, 생산성 향상 등에 크게 기여할 것으로 판단된다.

## V. 연구 일정

연구 개발 내용	추진 일정												비고
	1	2	3	4	5	6	7	8	9	10	11	12	
- 기술 정보 수집			→										
- 연구 장비 도입			→										
- 공정 requirement 분석					→								
- self-tuning controller H/W 제작							→						
- self-tuning controller S/W programming							→						
- assemble & system integration								→					
- system debugging									→				
- review										→			
- 보고서 작성						→						→	

## SUMMARY

The objective of this project is to develop a self-tuning controller which has high performance and several advanced control functions. Currently, an advanced controller is highly demanded in domestic industries for automation of process control, enhancement of productivity, and improvement of efficiency of production processes. The development of the controller will result in the distribution of the controller among domestic industries.

Recently, due to rapid development of semiconductor, computer, and communication technologies, the systems which control the processes of steel, pharmacy, dye, and pulp have been modified to the hierarchical control system which adopted distributed control method and its trend is automation of the process control, and maximization of the product efficiency.

It is natural that the efficiency of the total system should depend on the functions and the performances of the controller which control each loop of processes in the front end of the controller structures, directly.

Therefore, its main objective in the development of controller is to upgrade the function and performance of the controller and to improve the efficiencies.

On these days, field engineers who have been used loop controllers which have only the simple functions of ON/OFF and PID adjusted the parameters of controller manually each time of tuning with their experiences whenever there existed external disturbances and noise.

Since they should use the configurator which programs the controller in the field, it is very painful.

In order to overcome these problems, some foreign leading companies have been developing the advanced controller which adopted adaptive control theory, and knowledge based expert technique, and applying to their industrial processes.

For their performance evaluations and analysis reports, it's superior to the old-fashioned controller and has simple operation function, and has versatile functions that include communication function with higher level of the system architecture.

In domestic industries, most of the companies have been developing the computer controlled system for data monitoring and control as well as programmable controller and loop controller.

And, some companies have developed auto-tuning controller for temperature control and distributed in the market.

Because this auto-tuning controller has simple function limited to temperature process, it's difficult to integrate into the total control system and the controller is simple modification of its foreign ones.

Therefore, the design technologies of advanced controller have not been accumulated on their files.

With these circumstances, we developed the general purpose self-tuning advanced controller that is fitted to all industrial processes including pH, temperature, pressure, moisture, flow, ...etc and has communication function with higher level of computer, and control their parameters with varying process characteristics, automatically and has simple operation function with panel keys and configuration software.

# 여 백

# 목 차

제1장 서론.....	1
제1절 연구개발의 필요성 및 목적.....	1
제2절 연구개발의 내용 및 범위.....	2
제2장 Self-Tuning Advanced Controller의 개발 .....	4
제1절 개요 .....	4
1. 용도 .....	4
2. 기능 .....	4
3. 일반적인 구조.....	5
4. 사양.....	7
5. 조작기능.....	10
6. 외관.....	11
제2절 하드웨어 구성 .....	13
1. Function Diagram 및 설명.....	13
2. 하드웨어 주요 구성 .....	13
3. 세부 기능 및 설계 .....	15
제3절 제어기 소프트웨어 .....	49
1. 소프트웨어 구조 .....	49
2. System Control Flow .....	51
3. 소프트웨어의 블럭별 기능 .....	53
4. Function Module Description.....	55
제3장 제어 알고리즘 .....	79
제1절 개요 .....	79

제2절 시스템 구조 .....	80
제3절 LRPC .....	81
제4절 감독기능 .....	86
제5절 알고리즘 구성과 시뮬레이션 .....	91
제4장 결론 .....	100
참고문헌 .....	102

# CONTENTS

Chapter 1. Introduction .....	1
Section 1. Objective .....	1
Section 2. Scope and Contents .....	2
Chapter 2. Development of Self-Tuning Advanced Controller .....	4
Section 1. General System Descriptions .....	4
1. Scope .....	4
2. Functions .....	4
3. General Structure .....	5
4. Specifications .....	7
5. Operational Functions .....	10
6. Outlook .....	11
Section 2. Controller Hardware .....	13
1. Function Block Diagram .....	13
2. Functions of H/W Blocks .....	13
3. Circuits .....	15
Section 3. Controller Software .....	49
1. Software Structure .....	49
2. System Control Flow .....	51
3. Functions of S/W Blocks .....	53
4. Function Module Description .....	55
Chapter 3. Control Algorithm .....	79
Section 1. Scope .....	79

Section 2. System Structure .....	80
Section 3. LRPC .....	81
Section 4. Supervisor .....	86
Section 5. Simulation .....	91
Chapter 4. Conclusion .....	100
References .....	102

# 제 1 장 서 론

## 제 1 절 연구개발의 필요성 및 목적

컴퓨터 기술의 급격한 발달과 생산성 증대와 품질향상을 이룩하려는 공장자동화의 추세에 따라 기존의 ON/OFF 혹은 P.I.D 제어기능의 단점을 보완, 향상시킨 Self-Tuning 제어기의 필요성이 절실히 요구되어지고 있다. 또한 상위 Computer 등과의 Network을 통하여 상위 Computer를 이용한 직접 생산 Line등에 적용되어 Data 보관, 처리등으로서의 제어 Computer 응용체계를 실현하고 있는 실정이다. 실제로 미국의 FOX-BORO사의 EXACT System, 프랑스 CORECI 사의 Microcor III-Universal Controller, 일본 OKURA사등 외국의 제어기 전문업체에서는 A.I. 기법을 사용한 Self-Tuning 제어기를 시판, 현장에 적용하고 있으며 국내 자기동조제어기 시장을 석권하고 있는 실정이다. 고가의 제어기를 저렴한 가격으로 국산화하기 위하여 H/W 및 S/W 개발기술을 확보하고 있는 국내의 몇몇 업체에서 자체개발을 시도 혹은 자체개발에 큰 의욕을 갖고 있으나 Self-Tuning Algorithm 개발 기술의 부족으로 자기동조 제어기의 국산화를 실현하지 못하고 있고, 현재 국내 현장공정에서 공정의 효율화 및 품질의 고급화를 위해 자기동조 제어기가 절실히 필요되어지고 있으나 대부분 ON/OFF, PID제어기능으로 만족하고 있는 실정이다. 국내 경제의 안정 성장기로 접어 들어감에 따라 기업경쟁력 강화를 위하여 생산성의 향상, 에너지 절약등의 노력이 각 제조업체에서 강력히 요구 추진되고 있으며 현 공정생산 Line의 효율성, 정확성을 위하여서는 ON/OFF, PID보다 실질적인 Self-Tuning Algorithm을 적용한 탁월한 능력을 갖는 제어기가 요구되고 있다.

적용 제어를 이용한 제어기는 공정의 효율화, 품질의 고급화 등에 큰 기여를 할 수

있을뿐 아니라, 제어 기술의 축적, 생산성 향상, 원료의 절감, 생산공정의 자동화를 이룩할 수 있다. 따라서, 이런 종류의 제어기를 국산화하면 외화 절감 효과는 물론 상위 시스템과 연결된 종합적 시스템을 완전하게 국산화할 수 있으며, 개발된 범용 모델을 변형하여 여러 공정의 특성에 맞는 제어기로 활용할 수 있는등의 파급효과가 매우 크리라 믿는다.

## 제 2 절 연구개발의 내용 및 범위

본 과제에서는 단일 입출력 적응제어 기능을 기본으로 하여 자기 진단 기능, 외부 Computer 및 제어기간의 상호 통신, Configuration 기능, Self-Tuning 기능 등의 여러 주요기능을 가진 제어기를 설계 제작한다. 현재 연구 개발 내용은 크게 네분야로 나뉘어져 있으며 그 주요 내용 및 범위는 다음과 같다

### 1. 시스템 설계, 분석 및 종합

- 기존 모델의 조사 연구
- 시스템 기능 설정
- 시스템 구조 설계
- 시스템 규격 작성
- 시스템 종합 및 시험, 보완

### 2. 적응 제어 Algorithm 분석 및 개발

- Pre-Tuning 기법 연구 및 개발
- PID 자기동조 방법 연구 및 개발
- 적응제어 이론 연구 및 개발
- Simulation 및 Implementation

### 3. 하드웨어 설계 및 제작

- 각 블럭별 회로 구성 및 Test
- Main Board 제작
- Front Panel I/F Board 제작
- Analog I/O Module 제작
- Power Module 제작
- Rack 제작
- Integration & Test

### 4. 소프트웨어 설계 및 Programming

- 소프트웨어 구조 및 각 Module별 설계 및 Programming
- 소프트웨어 Integration & Test

## 제 2 장 Self-Tuning Advanced Controller의 개발

### 제 1 절 개 요

#### 1. 용 도

Self-Tuning Controller(이하 STC로 약칭) System의 용도는 Industrial Process의 모든 요소를 제어하는데 있고, 그 결과 양질의 제품생산, 에너지의 효율적 이용, Process Line Setup시 소요되는 시간과 인력의 절감, 제조원가 절감등을 가져온다. STC에 의한 효율적인 제어로 제조 공정의 자동화를 실현하고, Host System과의 Communication으로 Total 제어 System을 구축한다.

STC가 적용되는 공정으로는 일반적인 Industrial 공정, Energy Management System, 폐수처리, 석유정제공정, 제지펄프 생산공정, 원자력발전설비, 염색 및 방직공업, 반도체 제조공정, 제약공업등이 있으며, 구체적인 제어 대상으로는 온도, pH, 수위(Level), 압력, 유량, 속도, 변위, 위치등이 있다.

#### 2. 기 능

STC System의 기능은 고급 제어 이론을 공정 제어 분야에 적용하여 제품의 고품질화, 비용의 절감, 다품종 소량생산화를 실현하기 위해 항상 최적 제어상태를 유지하는 것이 절대적으로 필요되어짐에 따라 본 제어기는 Self-Tuning 기법을 사용하여 제어기의 파라미터를 항상 최적상태로 유지하도록 한다.

##### (가) 제어기의 목적

- 공정의 특성 변화시 최적제어 성능을 유지하도록 함.
- 공정의 Start-Up시 파라미터 조절작업을 경감.

(나) 제어기의 특징

- 공정의 Start-Up시 Pre-Tuning 기법사용
- On-Line 추정기법을 사용하여 공정의 특성변화를 검출함으로써 STC의 제어 기능으로 공정의 최적제어 상태를 유지.
- 간편한 Configuration 기능 내장

3. 일반적인 구조

STC System Configuration은 다음 그림과 같다.

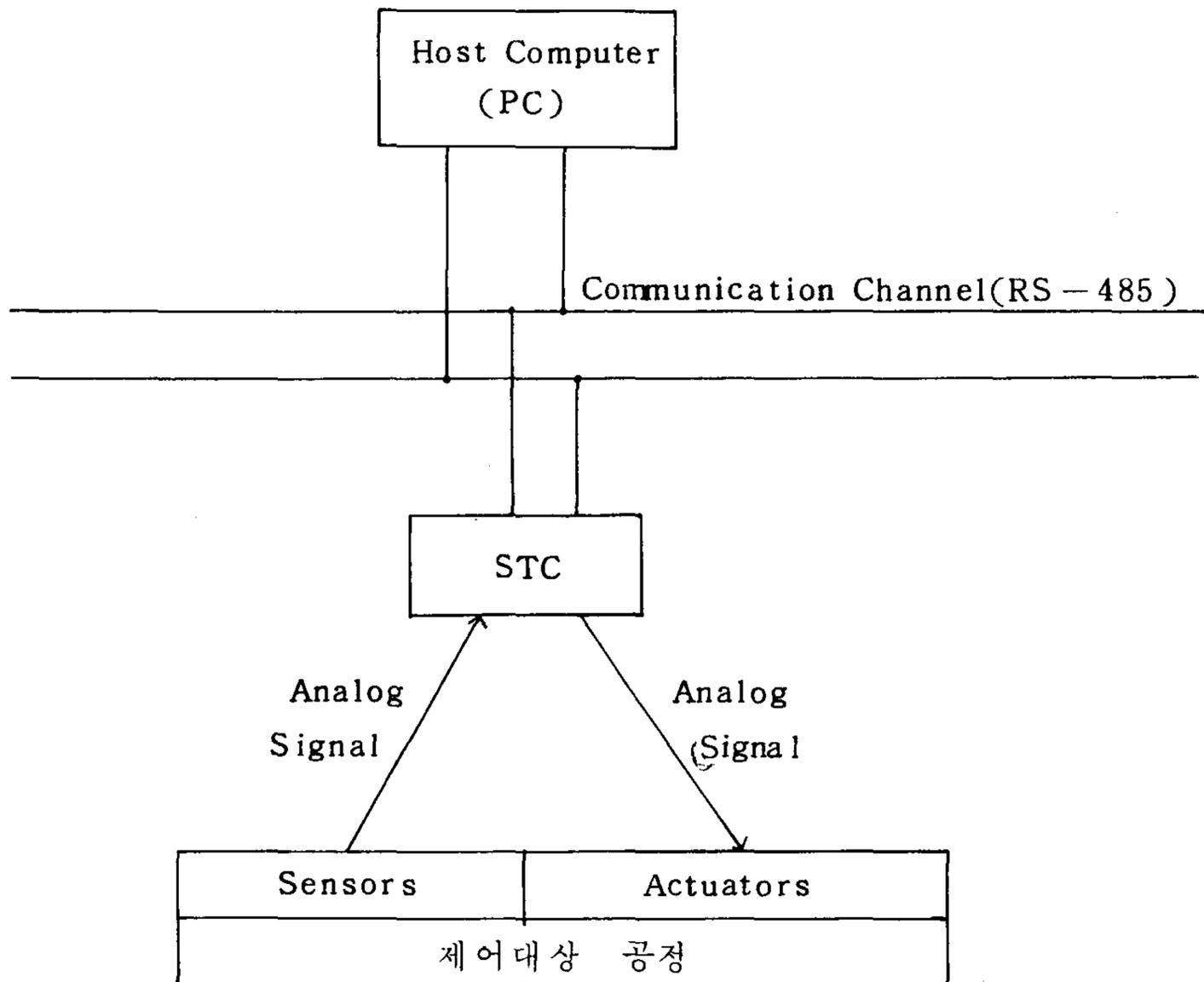


그림 2-1 STC System Configuration

STC는 프로세서의 센서(온도, 압력, 유량, pH등)로부터 아날로그 신호를 측정하여 Self-Tuning Control Algorithm에 의해 액츄에이터 (모터, 릴레이, 밸브등)를 구동시킨다. 한편 Communication Channel을 통하여 Host Computer(PC)와 Interface하며 그림 2-2와 같이 분산 제어 시스템을 구현할 수 있다.

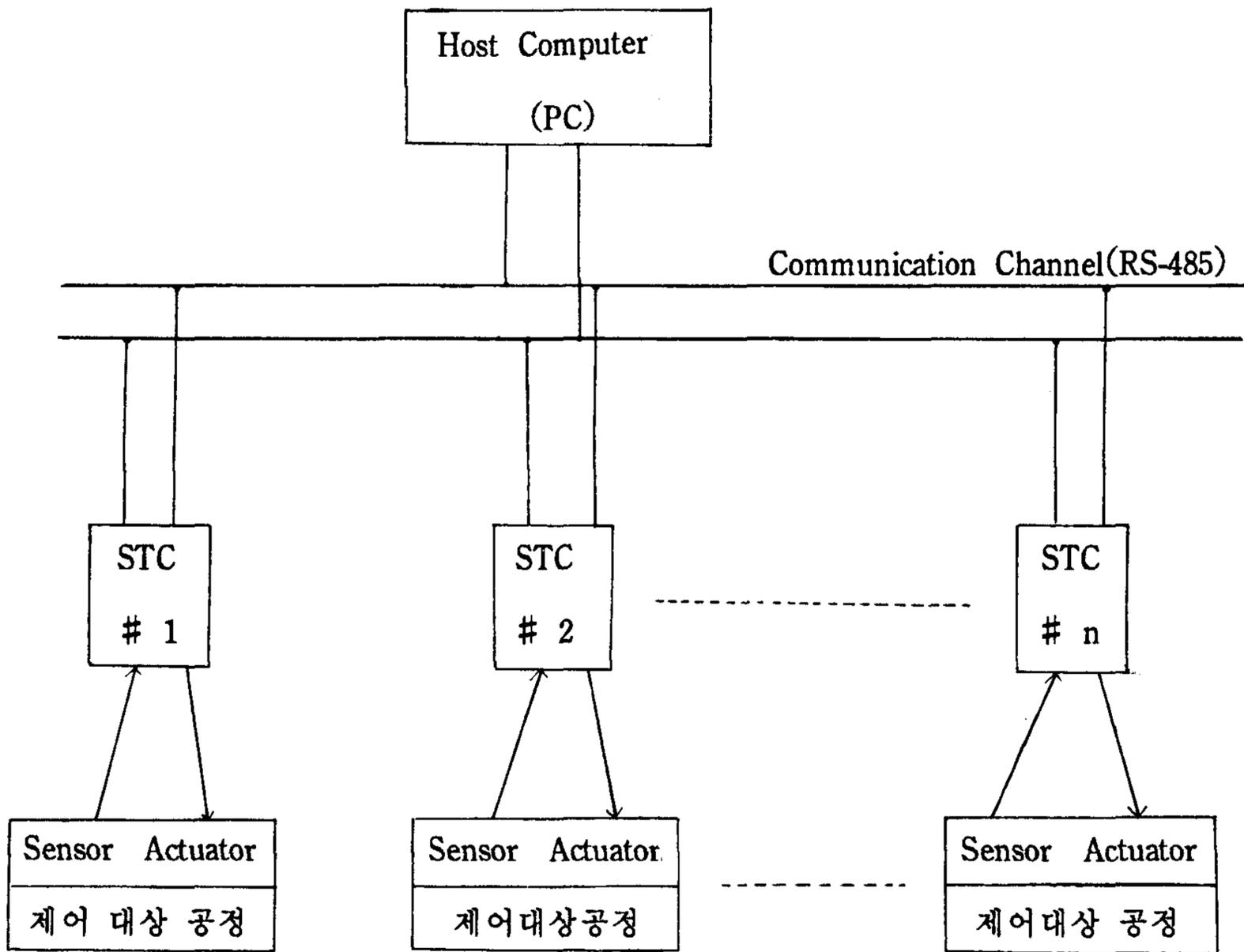


그림2-2 분산 제어 시스템의 구조

#### 4. 사 양

##### (가) 프로세서

- 16 비트 단일칩 마이크로 컨트롤러 HPC16040(National)
- 2개의 프로세서 구조(주프로세서, 수치연산 알고리즘 프로세서)

##### (나) 시스템 클럭 주파수 : 16MHZ

##### (다) 메모리

- 주 프로세서 ROM : 40K bytes  
RAM : 4K bytes
- 알고리즘 프로세서 ROM : 48K bytes  
RAM : 16K bytes

##### (라) 신호변환

- 12비트 A/D (DAS 1151 모듈) 변환
- 12비트 D/A 변환
- 4~20mA 전압/전류 변환

##### (마) 입력 및 출력

- 아날로그 입력

가) 채널 수 : 4채널 차동 입력 (Differential)

나) 신호레벨 : 0~+10VDC, 4~20mA 전류

- 디지털 입력

가) 채널 수 : 8채널

나) 신호레벨 : TTL Compatible

- 아날로그 출력

가) 채널 수 : 2채널 전압 출력, 2채널 전류 출력

나) 신호레벨 :

전압 : 0 ~ ±10V jumper selectable

전류 : 4~20mA

- 디지털 출력

가) 채널 수 : 4채널

나) 신호레벨 : 1채널 PWM 신호 출력

3채널 Open Collector TTL 신호 출력

(바) 경보신호

- 최대 채널수 : 3채널

- 경 보 : PV HIGH/LOW Limit

MV HIGH/LOW Limit

(사) 신호 처리 기능

- 아나로그 입출력에 대한 선형화

- 아나로그 입력에 대한 필터링

(아) 제어 기능

- 제 어

가) PID 제어

나) 계수 추정에 의한 자기동조 제어

- PID 동조

가) 수동 PID 설정

나) 선행 동조(Pre-Tuning)

다) 자기 동조 (Self-Tuning)

라) PID 계수 범위

\* P : 1~1000%

\* I : 0.01~50분

\* D : 0.01~60분

(자) 연산 기능

- 아나로그 입력 : 4칙연산
- ON/OFF신호 입력 : AND, NAND, OR, XOR, NOT 등
- 알고리즘 : Matrix 연산

(차) Configuration 기능

- 제어, 연산 프로그램에 대한 Configuration  
: Configuration 프로그램

(카) 주 컴퓨터 인터페이스

- RS232C 또는 RS485 직렬 통신

(타) 전면판 표시기/조절기

- 2개의 수자 표시기(16 Segment VFD)
  - \* 상태, 계수치 표시
- Bar-Graph 표시
  - \* 형광 표시
  - \* 3개(SV, MV, PV), 101 Segment
- 경보 지시 램프(LED)
  - \* HI/LO Limit 경보
- 조절기
  - \* Membrane 스위치
  - \* 원격/국부 선택 스위치
  - \* 전원 ON/OFF 스위치
  - \* 자동/수동 선택 스위치
  - \* 계수 증감 스위치

(파) 전원 사양

- AC 전원 : 115/220VAC, 60Hz, 단상
- DC 전원 : +24VDC(전송기 전원)
- 돌입 전류 방지, Battery Back-up

(하) 외형 치수 : DIN 규격(72\*144 mm/m)

- 중 량 : 5 kg
- 주위온도 : 동작시 0~50도, 섭씨
- 습 도 : 5~95%, 상대

## 5. 조작기능

### (가) Local/Remote Operation

STC를 RS-485 Communication 인터페이스를 통해 Host Computer System에 연결한 경우, STC의 Front Panel Function Key로 조작하지 않고 Host Computer(IBM-PC등)가 제어하는 Remote Operation과, Host Computer의 지배를 받지 않고 Stand-Alone으로 Operator가 Front Panel의 Function Key로 제어하는 Local Operation이 있다.

### (나) Auto/Manual Mode

Auto Mode에서는 Controller Tuning을 STC 내부에 있는 Control Algorithm Program에서 자동으로 수행하며, Manual Mode에서는 Operator가 Control Status를 관찰하면서 Tuning Parameter를 Front Panel에 있는 Function Key로 Setting하게 된다.

### (다) PID/STC Mode

Controller의 mode에는 순수한 PID(Proportional, Integral, Derivative)mode와 STC (Self-Tuning Control) mode가 있는데, 순수한 PID mode에서는 P,I,D의 parameter 값을 조정하면서 제어한다. 이 mode에서 AUTO/MAN의 두 가지 operation이 가능하며, Manual 일 경우 operator는 Configuration mode Parameter Increment(▲), Decrement(▼) key를 사용하여 P,I,D 값을 setting 하여야 한다.

STC mode에서는 process로 부터 parameter를 추정하여 on-line controller tuning을 소프트웨어 알고리즘에 의해 수행하기 때문에 operator에 의한 parameter tuning을 필요로 하지 않는다. 이때 tuning된 parameter 값은 Status Display에 나타난다.

(라) MV Tracking Mode

Manual mode시 process의 input에 operator가 임의로 조작하여 제어 신호를 인가할 수 있도록 하는 mode이다. 이 mode에서는 알고리즘에 의한 제어 출력이 override된다.

6. 외 관

STC의 Front Panel Layout은 그림 2-3과 같고, Function Description은 아래와 같다.

(가)  ▲  ▼ : Data Increment, Decrement

Start :  $\phi$ , END : 65535

(나)  REM  
 LOC : Remote/Local Operation Selection

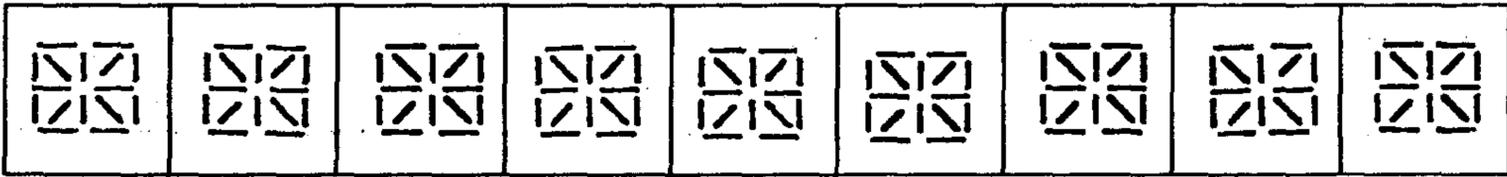
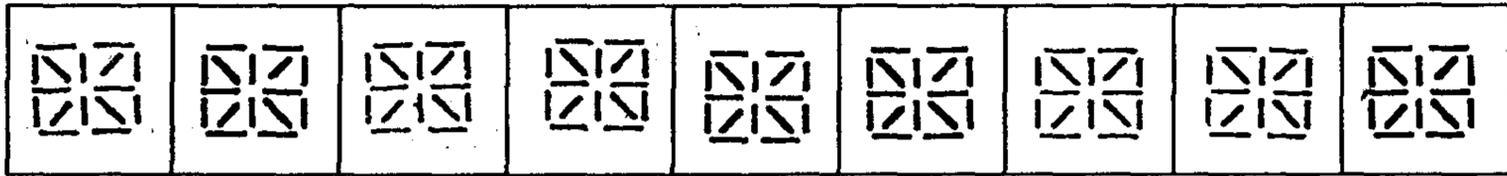
(다)  AUTO  
 MAN : Automatic/Manual Operation Selection

(라)  MODE : Normal/Read/Set Mode Selection

(마)  SEL : MV, PV, SV Selection

(바)  ENT : Enter Key

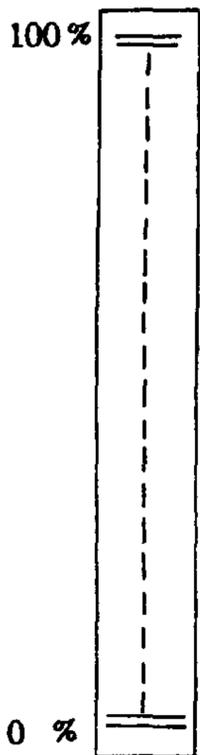
(사)  F1 : Reserved Key for Future Use



SV

PV

MV



REM	<input type="radio"/>	<input type="radio"/>	LOC
AUTO	<input type="radio"/>	<input type="radio"/>	MAN
STC	<input type="radio"/>	<input type="radio"/>	PID

ALARMS

<input type="radio"/>	<input type="radio"/>
HI	LO

△	MODE	F1	AUTO
			MAN
▽	ENT	SEL	REM
			LOC

그림 2-3 Front Panel Layout

## 제 2 절 하드웨어 구성

### 1. Function Diagram 및 설명

하드웨어 Function Diagram은 그림 3-1과 같고, 그 기능은 아래와 같다.

제어기의 주요 하드웨어는 Main 프로세서, Numeric 프로세서, 디코더, 어드레스 래치, 메모리, A/D 변환기, D/A 변환기, V/I 변환기, 형광 표시기 등으로 구성되어 있다.

Main 프로세서는 아날로그와 디지털 입출력 제어, 전면판의 형광표시기 및 제어기 상태 표시 LED등 주변 하드웨어를 제어하며 SK, SO, SI로 Numeric 프로세서와 데이터 교환을 수행한다.

Numeric 프로세서는 Main 프로세서에서 전송한 공정 정보를 Firmware ROM에 내장된 제어 알고리즘으로 연산한다.

Numeric 프로세서에서 처리한 결과는 Main 프로세서로 전송되어 제어상태를 전면판에 표시하고 제어신호를 디지털 또는 아날로그 신호로 출력 포트에 내보낸다.

또한 주 컴퓨터와의 Up/Down Load 기능을 수행하기 위해서 RS-485A 포트를 통하여 통신 프로토콜을 수행한다.

### 2. 하드웨어 주요구성

제어기 하드웨어의 주요 구성은 다음과 같다.

- Main processor
- Numeric processor
- Memory (ROM, RAM)
- Decoder/Latch Logic
- Key board/Key board Interface

- D/A conversion
- A/D conversion
- Bar-Graph/Alphanumeric Display & Dirver
- RS-485 Interface

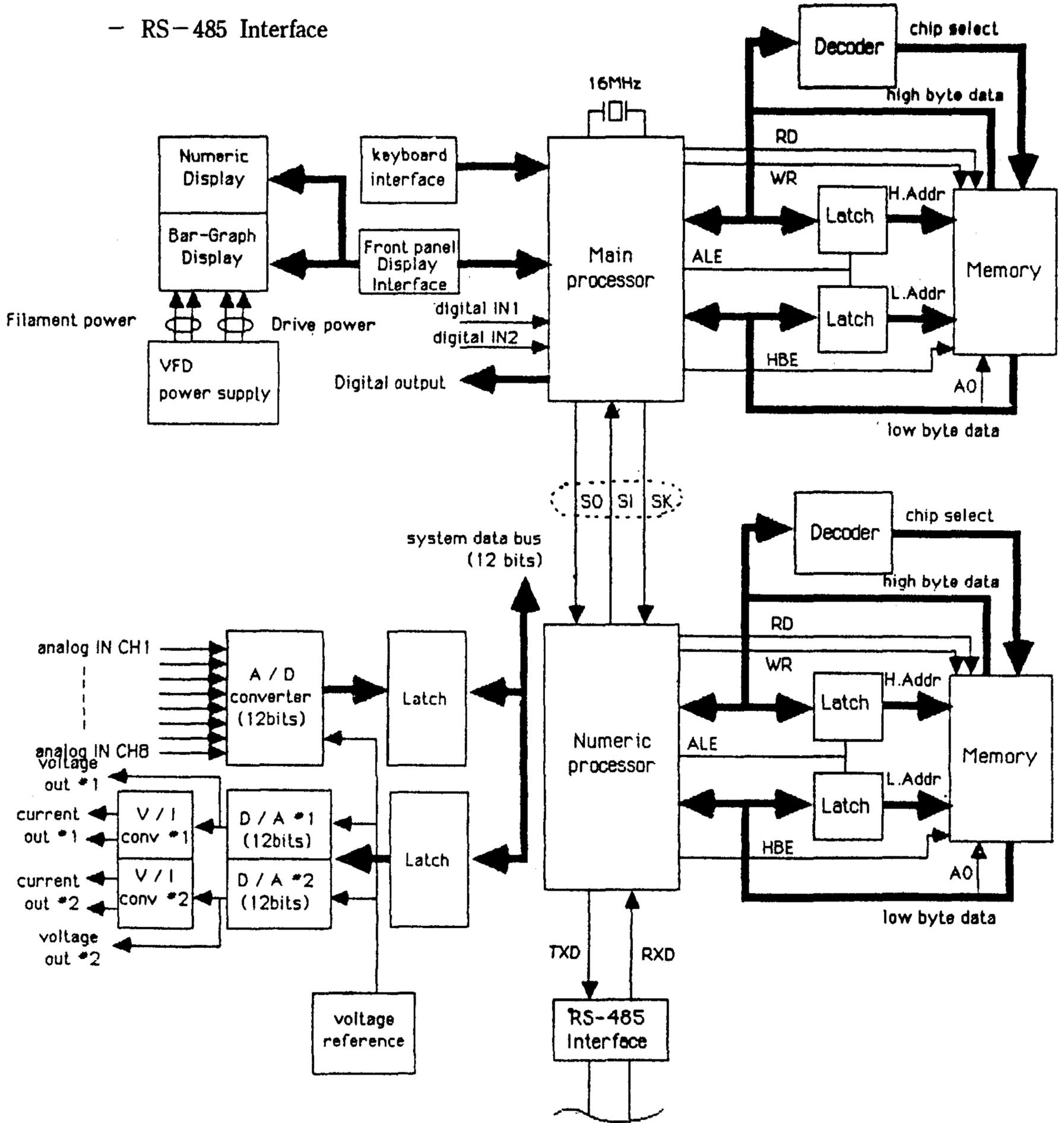
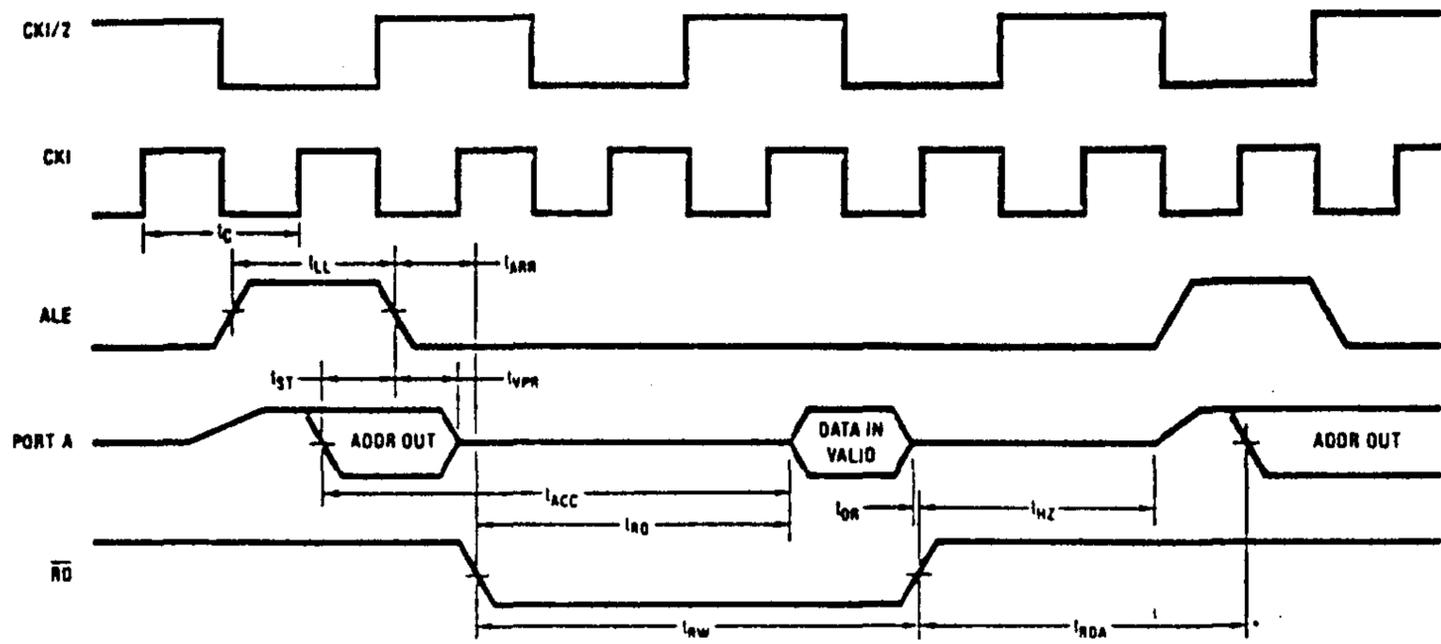


그림 2-4 H/W FUNCTION DIAGRAM

### 3. 세부 기능 및 설계

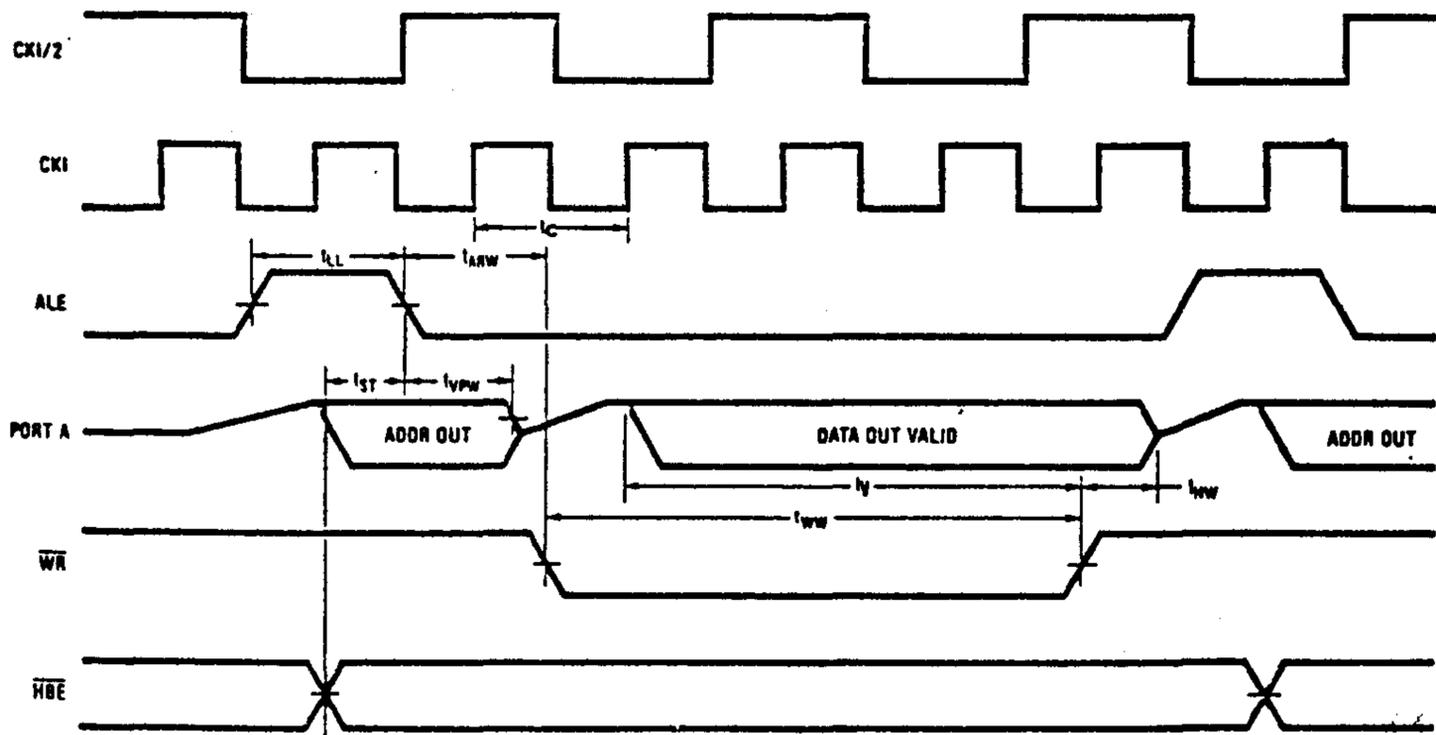
#### (가) Main Processor

- 1) Main processor : HPC 16040 (National semiconductor)
- 2) CLOCK : 16 MHZ crystal
- 3) Memory Addressing mode : Expanded ROMless 16 bit
- 4) External System Bus
  - Address/Data bus(16bit) : port A
  - Control bus(4bit) : RD, WR, HBE, ALE
- 5) Numeric Processor와의 communication
  - Microwire 방식
  - SI, SO, SK의 3-Wire communication
- 6) Main Processor Task
  - Function key scan 및 communication
  - Bar-Graph/Numeric display drive
  - Analog Input Data Acquisition(Signal Conditioning 기능포함)
  - I/O Handling
    - 8 Digital Input
    - Digital Output(PWM control signal output)
- 7) Memory Access Timing Diagram



TL/0006.140.2

READ CYCLE WITH 1 WAIT STATE



TL/0006.140.3

WRITE CYCLE WITH 1 WAIT STATE

그림 2-5 Memory Timing Diagram

## 8) I/O Port Interface

- Port A(PA15~PA $\phi$ ) : Addr/Data Bus(16bits)

- Port B

PB10 : ALE

PB11 : WR

PB12 : HBE

PB15 : RD

PB 5 : SO

PB 6 : SK

PB 0 : Conversion Command Output

PB 1 : STS Input

PB 2 : Mux Enable Output

PB 3 : CHSEL 0 Output

PB 4 : CHSEL 1 Output

PB 7 : EI Interrupt Output (To N.processor EI pin)

(Microwire interrupt)

PB 8 : Undefined

PB 9 : Undefined

PB13 : Undefined

PB14 : Undefined

– Por P (Output)

PP 0 : PWMOUT 1

PP 1 : PWMOUT 2

PP 2 : ALARM HI

PP 3 : ALARM LO

Port D(Input)

PD  $\phi$ ~PD7 : Digital IN $\phi$ ~7 (FR Rear panel)

– Port I(Interrupt Input)

PI 1(NMI) : Watch Dog Interrupt(FR M.Processor WO Pin)

PI 2(INT2) : Display Refresh

PI 3(INT3) : Watch Dog Interrupt(FR N.Processor WO Pin)

PI 0, PI4 PI6, PI7 : Undefined

PI 5 : SI(Micro Wire)

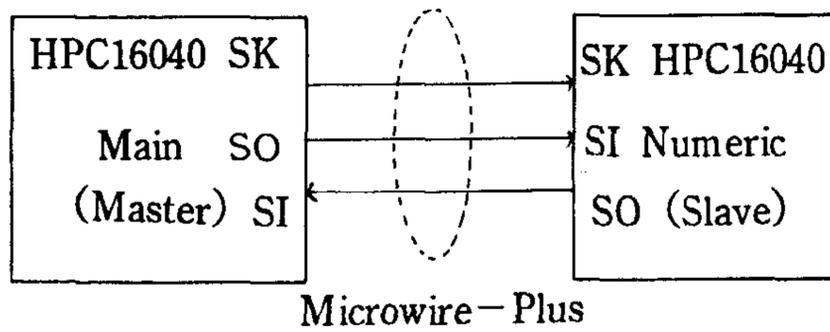
9) Numeric Processor Interface

가. Interface Signal

SI : Serial Input(PB5)

SO : Serial Output(PI5)

SK : Serial Clock (PB6)



4. Data Register : SIO

- Serial Input/output shift register
- SIO Access : Any Memory Access Instruction
- MSB First
- TXD : Write Into SIO Register
- RXD : Read From SIO Register

다. Initialization

- Enable Alternate Function

BFUN Register :

Master	x	1	1	x	x	x	x	x
Slave	x	1	1	x	x	x	x	x
	7							$\phi$

- Direction

DIR B Register :

Master	x	1	$\phi$	x	x	x	x	x
Slave	x	$\phi$	$\phi$	x	x	x	x	x

- H/W configuration

IRCD Register :

Master	x	x	x	x	x	1	x
Slave	x	x	x	x	x	φ	x

- SK Generation Frequency Set

DIVBY Register : Master side only

x	x	x	B3	B2	B1	B0
			3	2	1	0

Bit 3	Bit 2	Bit 1	Bit 0	Microwire SK	Hex code
0	0	1	0	CKI/16	xxx2H
0	0	1	1	CKI/32	xxx3H
0	1	0	0	CKI/64	xxx4H
0	1	0	1	CKI/128	xxx5H
0	1	1	0	CKI/256	xxx6H
0	1	1	1	CKI/512	xxx7H
1	0	0	0	CKI/1024	xxx8H
1	0	1	1	CKI/2048	xxx9H
1	0	1	0	CKI/4096	xxxAH
1	0	1	1	CKI/8192	xxxBH
1	1	0	0	CKI/16384	xxxCH
1	1	0	1	CKI/32768	xxxDH

## 10) Interrupt Interface

### 가. H/W interrupt

#### ① EI Interrupt

- Interrupt Service : Microwire Receive(FR N.PRO TO M.PRO)
- Vector Address : FFF $\phi$ ~FFF1H
- Arbitration Rank : 7 (Lowest Priority)
- 특 성
  - S/W Maskable
  - Active High Level (level sensitive)

#### ② INT2 Interrupt

- Interrupt Service : Display Refresh
- Vector Address : FFFA~FFFBH
- Arbitration Rank : 2
- 특 성
  - S/W Maskable
  - Rising/Fall Edge Trigger

#### ③ RESET Interrupt

- Interrupt Service : H/W Reinitialize
- Vector Address : FFFE $H$ ~FFFF $H$
- Arbitration Rank :  $\phi$  (Highest Priority)
- 특 성
  - S/W Non-Maskable
  - Active Low (Level Sensitive)

\* Service Routine은 on-chip Memory Location 에 있어야 함.

④ NMI Interrupt

- Interrupt Service : Main Processor Watch Dog Check
- Vector Address : FFFC~FFFDH
- Arbitration Rank : 1
- 특 성 : Non-Maskable, Positive Going Edge

⑤ INT3 Interrupt

- Interrupt Service : Numeric Processor Watch Dog Check
- Vector Address :  $\phi$ FFF8~ $\phi$ FFF9
- Arbitration Rank : 3
- 특 성 : Maskable, Rising/Falling Edge Trigger.

나. S/W Interrupt

① Timer Interrupt

- Interrupt Service : PWM Output Drive
- Vector Address : FFF4~FFF5H
- Arbitration Rank : 5
- 특 성
  - Internal Interrupt (Overflow ON Internal Timer)
  - Edge Sensitive

② Interrupt

- Interrupt Service : UP/DWON LOAD
- Vector Address : FFF2~FFF3H
- Arbitration Rank : 6
- 특 징
  - Internal Interrupt

- Edge Sensitive
- RS-485 Communication

다. Interrupt Control Registers.

① ENIR : Interrupt Enable Register

EI	UART	Timers	INT4	INT3	INT2	*	GIE
----	------	--------	------	------	------	---	-----

② IRCD : Interrupt Condition Register

*	*	*	I4 pol	I3 pol	I2 pol	UW Mode	RDY/HLD
---	---	---	--------	--------	--------	---------	---------

- INT2, 3, 4의 trigger edge polarity selection
  - set : rising edge
  - reset : falling edge
- UW Mode : Microwire plus mode of operation
  - set : Master mode
  - reset : slave mode
- RDY/HLD : RDY/HLD Pin의 function 선택
  - Set : Ready function
  - reset : Hold function

③ IRPD : Interrupt pending register

EI	UART	Timers	INT4	INT3	INT2	NMI	$\mu$ W DONE
----	------	--------	------	------	------	-----	--------------

- EI : Read only bit, EI pin level display if high, interrupt requested
- UART : Read only bit
  - if high, character is transmitted or Received.
  - if low, interrupt condition is serviced.

- Timer : Read only bit  
when high, underflow interrupt of Timer T1~T7 or overflow interrupt of Timer T $\phi$ .
- INT2,3,4 : Set when selected edge on I2, I3, I4  
reset by using LOAD IMMEDIATE instruction or interrupt service routine에 들어가게 함으로써.  
(Automatically clearing bit)
- NMI : Read only bit  
set when a rising edge on NMI pin, reset automatically when interrupt is serviced.
- $\mu$ W DONE : Polled flag bit  
does not generate interrupt set when  $\mu$ W plus circuitry shifts 8 data bit.  
reset by accessing SIO Register.

#### 11) Keyboard Interface

- Key input data를 Main processor의 Data Bus line에 Interface 시키기 위해서 그림 2-6와 같이 buffer를 통하여 Key Enable과 RD 신호로 Key data를 읽는다. KEYEN 신호는 전면판 Display를 제어할때 Strobe out시 동시에 Generate된다.

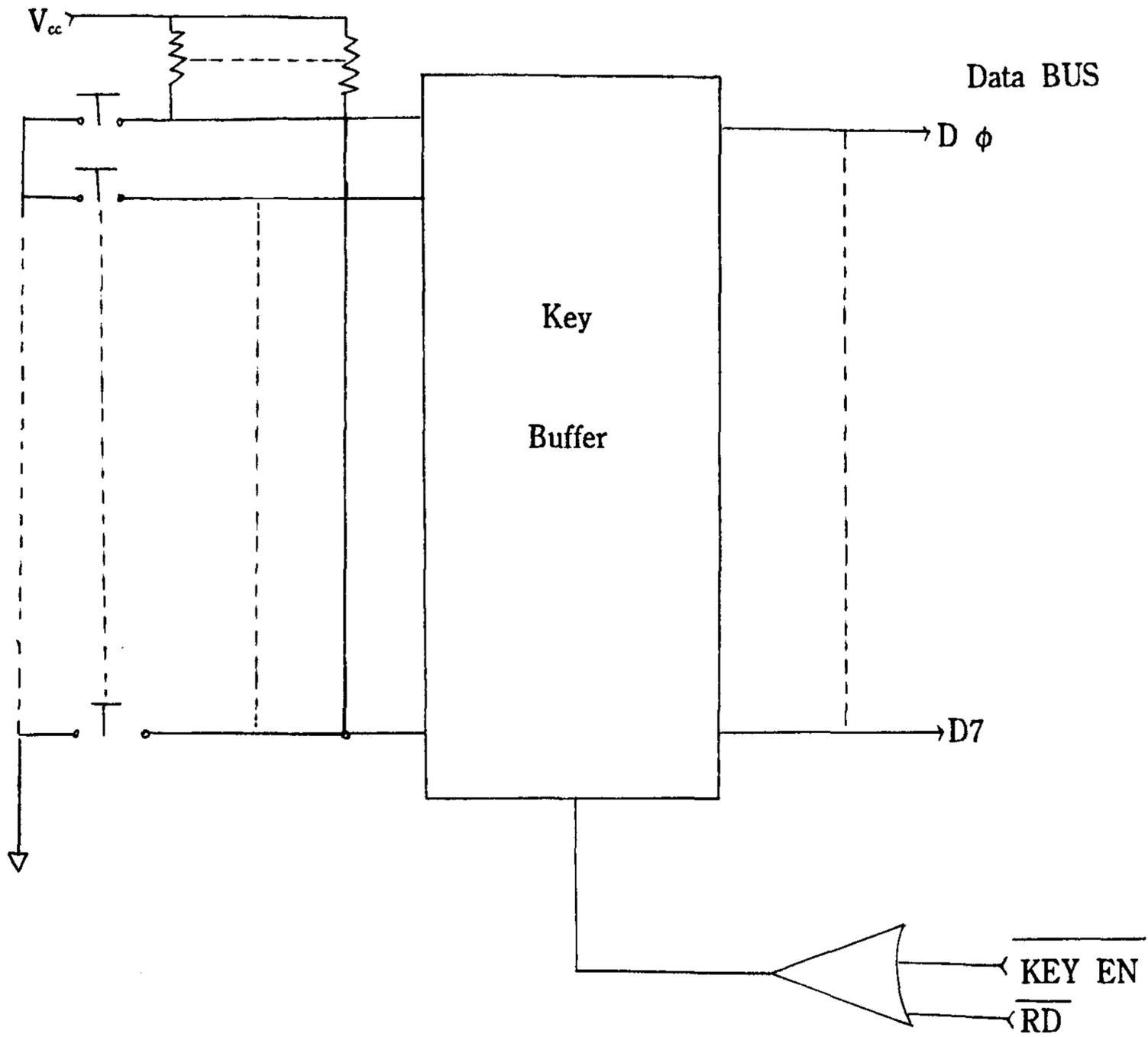


그림 2-6 Key interface circuit

- Keyboard 구성 및 Key input code

Key는 8개로 되어 있으며 그 구성은 아래 그림과 같다.

△	MODE	F1	AUTO
			MAN
▽	ENT	SEL	REM
			LOC

<u>KEY</u>	<u>Input code</u>
AUTO/MAN	φ FD
REM/LOC	φ DF
F1	φ 7F
SEL	φ BF
MODE	φ FE
△	φ FB
▽	φ F7

※ NO Key Input : φ FF

- Key Function

AUTO/MAN	: 자동/수동 모드 선택
REM/LOC	: 원격/자체 모드 선택
F1	: Reserved Key
SEL	: Bar-Graph column 선택
MODE	: 제어기 모드선택 (Normal, Read, Set)
ENT	: Data update
△	: Increment
▽	: Decrement

12) D/A Interface

제어 알고리즘 수행 결과 디지털 제어 신호를 아날로그 신호로 변환하여 출력시키기 위해서 DAC(Digital to Analog converter)를 Main processor의 data bus선에 interface 시킨다. (그림 2-7 참조)

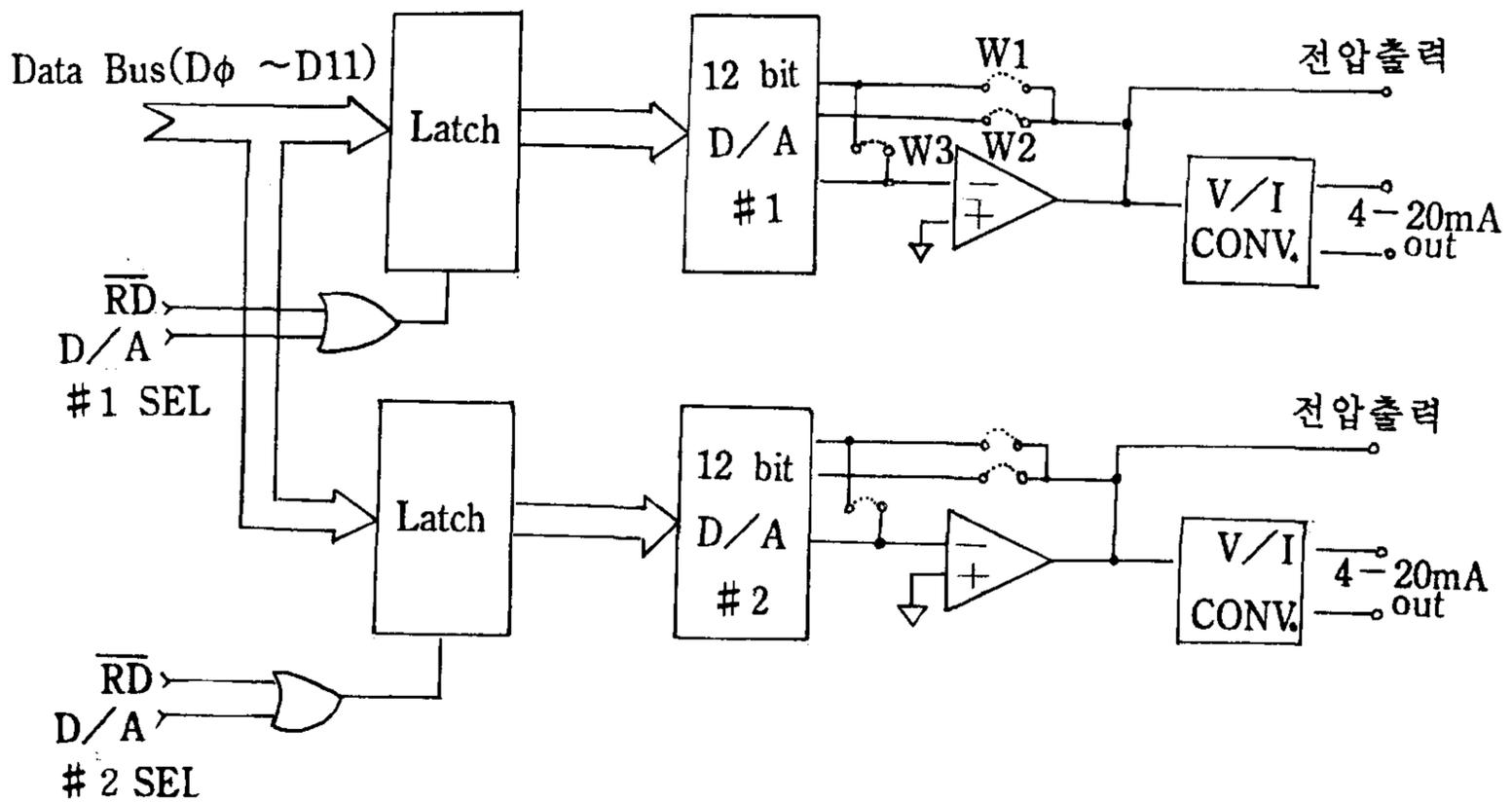


그림 2-7 D/A BUS Interface

그림 2-7과 같이 Data bus D $\phi$  ~D11 line은 Latch를 통하여 2개의 12bit DAC에 각각 연결된다.

DAC의 output voltage range는 W1~W3의 jumper로 다음과 같이 선택된다.

output voltage range		jumper connection
Unipolar mode	0 ~ +10V	W2
	0 ~ +5V	W2, W3
Bipolar mode	0 ~ $\pm$ 10V	W1
	0 ~ $\pm$ 5V	W2
	0 ~ $\pm$ 2.5V	W2, W3

또한, DAC의 출력은 V/I Converter에 의해 Voltage 신호가 4~20mA 전류 신호로 바뀌어 출력되기도 한다.

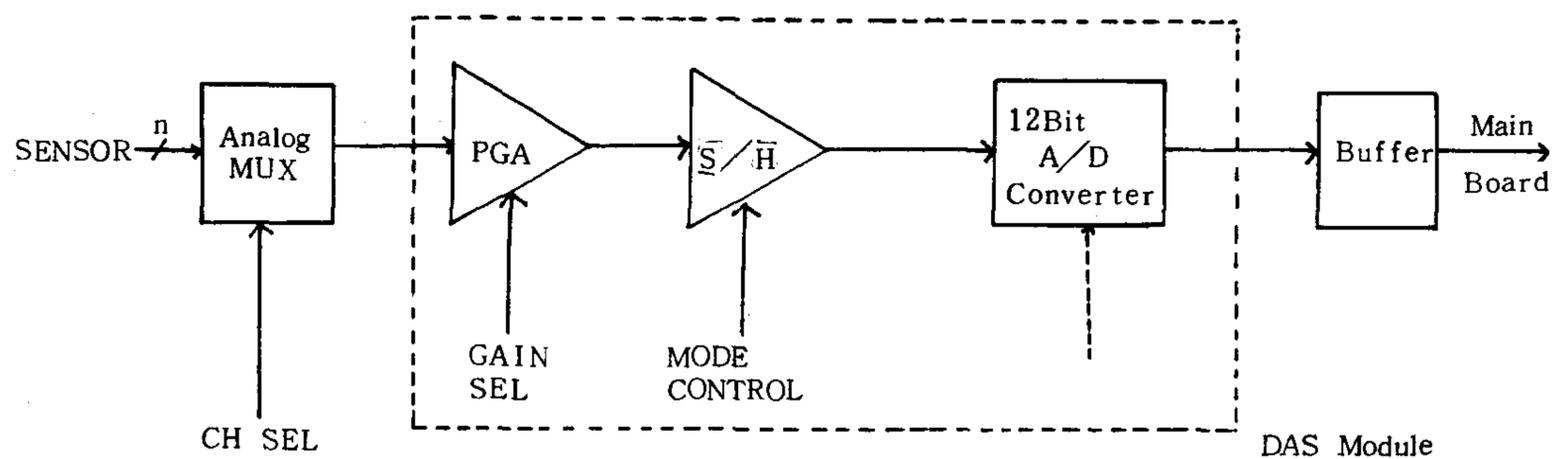
### 13) A/D interface

공정 센서(온도, pH, 압력, 유량, 농도, 습도, 가속도, 위치, 무게, 변위, 광도, 전해, 전리등)로 부터 아나로그 입력 Signal을 아나로그/디지털 변환하여 마이크로 프로세서(HPC-16040) Data BUS 선(D $\phi$  ~D11)에 인터페이스 하고 Data Acquisition sequence를 수행한다.

이러한 Data Acquisition의 주요기능으로는 다음과 같다.

- 1개의 A/D converter로써 아나로그 입력 channel을 time sharing 가능하게 하는 analog multiplexer(아나로그 MUX)
- 아나로그 입력의 입력 Sensitivity를 증가 시키기 위해 사용되며, 각각의 Channel에 대한 다른 이득을 조정할 수 있고, 자동적인 이득 조정이 가능하게 하는 Programmable gain amplifier(PGA : 이득 조정의 프로그램 기능)
- MUX의 출력을 sample 하고, A/D Converter에 가해지는 아나로그 신호에 대한 변환처리가 마칠 때까지 Stable한 값을 hold하기 위한 Sample-And-Hold amplifier (S/H AMP)
- 규정된 범위 안에 있는 아나로그 입력들을 받아 들여 디지털코드로 변환하기 위한 Analog-To-Digital Converter (A/D Converter) 등이다.

내부 기능 diagram은 그림 2-8과 같다.



8 Single Ended or 4 Dual MUX로서 이용할 경우.

USE A <sub>2</sub> AS DIGITAL ADDRESS INPUT				"ON" CHANNEL to	
ENABLE	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	OUT A	OUT B
L	X	X	X	NONE	NONE
H	L	L	L	1A	NONE
H	L	L	H	2A	NONE
H	L	H	L	3A	NONE
H	L	H	H	4A	NONE
H	H	L	L	NONE	1B
H	H	L	H	NONE	2B
H	H	H	L	NONE	3B
H	H	H	H	NONE	4B

4-channel Differential MUX로서 이용할 경우.

A <sub>2</sub> CONNECT to V <sub>cc</sub>			"ON" CHANNEL to	
ENABLE	A <sub>1</sub>	A <sub>0</sub>	OUT A	OUT B
L	X	X	NONE	NONE
H	L	L	1A	1B
H	L	H	2A	2B
H	H	L	3A	3B
H	H	H	4A	4B

Data Acquisition Module에서 12-bit A/D Converter는 내부의 PGA에 Gain 선택 (2 line/Gains : 1-2-4-8)과 conversion start COMMAND에 의하여 conversion을 시작 하는데, Data Acquisition Module에서 Amplifier Gain은 아래의 표에 표시한 바와 같이 Gain Address(2-line :  $A_2, A_1$ )에 적절한 code를 loading함으로써 S/W-Program 가 능하므로 PGA을 선택한다.

ADDRESS $A_1$	INPUTS $A_0$	DAS GAIN
0	0	1
0	1	2
1	0	4
1	1	8

그리고 아나로그 입력 허용 범위는 H/W의 External Jumper를 통하여 다음의 표와 같이 연결 한다.

Input range	Jumper
0~ + 5V	$P_{17} \& P_{15}, P_{20} \& P_{18}$
$\pm 2.5V$	$P_{17} \& P_{14}, P_{20} \& P_{18}$
0~ +10V	$P_{17} \& P_{15}, P_{20} \& P_{13}$
$\pm 5V$	$P_{17} \& P_{14}, P_{20} \& P_{13}$
$\pm 10V$	$P_{17} \& P_{14}, P_{20} \& P_{12}$

Data Acquisition Subsystem의 Analog MUX와 Data Acquisition Module에 필요한 Control signal은 Main Processor (HPC-16040)의 System Address BUS로 부터 그림 2-9 같이 Address Decoding하여 A/D  $\overline{EN}$ 을 얻는다.

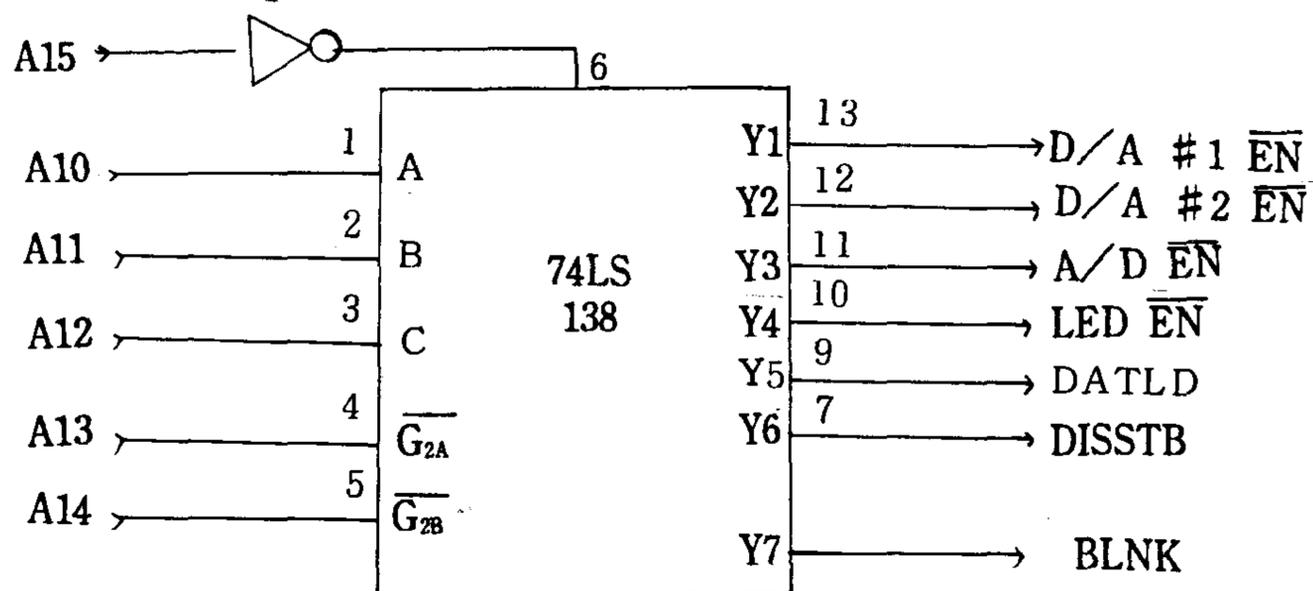


그림 2-9 Peripheral Devices select를 위한 Decoder

DAS에 conversion command는 Main Processor (HPC-16040)의 port B 중에서 PB<sub>0</sub>에 연결되어 있다.

PB<sub>0</sub>의 convert command가 DAS에 인가되어, Low(0)에서 High(1)로의 transition하면, MSB output을 Logic "0"로, 또 CLK, STS, MSB, BIT2~B1, LSB outputs을 Logic "1"로 reset하게 된다.

PB<sub>0</sub>의 Convert command가 Logic "0"로 되기 이전까지는 그 어떤 현상도 없다가 Logic "0"가 되는 순간부터 A/D Conversion이 진행된다.

Logic "0" 상태의 MSB으로 써, DAS에 내부의 D/A Converter output과 Analog input 보다 작으면 맨 처음의 Low(0)에서 High(1)로의 CLK transition에서 MSB를 Logic "1"로 reset 하고, 또 만약 D/AC output이 Analog input 보다 크면 그 MSB는 Logic "0"을 그대로 유지하게 된다.

또 맨 처음의 Low(0)에서 High(1)로의 CLK transition은 또한 Bit2 output을 Logic "0"을 set하고서, 다른 비교가 이뤄진다.

이런 진행과정은 LSB 비교가 마칠때까지 각 순차 bit을 통해 계속되고 끝나는 시각에 STATUS output이 Logic "0"으로 되고, Conversion cycle이 끝나게 된다.

이와 같은 A/D Conversion 진행과정에 관한 A/DC Timing Diagram을 보면 다음의 그림 2-10과 같다.

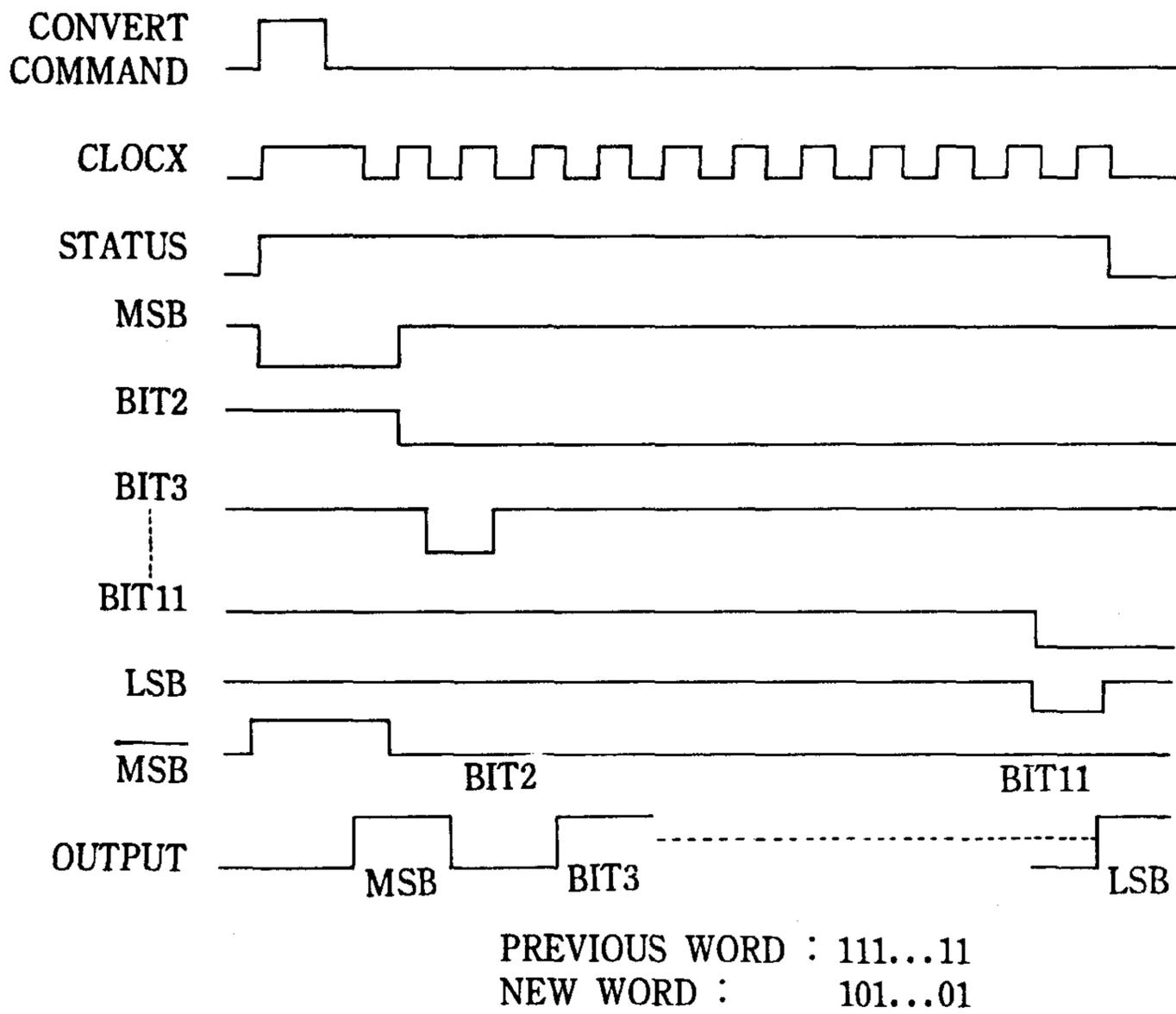


그림 2-10 A/DC Timing Diagram.

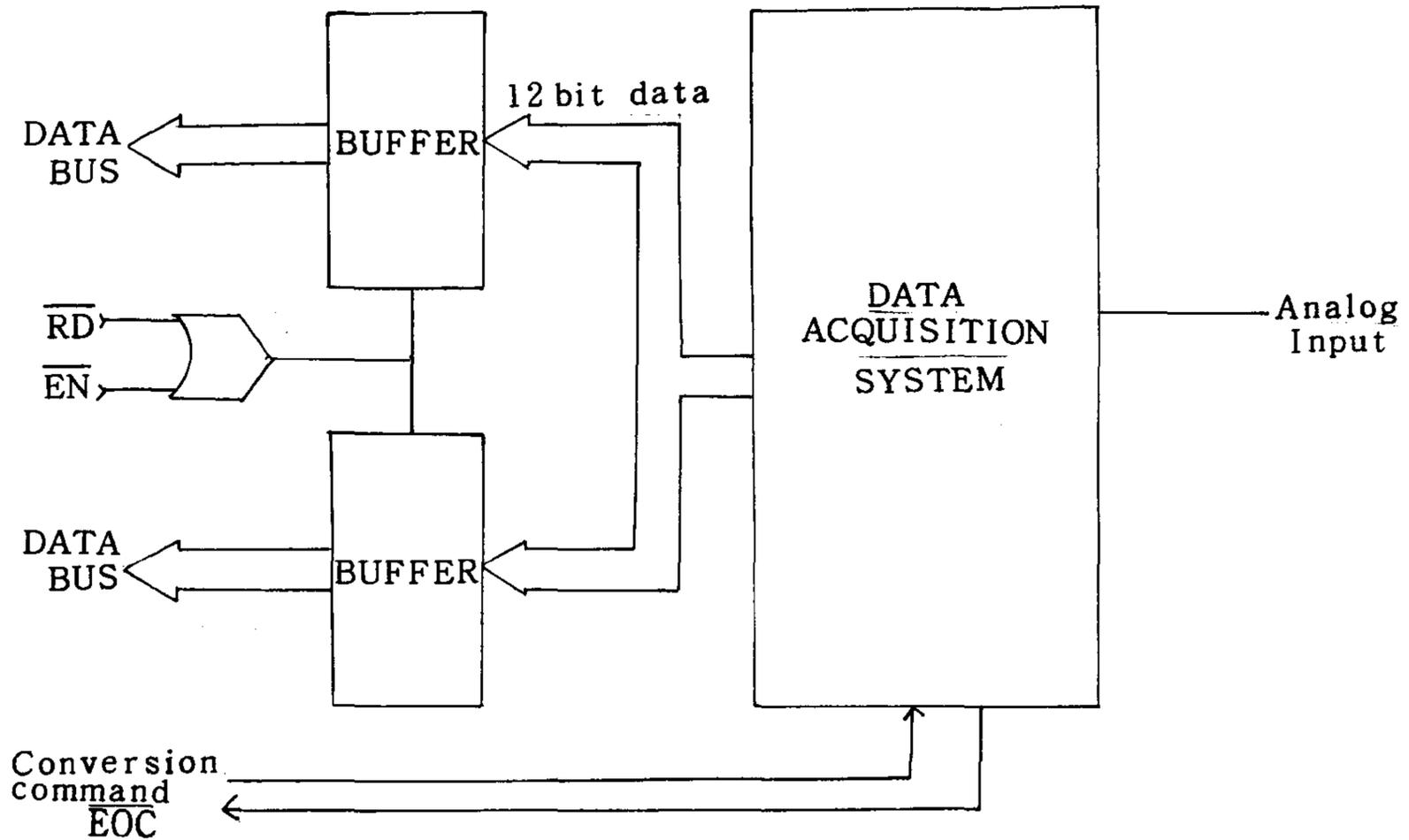


그림 2-11 A/D BUS Interface circuit

A/D conversion의 Bus interface circuit은 그림 2-11과 같이 Analog signal이 data acquisition system에 입력 되면 conversion command를 인가하고 약 25  $\mu$ s 지난후 EOC(End conversion) 신호가 발생하면  $\overline{EN}$  신호로 A/D 변환된 data를 system에 data bus line에 latch시켜 읽어 가게 된다.

#### 나. Numeric processor

Numeric processor는 controller의 모든 연산 기능을 수행하며, Host computer와의 communication 기능도 수행한다. 주요 task로는 다음과 같다.

- 1) Pretuning
- 2) Parameter Estimation
- 3) Control Law Calculation
- 4) PID/STC Algorithm 수행
- 5) Floating Point Arithmetic

- 6) Mathematical Calculations
- 7) Host computer와의 communication
  - RS-485 방식 (Multi-drop)
  - RXD, TXD two wire drive
  - Down load data 처리 및 up load

그리고 Numeric processor의 설계 방식은 다음과 같다.

- 1) Numeric processor : HPC 16040 (National semiconductor)) 16bit one chip micro-controller.
- 2) Memory Addressing Mode : Expanded ROMless 16 bit
- 3) External system BUS : Main processor와 동일
- 4) Main processor와의 Communication : Main processor와 동일
- 5) Memory Access Timing Diagram : Main processor와 동일
- 6) I/O port Assignment
  - port A : Address/Data BUS (16 bit)
  - portB
    - B0 : TXD(RS-485)
    - B5 : SO(Microwire serial output)
    - B6 : SK(Microwire serial clock)
    - B11 : WR
    - B12 : HBE
    - B15 : RD
    - B10 : ALE
  - port I
    - I6 : RXD(RS-485)

다. Memory

1) 기능

Memory는 Main processor Memory와 Numeric processor Memory로 구분하며 각각 EPROM과 RAM으로 구성되어 있다.

단, Main processor의 system bus와 Numeric processor의 system bus는 분리 되어 있으며 user stack은 External RAM을 사용하지 않고 processor의 internal RAM 영역을 사용하였다.

Memory는 power failure시에도 data를 보존하기 위해 Battery Back-up 기능이 있으며, 필요시 확장 가능 하도록 되어 있다.

2) 세부 설계

System data bus가 16 bit이므로 8 bit Memory device를 Even address와 Odd Address로 구분하여 Program 또는 Data를 store 시킨다.

그 방법으로서는 그림 2-12와 같이 되어 있다.

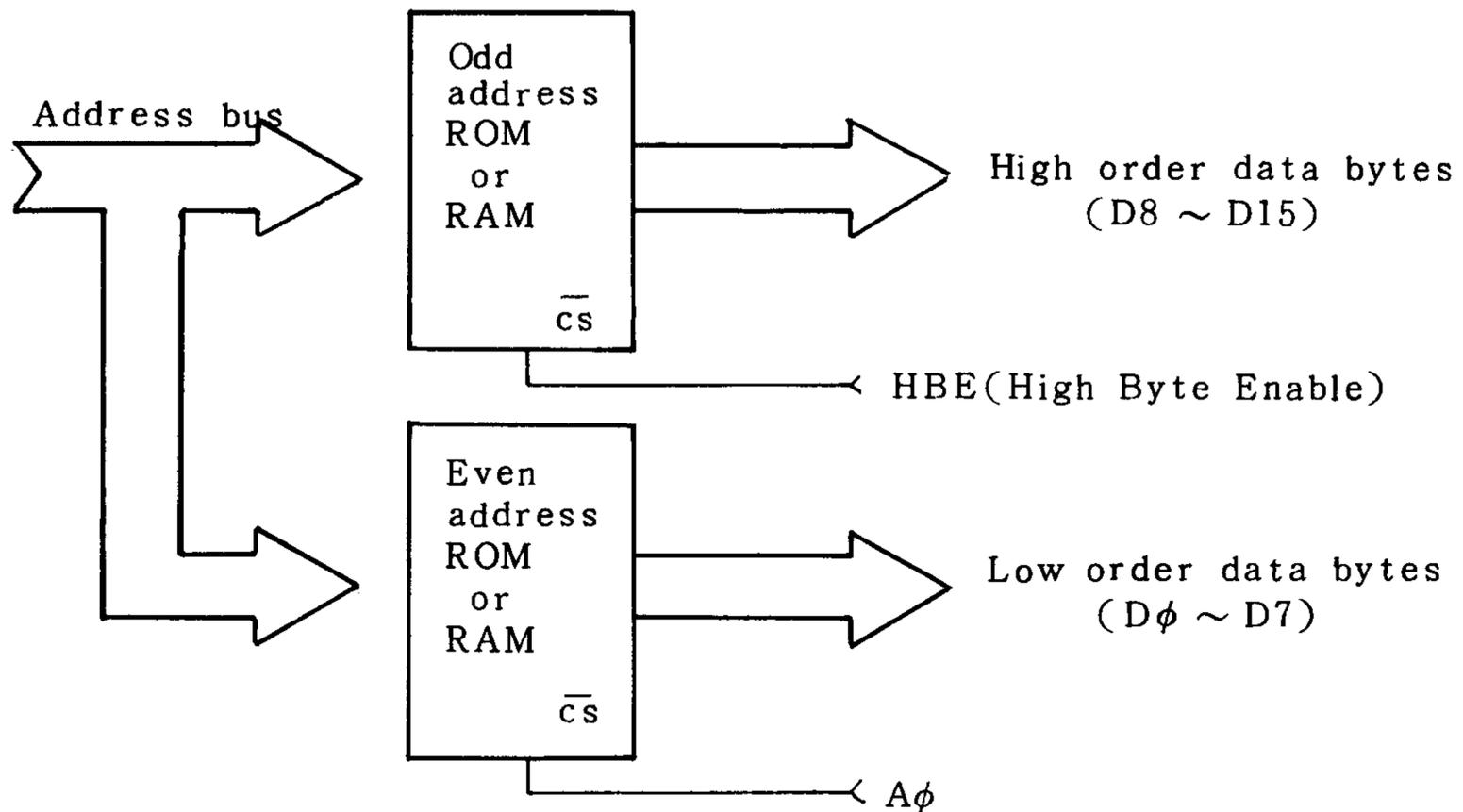


그림 2-12. 16bit memory Circuit

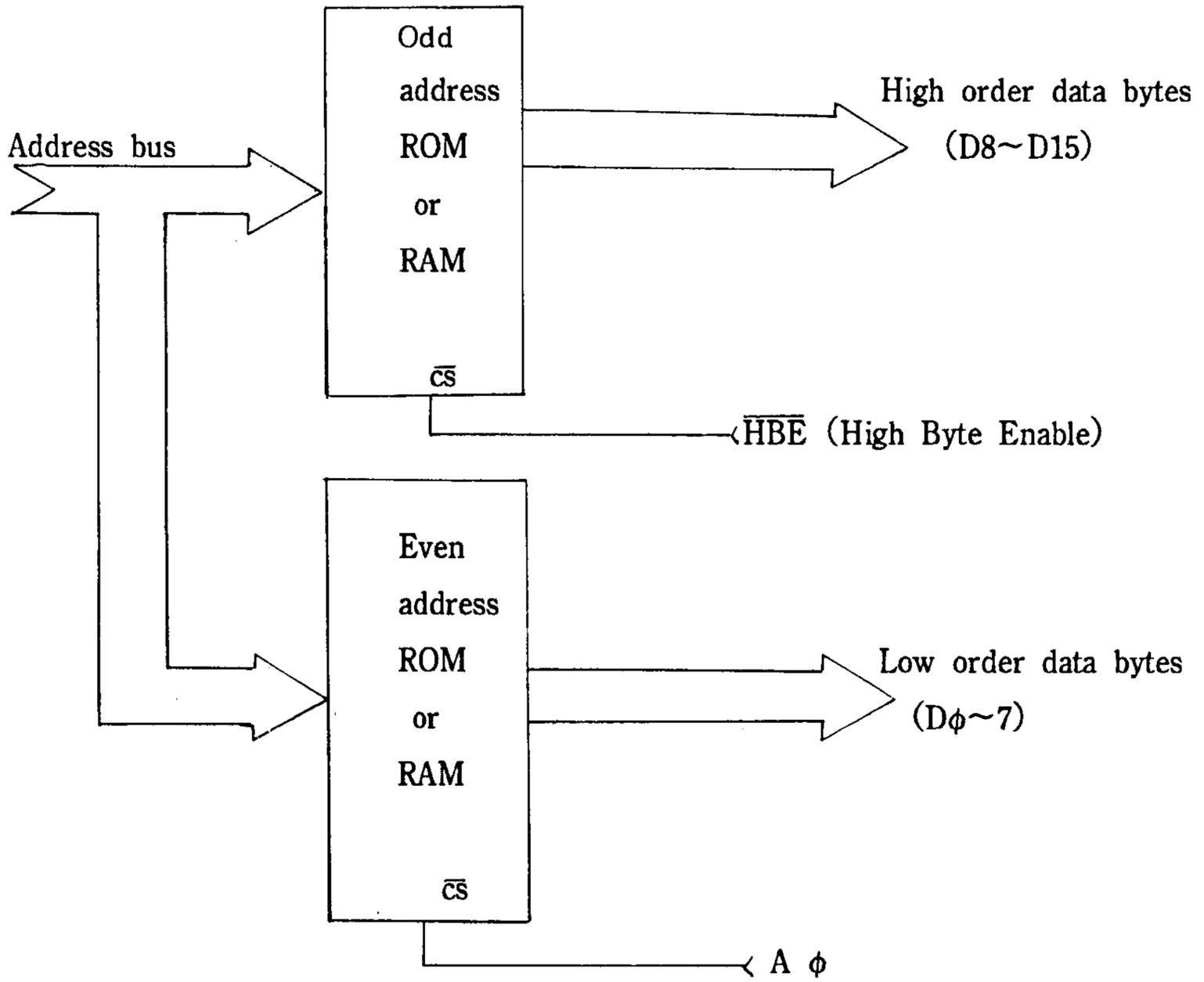
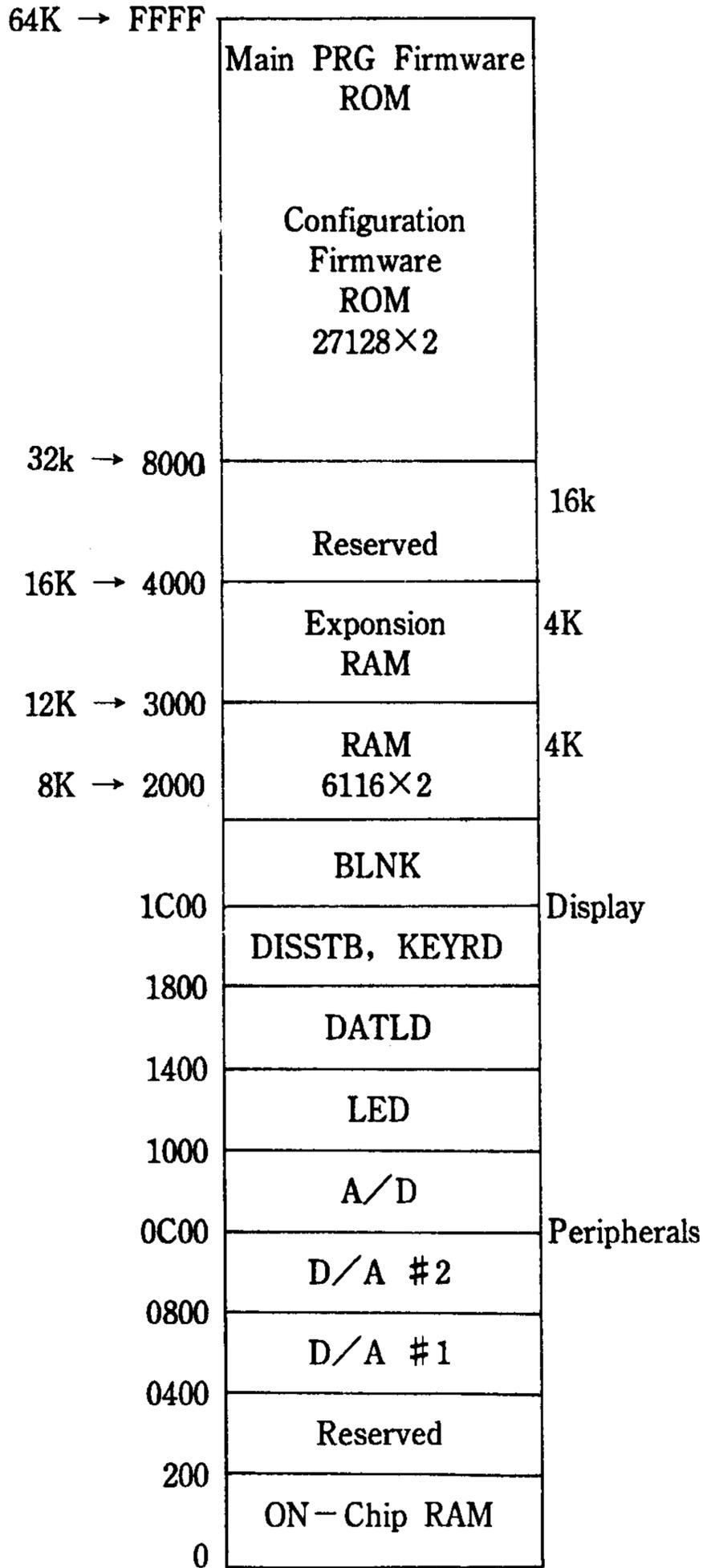
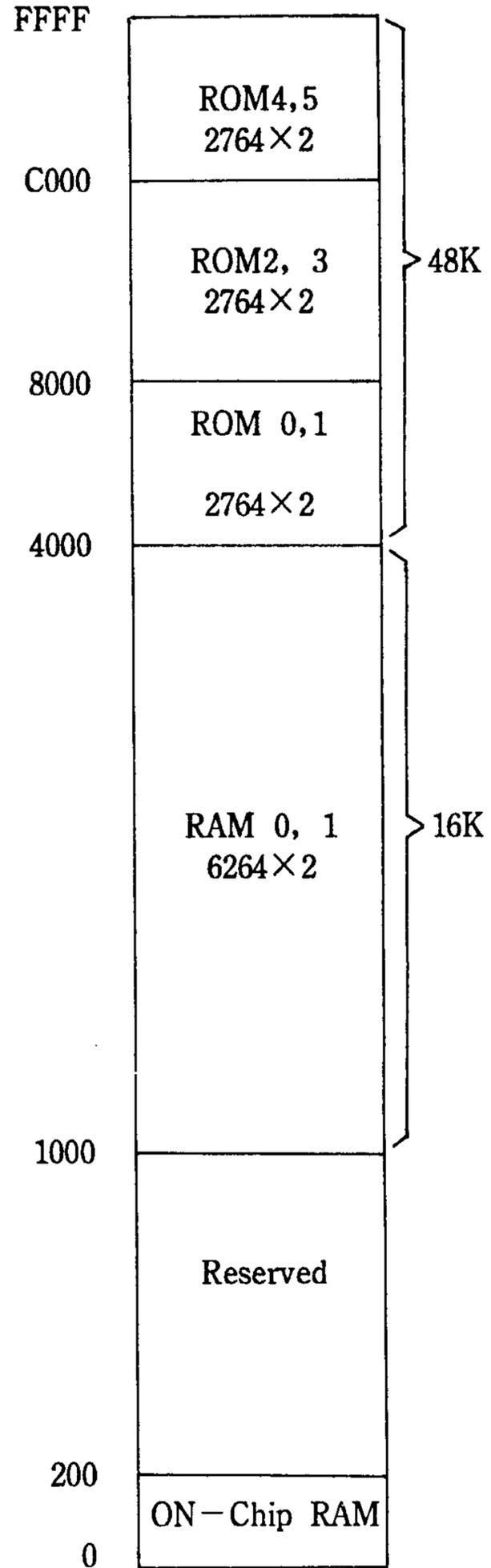


그림 2-12 16 bit memory circuit

3) Overall System memory Map  
Main Memory  
MAP



Numeric Memory  
MAP



#### 4) 메모리 내용

##### - Main processor Memory

- Main processor task의 program(ROM)
- Key table, Linearization table (ROM)
- Temporary Data storage(RAM)
- Configuration parameter table(RAM)

##### - Numeric processor memory

- Numeric processor task의 program(ROM), control parameters
- Communication Data Buffer(RAM)
- Temporary data storage(RAM)

#### 라. Bar-Graph/Alpha Numeric Display & Dirver

##### 1. Bar-Garph

Bar-Graph는 controller가 handling 하는 parameter를 Analog량으로 표시하기 위한 Display Device이며, vaccum Florescent type 이므로 시각 감도가 대단히 좋고, controller의 전면판에 정착된다.

1) 구성

Bar-Graph의 구성은 그림 2-13과 같다.

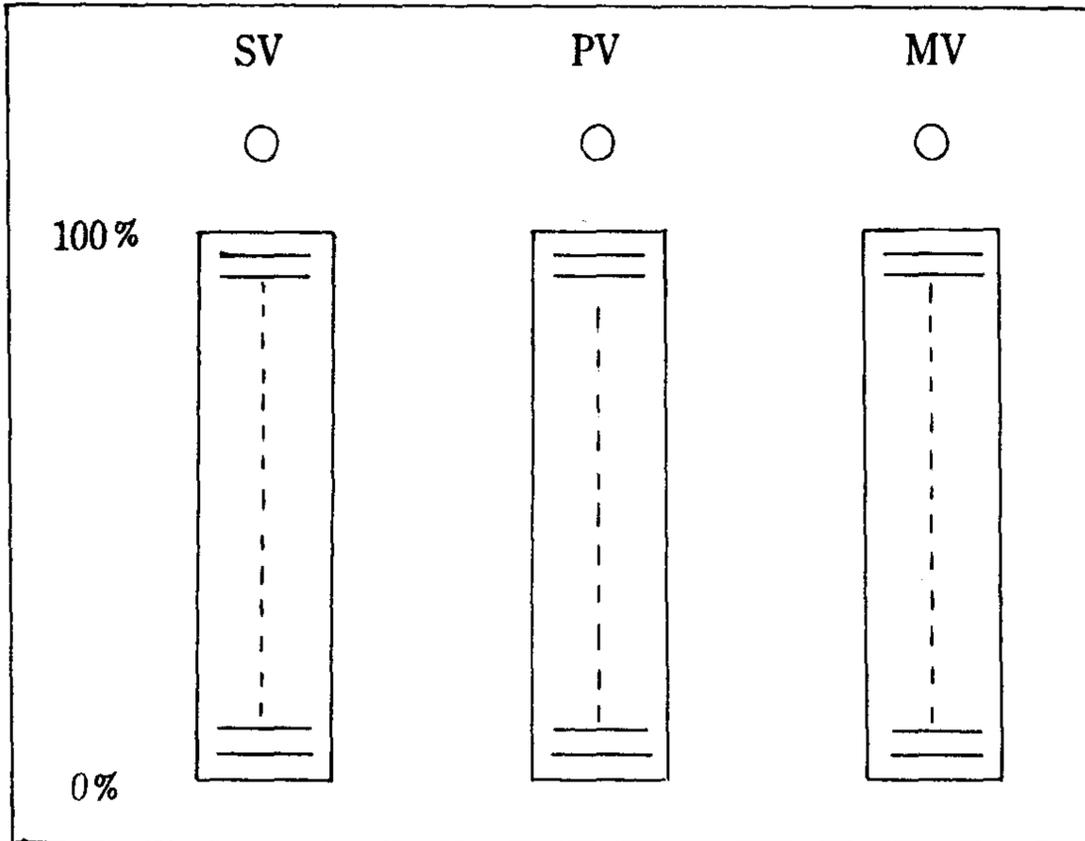


그림 2-13 Bar-Graph 구성

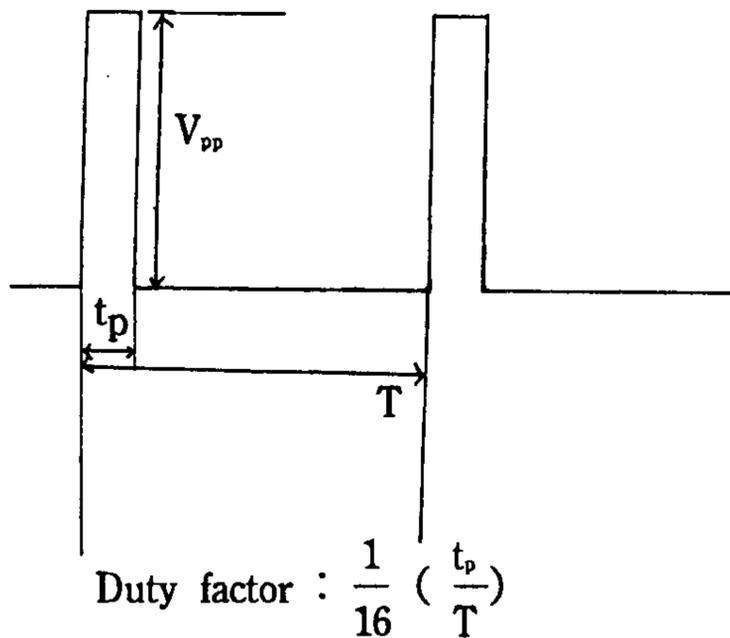
- 그림 2-13과 같이 Bar-Graph는 3 column으로 구성되고 각각의 용도는 아래와 같다.

- SV column : Set Value(SV)를 표시한다.
- PV column : Sensor부터의 Process Value(PV)를 표시한다.
- MV column : control algorithm에 의한 control signal인 Manipulated Value (MV)를 표시한다.

2) Bar-Graph spec.

- segment 수 : 101segment,
- color of illumination : Blue Green

- Full scale : 0~100 %
- Resolution : 1% step
- Display type : Vacuum Florescent type  
(FG 101SA1, Noridake, Japan)
- Electrical characteristics
  - Filament voltage : 4.95~6.05 Vac, 50/60HZ
  - Grid/Anode voltage : 35.0~42.0 V peak to peak
  - pulse condition



Pulse width : 100 $\mu$ sec ( $t_p$ )

※ Bar-Graph의 Technical spec은 Manufacturer의 Data sheet 참조

### 3) Driver

Bar-Graph control은 Anode에 display할 data를 인가하고, Grid에 section selection 신호를 인가함으로써 Analog양의 data를 0%에서 100%까지 누적된 값을 표시한다.

- Driver type : ◦ 전용 Driver chip 사용  
◦ serial data input/10bit parallel output display driver

(UCN 5810A, Sprague, USA)

- Driver circuit diagram (그림 2-14 참조)

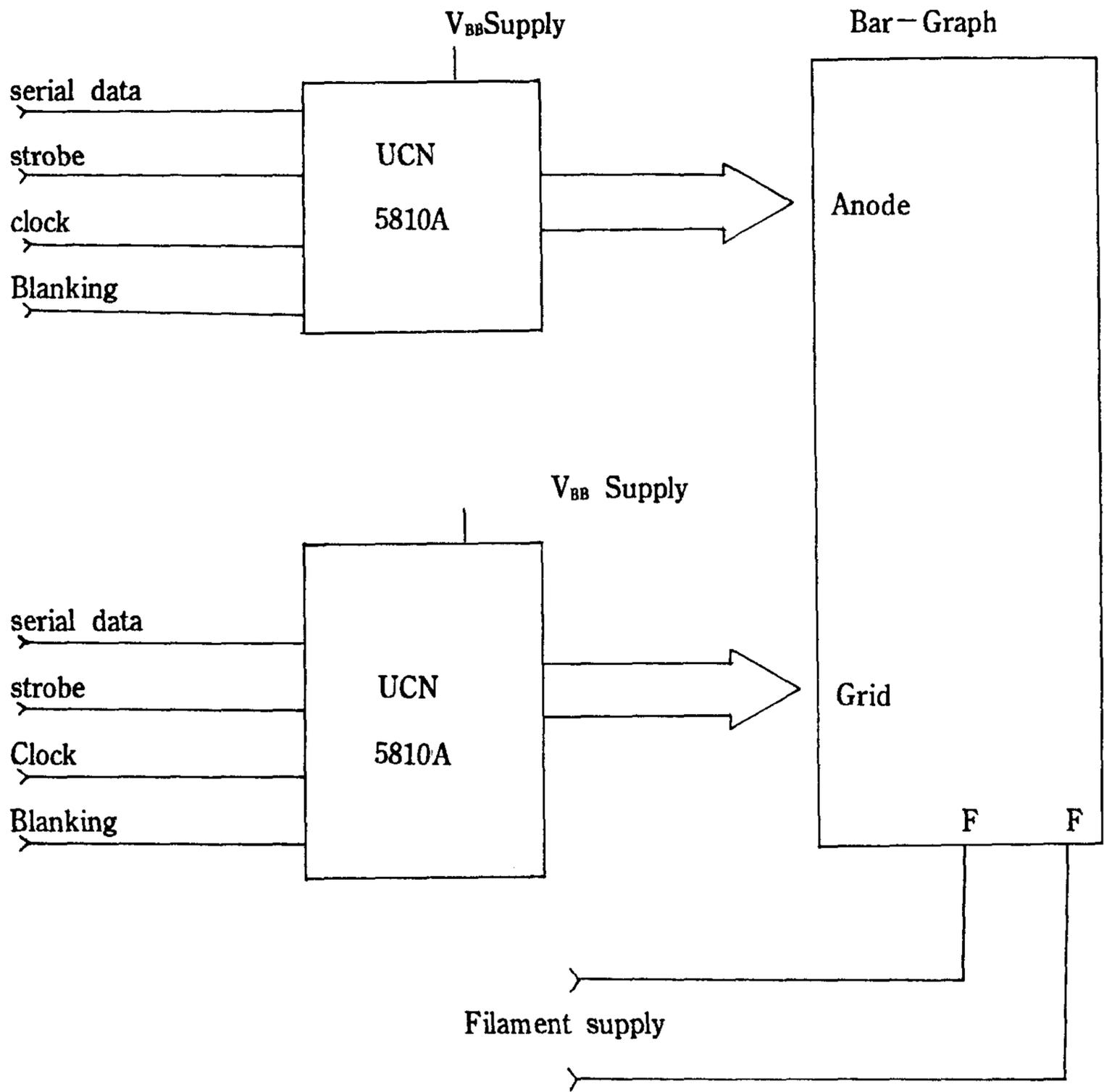
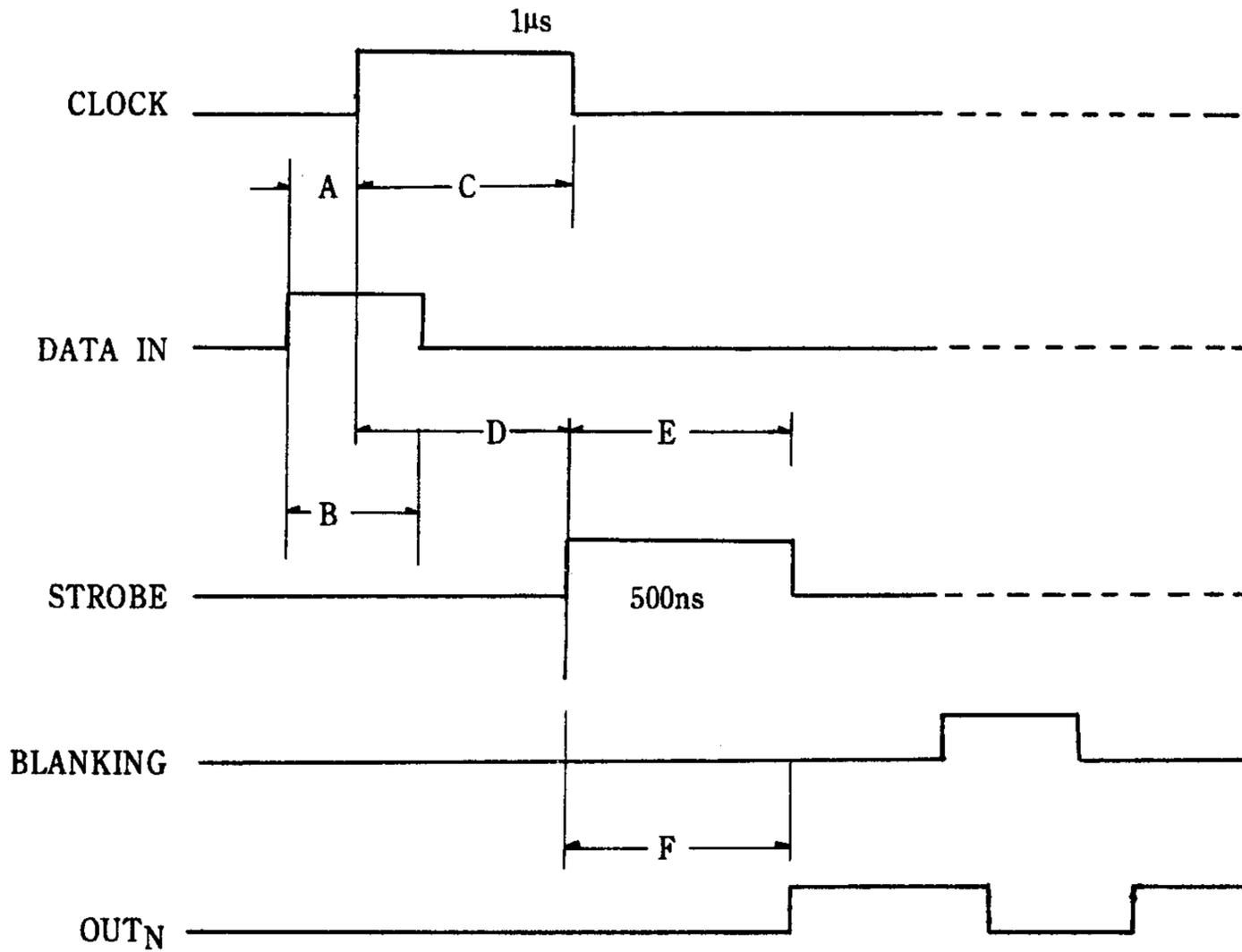


그림 2-14 Bar-Graph Driver circuit

– Control timing Diagram



TIMING CONDITIONS

(Logic Levels and  $V_{DD}$  are  $V_{SS}$ )

$V_{DD} = 5.0V$   $V_{DD} = 15V$

A. Minimum Data Active Time Before Clock Pulse(Data Set-Up Time)	.....	250 ns	150 ns
B. Minimum Data Pulse Width	.....	500 ns	300 ns
C. Minimum Data Pulse Width	.....	1.0 µs	250 ns
D. Minimum Time Between Clock Activation and Strobe	.....	1.0 µs	400 ns
E. Minimum Strobe Pulse Width	.....	500 ns	300 ns

F. Typical Time Between Strobe Activation and Output Transition ... 1.0 μs

\* UCN 5810A Driver chip의 Technical data는 manufacturer의 data sheet 참조

2. Alphanumeric Display

Alphanumeric Display는 controller가 handling하는 parameter와 controller status를 Alpha-numeric으로 display 하며, 선택된 Bar-graph의 Analog data를 numeric으로 항상 Display 한다.

또한 keyboard에 의한 operation 결과를 나타내기도 한다.

1) 구성

Alpha numeric Display의 구성은 그림 2-15와 같다.

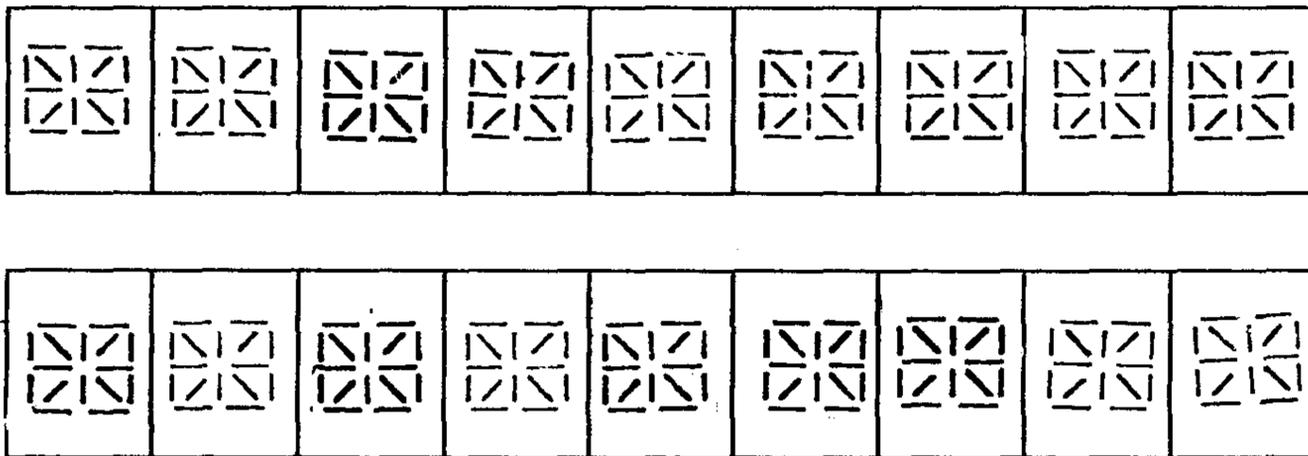


그림 2-15 Alpha Numeric Display

- 그림 2-15와 같이 Alphanumeric Display는 2 row로 구성되며 최대 9 character까지 표시할 수 있다.

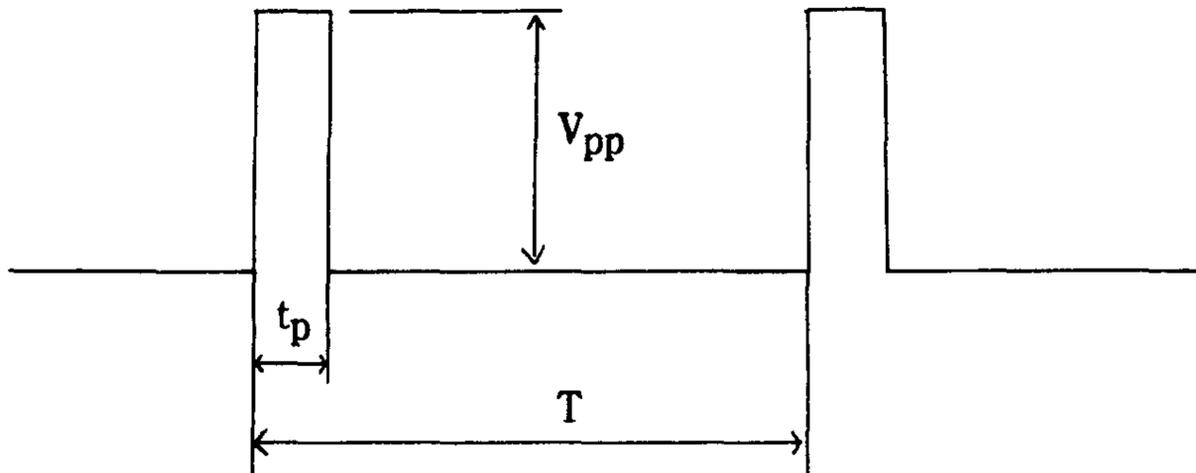
용도로는 1st row는 controller status character display 용이고, 2nd row는 control parameter 등의 numeric value를 display 한다.

2) Alphanumeric Display spec

- 구성 row : 2 rows

- display character 수 : 최대 9자 / row

- Segment 수 : 14 segment/character
- Display type : Vacuum Florescent  
FG95K2A, Noridake, Japan
- Color of illumination : Blue green
- Electrical characteristics
  - Filament Voltage : 3.33~4.07 Vac, 50/60 HZ
  - Grid/Anode voltage : 24.0~28.8 V peak to peak
  - pulse condition



duty factor :  $1/12(t_p)$

pulse width :  $100\mu\text{sec}(t_p)$

\* Alphanumeric Display의 Technical data는 Manufacturer의 data sheet 참조

### 3) Driver

Bar-Graph Display Driver와 동일함.

단, Anode의 pin수가 1개이므로 10 bit driver 2개를 cascade로 연결하여 사용한다.

(그림 2-16 참조)

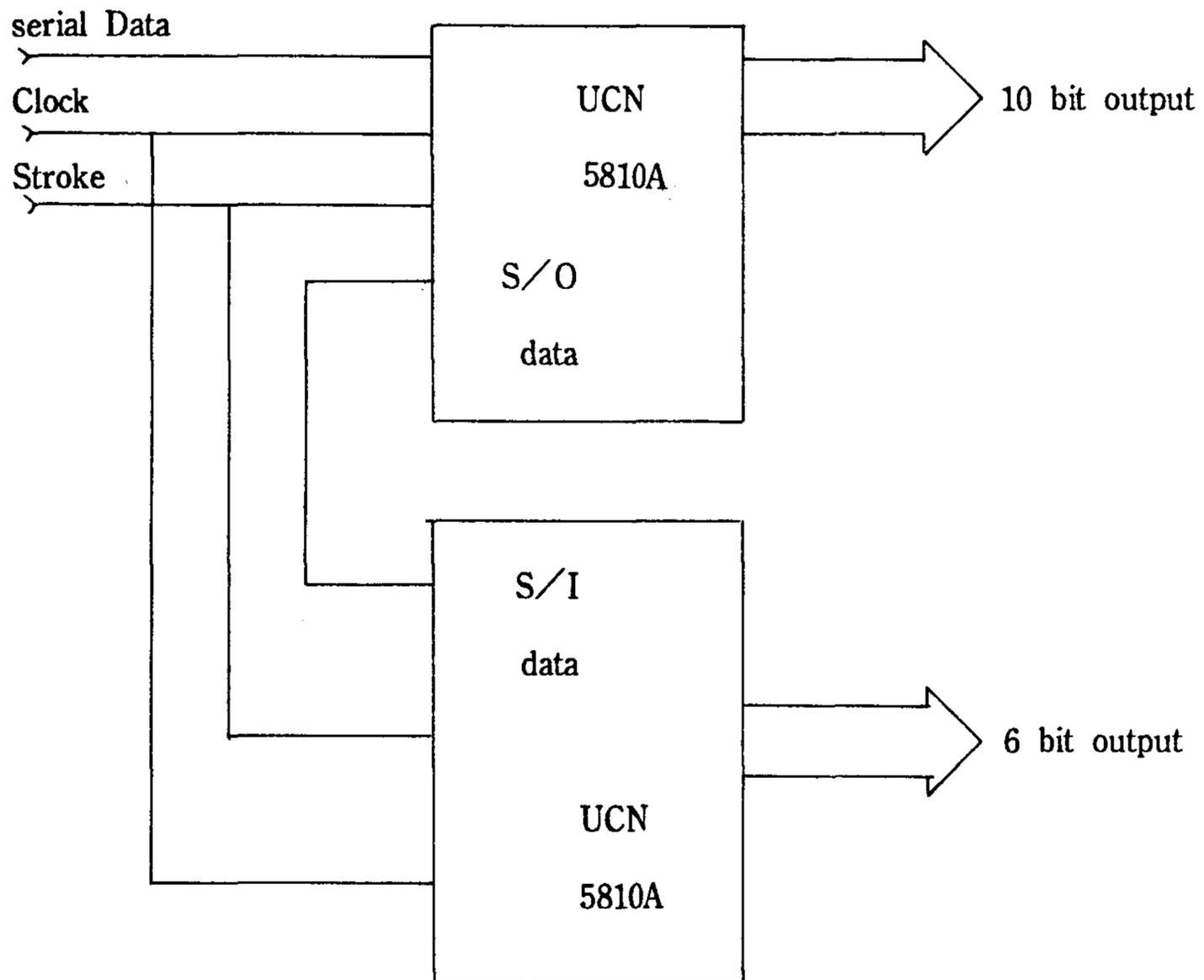


그림 2-16 Alphanumeric Display Driver

#### 4) Alphanumeric display character pattern

Display의 Segment 수가 14 Segment이므로 Alphanumeric Character의 Hex code를 별도로 Generation해야 한다.

Alphanumeric value에 대한 Hex code table은 다음과 같다.

Alphanumeric Value	Hex code	Alphanumeric Value	Hex code
0	234FH	N	1836H
1	0303H	O	003FH
2	00D3H	P	00F3H
3	00CFH	Q	103FH
4	03E0H	R	10F3H
5	00EDH	S	00EDH
6	00FDH	T	0301H
7	0027H	U	003EH
8	00FFH	V	2430H
9	00EFH	W	3036H
A	00F7H	X	3C00H
B	1479H	Y	0E00H
C	0039H	Z	2409H
D	007FH		
E	00F9H		
F	00F1H		
G	00FDH		
H	00F6H		
I	0309H		
J	2101H		
K	1430H		
L	0038H		
M	0C36H		

마. RS-485 Interface

여러대의 controller를 하나의 Host Computer에서 Remote Control & Monitoring 하기 위하여 Serial data communication이 필요하다.

이를 위해 EIA의 serial communication electrical spec인 RS-485 방식을 사용하여 controller에서 host computer로 upload, host computer에서 controller로 download 기능을 수행한다.

설계 방식으로는 다음과 같다.

※ RS-485 interface는 HPC16040의 UART 기능을 이용한다.

- 1) BUS 방식 : Multi-drop
- 2) 최대 접속 node 수 : 32대
- 3) 전송매체 : shielded twisted pair line
- 4) termination :  $100\Omega$
- 5) Interface : 75174/75175 Line Driver/Receiver(그림 2-17 참조)

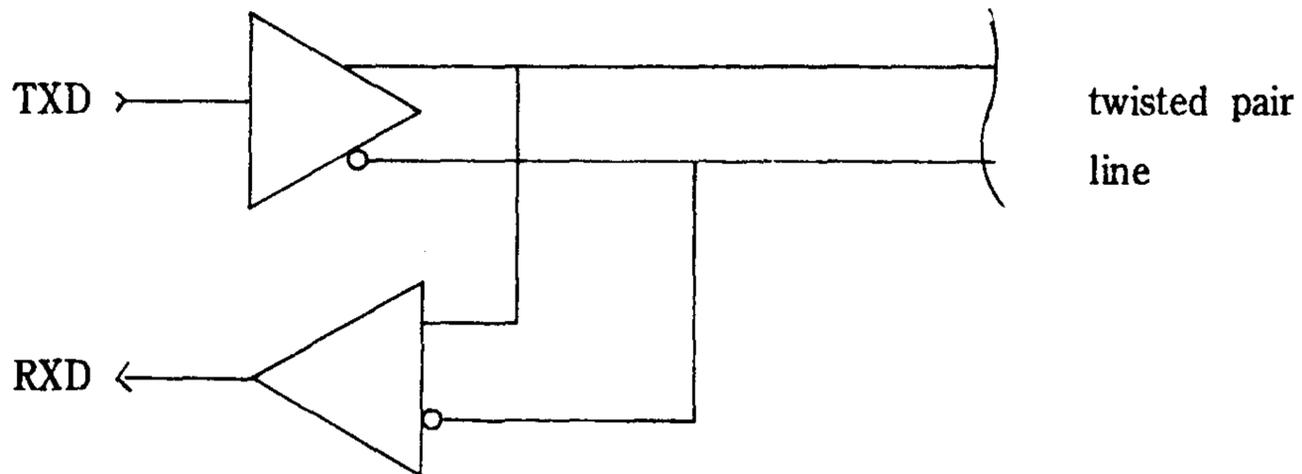


그림 2-17 RS-485 Interface

- 6) communication protocol  
S/W Design spec. 참조

7) UART Clock

- RS-485 Baud Rate

DIVBY Register :

UART

		B7 B6 B5 B4	
--	--	-------------	--

B7	B6	B5	B4	Baud Rate (9.83 MHZ)	Baud Rate (16.88MHZ)
0	0	1	0	38400	65536
0	0	1	1	19200	32768
0	1	0	0	9600	16384
0	1	0	1	4800	8192
0	1	1	0	2400	4096
0	1	1	1	1200	2048
1	0	0	0	600	1024
1	0	0	1	300	512
1	0	1	0	150	256
1	0	1	1	75	128
1	1	0	0	38	64
1	1	0	1	19	32
1	1	1	0	9.4	16
1	1	1	1	4.7	8

## 제 3 절 제어기 소프트웨어

### 1. 소프트웨어 구조

STC 시스템의 소프트웨어 구조는 그림 2-18과 같고 각 기능별 description은 아래와 같다.

#### (가) Communication Software

Communication software는 STC와 host computer 간의 data communication을 위한 protocol이며, STC에서 processing하는 process의 information을 정확히 host computer에 interface하며, host computer에서는 이들을 data logging한다. 역으로, host computer는 STC에 remote command를 전송하여 STC를 remote control하게 된다.

#### (나) Signal Conditioning Software

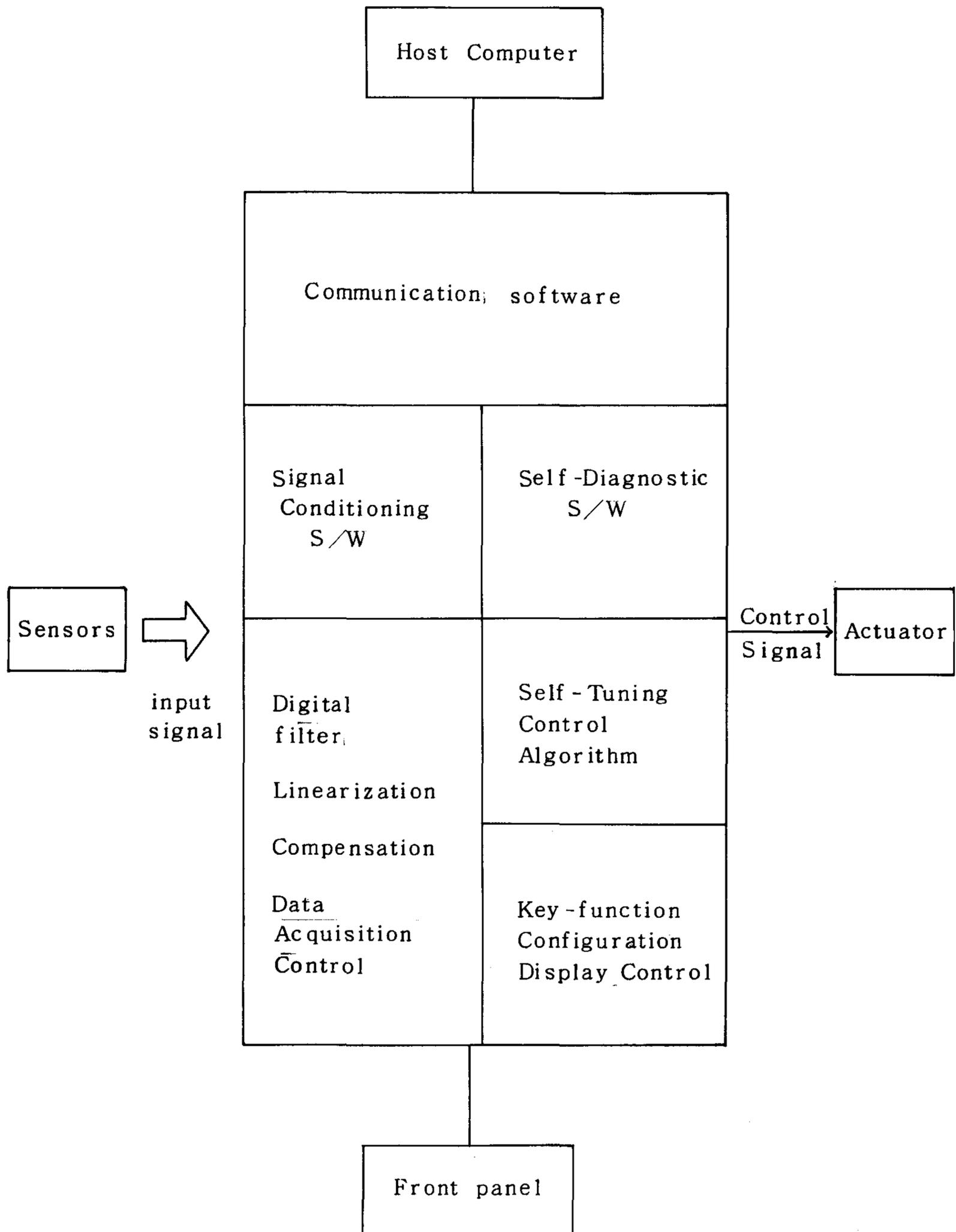
Signal conditioning software는 process sensor로부터 입력되는 아나로그 신호에 대한 pre-processing software를 말하며, 여기서는 센서 입력의 타입에 따른 digital filtering linearization, compensation 그리고 data acquisition control S/W 등이 포함된다. signal conditioning의 결과 industrial process의 raw data는 microcontroller에 digital format으로 interface된다.

#### (다) Self-Diagnostic S/W

Self-diagnostic S/W는 STC 시스템 동작상태를 점검하는 S/W로, start-up시 H/W 시스템의 기능이 정상이 아닐 경우 그 원인을 경보하게 된다.

#### (라) Self-Tuning Control Algorithm

Self-tuning control algorithm은 STC의 core S/W로 입력 공정에 대한 제어신호를 만들어 내고, 고정된 매개변수를 추정하는 알고리즘 소프트웨어이다.



(그림 2-18) STC 시스템 소프트웨어 구조

## (마) Man-Machine Interface Software

Man-machine interface software는 STC의 operator control을 가능하게 해주는 S/W로, 전면판 운용을 interactive하게 support하게 된다. 여기에는 key function, system configuration, display control 등의 기능이 포함되어 있다.

## 2. System Control Flow

제어기의 전체 프로그램 흐름은 그림 2-19와 같이 전원이 공급되면 초기화 루틴에 들어가서 모든 하드웨어를 안정한 상태로 유지해 놓는다.

운용자가 전면판 키를 조작하여 제어모드를 설정하면 자기 진단 모드에서 제어기의 정상동작상태를 점검하여 이상이 없을때 입력처리 루틴을 시작한다.

입력처리 루틴에서는 센서 입력을 멀티플렉싱하여 8채널의 신호를 스캔하여 데이터 획득 시퀀스를 시작 시킨다.

채널을 스캐닝하여 얻은 데이터는 전 처리를 위하여 일단 메모리에 저장한다.

운용자는 시스템 제어중 변수 변경, 설정치 변경 등을 할 수 있는데 이들의 기능은 운용자 인터페이스 처리 루틴에서 수행하며, 필요시 표시기를 제어하여 대화형식의 운용을 할 수 있다.

시스템의 메모리에 저장된 공정정보는 자기동조 제어를 위하여 수치연산(가, 감, 승, 제), 온·라인 리커시브 계수 계산, 제어법칙계산 등을 수행하게 되는데 이러한 연산은 수치연산 및 제어알고리즘 루틴에서 수행한다.

알고리즘루틴에서 발생된 제어신호를 4~20mA전류 신호 또는 아나로그 전압 신호로 변환하여 액츄에이터에 입력하는 루틴이 출력제어루틴이며 또한 PWM 디지털 신호를 발생시킨다.

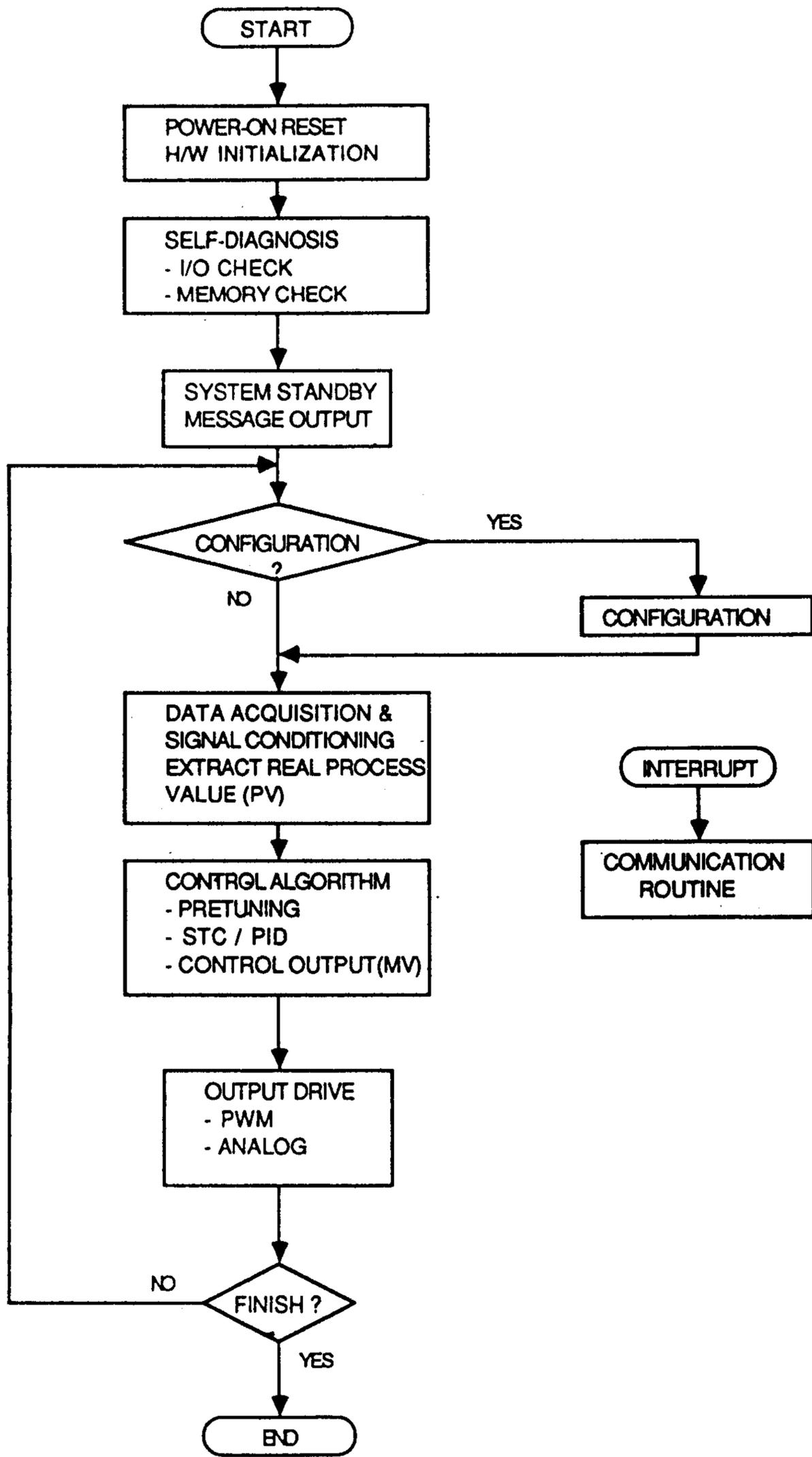


그림 2-19 제어기 전체프로그램 흐름도

제어기에서 주 컴퓨터 또는 주 컴퓨터에서 제어기로 명령 및 데이터를 보내고 받을 때는 인터럽트 신호를 발생하여 통신 프로토콜을 수행하게 된다.

### 3. 소프트웨어의 블럭별 기능

#### (가) Initialization & Configuration Block

##### 1) Initialization

- 가) HPC 16040 port configuration
- 나) Input/Output port assignment
- 다) Chip mode initialization
  - single chip mode
  - expanded mode
  - single chip ROMless
  - expanded ROMless
- 라) Power on reset-H/W circuit

Initialization reset-S/W routine ; stabilize the H/W system

##### 2) Configuration

- 가) Manual-PID
- 나) Auto tuning
  - PID auto tuning
  - STC
- 다) Remote/Local

(나) Self Diagnosis Block

- 1) ROM, RAM check
- 2) Watch dog logic
- 3) H/W system function

(다) Input Handing Block

- 1) 아나로그 Mux input A/D conversion
  - 디지털 데이터 manipulation
  - data acquisition routine
  - S/W filtering
  - S/W linearization
- 2) 디지털 input handling

(라) Front Panel Operation Support Block

- 1) Function key scan
- 2) PID parameter display(two rows 9 character display)
- 3) Self tuning control parameter display
- 4) Florescent bar-graph display
  - 101-segment three-columns
    - o MV(Manipulated Value)
    - o PV(Process Value)
- 5) Alarm display
  - Critical error disply(alarm buzzer sounds)
  - PV HI/LO limit alarm(LED)

(따) Arithmetic Operation & Control Algorithm Block

- 1) PID control algorithm calculation
- 2) Self-tuning algorithm calculation

(파) Output Handling Block

- 1) Control signal
  - PWM timer setting(디지털 output)
  - 아날로그 output
    - voltage output
    - 4~20mA current output

(사) Interrupt Service Routine

(Communication Handling)

- 1) RS-485 interface support
- 2) receive/transmit routine
- 3) Tx/Rx buffer assign → information buffer

#### 4. Function module

(가) Functional module

STC의 S/W module들은 다음의 다섯가지 기능에 속하게 된다.

1) Control Function

Control Function은 다음의 세가지 module로 구성된다.

- Pre-Tuning Module : 공정의 입출력 값으로 부터 공정의 파라미터를 추정하는 module
- SPID Module : 추정된 공정의 파라미터로 부터 P.I.D controller를 거쳐 manipulated Value를 계산하는 module
- STC Module : 추정된 공정의 파라미터로 부터 Robust Adaptive Controller를 사용하여 Manipulated Value를 계산하는 module

## 2) I/O Handling Function

I/O Function은 다음의 세가지 module로 구성된다.

- Signal Conditioning Module : 입력신호에 대한 Non-linearity 보상, Filtering, Square, Square Root, 입력 신호간의 조합 및 Bias, Gain 등을 조절해주는 module
- Output Drive Module : Actuator를 구동 시키기 위한 신호발생 및 STC 상태를 알리는 contact output 등을 처리해주는 module
- Communication Module : Host Computer와의 STC의 각종 status 및 command 교환을 처리해주는 module

## 3) Human I/F Function

Human I/F Function은 다음의 세가지 module로 구성된다.

- Key Scan Module : STC Front Panel의 Key 입력 상태를 처리해주는 module
- Display Control Module : STC의 각종 Status 및 message를 Bar-Graph 및 Alphanumeric Display에 처리해주는 module
- Configuration Module : Front Panel의 Key를 사용하여 STC의 각종 status 및 parameter 값들을 재조정해주는 module

#### 4) System Setup Function

System Setup Function은 다음의 두가지 module로 구성된다.

— Initialization Module : System booting시 STC의 각 parameter들을 setting해주는 module

Self-Diagnostic Module : RAM, I/O Port, Communication Port등 각종 H/W part를 진단해주는 module

#### 5) System Control Function

System Control Function은 다음의 module로 구성된다.

— System Control Module : 위에서 언급한 각 module 기능 및 각종 Data flow들을 관장하는 module

#### (나) Data Flow/Structure

그림 2-20은 STC의 상위 level의 Data flow를 나타낸 그림이다.

Diagram으로 부터 Front Panel Keys, 공정, Host Computer 등의 세가지의 입력과 Alphanumeric & Bar-Graph, Actuator, Host Computer에로의 세가지 출력으로 구분된다.

공정으로부터의 Raw Data는 Filtering, Square, Square Root, Nonlinearity 보상, 입력간의 Combination 등의 Signal Conditioning을 거친후 Variable Table에 저장된다.

Host Computer로 부터 Communication Channel을 통하여 Variable Table의 내용을 Setting할수 있으며 또한 공정 및 STC의 각종 status를 Host Computer로 정보 전달을 하도록 구성된다.

한편 Front Panel의 Key Data로 부터 Configuration Module 및 Select key로 Variable Table의 내용을 변경시킬수 있으며 또한 이 내용을 Alphanumeric & Bar-Graph Display로 나타낸다. 이때 System Control Module은 Variable Table의 내용을 토대로 Data Flow의 원활한 수행을 위하여 모든 S/W module에 대한 정확한 Schedule을 담당한다.

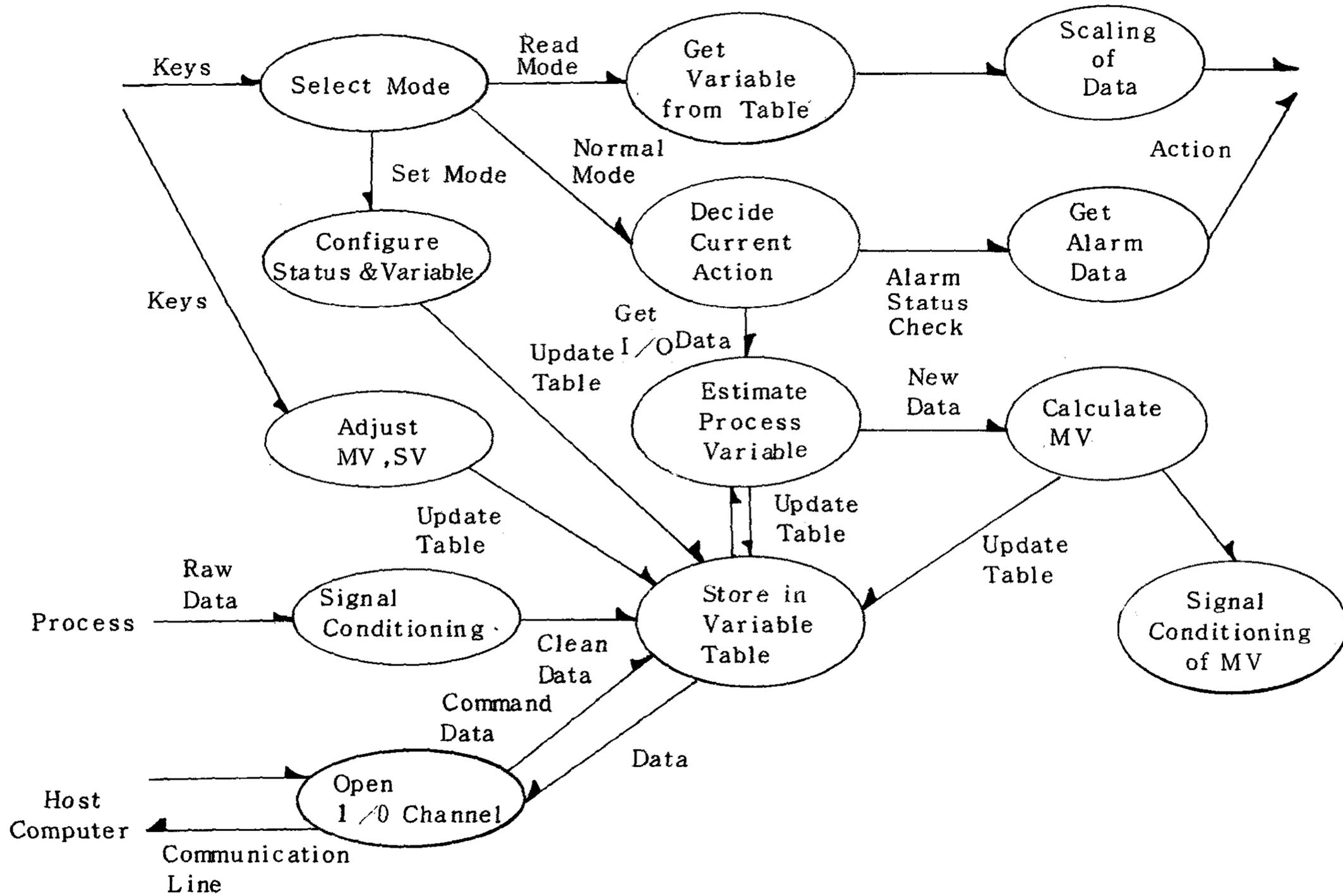


그림 2-20 Data Flow Graph of STC S/W

(다) Software Structure

STC S/W의 structure는 그림 2-21과 같이 다음과 같은 특성을 갖는다.

- 1) Human I/F는 Front Panel의 Key Pattern을 사용하여 Key Scan Module(KSM) 및 Display Control Module(DCM)의 service로 이루어 진다.
- 2) STC의 핵심인 Robust Adaptive Control은 Pre-Tuning Module(PTM)수행 결과를 근간으로 SPID 혹은 STC Module을 통해 이루어 진다.
- 3) Signal Conditioning Module(SCM) 및 Output Drive Module(ODM)을 통하여 공정의 Nonlinearity 문제를 해결한다.
- 4) Power On시 IM은 variable table을 근간으로 STC System을 Initial시키고 SDM module을 수행함으로써 STC system의 고장을 진단한다.
- 5) CMM은 Host Computer와의 원활한 정보교환을 이루게 한다.

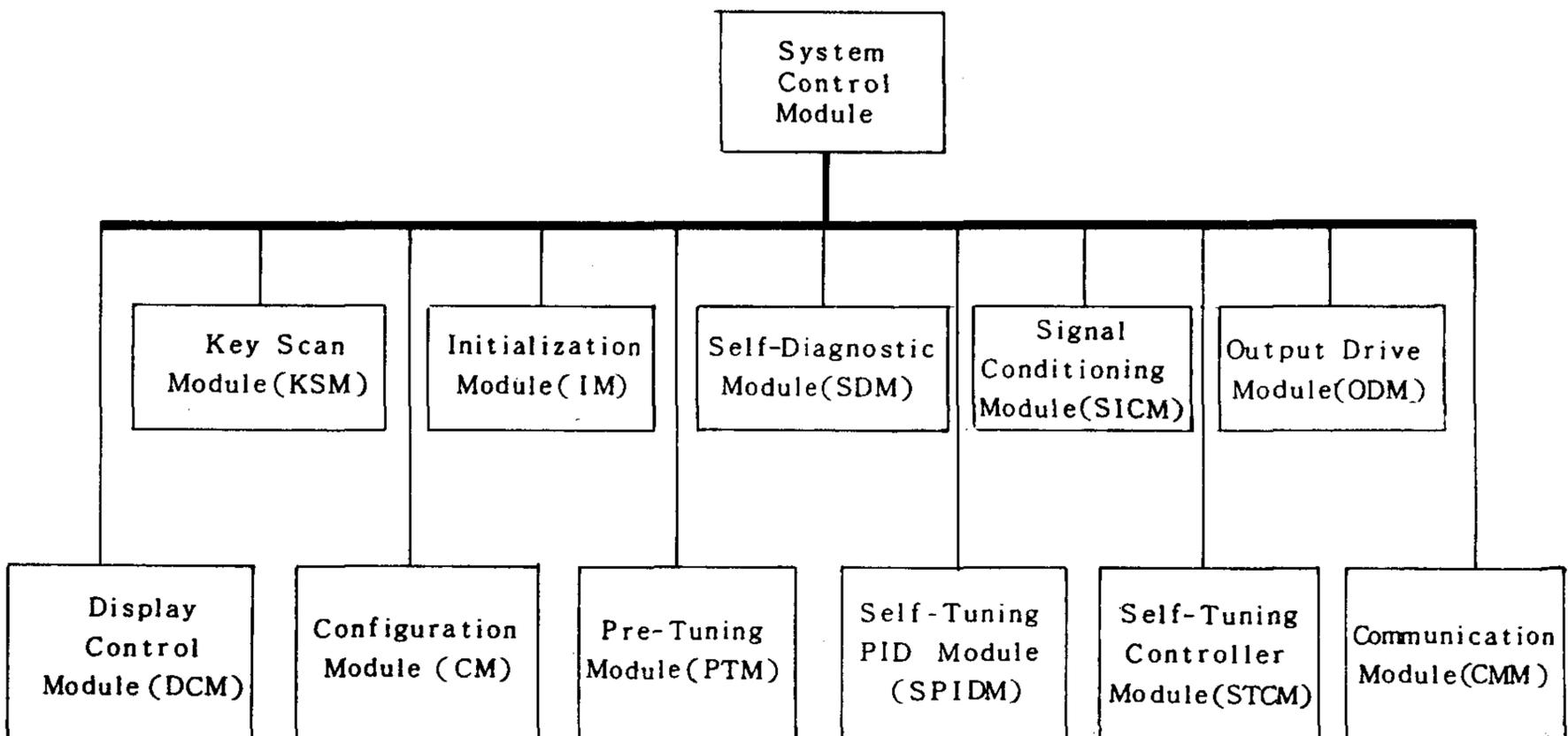


그림 2-21 STC S/W structure

(라) 소프트웨어 Modules

1) KSM(Key Scan Module)

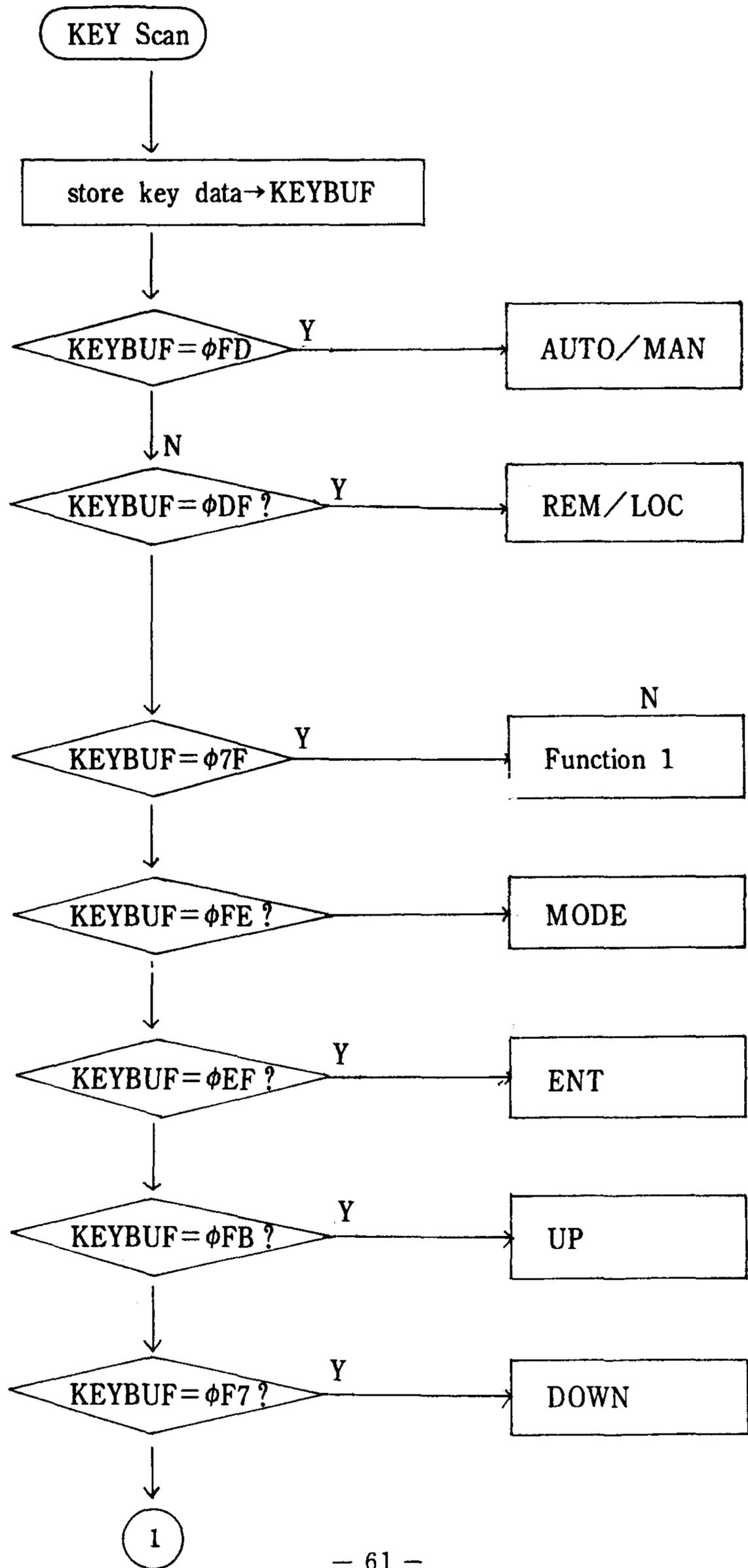
① Processing of KSM

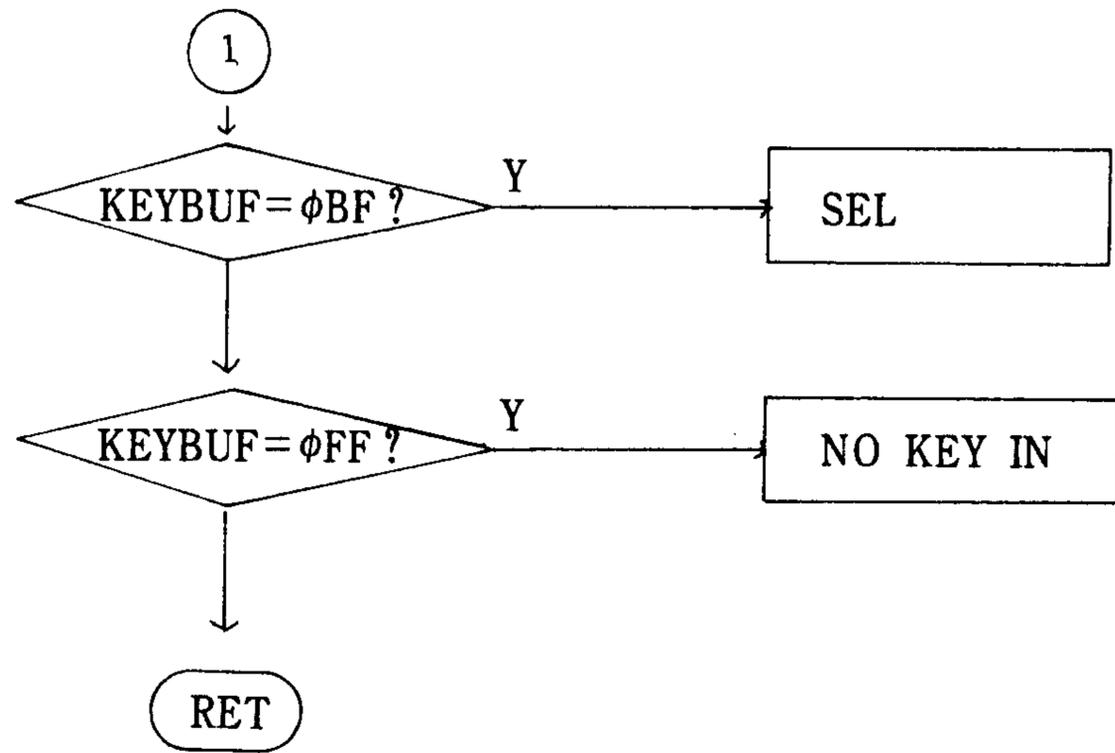
Front Panel의 Key Pattern으로 부터 Signal을 받아 SCM의 Mode Selector로 character를 전해주고 CM의 state transition을 위한 character input part를 담당한다.

② Interface Description

SCM 및 CM에 의해 call되어 수행되어지며 main processor의 port D (low byte data), port I (high byte data : lower 4 bits)로 character signal의 I/F를 수행한다. 다음표는 input data에 대한 function을 나타냈고 flow chart는 그림 2-22와 같다.

input data(key)	routine
DF	Remote/Local
FD	Auto/Manual
FE	MODE
BF	SEL
7F	FN1
EF	ENT
FB	UP
F7	DN
FF	NO KEY IN





Bit Map

	D7	D6	D5	D4	D3	D2	D1	D0
STSK1	MV	SV	MAN	×	×	AUTO	REM	20C
STSK2	×	×	×	×	×	×	×	PV
MODE						SET	READ	NORM

그림 2-22 key scan flow chart

### ③ Key Scan Routine

이 routine은 전면판에 있는 8개의 key를 data bus line으로 읽어와서 KEYBUF에 store하고 해당 key input에 대한 bit set을 하는 routine이다.

## 2) CM(Configuration Module)

### ① Processing of CM

state transition을 위한 character input을 KSM으로부터 제공받아 variable table을 reset시키고 DCM과 I/F를 통하여 Bar-Graph와 Alphanumeric Display할 status를 제공한다.

### ② Interface Description

CM은 SCM으로부터 call되어 수행 되며 Set Mode를 수행하는 module이다. CM에 대한 Block Diagram, State Transition Diagram, 변수 및 Reserved Data는 Design Specification을 참조하기 바람.

## 3) SPID(Self-Tuning PID)

Design Specification 참조

## 4) PTM(Pre-Tuning Module)

Design Specification 참조

## 5) STCM(Self-Tuning Control Module)

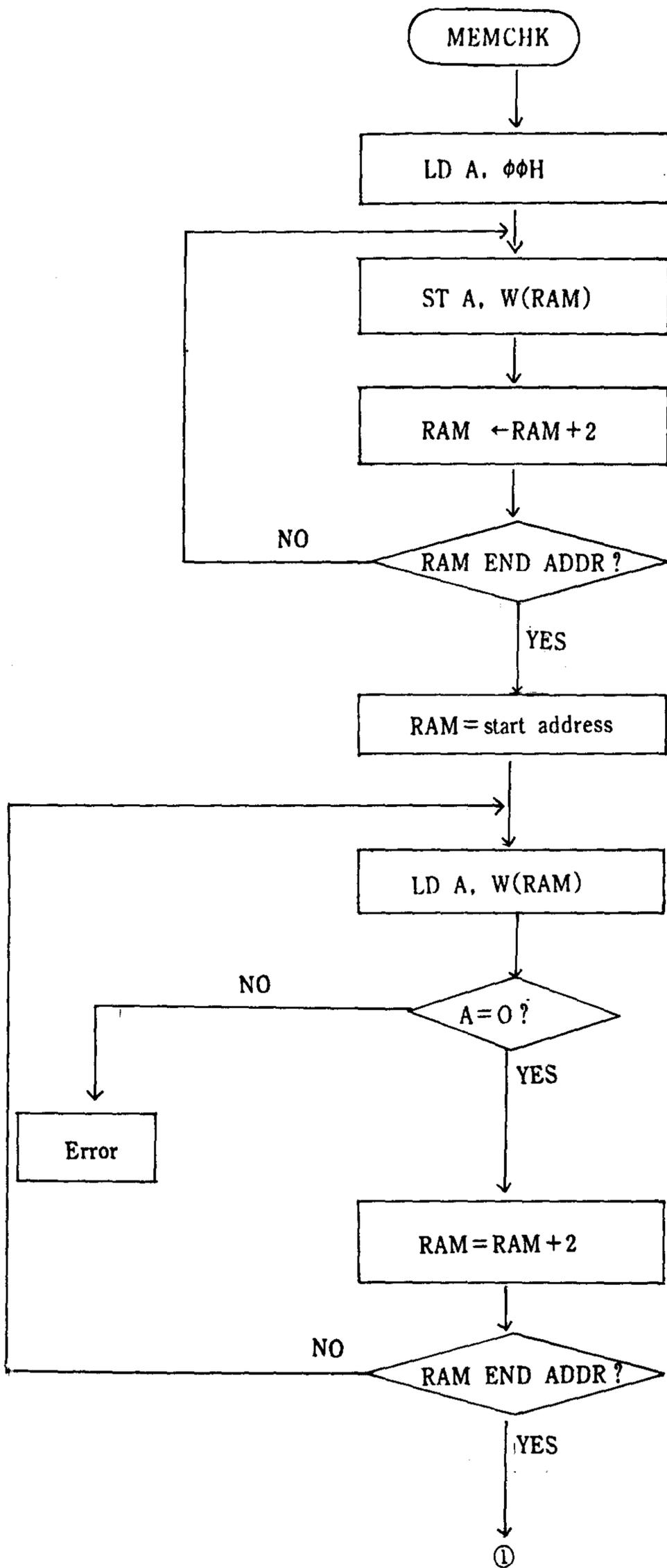
Design Specification 참조

## 6) SDM(Self-Diagnostic Module)

① 본 module은 system initialization시 수행하며 memory에 data를 read/write하여 Hardware의 정상 동작 상태를 check하며, 이상이 없을때 sign-on message를 display하고 main routine으로 jump 한다. Error가 발생한 경우 Error message를 display하고 다시 initialization으로 jump하여 chip을 reinitialize 시킨다.

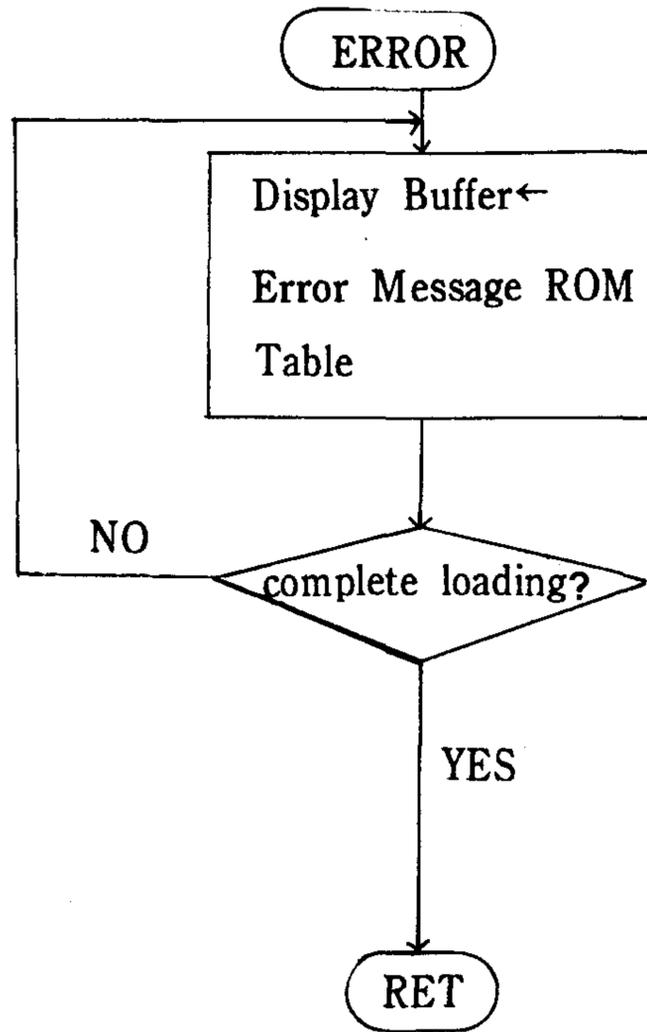
### ② Memory Check Routine(MEMCHK)

MEMCHK은 RAM 영역에 Data를 write한 다음 다시 Read하여 Write한 data와 Read한 data가 일치하는지 Check 하는 Routine이다.



### ③ Error Message Display Routine(ERROR)

ERROR은 Controller의 이상 동작시 그 상태를 표시해 주는 Routine이다.



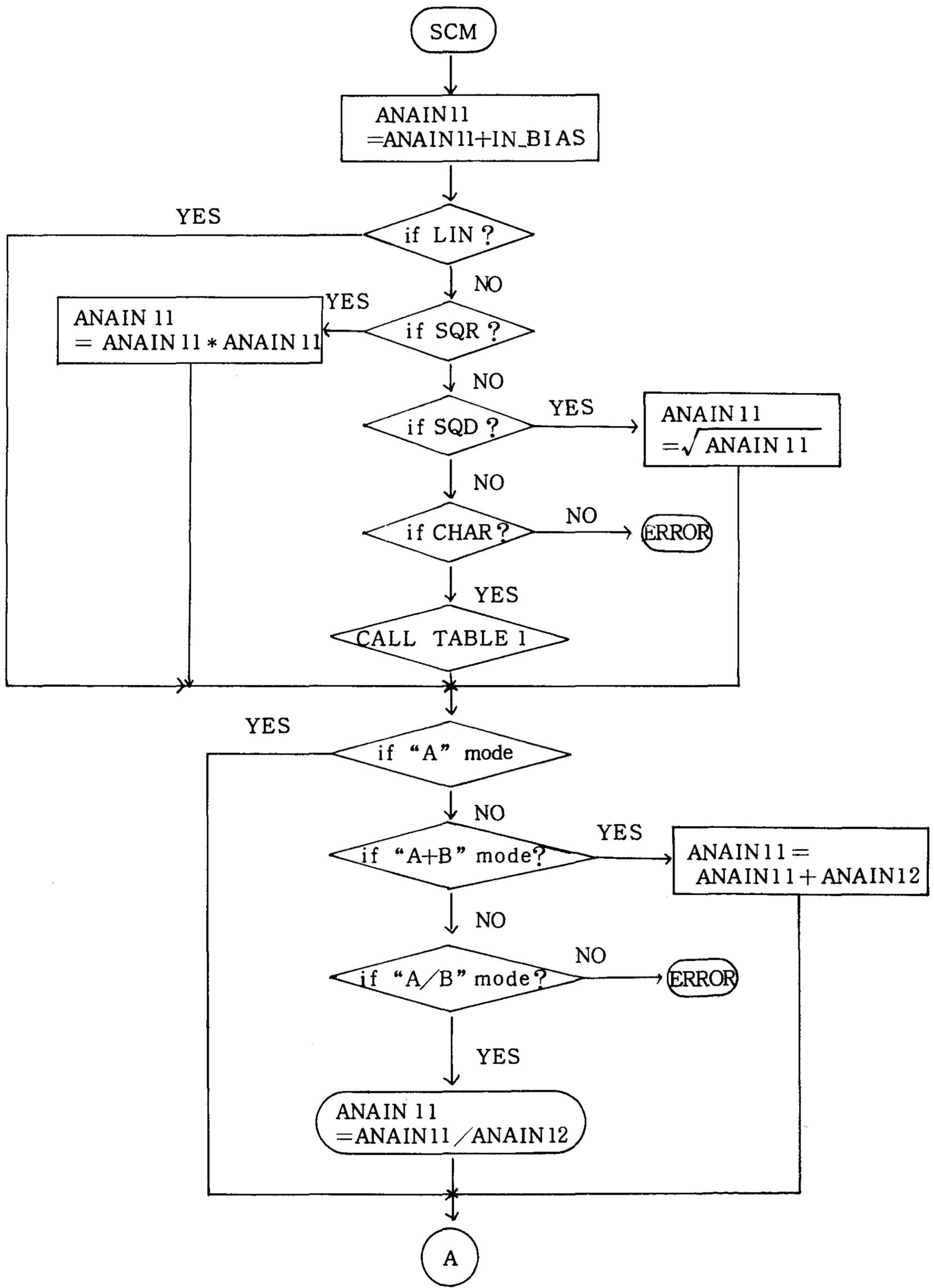
## 7) Signal Conditioning Module

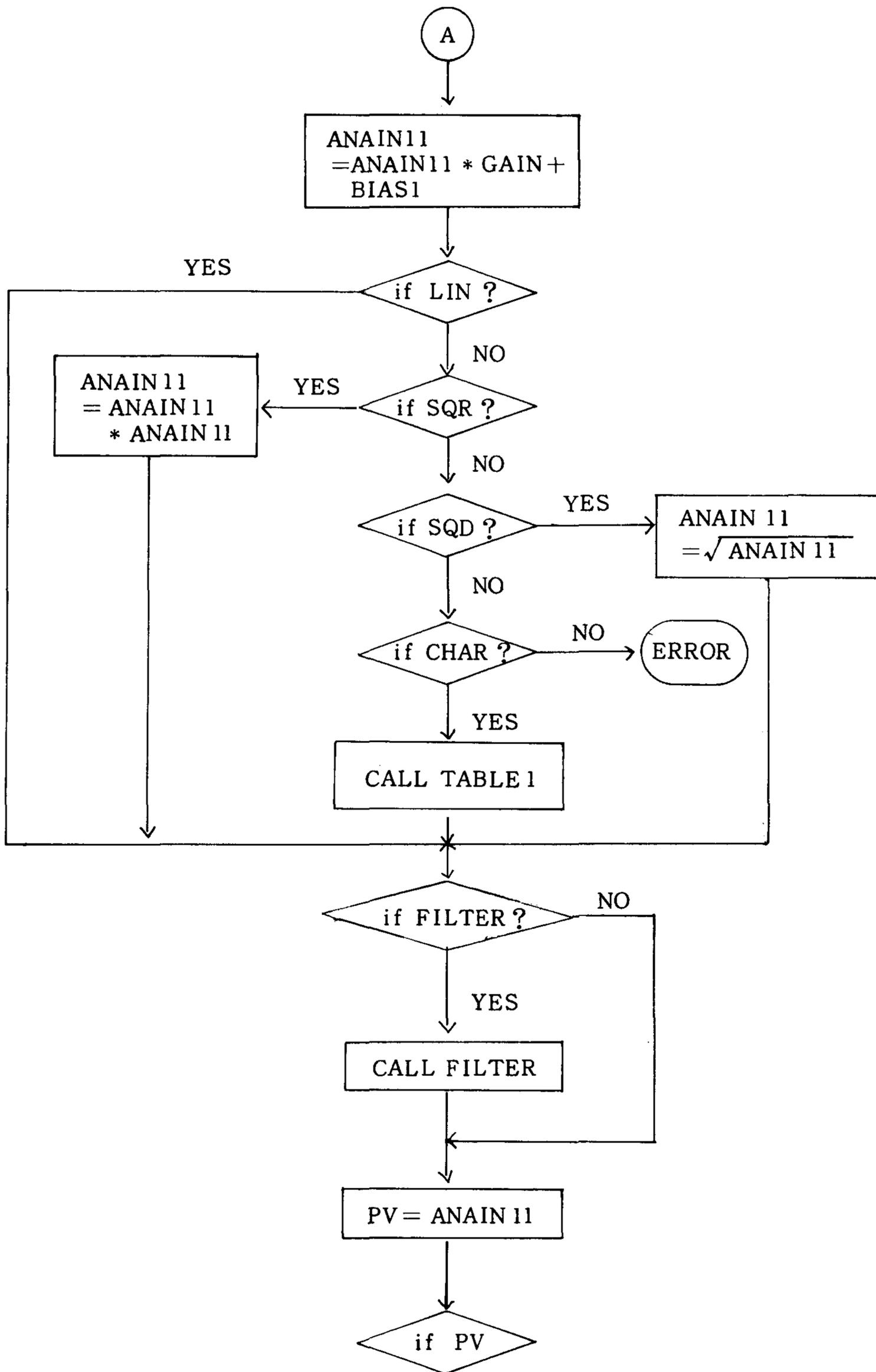
### ① Processing of SCM

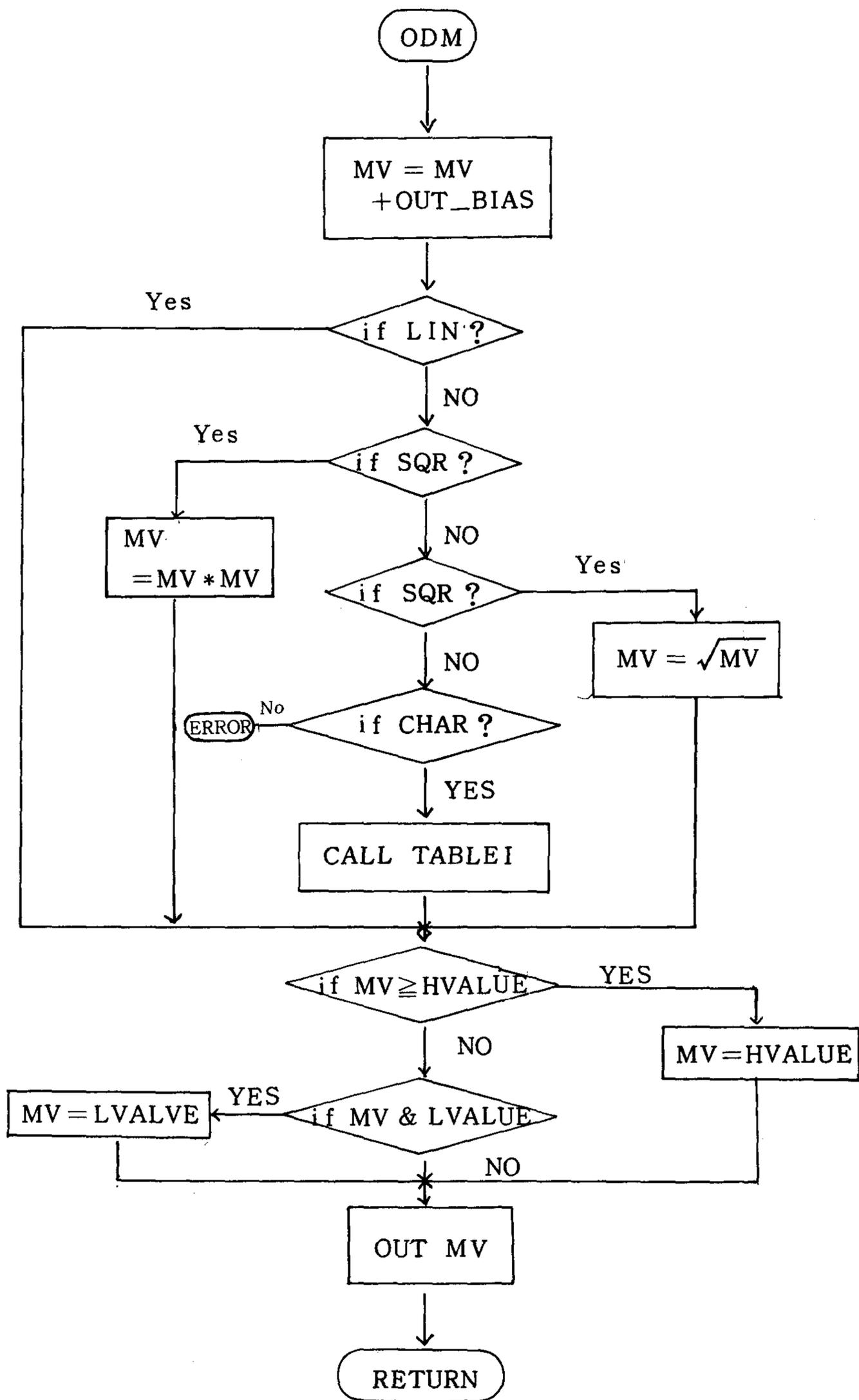
외부 입력 신호에 대해 configuration module 에서 지정된 status에 따라 Non-linearity 보상, Filtering, Square, Square Root, 입력 신호간의 조항 및 Bias, Gain 등을 처리해 준다.

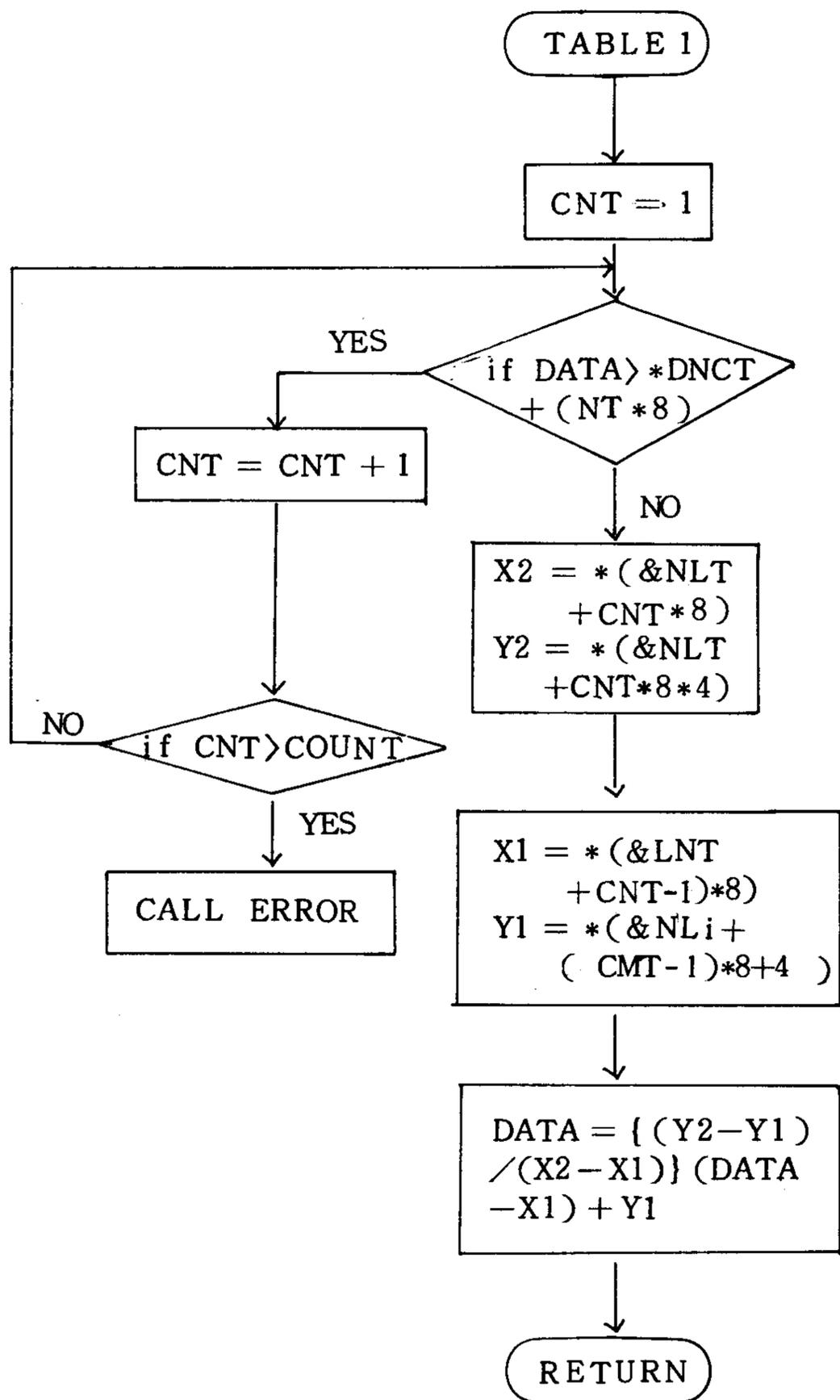
### ② Interface Description

SCM(System Control Module)에 의해 call되어 수행되어지며 PTM, SPIDM, STCM, CM 및 DCM에 configuration status에 의해 보상된 입력신호를 제공한다.









COUNT : 2 CNT : 2

NLT : 160

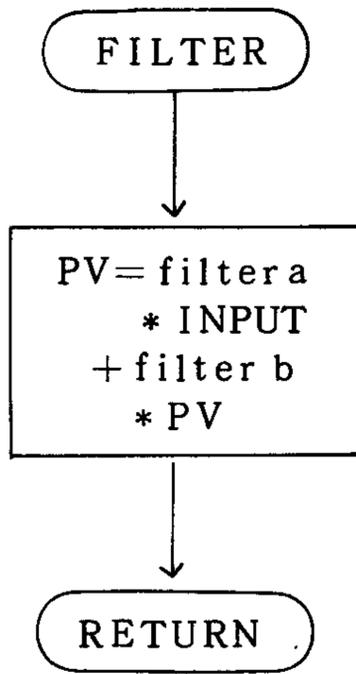
DATA : 4

X1 : 4

Y1 : 4

X2 : 4

Y2 : 4

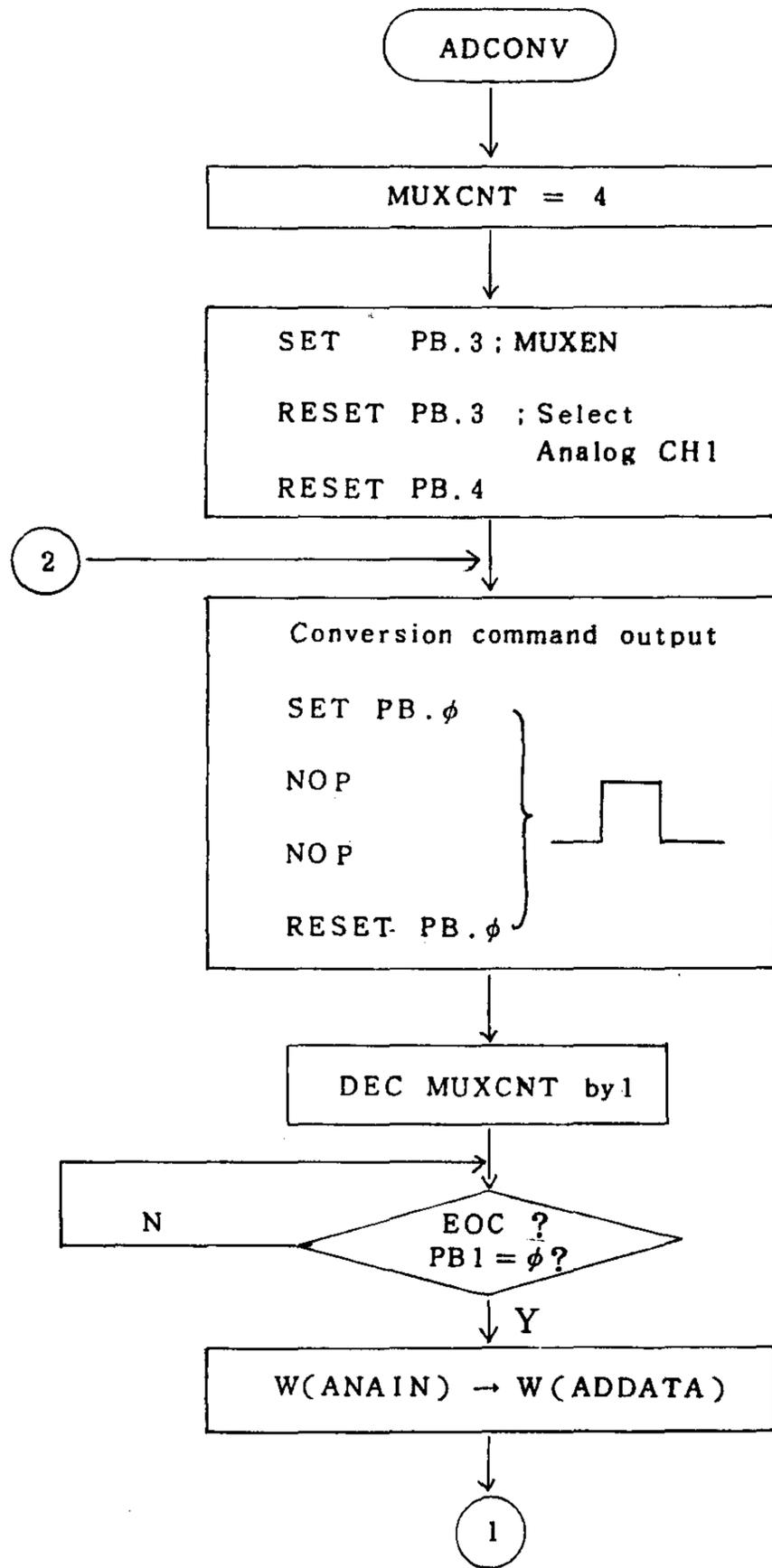


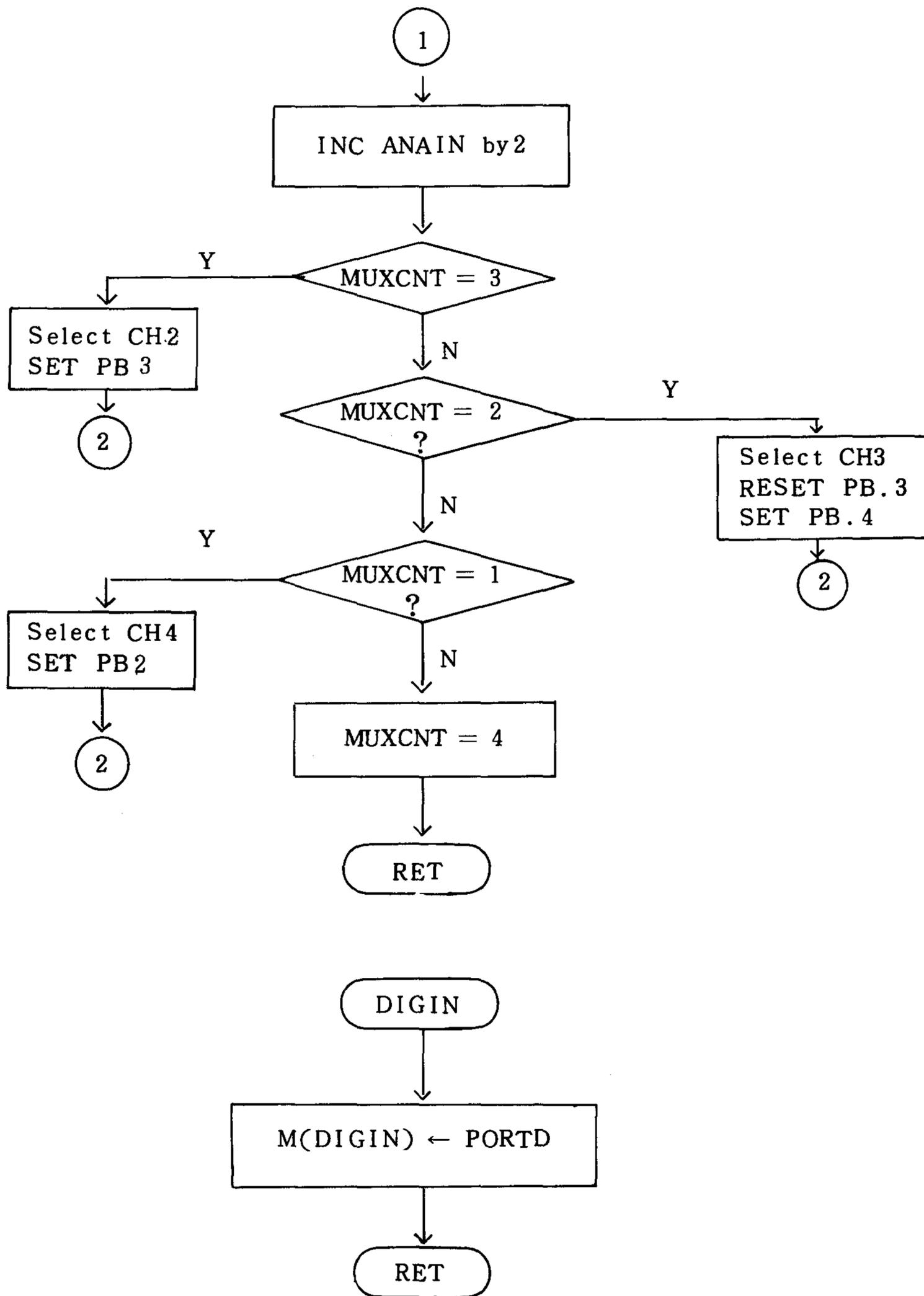
: filter a 4

: filter b 4

8) A/D conversion and Digital Input Read Routine(ADCONV, DIGIN)

ADCONV는 DAS(Data Acquisition system)로 부터 Analog Digital을 multiplex하여 Digital data(raw binary data)로 변환하는 routine이고, DIGIN은 digital data를 Read하는 routine이다.





9) DCM(Display control module)

이 Routine은 전면판의 2개의 Alphanumeric Display와 3개의 Bar-Graph display를 control 하는 routine이다.

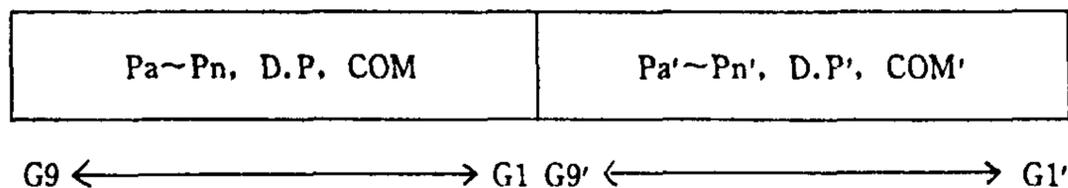
VFD Display는 Dynamic 방식으로 display 하며 processer의 INT2 interrupt를 사용하여 매번 refresh 하여야 한다.

① Bit Map

VFD DISPLAY BIT MAP

D φ	D1	D2	D3	D4	D5	D6	D7	} AL
Pa	Pb	Pc	Pd	Pe	Pf	Pg	Ph	
Pi	Pj	Pk	Pl	Pm	Pn	D.P	COM	
G9	G8	G7	G6	G5	G4	G3	G2	
G1	Pa'	Pb'	Pc'	Pd'	Pe'	Pf'	Pg'	
Ph'	Pi'	Pj'	Pk'	Pl'	Pm'	Pn'	D.P'	
COM'	G9'	G8'	G7'	G6'	G5'	G4'	G3'	
G2'	G1'	1P1	1P2	1P3	1P4	1P5	1P6	
1P7	1P8	1P9	1P1φ	1G1	1G2	1G3	1G4	φ2φ21
1G5	1G6	1G7	1G8	1G9	1G1φ	2P1	2P2	φ2φ22
2P3	2P4	2P5	2P6	2P7	2P8	2P9	2Pφ	φ2φ23
2G1	2G2	2G3	2G4	2G5	2G6	2G7	2G8	φ2φ24
2G9	2G1φ	3P1	3P2	3P3	3P4	3P5	3P6	φ2φ25
3P7	3P8	3P9	3P1φ	3G1	3G2	3G3	3G4	φ2φ26
3G5	3G6	3G7	3G8	3G9	3G1φ	×	×	φ2φ27 → first shift

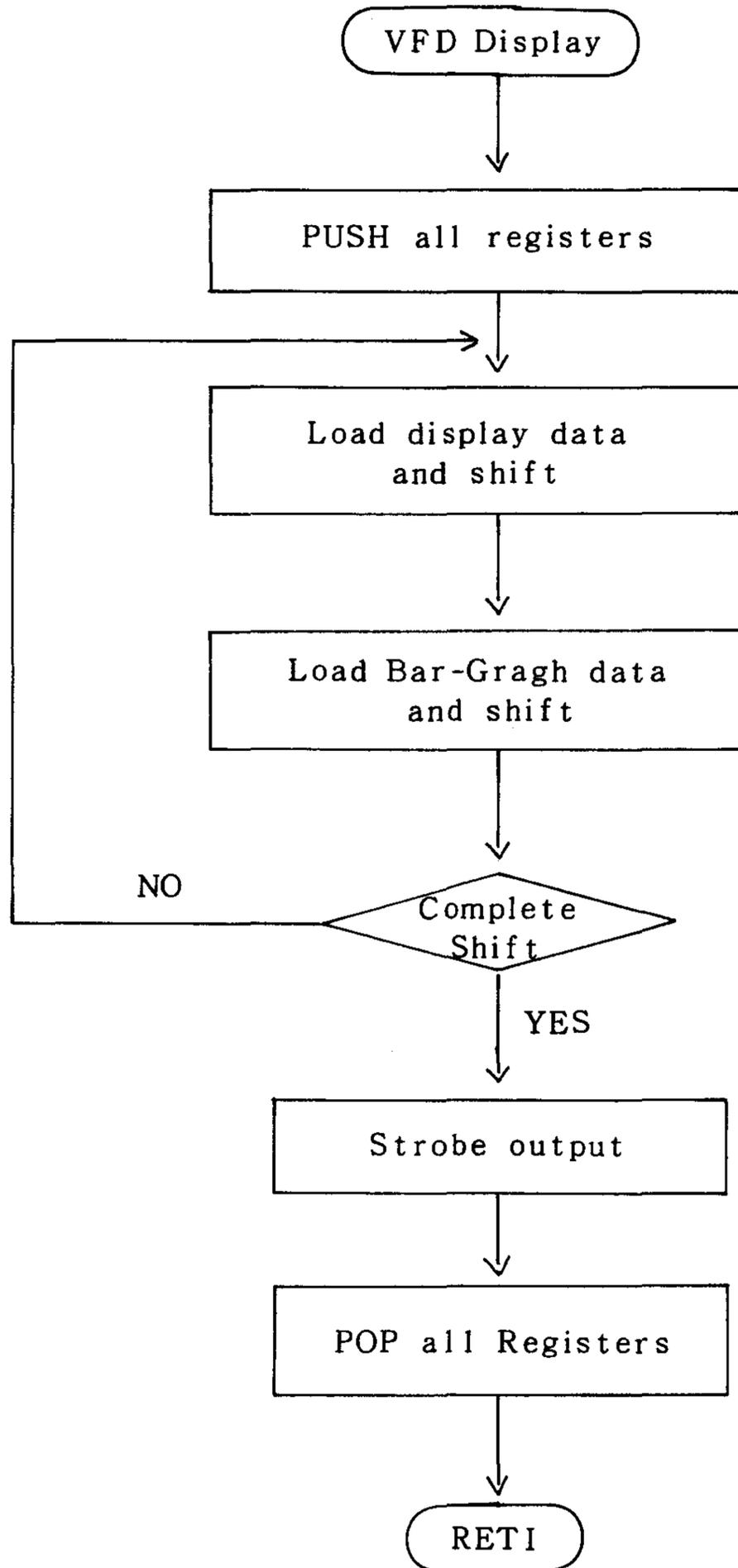
Alphanumeric Display



② DISPLAY BUFFER

ADDRESS	CONTENTS	ADDRESS	CONTENTS
$\phi 2 \phi 1A$	Alphanumeric # 1 Digit 1	$\phi 2 \phi 3A$	Alphanumeric # 1 Digit 5
1B		3B	
1C	Alphanumeric # 2 Digit 1	3C	Alphanumeric # 1 Digit 5
1D		3D	
1E		3E	
1F		3F	
$\phi 2 \phi 2\phi$	Bar-Graph (SV , PV ,MV)	$\phi 2 \phi 4\phi$	Alphanumeric # 1 Digit 6
21		41	
22		42	Alphanumeric # 2 Digit 6
23		43	
24		44	
25		45	Alphanumeric # 1 Digit 7
26		$\phi 2 \phi 46$	
27		47	
$\phi 2 \phi 28$	Alphanumeric # 1 Digit 2	48	Alphanumeric # 2
29		49	
2A	Alphanumeric # 2 Digit 2	$\phi 2 \phi 4A$	Digit 7
2B		4B	
2C		$\phi 2 \phi 4C$	Alphanumeric # 1 Digit 8
2D		4D	
$\phi 2 \phi 2E$	Alphanumeric # 1 Digit 3	4E	Alphanumeric # 2 Digit 8
2F		4F	
3 $\phi$		5 $\phi$	
31		51	
$\phi 2 \phi 32$	Alphanumeric # 2 Digit 3	$\phi 2 \phi 52$	Alphanumeric # 1 Digit 9
33		53	
$\phi 2 \phi 34$	Alphanumeric # 1 Digit 4	54	
35		55	
36	37	56	
37	38	57	
38	39		
39			

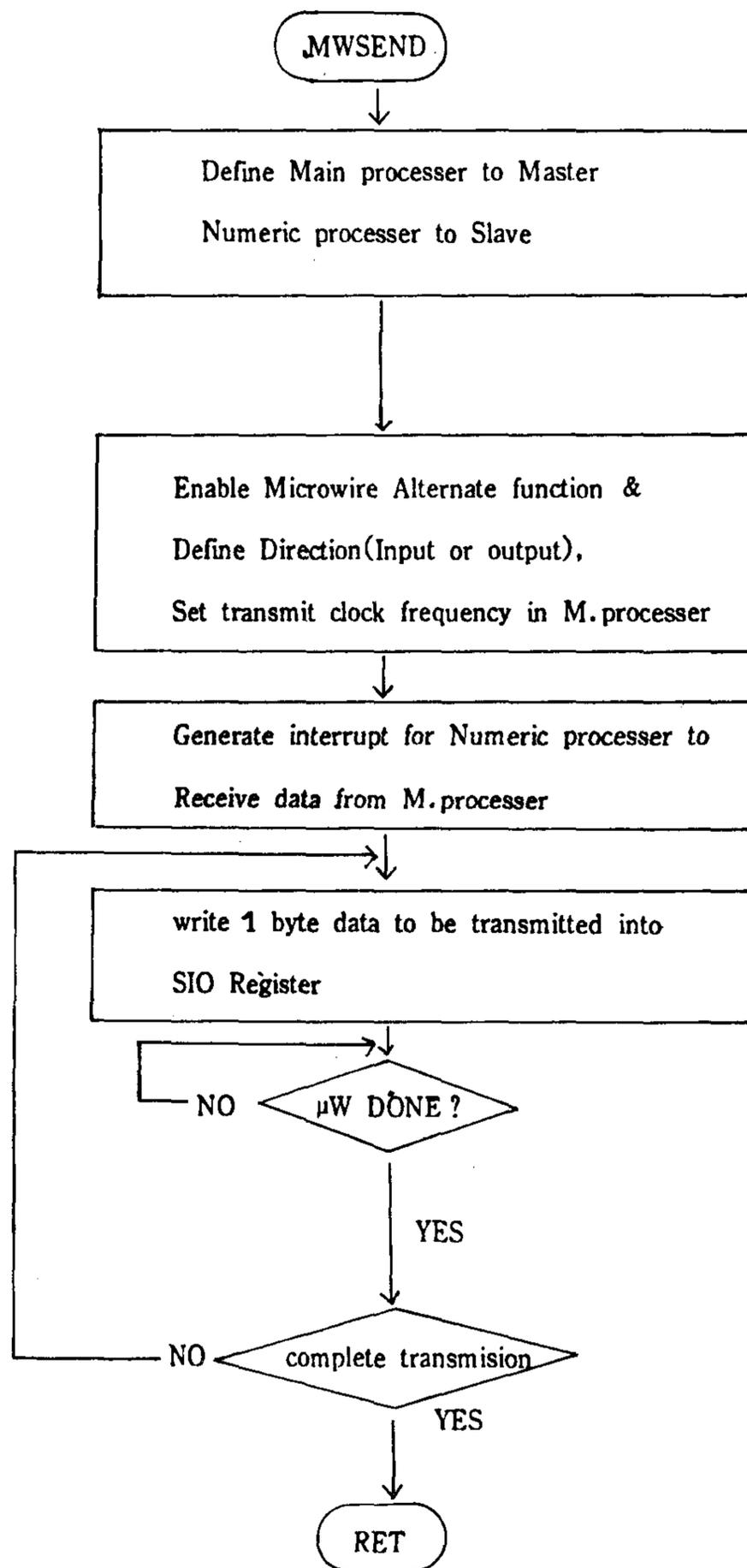
③ control flow chart



10) Microwire communication module

① Microwire Data Send Routine(MWSEND)

MWSEND는 Main processor에서 configuration된 Data를 Microwire communication line(3lines)을 통하여 Numeric process에 전송하는 Routine이다.

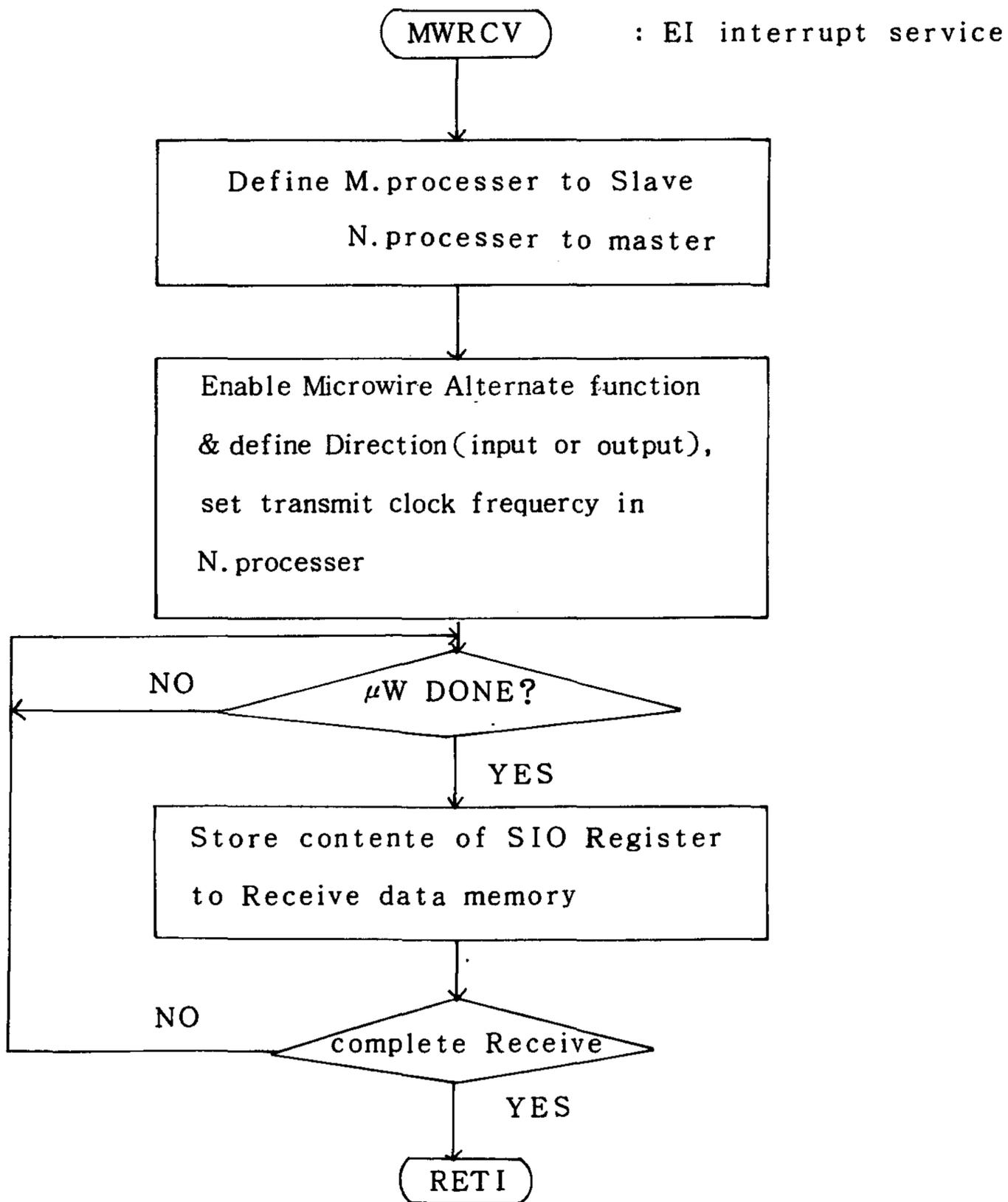


② Microwire Data Receive Routine(MWRCV)

MWRCV는 Numeric processor 에서의 calculation 결과 및 기타 data를 Receive 하기 위한 Routine이다.

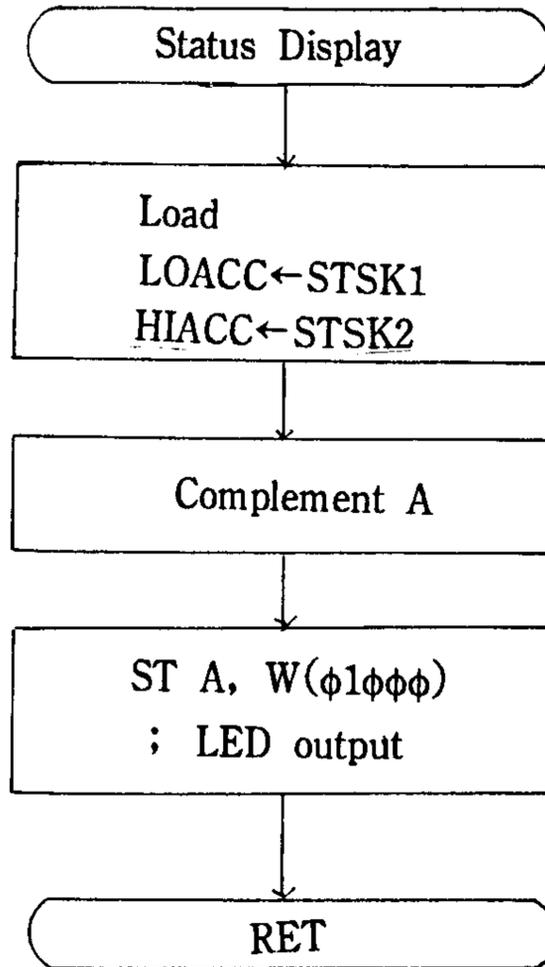
Numeric processor는 Main processor에 data를 전송할 때 interrupt를 걸어 전송할 data가 있음을 알려준다.

M.processor는 interrupt service로 data를 Recieve하여 memory에 store한다.



11) controller status display routine

이 routine controller의 operation status를 check하여 전면판에 부착된 LED를 ON 시켜주는 routine이다.



## 제 3 장 제어 알고리즘

### 제 1 절 개 요

적용제어기는 지난 십여년동안 제어공학을 연구하는 사람들의 주된 관심분야 중 하나였다. 대부분 산업공정이 완벽하게 알려지지 않고, 시간에 따라 변화하기 때문에 적용제어기에 대한 관심이 증대되어 왔으며 매우 다양한 기법들이 제시되었다. 그러나, 제시된 대부분의 기법들은 시스템의 차수, 지연시간, 계수의 초기치 및 한계치등에 대한 임의의 가정에 기초한것이다. 실제 경험과 전산시뮬 결과 이러한 가정이 만족하지 않고, 만족하더라도 종종 불안정한 결과를 보인다. 또한, 이러한 기법들이 점근적으로 안정화 되더라도 종종 Bursting 현상이 나타난다.

이와 관련하여 건설한 적용제어기 개발에 대한 연구가 집중되었으며 초기 결과들이 요약되어 발표되었다. 건설한 적용제어기에 대한 또다른 접근법이 최근에 여러 사람들에 의하여 발표되고 있는데, 수학적인 증명을 찾는 대신에 인공지능(Artificial Intelligence : AI)으로 해결하려는 연구가 진행되어 여러 전문가제어 기법들이 발표되었다. 그 내용을 유형별로 분류하면 Astrom & Arzen 등에 의한 기법으로 PID 제어기의 수행에 Heuristic논리를 도입하여 단일 페루프 시스템으로의 전문가 시스템을 개발하였고, Sri-pada 등은 AI와 Fuzzy논리를 결합한 기법을 제시하였다. 또한, Jiang, Lin과 Gertler등은 제어 시스템을 Supervision, Performance Monitoring, Basic Control의 계층구조로 구성하여 모든 의사 결정과 시스템 구성 및 Failure 탐지를 Supervision에서 수행하고, 전체 시스템의 데이터 획득 및 성능지수 감시등을 Performance Monitor에서 수행하였으며 종래의 Basic Control로는 기존 PID 제어기나 적용제어기를 사용하도록 구성하는 전문가 제어기를 제안하여 실시간 시스템에 적용하였다.

본 사업에서는 Gertler등에 의하여 제시된 기법을 채택하였다. Basic Control로는 PID 제어기와 LRPC(Long-Range Predictive Control)로 구성하였고, Performance Monitor로는 시스템인식과 Detuner로 나뉘어 각종 이론과 경험에 의한 규칙으로 구성되었다. Supervisor는 전반적인 제어시스템의 안정도와 수행되어야할 제어기를 선정한다. 전산시뮬을 통해서 제시된 방법의 견실성과 우수성을 보였으며, 산업공정에 범용으로 사용할 수 있으리라 사료된다.

## 제 2 절 시스템 구조

감독기능을 갖는 적응제어 시스템 구조는 J.Gertler에 의하여 제시된 그림 3-1과 같은 형태를 취한다.

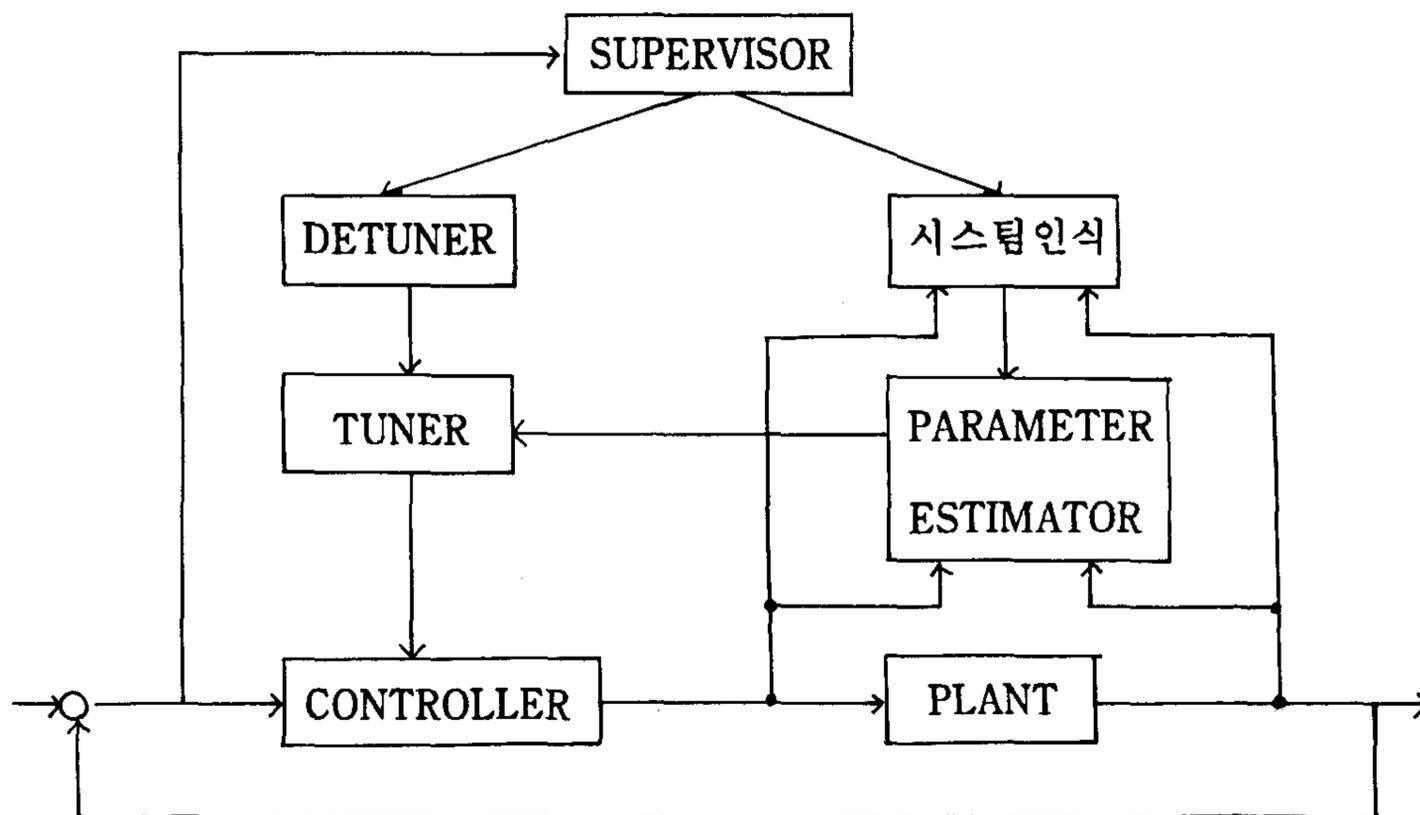


그림 3-1 감독기능을 갖는 적응제어기 구성도

그림 3-1에서 플랜트와 제어기는 근본 제어루프를 형성한다. 본 사업에서는 제어기로 PID와 LRPC를 택하였다. TUNER와 PARAMETER ESTIMATOR는 일반 적응제어층으로, TUNER는 한계감도 및 한계주기를 이용한 PID 제어계수와 확정된 Horizon 내에서 LRPC 제어기 계수를 정한다. 또한, PARAMETER ESTIMATOR는 RLS(Recursive Least Square)기법을 선정하였고, 확정된 모델의 계수를 추정한다. SUPERVISOR, 시스템 인식, DETUNER는 전문가층을 형성한다.

SUPERVISOR의 기능은 시스템이 불안정한가 또는 불안정 국면으로 진행중인가와 수행되어야 할 기능을 선정한다. 만약, 불안정한 상황이 감지되면 수행되어야 할 제어기로서 PID제어기로 전환하고 시스템인식을 구동하여 가장 안정한 제어계수로 동조한다. 시스템인식은 Astrom과 Hagglund에 의하여 제시된 Relay제어에 의하여 자동으로 한계감도와 한계주기를 구한다. DETUNER는 시스템인식에서 얻어진 한계감도와 한계주기를 이용하여 지연시간, 최대 예측스텝( $N_p$ )와 Weighting Factor( $\lambda$ )를 구하고 이에 따른 LRPC제어기 설계가 일어나며 시스템은 정상상태로 돌아온다. 만약 새로운 제어기 설계가 불안하면 위 과정을 계속하여 반복한다.

### 제 3 절 LRPC

플랜트에 적용되는 제어기의 자동동조는 생산성과 양질의 제품을 위하여 필요 불가분의 것이며, 첫번째 시도가 PID제어기에 대하여 시행되었고 주로 단순한 1, 2차의 스텝 응답이나 Reaction-Curve로부터 기초하거나 Ziegler-Nichols 방법에 의하여 동조값을 구하였다. 그러나, 이러한 근본 PID제어기는 지연시간이 크거나 Feedforward계, 다변수계에는 비효과적이다.

1973년 경부터 시작된 자기동조 제어연구는 좀더 복잡한 제어기를 동조하고자 한 것이었다. 특히, 지연시간이 큰 시스템의 최적제어가 목표였다. 그래서 Minimum Varia-

nance, Smith Predictor, Model following 등의 이론이 병합되어 GMV (Generalized Minimum Variance) 이론이 Clarke와 Gawthrop(75,79)에 의하여 제시되었고, Wellstead(79)에 의하여 극점배치(PP)기법이 발표되어 곧 산업계에 적용 되었다. 이들 알고리즘의 공통적인 요인은 다음과 같은 CARMA 모델에 있다.

$$A(q-1) y(t) = B(q-1) u(t-d) + C(q-1) \xi(t) \dots\dots\dots (3.1)$$

$$\text{단, } A(q-1) = 1 + a_1 q^{-1} + \dots + a_{n_A} q^{-n_A}$$

$$B(q-1) = b_1 + b_2 q^{-1} + \dots + b_{n_B} q^{-n_B}$$

$$C(q-1) = 1 + c_1 q^{-1} + \dots + c_{n_C} q^{-n_C}$$

위 두 방법은 대체적으로 임의의 조건에서 잘 동작 하였으나 극점배치 방법은 모델의 차수에, GMV 방법은 미리 선정된 지연시간에 민감함을 보였다.

따라서, 이들 장단점을 보완한 GMV/PP제어기 즉, LRPC 제어가 출현하였다. LRPC는 일반적인 플랜트에 범용으로 적용하고자 하였으며, 플랜트에 대한 사전지식이 없어도 만족스러운 결과를 얻을 수 있음을 보였다. 본 장에서는 Clarke, Mohtadi와 Tuff등에 의하여 제시되었던 기법을 요약 서술하고자 한다.

(가) Model과 LRPC

모델의 목적은 좋은 예측이 이루어지고, 현재와 미래의 제어 효과가 최적이 되도록 Plant의 행위를 결정하는 것이다. 따라서 정확한 제어기의 구조를 얻기 위하여 외란에 대한 적절한 표현을 포함하여야 한다.

PID제어가 범용성을 갖는 이유는 Deterministic이나 Stochastic한 프로세스에 대한 부하외란의 IM (Internal Model)이 바로 I term이기 때문이다. 이러한 상황을 염두에 두고, LRPC에 의하여 채택된 모델은 CARIMA < Controlled Auto Regressive and Moving Average > 형태 즉, 식(3.2)와 같다.

$$A(q-1) y(t) = B(q-1) u(t-d) + C(q-1) \xi(t) / \Delta \dots\dots\dots (3.2)$$

$$\text{단, } A(q-1) = 1 + a_1 q^{-1} + \dots + a_{n_A} q^{-n_A}$$

$$B(q-1) = b_1 + b_2 q^{-1} + \dots + b_{n_B} q^{-n_B}$$

$$C(q-1) = 1 + c_1 q^{-1} + \dots + c_{n_C} q^{-n_C}$$

여기에서 논의를 간단히 하기 위하여  $C(q-1) = 1$ 로 선정하였으며, 지연시간  $d$ 는  $B(q-1)$ 항에 포함되고,  $(d-1)$ 선행요소가 0이 되도록 한다. 또한 지연시간이 변하는 시스템은  $B(q-1)$ 의 Size를 조정함으로써 다룰 수 있다. 식(3.2)에 기초하여  $j$ 스텝 이전의 예측자  $y(t+j)$ 를 유도하려면 다음과 같은 Diophantine 방정식을 해결 하여야 한다.

$$E_j(q-1) A(q-1) \Delta + q^{-j} F_j(q-1) = 1 \dots\dots\dots (3.3)$$

매 Horizon  $j$ 에 대하여 식(3.3)를 푸는 것은 계산량이 많을 뿐만 아니라 시간이 많이 소요됨으로 Clarke & Mohtadi에 의하여  $E_j(q-1)$ 와  $F_j(p-1)$ 를 Recursive하게 구하는 방법이 제시되었다. 즉,  $E = E_j$ ,  $R = E_{(j+1)}$ ,  $F = F_j$ ,  $S = F_{(j+1)}$ 이라 하면은  $R$ 과  $S$ 을  $E$ 와  $F$ 로 부터 유도 되도록 한다. 먼저, 다음과 같은 두개의 Diophantine 방정식을 생각하여 보자. ( 단,  $\tilde{A} = A\Delta$  )

$$E\tilde{A} + q^{-j} F = 1 \dots\dots\dots (3.4)$$

$$R\tilde{A} + q^{-(j+1)} S = 1 \dots\dots\dots (3.5)$$

식(3.5)에서 식(3.4)를 빼면

$$\tilde{A}(R-E) + q^{-j} (q-1 S - F) = 0 \dots\dots\dots (3.6)$$

여기에서 다항식  $R-E$ 은  $j$ 차 이고 다음과 같이 표시할 수 있다.

$$R-E = \tilde{R} + r_j q^{-j} \dots\dots\dots (3.7)$$

식(3.7)을 식(3.6)에 대입하면 다음과 같이 표시할 수 있다.

$$\tilde{A}\tilde{R} + q^{-j}(q-1 S - F + \tilde{A} r_j) = 0$$

따라서  $\hat{R}=0$ ,  $S=q(F-\hat{A} r_j)$ 이다.

즉,  $R=E+q-j r_j$

$S=q(F-\hat{A} r_j)$ 이고  $r_j=f_0$ 이다.

또한, 초기치는  $j=1$ 일때 이므로

$E_1\hat{A}+q-1 F_1=1$ 에서  $E_1=1$ ,  $F_1=q(1-\hat{A})$ 이다.

지금까지 유도된 Diophantine 방정식을  $G_j=E_j B$ 라 하고 도표화하면 표3.1과 같다.

표3.1 j스텝 이전 예측자의 Recursive한 해

1. 초기값 ( $j=1$ )

$G_1=B, F_1=q(1-\hat{A})$

2.  $j=1, \dots, N_p-1$ 까지

$F_j$ 은

$f_{i-1}^j = f_i^j - f_0^j \alpha_i, i \in \{1, n\}$

$f_{n_A}^j = -f_0^j \alpha_i$

$G_j$ 은

$G_i^{j+1} = G_i^j + f_0^j b_{i-j}, i \in \{0, j+n_A\}$

단,  $b_{i-j}=0, i < j$

식(3.2)에  $E_j \Delta q$ 를 곱하면 식(3.8)과 같다.

$E_j A \Delta y(t+j) = E_j B \Delta u(t+j-1) + E_j \xi(t+j) \dots \dots \dots (3.8)$

식(3.8)에 식(3.3)을 대입하고  $G_j = E_j B$ 라 하면은 식(3.9)을 유도할 수 있다.

$y(t+j) = G_j \Delta u(t+j-1) + F_j y(t) + E_j \xi(t) \dots \dots \dots (3.9)$

따라서 최적예측자  $\hat{y}(t+j)$ 는 식(3.10)과 같이 표시된다.

$\hat{y}(t+j) = G_j \Delta u(t+j-1) + F_j y(t) \dots \dots \dots (3.10)$

GMV자기동조 개발에 있어서는 지연시간이 d 값이라 추정되었을 때 단지 하나의  $\hat{y}(t+d)$  만 예측하였으나 LRPC에서는 j의 최소값에서 최대값까지 예측하여 예측 Horizon을 구성한다.

(나) 제어법칙

식(3.10)에서  $G_j$ 가 다음식(3.11)과 같이 표현되므로

$$G_j = g_0^j + g_1^j q^{-1} + \dots + g_{N_p-1}^j q^{-(N_p-1)} \dots \dots \dots (3.11)$$

이를 식(3.10)에 대입하여 각각의 예측값  $\hat{y}(t+j)$ 을 풀어 나열하면 다음과 같다

$$\begin{aligned} \hat{y}(t+1) &= g_0^1 \Delta u(t) + [G_1 - g_0^1] \Delta u(t) + F_1 y(t) \\ \hat{y}(t+2) &= g_0^2 \Delta u(t+1) + g_1^2 \Delta u(t) + [G_2 - g_1^2 q^{-1} - g_0^2] \Delta u(t+1) + F_2 y(t) \\ \hat{y}(t+N_p) &= g_0^{N_p} \Delta u(t+N_p-1) + g_1^{N_p} \Delta u(t+N_p-2) + \dots + g_{N_p-1}^{N_p} \Delta u(t) \\ &\quad + [G_{N_p} - g_{N_p-1}^{N_p} q^{-(N_p-1)} - \dots - g_0^{N_p}] \Delta u(t+N_p-1) + F_{N_p} y(t) \end{aligned}$$

위 식을 면밀히 관찰하여 보면  $\hat{y}(t+j)$ 은 이미 알고 있는 제어신호와 예측되어야 할 미래 제어신호로 구성된다. 따라서 식(3.11)를 다음과 같이 표시할 수 있다.

$$\hat{y} = G\hat{u} + f \dots \dots \dots (3.12)$$

$$\text{단, } \hat{y} = [\hat{y}(t+1), \hat{y}(t+2), \dots, \hat{y}(t+N_p)]$$

$$\hat{u} = [\Delta u(t), \Delta u(t+1), \dots, \Delta u(t+N_p-1)]$$

$$f = [f(t+1), f(t+2), \dots, f(t+N_p)]$$

$$f(t+1) = [G_1 - g_0^1] \Delta u(t) + F_1 y(t) \dots$$

$$G = \begin{bmatrix} g_0^1 & 0 & \dots & 0 \\ g_1^2 & g_0^2 & & \cdot \\ \cdot & & & \cdot \\ \cdot & & & g_0^{N_p-1} \\ g_{N_p-1}^{N_p} & g_{N_p-2}^{N_p} & & g_0^{N_p} \end{bmatrix}$$

제어기를 구성하기 위하여 비용함수를 다음과 같이 선정한다.

$$J(Nl, Np, Nu, \lambda) = \sum_{Nl}^{Np} (\hat{y} - w)^2 + \lambda \sum_1^{Nu} \hat{u}^2$$

단,  $Nl$  ; 최소예측시간

$Np$  ; 최대예측시간

$Nu$  ; 제어 Horizon

$\lambda$  ; Weighting Factor

$w$  ; 설정값

비용함수를 최소화하는 제어신호  $\hat{u}$ 은 다음 식(5.13)과 같다.

$$\hat{u} = (G^T G + \lambda I)^{-1} G^T (w - f) \dots \dots \dots (3.13)$$

여기에서 제어신호  $u(t)$ 는  $\hat{u}$ 의 첫번째 요소  $\Delta u(t)$ 만을 취하면 된다.

LRPC기법의 시뮬레이션 결과  $Np, Nu, \lambda$ 에 따라 특성이 다르며 특히  $\lambda$ 값 선정에 따라 특성이 크게 좌우된다.

## 제 4 절 감독기능

### (가) SUPERVISOR

시스템 감지자의 목적은 전체 시스템이 불안정한 상태로 가고 있는가를 감지하는 것이다. 이런 기능의 적절한 수행은 극한 입출력값이 실제로 발생하기 이전에 감지되어야 한다. 특히 어려운 점은 급격한 불안정 상태를 어떤 과도현상이나 Noise 영향과 구분하는데 있다.

몇가지의 경험지식(Heuristic)에 의한 불안정 판별방법이 과거에 많이 제시 되었다. 즉, Russel & Malcalm은 Square 설정값에 대한 Square error 비로, Nessler은 출력의

절대값에 대한 출력의 평균치로, Gertler와 Chang은 출력의 절대 값에 대한 두개의 다른 시간축의 Filter를 적용하여 불안정 상태를 판별하였다.

본 사업에서 사용되는 안정도 지시기는 (Stability Indicator) 앞서 제시된 기법중에서 idea를 채택하였는데, 단순한 추정기법으로 결합하였다.

즉, 제어오차  $e(k)$ 의 평균값으로 다음과 같은 Moving Average Filter를 구성한다.

$$\hat{e}(k) = 1/N \sum_{i=1}^N |e(k-i)| \dots\dots\dots (3.14)$$

이것은 Rectifier와 Low-pass필터로 동작되고, 발진과 비발진 신호를 균일하게 Handling하며, Noise의 과도 효과를 감소시킨다. 필터된 값  $\hat{e}(k)$ 는 두 Threshold 값 ( $w1$ ,  $w2$ )과 비교되어, 시스템이 안정, 불안정 국면인가를 판별하도록한다.

즉,  $\hat{e}(k) \leq w1$ 이면 안정하고,  $\hat{e}(k) \geq w2$ 이면 불안정하다.

또한,  $w1 \leq \hat{e}(k) \leq w2$ 이면 그림 3-2에서와 같이 에러동향 분석이 수행된다.

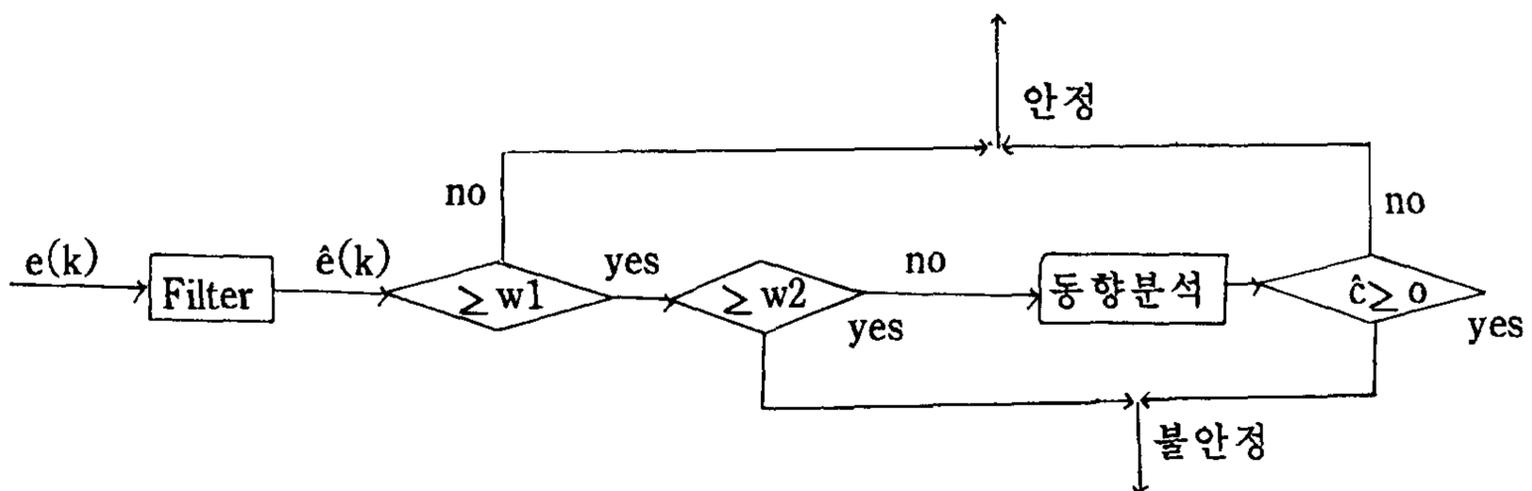


그림 3-2. 시스템의 안정도 판별도

Moving average 기법의 이득은 주파수에 의존하며, 어떤 주파수에서는 0이 된다. 또한, 필터된 출력에러  $\hat{e}(k)$ 는 발진을 갖을 수 있으며, 동향 분석중 불확실한 결정을 가져올 수도 있다. 동향분석은 필터된 출력에러  $\hat{e}(k+i)$ 의 임의의 구간에 대한 선행커브로부터 구해진다.

$$\hat{e}(k+i) = \hat{c} i + f \dots\dots\dots (3.15)$$

단,  $f_0 = \hat{e}(k)$

만약,  $\hat{c}$ 가 0보다 크면 시스템은 불안정 국면으로 진행중이다.

(나) 시스템인식

구조결정, 지연시간, 한계감도, 한계주기를 결정하기 위하여 Astrom & Hagglund에 의하여 제시된 Relay Control 기법을 채택하고자 한다. 이 기법의 기본 개념은 고주파에서 적어도  $\pi$ 의 위상지연을 갖는 시스템은 Relay Control하에서는 임의의 주기를 가지고 발진 한다는데 기초를 둔다. 한계감도와 주기를 결정하기 위하여 그림 3-3에서와 같이 프로세스는 Relay를 갖는 케환루프에 연결되었다.

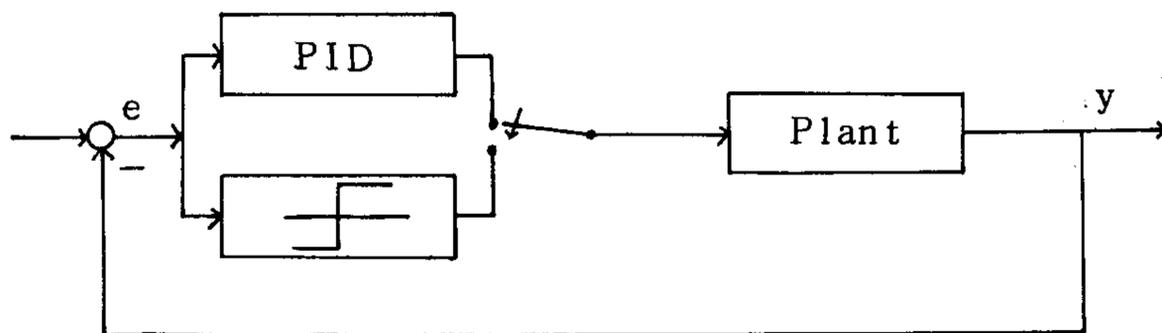


그림 3-3 . Relay 제어를 갖는 자기동조기

만약 relay 증폭이  $d$ , 출력신호의 증폭이  $a$ 라 하면은 한계감도와 주기는 다음과 같다.

$$\text{한계감도, } k_c = 4d/a$$

$$\text{한계주기, } t_c = 2\pi/wc$$

잡음이 있는 공정에서는 히스테리시스를 갖는 Relay control이 효과적이다. 한계감도와 주기를 결정 할 수 있는 자동적인 방법은 그림 3-4에서와 같이 주기는 Zero-crossing 사이의 시간을 측정하고 증폭은 출력의 Peak to peak 값을 측정 함으로써 얻어진다.

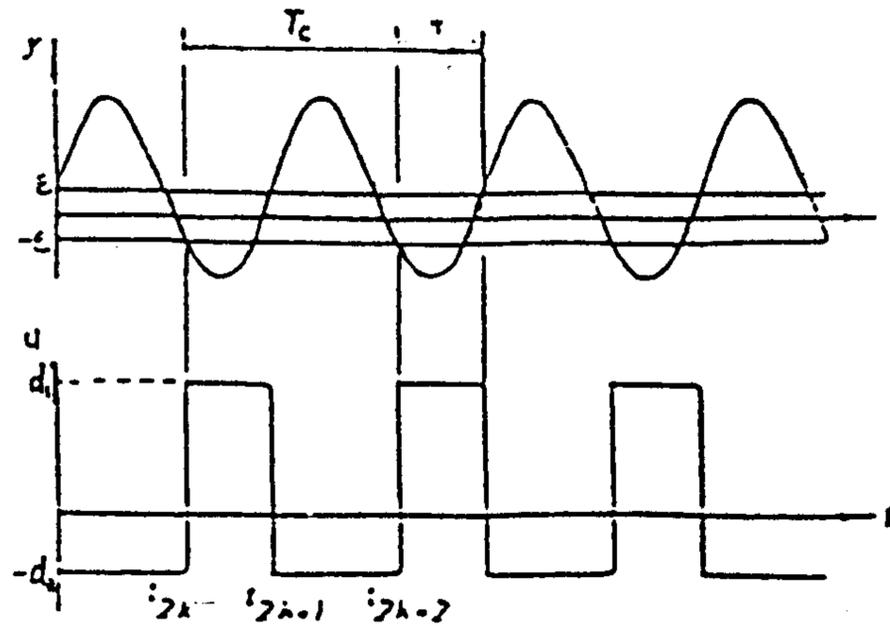


그림 3-4. Relay control의 입출력 신호

즉, 추정기법은 Counting과 Comparision에 의하여 이루어지며 수백 바이트로 프로그램 된다. 여기에서 Know-How는 Relay입력신호의 폭을 자동으로 결정하는 일이다.

#### (다) DETUNER

시스템의 불안정성은 플랜트의 구조적인 변화에 의하여 발생할 수 있다.

본 사업에서 접근법을 시스템 구조인식에서 한계감도와 주기가 구해지면 이를 이용하여 샘플링 주기와 LRPC에 이용될  $N_p$ ,  $N_u$ ,  $\lambda$ 를 결정한다. 샘플링 주기와  $N_p$ ,  $N_u$ 의 선정시 고려하여야 할 사항은 계산량과 안정도이다.

- 샘플링 주기

지연시간  $d$ 와 샘플링주기  $T_s$ 의 선정은 매우 중요하다. 이들 값들에 대한 한가지 추정법이 앞서 제시된 한계주기  $t_c$ 와 다음과 같은 실험적 관계가 있음을 Astrom과 Hagg-lund 의하여 제시되었다.

$$T_s \cdot d = t_c / 2$$

Start시에는 산업공정에 따라 통용되는 값 즉, 1963년 User Conference에 제시된 표 3-2에 의하여  $T_s$ 를 선정하고 시스템인식을 Run한다. 지연시간은 샘플링주기를 정한후 위 수식에 의하여 추정한다.

표 3-2. 산업공정에 따른 샘플링 주기 선정

산업 공정	샘플링 주기
Flow Loop	1 sec
Level, Pressure Loop	5 sec
Temperature Loop	15~20 sec

-  $N_p, N_u$ 의 선정

Default로  $N_p = 10, N_u = 1$ 로 선정한다. 단,  $N_p$ 는 항상 지연시간  $d$  보다 크도록 하고,  $N_p$ 가 10보다도 더 크면 샘플링 주기  $T_s$ 를 증가하고 시스템 인식을 다시 Run한다.

-  $\lambda$ 의 선정

많은 시뮬레이션 결과 LRPC 제어기는 한계감도가 큰 경우에는  $\lambda$ 값이 작아야, 작은 경우에는  $\lambda$ 값이 큰 값이어야 성능이 우수함을 알 수 있었다. 일반적 다음과 같은 한계감도와 관계식으로  $\lambda$ 를 선정할 때 모든 Plant에 대해 좋은 특성을 나타 냈다.

$$\lambda = 50 / kc^2$$

## 제 5 절 알고리즘 구성과 시뮬레이션

전체 Algorithm의 구성은 그림 3-5와 같다.

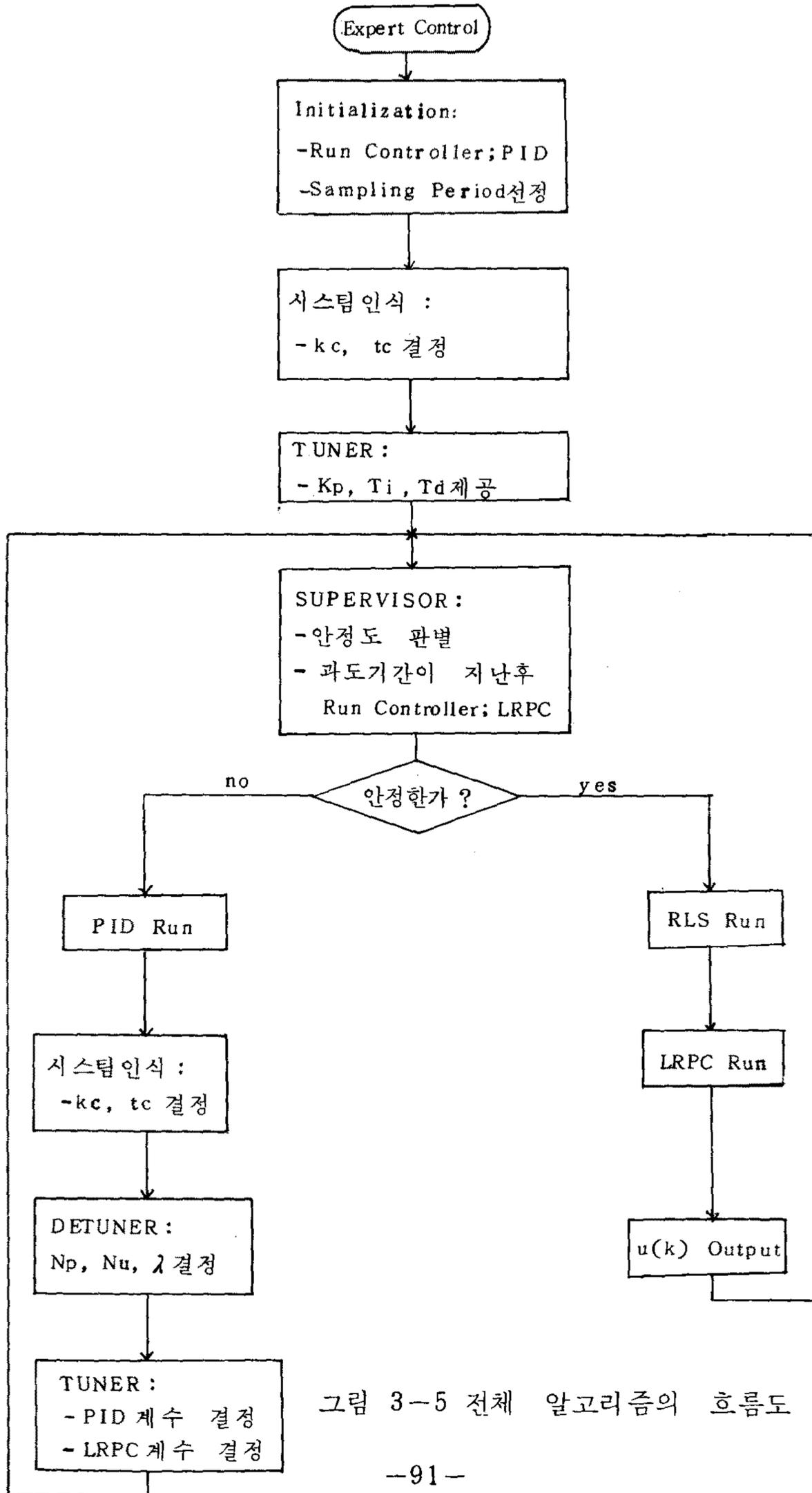


그림 3-5 전체 알고리즘의 흐름도

본 사업에서 제시된 기법을 다음과 같은 다양한 Plant 모델에 대하여 시뮬레이션 함으로써 비교 평가하고자 한다.

$$\text{모델 1: } G_p(s) = \frac{10(s+3) e^{-ds}}{(5s+1)(9s+1)}$$

$$\text{모델 2: } G_p(s) = \frac{e^{-ds}}{(5s+1)(3s+1)}$$

$$\text{모델 3: } G_p(s) = \frac{(-s+1) e^{-ds}}{(5s+1)(3s+1)}$$

$$\text{모델 4: } G_p(s) = \frac{100 e^{-ds}}{10s+1}$$

모델 1, 4은 이득이 크고 한계감도가 작은 시스템으로서 임의의 특성을 가지고 있으며, 모델 2, 3은 이득이 1이고 한계감도가 큰 시스템이다. 특히, 모델 3은 Nonminimum Phase 시스템이다.

LRPC 제어기의 일반적인 특성을 실험하기 위하여 먼저 위 모델에 대하여 샘플링 주기를 1 sec로 선정하고, Variance가 설정값의 5% 크기인 Zero Mean White Noise를 시스템에 인가한다. 설정값으로 구형파를 선정하였다. 그림 3-6은 각각의 모델에 대하여  $N_p=5$ ,  $N_u=1$ ,  $\lambda = 0.3$ 으로 하고, 지연시간이 350 스텝 순간에 1초에서 4초로 변할 경우의 응답으로서, 그림에서 보듯이 지연시간이 변한후 출력이 발진함을 알 수 있다.

그림 3-7은  $N_p=5$ ,  $N_u=5$ ,  $\lambda = 0.3$ 으로  $N_u$  값만 변화하여 앞의 경우와 같은 환경에 대하여 수행하였다. 본 결과에서도 특별한 성능 개선이 없음을 알 수 있었으며, 계산량이 증가하였다.

그림 3-8, 3-9는 각각  $N_p=5$ ,  $N_n=1$ ,  $\lambda = 30$ 과  $N_p=5$ ,  $N_u=1$ ,  $\lambda = 300$ 으로 선정하였을 때 앞서와 같은 환경에서의 응답 곡선으로서 각 시스템 특성에 따라 Weighting Factor  $\lambda$ 가 적절히 선정만 되면은 경우에 따라 좋은 성능을 나타낼 수 있음을 알 수 있다. 그림 3-10은 본 사업에서 제시한 경험지식 규칙에 의하여 Weightingfactor를

선정하여 설계된 제어기에 의한 응답으로서 다른 각각의 모델에 대하여 시스템인식을 동작시켜 Wegthing factor를 구하고, 이 값에 의하여 LRPC를 설계하면 매우 좋은 특성을 나타냄을 보였다.

그림 3-11은 본 사업에서 구성한 감독자 적응제어기를 500스텝 순간에 지연시간이  $N_p$ 보다 큰 8초로 변하여 불안정이 발생하는 모델 2에 적용한 출력으로, 그림에서 보듯이 에러가 허용값을 초과하는 순간에 PID 제어기로 전환되고 시스템인식이 작동되어 새로운 LRPC 제어기가 설계된후 복구된다. 이 결과 불안정한 공정에서도 견실성을 보였다.

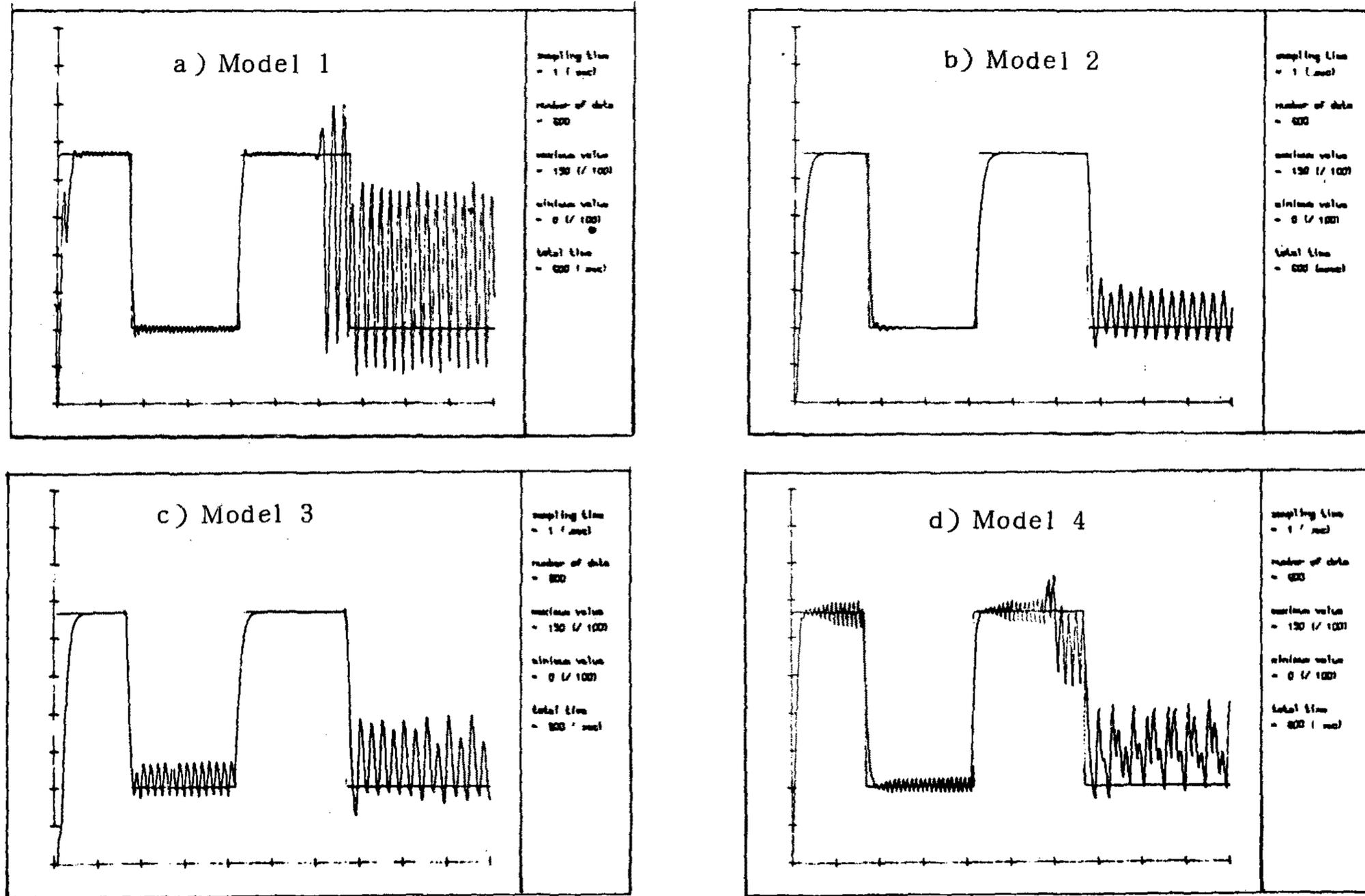


그림 3-6  $N_p=5$ ,  $N_u=1$ ,  $\lambda=0.3$ 으로 설계한 LRPC제어에 의한 출력파형

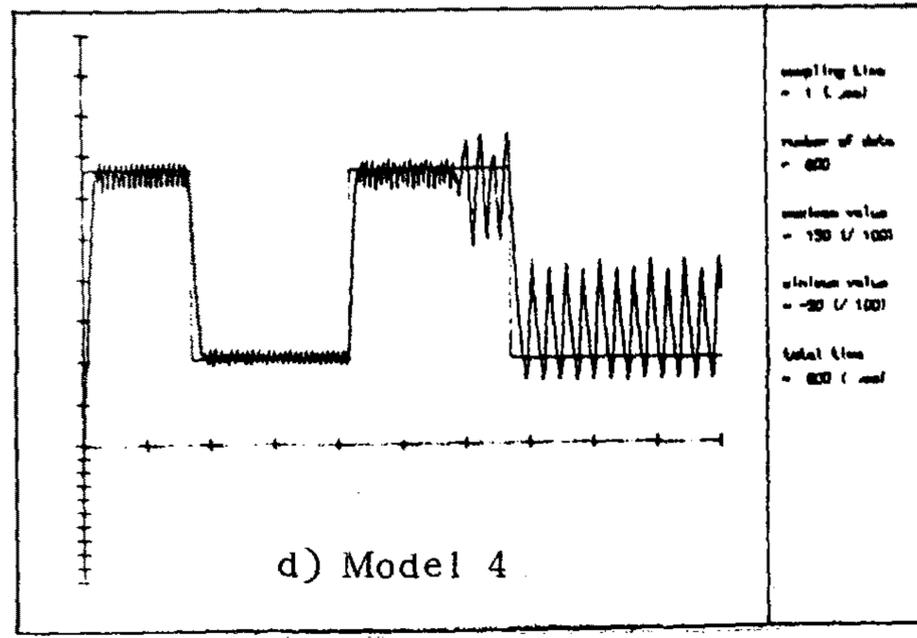
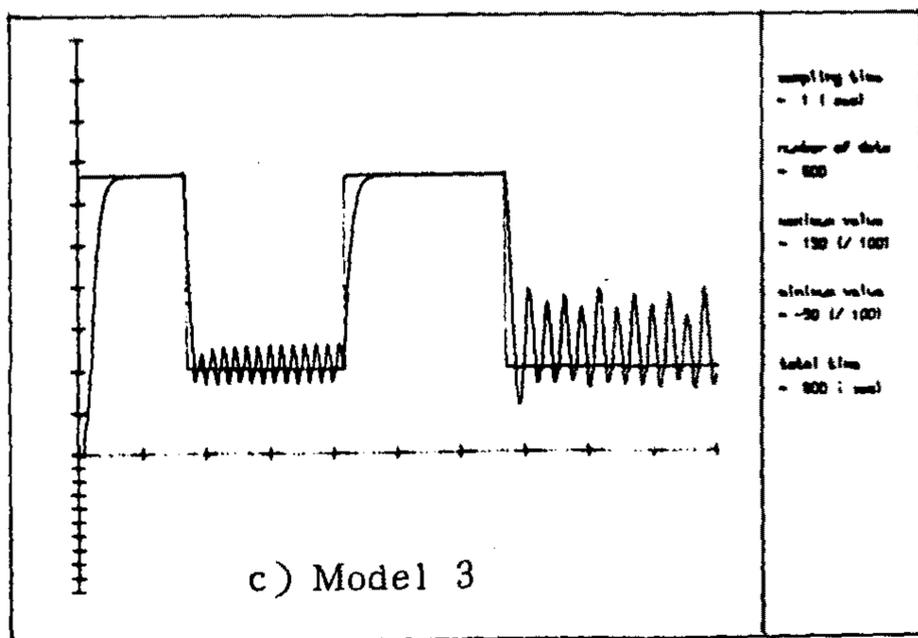
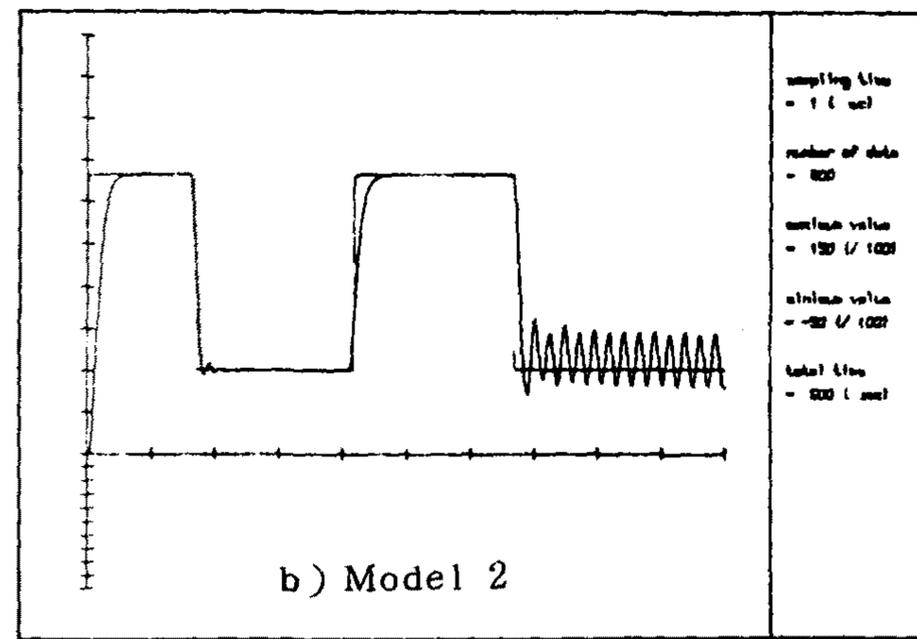
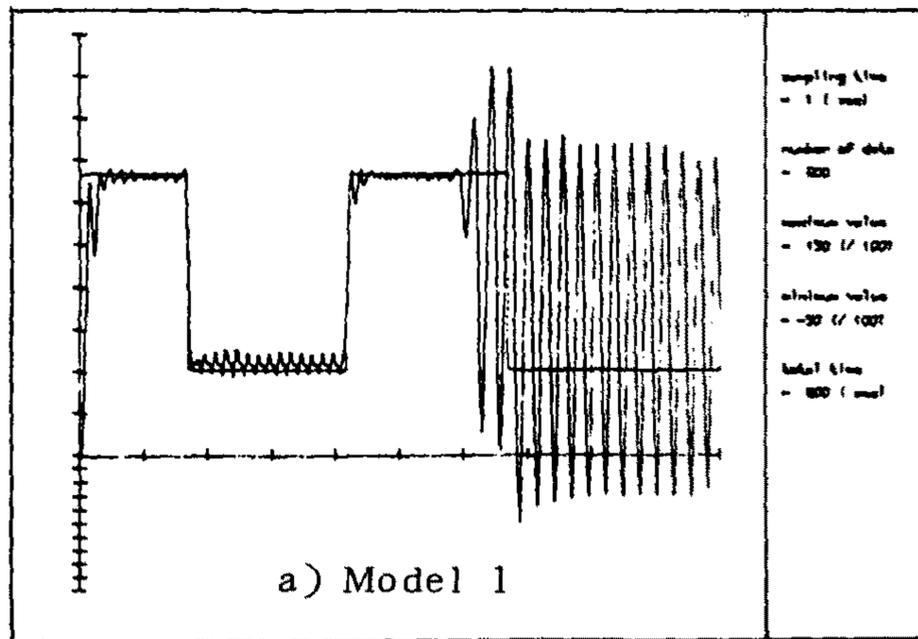


그림 3-7  $N_p=5$ ,  $N_u=5$ ,  $\lambda = 0.3$ 으로 설계한 LRPC제어에 의한 출력파형

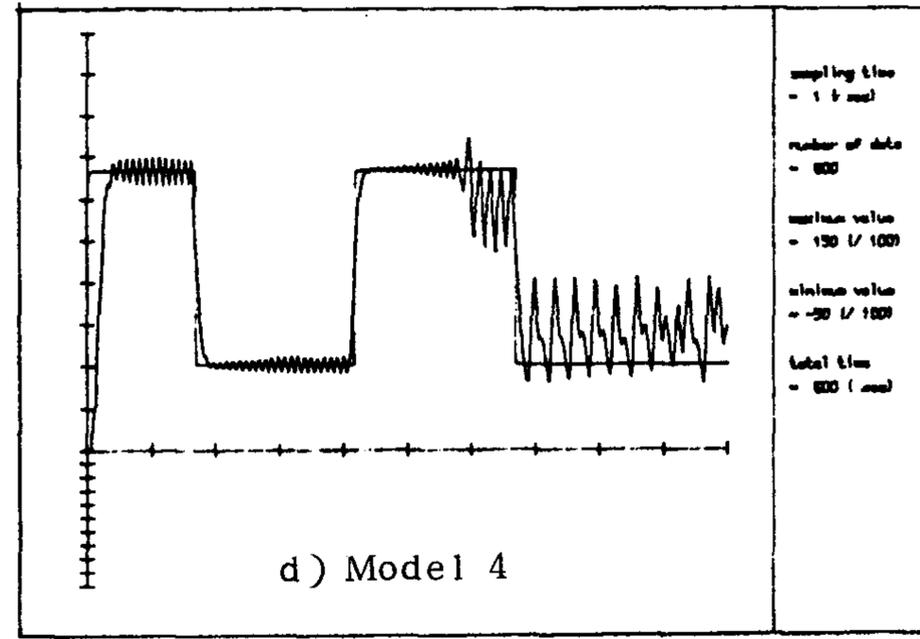
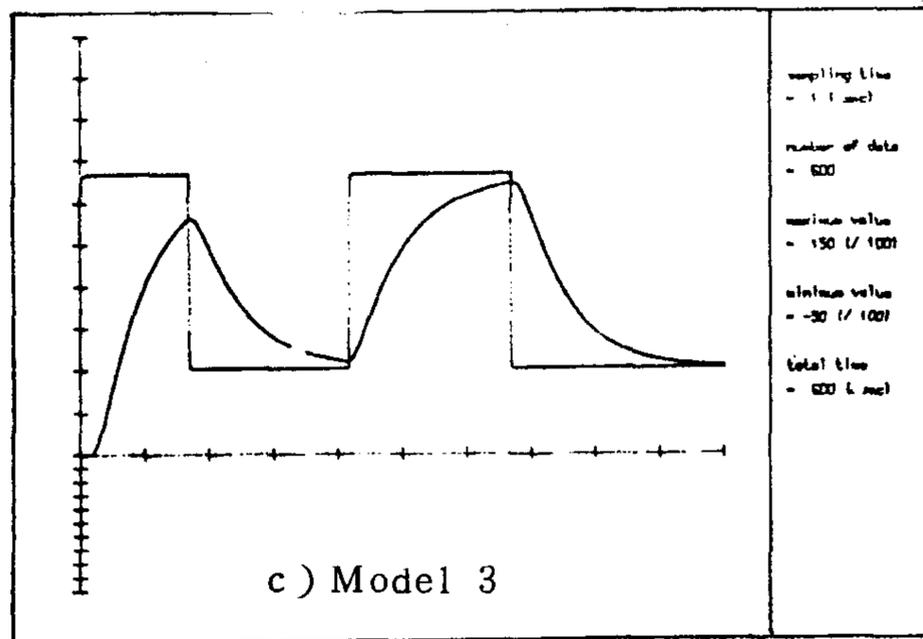
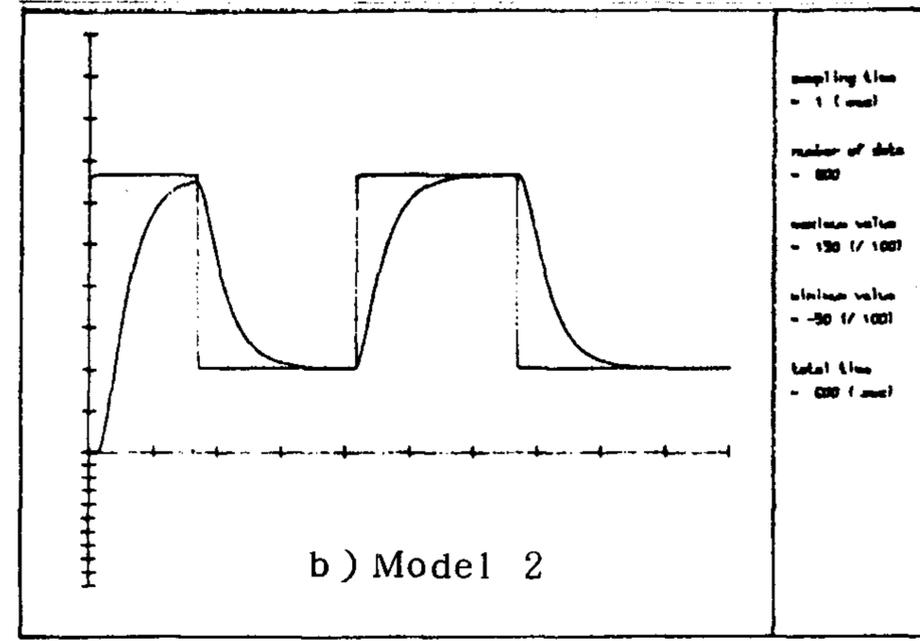
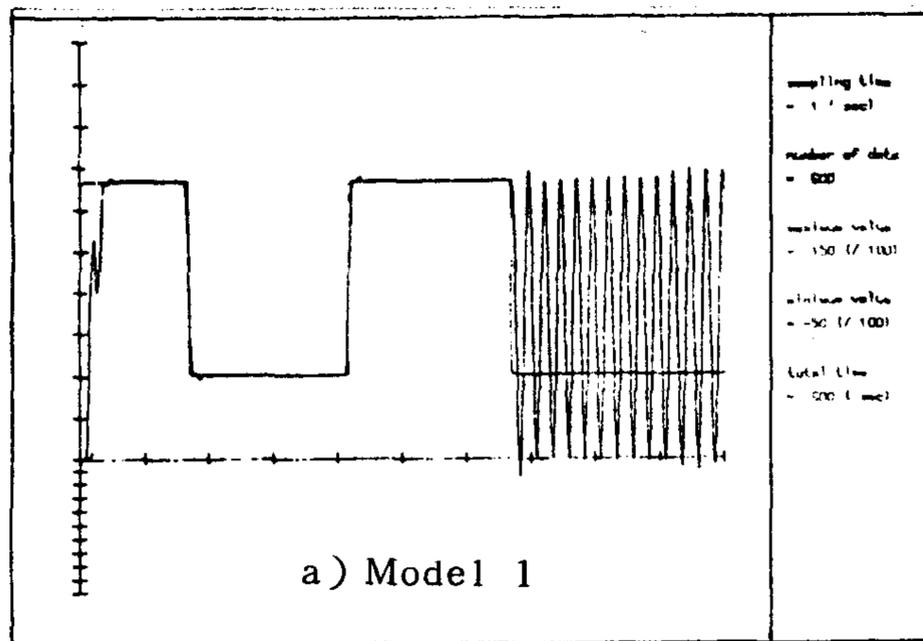


그림 3-8  $N_p=5$ ,  $N_u=1$ ,  $\lambda=30$ 으로 설계한 LRPC제어에 의한 출력파형

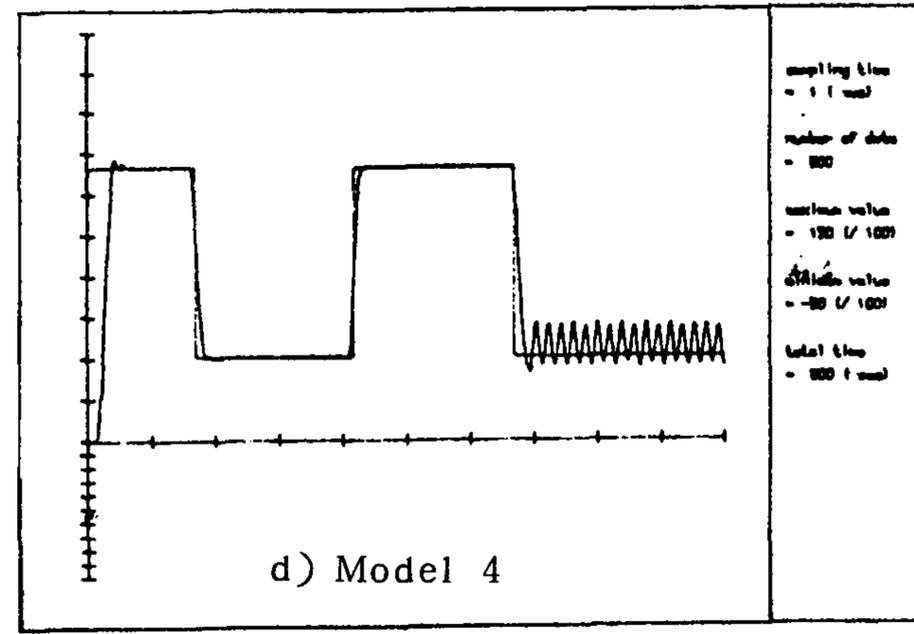
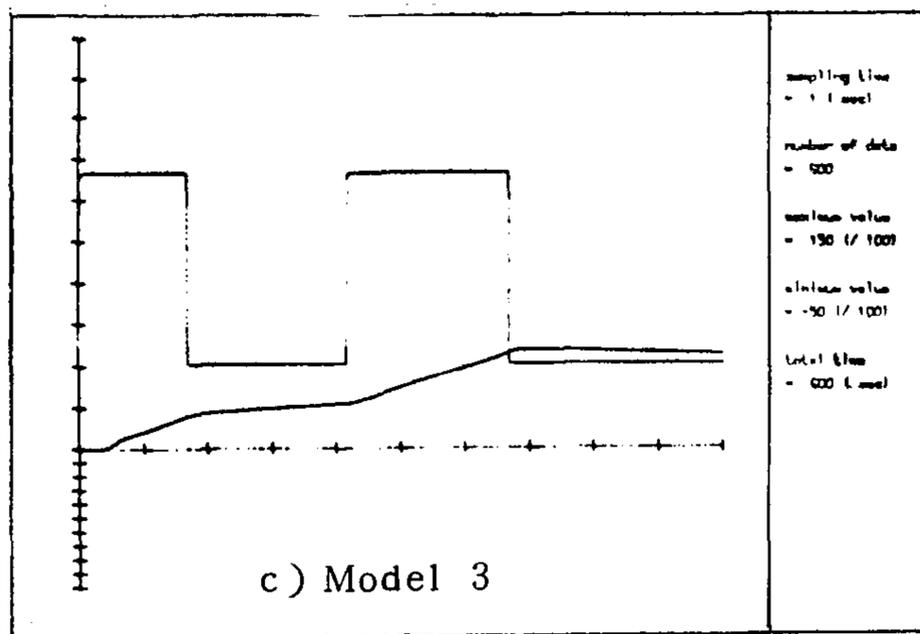
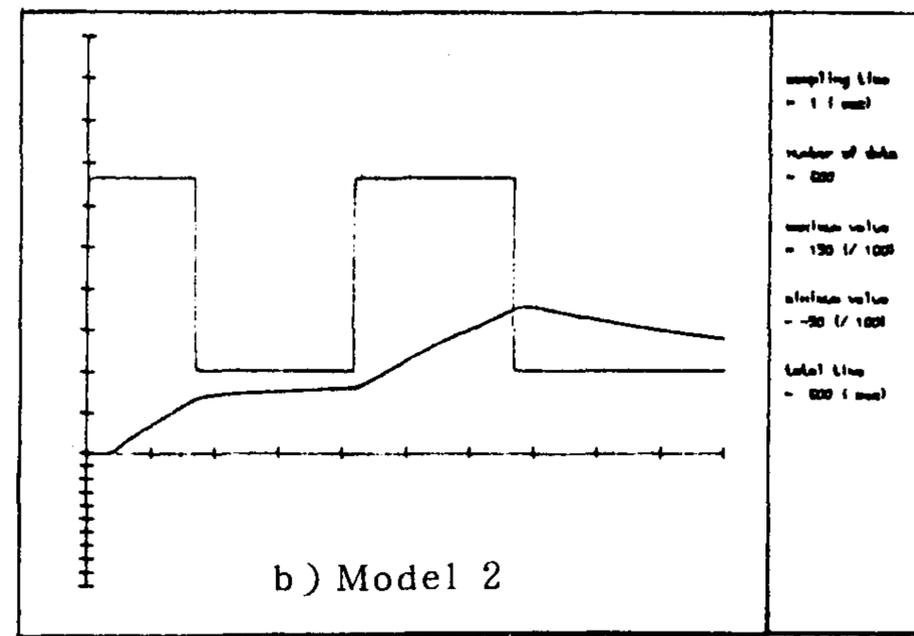
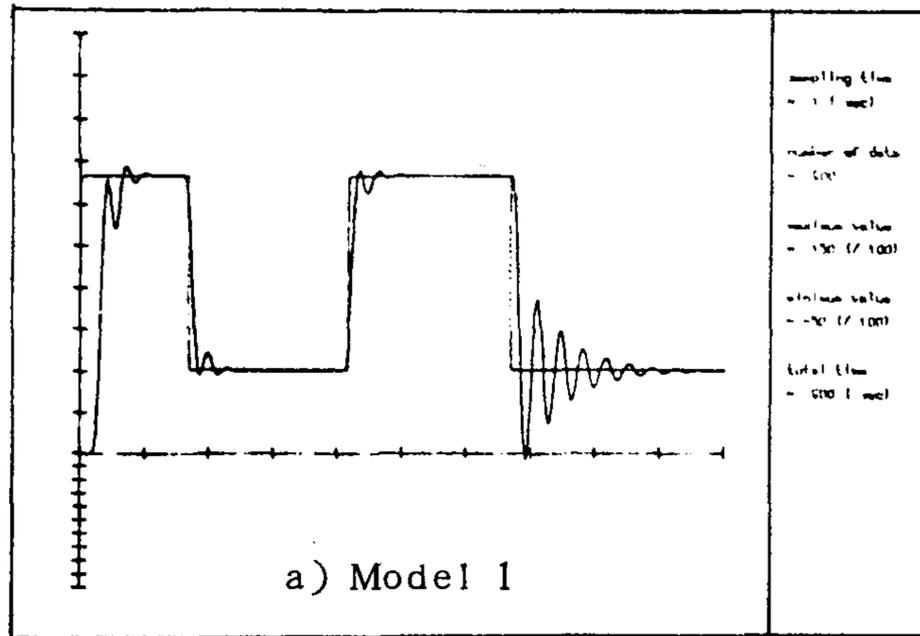


그림 3-9  $N_p=5$ ,  $N_u=1$ ,  $\lambda=300$ 으로 설계한 LRPC제어에 의한 출력파형

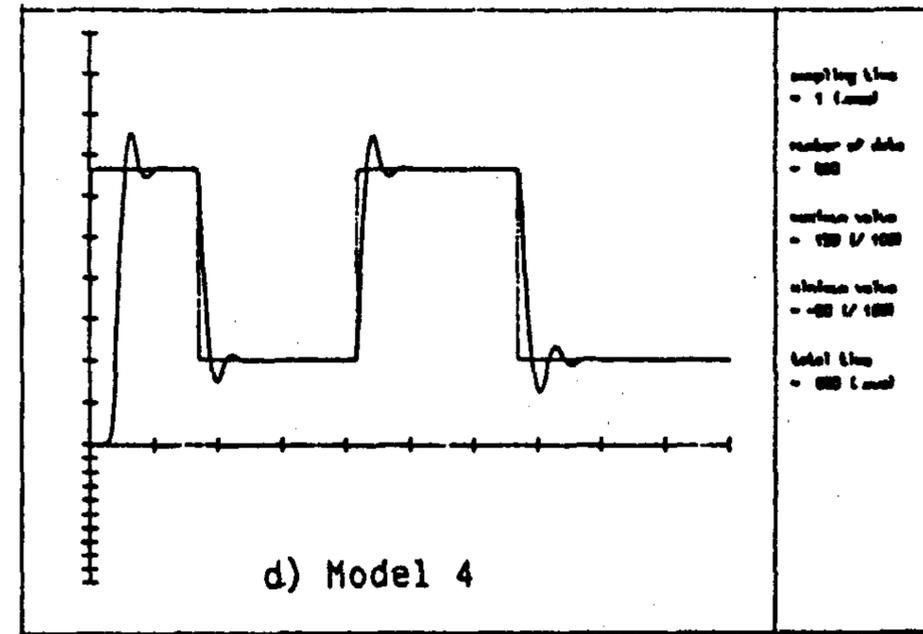
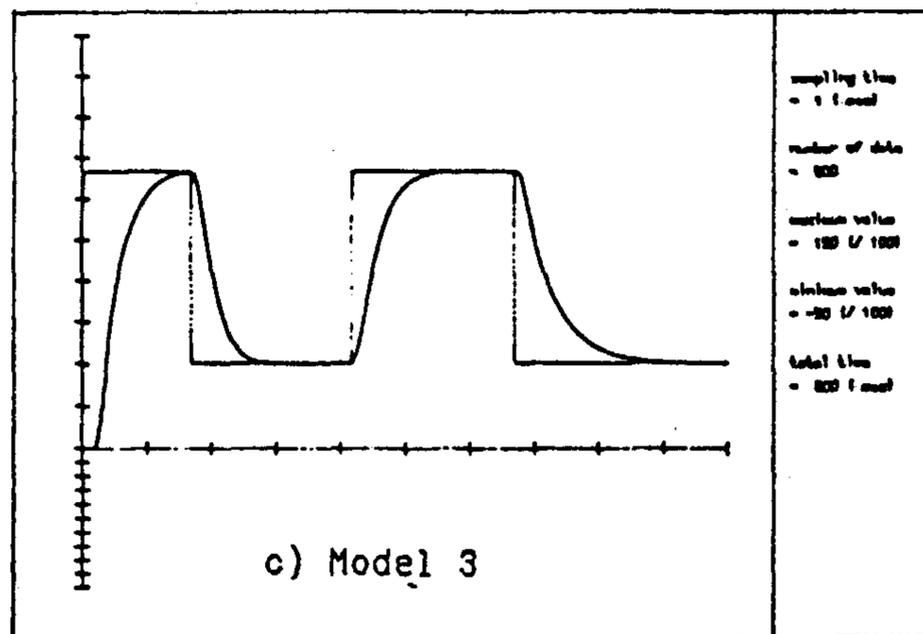
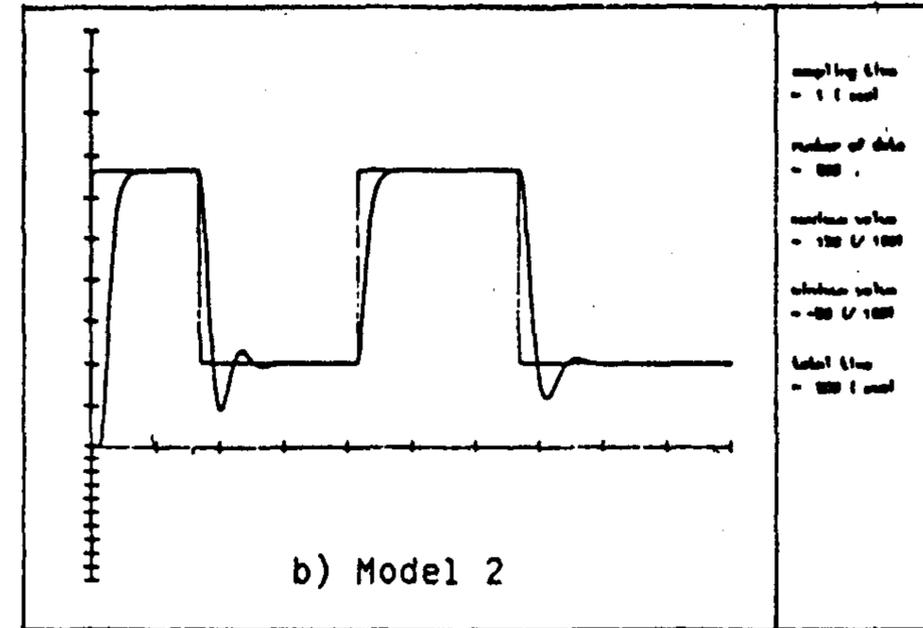
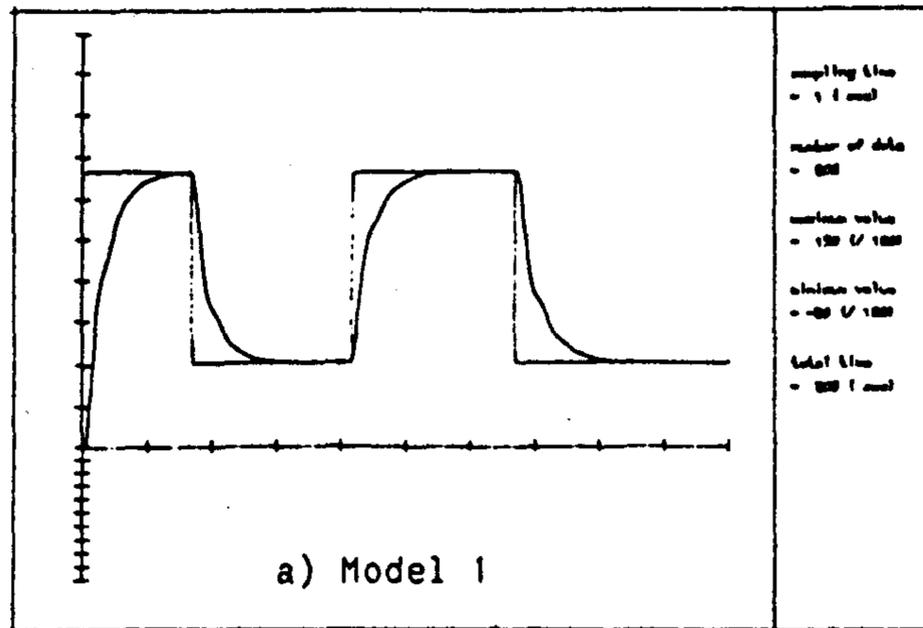


그림 3-10  $N_p=5$ ,  $N_u=1$ ,  $\lambda=50 / Kc^2$ 으로 설계한 LRPC제어에 의한 출력파형

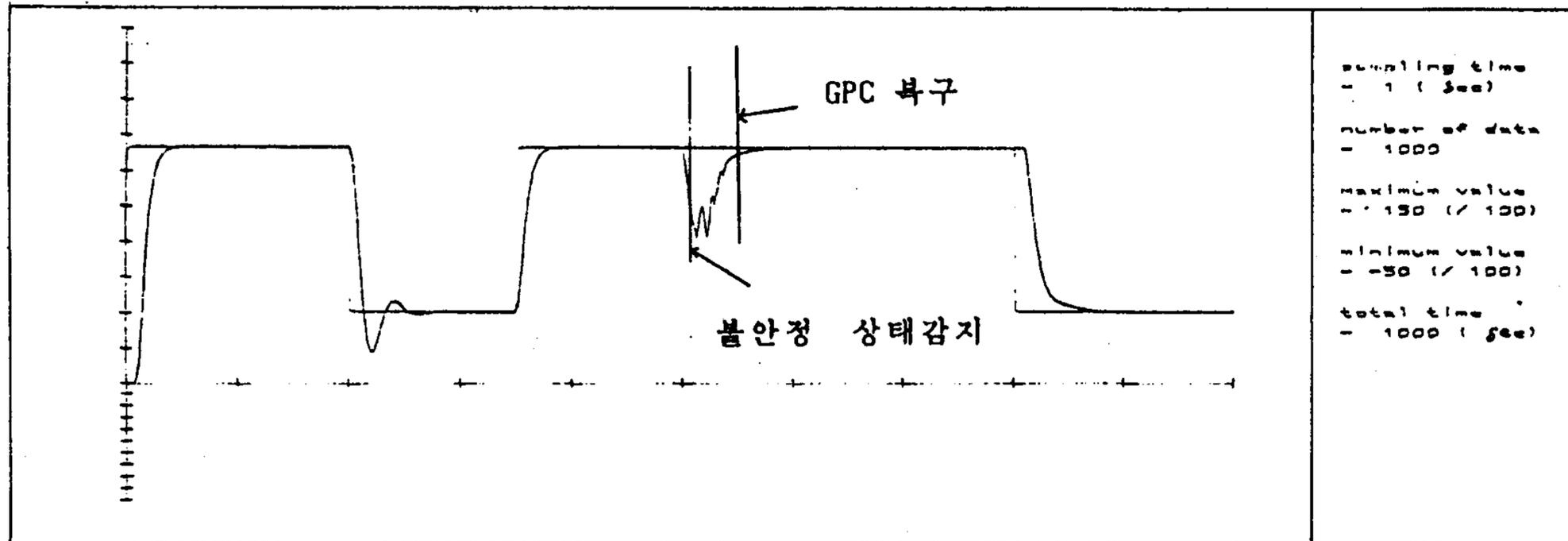


그림 3-11 감득기능을 갖는 적응제어에 의한 출력파형

## 제 4 장 결 론

본 연구는 공정자동화에 있어서 핵심기기중의 하나인 루프제어기의 성능을 향상시키고 국산화하는데 기본 목표가 있으며, 1차년도 ('86. 8~'87.8)에서 수행되었던 제어기의 구조설계, H/W 및 S/W의 설계, 제어알고리즘등의 조사 및 분석, 제어대상 공정의 분석등의 결과를 토대로 H/W설계의 수정, 보완 및 제작을 하고 Monitor 프로그램 및 응용 프로그램을

1. 제어 시스템의 조정시간 단축 및 Operator의 성력화
2. 조정 결과에 대한 개인차의 최소화
3. Proess Start-up의 신속화
4. Process의 동특성 변화(noise, load 변화등)에 대한 유연한 대처
5. Tuning이 어려운 Process(비선형 Process나 dead time 등이 큰 Process)의 제어 개선
6. 제어 특성의 개선 결과에 따른 오차의 최소화

등을 구현하였으며, 이를 이용하여 전체 시스템에 대한 Prototype을 제작하였다. 특히, key구성과 Configuration기능을 현장 Engineer의 전문지식을 요구하지 않도록 단순화하였으며, 제어 알고리즘은 기존에 널리 사용되고 있는 PID 제어 알고리즘을 기본으로 Pre-Tuning Mode 및 자기동조기능을 갖도록 하였다.

모든 공정에 일반적으로 적용할수 있는 LRPC 알고리즘을 변형하여 감독 기능에 의해 공정에서 요구되고 있는 성능이 만족되어지도록 Prototype을 제작하였다.

3차년도('88. 8~'89. 8)에는 지금까지 개발된 제어기 및 관련기술을 엄격한 기준을 토대로 선정된 업체에 기술 전수하고 충분한 현장 Test를 통하여 H/W기능 및 제어 알고리즘을 보강하여 상품화를 적극 추진할 예정이다. 이에따라 공정자동화의 핵심

기술인 Self-Tuning Controller의 국산화 실현으로 국내 공정자동화 추세에 박차를 가할것으로 전망되며 선진 고급제어 기술을 국내에 조기 정착 시킬것으로 기대된다.

차후에는 제어기의 기능이 현장 Engineer의 경험지식을 수용할수 있도록 Expert System 개념을 도입하는 방향으로 연구되어야 할것이다.

## 참 고 문 헌

1. Astrom, K. J., "Theory and Applications of Adaptive control—a Survey", *Automatica*, Vol. 19, No. 5, pp.471–487. September, 1983
2. Wittenmark, B. & Astrom, K. J., "Practical Issues in the Implementation of Self-Tuning Control", *Automatica*, Vol. 20, No. 5, pp.595–605, 1984
3. Isermann, R, & Lachmann, K. H., "Parameter-Adaptive Control with Configuration Aids and Supervision Function", *Automatica*, Vol. 21, pp.625–638, 1985
4. Kokotovic, P. V. & al., "On a Stability Criterion for Continuous Slow Adaptation", *System and Control Letters*, Vol. 6, pp.7–14, 1985.
5. Astrom, K. J., Anton, J. J. & Arzen, K. E., "Expert Control", *Automatica*, Vol. 22, No. 3, pp.277–286, 1986.
6. Sripada, N. R., Fisher, D. G. & Morris, A. J., "AI Applications for Process Regulation and Servo Control", *IEEE. proc.*, Vol. 134, July, 1987.
7. Jiang, J. & Dorasiswmi, R., "performance Monitoring in Expert Control Systems", *IFAC 10th. world cong. on Automatic Control*, 1987.
8. Lin, K. & Gertler, J., "An Intelligent Adaptive Scheme for Biomedical Control", *Proc. IEEE. Int. Sys. on Intelligent Control*, pp.375–385, 1987.
9. Astrom, K. J. & T. Hagglund, "Automatic Tuning of Simple Regulators with Specifications on Phase and Amplitude Margins", *Automatica*, Vol. 20, pp.645–651, 1984.
10. Cameron, F. & Seborg, D. E., "A Self-Tuning Controller with a PID Structure", *Int. J. Control*, Vol. 38, No. 2, pp.401–417, 1983.
11. Clarke, D. W. & Gawthrop, P. J., "Self-Tuning Control", *Proc. IEE*, Vol. 126, pp.633–640, 1979.

12. Wellstead, P. E. & Sanoff, S. P., "Extended Self-Tuning Algorithm", Int. J. Control, Vol. 34, pp.433-455, 1981.
13. Clarke, D. W., Mohtadi, C. & Tuffs, P. S., "Generalized Predictive Control-Part 1. The Basic Algorithms", Automatica, Vol. 23, No. 2, pp.137-148, 1987.
14. Clarke, D. W., "Application of Generalized Predictive Control to Industrial Processes", IEEE Control Syst. Magazing, pp.49-55, April, 1988.
15. National Semiconductor Co. "HPC Hardware Manual & HPC Programmer's Manual," 1986
16. Analog Devices. "Modules Subsystems," Databook Vol. 1 & Vol. 2., 1984
17. 한국전자통신연구소, "Self-Tuning Advanced Controller 개발에 관한 연구(최종 보고서)," Aug. 1987
18. 한국전자통신연구소, "공정정보처리시스템 개발에 관한 연구(최종보고서)", Jul. 1986.