

제 3 차 년 도
연 차 보 고 서



GaAs 초고속 집적회로 개발

MOCVD에 의한 신기능 소자 제조기술 개발

Development of New Functional Divice by MOCVD

주관연구기관 : 한국전자통신연구소
협동연구기관 : 한국과학기술연구원

과 학 기 술 처

제 출 문

과학기술처장관 귀하

본 보고서를 “GaAs 초고속 집적회로 개발” 사업의 세부과제
“MOCVD에 의한 신기능소자 제조기술 개발” 사업의 3차년도 최종
보고서로 제출합니다.

1991. 6.

주관연구기관장: 한국 전자 통신 연구 소 장

사 업 책 임 자: 박 형 무

협동연구기관장: 한국 과학 기술 연구 원 장

협동연구책임자: 김무성(KIST, 반도체재료연구실)

김현수(KIST, 반도체재료연구실)

연 구 원: 김은규(KIST, 반도체재료연구실)

엄경숙(KIST, 반도체재료연구실)

김 용(KIST, 반도체재료연구실)

김성일(KIST, 반도체재료연구실)

조훈영(KIST, 반도체재료연구실)

윤경식(고려대, 정보공학과)

이장우(삼미전자)

윤석범(건국대, 전자과)

장명구(건국대, 전자과)

요 약 문

I. 제 목

MOCVD에 의한 신기능 소자 제조기술 개발

II. 연구개발의 목적 및 중요성

최근 급격하게 증가하는 정보량에 대응하여 이들 정보를 좀 더 빨리 처리할 수 있는 고속소자의 개발에 대한 요구가 증대되고 있다. 이러한 요구는 21세기에 접어들면 더욱 증대될 것이 예측된다. 이러한 요구에 적합하게 대응할 수 있는 차세대 소자로서 HEMT (high electron mobility transistor)가 가장 적절한 소자로 사료되며 따라서 우수한 특성을 가진 HEMT의 연구개발의 필요성이 증대되고 있다. 이 HEMT 소자는 마이크로파로부터 밀리미터파 (30-300 GHz)의 통신을 가장 적극적으로 담당하게 될 소자로서 미래의 정보통신의 가장 필수불가결한 소자로 자리잡게 될 것이 예측된다. 이러한 예측을 바탕으로 일본 및 구미각국은 이 소자개발을 일찍부터 서둘러 단위소자로 HEMT는 이미 상품화 되어 있으며 HEMT IC 개발 또한 이미 완성단계에 있다. 이러한 HEMT 개발은 최근 거의 기술적으로 완성단계에 있는 에피층 성장장치인 MBE (molecular beam epitaxy)에 힘입은 바 크다. 최근 MOCVD (metalorganic chemical vapor deposition)은 이러한 MBE에 대체할 수 있는 에피층 성장장치로서 꾸준한 발전을 해 왔다. MOCVD는

MBE에 비교할 수 없는 대량 생산성을 가지고 있고 이 대량생산성으로 말미암아 이 에피층 성장장치에 대한 관심이 커지고 있다.

국내에서는 최근 HEMT 연구개발 분야에 몇몇 기업 및 연구단체에서 참여하고 있는 실정이다. 그러나 MOCVD에 의한 HEMT 에피층 성장 및 소자제조 분야는 일본, 구미에서도 아직은 완전히 성숙단계는 아니므로 연구개발의 여지가 많이 남아 있고 더욱이 국내에서는 MOCVD에 의한 HEMT 구조 에피층 성장, 에피층의 특성측정, HEMT 소자제조에 관한 연구가 크게 미흡한 실정이므로 이 분야에 대한 연구가 크게 요구되는 바이다.

따라서 본 연구사업에서는 MOCVD에 의한 HEMT 에피층의 설계 및 제작, 특성평가 및 소자제조에 대한 연구를 수행하여 이 분야에 대한 기술을 축적하고 아울러 HEMT 소자 이외에도 새로운 신기능 소자에 대한 기초연구를 수행하여 이 분야의 선진제국과의 기술격차를 줄이고 국내 전자 및 통신산업에 기여하고자 한다.

Ⅲ. 연구개발의 내용과 범위

제1차년도의 HEMT 구조 에피층 설계 및 초격자 구조 성장 및 특성평가, 제2차년도의 기본구조 HEMT 제작에 이어 당해년도에서는 HEMT 구조 에피층 구조의 최적화, 소자제조 기술 향상을 통한 HEMT 소자의 성능 향상 연구를 수행하였고 신기능 소자를 위한 응용연구로서 제2차년도의 델타-도핑에 관한 기초연구에 이어 델타

-도핑에 의한 non-alloyed ohmic contact에 관한 연구를 수행하였다.

IV. 연구개발 결과 및 활동에 관한 건의

1, 2차년도의 연구개발을 토대로 하여 HEMT 에피층 설계를 개선하였다. Conventional HEMT 구조의 최적화도 지속적으로 추진함과 동시에 carrier confinement의 특성도 개선하고 back-gating 효과도 줄이고 좋은 pinch-off 특성을 얻기 위해 active channel에 GaAs quantum well을 도입한 quantum well HEMT에 대한 연구를 수행하였고 아울러 buffer층의 특성을 향상시키고 2차원 전자층이 존재하는 헤테로 계면을 평탄하게 위하여 초격자 구조를 buffer층 사이에 삽입한 새로운 구조를 시도하였다. 그 결과 18K에서 low field mobility가 $165,000 \text{ cm}^2/\text{V}\cdot\text{sec}$ (sheet carrier 농도 $\sim 5 \times 10^{11} \text{ cm}^{-2}$)이 되는 결과를 얻었다. 실제 소자를 제작한 결과 $1 \mu\text{m} \times 100 \mu\text{m}$ gate dimension을 갖는 quantum well HEMT에서 최대 외부 transconductance, g_m 이 150 mS/mm , 최대 내부 transconductance, $g_{m, \text{int}}$ 가 273 mS/mm , 최대 source-drain current, I_{ds} 가 230 mA/mm 의 결과를 얻었고 conventional HEMT 구조에서는 $1 \mu\text{m} \times 75 \mu\text{m}$ gate dimension에서 최대 외부 transconductance, g_m 이 120 mS/mm , 최대 내부 transconductance, $g_{m, \text{int}}$ 가 275 mS/mm , 최대 source-drain current I_{ds} 가 190 mA/mm 의 소자특성을 얻었다.

한편 델타-도핑을 이용한 non-alloyed ohmic에 관한 연구를 수행하여 훌륭한 non-alloyed ohmic 특성을 얻었고 이때 접촉저항 (specific contact resistance, ρ_c)은 $\sim 5 \times 10^{-6} \Omega\text{-cm}^2$ 의 결과를 얻어

MBE의 최근 결과에 비견할 만한 좋은 결과를 얻었다. 마지막으로 HEMT의 설계 최적화를 위하여 제2차년도에 이어 좀더 심도있는 HEMT의 2차원적 수치 시뮬레이션 또한 수행하였다.

SUMMARY

I. Subject

Development of New Functional Devices by MOCVD

II. Purpose and Significance of the Research

Recently, there has been growing demand for the development of high speed devices to compromise the increasing amount of informations. The HEMT (high electron mobility transistor), as a next-generation device, will meet this expanding demand. HEMT is the best candidate to cover the transmission from micro wave to millimeter wave frequencies (30–300 GHz). HEMT has a unique feature of low noise, low power dissipation, and high speed characteristics. Therefore, HEMT will be a prerequisite circuit element in near future. Based on the expected performance, HEMT has been developed during past 10 years in USA, Japan and other developed countries. Now the commercial HEMT appears in markets. Even ICs employing HEMT elements are in the stage of development. This successful results are based on the maturity of MBE (molecular beam epitaxy) technology. Recently, MOCVD (metalorganic chemical vapor deposition) technology has been rapidly developed as an alternative method. MOCVD possesses a potential advantage of mass-

productivity comparing with MBE. This mass-productivity is most attractive feature from the commercial point of view.

In our country, the research and development of HEMT is in very early stage. Overall technologies including epitaxial growth technology, characterization technology, and device fabrication technology is far from the mature state compared with those of the developed countries. Therefore, the research in this area, to meet the growing need of high speed transmission devices, is urgently demanded.

In this project, we have studied the epitaxial technology using MOCVD, characterization technology and device-process technology. Our major goal is to establish the technology to prepare the commercially available MOCVD-grown HEMT.

III. Contents and Scope of Research

We have studied the design and growing parameters to grow the epitaxial structures of HEMT by MOCVD and developed the characterization technique in the first year of the project. Also we have studied the processing technology and fabricated a prototype HEMT in second year of the project. During this year, the optimization of epitaxial structure and improvement of device process technology have been studied to improve the performance of HEMT. For the development of new functional devices, non-alloyed ohmic

contact employing delta-doping layer has been studied.

IV. Results and Further Suggestion

Based on the results during past couple of years, we improved the structural designs of epitaxial layers for HEMT by MOCVD technique. Besides the research toward the optimization of the conventional HEMT structure, we have been studied quantum well HEMT structure to enhance the carrier confinement efficiency and reduce the back-gating effect and achieve the good pinch-off characteristics. In addition to rather innovative structural change, we have employed the GaAs/AlGaAs superlattice with nominal thickness of 100\AA and 10 periods as an buffer layer. The superlattice buffer layer will reduce the dislocation threading from the low quality GaAs substrate. The superlattice buffer layer also has a role of flattening of GaAs/AlGaAs heterointerface. We have obtained the low field mobility of $165,000\text{ cm}^2/\text{V}\cdot\text{sec}$ at 18K for the quantum well HEMT structure. We have fabricated the HEMT with a gate length of $1\mu\text{m}$. The external and internal transconductance and full channel source-drain current of the quantum well HEMT with $1\mu\text{m}\times 100\mu\text{m}$ gate dimension are 150 mS/mm , 273 mS/mm and 230 mA/mm , respectively. In conventional HEMT, we obtained the characteristics of external transconductance ($=120\text{ mS/mm}$), internal transconductance ($=275\text{ mS/mm}$) and full channel current ($=190\text{ mA/mm}$) with $1\mu\text{m}\times 75\mu\text{m}$ gate

dimension. We have studied the non-alloying ohmic contact using delta-doped layer. We have obtained the good non-alloyed ohmic contacts and their specific contact resistance was 5×10^{-6} ohm-cm². This results is encouraging and comparable with best MBE result. Finally, we have studied the numerical 2-dimensional simulation of HEMT structure to optimize the structure and obtain the deep understanding of underlying physics in HEMT.

CONTENTS

Chapter 1. Introduction	25
Chapter 2. HEMT structure growth by MOCVD	32
2.1. MOCVD system and growth condition	32
2.2. Structure of HEMT.....	67
2.3. Epi-layer characteristics of HEMT structure	73
Chapter 3. Fabrication of HEMT device	88
3.1. Performance theory and optimization of HEMT.....	88
3.2. Design of HEMT structure.....	102
3.3. Design of optical mask	105
3.4. Fabrication process of HEMT	113
Chapter 4. Characterization of HEMT.....	141
4.1. Measurement of DC characteristics	141
4.2. Saturation drain current and transconductance	161
4.3. Measurement of parasitic resistance	183
4.4. Gate length and threshold voltage effects on transconductance	192
4.5 Measured DC parameters	199

Chapter 5. Two dimensional simulation of HEMT	212
5.1. Introduction	212
5.2. Model of HEMT device	213
5.3. Discretization method and numerical analysis	218
5.4. Results and discussion	222
 Chapter 6. Study of delta-doping for HEMT device	 232
6.1. Study of 2-D transport characteristics of HEMT by SdH measurement	 232
6.2. Non-alloyed ohmic characteristics by delta-doping	237
 Chapter 7. Conclusion and suggestions	 245
 References	 247

목 차

제1장 서 론.....	25
제2장 MOCVD에 의한 HEMT 구조의 에피층 성장	32
제1절 MOCVD 장치 및 성장조건	32
제2절 HEMT의 구조.....	67
제3절 HEMT 구조 에피층의 특성.....	73
제3장 HEMT 소자의 제작.....	88
제1절 HEMT의 동작 이론과 최적화.....	88
제2절 에피층의 구조 설계.....	102
제3절 Optical mask의 설계	105
제4절 HEMT 소자의 제작공정.....	113
제4장 HEMT 소자의 특성 평가.....	141
제1절 DC 특성의 측정	141
제2절 포화 drain 전류와 transconductance	161
제3절 기생저항의 측정.....	183
제4절 Transconductance에 미치는 gate 길이와 문턱 전압의 영향.....	192
제5절 측정된 DC parameters	199

제5장 HEMT 소자의 2차원적 수치 시뮬레이션	212
제1절 서 론.....	212
제2절 HEMT 소자 모델.....	213
제3절 이산화 방법과 수치 해석법.....	218
제4절 연구결과 및 검토.....	222
제6장 HEMT 응용구조를 위한 델타-도핑 기초연구.....	232
제1절 SdH 특성측정에 의한 2차원적 수송특성 연구	232
제2절 델타-도핑에 의한 non-alloyed ohmic 특성.....	237
제7장 결론 및 건의사항.....	245
참 고 문 헌	247

그림 목 차

그림1-1.	대표적인 소자의 switching delay와 power dissipation.....	26
그림2-1.	상압 MOCVD 장치의 개략도.....	33
그림2-2.	Reactor system의 정면도 및 평면도	37
그림2-3.	Reactor system의 배관도	38
그림2-4.	Reactor system의 사진	39
그림2-5.	Load-lock chamber의 배관도.....	41
그림2-6.	Reaction chamber의 pressure control 시스템의 개요도...	42
그림2-7.	Reaction chamber의 배관도	45
그림2-8.	Arsenic powder filter trap	46
그림2-9.	Main gas system의 배관도	47
그림2-10.	Main gas system의 사진	48
그림2-11.	MO line의 pressure control에 사용된 시스템의 개요도	49
그림2-12.	Run/vent line differential pressure read out 시스템의 개요도	50
그림2-13.	질소용 gas panel의 배관도	52
그림2-14.	Hydride gas용 gas panel의 배관도	52
그림2-15.	수소용 gas panel의 배관도	53
그림2-16.	Control system의 사진	54
그림2-17.	Scrubber system의 배관도.....	57

그림2-18.	컴퓨터 인터페이스의 개념도	59
그림2-19.	기본적인 HEMT의 에피층 구조	68
그림2-20.	Quantum well HEMT의 에피층 구조	70
그림2-21.	일반적인 HEMT와 quantum well HEMT의 band 구조 ...	72
그림2-22.	AlGaAs 층의 도핑 특성	74
그림2-23.	Low field mobility의 온도의존성.....	75
그림2-24.	Sheet electron density의 온도의존성	76
그림2-25.	LPMOVPE로 성장시킨 2인치 웨이퍼 위에 성장시킨 GaAs의 uniformity 특성	80
그림2-26.	LPMOVPE로 성장시킨 2인치 epi 웨이퍼의 위치에 따른 resistivity의 변화	82
그림2-27.	LPMOVPE로 성장시킨 2인치 epi 웨이퍼의 위치에 따른 mobility의 변화	83
그림2-28.	LPMOVPE로 성장시킨 2인치 epi 웨이퍼의 위치에 따른 carrier concentration profile의 변화	84
그림2-29.	LPMOVPE로 성장시킨 $Al_{0.25}Ga_{0.75}As$ 2인치 epi 웨이퍼의 위치에 따른 AlAs 몰비의 uniformity 특성 ...	85
그림2-30.	Growing run 번호가 다른 여러 시편에 대한 PL intensity 측정 결과.....	87
그림3-1.	AlGaAs 층 위에 Schottky gate를 형성시킨 단일접합 HEMT 구조의 전도대 밴드 구조	90
그림3-2.	HEMT의 gate에서의 포텐셜 profile	92
그림3-3.	이종접합 계면과 2차원 전자의 effective 거리;	

	Δd vs. gate bias	96
그림3-4.	일반적인 HEMT 구조에서 전장에 따른 전자 drift 속도의 변화	97
그림3-5.	Undoped GaAs spacer층 두께에 대한 최대 transconductance의 변화(○:실험치, —:이론치)	101
그림3-6.	Optical lithography 공정의 개념도	106
그림3-7.	Optical mask의 구성	107
그림3-8.	Mask에 포함되어 있는 여러 형태의 transistor	109
그림3-9.	Mask에 포함되어 있는 test pattern	112
그림3-10.	HEMT 소자의 제작 공정 흐름	114
그림3-11.	(100) wafer에서 방향에 따른 Mesa profile	119
그림3-12.	도핑 농도의 함수로 나타낸 AlGaAs donor층 두께 변화에 따른 문턱 전압의 민감도 □, 300K ; ■, 77K ; $V_T=0V$; $\phi_m=1.0V$	123
그림3-13.	인산(H_3PO_4)계 용액에서 혼합 조성비에 따른 GaAs 등에칭 속도 곡선	126
그림3-14.	암모니아수(NH_4OH)계 용액에서 혼합 조성비에 따른 GaAs 에칭 속도	127
그림3-15.	합금화(alloying) 열처리 시간에 따른 웨이퍼의 실제 온도 변화	130
그림3-16.	과산화수소수(H_2O_2) 용액의 pH에 따른 GaAs와 $Al_{0.3}Ga_{0.7}As$ 의 etching 속도	132
그림3-17.	pH에 따른 선택 etching의 selectivity 변화	133

그림3-18. Recess etching 방법의 모식도	135
그림3-19. 선택 etching시 stainless steel과 teflon 핀셋을 사용할 경우 selectivity의 차이	136
그림3-20. pH 7.00인 선택 etching 용액에서 관찰한 etch-stop 현상	137
그림3-21. 제작된 HEMT	139
그림4-1. HEMT의 DC I-V 특성의 측정방법	142
그림4-2. AP329와 AP332 HEMT의 소자 구조	144
그림4-3. MSK3 HEMT의 소자 구조	145
그림4-4. MSK3 시료의 에피 구조.....	146
그림4-5. MSK4 HEMT의 소자 구조	147
그림4-6. AP329 HEMT의 I-V 특성 곡선	149
그림4-7. AP329 HEMT의 gate 특성	152
그림4-8. AP332 HEMT의 I-V 특성 곡선	153
그림4-9. MSK3 HEMT의 I-V 특성 곡선	155
그림4-10. MSK4 HEMT의 I-V 특성 곡선	162
그림4-11. Gate 전압에 따른 2차원 전자 농도의 변화 ($V_{th}=0.15V$, $d=400\text{Å}$)	168
그림4-12. MSK3 HEMT의 gate 전압에 따른 g_m 변화	170
그림4-13. (a) AP329, (b) AP332 HEMT의 g_m 특성	177
그림4-14. Spacer 두께와 최대 drain 전류밀도의 관계	180
그림4-15. (a) $n=10^{15}$ 과 $n=10^{18}\text{cm}^{-3}$ 의 bulk GaAs에서의 전자속도 대 인가 전계와의 관계.....	182

	(b) 300K에서 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ HEMT에서 $x=0.3, 0.5$ 일 때 측정된 2차원 전자의 drift 속도와 인가 전계와의 관계.....	182
그림4-16.	Schottky gate의 전류 전압 특성	184
	(a) MSK3 HEMT	
	(b) MSK4 HEMT	
그림4-17.	TLM (Transmission Line Model) 법에 의한 접촉 저항 측정법	187
그림4-18.	각 구조의 HEMT에서 측정된 접촉 저항	188
	(a) AP 329 HEMT	
	(b) AP 332 HEMT	
	(c) MSK3 HEMT	
	(d) MSK4 HEMT	
그림4-19.	g_m 에 대한 gate 길이의 영향	193
그림4-20.	g_m 에 대한 문턱 전압의 영향	196
그림5-1.	시뮬레이션에 사용된 HEMT의 기하학적 제원	214
그림5-2.	이종접합의 게이트에 부의 게이트 전압이 인가 되었을 때의 에너지 대역도	216
그림5-3.	유한차분 매쉬 포인트의 표기법	218
그림5-4.	시뮬레이션에 사용된 54×31 비균일 그물간격	221
그림5-5.	$V_{ds}=2V, V_{gs}=-0.5V$ 일 때 $0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 전도대역의 모양	224
그림5-6.	$V_{ds}=2V, V_{gs}=-0.5$ 일 때 $0.7\mu\text{m}$ -gate	

	GaAs/AlGaAs HEMT의 전자농도의 분포	225
그림5-7.	$V_{ds}=2V$, $V_{gs}=-0.5V$ 일 때 $0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 전자농도 분포의 contour plot	226
그림5-8.	GaAs/AlGaAs HEMT에 $V_{gs}=-0.5V$ 일 때 Poisson 방정식과 Schroedinger 방정식의 해로부터 구한 4개의 부밴드 파동함수(파선)와 전도대역 모양(실선)	226
그림5-9.	$V_g=-0.5V$ 일 때, 그림5-5에서 소오스측의 게이트 끝에서 전도대역의 모양(선 a)과 Poisson 방정식과 Schroedinger 방정식으로부터 구한 전도대역의 모양(선 b)	227
그림5-10.	일차원적으로 self-consistent하게 구한 이차원 전자가스 농도 대 게이트 전압	227
그림5-11.	$V_{ds}=2V$, $V_{gs}=-0.5V$ 일 때 선 a:소오스측의 게이트 끝, 선 b:게이트의 중간, 선 c:드레인측의 게이트 끝에서의 전자농도	229
그림5-12.	실선 a는 그림5-11의 선 a와 동일하며, 파선 b는 $V_g=-0.5V$ 일 때 Poisson 방정식과 Schroedinger 방정식의 해로부터 구한 전자농도	229
그림5-13.	$0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 전류-전압 특성	
그림5-14.	$V_{ds}=2V$ 일 때 $0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 상온에서의 드레인 전류 대 게이트 전압	230
그림5-15.	$V_{ds}=2V$ 일 때 $0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 상온에서의 트랜스콘덕턴스 대 게이트 전압(선 a)과,	

그림5-10으로부터 계산한 트랜스콘덕턴스 대 게이트 전압(선 b)	231
그림6-1. Angle dependent SdH 측정의 원리	234
그림6-2. 대표적인 델타-도핑시료의 angle dependent SdH 측정 결과	235
그림6-3. 델타-도핑에 의한 non-alloyed ohmic contact의 원리	238
그림6-4. 델타-도핑에 의한 ohmic을 위한 에피층의 구조	240
그림6-5. 델타-도핑 ohmic의 I-V 특성 곡선	242
그림6-6. TLM (transmission line model)에 의한 접촉저항 측정 원리	243
그림6-7. TLM에 의한 접촉저항 (specific contact resistance)의 결정	244

표 목 차

표1-1. HEMT의 장점	27
표1-2. MOCVD와 MBE의 비교	28
표1-3. MOCVD에 의한 GaAs/AlGaAs HEMT의 중요연구 결과	30
표2-1. 대기압 MOCVD의 성장조건	34
표3-1. Mask에 포함된 transistor의 내용	108
표4-1. MSK3과 MSK4 HEMT에서 측정된 DC Parameter	200

사 진 목 차

- 사진2-1. LPMOCVD로 성장시킨 2 inch 에피 웨이퍼의
단면 사진. 50배로 경사 연마한 후 현미경으로
300배 확대하였다. 78
- 사진2-2. LPMOCVD로 성장시킨 2 inch 에피 웨이퍼의
단면 사진. 50배로 경사 연마한 후 현미경으로
600배 확대하였다. 78

제 1 장 서 론

최근 정보산업의 급격한 발전에 따라 고도의 정보처리기술의 필요성이 급격하게 증가하고 있다. 이의 실현을 위해 고속 정보처리의 목적을 구현할 수 있는 신기능 소자의 개발이 활발하게 이루어지고 있다. 특히 마이크로파에서 밀리미터파(30-300 GHz)의 통신을 위한 초고속 소자의 필요성이 증대하고 있다.

그림1-1은 Si CMOS, NMOS와 GaAs FET(field effect transistor), HEMT 및 Josephson junction의 switching delay와 power dissipation의 관계를 나타낸 것이다.¹⁻¹⁾ 그림에서 알 수 있듯이 HEMT(high electron mobility transistor)는 Josephson junction보다는 그 특성이 떨어지지만 초고속 소자로서 우수한 특성을 지니고 있음을 알 수 있다. 특히 기존의 GaAs FET와 비교해 볼 때 HEMT가 GaAs/AlGaAs 계면에 형성된 2차원 전자 가스(2-dimensional electron gas)의 우수한 수송특성을 이용하므로 GaAs FET 보다 우수한 몇가지 특성을 가진다. 표1-1은 이러한 HEMT 장점을 요약한 것이다.¹⁻²⁾ 이러한 상온에서 동작시의 HEMT 장점외에 77K에서 동작시킬 때 HEMT는 GaAs FET와는 비교가 되지 않는 우수한 동작특성을 지닌다. 이 저온의 우수한 특성 향상은 GaAs/AlGaAs 접합계면에 있는 2차원 전자게스가 이 전자층을 공여한 도핑한 AlGaAs 층과 공간적으로 유리되어 있어 저온에서 이 전자게스 층이 수송될 때 이온화 불순물 산란(ionized impurity scattering)의 영

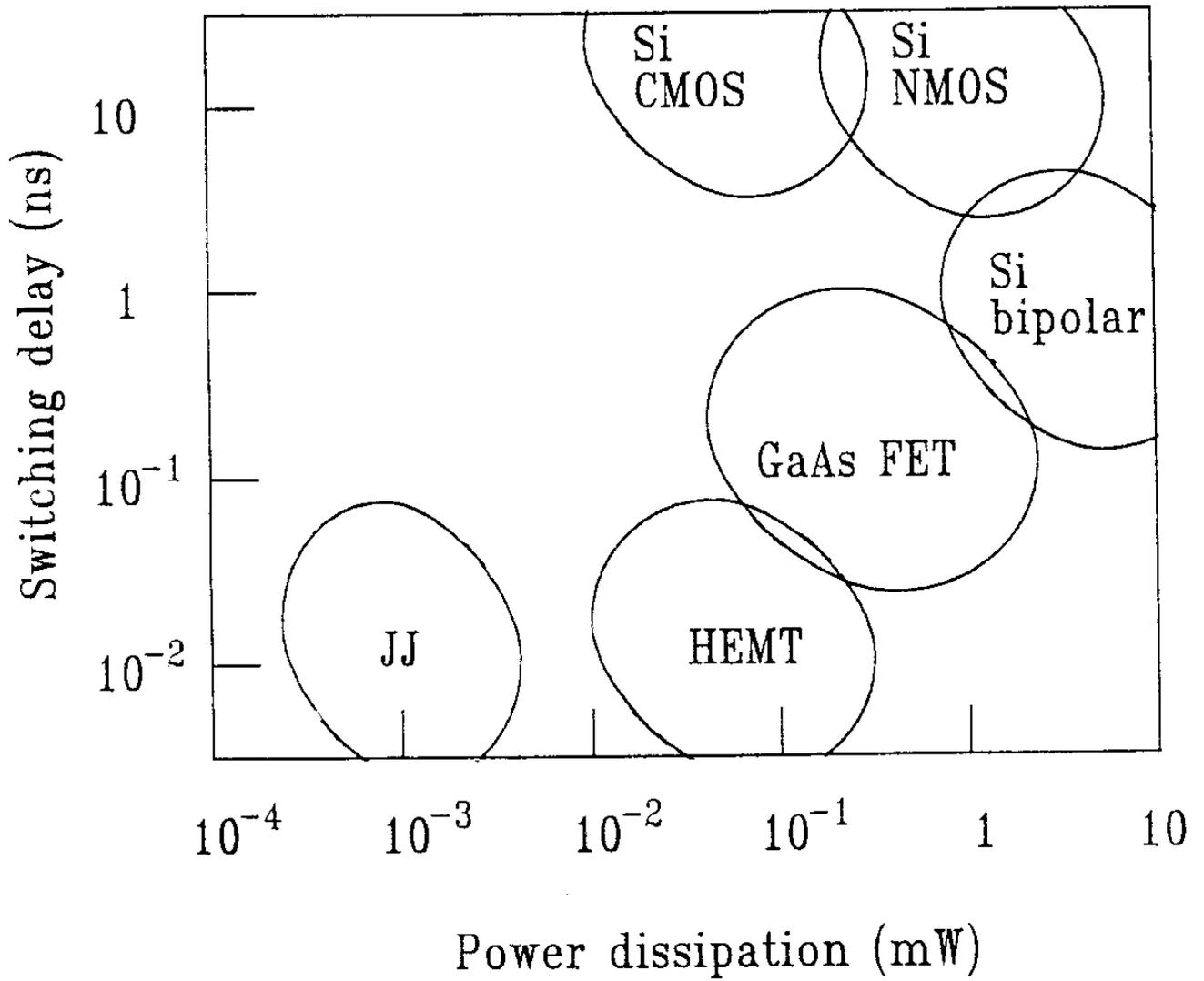


그림 1-1. 대표적인 소자의 switching delay와 power dissipation

표1-1. HEMT의 장점

-
- High electron mobility
 - Small source resistance
 - High f_t due to high electron velocity in high electric field
 - High transconductance due to small gate-channel separation
 - Low output conductance
 - Higher Schottky barrier due to AlGaAs instead of GaAs
-

향을 거의 받지 않게 되기 때문이다. 최근 HEMT는 단위소자 형태로 Fujitsu, Sony, Mitsubishi... 등의 제회사에서 상품형태로 나와 있고 HEMT MMIC (microwave monolithic IC) 등도 개발되고 있다. 이러한 상품 및 대부분의 연구결과는 MBE (molecular beam epitaxy)로 성장한 wafer에서 얻어진 것이다. MBE 법은 초고진공 ($\sim 10^{-11}$ torr) 하에서 성장이 진행되기 때문에 in-situ analysis가 가능하고 따라서 정확한 두께조절이 가능하다. 또한 shutter의 조절에 의하여 단위원자층 두께 이하의 급준한 헤테로 계면을 형성할 수 있어 이상적인 HEMT 구조의 구현을 위해 적절한 에피 성장법이다. 최근 MBE법과 병행하여 MOCVD법에 의한 에피성장 기술 또한 급격하게 발전되어 왔다.¹⁻³⁾ 표1-2는 이러한 MOCVD 기술과 MBE 기술의 장단점을 비교한 표이다. 표에서도 알 수 있듯이 MOCVD 기술은 MBE 기술에 비해 덜 성숙된 기술이고 따라서 MOCVD법으로 성장한 에피층의 특성 또한 MBE법으로 성장한 층

보다 나쁘다. 그러나 표1-2에서 주목할 점은 한번 run당 성장할 수 있는 wafer의 갯수이다. Barrel 형태의 반응관을 사용할 경우, 최대 12장 wafer까지 성장할 수 있어¹⁻⁴⁾ 대량생산성 및 가격경쟁력에서 MOCVD법은 MBE법보다 월등히 우수하다. 반면 MBE법은 성장실의 크기제한 때문에 한번에 wafer 1장 이상의 성장은 원리적으로 어렵다.

표1-2. MOCVD와 MBE의 비교

	MOCVD	MBE
• Material purity	$<10^{15}\text{cm}^{-3}$	$<10^{14}\text{cm}^{-3}$
• Heterointerface Abruptness	1-3 monolayer	<1 monolayer
• Thickness control	Fair	Good
• Compositional control	Good	Good
• Doping control	Fair	Good
• In-situ analysis	Poor	Good
• Number of wafers per run	12	1
• Maturity of technology	Fair	Good
• Cost per run	Good	Fair

현재 III-V 화합물 반도체 초고속 소자의 시장이 아직은 활성화가 덜된 상태이기 때문에 MBE법에 의하여 성장한 HEMT 소자로서도 현재의 수요를 만족시킬 수 있지만 21세기초 수요증대에 따라서 대량생산성이 요구될 때 MOCVD법에 의한 에피 wafer

의 요구 또한 증대될 것으로 사료된다. 현재 MBE법에 의한 wafer에서의 HEMT 소자연구는 적어도 GaAs/AlGaAs 헤테로 접합계에서는 연구가 완성단계에 이른 것으로 판단된다. MOCVD법에 의하여 성장한 에피층으로 만든 HEMT는 MBE법보다 훨씬 뒤떨어져 있다.

표1-3은 MOCVD에 의한 HEMT의 중요한 결과를 정리한 것이다. Low field mobility의 경우에 MBE에서는 $10^6 \text{cm}^2/\text{V}\cdot\text{sec}$ 이상의 결과를 통상 얻는데 반하여 MOCVD의 경우는 NTT 연구팀¹⁻⁹⁾과 SONY 연구팀¹⁻¹⁰⁾이 1984년과 1986년에 각각 기록한 $>400,000 \text{cm}^2/\text{V}\cdot\text{sec}$ (5K)이 가장 좋은 결과라고 사료되며 아울러 HEMT 소자특성 또한 SONY가 $0.5\mu\text{m}$ gate HEMT에서 발표한 280mS/mm (transconductance), 120mA/mm (drain saturation current density), 0.8dB (noise figure at 12GHz), 12.5dB (associated gain at 12GHz)의 특성이 가장 우수한 특성으로 사료된다. 따라서 MOCVD법에 의한 HEMT 소자연구는 아직 많은 연구의 여지가 남아 있다.

국내에서는 소자 제조공정 연구는 어느정도 기술 수준이 축적되었다고 판단되나 HEMT 에피층 성장 기술, 특히 MOCVD에 의한 에피층 성장기술은 아직 크게 미흡하다. 따라서 본 연구에서는 앞으로 다가올 정보화 사회와 선진각국의 기술보호 정책에 대비하여 MOCVD에 의한 신기능 소자 제조기술을 개발하여 국내에 토착화하는데 그 목적을 두었다. 본 연구의 최종목표는 MOCVD 기술을 이용하여 HEMT 구조 에피층을 성장하고 이를 이용하여 HEMT 소자까지 제조하는 공정기술을 개발하고, 나아가 HEMT 응

표1-3. MOCVD에 의한 GaAs/AlGaAs HEMT의 중요연구 결과

년도	연구기관	구 조	수송 특성 $\mu(\text{cm}^2/\text{v. sec})$ $n_s(\text{cm}^{-2})$	DC 특성 (g_m/I_{dss})	microwave 특성 (12 GHz)	
					NF(dB)	GA(dB)
1983	LEP (1-5)	conventional HEMT 대기압 MOCVD	$\mu = 34,000$ $n_s = 1.4 \times 10^{12}$ (77k)			
1983	HITACHI (1-6)	conventional HEMT 대기압 MOCVD 6x200 μm^2 gate	$\mu = 8,300(300k)$ $\mu = 45,000(77k)$	42mS/mm (300k) 120mS/mm (77K)		
1984	LEP (1-7)	conventional HEMT 대기압 MOCVD 1.1x240 μm^2 gate	$\mu = 173,000$ $n_s = 5 \times 10^{11}(4K)$	177mS/mm 83mA/mm		
1984	NTT (1-8)	conventional HEMT 저압 MOCVD	$\mu = 445,000$ $n_s = 5.1 \times 10^{11}(2K)$			
1985	NTT (1-9)	conventional HEMT 저압 MOCVD 1x50 μm^2 gate	$\mu = 27,000$ $n_s = 1.3 \times 10^{12}(77K)$	330mS/mm 80mA/mm		
1986	SONY (1-10)	conventional HEMT 대기압 MOCVD 0.5x200 μm^2 gate	$\mu = 401,000$ $n_s = 5 \times 10^{11}(5K)$	280mS/mm 120mA/mm	0.8	12.5
1986	TOSHIBA (1-11)	conventional HEMT 대기압 MOCVD 0.25x200 μm^2		200mS/mm 50mA/mm	0.77	11.5
1986	LEP (1-12)	conventional HEMT 0.55x200 μm^2	$\mu = 12,000$ $n_s = 6.5 \times 10^{11}(77K)$	260mS/mm 110mA/mm	1.2	11

용구조 또는 초격자 응용구조의 신기능 소자를 개발하는데 있다. 본 연구개발사업의 1차년도에서는 초격자 성장 및 특성평가 기술을 개발하였고 HEMT 구조의 에피층에서는 15K에서 $69,000\text{cm}^2/\text{V}\cdot\text{sec}$ 의 이동도와 $5.5 \times 10^{11}\text{cm}^{-2}$ 의 전자농도, 77K에서 $41,200\text{cm}^2/\text{V}\cdot\text{sec}$ 의 이동도와 $6.6 \times 10^{11}\text{cm}^{-2}$ 의 전자농도의 특성 및 SdH (Shubnikov de Haas) 진동 및 quantum Hall plateau을 관측하여 2차원 전자층의 존재를 확인하였고 2차년도에서는 HEMT 소자를 제작하여 최대 외부 transconductance가 84mS/mm, 최대 내부 transconductance가 204mS/mm인 HEMT를 제작하였고 C-V 특성 측정을 측정하여 2차원 전자층의 존재를 확인하였다. 한편 신기능 소자 구현을 위해 델타 도핑 특성에 관한 연구를 제2차년도에 수행하여 MOCVD법에 의하여 높은 성장온도($\sim 750^\circ\text{C}$)에서 델타-도핑층을 형성하는 기술을 개발하였고 prototype 델타 FET를 제작하였다. 이러한 기술을 바탕으로 제3차년도에서는 back-gating 효과 제거, pinch-off 특성 향상 및 carrier confinement 효율 증대를 위해 quantum well HEMT 구조 에피층 성장기술 및 공정기술 개발로 HEMT 소자 특성 향상에 주안점을 두었고 아울러 델타-도핑의 기초연구를 발전시켜 non-alloyed ohmic contact을 델타-도핑에 의하여 실현하는 연구를 수행하였다.

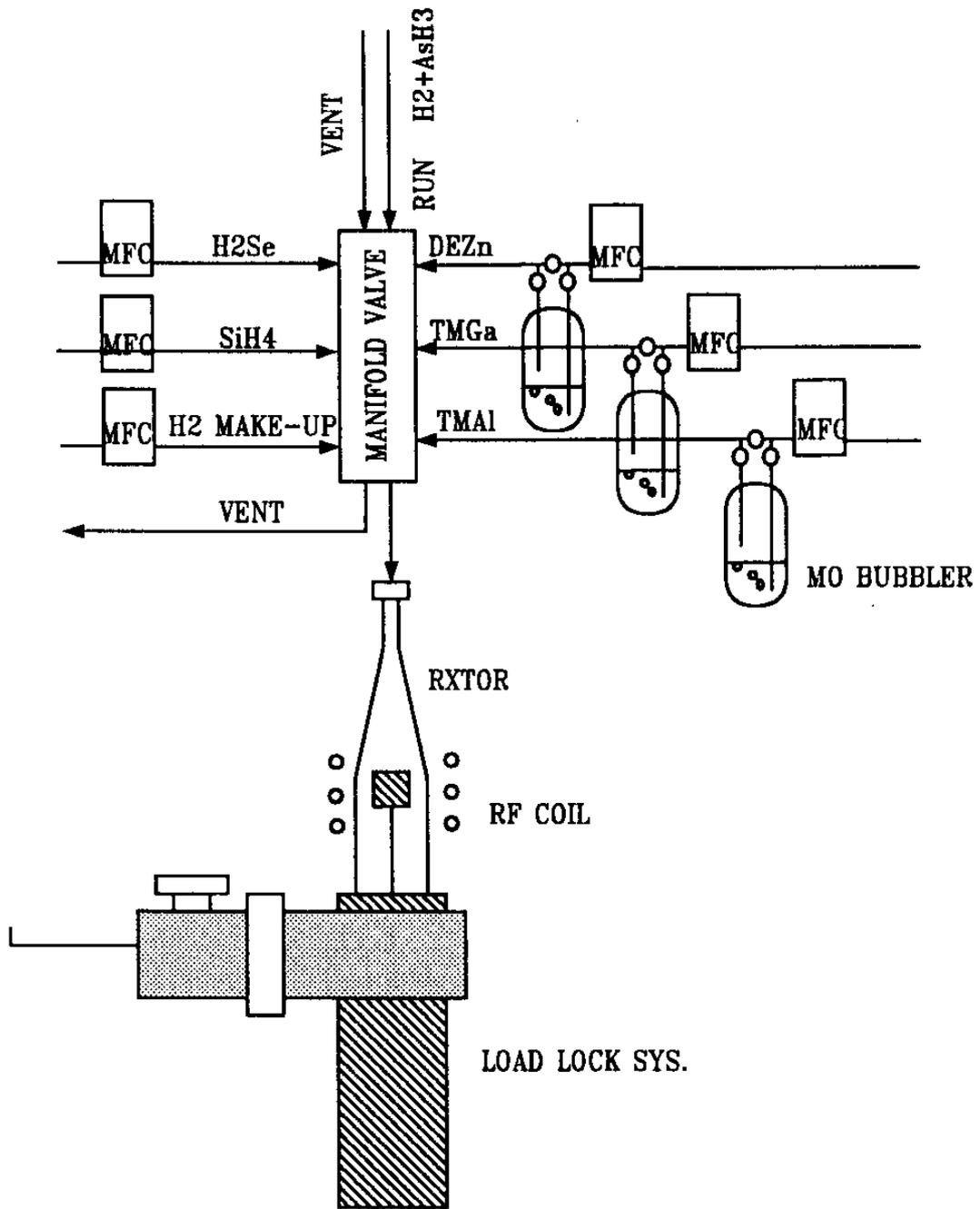
제 2 장 MOCVD에 의한 HEMT 구조의 에피성장

제 1 절 MOCVD 장치 및 성장조건

1. 상압 MOCVD의 성장조건

본 실험에 사용된 상압 MOCVD 장치의 개략도는 그림2-1에 나타낸 바와 같다. Gallium 원료는 TMG(trimethyl Gallium; $(\text{CH}_3)_3\text{Ga}$), Aluminum 원료로는 TMA(trimethyl Aluminum)을 사용하였다. 이들 M.O.(metal organic) 원료는 $\pm 0.1^\circ\text{C}$ 의 안정성을 가진 항온조(techne 제품)에 의하여 TMG는 -15°C , TMA는 항상 20°C 가 유지되도록 하였다. 이들 원료는 palladium alloy diffuser에 의하여 7N 이상으로 정제된 고순도 수소에 의하여 반응관에 도착한다. 이때 총 수소유량은 5 SLPM(standard liters per minute)였다.

As 원료로는 10%로 희석된 AsH_3 (Nippon Sanso 제품)을 사용하였다. Dopant 원료로는 SiH_4 를 사용하였는데 50 ppm으로 희석하여 사용하였다. 반응관에 도착한 III, V족 원료는 이송수소에 의하여 반응관을 빠른 속도($\sim 15\text{ cm/sec}$)로 통과한다. 이때 반응 기체들은 RF generator에 의하여 유도 가열된 graphite susceptor 주위에서 열분해하여 GaAs 기판위에 에피층으로 성장한다. TMG, TMA의 몰분율은 2×10^{-5} , 6.7×10^{-6} 이었고 $\text{AsH}_3/(\text{TMGa} + \text{TMAI})$ 의 비를 30-100으로 하였다. 이때 성장속도는 $250 \text{ \AA}/\text{min}$ 였다. 성장온도는 대개 700°C 에서 성장하였다. 자세한 내용은 표2-1에 요약하였다.



AP MOCVD SYSTEM

그림2-1. 상압 MOCVD 장치의 개략도

표2-1. 대기압 MOCVD의 성장조건

Total H ₂ flow rate	5 SLPM
TMGa bath temp.	-15°C
TMAI bath temp.	+20°C
TMGa mole fraction	2×10^{-5} m.f.
TMAI mole fraction	6.7×10^{-6} m.f.
GaAs growth rate	250 Å/sec.
Growing temp.	700°C
run/vent pressure difference	0.01 mmHg
SiH ₄ mole fraction	$1 \times 10^{-7} - 1 \times 10^{-6}$ m.f.
AsH ₃ /(TMGa + TMAI)	30-100

2. 저압 MOCVD의 장치 및 성장조건

(1) LPMOCVD 시스템의 개요

MOCVD (metalorganic chemical vapor deposition) 법이란 유기금속 화합물 또는 유기금속화합물과 수소화합물을 원료로 하고, 수소 등을 이송기체(carrier gas)로 사용하여 가열된 기판(substrate) 위에서 비가역적 열분해반응이 일어나도록 함으로써 고체상태의 결정을 성장시키는 방법을 말한다²⁻¹⁾. MOCVD법은 1968년 Manasevit에 의해 처음 제안된 이래²⁻²⁾, reactor design 및 원료 정제기술 등의 발전에 힘입어 초격자(superlattice), 양자우물(quantum well), heterostructure

등의 성장이 가능하게 되었고, 수원자층까지 두께를 조절할 수 있게 되어 MBE (molecular beam epitaxy) 법에 필적할 만한 수준으로까지 발전하였다^{2-3), 2-5)}. MOCVD 법은 다른 에피 성장법에 비해 성장 방법이 비교적 간단하고 대량생산이 가능한 장점을 가지고 있다. 현재에는 GaAs계나 InP계의 III-V족 뿐만 아니라 II-VI, IV-IV족 등의 화합물 반도체 에피 성장에도 널리 이용되고 있으며, 초전도체 박막 등의 성장에도 적극적으로 이용되고 있다.²⁻⁶⁾

MOCVD 장치는 현재 미국, 일본, 독일 등의 몇개 회사에서 주문 생산 형식으로 판매되고 있으나, 그 역사가 10년 미만으로 매우 짧고, 가격이 매우 비싼 편이며, maker 마다 고유의 장단점이 있다. 또한 반도체 생산 장비의 국산화 및 자체 장비 제작 기술의 축적을 꾀하고, 우리 실정에 가장 알맞는 MOCVD 장치를 보유하기 위해 본 연구 사업에서는 MOCVD 장치를 직접 설계, 제작하였다. 본 장치의 설계 및 제작시 특별히 고려한 사항은 다음과 같다. Gas의 누설을 최소한으로 하기 위해 gas line의 접속은 용접이나 금속 gasket을 사용하는 접속재를 사용하였다. Gas 배관용 tubing은 모두 내면이 정면처리(electropolished)된 것을 사용하고, tubing의 구부러짐을 최소화하여 배관 내벽에서 particle이 생성되는 것을 방지하였다. Personal computer IBM PC 호환 기종을 연결시켜 장치의 운전을 자동화하여 여러개의 valve를 동시에 정확히 열고 닫을 수 있게 하였고, gas의 유량도 시간에 따라 변화시킬 수 있게 하였다. 반응관(reaction chamber)은 2개를 병렬로 하여(double chamber) 유지 보수에 걸리는 시간과 dopant의 오염을

감소시켰다. 반응관의 susceptor를 가열하는 방법은 통상의 RF 유도 가열이 아닌 Molybdenum heater에 의해 가열방식을 택하여 RF에 의한 noise나 RF generator의 설치 면적을 감소시켰다. 또한 각각의 반응관에 load-lock system을 부착시켜 GaAs wafer를 넣고 뺄 때 공기의 오염을 방지하였다. 본 반응관의 용량은 지름 2-3" wafer 1장을 처리할 수 있으며 다른 gas 배관의 수정없이 reactor 부분만 수정하면 5장 이상의 wafer를 처리할 수 있는 용량으로 확대할 수 있게 설계하였다. 끝으로 균일성을 높이기 위해 저압(70 torr 정도)하에서 에피층을 성장하도록 하였다. 본 MOCVD 장치는 reactor system, main gas system, control system 및 scrubber system의 4가지로 나눌 수 있다. 각 시스템의 크기는 gas cabinet 과 scrubber system의 높이는 180cm, reactor와 main gas 및 control 시스템의 높이는 200cm로 하였다. 각 system에 대해 간략히 설명하면 다음과 같다.

(2) Reactor system의 설계 및 제작

그림2-2에 reactor system의 평면도 및 정면도를 나타내었고 그림2-3에 그 배관도를 나타내었다. 그림2-4에는 reaction system의 사진을 나타내었다. Chamber들을 설치하는 table의 하부에는 turbo molecular pump 및 rotary pump, 각종 valve 및 배관, As powder trap 등으로 구성되어 있다. Rotary pump는 turbo pump용과 reaction chamber 배기용을 따로 설치하였다. 본 system은 dual chamber 형식으로서 reaction chamber와 load lock chamber가 각각

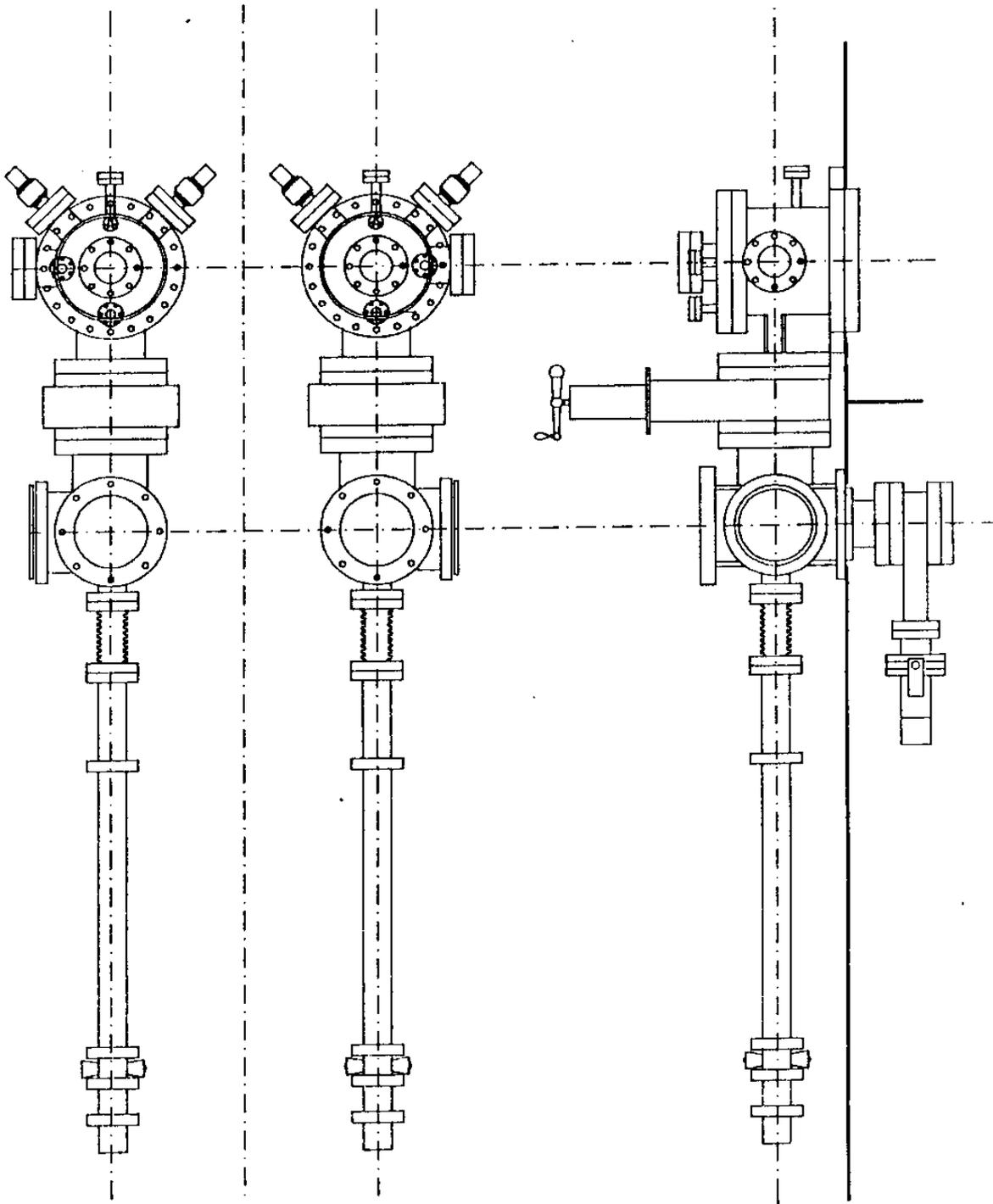


그림 2-2. Reactor system의 정면도 및 평면도

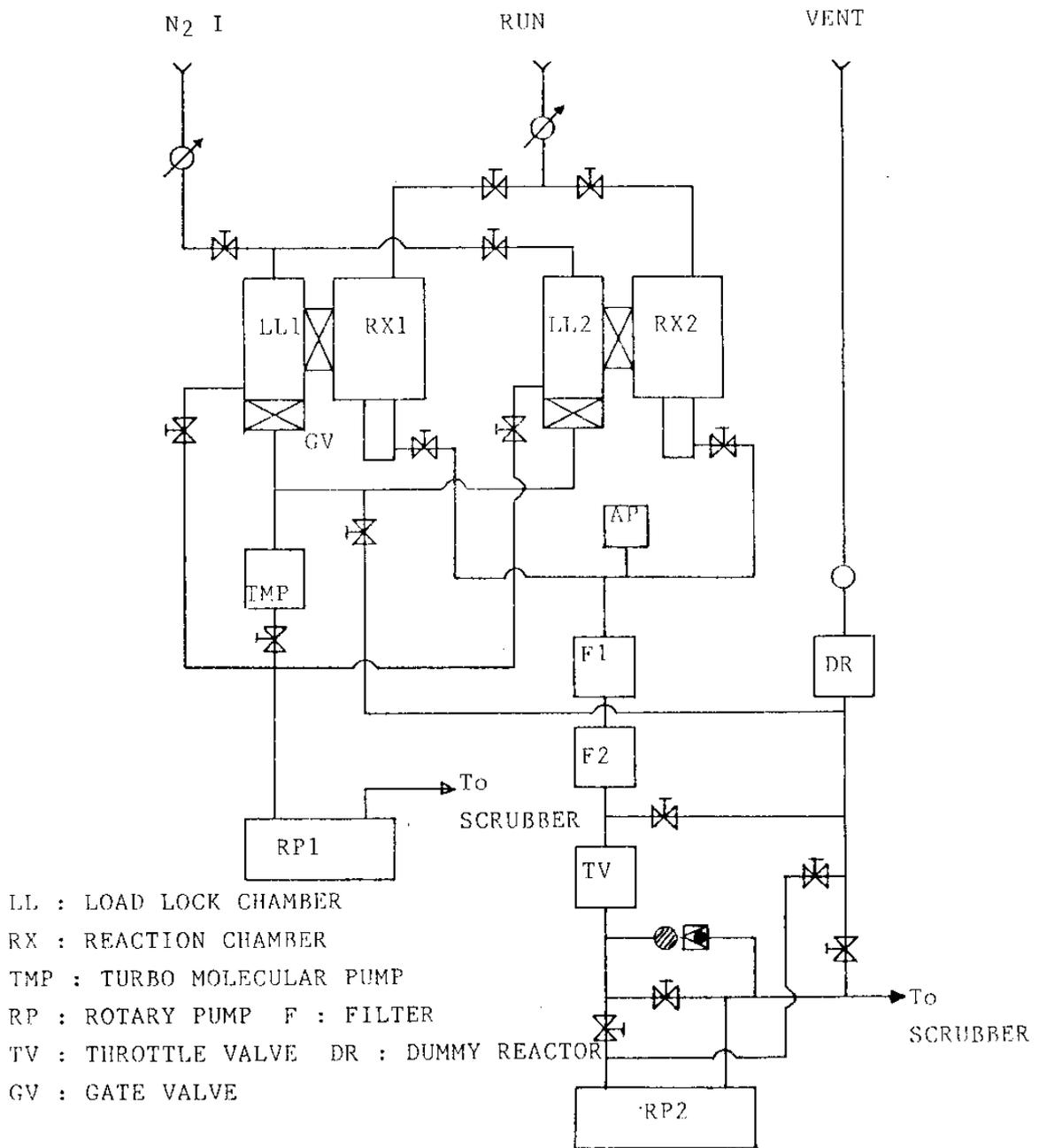


그림 2-3. Reactor system의 배관도

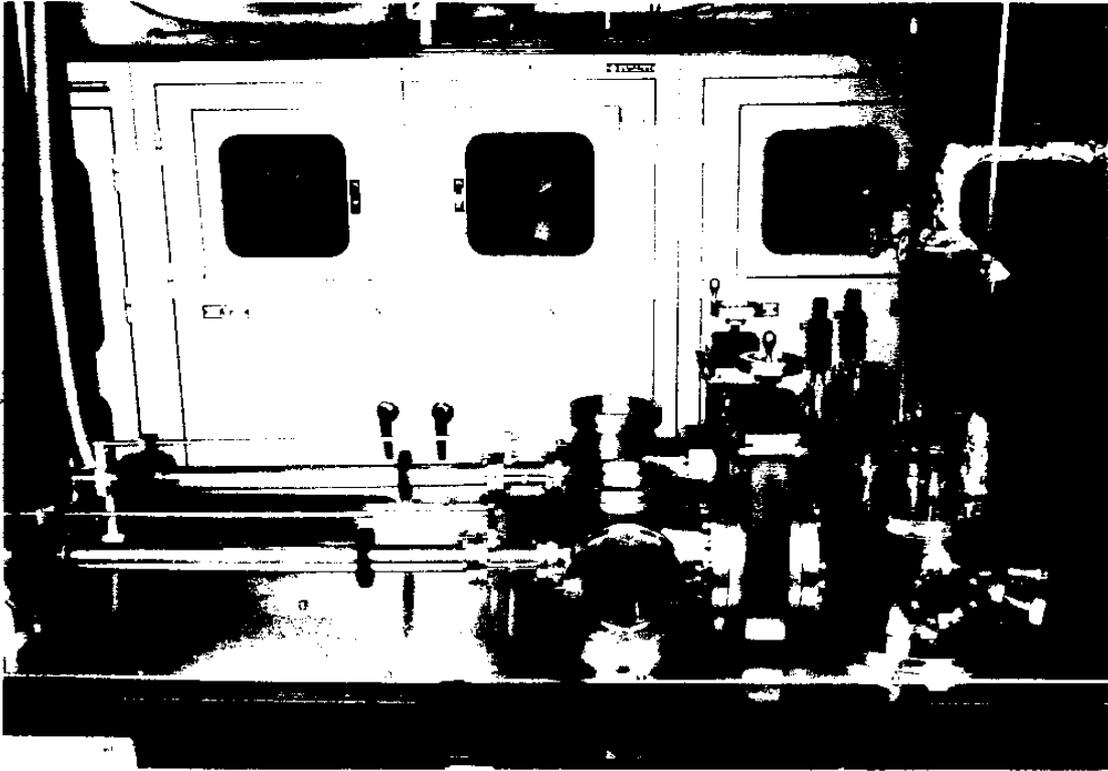


그림2-4. Reactor system의 사진

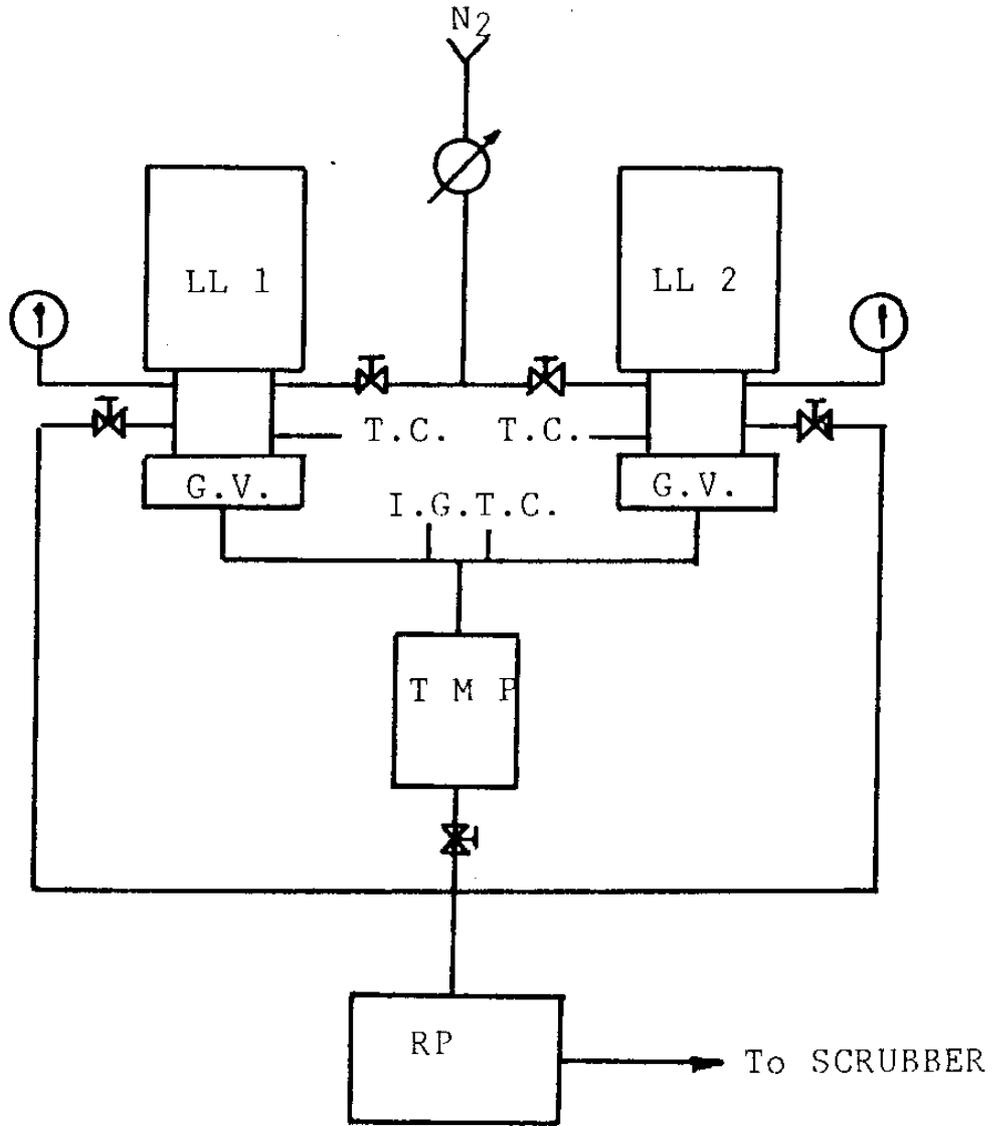
2조씩으로 구성되어 있다. 그 이유는 하나의 chamber를 유지 및 보수하는 동안 다른 하나의 chamber로 에피 성장을 계속할 수 있고, 또한 dopant의 종류에 따라 전용으로 사용함으로써 dopant 혼합에 의한 오염을 방지할 수 있기 때문이다. 즉 예를들면 하나의 chamber는 laser diode 성장용으로 사용하고 또 하나의 chamber는 p-type dopant를 사용하지 않는 HEMT(High Electron Mobility Transistor)나 MESFET(Metal Semiconductor Field Effect Transistor) 성장용으로 사용할 수 있다. 또한 한 chamber는 GaAs계 에피 성장용으로, 다른 하나는 InP계 에피 성장용으로 사용할 수도 있다. Reactor system에 대하여 자세히 설명하면 다음과 같다.

가. Load-lock chamber

Load-lock chamber는 기판 wafer를 reaction chamber에 장입하거나 꺼낼 때 공기 중의 산소 및 수분이 유입되는 것을 방지하고, reaction chamber 내의 수소를 질소로 purge하는 시간을 줄이기 위한 것이다. Load-lock chamber의 효과는 여러 보고들에 의해 확인된 바 있다²⁻⁷⁾. Load-lock chamber한쪽 옆에는 magnetic coupled feed through가 연결되어 기판 wafer를 reaction chamber로 운반해 가거나 에피 성장후 wafer를 reaction chamber로부터 load-lock chamber로 운반해 오는 역할을 한다. Magnetic coupled feed through는 일반 O-ring seal 방식의 feed through에 비해 기밀성이 훨씬 뛰어나다. Load-lock chamber와 reaction chamber 사이에는 gate valve를 설치하여 서로 고립되도록 하였다. Load-lock chamber의 하부에는 turbo molecular pump를 설치하여 단시간에 load-lock chamber가 고진공 상태가 될 수 있도록 함과 동시에 diffusion pump 사용시 일어날 수 있는 pump oil에 의한 오염을 방지하였다. Turbomolecular pump와 load-lock chamber 사이에는 gate valve를 설치하여 2개의 chamber를 각각 독립적으로 진공상태로 만들 수 있게 하였다. Load-lock chamber내의 진공도는 TC (thermocouple) gauge 및 ion gauge로 측정하였다. Load-lock chamber의 배관도는 그림2-5에 나타내었다.

나. Reaction chamber

대부분의 MOCVD 장치의 반응관은 석영 유리로 만들어져 있으나 본 LPMOCVD 장치에서는 기밀성과 안정성을 더욱 높이기



LL : LOAD LOCK CHAMBER G.V. : GATE VALVE
T.C. : THERMOCOUPLE GAUGE I.G. : ION GAUGE
TMP : TURBOMOLECULAR PUMP RP : ROTARY PUMP

그림 2-5. Load-lock chamber의 배관도

위해 내경 약 150mm의 stainless steel로 만들었고, 에피 성장중 chamber 속을 관찰할 수 있도록 하기 위해 view port를 chamber의 천장과 옆면에 부착하였다. 또한 에피 성장중 생성되는 arsenic powder가 chamber 옆면의 view port쪽이나 gate valve쪽으로 가는 것을 막기 위해 shutter를 설치하였다. Reaction chamber의 하부를 제외하고 feed through, window 및 부경의 모든 접촉은 metal gasket을 사용한 sealing (CF flange)으로 하여 gas의 누설을 최소화 하였다.

Reaction chamber내의 압력은 capacitor manometer를 사용하여 측정하고, motorized throttle valve와 연계시켜 에피 성장중 chamber 내의 압력이 자동으로 일정하게 유지되도록 하였다. reaction chamber의 pressure control 시스템의 개요도는 그림2-6에 나타내었

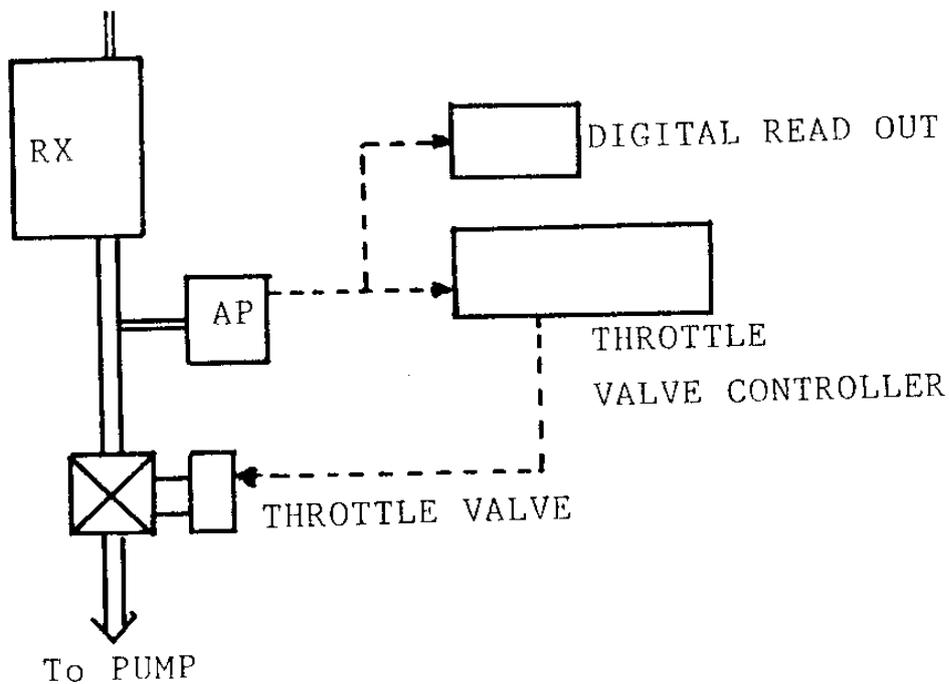


그림2-6. Reaction chamber의 pressure control 시스템의 개요도

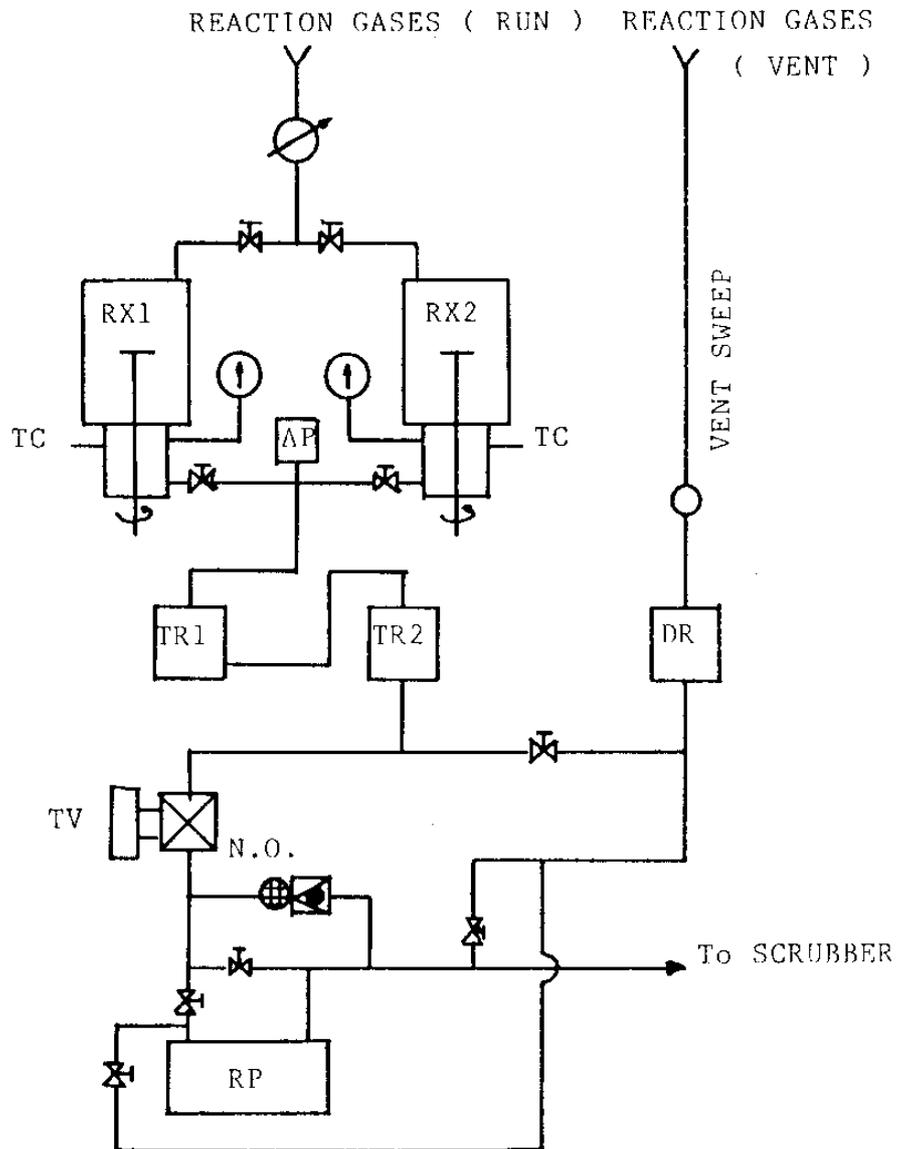
다. 에피 성장중 나뉘므로 발생하는 arsenic powder를 제거하기 위해 stainless steel mesh filter trap(100 및 200 mesh)을 설치하였고 vent sweep line쪽에는 dummy reactor를 설치하여 에피 성장중 RUN/VENT switching시 chamber내의 pressure surge 현상을 최소화 하였다. 또한 reaction chamber내의 압력이 대기압보다 높아질 경우 N.P.(normal open) pneumatic valve가 열리도록 하여 만일의 사고에 대비하였다. 본 장치에서 사용되는 susceptor는 지름 약 80 mm의 molybdenum disk를 사용하였고, molybdenum heater를 이용하여 가열 되도록 하였다. 그리고 DC motor를 이용하여 susceptor를 회전시킬 수 있게 하여 epi 성장시 gas 주입이 균일하게 되도록 하고 epi 특성의 균일성을 높게 하였다. Moly heater 밑에는 moly sheet reflector를 설치하여 열의 손실을 감소시켰다. Moly susceptor는 2장으로 구성되어 있는데 상부의 1장은 wafer carrier로서 transfer arm 및 pick-up을 이용하여 (magnetic coupled feed through와 연결되어 있음.) load-lock chamber까지 운반될 수 있도록 하였고, 하부의 1장은 supporter로서 지름 10 mm의 moly rod를 통하여 DC motor와 연결되어 있다. Moly heater의 받침대로서는 graphite를 사용하였다. Moly heater는 지름 1.0mm짜리 wire 형태로서 electrode에 연결되어 있다. 기판 wafer의 온도는 thermocouple을 susceptor 밑에 설치하고, optical pyrometer로 기판 wafer의 온도를 측정하여 보정하였다. Reaction chamber의 하부는 반응하고난 gas가 흘러나가는 port와 pressure gauge port 등이 설치되어 있고, DC motor와 moly rod를 연결시키기 위해서 ferrofluidics feedthrough를 설치하여

gas의 leak를 최소화하고, susceptor가 원활하게 회전할 수 있도록 하였다. 그리고 reactor에서 gas inlet 부분을 shower 식으로 하는 대신에 gas inlet 부위 밑에 200 mesh의 stainless steel 망을 사용하여 주입된 MO source 및 dopant 기체가 성장중인 시편위에 골고루 분사되도록 하였다. 이 mesh를 사용한 결과 2인치 웨이퍼 전면에 걸쳐서 uniformity가 크게 향상되었다. Reaction chamber의 배관도는 그림2-7에 나타내었다. 그리고 reaction chamber에서 생성된 GaAs 가루들이 rotary pump에 유입되는 것을 방지하기 위해 reaction chamber와 rotary pump 사이에는 stainless steel mesh를 사용한 arsenic powder filter trap을 설치하였고 그 사양을 그림2-8에 나타내었다.

(3) Main gas system의 설계와 제작

Main gas system은 원료 gas cabinet으로부터 온 각종 원료 gas들을 reactor system으로 보내기 위한 것으로 그림2-9에 전체 배관도를 나타내었고, 그림2-10에 system cabinet의 사진을 나타내었다. 이 system은 mass flow controller(MFC), metalorganic(MO) source bath, 각종 valve, 수소 정화기, pressure manometer 등으로 구성되어 있다. 본 system은 4종류의 metalorganic source 및 3종류의 hydride gas를 사용할 수 있도록 하였고, 각각 1종류씩 더 사용할 수 있게 system을 확장할 수 있도록 설계, 제작하였다.

이 system을 좀 더 자세히 설명하면 다음과 같다. 각종 gas들이 처음 유입되는 부분에는 $0.01\mu\text{m}$ 급의 particle filter를 설치



RX : REACTION CHAMBER DR : DUMMY REACTOR
 TR : ARSENIC POWDER TRAP TV : THROTTLE VALVE
 AP : ABSOLUTE PRESSURE MANOMETER

그림2-7. Reaction chamber의 배관도

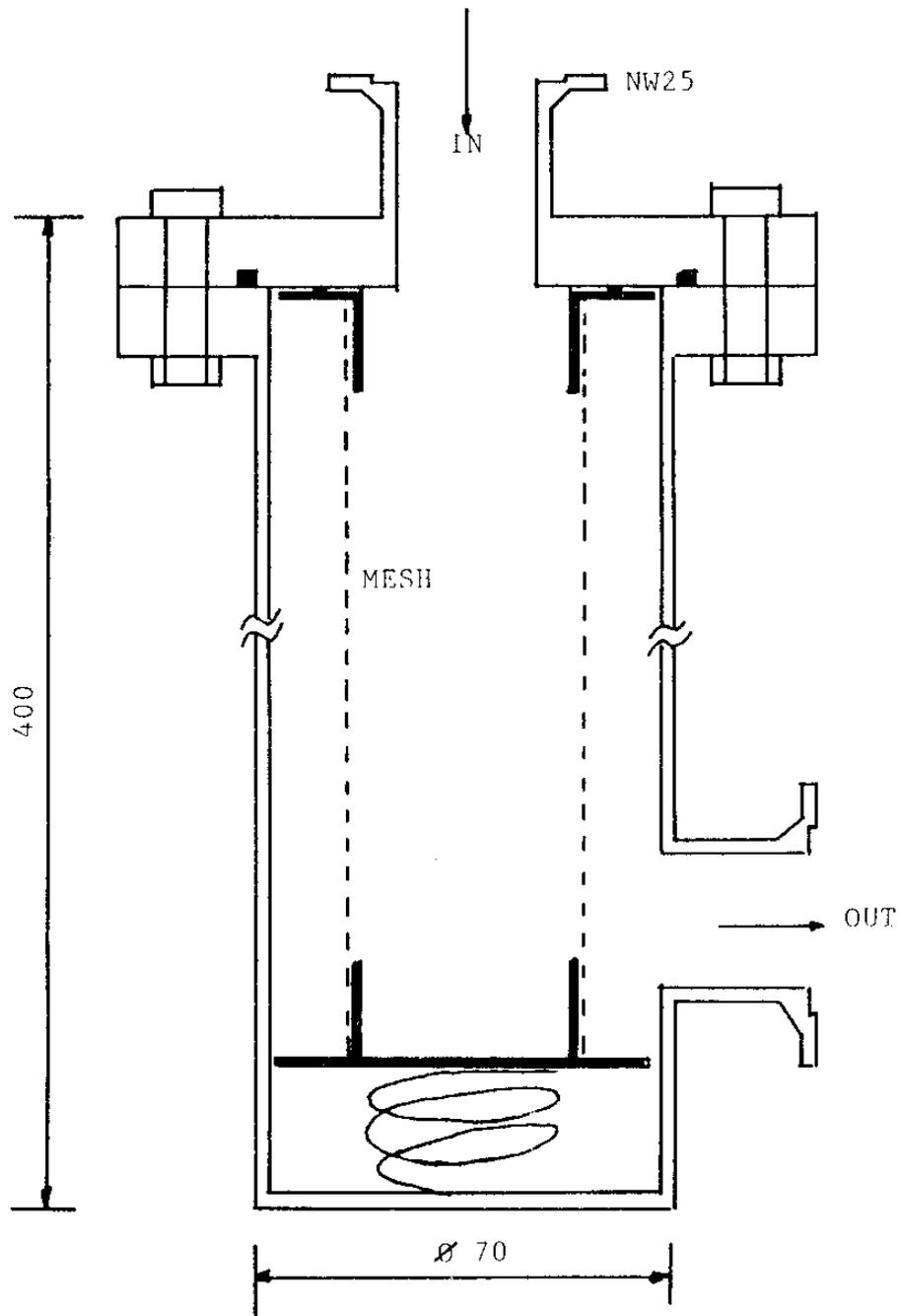


그림 2-8. Arsenic powder filter trap

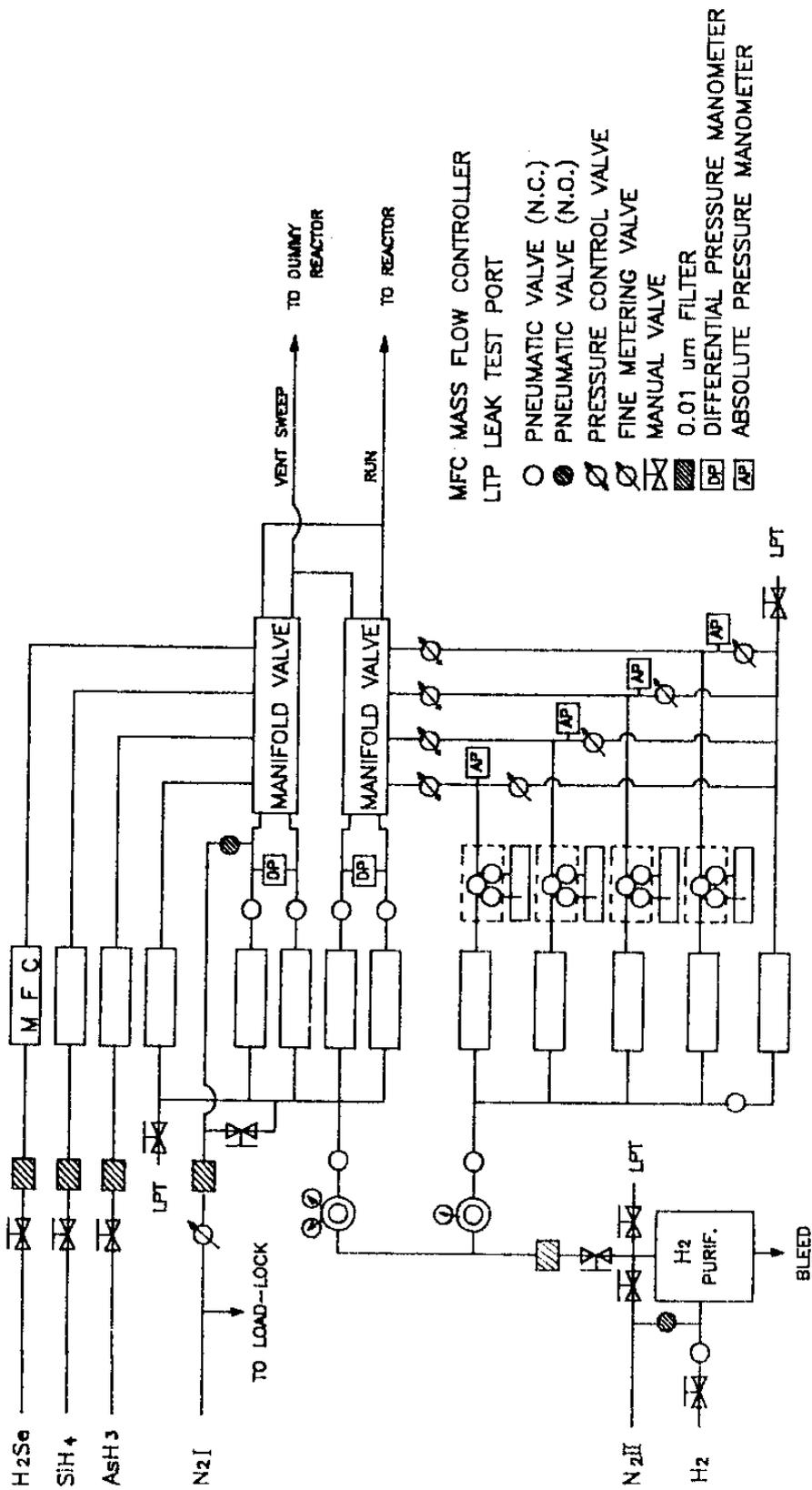


그림 2-9. Main gas system의 배관도

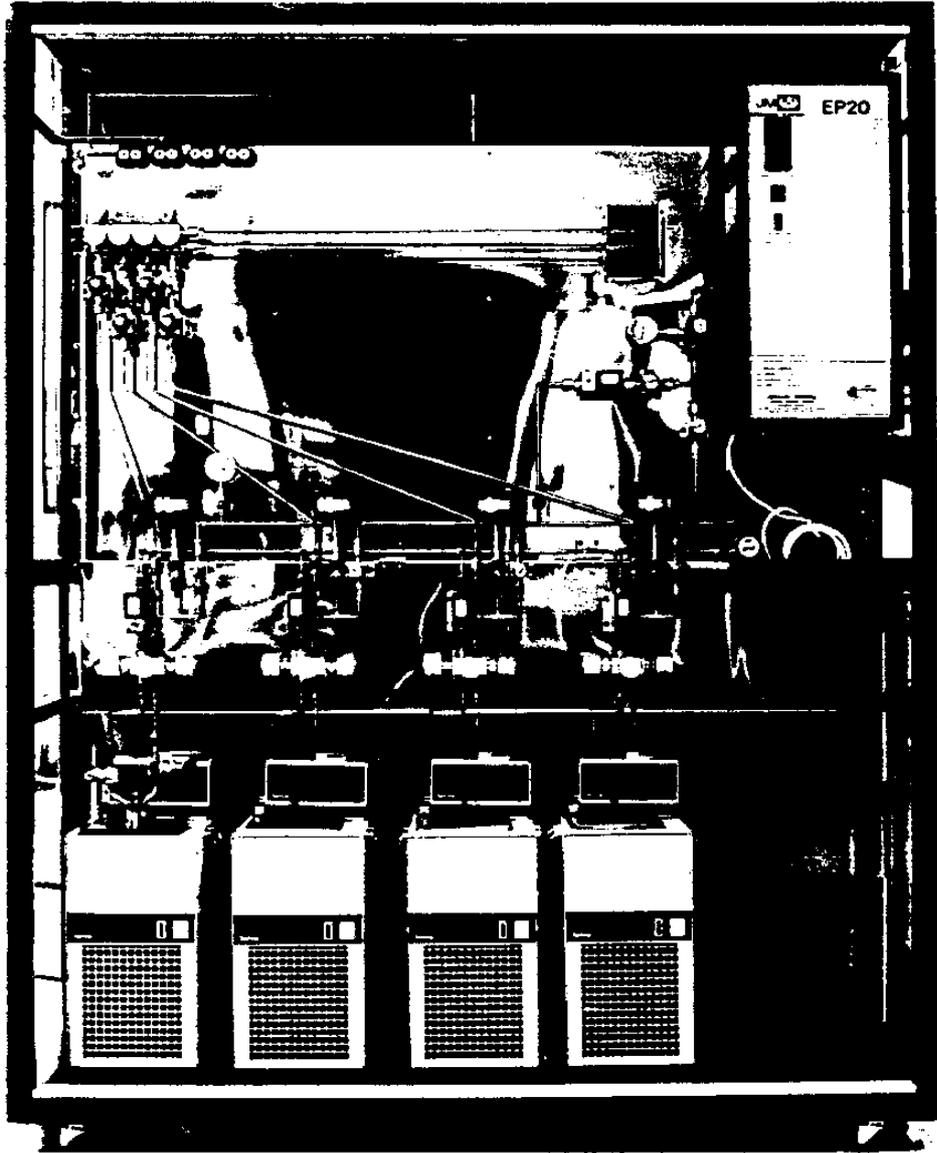


그림 2-10. Main gas system의 사진

하고 gas tubing이 구부러지는 부분은 fitting을 사용하여 particle의 오염을 최소화 하였다. 각종 gas의 유량은 MFC에 의해 제어하였고, MO source의 유량은 bath의 온도 및 MO source로 유입되는 수소의 유량을 조절함으로써 제어하였다. 본 MOCVD 장치는 low pressure하에서 운용하도록 되어 있으므로 pressure control valve 및 absolute pressure manometer (Baratron)를 부착하여 MO source line 부분이 자동으로 대기압으로 유지되도록 하였다. MO line의 pressure control에 사용된 시스템의 개요도는 그림2-11에 나타내었다. 수소 gas를 MO source로 보내 bubbling시키거나 bypass하는데 필요한 valve는 block valve를 사용하여 leak의 가능성을 최소화하고

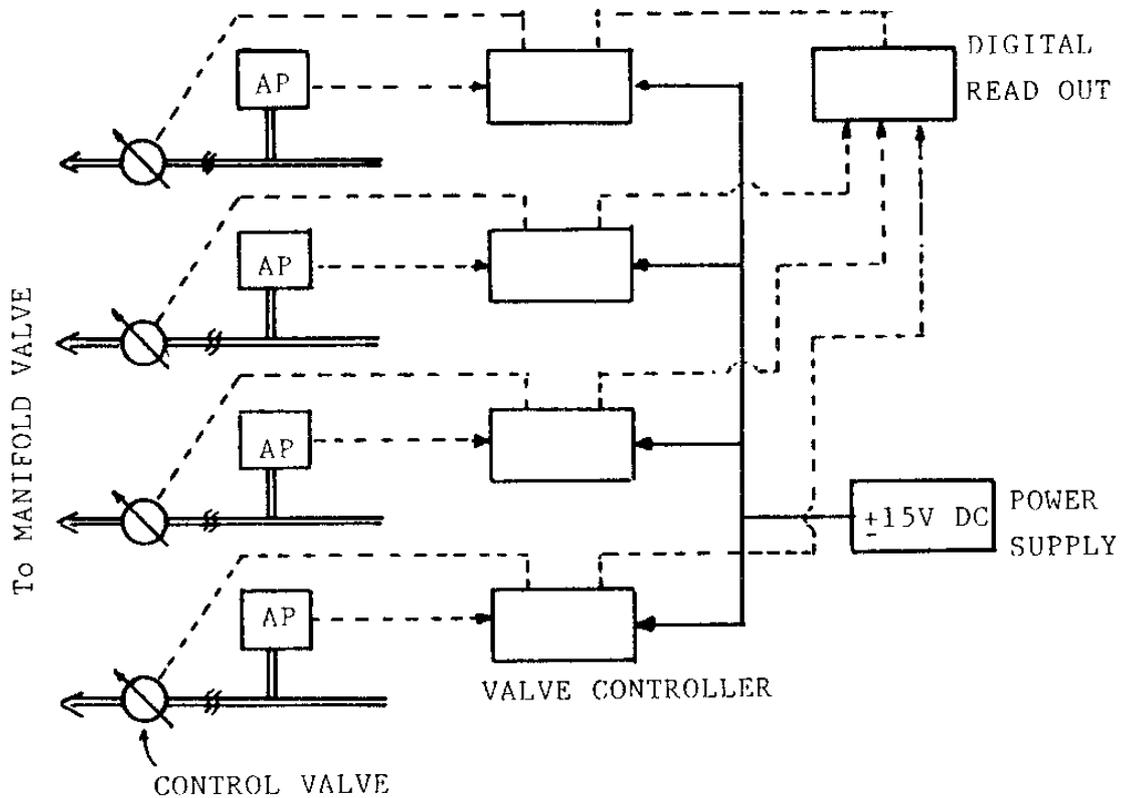


그림 2-11. MO line의 pressure control에 사용된 시스템의 개요도

설치 면적을 줄이도록 하였다. Gas를 reaction chamber로 보내거나 vent (bypass)시키기 위한 VENT/RUN valve는 manifold block valve를 사용하였고, VENT/RUN valve 조작시 일어나는 pressure surge 현상을 감지하기 위해 differential pressure (DP) manometer를 설치하였으며, 이 pressure surge 현상을 최소화하기 위해 make up line과 dummy reactor를 설치하였다. Run/vent line differential pressure read out 시스템의 개요는 그림 2-12에 나타내었다. Run line과 vent line은 MO part와 hydride part를 각각 따로 설치하여 reaction chamber 바로 앞에서 합쳐지도록 하여 MO gas와 hydride gas가 상온에서 미리 반응하는 것을 방지하였다. 유량의 제어 및 valve의 개폐는 manual 또는 computer에 자동화가 가능하도록 하였다. 가스 배관의 leak를 최소화하기 위해 tubing의 접속은 용접 또는 metal gasket을 사용하는 접속재를 사용하고, He leak detector를 이용하여 gas leak를 감지할 수 있도록 leak test port를 몇 군데에

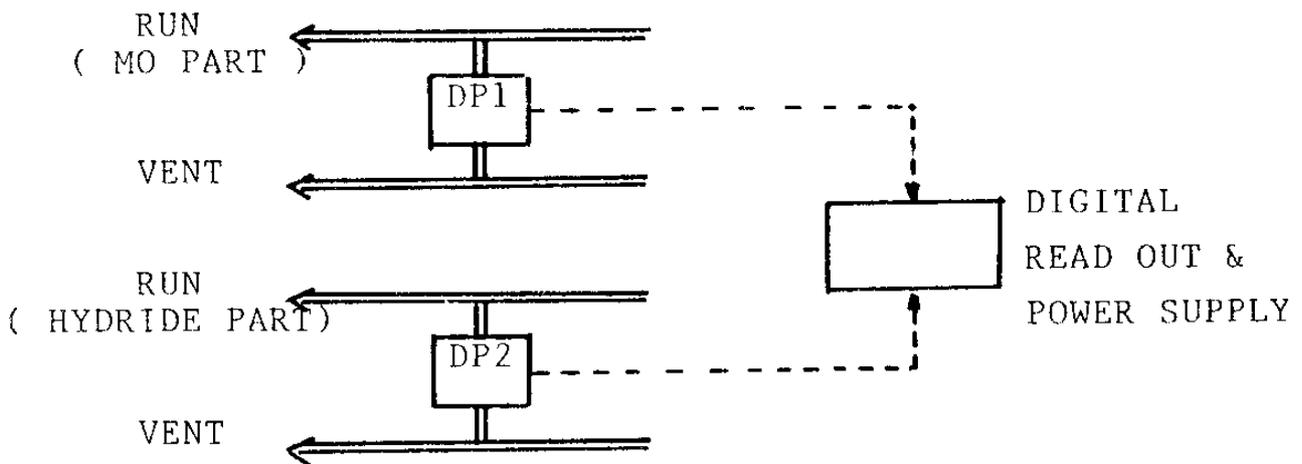


그림 2-12. Run/vent line differential pressure read out 시스템의 개요도

설치하였다. MO source bath는 MO source의 온도를 일정하게 유지하기 위한 것으로 $-20^{\circ}\text{C} \sim +100^{\circ}\text{C}$ 범위의 온도를 제어할 수 있다. MO source cylinder에서 나온 MO gas가 reaction chamber까지 흘러가는 동안 gas 배관의 벽에 응축하지 않도록 하기 위해 MO gas line에는 heating wire를 감아 상온 이상의 온도로 가열할 수 있도록 하였다. 또한 MO gas line의 baking시에는 100°C 이상으로도 온도를 올릴 수 있도록 하였다. 그리고 질소용 gas panel의 배관도와 hydride gas용 gas panel의 배관도 및 수소용 gas panel의 배관도를 그림2-13, 그림2-14, 그림2-15에 각각 나타내었다.

(4) Control system의 설계 및 제작

Control system은 gas flow diagram panel, computer interface, manual switch panel, MFC용 digital readout 및 power supply, pressure controller, susceptor temperature controller 및 recorder, susceptor 회전용 motor의 speed controller 및 digital read out 등으로 구성되어 있다. 그림2-16에 control system의 사진을 나타내었다. Gas flow diagram에는 LED lamp를 설치하여 pneumatic valve open시 불이 켜지도록 하여 에피 성장 과정을 쉽게 알아볼 수 있도록 하였다. Manual switch panel에는 manual로 에피 성장을 할 경우 pneumatic valve를 개폐하기 위한 switch와 성장시간을 알기 위한 timer, manual/auto 전환 switch, 사고시 모든 pneumatic valve를 닫고 질소만 reaction chamber로 흘리기 위한 abort/reset switch 등으로 구성되어 있다. MFC의 digital readout 및 power

To MAIN GAS SYSTEM (or H₂ PURIFIER)

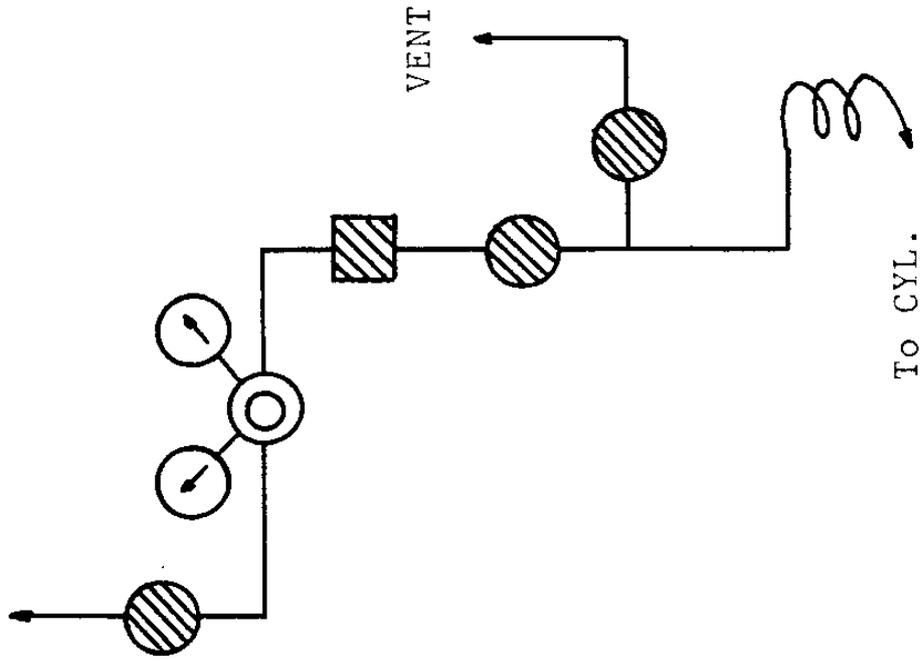


그림 2-13. 질소용 gas panel의 배관도

To MAIN GAS SYSTEM

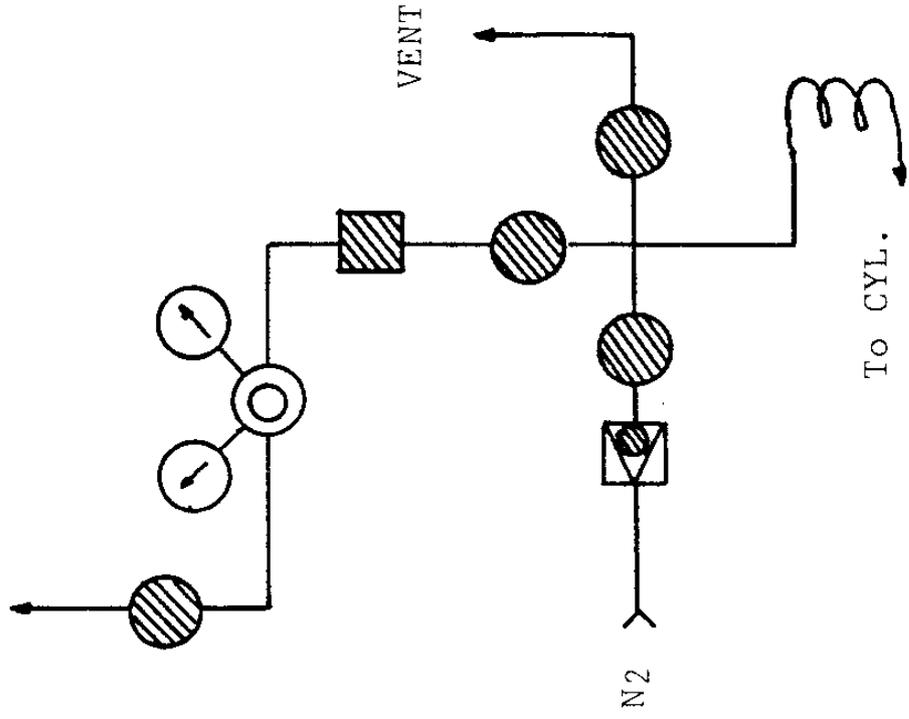


그림 2-14. Hydride gas용 gas panel의 배관도

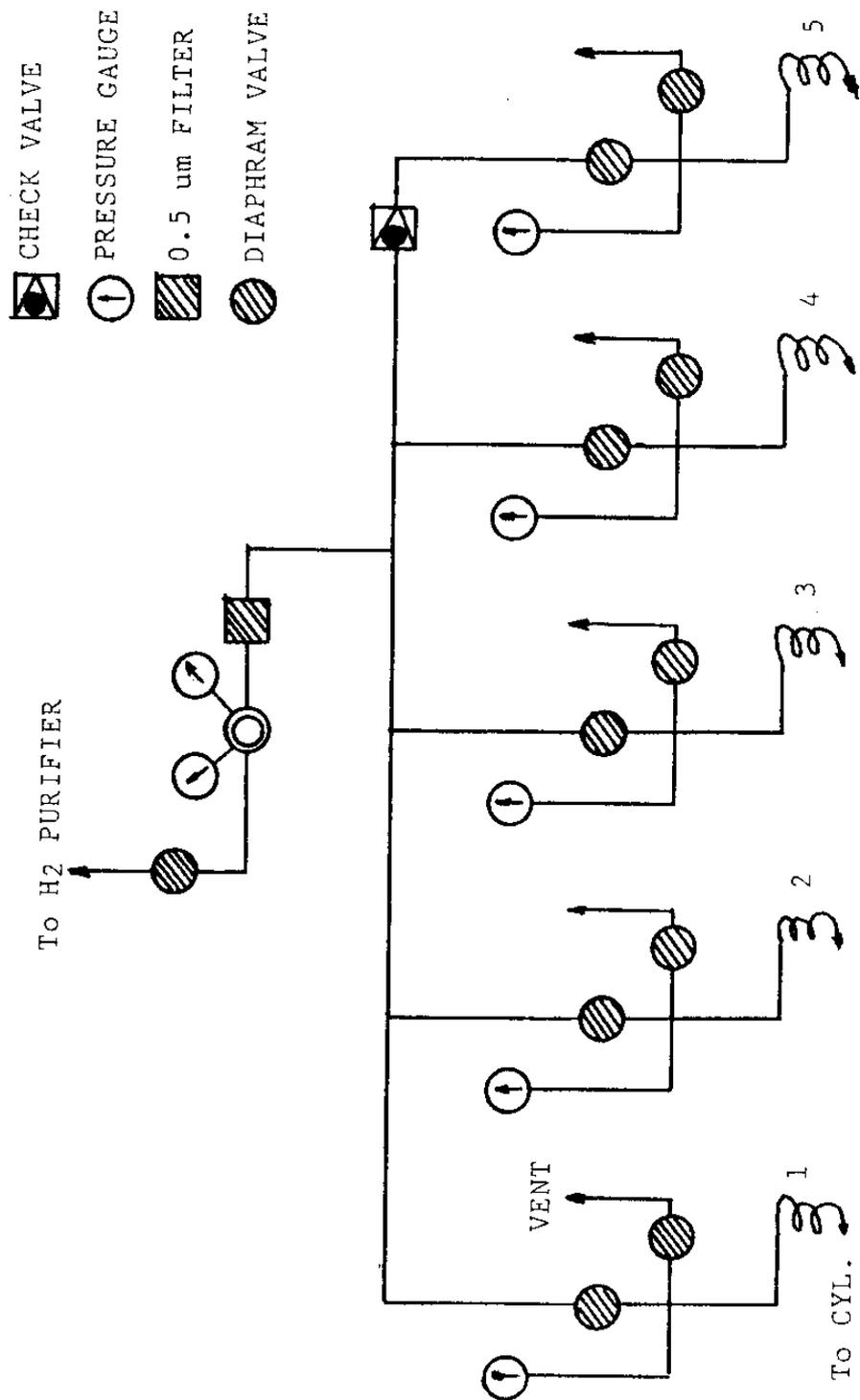


그림 2-15. 수소용 gas panel의 배관도

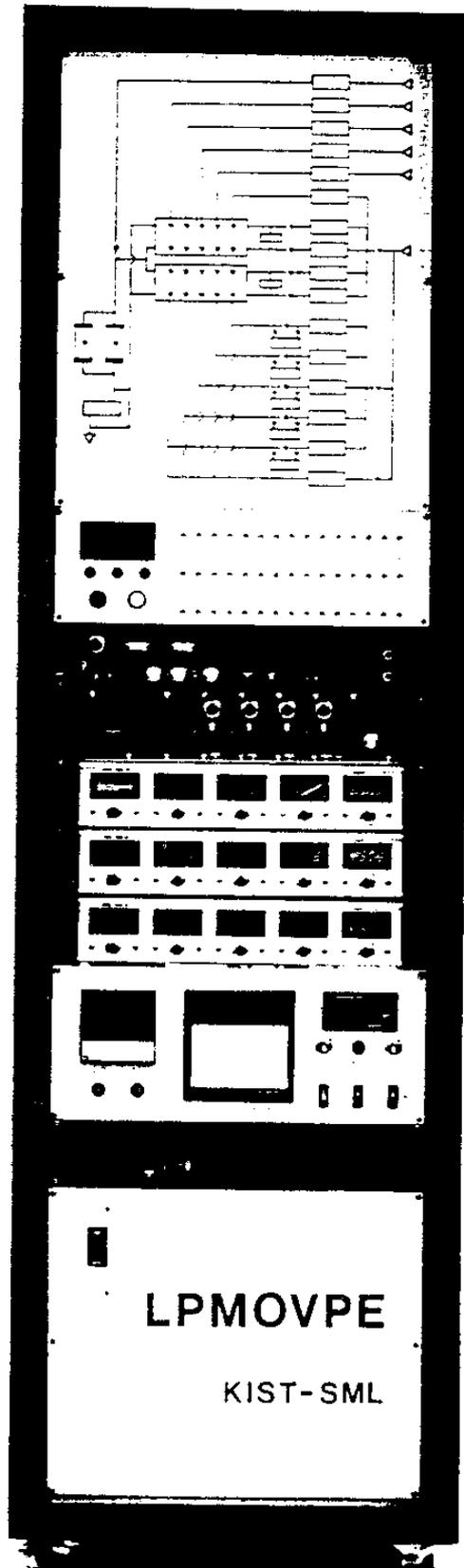


그림 2-16. Control system의 사진

supply는 gas 유량 조절용 MFC의 제어를 위한 것으로 모두 15개의 MFC를 제어할 수 있게 하였다. Pressure controller는 reaction chamber pressure를 일정하게 유지하기 위해 reactor 하부에 설치되어 있는 throttle valve를 제어하기 위한 것과 MO part의 압력을 대기압으로 유지시키기 위한 pressure control valve를 제어하기 위한 것이 있고, run line과 vent line 사이의 압력 차이를 읽기 위한 differential pressure readout power supply 등으로 구성되어 있다. Reaction chamber pressure control은 absolute pressure manometer가 chamber pressure를 읽어서 throttle valve controller로 signal을 보내면 throttle valve의 열리는 정도를 제어함으로써 이루어진다. Digital readout은 reaction chamber의 압력을 숫자 형태로 읽기 위한 것이다. MO part의 압력을 대기압으로 유지시키기 위해서는 Absolute pressure manometer가 읽은 압력을 valve controller가 받아서 control valve의 열리는 정도를 제어하도록 되어 있다. 본 장치에서는 소량의 게스를 사용하고 4개의 MO line의 압력을 조절해야 하므로 module 형식의 valve controller 4개를 19" mount rack에 설치하고 1개의 MO line을 더 설치할 수 있도록 여유를 남겨두었다. MO line의 압력은 1개의 digital readout을 사용하여 차례로 읽을 수 있도록 하였다. Run line과 vent line 사이의 압력 차이는 differential pressure manometer로 읽어서 digital readout & power supply에 나타나도록 되어 있다. 본 장치에서는 MO part와 hydride part가 분리되어 있으므로 2개의 manometer를 각각 설치하였고, 1개의 digital readout & power supply를 사용하여 차례로 읽어 들어

서 digital read out panel에 나타낼 수 있도록 하였다. Susceptor의 temperature controller 및 recorder는 절환 스위치를 이용하여 2개의 susceptor중 1개씩만 온도 조절이 가능하도록 하였다. Susceptor 회전용 DC motor의 회전속도 제어용 controller도 1개만을 설치하고 절환 스위치를 사용하여 선택하도록 하였다. 그리고 tachometer를 부착하여 susceptor의 회전수를 직접 숫자로 읽어 낼 수 있도록 하였다. Control system cabinet의 내부에는 computer interface, +15VDC 및 pneumatic valve 구동용 solenoid valve를 동작시키기 위한 +24 VDC power supply, 110 VAC용 3KW transformer 등이 설치되어 있다.

(5) Scrubber system의 설계 및 제작

Scrubber system은 reactor system을 거쳐나오는 AsH_3 , H_2Se , SiH_4 등의 유해 gas들을 제거하기 위한 것으로 그림2-17에 그 배관도를 나타내었다. 이 system은 유해 gas 제거용 trap과 system과 대기를 차단하기 위한 Si oil bubbler, reactor system의 exhaust 및 수소 정화기의 bleed line으로부터 오는 수소 gas를 태우기 위한 burner 등으로 구성되어 있다. AsH_3 등의 유독 gas를 제거하기 위한 흡착제로는 Toxoclean을 사용하였다. Trap 주위의 배관은 PVC pipe 및 PVC ball valve를 사용하여 흡착제에 의해 배관이 부식되지 않고, gas flow의 conductance를 높일 수 있도록 하였다. 정전시에는 배기가 되지 않으므로 경보장치를 설치하였다.

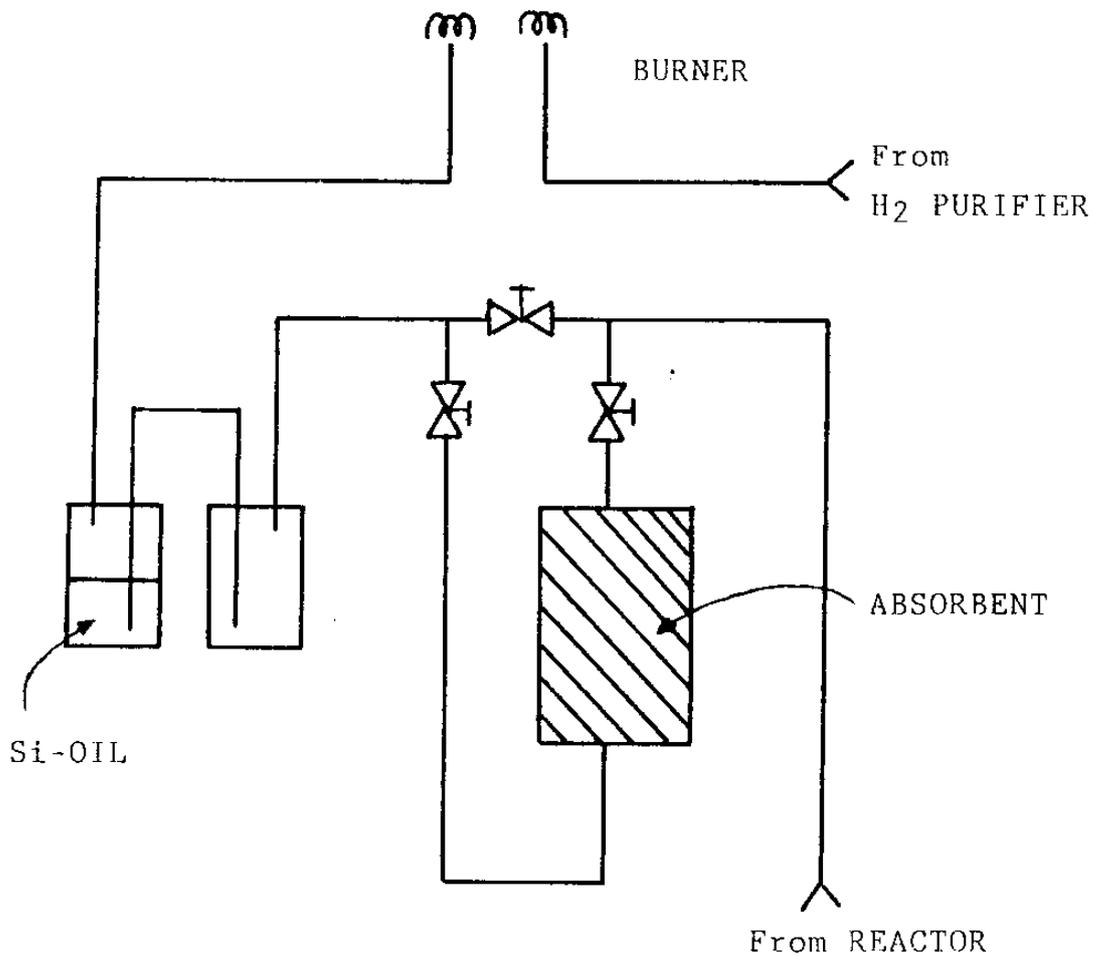


그림 2-17. Scrubber system의 배관도

(6) Safety

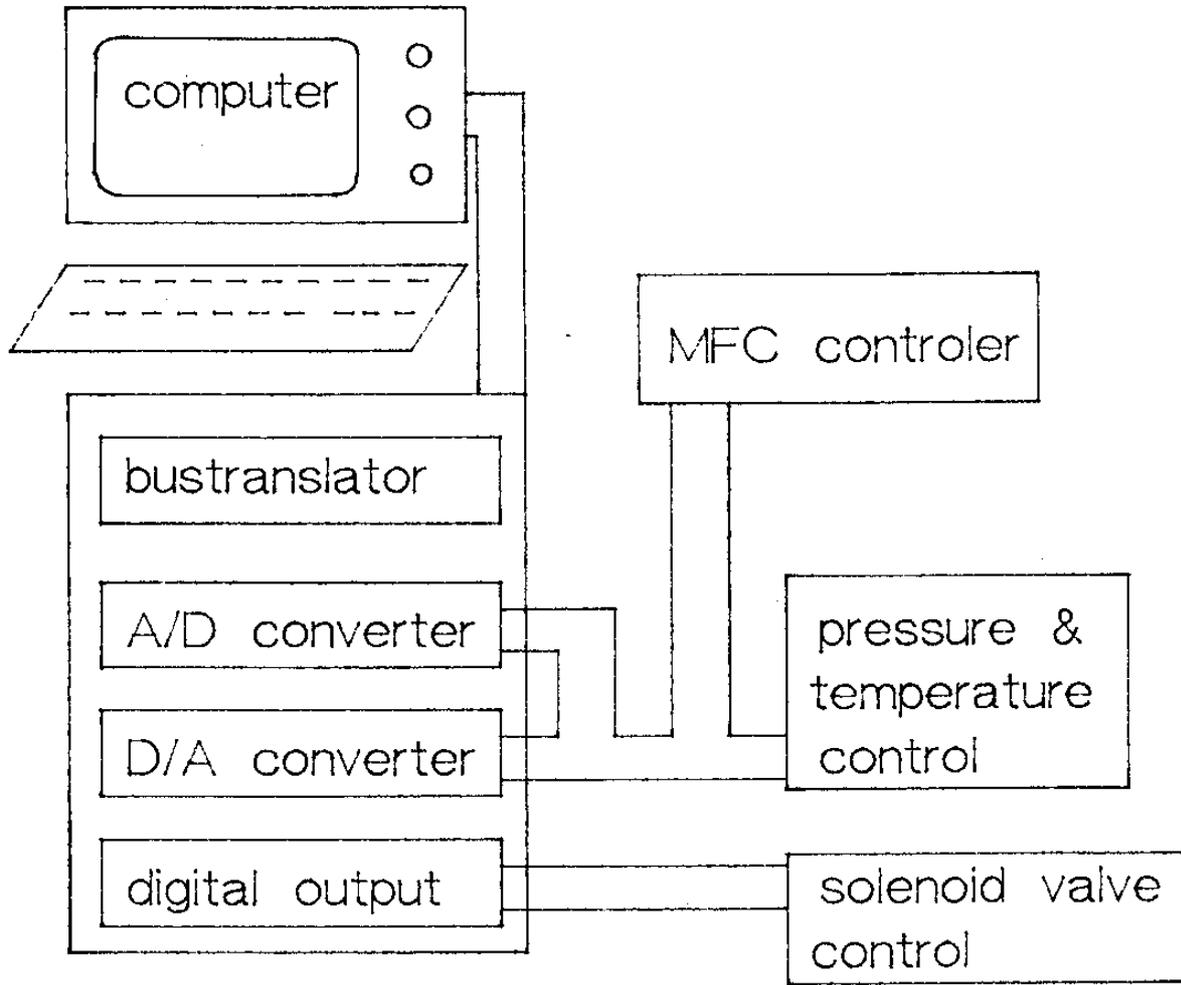
MOCVD 장치는 AsH_3 , H_2Se , SiH_4 , H_2 등의 유독성, 폭발성 및 가연성 gas들을 사용하므로 안전에 각별히 신경을 써야 한다. 따라서 본 system에서는 reactor 뿐만 아니라 각각의 gas cabinet에 vent용 hood 시스템을 설치하여 reactor나 cabinet 내의 공기가 실험실 안쪽으로 유입되지 않도록 하였다. 그리고 AsH_3 monitor를

이용하여 AsH_3 gas의 누출이 있을 경우 공기중의 농도가 한계 허용치인 50 ppb 이상이 되면 정보가 올리도록 하였다. AsH_3 monitor의 sensor는 gas cabinet, reactor, scrubber 등에 설치하였다. 에피성장 도중 문제가 생겼을 경우나 정전시에는 모든 pneumatic valve(normal close)가 닫히고 질소용 pneumatic valve(normal open)만 열리도록 하였다. Reactor chamber의 압력이 대기압보다 커지는 경우에도 배기 gas line의 pneumatic valve가 열리도록 하여 chamber를 보호하였다. 수소 정화기에도 보호 장치를 부착하여 정전시 질소가 흐르게 하여 diffusion cell이 망가지지 않게 하였다. 또한 reactor나 scrubber 및 gas cabinet으로부터 옥외로 배기가 안 될 경우에도 정보가 올리도록 하였다.

(7) 컴퓨터를 이용한 에피 성장 방법

가. 컴퓨터 인터페이스의 내용과 전기회로

LPMOVPE 에피 성장시에 모든 밸브들을 수동(manual) 뿐만 아니라 자동으로 제어하기 위해 필요한 모든 pneumatic valve용 solenoid valve들과 기체들의 유량을 조절하기 위한 MFC(mass flow controller) 등을 컴퓨터와 인터페이스 시켰다. 컴퓨터 인터페이스를 하는데 필요한 부품과 card들을 Analog Design Laboratories corp.의 제품을 사용하였고 manual/auto(수동/자동)의 제어를 위한 부품은 자체 제작하였다. 컴퓨터 인터페이스의 개념도는 그림2-18에 나타내었다. 컴퓨터는 XT를 사용하였고 인터페이스를 위한 명령어들은 Turbo Basic 언어를 사용하였다. 그림2-18을 상세하게 살펴보면 컴



schematic diagram of the computer controlled growing system

그림2-18. 컴퓨터 인터페이스의 개념도

퓨터와 인터페이스용 하드웨어 사이에는 bus translator를 사용하여 data가 상호 전달되고 있고 A/D converter나 D/A converter를 사용하여 analog 신호가 digital 신호로 또는 digital 신호가 analog 신호로 상호 변환되고 있으며 digital output card에서 전달된 신호에 의해 solenoid 밸브 제어용 릴레이들이 제어되고 나머지 temperature나 pressure 또는 pressure difference 등의 자료들은 data를 받아들여서 컴퓨터내의 data file에 저장되어 다음에 필요한 때에 활용할 수 있도록 구성되어 있다.

나. 컴퓨터 인터페이스의 내용 설명

실시간(real time) 처리되는 data 수집과 제어를 위해서 Analog Design Lab.사의 제품인 LAB-MATE 시스템을 사용하였다. 구성부품은

- (1) ADL-8000M : Bus translator & interrupt generator
- (2) ADL-8120C : low speed A/D converter
- (3) ADL-8210C : high speed D/A converter
- (4) ADL-8300C : digital input
- (5) ADL-8400C : digital discrete output

으로 구성되어 있다. 각 구성 부품을 상세하게 설명하면 다음과 같다.

1) ADL-8000M

ADL-8000M은 programmable timer/counter로서 1.0MHz의 base clock으로 구성되며 software에 의해 time 선택기능이 가능하

고 16 bit에 해당하는 counter의 기능을 갖는다.

2) ADL-8120C

ADL-8120C는 넓은 범위의 analog 입력신호를 A/D conversion에 의하여 data를 수집할 수 있다. Data 수집시에 소요되는 acquisition time은 $6\mu\text{sec}$ 이고 A/D conversion time은 30 msec이다.

ADL-8120의 I/O (input/output) address는

ADL-8120C의 I/O address		
Pa (data in)	base address+0	& H220
Pb (data in)	base address+1	& H221
Pc (data out)	base address+2	& H222

로 주어진다. 이 경우에 base address는 & H220으로 set 되어 있다. Analog 입력은 Pa port와 Pb port로 입력되고 Pc port는 channel selector로서 사용된다. A/D 변환을 위한 software는 실제의 프로그램에서 sub AD(ch), sub AD16(p)로 표기된 서브루틴에 명시되어 있다.

3) ADL-8210C

ADL-8210C는 12 bit analog 출력용 D/A converter로서 digital code에 의하여 analog 출력 전압을 발생한다. 출력 setting time은 $3\mu\text{sec}$ 이고 D/A resolution은 12 bit이므로 4096 step이 가능하다.

ADL-8200C의 I/O (input/output) address는 base address가 & H224로 set된 경우 다음과 같이 주어진다.

ADL-8210C의 I/O address		
Pa(low bite)	base address+0(H)	& H220
Pb(high bit)	base address+1(H)	& H221
Pc (write & channel select)	base address+2(H)	& H222

(H) : hexadecimal

Analog 출력 신호는 Pa port와 Pb port로 출력되고 Pc port는 channel selector로서 사용된다. D/A 변환을 위한 실제 software는 프로그램에서 sub DA16(ch, V!)로 표기된 서브루틴에 명시되어 있다. 그리고 sub DAclear 서브루틴은 D/A converter 출력들을 모두 clear시키기 위한 software이다.

4) ADL-8300C

ADL-8300C는 digital input으로서 digital 신호를 software에 의해 relay, switch, lamp 등의 각종 sensor의 on/off 상태를 제어하여 data 수집은 물론 공정 제어계에도 사용할 수 있다. 그리고 base address가 & H260으로 set된 경우 ADL-8300C의 I/O address는 다음과 같다.

ADL-8300C의 I/O address		
Pa (out)	base address+0(H)	& H260
Pb (out)	base address+1(H)	& H261
Pc (out)	base address+2(H)	& H262
Pd (out)	base address+3(H)	& H263

(H) : hexadecimal

Digital input용 실제 software는 프로그램에서 sub D로 표기된 서브루틴에 명시되어 있다.

5) ADL-8400C

ADL-8400C는 digital 출력용 hardware이다. Digital 출력용 software는 프로그램에서는 sub RELAYon (add), sub RELAYoff (add) 서브루틴으로 구성된다. 프로그램 내에서의 명령어 out R, 0과 out R, 1에서 R은 channel의 address(번지수)를 나타내고 0은 low voltage로서 off 상태, 1은 high voltage로서 on 상태를 나타낸다.

다. 제어 회로의 설명

1) 수동/자동 모드 전환 스위치

MOCVD 에피 성장시에 pneumatic valve용 solenoid valve의 제어나 MFC에 의한 유량 조절 등의 경우 manual이나 auto 두가지 방법에 의한 제어가 가능하다. 하지만 혼란을 피하기 위해서는 manual mode로 할 경우에는 완전히 수동으로만 제어를 하고 auto mode인 경우에는 특정의 일부 valve를 제외한 나머지 모든 valve

제어와 MFC에 의한 유량조절 등이 컴퓨터의 명령에 의해서만 제어되도록 auto/manual 전환을 하기 위한 mode 전환스위치가 필요하다. 이 전환 스위치에서는 역 전류에 의해 다른 solenoid valve 들이 동작하는 것을 방지하기 위해 각각의 solenoid valve 마다 relay switch를 사용하여 상호간에 신호전달이 완전히 차단되도록 하였다. Pneumatic valve용 solenoid를 동작시키기 위해서는 24V의 전원이 필요하므로 구성을 간단히 하기 위해 relay도 24V 전원으로 동작되는 것을 사용하였다.

본 회로에서는 평상시 relay part에 전원 공급이 안될 때에는 auto mode로 되어 컴퓨터 신호에 의한 제어만 가능하게 하였고 relay에 24V 전원이 접속될 때에는 manual mode로 전환되어서 manual switch에 의한 valve 동작만 가능하게 되도록 회로를 설계하였다.

2) Solenoid valve 동작회로

Pneumatic valve용 solenoid의 동작을 위해서는 24V의 전원이 공급되어야 한다. Control panel에서 각각의 manual toggle 스위치나 컴퓨터 명령에 의한 스위치 on/off에 의해서 solenoid에 24V의 전원이 공급된다. 45개의 각각의 solenoid valve들은 H_2 나 AsH_3 또는 여러가지 doping용 gas 등을 vent나 run 상태로 흘러가게 하는 valve에 해당하므로 manual 또는 auto mode에서 특정의 valve를 수동에 의해서 또는 컴퓨터 신호에 의해서 제어함으로써 필요로 하는 목적을 달성할 수 있게 된다. 그리고 solenoid valve를 on/off 시키는 control signal은 8개씩 한조로 동시에 전달되어서 한 step/

step 마다 전체 valve가 거의 동시에 (1mS 이하) on/off되어서 에피 성장시에 step이 바뀔 때마다 주입 기체들이 완전히 change 되도록 하였다. 종전에 사용한 것처럼 valve를 한개씩 on/off시킬 경우에는 valve마다 동작되는 시간에 약간의 차이가 있어서 한 step당 동작되는 valve의 갯수가 많아질수록 처음에 동작되는 valve와 끝에 동작되는 valve 사이에 시간차가 커지게 된다.

라. 에피 성장을 위한 프로그램

앞 절에서 서술한 컴퓨터 인터페이스 용 hardware를 사용하여 MOCVD 장치의 모든 전기적 기능들을 자동제어 하기 위한 범용 software를 개발하였다. 이 software에서는 main manu에서 선택한 manu에 의해서 지정된 process 또는 지정된 program routine으로 프로그램의 수행이 넘어가서 자동적으로 모든 process가 진행되고 또한 필요한 때에는 operator의 주의를 환기시켜 주기 위해 warning(경고)를 화면에 나타내도록 하였다. 그리고 앞서 설명한 것처럼 growing step이 바뀔 때마다 valve들을 동시에 on/off하기 위해 signal을 제어하는 card를 교환하였으므로 이 hardware를 control하기 위해 growing 프로그램을 전면적으로 수정하였다.

Turbo Basic 언어를 사용하여 작성한 이 프로그램에서는 다양한 여러가지 에피 성장을 할 때에 새로운 프로그램의 작성이나 변형을 쉽게 할 수 있도록 하기 위해서 서브루틴과 프러시듀어를 사용하여 프로그램을 여러개의 block으로 나누어서 구성하였다. 프로그램의 내용을 상세하게 설명하면 다음과 같다.

먼저 Turbo basic 명령어 중의 하나인 on key를 사용하여

function key를 누르면 그 key에 해당하는 서브루틴으로 가도록 지정해 놓았다. 실제의 프로그램에서는 F4. function key에 의해서 특 정의 growing routine으로 가서 다음 작업을 수행하도록 하였다. 그리고 각 단계에서의 epi 성장시간을 나타내기 위해 컴퓨터에 내장된 clock이 화면에 표시되도록 하였고 각 단계마다 시간이 처음부터 다시 count되도록 reset 기능을 이용하였다. 따라서 operator는 각 단계마다 growing이 진행된 시간을 알 수 있고 몇 분 후에 다음 단계로 넘어갈 것인가도 쉽게 알 수 있다. 에피 성장이 모두 끝난 후에는 operator가 주의하도록 사이렌 음향을 컴퓨터에서 내도록 sound라는 명령어를 사용하였다. 프로그램에서는 인터페이스 hardware를 제어하는 모든 명령들은 서브루틴으로 block화 하였는데 D/A(digital/analog) converter 출력을 모두 깨끗하게 reset되도록 하기 위해서는 sub DAclear 서브루틴을 작성하여 사용하였고, A/D (analog/digital) 1 channel의 data를 읽어들이기 위해 sub AD(ch), 16-channel의 A/D 변환을 위해 sub AD16(p), 16 채널의 D/A 포트에 출력을 내기 위해 sub DA16(ch, V!) 등의 서브루틴을 작성하였고 air valve용 solenoid valve를 제어하는데 사용되는 인터페이스 내의 relay들을 작동시키기 위해서는 sub RELAYon(add), sub RELAYoff(add)의 서브루틴들을 사용하였다. 그리고 각각의 스텝에서 valve on/off 동작과 MFC에 의한 유량조절 후에 일정한 기간 동안 그 단계가 지속되도록 하기 위해서 delay 명령어를 사용하였다. Delay 명령어에 의한 프로그램 routine의 정지는 초 단위로 가능하므로 한 예로 30분 간의 성장 시간동안 그 스텝의 모든

상태들이 그대로 유지되도록 하기 위해서는 “delay 1800”의 명령어를 사용하여야 한다.

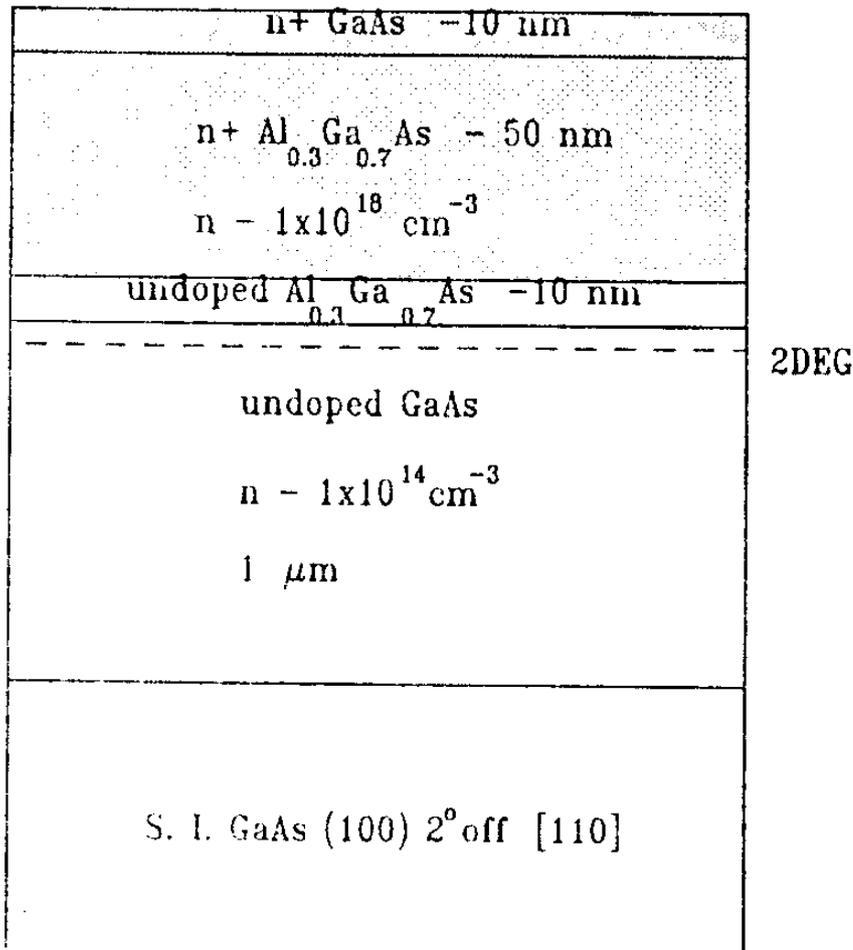
제 2 절 HEMT의 구조

1. 일반적 HEMT의 구조

본 연구사업에서 채택한 HEMT의 구조는 3가지로 분류할 수 있다. 그림2-19는 기본적인 HEMT의 구조 (type A로 분류)로 이 구조는 가장 기본적인 HEMT 구조이므로 본 연구사업에서는 HEMT의 헤테로 계면의 특성을 평가하고 기본적인 HEMT 구조에서 제작한 HEMT 소자의 특성을 측정하여 좀더 향상된 에피층 구조의 HEMT와 소자특성을 비교하기 위해 지속적으로 성장하여 연구하였다.

2. Quantum well HEMT의 구조

이상의 기본적 HEMT 구조외에 quantum well 구조의 HEMT를 성장하였다. 그 에피층의 구조는 그림2-20에 나타난 바와 같다 (Type B와 Type C로 분류). 그림에 나타난 바와 같이 undoped GaAs quantum well을 200\AA 두께로 undoped AlGaAs ($x=0.3$) 위에 성장하였고 그 위에 보통의 HEMT와 같이 100\AA 의 AlGaAs undoped spacer 층 ($x=0.3$), $400-500\text{\AA}$ 의 $n\text{-AlGaAs}$ ($n\sim 10^{18}\text{cm}^{-3}$) 층을 성장하였다. 그 위에 type B의 에피층은 100\AA 의 undoped AlGaAs층과 300\AA 의 n^+ ohmic GaAs층을 성장하였고 type C의 에



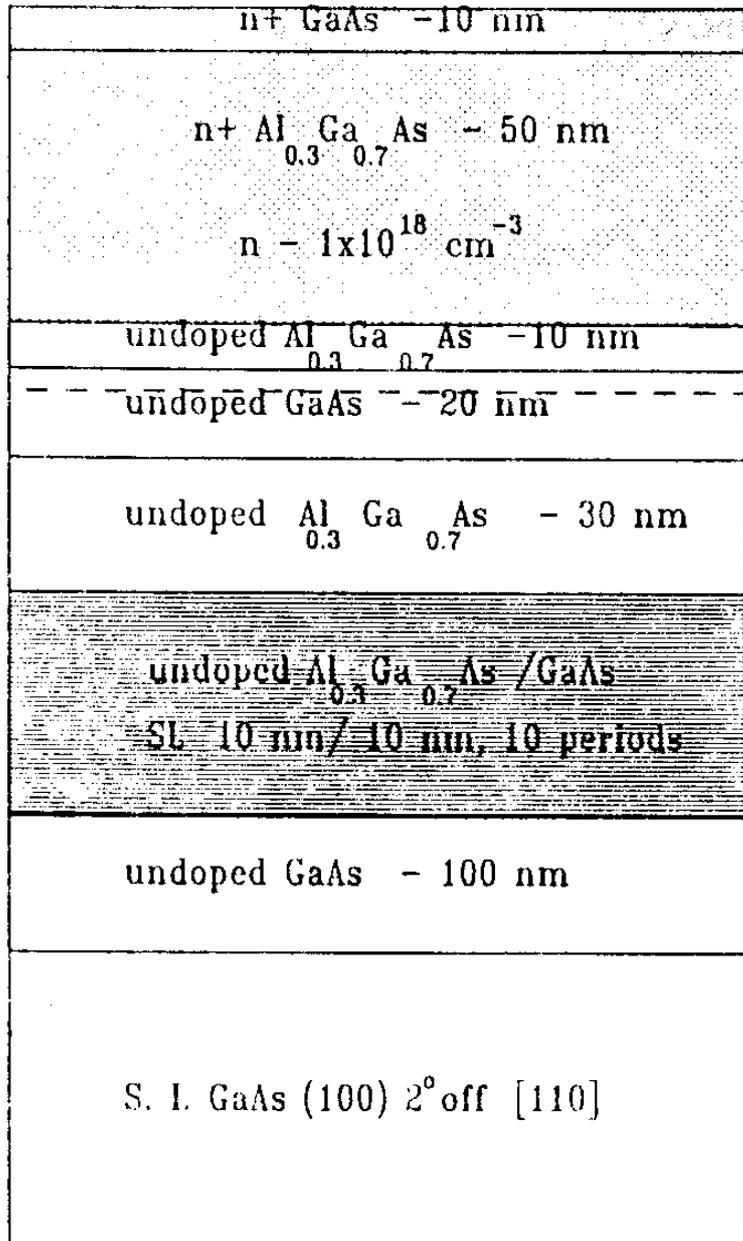
type A

그림2-19. 기본적인 HEMT의 에피층 구조

n+ GaAs - 30 nm
undoped AlGaAs (x -0.3) - 10 nm
n+ AlGaAs (x-0.3) - 40 nm n - $1 \times 10^{18} \text{ cm}^{-3}$
undoped AlGaAs (x -0.3) - 10 nm
undoped GaAs - 20 nm
undoped AlGaAs (x -0.3) - 200 nm
undoped GaAs - 200 nm
S. I. GaAs (100) 2° off

2DEG

type B



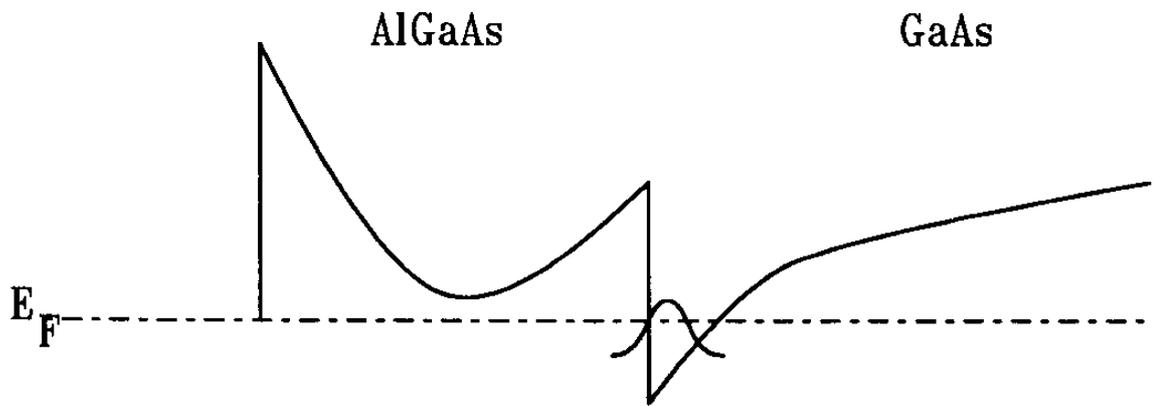
type C

그림 2-20. Quantum well HEMT의 에피층 구조

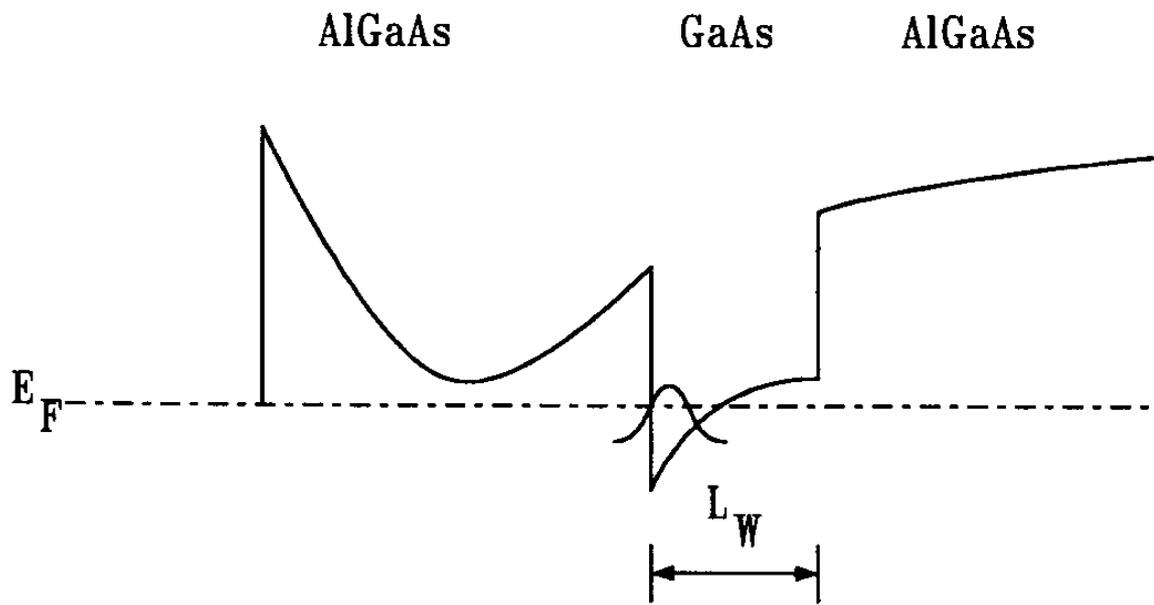
피층은 100\AA 의 n^+ ohmic GaAs층만 성장하였다. 그림2-21은 일반적인 HEMT와 quantum well HEMT의 band 구조를 개략적으로 나타낸 것이다. 그림에서 알 수 있듯이 channel을 GaAs quantum well로 할 경우, 다음과 같은 이점이 있다.

- (a) quantum well로 인하여 2차원 전자의 confinement의 효율이 증대된다. 따라서 full channel current가 증가하고 transconductance가 증가한다.
- (b) GaAs/AlGaAs의 band discontinuity에 의하여 AlGaAs buffer 층의 역할이 증대하여 leakage current가 줄어들므로 pinch off 특성이 증대하고 back-gating 효과가 줄어든다.

그러나 2차원 전자의 low field mobility는 감소하게 되는데 실제 HEMT 동작은 high electric field domain에서 이루어지므로 큰 소자동작 특성에 영향을 주지 않을 것으로 사료된다. MOCVD의 경우에 MBE와 달리 undoped GaAs의 back ground impurity가 10^{14}cm^{-3} 이하로 하기 어려우므로 quantum well HEMT의 경우, MOCVD 에 피층 구조로 오히려 적합하다. Type C의 에피층 구조는 에피층 구조는 buffer 층 사이에 GaAs/AlGaAs($100\text{\AA}/100\text{\AA}$)의 초격자를 삽입하였는데 이는 초격자가 dislocation 전파를 막는 효과가 있고 헤테로 에피층의 평탄화를 기할 수 있기 때문이다.



Conventional HEMT



Quantum well HEMT

그림 2-21. 일반적인 HEMT와 quantum well HEMT의 band 구조

제 3 절 HEMT의 구조 에피층의 특성

1. HEMT 구조의 수송 특성

먼저 HEMT 구조의 n-AlGaAs 층의 도핑 특성을 조사하였다. 그림 2-22는 AlGaAs 층의 도핑 특성을 나타낸 것이다. 이 특성을 조사하기 위하여 두께를 $1\mu\text{m}$ 정도 성장하여 van der Pauw 방법으로 Hall 측정하였다. 대략 8×10^{-6} 의 SiH_4 몰분율에서 전자농도 $1 \times 10^{18} \text{cm}^{-3}$ 을 얻었고 이 조건에서 AlGaAs 도핑을 하였다. HEMT는 일종의 FET 구조이므로 좋은 소자 특성을 얻기 위해서는 buffer 층인 undoped GaAs 에피층의 특성이 중요하다. undoped GaAs를 $6\mu\text{m}$ 정도로 성장하여 Hall 측정한 결과 상온에서 mobility가 $6,500 \sim 6,800 \text{cm}^2/\text{v} \cdot \text{sec}$, carrier 농도가 $4 \times 10^{14} \text{cm}^{-3}$ 인 결과를 얻었다. 한편 quantum well HEMT에서 buffer층 역할을 하는 undoped AlGaAs ($x=0.3$) 층은 대단히 고저항이었다. HEMT의 2차원 수송특성을 조사하기 위해 저온에서 몇 개의 대표적 시료에 대하여 Hall 측정을 하였다. 그림 2-23과 2-24는 시료 AP 330, AP 328, MSK 1, MSK 2 HEMT 구조 시료의 저온에서의 sheet electron density와 Hall mobility를 나타낸 그림이다. MSK 1과 MSK 2는 type C의 에피층 구조이며 AP 328과 AP 330은 type B의 에피층 구조이다. 그림 2-23에서 알 수 있듯이 모든 시료가 저온에서 이온화 불순물 산란(ionized impurity scattering)이 배제된 2차원 전자의 전형적인 수송 특성을 보인다. 특히 MSK 1의 경우, 18K에서 low field mobility가 $165,000 \text{cm}^2/\text{v} \cdot \text{sec}$ 까지 증가하는 좋은 특성을 보인다. 이

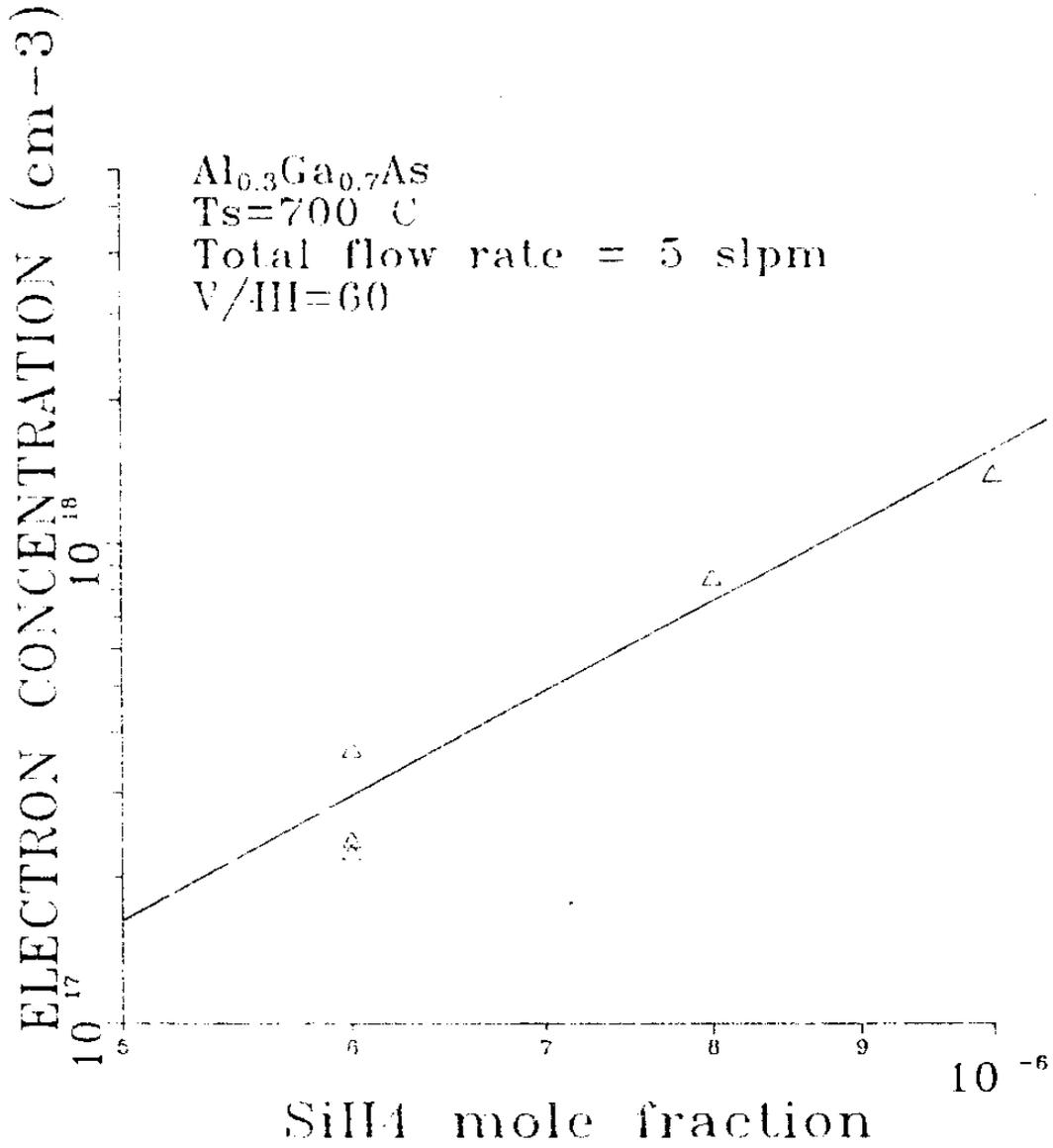


그림 2-22. AlGaAs 층의 도핑 특성

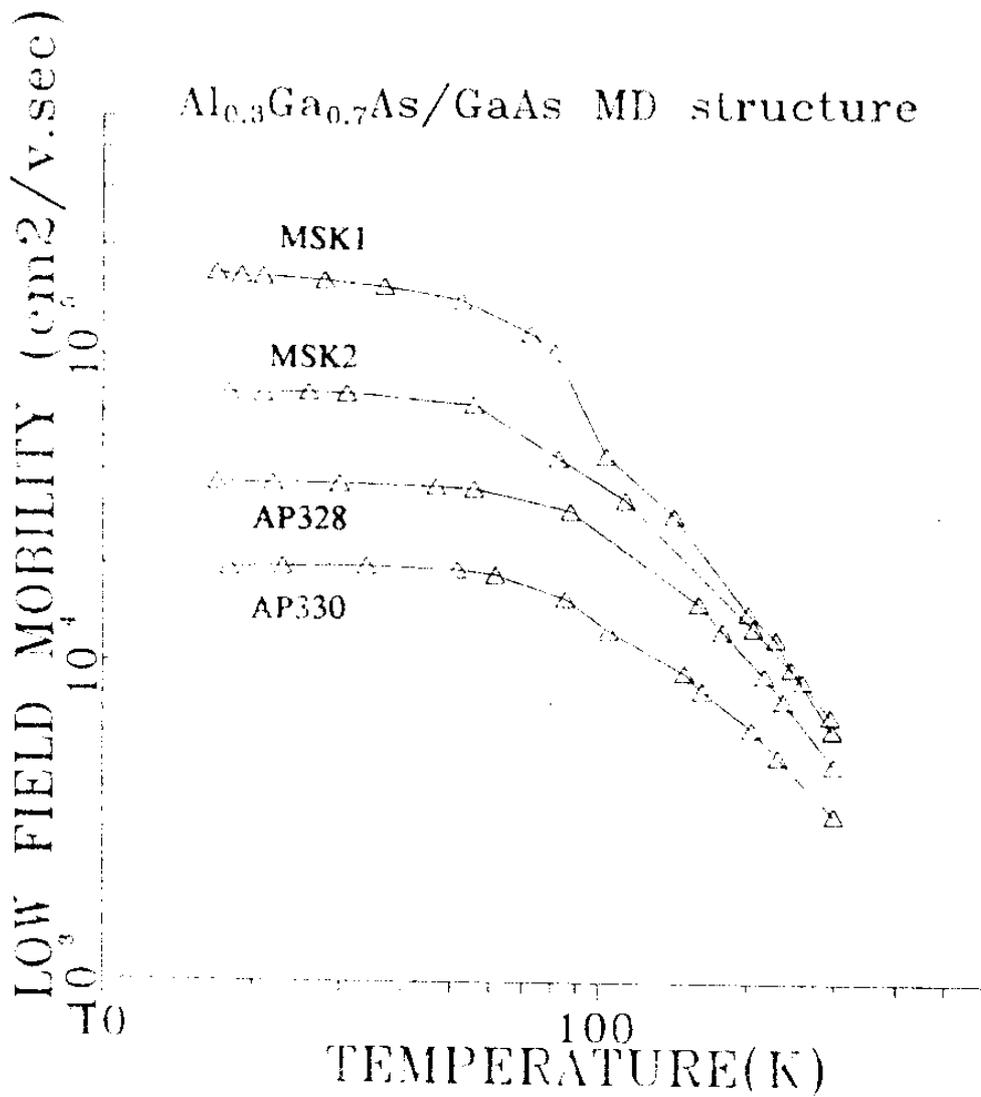


그림 2-23. Low field mobility의 온도의존성

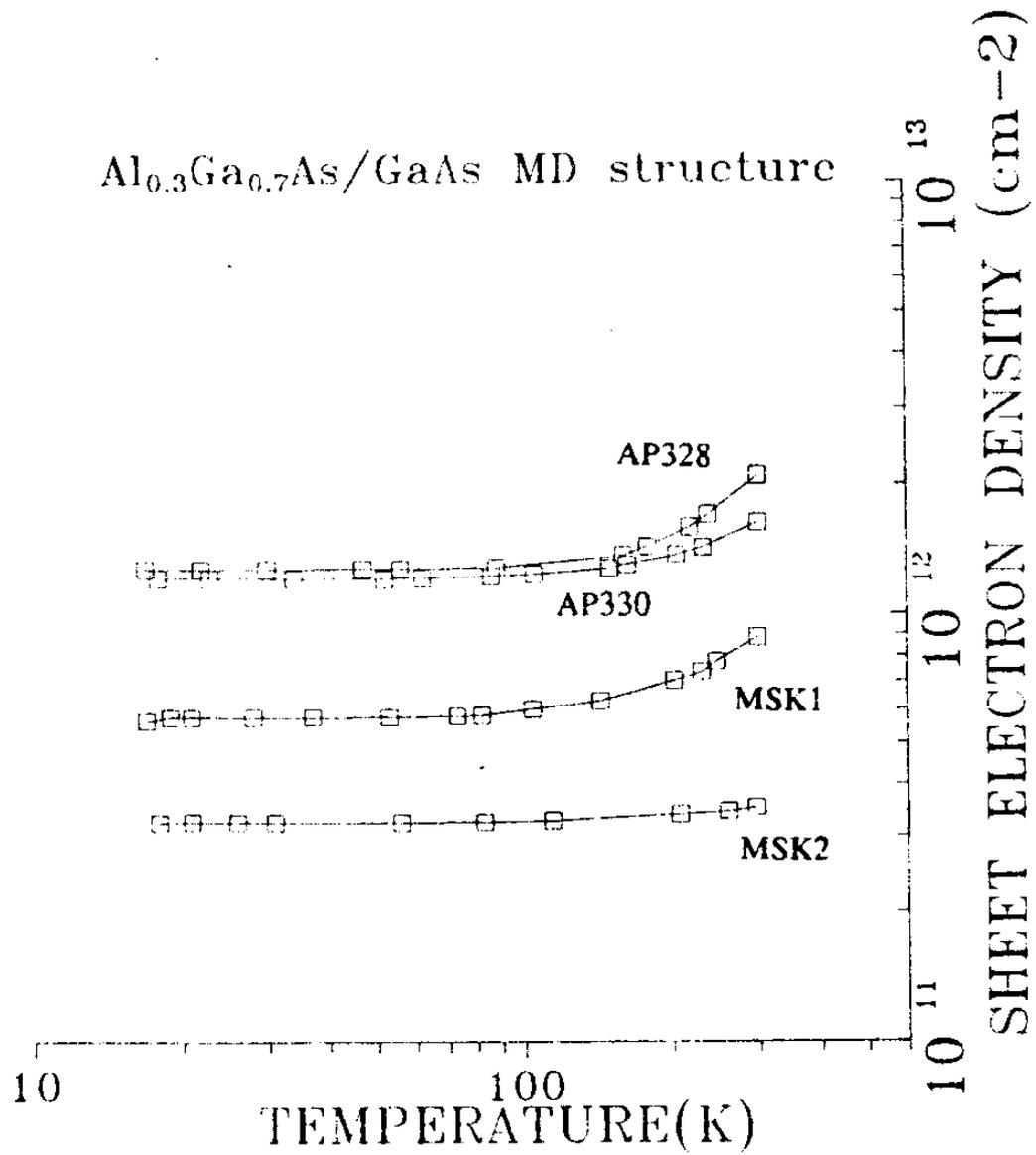


그림 2-24. Sheet electron density의 온도의존성

때 sheet electron density는 $5 \times 10^{11} \text{cm}^{-2}$ 정도였다. AP328의 경우 18K에서 mobility가 $36,500 \text{cm}^2/\text{v} \cdot \text{sec}$ 정도이지만 sheet electron density가 거의 이론치에 가까운 $1.28 \times 10^{12} \text{cm}^{-2}$ 정도로 고농도로 농축된 것이다.

2. LPMOCVD에 의하여 성장한 대면적 에피층의 특성

(1) 성장조건 및 성장을

LPMOCVD로 epi 성장을 하여 성장된 웨이퍼의 uniformity 특성을 조사하였다. 성장 조건이 다음과 같을 때 즉,

$$\text{TMA} = 0.2 \text{ cc/min}$$

$$\text{TMG} = 0.4 \text{ cc/min}$$

$$\text{AsH}_3 = 8 \text{ cc/min}$$

$$\text{H}_2 = 10 \text{ liter/min}$$

$$T_g = 750^\circ\text{C}$$

$$\text{회전수} = 1000 \text{ rpm}$$

등의 조건을 사용하여 growing을 하였을 때 성장된 웨이퍼의 uniformity 특성을 조사하였다. 사진2-1과 사진2-2는 성장된 epi 층의 단면을 50배로 angle lapping 한 후 Normalsky 현미경을 사용하여 각각 300배와 600배로 확대한 사진들이다. 웨이퍼의 전면에 걸쳐서 불균일성은 거의 찾아볼 수 없었고 따라서 매우 균일한 epi가 성장되었다는 것을 알 수 있다. 그림2-25는 앞에서 설명한

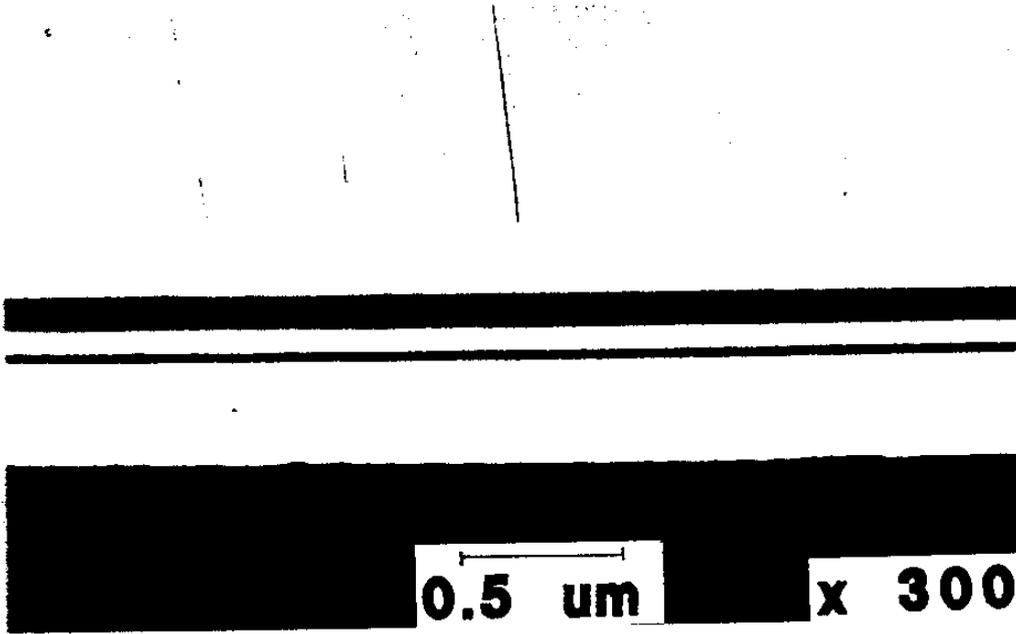


사진 2-1. LPMOCVD로 성장시킨 2 inch 에피 웨이퍼의 단면 사진. 50배로 경사 연마한 후 현미경으로 300배 확대하였다.

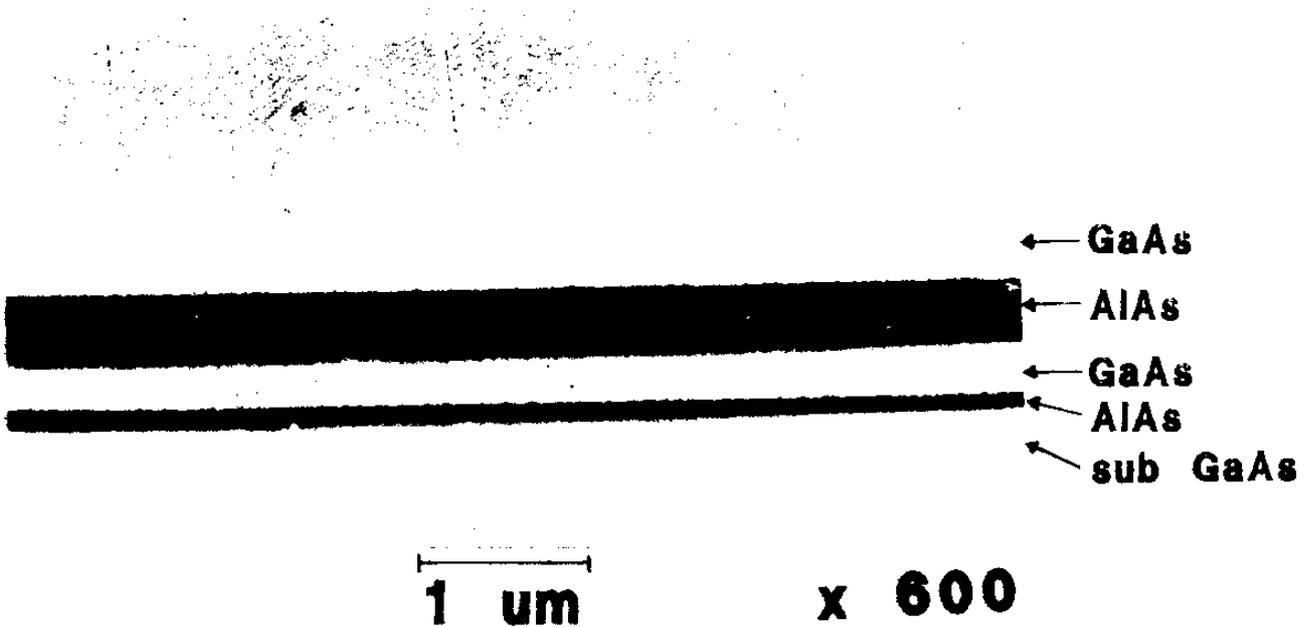


사진 2-2. LPMOCVD로 성장시킨 2 inch 에피 웨이퍼의 단면 사진. 50배로 경사 연마한 후 현미경으로 600배 확대하였다.

조건과는 다른 growing 조건으로 epi 층을 성장시킨 시편의 uniformity 특성을 위치한 함수로 나타낸 그림이고 웨이퍼의 가장 자리를 제외하고는 위치에 따라 거의 완전하게 균일한 성장 두께를 가지고 있음을 알 수 있다. 앞에서 제시한 MO source와 AsH₃ 및 캐리어용 수소(H₂) gas가 주입되었을 때의 성장율(growth rate)은

$$\text{AlAs의 경우 } 0.40\mu\text{m/hr.} = 1.1 \text{ \AA/sec}$$

$$\text{GaAs의 경우 } 0.97\mu\text{m/hr.} = 2.7 \text{ \AA/sec}$$

이다. 그리고 MFC로 흐르는 수소의 유량을 조절하여 reactor로 들어오는 MO source 유입량을 조절함으로써 epi 성장율을 더 빠르게 또는 더 느리게 제어할 수 있다. 즉 초격자(super lattice) 구조나 양자우물(quantum well) 구조를 성장시킬 때에는 성장율을 더 느리게 하고 1 μm 이상의 두꺼운 에피층을 성장시킬 때에는 성장율을 더 빠르게 하는 등의 조절을 할 수 있다. 그림2-25의 자료는 MO source의 유량을 크게 하였으므로 성장율이 3 \AA/sec 로 약간 증가하였다.

NEW MOVPE GaAs THICKNESS UNIFORMITY
 (TR-53)
 GROWTH RATE = 3 Å/sec

2 inch diameter

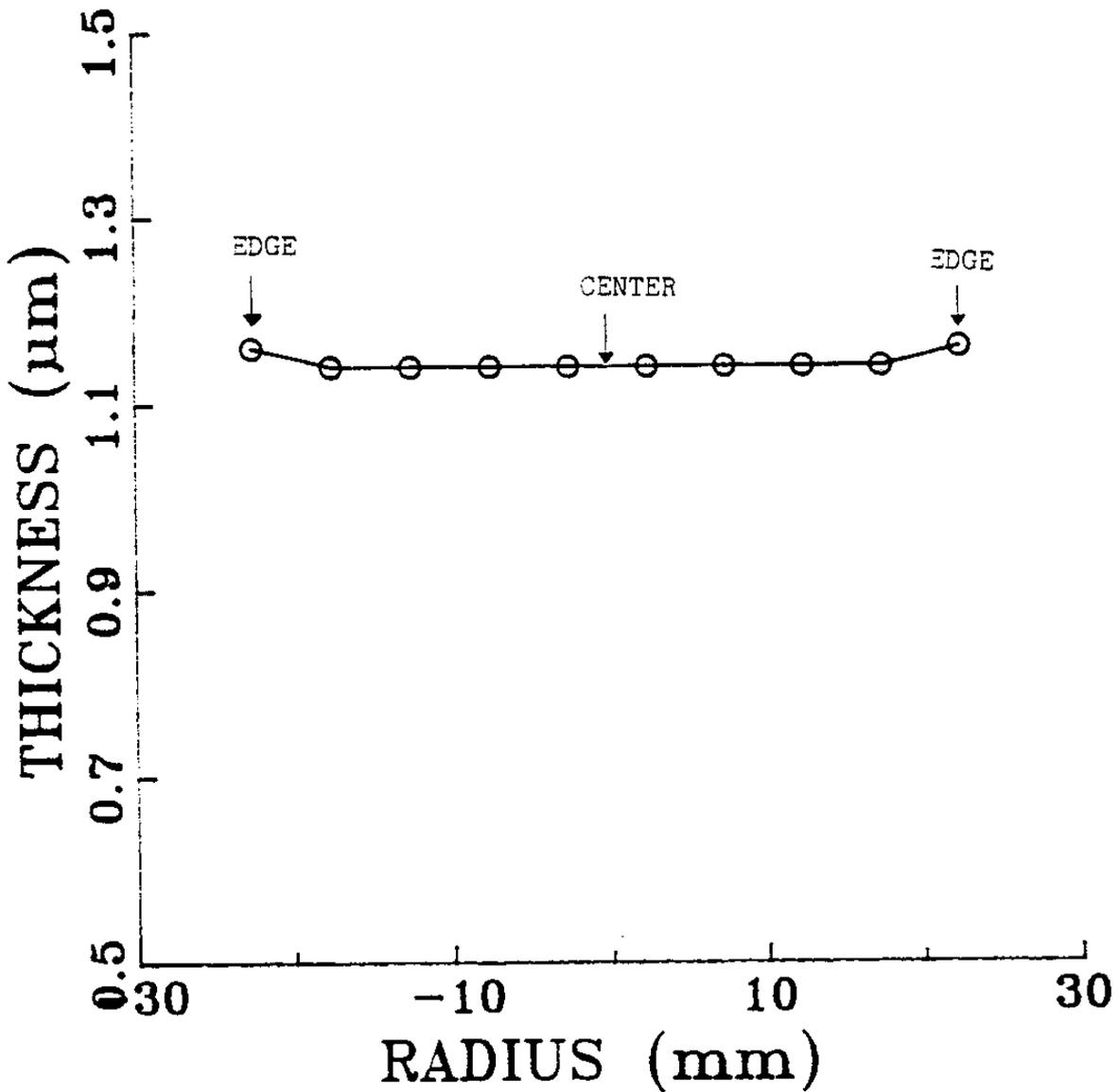


그림 2-25. LPMOVPE로 성장시킨 2인치 웨이퍼 위에 성장시킨 GaAs의 uniformity 특성

(2) 성장된 에피층의 uniformity 특성

2인치 웨이퍼의 전면적 성장시에 성장을 뿐만 아니라 전기적 특성 및 결정성의 균일성을 조사하기 위해 웨이퍼를 여러개의 작은 조각으로 잘라서 각각의 위치에서의 resistivity ($\Omega\text{-cm}$), mobility ($\text{cm}^2/\text{V}\cdot\text{sec}$), 캐리어 농도 (cm^{-3}) 등의 특성들을 Hall 측정을 하여 조사하였다. 성장조건은 앞에서 서술한 것과 같은 조건들을 사용하였고 n-type GaAs epi 층을 성장시키기 위해 Si_3N_4 gas를 reactor에 유입시켜서 silicon으로 n-type doping을 하였다. 각각의 위치에서 시편의 특성들을 위치에 따른 resistivity ($\Omega\text{-cm}$)의 변화는 그림2-26에, 위치의 변화에 따른 mobility profile은 그림2-27에 그리고 위치의 변화에 따른 carrier concentration profile은 그림2-28에 나타내었다. 이상 설명한 바와 같이 2인치 웨이퍼 여러 위치에서의 전기적 특성을 측정한 결과 측정 시스템의 에러 범위 내에서 매우 균일한 특성을 얻었다. 그리고 epi 성장시에 susceptor 및 시편을 1000rpm의 매우 빠른 속도로 회전시키고 한편 주입된 MO source 및 gas는 reactor 바로 앞에서 stainless steel mesh에 의해 골고루 분사되므로 reactor의 중심에서 회전반경이 같은 r의 위치에서는 거의 일정한 성장율로 에피가 성장된다.

그림2-29는 $\text{Al}_{0.25}\text{Ga}_{0.65}\text{As}$ 의 에피층을 성장시킨 2인치 웨이퍼에서 1, 2, 3, 4로 표시된 부분을 잘라내어서 X-ray 장치를 사용하여 AlAs mole 비를 측정한 것이다. GaAs의 X-ray peak 위치와 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 의 X-ray peak 위치 사이의 떨어져 있는 각도를 측정하여 AlAs의 mole비 x값을 결정하는데 이 시편의 측정결과 그림

RESISTIVITY PROFILE IN 2 inch WAFER

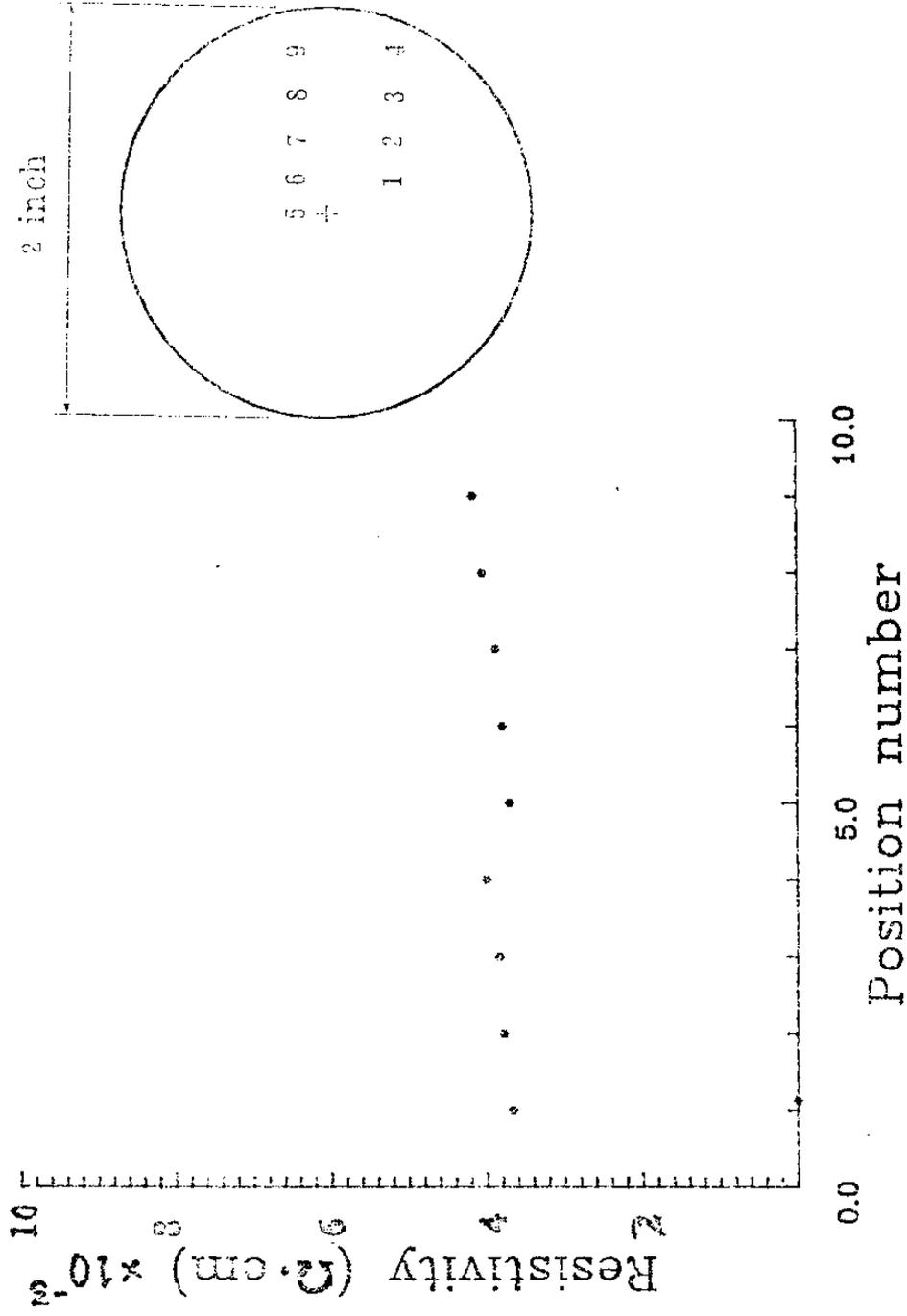


그림 2-26. LPMOVPE로 성장시킨 2인치 epi 웨이퍼의 위치에

따른 resistivity의 변화

MOBILITY PROFILE IN 2 INCH WAFER

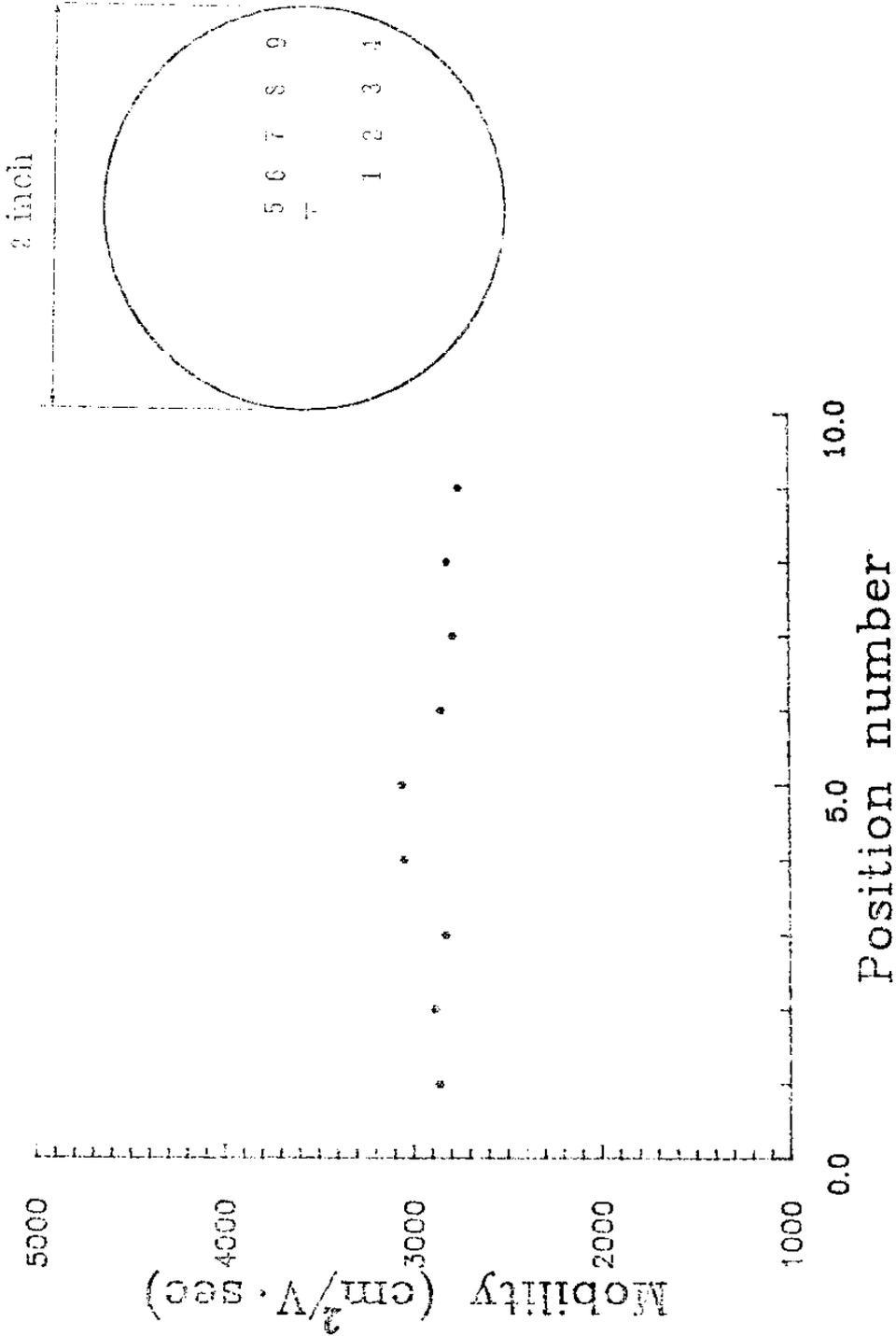


그림 2-27. LPMOVPE로 성장시킨 2인치 epi 웨이퍼의 위치에 따른 mobility의 변화

Carrier concentration PROFILE IN 2 INCH WAFER

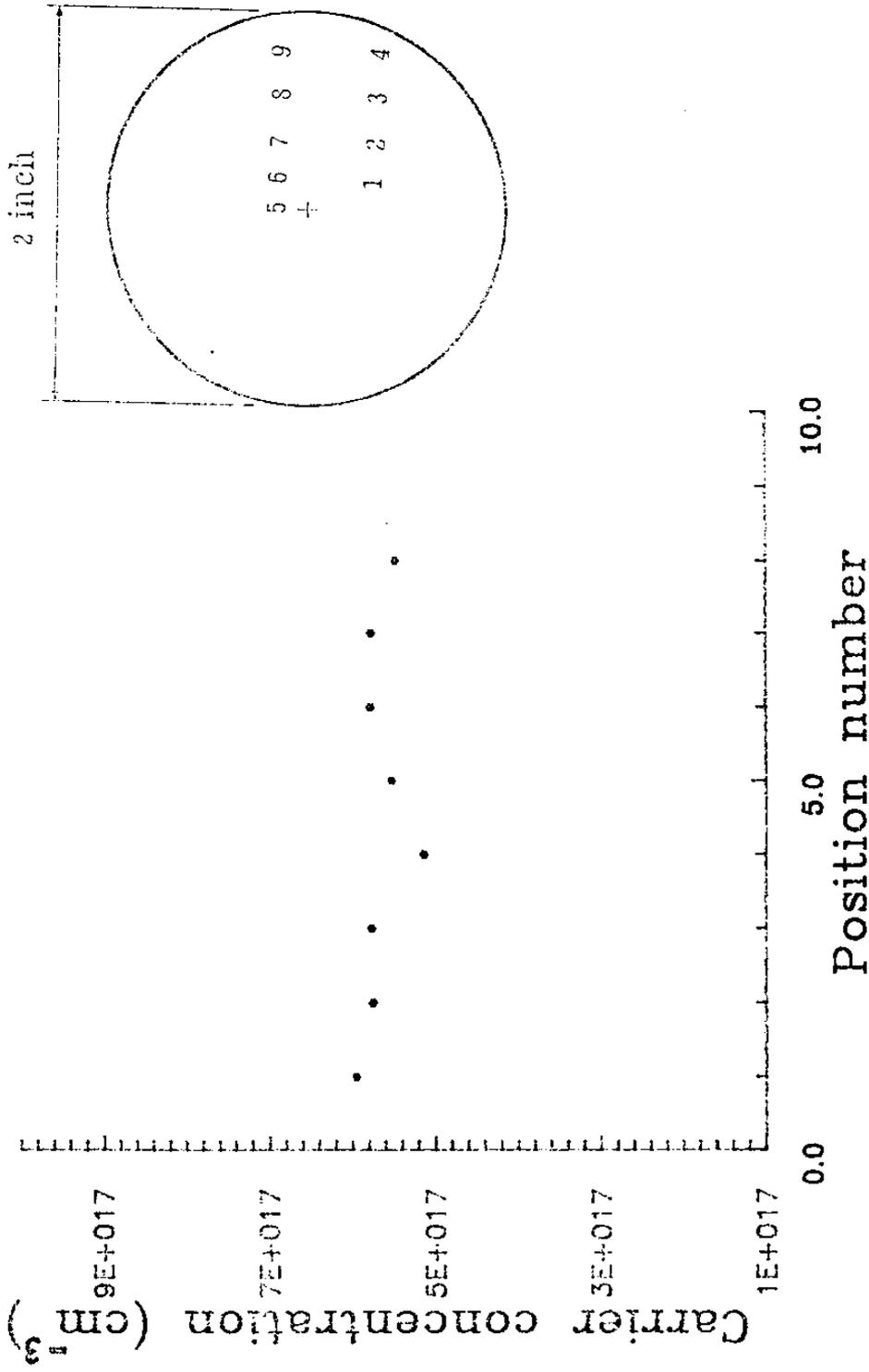
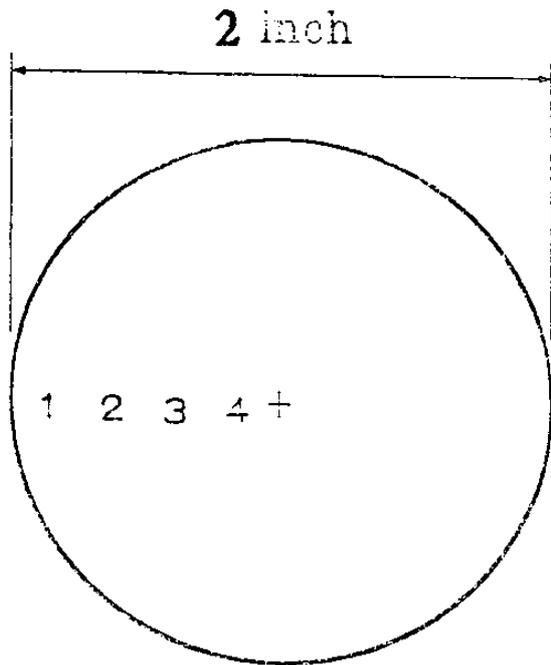


그림 2-28. LPMOVPE로 성장시킨 2인치 epi 웨이퍼의 위치에 따른 carrier concentration profile의 변화



$\Delta X = \pm 0.01$ within instrumental resolution



Double crystal X-ray diffraction rocking curve

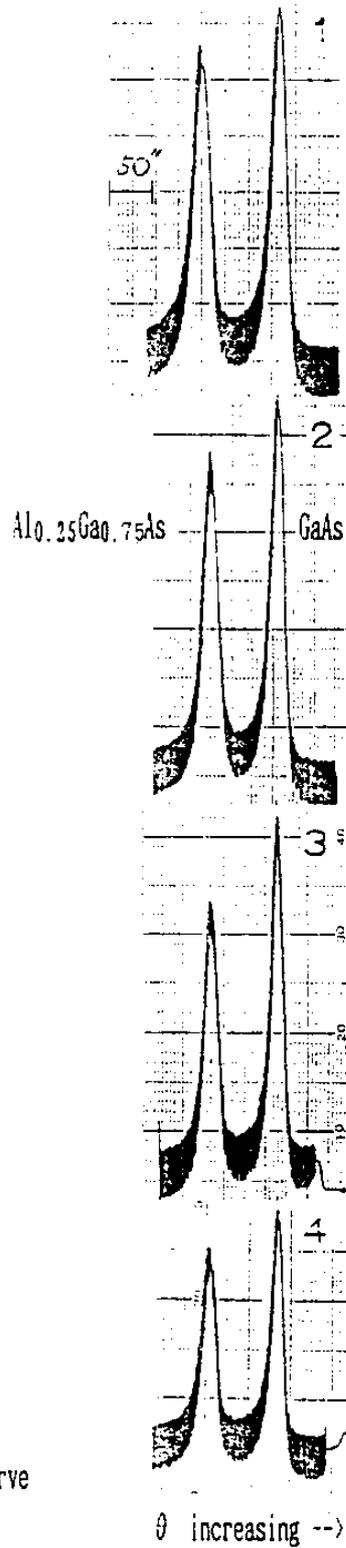


그림 2-29. LPMOVPE로 성장시킨 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 2인치 epi 웨이퍼의 위치에 따른 AlAs 몰비의 uniformity 특성

에서 알 수 있는 바와 같이 위치에 따라 separation 간격 차이를
눈으로 구분할 수 없을 정도로 거의 일정하였고 측정시스템의 오차
범위 1% 이내에서 위치에 따라 거의 완전하게 균일한 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$
에피층이 성장되었음을 알 수 있었다.

그림2-30은 growing run 번호가 다른 시편에 대하여 PL
(photo luminescence) intensity를 측정한 결과이다. 그림에서 표시한
1과 2의 경우 시편이 달라짐에 따라 PL peak intensity는 변화하였
지만 PL peak는 같은 위치에서 관찰되었다. 따라서 같은 성장조건
을 사용하면 재현성 있는 epi가 성장된다고 기대할 수 있다.

— LP110.SPT LP_110
 — LP111.SPT LP_111
 — LP112.SPT LP_112

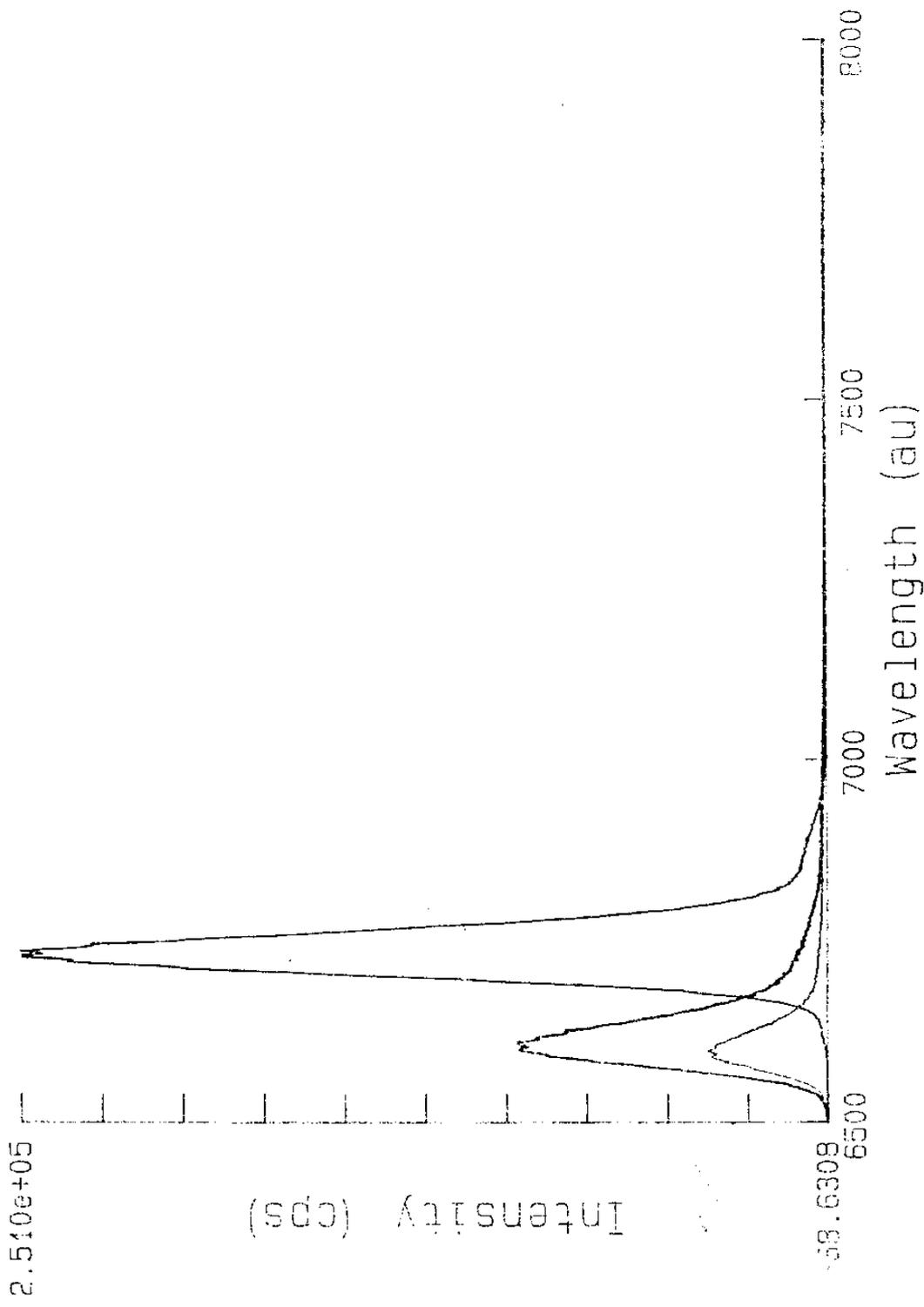


그림 2-30. Growing run 번호가 다른 여러 시편에 대한
 PL intensity 측정 결과

제 3 장 HEMT 소자의 제작

제 1 절 HEMT의 동작 이론과 최적화

HEMT에 있어, 이종접합의 GaAs층내에서 접합계면과 평행하게 운동하는 전자는 AlGaAs층에 존재하는 이온화된 donor에 의한 산란을 거의 받지 않으며 따라서 전류 전도 채널은 이종 접합계면에 평행하게 된다. 또한 채널 전류의 modulation은 제3의 terminal 즉 gate로 하게된다. Gate는 주로 AlGaAs층위에 형성된다. 이 AlGaAs층은 bulk GaAs에 비해 그 전자수송 특성이 매우 열등하므로 AlGaAs층이 gate와 이종 접합에 의한 자체 field에 의해 완전히 deplete되게 해야 한다. 그래야 전류가 우수한 수송 특성을 갖는 2차원 전자층에 의해서만 흐르게 된다.

개별소자에서는 소비 전력이 쉽게 방출될 수 있으므로 normally-on 소자(depletion mode)의 사용이 가능하다. 이 경우 gate 전압이 0일때 AlGaAs층만이 deplete되고 소자에 최대량의 전류가 흐른다. 또한 source에 대해 negative gate 전압이 걸리게 되면 2차원 전자층이 deplete되고 소자는 결국 pinch-off된다. IC (integrated circuit : 직접회로)에서는 소자의 직접도가 매우 높으므로 전력 소모가 많은 normally-on 소자의 사용이 불가능하다. 따라서 gate 아래의 n^+ 로 doping한 AlGaAs층의 두께를 더욱 얇게하여 외부의 인가 bias 없이도 2차원 전자층이 충분히 deplete되고 전류는

gate에 positive전압이 걸려야만 흐르게 되는 normally-off 소자를 사용한다.

1. 2차원 전자 농도와 charge control

Modulation doping한 AlGaAs/GaAs 이종 접합 구조 계면에서 형성된 2차원 전자 개스의 단위 면적당 농도(n_s)는 삼각 우물형 포텐셜 모델과 Fermi-Dirac 통계를 이용하여 계산할 수 있다. 여기에 실제 HEMT 소자에서는 gate가 존재하므로 gate에 의한 포텐셜이 함께 고려되어야 한다. Gate가 존재하는 경우 그림 3-1과 같이 전도대 밴드가 형성된다.³⁻¹⁾ 여기서 d_d 는 doping층의 두께, ϕ_b 는 barrier높이, V_g 는 gate에 인가된 gate 전압이고 ϵ_2 는 AlGaAs의 유전율, N_d 는 AlGaAs의 doping 농도, ΔE_c 는 GaAs와 AlGaAs의 이종 접합 계면의 전도대 불연속 전위 d_i 는 spacer undoped AlGaAs층의 두께이다. 이때 그림3-1의 V_2 는 공핍근사를 가정하면 다음과 같이 된다.

$$V_2 = \frac{qN_d}{2\epsilon_2} d_d^2 - E_2(0)d \dots\dots\dots(3-1)$$

여기서 $d = (d_d + d_i)$ 이고 $E_2(0)$ 는 AlGaAs, GaAs interface의 전계이다. 따라서

$$\epsilon_2 E_2(d_i^-) = \epsilon_2 E_2(0) = qn_s = \frac{\epsilon_2}{d} (V_{p2} - V_2) \dots\dots\dots(3-2)$$

가 (3-1)식으로 부터 얻어지고 여기서 V_{p2} 는 AlGaAs층을 off하는

데 필요한 전압이다. 한편 그림(3-1)로 부터

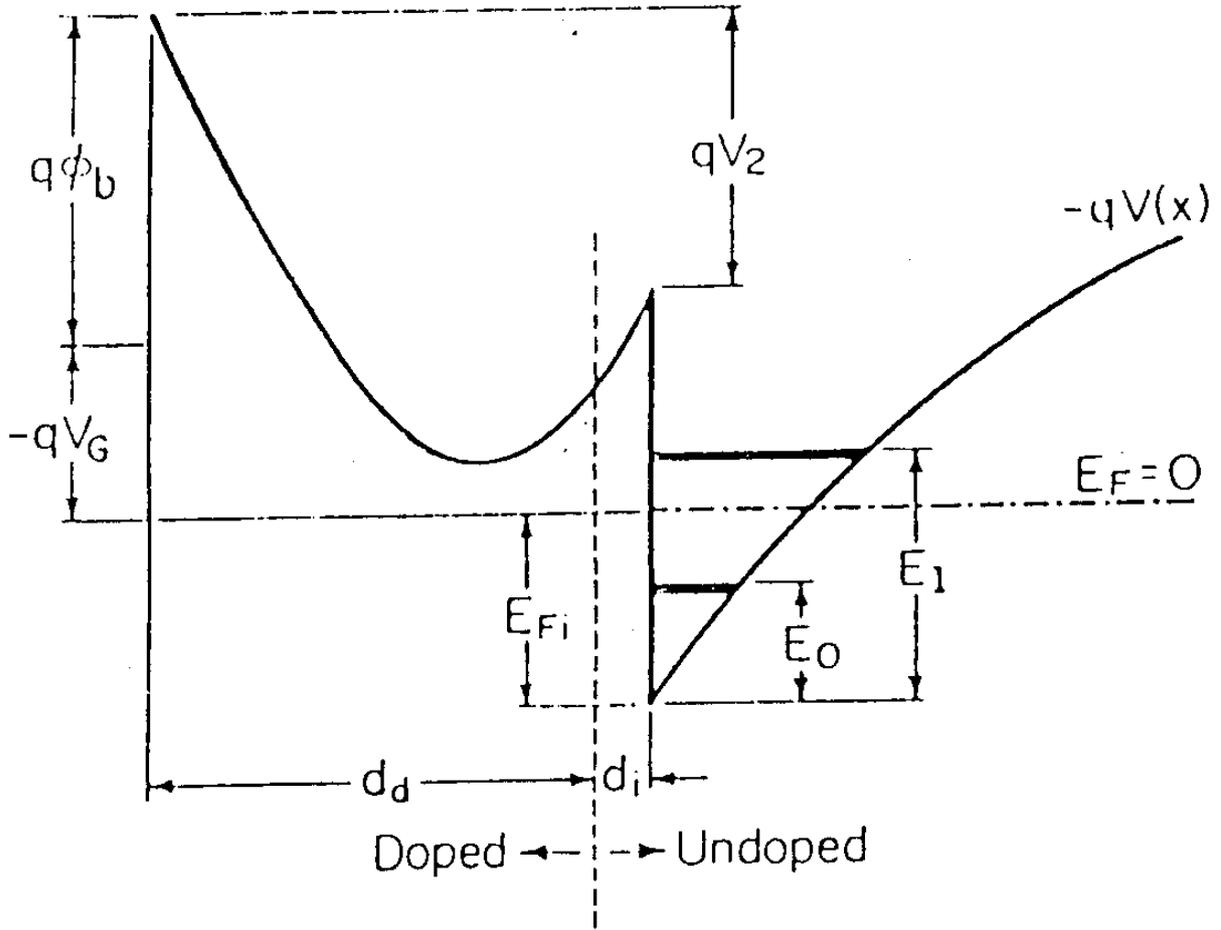


그림 3-1. AlGaAs 층 위에 Schottky gate를 형성시킨 단일접합 HEMT 구조의 전도대 밴드 구조

$$V_2 = \phi_b - V_G + \frac{1}{q} (E_{fi} - \Delta E_c) \dots\dots\dots(3-3)$$

임을 알 수 있으므로 (3-2)와 (3-3)식을 조합하여

$$n_s = \frac{\epsilon_2}{qd} [V_G - \phi_b - V_{p2} = \frac{1}{q} E_{fi} - \frac{1}{q} \Delta E_c] \dots\dots\dots(3-4)$$

이 얻어진다. 그런데 만일 n_s 가 충분히 크면 다음과 같은 관계가

성립된다.

$$-\frac{1}{q} E_{fi} = \frac{1}{q} \Delta E_{f0}(T) + an_s \dots\dots\dots(3-5)$$

여기서 $a = 0.125 \times 10^{-16} (\text{V m}^2)$ 의 값을 갖는다.³⁻¹⁾ 따라서 (3-4)식을 (3-3)식에 대입하면

$$n_s = \frac{\epsilon_2}{qd} [V_G - (\phi_b - V_{\mu^2} - \frac{1}{q} \Delta E_c + \frac{1}{q} \Delta E_{f0}(T) + an_s)] \dots\dots\dots(3-6)$$

이 되고 정리하면

$$n_s = \frac{\epsilon_2}{q(d + \Delta d)} (V_G - V_{off}) \dots\dots\dots(3-7)$$

이 된다. 여기서

$$V_{off} \equiv \phi_b - \frac{1}{q} \Delta E_d - V_{\mu^2} + \frac{1}{q} \Delta E_{f0} \dots\dots\dots(3-8)$$

그리고

$$\Delta d = \frac{\epsilon a}{q} \simeq 80 \text{ \AA} \dots\dots\dots(3-9)$$

이다. 따라서 charge는

$$Q_s = qn_s = \frac{\epsilon_2}{(d + \Delta d)} (V_G - V_{off}) \dots\dots\dots(3-10)$$

이 된다. 여기서 유의할 점은 변수 Δd 이다. 만일 E_n 가 gate

voltage의 함수가 아니라고 가정하면 Δd 가 필요없다. 그러나 d_d 가 300 \AA 정도인 점을 감안하면 $\Delta d (\approx 80 \text{ \AA})$ 을 무시할 수 없다. 따라서 변수 Δd 는 중요한 correction factor이다. 다음으로 그림3-2와 같은 HEMT 소자 형태를 보면 drain 전압 V_D 를 인가하면 source, drain간에 그림과 같이 channel 포텐셜 profile이 형성된다.

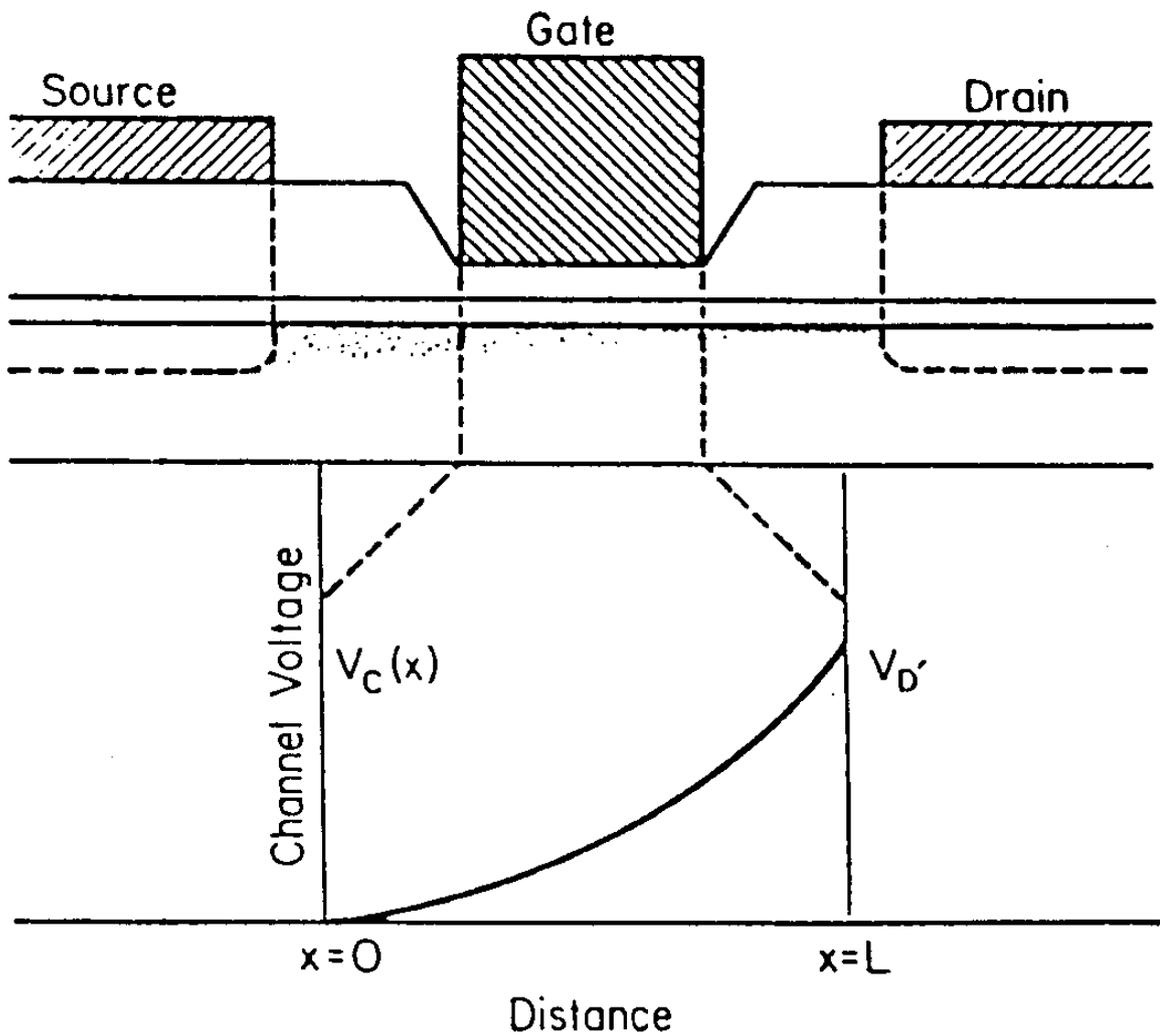


그림 3-2. HEMT의 gate에서의 포텐셜 profile

따라서 실제 charge를 control하는 전압은

$$V_{\text{eff}}(X) = V_g - V_c(X) \dots\dots\dots(3-11)$$

여기서 X는 source를 원점으로 한 거리이다.

따라서 source Q_s 는

$$Q_s(X) = \frac{\epsilon_2}{(d + \Delta d)} (V_g - V_c(X) - V_{\text{off}}) \dots\dots\dots(3-12)$$

이 되고 channel current 표현으로부터

$$I = Q_s(X) Z V(X) \dots\dots\dots(3-13)$$

이 얻어진다. 여기서 Z는 gate 폭이고 $V(X)$ 는 X위치에서의 전자 velocity이다. velocity-field 관계에서 two piece model을 적용하면 어떤 critical field E_c 양단에서

$$\begin{aligned} v &= \mu E \quad E \leq E_c \\ v &= v_s \quad E \geq E_c \end{aligned} \dots\dots\dots(3-14)$$

의 표현이 가능하다. 여기서 v_s 는 saturation velocity이다. 우선 field E가 E_c 보다 작은 경우에 3-12식은

$$I = \mu Z \frac{\epsilon_2}{d + \Delta d} [V_g - V_c(X) - V_{\text{off}}] \frac{dV_c}{dx} \dots\dots\dots(3-15)$$

여기서 $\frac{dV_c}{dx}$ 는 E로 전장(electri field)이다.

한편,

$$V_c(X=0) = R_s I \dots\dots\dots(3-16)$$

$$V_D' = V_c(X=L) = V_D - (R_D + R_s)I \dots\dots\dots(3-17)$$

이 되고 여기서 R_s, R_D 는 source와 drain의 기생저항(parasitic resistance)이고 V_D 는 외부에서 인가된 drain 전압이다. 따라서

$$V_c(X) = V_G' - \sqrt{(V_G' - R_s I)^2 - 2 \frac{(d + \Delta d) I x}{\epsilon_2 \mu Z}} \dots\dots\dots(3-18)$$

가 되고 여기서

$$V_G' = V_G - V_{off} \dots\dots\dots(3-19)$$

이다. 그런데 source, drain간의 field E 가 critical field E_c 보다 크게 된 short channel HEMT에서 포화 전류 I_s 는

$$I_s = \frac{\epsilon_2 Z v_s}{d + \Delta d} (V_G' - V_D') \dots\dots\dots(3-20)$$

이고

intrinsic transconductance는

$$\begin{aligned} g_{mo} &= \left. \frac{\partial I_s}{\partial V_G} \right|_{V_D' = \text{constant}} \\ &= \frac{dI_s}{dV_G'} \cdot \frac{dV_G'}{dV_G} = \frac{\epsilon_2 Z v_s}{d + \Delta d} \dots\dots\dots(3-21) \end{aligned}$$

이 된다. 이때 extrinsic transconductance는

$$g_m = g_{mo} / (1 + R_s g_{mo}) \dots\dots\dots(3-22)$$

이다. 한편 long channel 소자에서는 식(3-15)를 이용하여 다음과 같은 intrinsic transconductance가 얻어진다.

$$g_{mo} = \frac{q\mu Z n_s}{L} \left[1 + \frac{q\mu n_s (d + \Delta d)}{(\epsilon_2 v_s L)^2} \right]^{-1/2} \dots\dots\dots(3-23)$$

여기서 L은 gate 길이이고 L이 대단히 작아질 경우(6-28)식은 (3-21)식과 같아져 short channel HEMT 경우가 된다.

2. HEMT의 전류 전압 특성

Gate 전압에 따른 포화 drain전류는 식(3-20)과 같다. cut-off 영역에서 멀어지면 gate 아래의 capacitance가 일정하다는 가정이 타당하고 따라서 접합부분의 charge는 V_g' 즉 gate 전압(V_g) - 문턱전압, (V_{th})에 선형적으로 비례한다. 그러나 V_g 가 V_{th} 에 가까와 짐에 따라, 즉 cut off 영역에서는, 삼각 포텐셜 우물이 넓어지고 전자의 Fermi 에너지가 낮아진다. 이러한 surface 포텐셜의 변화량 만큼이 인가된 gate전압의 변화량에서 빠지게 되므로, AlGaAs층을 통해 작용하는 포텐셜의 변화량이 감소하여, 소자의 transconductance는 감소하고 선형적인 수송특성에서 벗어나 곡선성이 생기게 된다.

이 현상은 상온에서 더 현저하게 나타나는데 이는 전자의 열적 분포에 기인하며, 저온으로 갈수록 곡선성이 지속적으로 감소하는데, 이는 양자 역학적 confinement에 의한 것이다. 완전한

pinch-off는 2차원 전자 개스의 농도가 최대치의 10%까지 감소했을 때로 정의하는데, 이때의 2차원 전자 개스의 “effective” position은 그림3-3과 같이 이중 접합 계면으로 200\AA 이나 멀어지게 된다.³⁻²⁾ 다시 말해 이는 전자 개스를 deplete시키는데 더 많은 gate 전압이 필요하고, slow-gradual pinch-off를 유도함을 의미한다. 또한 pinch-off에 가까울수록 gate 용량(capacitance)이 따라서 감소할 것이다.

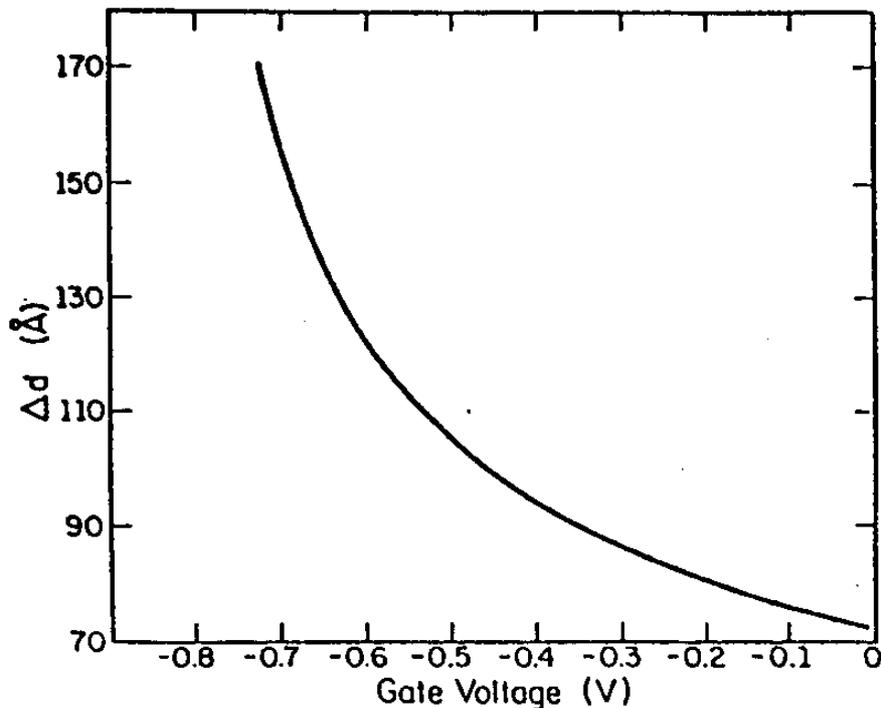


그림 3-3. 이중접합 계면과 2차원 전자의 effective 거리;
 Δd v.s. gate bias

Cutoff로 부터 멀어지면 charge는 gate전압에 선형적으로 비례한다고 가정할 수 있고, 포화 영역에서 전류는 gate 전압에 비례할 것이며 transconductance는 일정하게 유지된다.

단 AlGaAs가 전도 channel로 열리기 전까지이다.

HEMT에서 전자는 GaAs내에 존재하고, GaAs에서의 전자수송 현상은 매우 잘 알려져 있다. 이중 접합 구조의 장점은 매우 낮은 전압(5V/cm전장 이하)에서 측정되는 높은 전자 이동도이다. 그러나 short-channel 소자에서, 전장은 수십 KV/cm에 이르므로 이러한 고전압에서의 수송 현상을 고려해야 한다. 낮은 인가 전장내에서 일반적인 modulation doped HEMT 구조에서 측정된, 전장에 따른 전자 drift속도는 그림3-4와 같다.³⁻³⁾

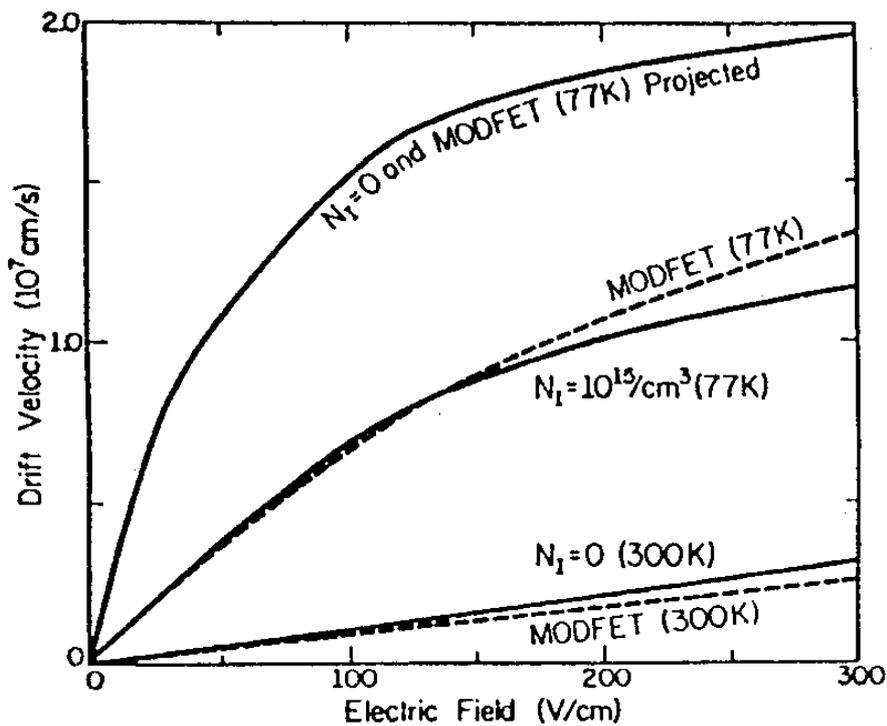


그림 3-4. 일반적인 HEMT 구조에서 전장에 따른 전자 drift 속도의 변화

여기에 lightly doped 또는 ion free bulk GaAs에서의 Monte Carlo 계산치도 함께 plotting되어 있는데 undoped GaAs와 modulation-

doped 구조에서 측정된 값이 정확히 일치하고 있음을 볼 수 있다.

이것으로 modulation doped 구조에서 GaAs가 donor가 아닌 전자만을 10^{12}cm^{-2} 의 농도를 갖고 있을 때, drift 속도는 저하되지 않음을 알 수 있다. 200V/cm의 전장에서 전자 속도의 준 포화 현상이 생기며 매우 낮은 전장에서 얻어지는 높은 전자 이동도는 소자 성능에 부차적인 영향만 줄 뿐이다. 이 낮은 전장에서의 고 이동도는 소자에 있어 포화 drain 전압을 낮게하고, on-저항을 감소시키며, turn-on/turn-off transient 동안의 speed를 향상시킨다. 2차원 전자층의 전자는 순수 GaAs에서의 성질을 그대로 유지하므로 전자의 최고 속도는 300K와 77K에서 각각 2×10^7 , $3 \times 10^7\text{cm/s}$ 의 값을 갖는다. 일반적인 bulk FET에서는 전자를 주입하려면 donor가 함께 있어야 하므로 이에 따라 전자의 속도는 저하된다.

따라서 전자 속도만을 고려한다면 bulk FET 소자에 비해 HEMT는 300K와 77K에서 각각 20%와 50%의 향상을 기대할 수 있다. 이 외에 고전류, 고 transconductance와 낮은 source저항의 효과에 의해 실제 회로에서, 특히 소신호 동작시 훨씬 큰 영향이 가능하다.

3. 동작 특성의 최적화

Switching 소자의 동작 속도(speed)는 gate capacitance와 interconnect capacitance의 합에 대한 transconductance의 비로 나타내며 ($\text{speed} = g_m / (C_g + C_i)$), transconductance가 클수록 그 speed가

향상된다. HEMT구조에 있어서, 전자의 drift 속도가 높기 때문에 transconductance가 향상되며, 또한 2차원 전자 개스가 gate 금속으로부터 약 400Å밖에 떨어져 있지 않아, 고 농도의 charge가 작은 gate 전압으로 modulation된다. 후자의 영향으로 gate capacitance가 증가되기는 하나, interconnect capacitance까지 고려한다면 gate capacitance를 증가시킨다 해도 speed는 감소하지 않고 향상된다.

소자의 transconductance는 AlGaAs층의 두께를 감소시킴으로써 최적화될 수 있는데, 이는 AlGaAs층의 doping 농도를 증가시켜야만 하며, leak가 없는 Schottky 장벽을 만들기 위해서는 약 10^{18}cm^{-3} 이 한계가 된다. 따라서 undoped spacer층의 두께를 감소시켜 transconductance와 2차원 전자 농도 증가에 따른 전류량의 증가효과를 얻을 수 있다. 그러나 이 방법도 한계가 있다. 즉 spacer층의 두께가 감소할수록 coulomb 산란이 증가하기 때문이다. 이러한 것을 모두 고려한 spacer 층의 최적 두께는 20~30Å이 된다. 20Å 이하로 spacer를 얇게 형성시켰을 경우 소자 성능은 급속히 저하된다.

순수 2차원 전자층에 대한 최대 gate전압 $V_g'(\text{max})$ 는 2차원 전자의 pinch-off 전압이다.

$$V_g'(\text{max}) = (V_g - V_{th})_{\text{max}} = (V_{po})_{2D} = \frac{q(d + \Delta d)n_s}{\epsilon_2} \dots\dots\dots(3-24)$$

2-piece model을 적용할 경우, 최대 내부 transconductance ($R_s=0$)

는 다음식과 같다.

$$g_m(\max) = \frac{q\mu n_s Z}{L} \left[1 + \frac{q\mu n_s Z(d + \Delta d)}{(\epsilon_2 v_s L)^2} \right]^{-1/2} \dots\dots\dots(3-25)$$

$$d = d_i + d_d = d_i \left[\frac{2\epsilon_2(V_{Bi} - V_{th})}{qN_d} \right]^{1/2} \dots\dots\dots(3-26)$$

여기서 d_i 와 d_d 는 각각 undoped spacer 두께와 doped AlGaAs층의 두께이며, Δd 는 이중 접합 계면과 2차원 전자층의 거리로, 평형 상태에서 약 80Å 정도이다. V_{Bi} 는 effective built-in 전압으로 $\phi_b - \Delta E_c/q$ 이며, Schottky 접합과 이중접합 계면의 built-in 전압의 합이 된다. Z 와 L 은 각각 gate의 폭과 길이이며 μ 는 저 전계에서의 전자 이동도이다. 상온에서 transconductance는 d_i 와 gate 길이의 감소에 따라 증가한다. d_i 의 감소는 다음 두가지 효과를 갖는다. 첫째는 gate capacitance와 transconductance의 증가이고 둘째는 n_s , 최대 gate 전압 swing (식3-24), 최대 포화 drain 전류 및 최대 transconductance의 향상이다. 300K에서 이동도 μ 는 d_i 에 거의 영향을 받지 않고 약 7000cm²/V·s 정도이다.³⁻⁴⁾ 따라서 $V_{Bi}=0.7$, $\Delta d=80\text{Å}$, $\mu=7000\text{cm}^2/\text{V}\cdot\text{s}$ 일때 식(3-25)를 이용하면 그림3-5와 같다. 이는 gate와 2차원 전자층 사이의 거리가 300Å이고 normally-on 소자의 경우, 1μm gate 길이의 HEMT에서 계산한 값이다. Spacer 두께 d_i 가 100Å 이상이 되면 transconductance가 크게 저하되며, 20~30Å이 최적 두께이다.³⁻²⁾

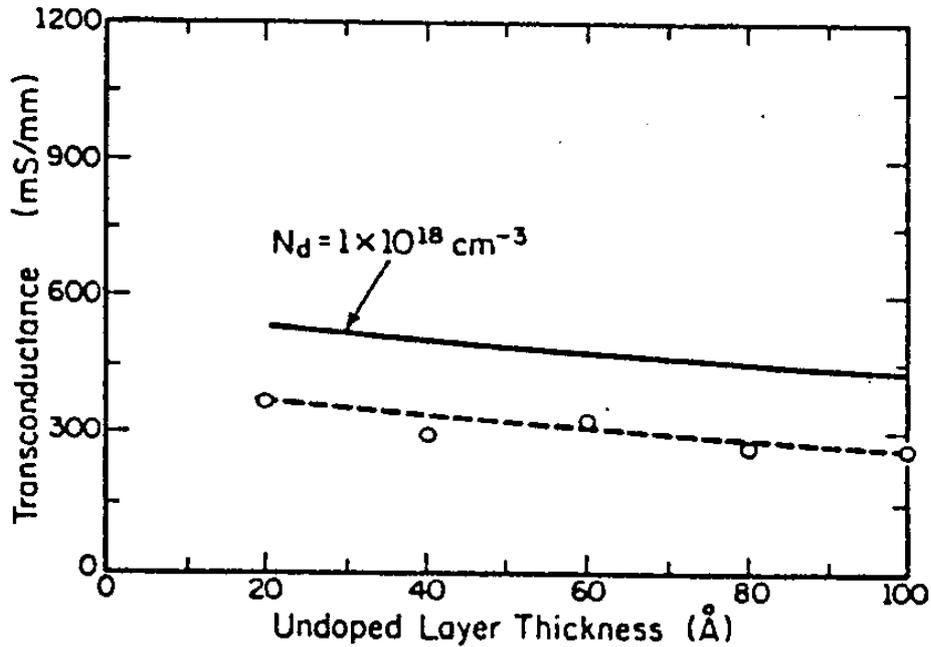


그림 3-5. Undoped GaAs spacer층 두께에 대한 최대 transconductance의 변화(○:실험치, —:이론치)

HEMT구조의 최적화 조건은 다음과 같이 요약할 수 있다.

- 1) AlGaAs 층의 Al 농도를 증가시켜, Schottky gate의 장벽높이와 이종접합계면의 장벽을 높인다. 이로서 소자의 순방향 gate전압이 증가되고 GaAs에서 AlGaAs 층으로의 hot carrier의 injection이 감소되며, channel의 2차원 전자 농도가 증가하게 된다. AlGaAs의 Al농도는, donor의 이온화 energy를 낮게 유지하면서, good ohmic 접촉과 최소 농도의 trap을 갖는 한도내에서 가능한 한 높은 것이 좋다. 현재 25~30%가 최적치로 알려져 있다.
- 2) Schottky diode의 leakage 또는 AlGaAs층으로의 통전에 의해 한계가 되는 최대 gate 전압은 상온에서 약 0.8V이고 77K에서

는 약 1V이다. 또한 큰 noise margin과 tolerance를 갖게 되는 문턱 전압은 약 0.1V이다.

- 3) Transconductance를 최대화하기 위해 AlGaAs가 가능한 한 얇아야 한다. 그런데 일정 문턱 전압을 얻기 위해서는 AlGaAs층이 얇을수록 doping이 높아야 한다. 그러나 doping 농도는 약 $1 \times 10^{18} \text{cm}^{-3}$ 보다 클 수 없는데, 이유는 그 이상의 doping에서는 gate leakage전류가 크게 되기 때문이다. 만일 doping농도를 증가시키지 않고 AlGaAs층 두께만 계속 감소시킨다면 gate built-in 포텐셜이 삼각 포텐셜 우물을 넓게 하고 따라서 전자들이 이 이중 접합 계면에 confine되지 않을 것이다. 이렇게 되면 turn-on 근방의 transconductance가 매우 작고 gate 전압에 대해 비선형성을 갖게 된다.
- 4) Spacer는 전자의 수송특성을 저하시키지 않는 한도내에서 가능한 한 얇아야 하며, 이로써 총 AlGaAs층 두께를 최소화 하여 최대 transconductance를 얻을 수 있다.

제 2 절 에피층 구조 설계

에피구조에 대한 자세한 연구 내용은 제2장에서 다루었으므로, 여기에서는 대기압 MOCVD법으로 성장할 경우, 각 에피층에 대한 설계 배경을 간략히 다루겠다.

1. Buffer층(또는 채널층)

일반적인 단일 이중 접합을 갖는 HEMT구조에서는 실제인

채널 즉 2차원 전자 층이 형성되는 곳으로 undoped GaAs이며, 불순물의 농도는 10^{14}cm^{-3} 이하로 매우 낮게 유지되어야 전자의 이동도 및 drift속도가 높고, 높은 transconductance를 기대할 수 있다. 한편, 2차원 전자층이 형성되는 undoped GaAs층을 양자 우물로 만들 수 있다. 이 채널층의 두께는 약 200\AA 으로 하였으며 양자 우물(well)에 대응하는 barrier층이 채널층 아래에 위치하고 undoped AlGaAs로 성장시켰다. 이층을 blocking(차단)층이라고 하는데 이는 undoped GaAs의 buffer층을 통한 전류의 leak을 막기 때문이다. 또한 채널이 아닌 buffer층을 초격자(super lattice)로 형성시켜, 그 위에 성장되는 에피층 및 이종접합계면의 quality를 향상시키고자 하였다. 후자에 속하는 시료는 AP329, AP332 및 MSK3이다.

2. Spacer층

이층의 기능은 이종접합계면에 형성된 2차원 전자에 대한, n^+ AlGaAs donor층의 ionized donor로부터의 coulomb 산란을 감소시키기 위한 격리층(2차원 전자와 donor 사이의)으로 작용한다. 이 undoped AlGaAs spacer층의 최적 두께에 대한 연구는 이미 실험 및 계산 방법에 의해 자세히 보고된 바 있으며, 최적 두께는 $20\sim 30\text{\AA}$ 로 알려져 있다. 이 두께는, 2차원 전자의 농도와 이동도에 의해 결정된다. 그러나 현재의 MOCVD로 조절 가능한 최소 두께는 $80\sim 100\text{\AA}$ 정도이므로 이 범위에서 spacer 두께가 결정된다. 또한 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 의 Al 조성(X)은 앞절에서 제시한 바와 같이 최적 조건인 0.3으로 하였다.

3. Donor층

2차원 전자층의 형성에 필요한 전자를 공급하는 층으로 n^+ $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 이며, 문턱 전압도 이 층의 두께와 doping 정도에 의해 변화하게 된다. 소자의 문턱전압(V_{th})이 결정되면, 가능한 한 doping을 증가시키고, 그 두께를 감소시키는 것이 유리하다. 이 층의 불순물 농도는 $1\sim 2 \times 10^{18}\text{cm}^{-3}$ 의 범위로 설계하였으며 dopant는 Si을 사용하였다.

4. Schottky층

AP329, AP332 HEMT의 경우에는 n^+ AlGaAs의 donor층 위에 약 100\AA 의 undoped AlGaAs층을 두어 Schottky gate가 그 위에 형성되도록 하였다. 특히 n^+ AlGaAs donor층을 highly doping한 경우 gate접합부에서 전류의 leak가 발생할 수 있으므로 얇은 undoped AlGaAs층을 채용하여 계면에서의 leak를 방지하고자 하였다.

5. Ohmic층

Source와 drain을 형성하는 ohmic접합을 만들기 위한 층으로 공정상의 용이함과 접촉 저항의 감소를 위해 heavily doping한 n^+ GaAs로 하였다. 그 두께는 합금화 공정에 의해 ohmic금속의 확산으로 n^+ AlGaAs층 또는 2차원 전자층의 깊이 까지 합금화되는 것을 목표로 하여 100\AA 으로 하였고, AP329, AP332는 300\AA 으로 하였다.

제 3 절 Optical Mask의 설계

Mask라 함은 소자의 제조 공정중 patterning 하는 optical lithography 공정에서, 웨이퍼에 도포된 PR(Photo--Resist)에 선택적으로 UV광을 투과 또는 반사시키는 plate이며, 재질은 유리 또는 석영이다. Pattern은 크롬(Cr)박막으로 형성되어 있다. Mask 제작 과정은 생략하며, 그림3-6에 optical lithography공정의 모식도를 소개하였다.

1. Mask 설계 내용

본 Mask 내용의 중요 내용은 source와 gate,와 gate drain과의 거리가 모두 $2\mu\text{m}$ 로 하였고, gate의 형태는 일자(I)형과 T gate형 그리고 dual gate 형으로 하였다. 또한 gate의 방향도 $[011]$, $[0\bar{1}\bar{1}]$ 로 서로 수직인 두 방향으로 하였다.

Test pattern으로는 Schottky pattern, 저항 bar, TLM pattern과 long 채널 Transistor가 포함되어 있고, 특히 에피 구조, 즉 2차원 전자층의 연구에 필요한 Van der Pauw pattern과 방향이 서로 수직인 $[011]$ 과 $[0\bar{1}\bar{1}]$ 방향의 Hall bar가 포함되도록 설계하였다. 본 mask의 구성도를 그림 3-7에 소개하였다.

가. Transistor

Transistor pattern은 gate 형태, 방향 및 숫자에 따라 다음 표3-1과 같이 구분할 수 있다.

Optical Lithography

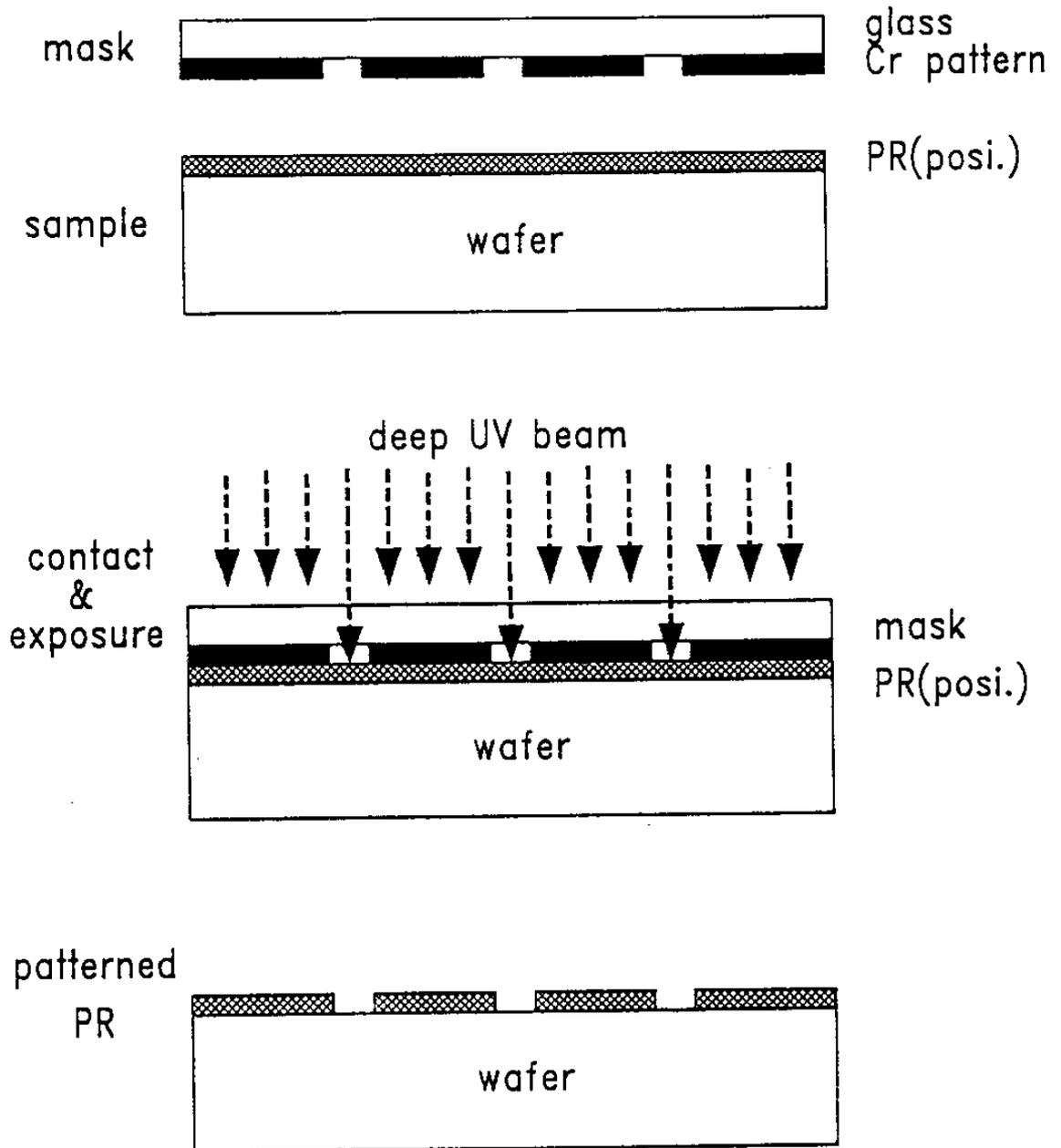


그림 3-6. Optical lithography 공정의 개념도

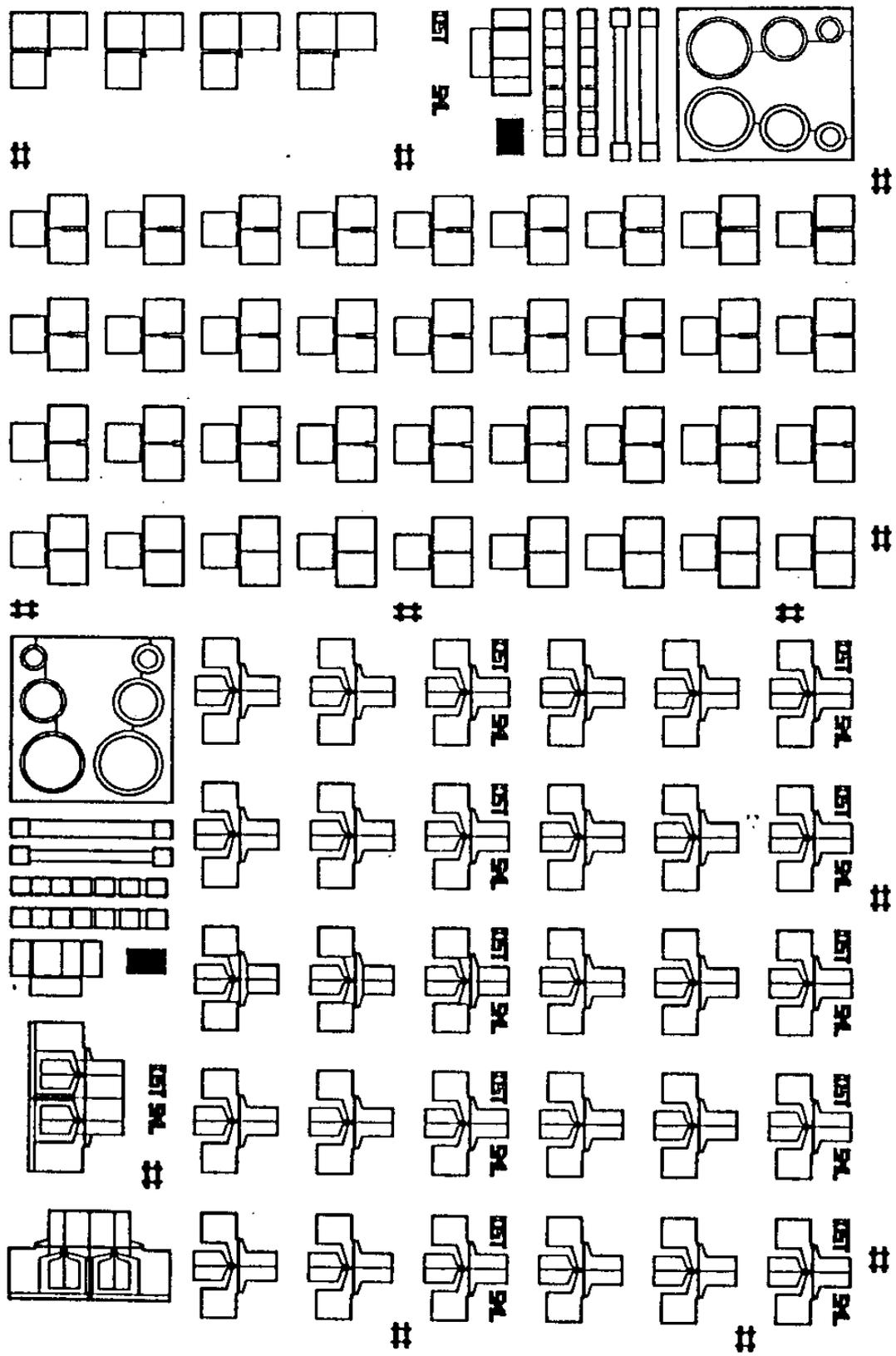


그림 3-7. Optical mask의 구성

표3-1. Mask내의 Transistor 내용

종류	gate 길이 (μm)	gate 방향	gate 폭 (μm)
T형 gate	0.7, 1, 2	[011]	150×2
I형 gate	0.7, 1, 2	[01 $\bar{1}$]	75, 100, 150, 200
-형 gate	1	[011]	200
T형 dual gate	1	[011]	200

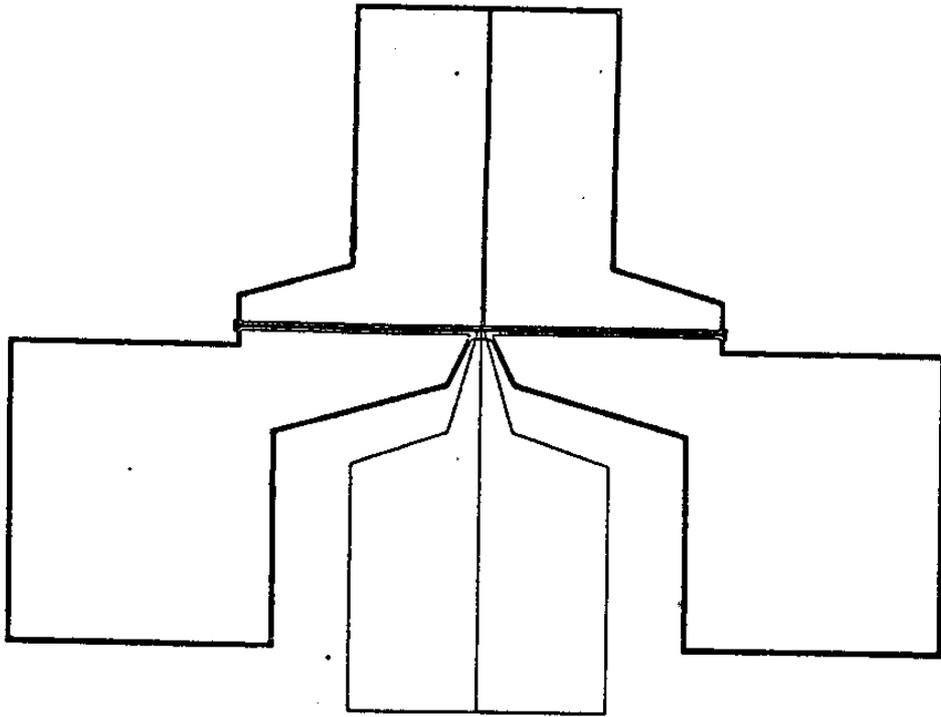
“T”형 gate FET는 일반적인 저 잡음 FET형태이며, “I”형과 “-”형은 gate의 방향이 서로 수직으로 도히게 설계하여 결정 방향에 따른 재료 물성과 소자 동작 특성의 비교를 목적으로 한다. 특히 “I”형 gate FET는 gate폭을 4단계로 나누어 설계하여 gate폭에 따른 gate저항의 변화가 소자 특성에 미치는 효과를 연구하고자 하였다. 또한 “T”형 dual gate도 gate pad의 숫자 증가에 의해, gate저항을 감소시켜 소자 특성 향상을 목적으로 설계하였다. 다음 그림 3-8에 설계한 각 형태의 FET pattern을 소개하였다.

나. Test pattern

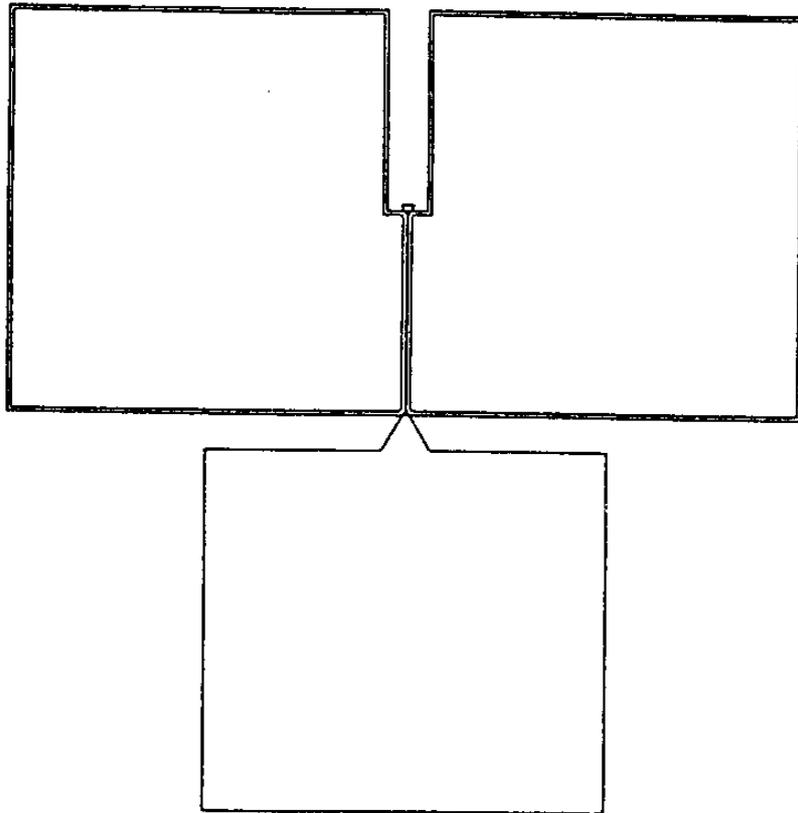
1) FAT : long channel 트랜지스터

gate 길이는 $100\mu\text{m}$ 로 하고 gate폭과 gate-source간 거리는 각각 $200\mu\text{m}$ 와 $5\mu\text{m}$ 로 설계하였다.

2) Schottky접합 parttern

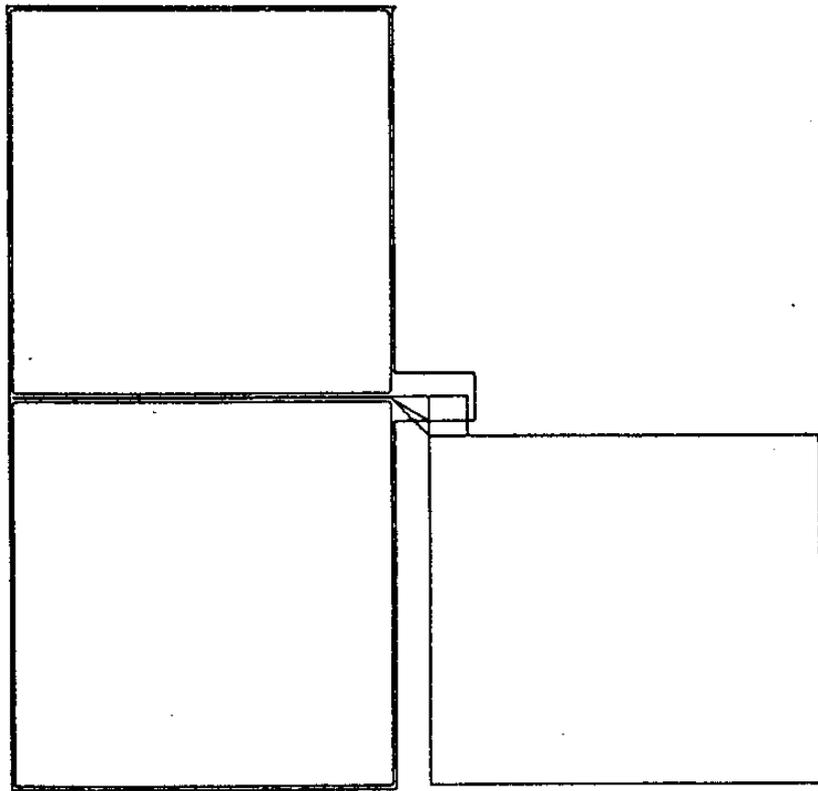


(a)



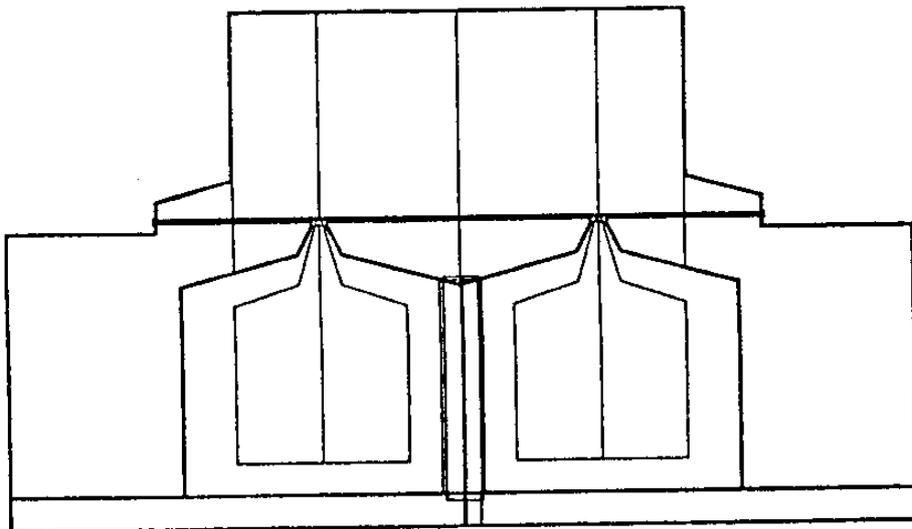
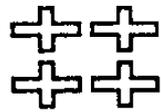
(b)

그림 3-8



(c)

KIST SML



(d)

그림 3-8. Mask에 포함되어 있는 여러 형태의 transistor

Schottky접합부는 원형으로 그 직경은 100, 200, 300 μm 로 하였고 ohmic접합부와의 거리는 20 μm 와 30 μm 의 두가지로 설계 하였다.

3) 저항 bar

저항 측정용 bar의 길이는 840 μm 이고 폭은 100 μm 와 60 μm 두가지로 하였다.

4) TLM pattern

각 ohmic pad간의 거리가 4, 8, 10, 20, 30, 40 μm 인 7개의 pad array이며 mesa mask로 결정되는 각 channel의 폭은 80 μm 와 100 μm 가 되게 하였다. 그림3-9에 설계된 test pattern을 나타내었다.

다. 에피 구조평가용 pattern

에피구조 특히 2차원 전자층의 물성 연구를 위해 Van der Pauw pattern과 Hall bar를 설계하였다. Van der Pauw의 활성층 크기는 1000 \times 1000 μm 로 하였으며 Hall bar의 길이와 폭은 각각 1500 μm 와 160 μm 이다. 이 Hall bar는 서로 수직 방향으로 된 2종을 설계하였는데 (100)면의 웨이퍼 내에서 각각 [011], [01 $\bar{1}$]방향으로 놓이게 된다. 이 pattern으로 양자 Hall 효과와 Shubnikov-de Haas진동을 측정하여 2차원 전자층의 존재 및 전자의 Hall이동도와 2차원 전자농도를 알 수 있다.

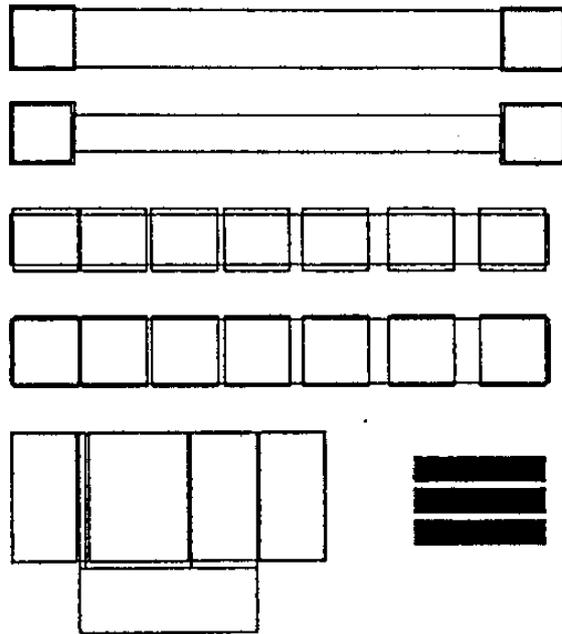
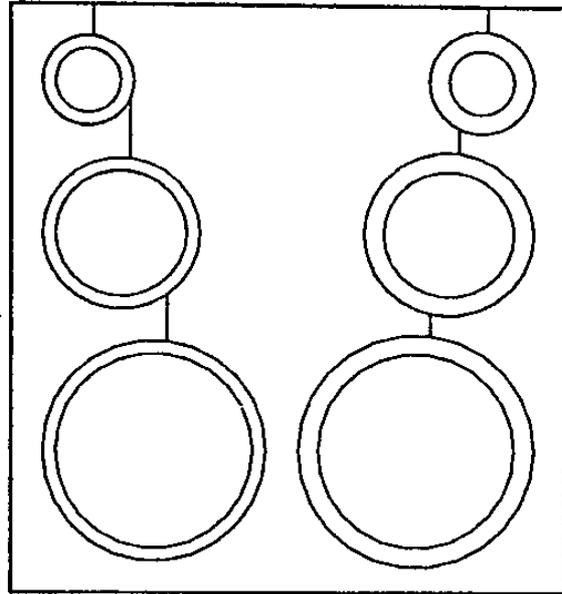


그림 3-9. Mask에 포함되어 있는 test pattern

제 4 절 HEMT 소자의 제작공정

1. 제작 공정 순서 및 목적

HEMT 소자의 제작 공정은 다음 그림 3-10과 같이 크게 4단계로 나눌 수 있다. 그림 3-10의 제작 공정 흐름도에 중요 공정내용을 간단히 기록하였다.

가. 소자 격리 공정

HEMT 소자의 첫 공정은 소자격리 공정이다. 이 공정은 각의 단위 소자들이 서로 전기적으로 고립되어 통전 동작시 주위의 소자들을 통한 전류 leakage를 방지하기 위한 것이다. 방법은 활성 영역을 제외한 비활성 field 부분을 undoped buffer(GaAs)층 또는 ion milling방법을 이용한다. 이때 etching시 etching profile이 mesa형태가 되어 mesa etching이라 부른다. (100) 웨이퍼에서 그림 3-11에 나타낸 바와 같이 대개는 $[01\bar{1}]$ 방향으로는 negative mesa profile이 나타나는데, etching용액에 따라 mesa의 각도와 형태가 약간 다르게 나타나기도 한다. 후의 gate 형성 공정에서 gate는 활성영역에, gate pad는 비활성 영역 즉 etching된 부분에 형성되어야 하므로 그 gate와 gate pad의 연결선은 서로 단차가 있는 활성영역과 비활성 영역에 걸쳐 존재하게 된다. 따라서 이 부분이 반드시 positive mesa profile을 갖는 곳에 놓여야 gate금속 박막의 단락을 피할 수 있으며, 이를 위해 웨이퍼의 방향과 mask방향을 잘 맞추는 것이 중요하다.

1. HEMT epi. wafer preparation

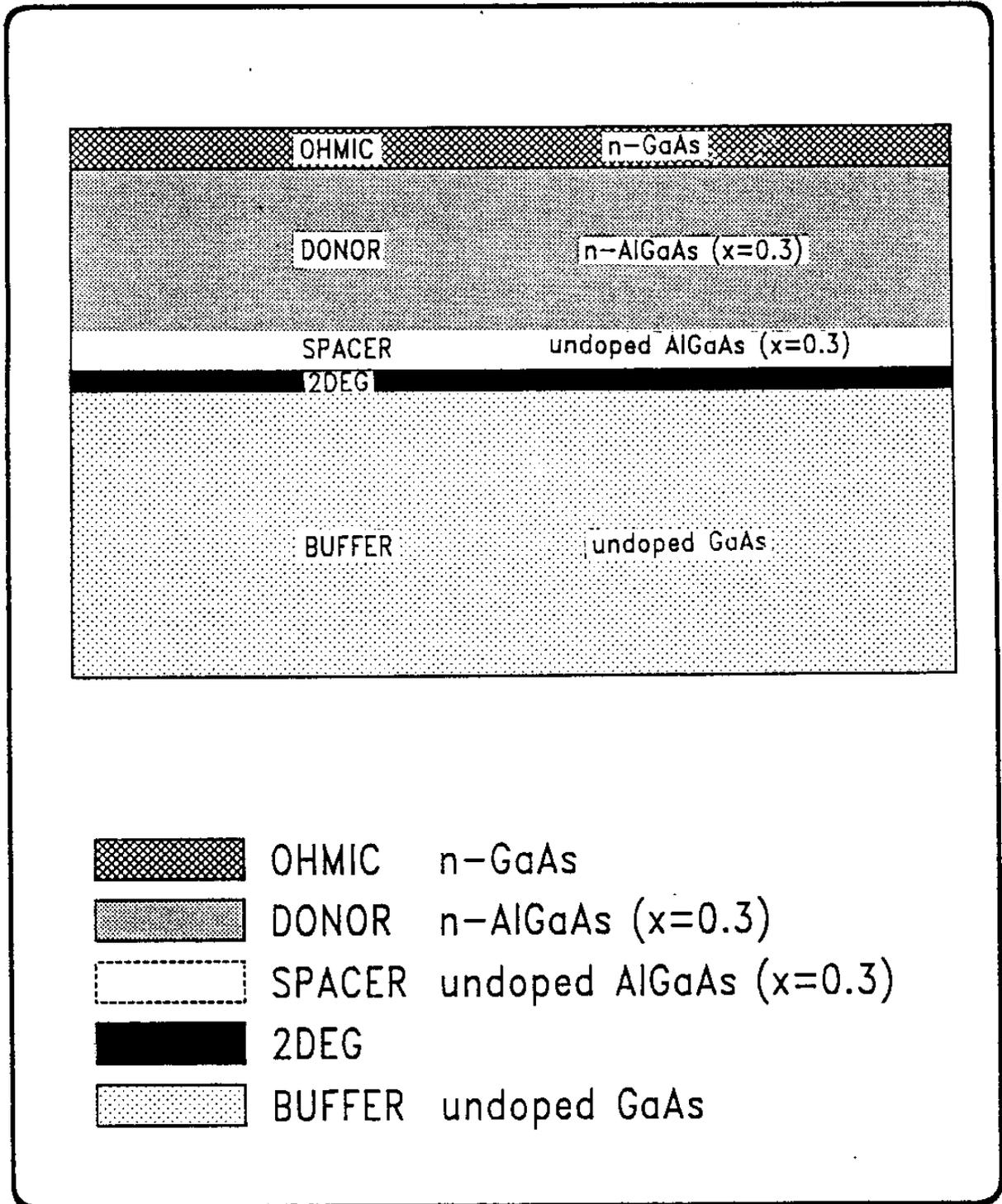


그림 3-10(a)

2. MESA etching

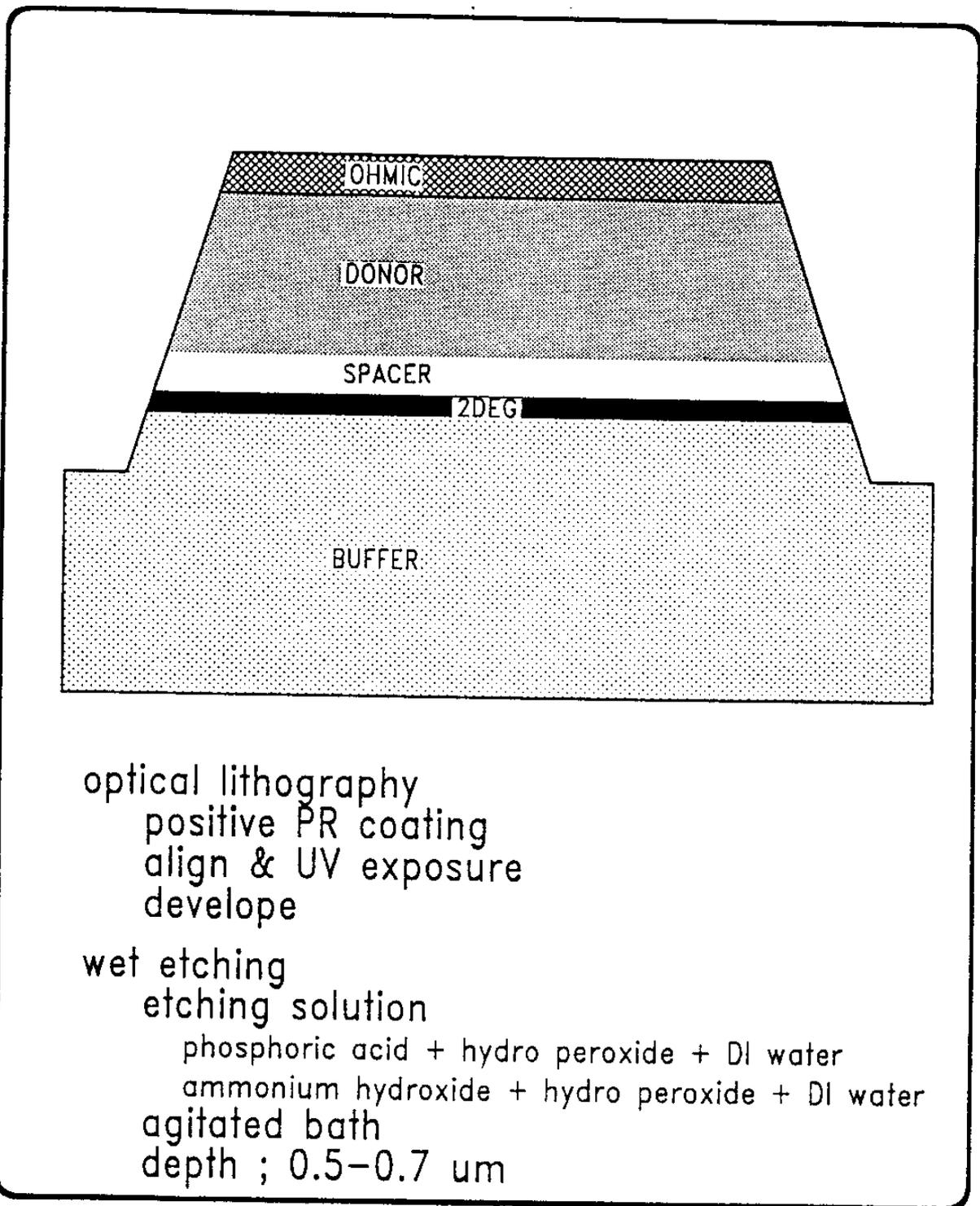


그림 3-10(b)

3. SOURCE & DRAIN formation

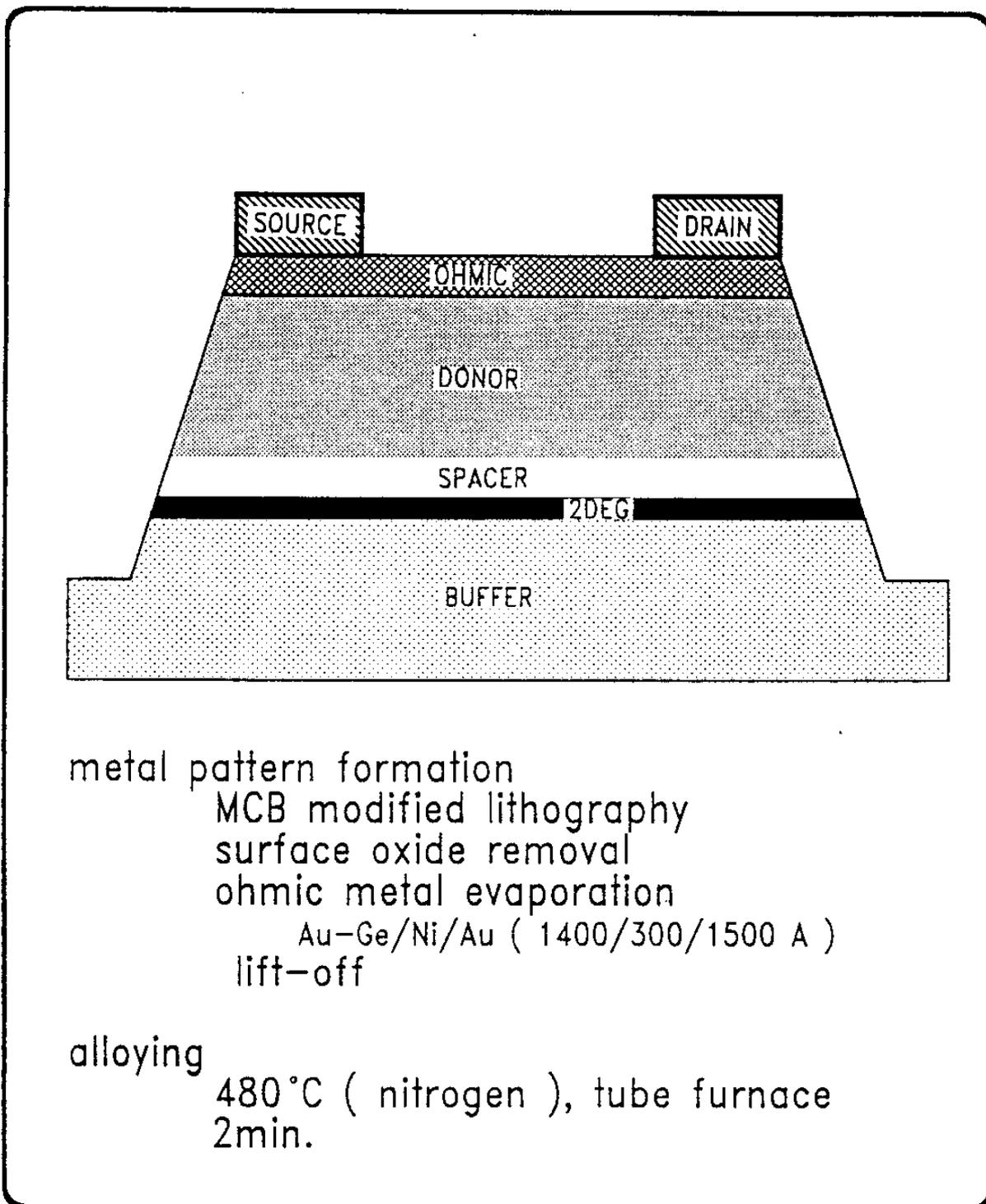
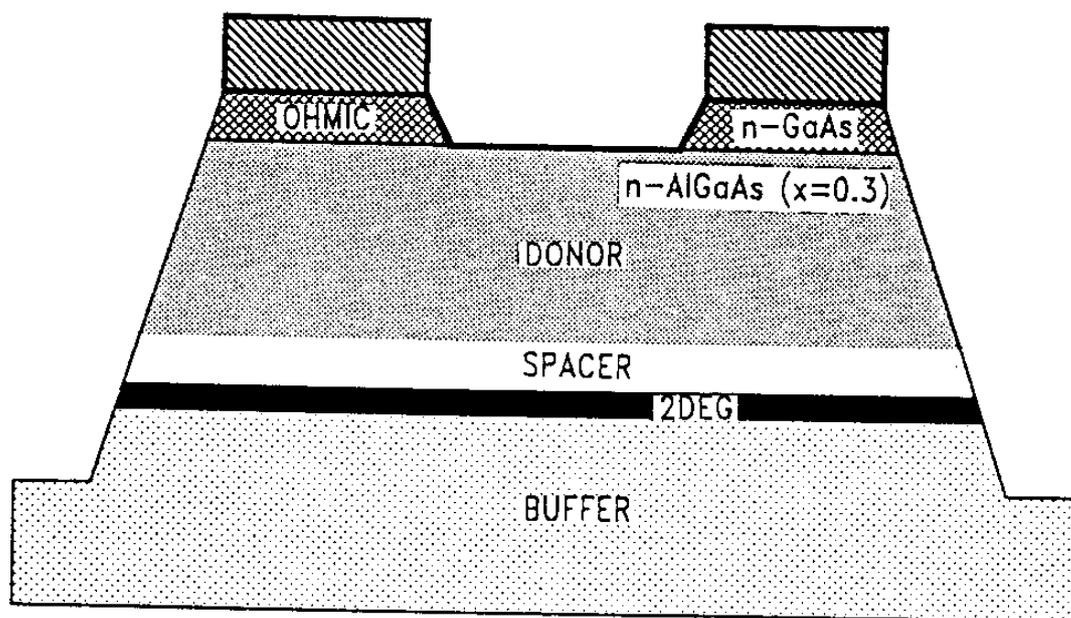


그림 3-10(c)

4. RECESS etching



selective wet etching

pH adjusted hydro peroxide

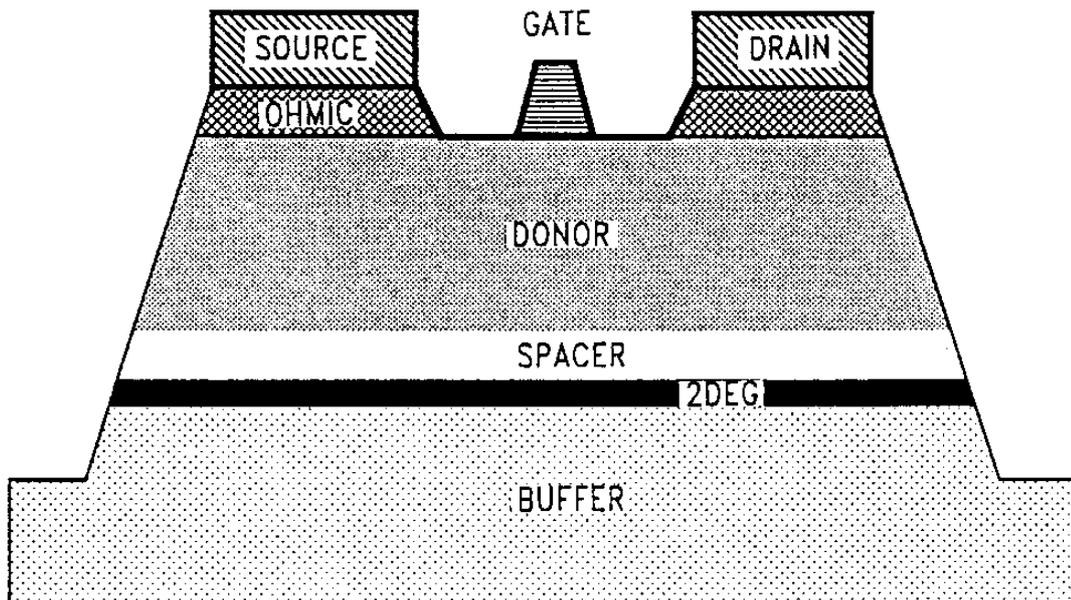
pH : 7.0 - 7.2

agitated bath

non-conductive holder

그림 3-10(d)

5. GATE formation



metal pattern formation
MCB modified lithography
surface oxide removal

gate evaporation
Ti/Au or Cr/Au (300/2000 Å)
lift-off

그림 3-10(e)

그림 3-10. HEMT 소자의 제작 공정 흐름

gate direction
on (100) wafer

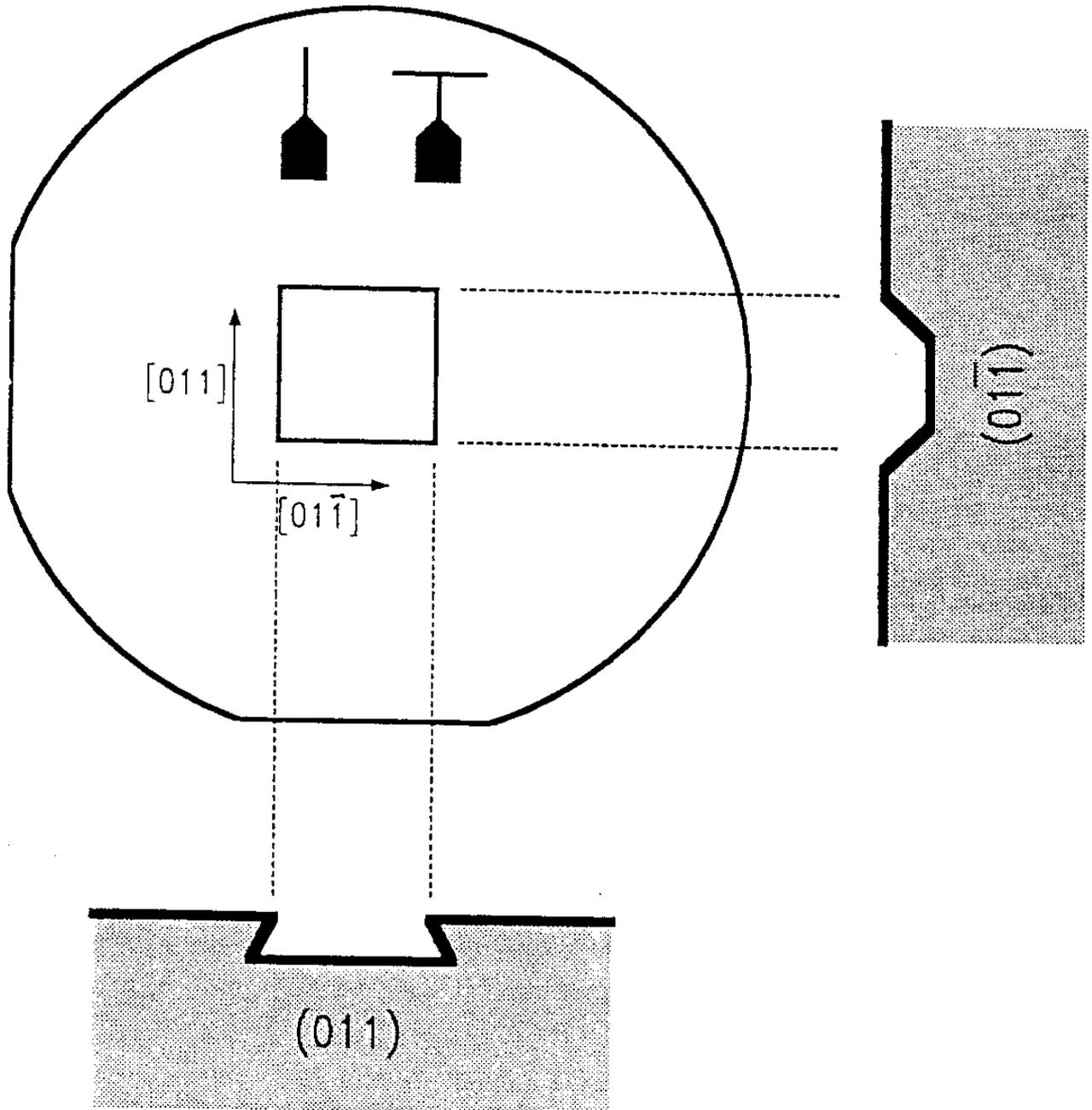


그림 3-11. (100) wafer에서 방향에 따른 Mesa profile

나. Source/Drain 형성 공정

다음은 소자의 source와 drain을 형성시키는 공정으로 ohmic접촉을 통하여 source와 drain이라 불리우는 외부 terminal과 내부의 2차원 전자층을 물리적, 전기적으로 연결시키는 공정이다. 그 접촉저항이 소자의 동작 특성에 대단히 큰 영향을 주므로, 이 공정에서는 낮은 접촉 저항을 갖는 공정 조건을 찾는 것이 가장 중요하다. 2차원 전자층에 대한 ohmic 접촉은 반드시 ohmic 금속과 2차원 전자층과의 물리적 접촉에 의해서만 이루어지는 것은 아니며 전기적인 연결, 즉 전자의 transfer에 의해 만들어 진다.³⁻⁹⁾ 따라서 전자의 수송에 barrier로 작용할 수 있는 전도대의 불연속은 가능한 한 최소화해야 한다. Ohmic 공정은 ohmic 금속 박막의 형성과 합금화(alloying)공정으로 나눌 수 있다. 금속 박막은 thermal 또는 e-beam진공 증착법에 의해 만드는 것이 일반적이고, ohmic 금속으로는 n형 GaAs에는 Au-Ge/Ni/Au 또는 Au-Ge/Ag/Au계가 가장 많이 사용되고 있다. 이 계에서는 합금화 공정 조건은 대개 400~550°C 범위에서 수십~2분간 열처리하나 사용하는 로(furnace)의 조건에 따라 다르다. 이 계를 사용한 공정에서 접촉 저항은 0.1~0.2 ohm-mm까지 얻어지고 있다.³⁻¹⁰⁾ 합금화에 의해 ohmic금속이 웨이퍼 표면으로 부터 확산하며 합금화되는 깊이는 대개 500~1000 Å 범위에 있게 된다.^{3-4,3-8,3-11)} 따라서 ohmic접합부와 n⁺-AlGaAs층 또는 2차원 전자층 까지의 거리가 이 범위에 있는 것이 바람직하다. Ohmic 접합의 접촉저항을 가능한 한 감소시켜야 한다. 한편 gate길이 뿐 아니라 gate와 source 사이의 거리도 submicron단위로

축소되어 가는 추세에 있으므로 이러한 미세구조 소자에서는 ohmic 접촉 저항이 전체 직렬 저항에서 차지하는 비율이 증가하게 된다. 또한 source, gate사이의 간격이 감소되면서, 합금화 공정에 의한 금속의 측면 방향으로의 확산도 문제가 되고 있다. 이 거리는 약 $0.1\mu\text{m}$ 정도로 보고되고 있으며³⁻¹⁰⁾ 이러한 측면방향으로의 확산과 spike형, 즉 불균일한 확산의 문제를 해결하기 위해 합금화 공정없이 ohmic접촉을 만드는 공정이 연구 보고되고 있으며 Ge/Pd계를 이용한 공정이 그 대표적인 예이다.^{3-9,3-8)}

다. Recess etching 공정

이 공정은 HEMT소자의 문턱 전압(V_{th})을 조절하고 n^+ GaAs cap층을 gate가 형성되는 부분에서 제거하는 공정이다. 소자의 문턱 전압은 Schottky접합 및 이종 접합의 장벽 포텐셜과 gate와 이종 접합 계면 사이에 있는 재료의 자체 built-in 포텐셜에 의해 결정된다. gate가 n^+ -AlGaAs 층위에 형성되는 일반구조의 HEMT 소자의 문턱 전압은 다음 식(3-27)과 같다.

$$V_{th} = \phi_B - \frac{\Delta E_c}{q} - \frac{qN_d d_d^2}{2} \dots\dots\dots(3-27)$$

- 1항:Schottky barrier 포텐셜
- 2항:이종 접합의 barrier 포텐셜
- 3항: n^+ -AlGaAs의 built-in 포텐셜

그러나 gate가 undoped GaAs또는 undoped AlGaAs층위에 형성되는 경우는 위식(3-27)이 다음과 같이 변형된다.³⁻⁶⁾

$$V_{th} = \phi_B - \frac{\Delta E_c}{q} - \frac{qN_d}{2} T_N (2T_0 + T_N) \dots\dots\dots(3-28)$$

T_N : n^+ -AlGaAs층 두께

T_0 : undoped층의 두께

이와 같이 HEMT의 문턱전압은 n^+ -AlGaAs 층의 두께에 의해 거의 조절되며, 표면의 undoped층의 두께를 변화시켜 조절할 수 있는 범위는 n^+ -AlGaAs두께로 조절되는 V_{th} 의 범위에 대해 약 10%정도이다.

Recess etching 공정은 매우 critical한 공정이다. 그림 3-12에 AlGaAs의 doping농도의 함수로 AlGaAs층의 두께 변화에 따른 문턱 전압의 민감도를 나타내었다.³⁻¹³⁾ 이에 따르면 AlGaAs 층을 $1 \times 10^{18} \text{cm}^{-3}$ 으로 doping 하였을 경우 두께에 따른 문턱 전압의 민감도는 $4.3 \text{mV}/\text{\AA}$ 이고 $2 \times 10^{18} \text{cm}^{-3}$ 으로 doping한 경우는 $6.6 \text{mV}/\text{\AA}$ 이 된다. 이는 AlGaAs층의 두께가 단원자층 단위로 조절되어야 함을 의미한다. 만일 $\pm 50 \text{mV}$ 정도의 V_{th} 균일성을 얻기 위해서는 gate recess etching에 의해 두께가 10\AA 으로 제어되어야 한다. 이러한 문턱 전압의 균일성을 얻기 위해서는 매우 정확한 etching공정의 개발이 중요하다. 일반적으로 dry etching 이 wet etching 공정보다 문턱 전압의 균일도가 높으며 대개 RIE(Reactive Ion Etching)를 가장 많이 사용한다. Wet etching 을 이용하는 경우는 선택 etching, 즉 GaAs만을 etching하여 제거하고 AlGaAs는 거의

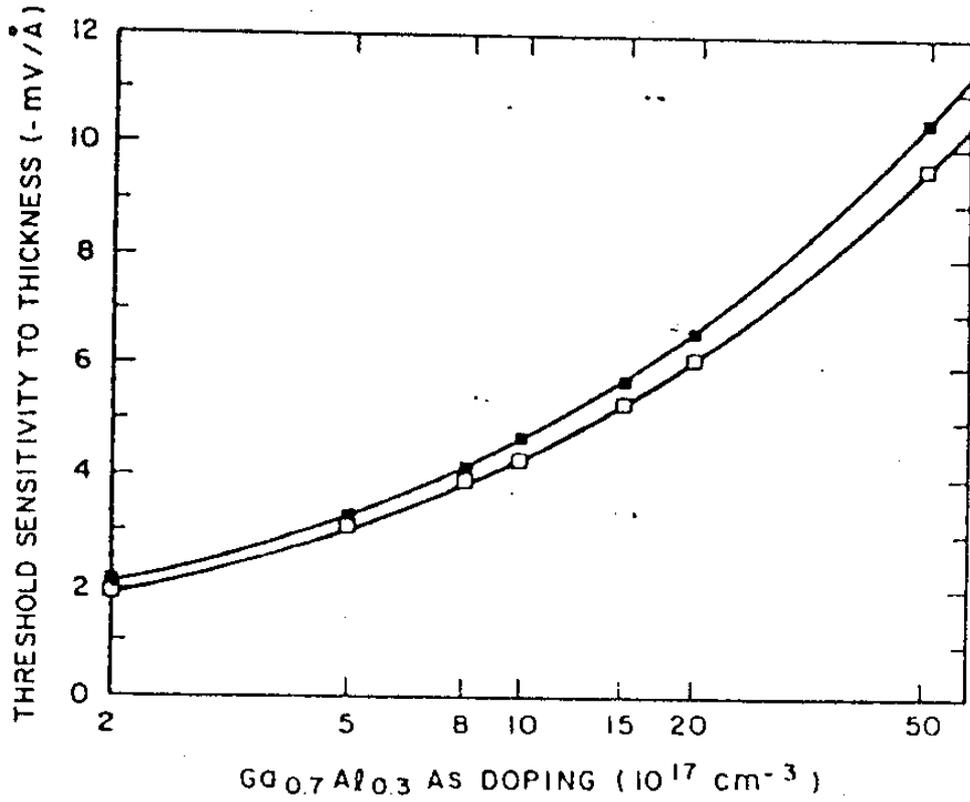


그림3-12. 도핑 농도의 함수로 나타낸 AlGaAs donor층 두께 변화에 따른 문턱 전압의 민감도
 □, 300K ; ■, 77K ; $V_T=0V$; $\phi_m=1.0V$

etching하지 않는 공정을 이용하면 일반적인 recess etching 공정보다는 높은 균일도를 얻을 수 있다. 이는 에피 성장의 균일성에 그대로 의존할 수 있기 때문이다.

라. Gate 형성 공정

HEMT 소자의 gate는 Schottky접합으로 만들어 진다. 이 공정에서는 gate금속 박막을 형성시키기 전 웨이퍼 표면처리를 하는 공정이 매우 중요하다. 특히 AlGaAs가 노출되는 경우 Al의 산화물 처리가 있어야 할 것이다. 또한 gate저항은 HEMT의 microwave 동작 특성에 영향을 주므로 gate저항도 가능한 한 감소시켜야 한다.

2. 단위 공정 내용

가. 소자 격리 공정

본 공정은 일반적인 photolithography 공정과 wet process에 의한 mesa etching 공정의 순서로 하였다.

각 공정의 세부 조건은 다음과 같다.

1) Photolithography

- Pre-baking : 200°C의 oven에서 15분간 처리하여 웨이퍼 표면에 결합되어 있는 물분자를 제거하여 PR과 웨이퍼의 adhesion을 향상시켰다.
- PR coating : AZ 4210 positive PR(Photoresist)를 spin

coating하였고 추정두께는 8000Å 정도이다.

- Soft baking : 80°C의 oven에서 약15분간 처리하여 PR내에 포함되어 있는 용제(solvent)를 휘발시켜 PR의 UV광에 대한 활성도를 증가시켰다.
- 노광 : 사용한 mask aligner는 Karl-Suss MJB3 deep-UV aligner로 contact형이고 광의 파장은 300nm로 분해능이 0.5~1μm 정도이다. 노광시간은 50초 정도이었다.
- AZ 400K현상액을 DI water로 3.5배 희석하였고 40초간 현상하였다.
- Rinse :DI Water로 수회 반복한다.

2) Mesa etching

앞의 photolithography공정으로 PR pattern이 생기고, 이로써 웨이퍼에 HEMT 소자 및 기타 test pattern이 만들어지는 활성영역과 그밖의 비활성 영역이 정의 되었으므로 이 비활성부분을 undoped GaAs까지 깊게 etching 하였다. 사용한 etching용액은 1H₃PO₄ : 1H₂O₂ : 20H₂O의 혼합 용액인데 이 용액의 GaAs etching속도는 분당 2200Å으로 측정되었다. etching시간은 2분이며 이때 4400Å이 제거되었고 이 깊이는 2차원 전자층보다 2500~3000Å 더 깊고 undoped 층이므로 소자는 전기적으로 고립되었다고 볼 수 있다. Etching profile은 [01 $\bar{1}$]방향으로는 positive mesa가, [011]방향으로는 negative mesa profile을 볼 수 있었다. 이 H₃PO₄계 용액 이외에도 mesa etching에 적합한 용액으로는 1NH₄OH : 1H₂O₂ : 50 H₂O용

액이 있다. 이 용액의 etching 속도는 분당 2000 Å 정도이며 profile 은 앞의 용액과 같다. 다음 그림 3-13과 3-14에 각각 인산계와 암모니아수계의 에칭용액에서 혼합조성에 따른 GaAs etching 속도를 나타냈다.

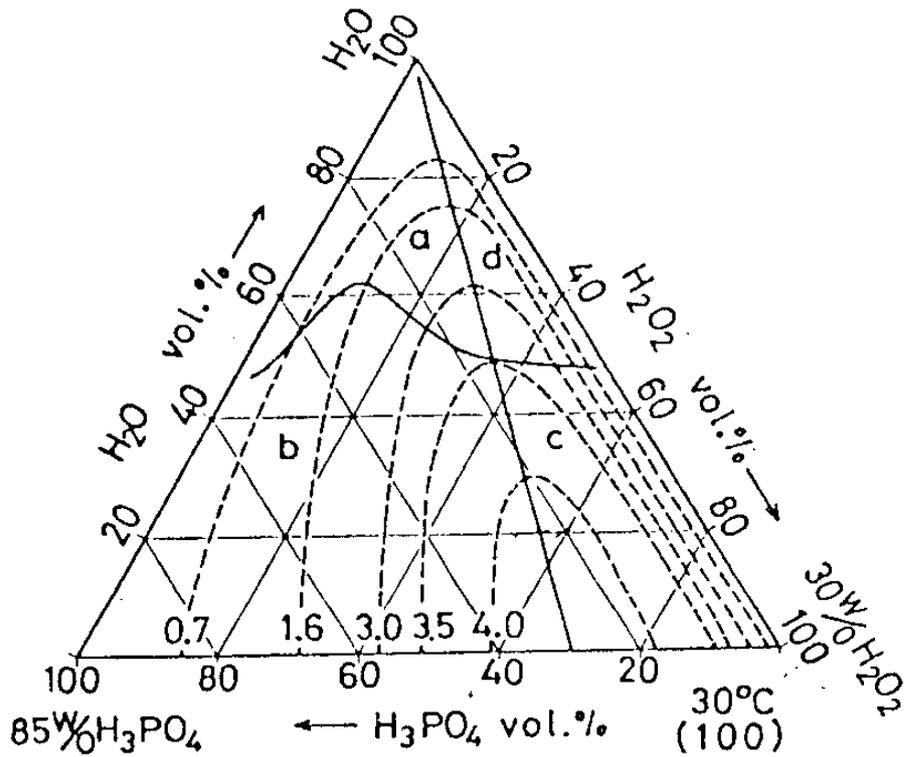


그림 3-13. 인산(H_3PO_4)계 용액에서 혼합 조성비에 따른 GaAs 등 에칭 속도 곡선³⁻¹⁶⁾

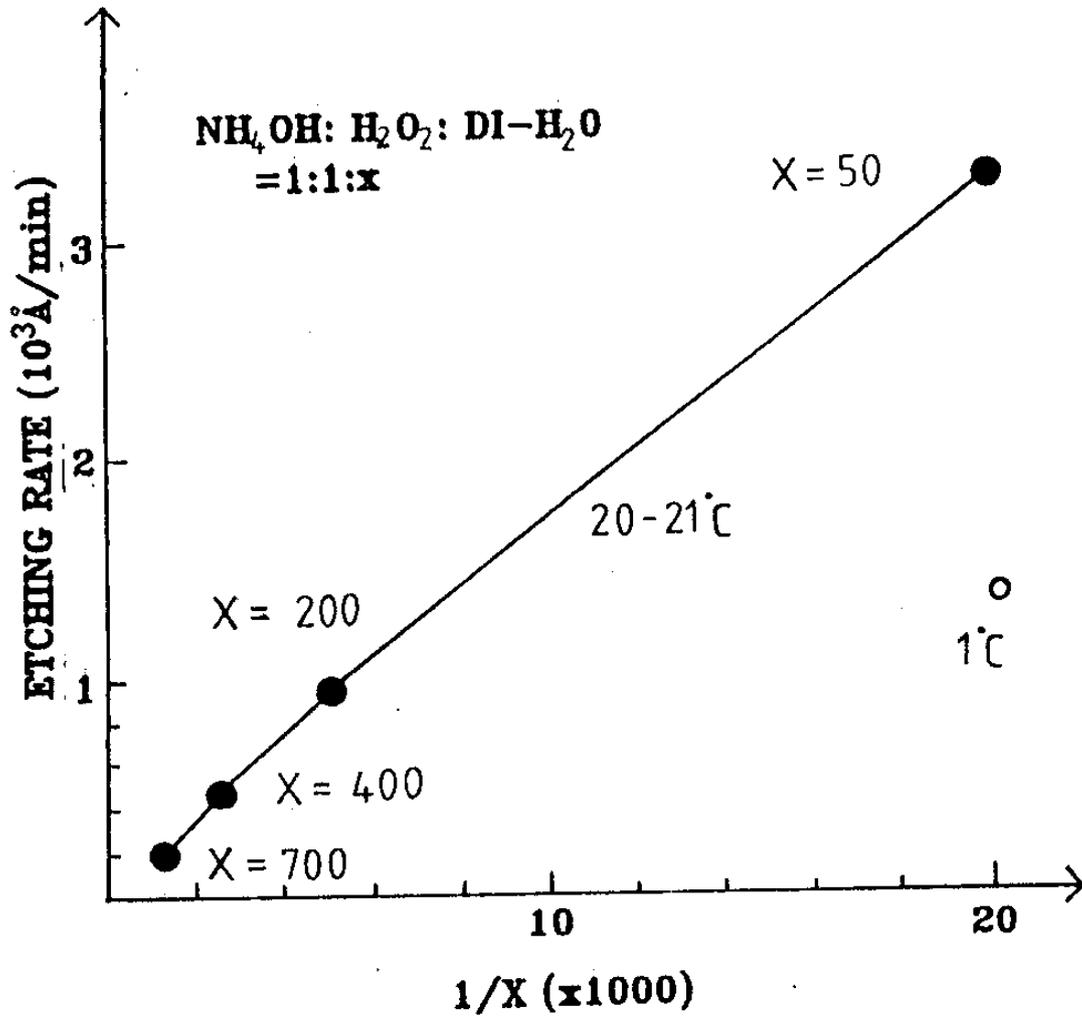


그림 3-14. 암모니아수(NH_4OH)계 용액에서 혼합 조성비에 따른 GaAs 에칭 속도

나. Source/drain형성 공정

Ohmic접촉 형성에 사용하는 금속은 대개 화학적으로 안정한 Au합금 또는 순수 Au가 사용되므로 금속 pattern은 lift-off기술을 이용해야 한다. Lift-off에 의해 금속 pattern이 떨어지면 합금화 공정을 통하여 비로소 ohmic접촉이 되도록 하였다.

1) Lift-off공정

이는 PR patterning공정에서 PR표면에 overhang을 형성시켜, 박막 형성때 그 금속박막이 남아야 하는 부분과 제거해야 하는 부분, 즉 PR 위에 있는 금속박막이 저절로 분리되게 하고 PR을 제거할 때 불필요한 금속박막이 함께 제거되게 하는 기술이다. Lift-off 방법에는 단층의 PR을 표면을 modify하여 사용하는 것과 성질이 다른 두층의 PR을 사용하는 방법이 있다. 본 연구에서는 전자의 방법으로 하였다.

Lift-off공정의 순서와 공정조건은 다음과 같다.

가) Photolithography

- Pre-baking : 200°C oven, 15분
- PR coating : AZ 4210, 8000 Å 두께
- 1차 soft baking : 80°C oven, 15분
- MCB(Mono-Chlorobenzene) soaking : 15분
- 노광 ; 45초

- Post baking : 90°C oven, 10분
- 현상 : AZ 400K 3.5배 희석액, 1.5~2분
- Rinse

나) 금속박막 형성

- 표면처리 : 진공 증착 바로 전에 하는 표면처리가 금속박막의 adhesion과 접촉 저항 감소의 효과가 있다. 우선 etching속도가 비교적 느린 용액으로 수십~100 Å 정도 light etching하는데 이는 금속의 확산을 용이하게 하여 합금화를 돕는다. 사용한 용액은 1NH₄OH:1H₂O₂:700H₂O 혼합용액이고 light etching후 바로 1NH₄OH:10H₂O에 수회 rinse한 후 N₂ blowing하고 진공 증착기에 가능한한 빠르게 loading한다.
- 진공증착 : Thermal 진공증착기로 4×10⁻⁶ torr.의 진공도에서 Au-Ge(12wt%) 공정합금/Ni/Au를 1400/300/1000 Å 두께로 형성시켰다.

다) Lift-off

가열된 아세톤 용액에 웨이퍼를 넣으면 PR이 아세톤에 의해 용해되면서 의도했던 금속 pattern이 형성된다. 다음 TCE, 아세톤, 메탄올과 DI water rinse 순서로 세척하고 건조시킨다.

2) 합금화 공정

합금화 열처리에 사용한 전기로는 open tube형이며 항상 N₂

open tube furnace
N₂ or Ar environment
setted temperature ; 480 ° C

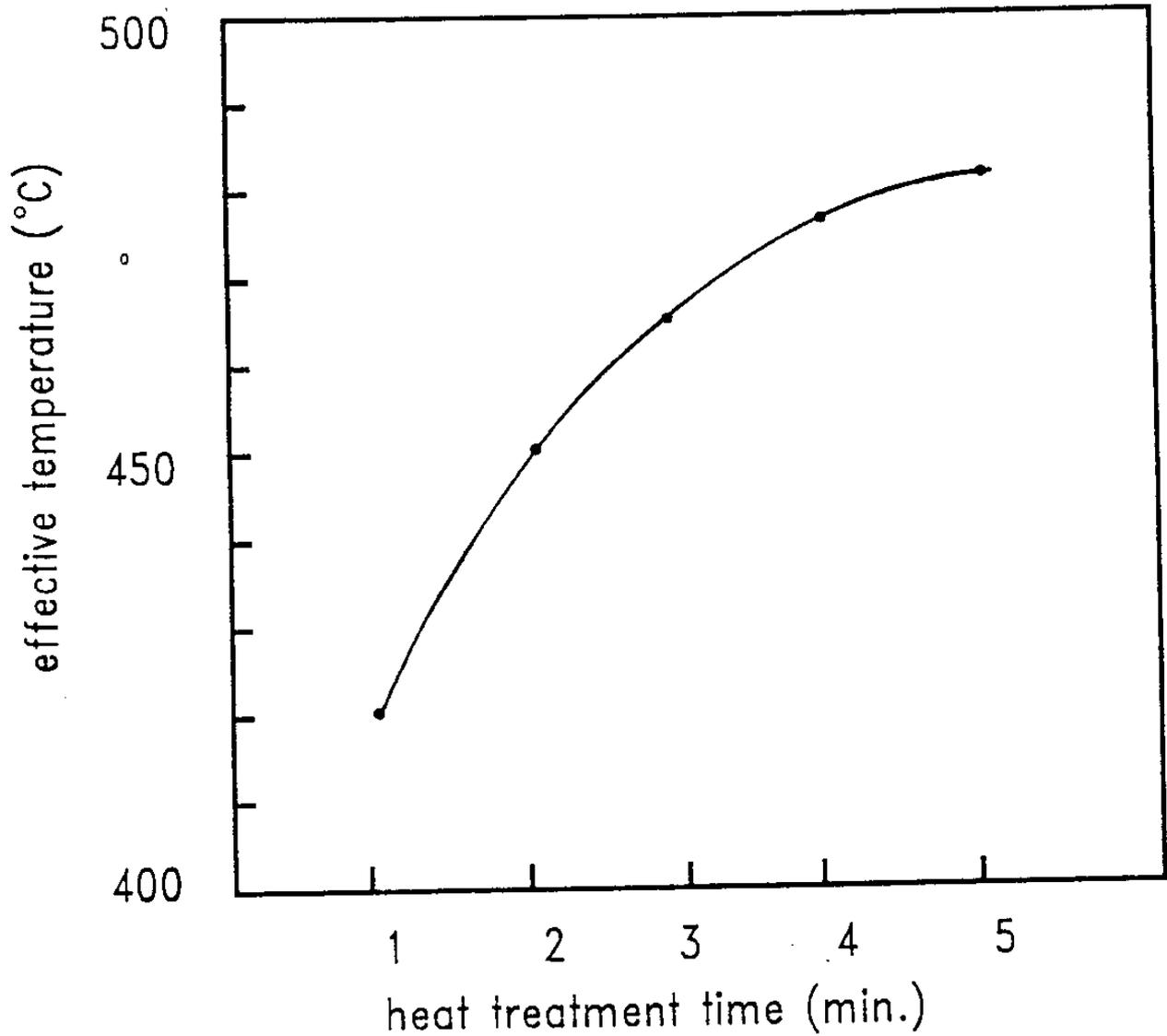


그림 3-15. 합금화(alloying) 열처리 시간에 따른 웨이퍼의 실제 온도 변화

또는 Ar 분위기를 유지하였다. Furnace의 온도는 480°C로 고정시키고 웨이퍼는 석영 boat에 넣어 장입하였다. 먼저 furnace 입구에서 1분간 유지하여 표면의 수분을 완전히 제거하였다. 이때의 온도는 170°C이었다. 다음 furnace 중앙의 flat zone에 순간적으로 밀어 넣고 1분~1분30초간 합금화 처리를 하였다. 이때 boat에서 시간에 따른 온도변화를 측정하였고, 실제 웨이퍼가 받는 effective 열처리 효과를 조사하였다. 그 결과 그림 3-15와 같았다. 웨이퍼는 석영 boat에 깊게 위치하게 되어 있어, 웨이퍼의 온도는 boat온도와 거의 같다는 가정이 가능하며 웨이퍼가 겪은 최대온도는 450°C가 된다.

다. Recess etching공정

Recess etching공정에서는 n^+ GaAs/AlGaAs구조에서 위의 GaAs cap층만을 etching하여 제거하고 AlGaAs는 손상되지 않고 etch stop하는 선택 etching(Selective etching)을 하였다. 용액은 pH adjusted H_2O_2 로 NH_4OH 를 소량씩 첨가하여 pH를 0.01 범위내에서 조절하였다. 실온에서 magnetic stirrer로 교반하면서 etching하였다. 그림 3-16와 3-17은 선택 etching에 대한 단위 공정 실험을 한 것이다. HEMT제작에 선택 etching공정을 사용하는 보고는 상당히 많이 있으나 그 용액의 pH와 조성에 대한 정보는 제공하지 않았다. 따라서 전구간의 pH 조건에서의 etching속도와 선택도(selectivity)를 측정하였다. 이때 사용하는 carrier 또는 편셋은 금속성을 사용할 수 없으며 반드시 Teflon 등의 비전도성 물질을 사용한다.

Etch rate of GaAs & AlGaAs as a function of pH

etching solution : H_2O_2 (30%) + NH_4OH

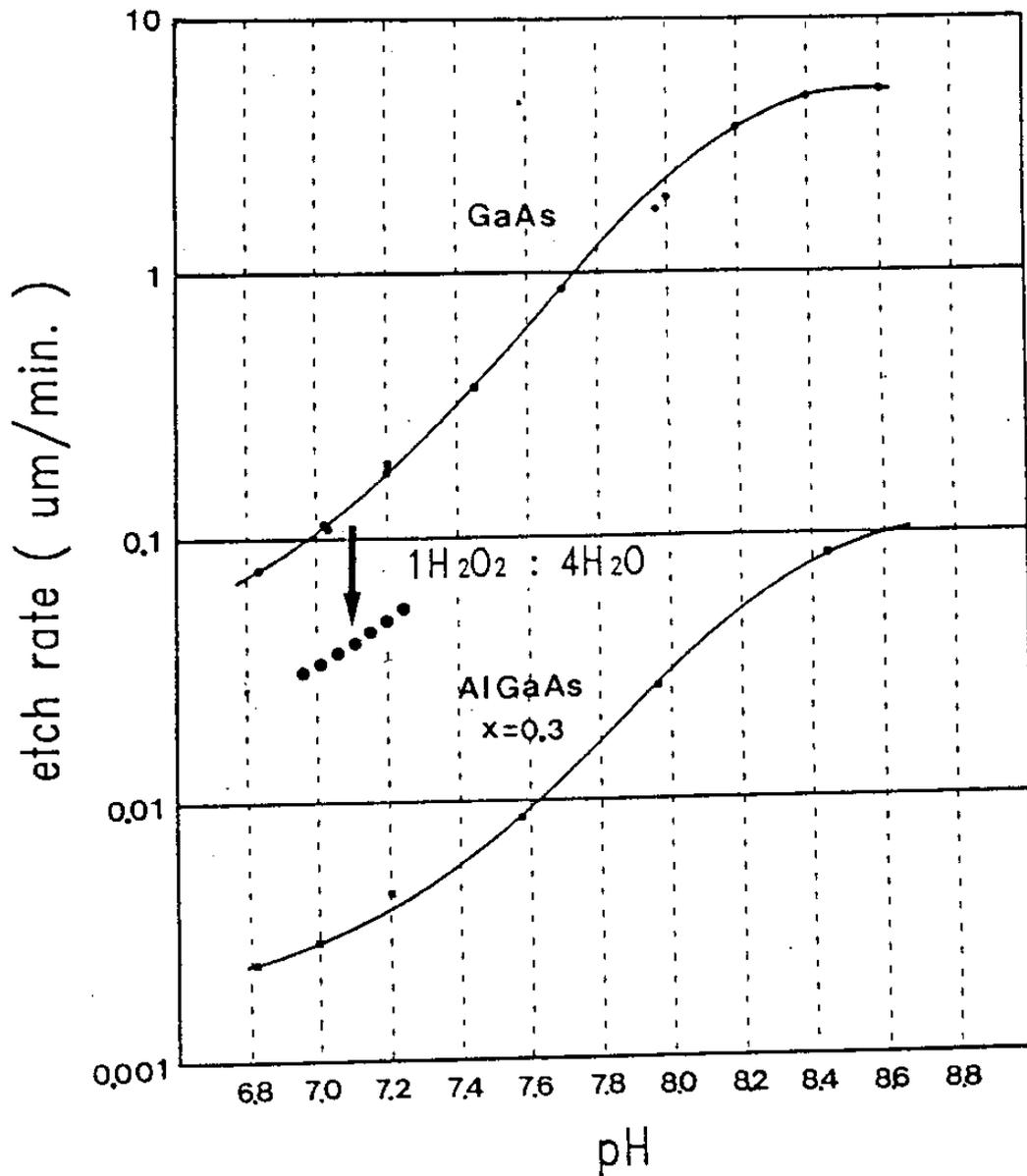


그림 3-16. 과산화수소수(H_2O_2) 용액의 pH에 따른 GaAs와 $Al_{0.3}Ga_{0.7}As$ 의 etching 속도

Etching Selectivity as a function of pH GaAs/Al_{0.3}Ga_{0.7}As

etching solution : H₂O₂(30%) + NH₄OH

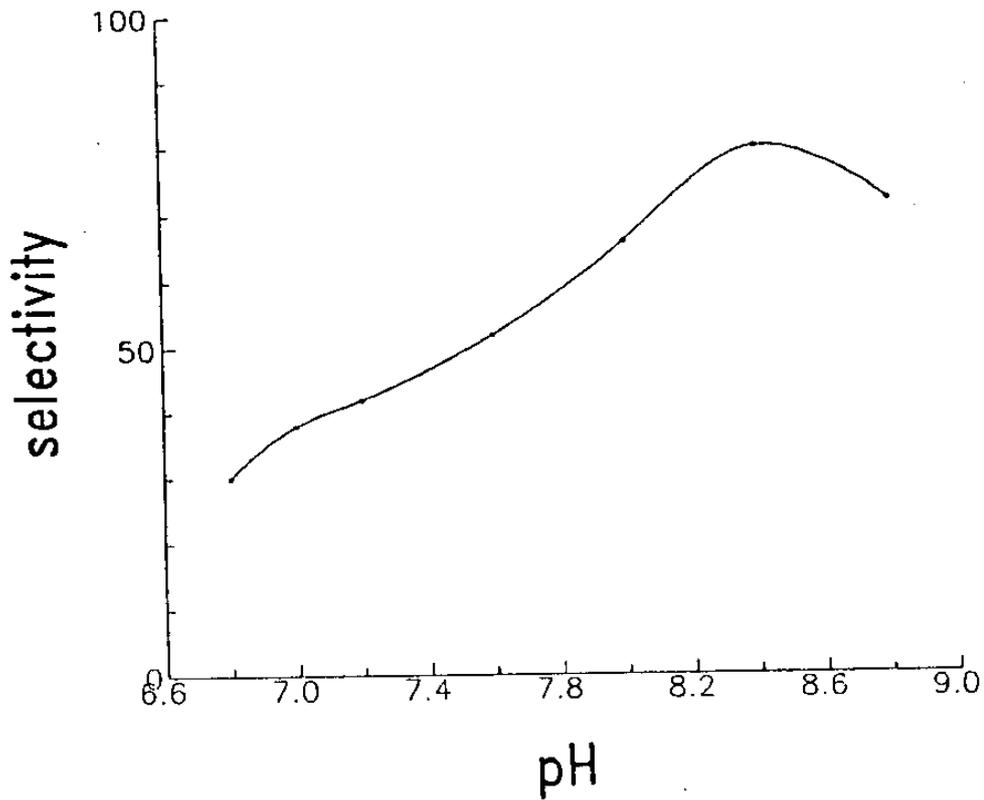


그림 3-17. pH에 따른 선택 etching의 selectivity 변화

그 이유는 금속 holder를 사용하였을 경우 galvanic활동에 의해 AlGaAs의 etching속도가 현저히 증가하여 모든 pH영역에서 선택도가 1.5 이하로 되었다는 보고가 있다³⁻¹⁵⁾.

그림 3-18에 recess etching방법을 도시하였다. 또한 그림 3-19에 선택 etching시 stainless steel과 teflon 핀셋을 사용한 경우의 선택도를 비교하였다³⁻¹⁵⁾. 실험을 통해 얻은 적정 pH범위는 7.0~7.4이었으며 이 구간에서 wet etching으로는 매우 높은 35~45의 선택도를 얻었다. 한편 pH가 7.4 이상으로 증가하면 선택도는 80 가까운 높은 값을 얻을 수 있겠으나 산화막이 효과적으로 제거되지 않아 표면이 불균일하고 검게 착색된 산화막이 남는다. 그림 3-20에 pH 7.00 용액에서 관찰한 etch-stop 현상을 소개하였다.

이제까지의 선택 etching공정 연구에서는 과산화수소수(30% H₂O₂)와 암모니아수(NH₄OH)만을 혼합한 용액을 사용하였다. 실제 소자제작 공정에, 앞에서 얻은 결과를 그대로 사용하는 것도 가능하나 대체적으로 etching속도가 높아 100~300Å 두께의 ohmic GaAs층을 제거하기에 그 제어가 어렵다. 따라서 과산화수소수를 DI 순수로 희석하여 사용하였다. 즉 H₂O₂:H₂O=1:4 혼합용액을 만든 후 다음 암모니아수를 역시 DI 순수에 희석하여 첨가함으로써 정밀하게 pH를 조절하였다. 이때 GaAs의 etching속도는 그림 3-18내에 표시하였다. Recess etching시간은 제거한 에피층 두께에 따라 1~2분간으로 하였으며, n⁻ GaAs의 ohmic층이 전혀 남아있지 않게 하기 위해 충분한 시간동안 약 20%정도 over되도록 결정하였다.

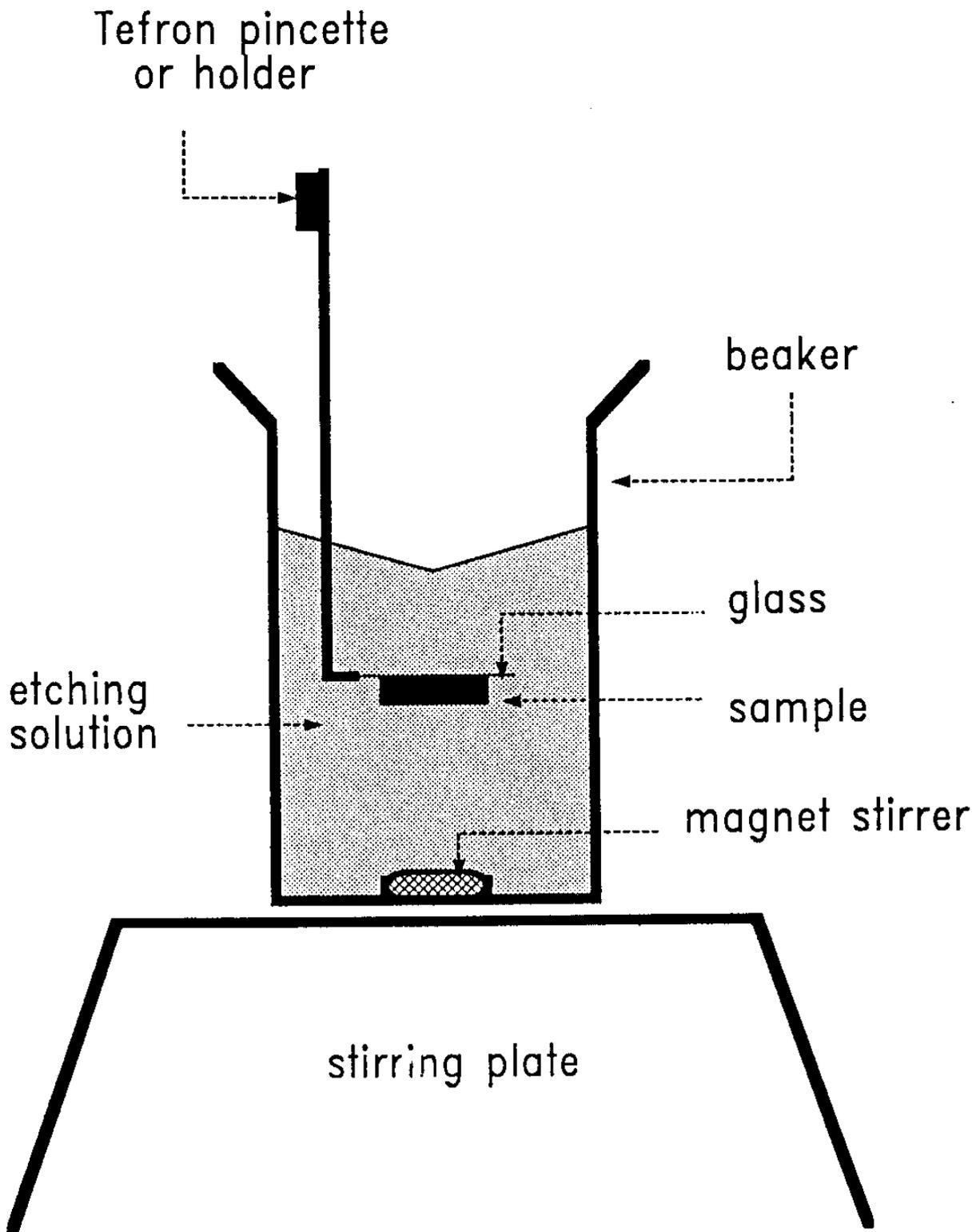


그림 3-18. Recess etching 방법의 모식도

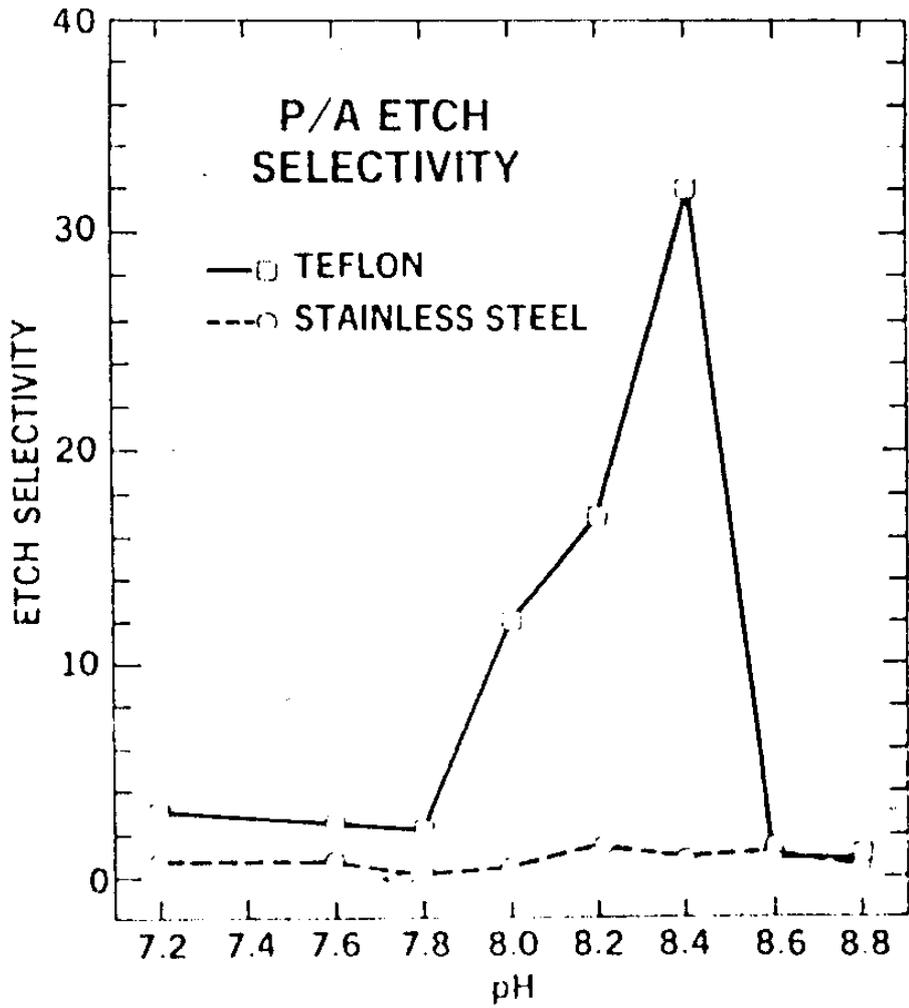
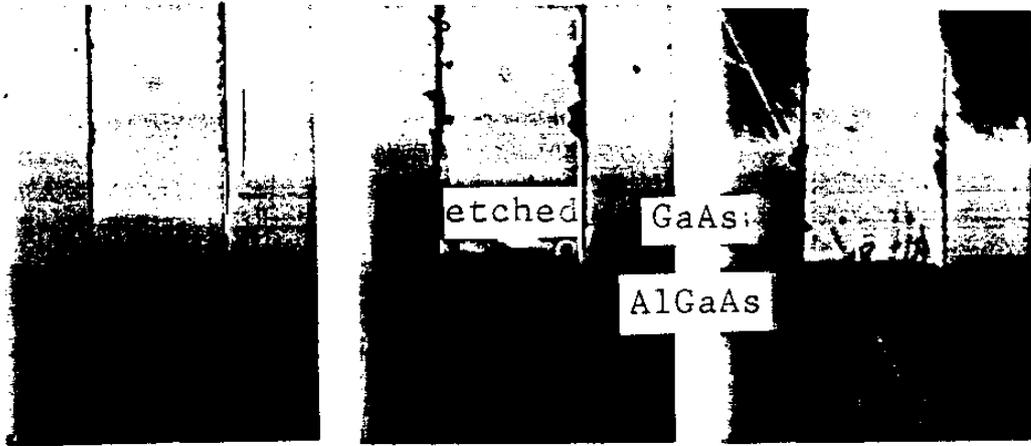


그림 3-19. 선택 etching시 stainless steel과 teflon 핀셋을 사용할 경우 selectivity의 차이



etching time

10 min.

20 min.

25 min.

그림3-20. pH 7.00인 선택 etching 용액에서 관찰한 etch-stop 현상

한편 과산화수소수를 기본으로 하는 용액에 의한 선택 etching시 표면의 초기 산화막도 etching속도 및 etching된 표면의 특성에 크게 영향을 미친다. 따라서 recess etching을 실시하기 바로 전에 표면의 산화막을 제거하는 것이 recess etching uniformity 및 재현성의 향상에 유리하다. 산화막의 제거는 1HF:10H₂O용액을 사용하였다.

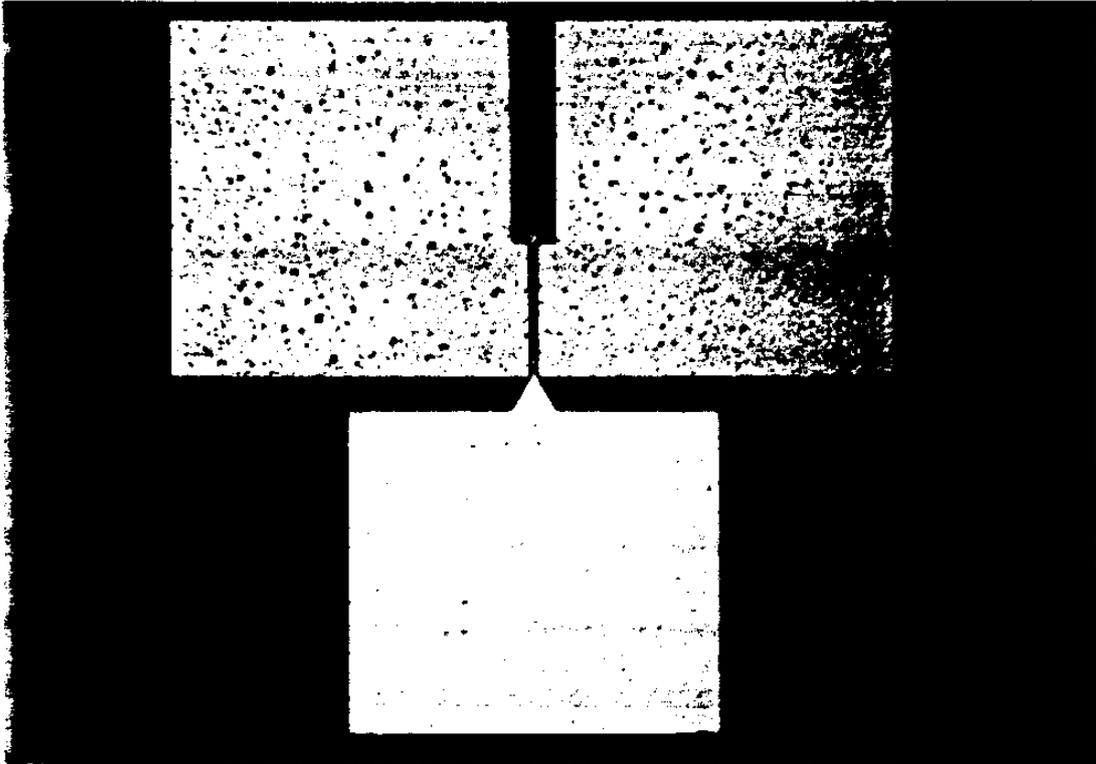
라. Gate형성 공정

Gate공정은 source/drain형성과 같이 lift-off기술을 이용하여 금속 pattern을 만들고 열처리하는 하지 않는다. Schottky 접합은 금속

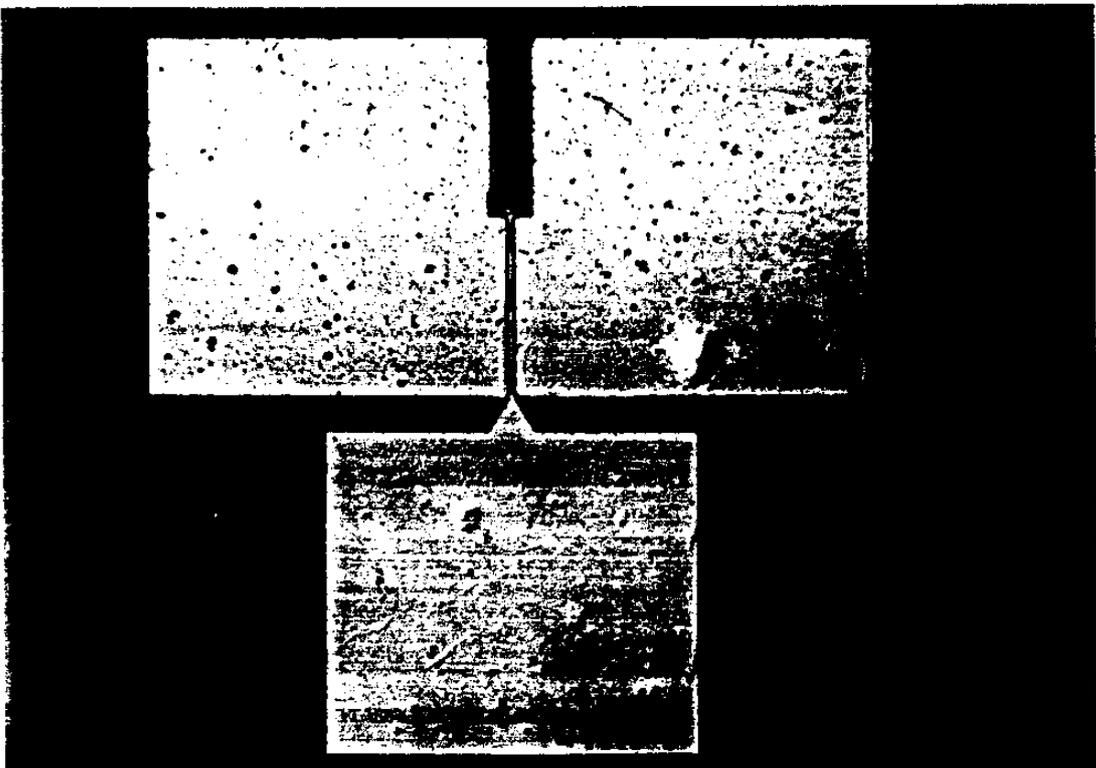
과 웨이퍼의 계면상태에 따라 그 특성이 많이 다르게 된다. 따라서 표면처리가 중요하다. GaAs 표면은 1NH₄OH:10H₂O 용액으로 Ga 산화물을 제거하고 DI water에 rinse하지 않고 그대로 N₂ blowing으로 건조시켜 진공 증착기에 장입한다. 그러나 AlGaAs표면이 노출되는 구조에서는 1H₃PO₄:100H₂O용액 또는 1HF:10H₂O용액으로 Al산화물을 먼저 제거하였고 다음 1NH₄OH:10H₂O용액에서 수회 rinse하였다. Gate금속으로는 Ti/Au계를 사용하였고 각각 200/2000 Å씩 진공 증착하였다.

3. 제작된 HEMT

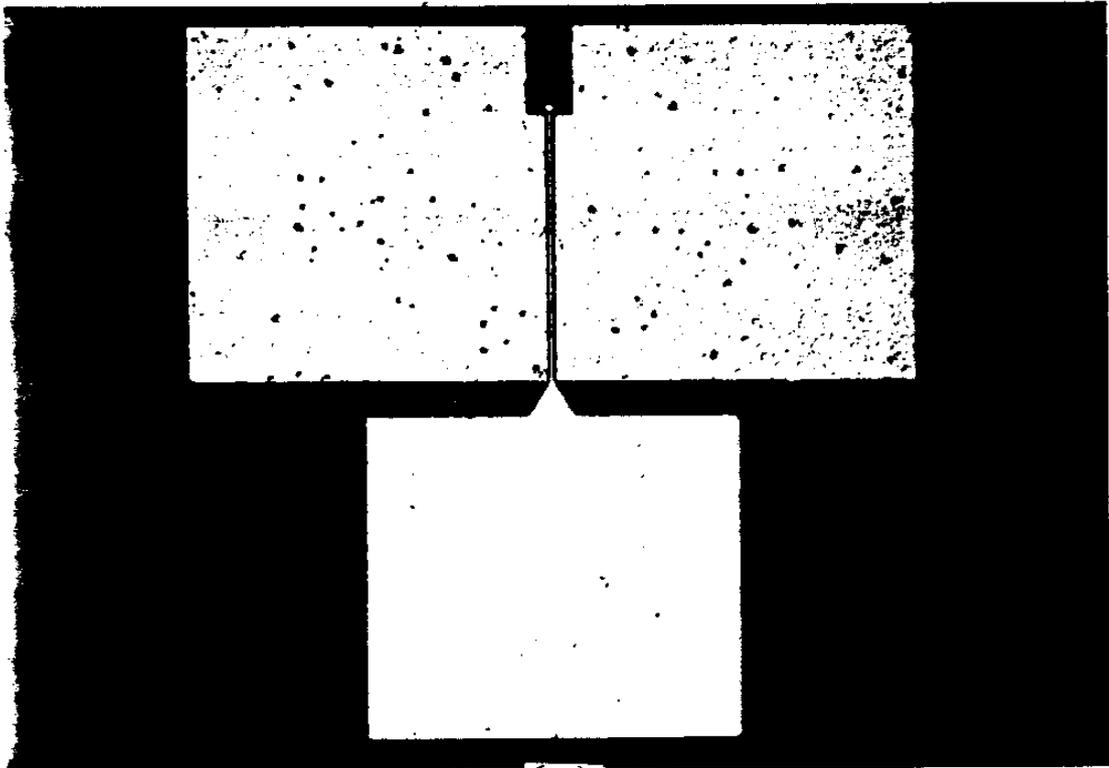
다음의 그림 3-21은 제작된 HEMT의 외부 사진이다.



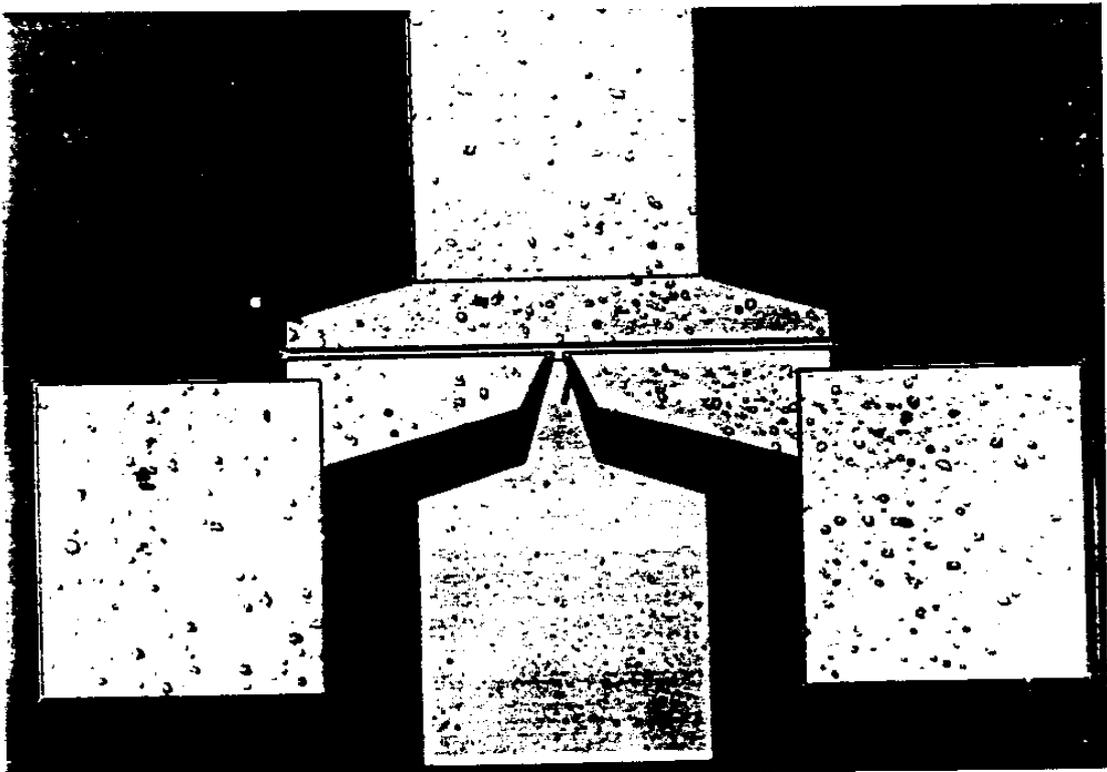
(a)



(b)



(c)



(d)

그림 3-21. 제작된 HEMT

제 4 장 HEMT 소자의 특성 평가

제 1 절 DC 특성의 측정

1. 측정방법

제작된 HEMT 소자의 dc 특성을 측정하였다. 측정방법은 그림 4-1에 보인 바와 같이 웨이퍼(wafer)상태의 소자에서 탐침 장치(probe)를 이용하여 소자의 source, drain 및 gate pad와 외부 측정회로를 연결하였고 측정장치는 HP 4145B를 사용하였다.

2. 각 소자의 구조

제작된 HEMT 소자는 3가지의 다른 형태의 에피구조를 갖고 있으며 그 dc 특성 또한 다르게 나타난다. AP 329와 AP 332 HEMT와 MSK 3 HEMT는 양자 우물(quantum well : QW)형태의 채널(channel)을 갖고 있으며, 양자 우물의 두께는 모두 200 Å이다. 이 안에 2차원 전자(2DEG)가 가두어 지게 되고 채널층의 아래쪽에는 undoped $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 의 차단층(blocking)이 있어 buffer(undoped GaAs)층을 통한 전류의 leak를 막을 수 있도록 하였다. Ohmic층은 n^+ GaAs로 MSK 3와 MSK 4 시료에서는 100 Å, AP 329와 AP 332 시료에서는 300 Å으로 하였다. MSK 3과 4 시료는 ohmic 접촉금속이 n^+ $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 의 donor층까지 확산하여 alloying(합금화)되도록 하여 ohmic n^+ GaAs층과 donor n^+ AlGaAs층 사이의 이중 접

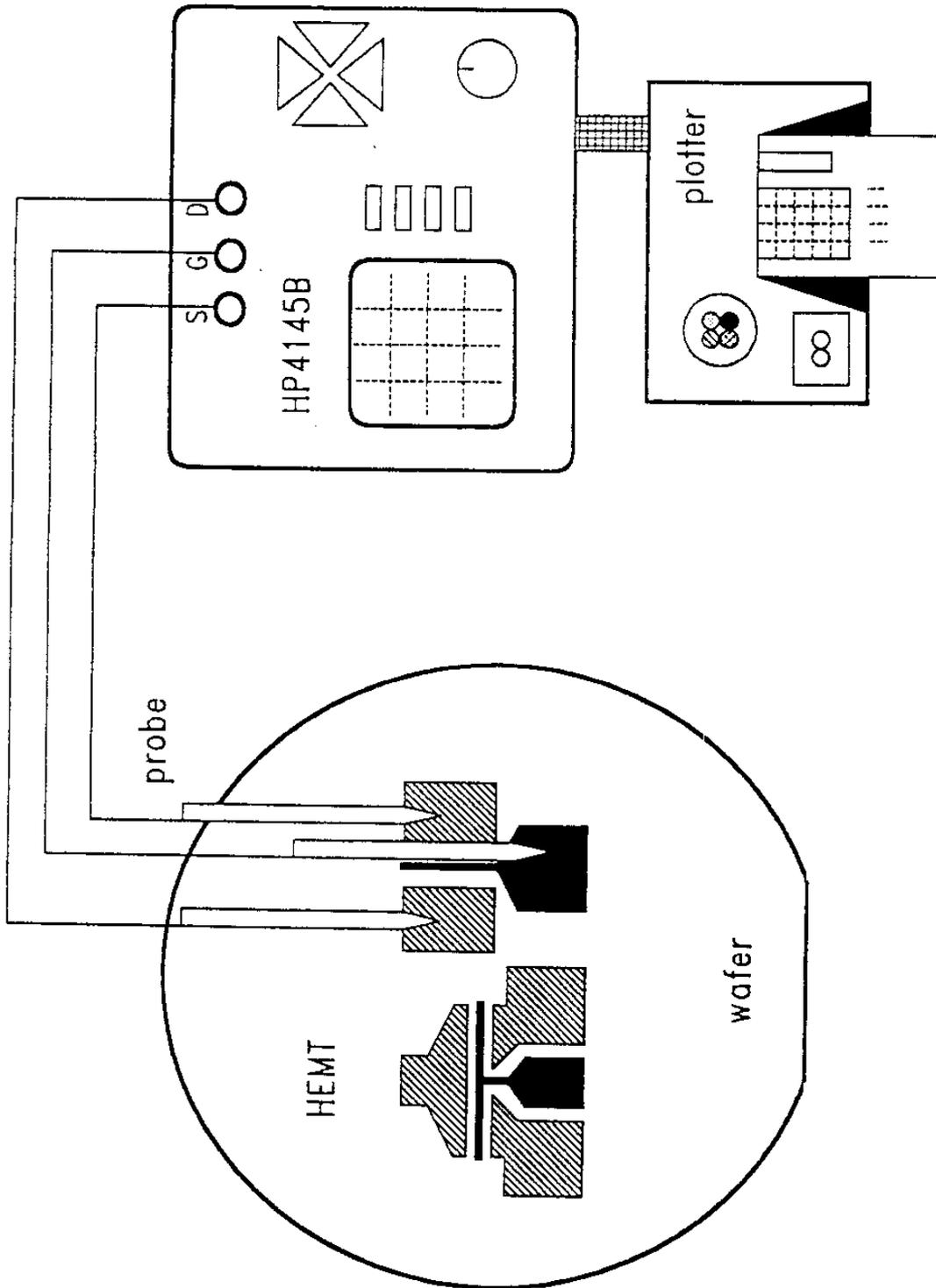


그림4-1. HEMT의 DC I-V 특성의 측정방법

합(heterojunction)에 의한 추가의 저항성분을 없애고자 하였다. MSK 3 시료는 양자 우물 채널과 blocking층 뿐 아니라 초격자(superlattice : SL)형태의 buffer를 도입하여 이종 접합 계면의 균일성, 평탄성을 향상시키고 2차원 전자의 전자 이동도(mobility)와 drift 속도의 향상을 유도하였다. 한편 MSK 4 시료는 가장 일반적인 간단한 HEMT 구조이며, 2차원 전자층이 형성되는 buffer층의 carrier 농도는 $1 \times 10^{14} \text{cm}^{-3}$ 으로 낮고 mobility는 $7000 \text{cm}^2/\text{v} \cdot \text{s}$ 로 측정되었다. 또한 모든 시료의 undoped $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 의 spacer층은 100Å 정도이다.

그림 4-2는 AP 329와 AP 332 HEMT의 수직구조이다. 이 구조의 특징은 앞에서 언급한 바와 같이 QW채널을 갖고 있고 undoped AlGaAs의 blocking층이 있다. 이 외에 gate가 형성되는 층이 n^+ AlGaAs donor층이 아니라 undoped AlGaAs층으로, donor층의 high doping에 의한 gate의 leak 전류 발생을 막고자 하였다. 이 층에 의해 2차원 전자층에 대한 접촉저항은 어느 정도 증가할 것으로 예상된다. Undoped층을 gate층으로 도입하는 것은 이미 2차원 도에 연구 보고한 바 있다^{4-1, 4-2}. 그림 4-3은 가장 복잡한 MSK 3 HEMT 소자의 구조이다. Gate는 n^+ AlGaAs donor층 위에 형성되며, source와 drain의 ohmic 금속이 n^+ AlGaAs층을 통해 2차원 전자층까지 또는 그 가까이 확산하여 alloying될 것으로 사료된다^{4-3, 4-4}. MSK 3 HEMT의 각 에피층의 두께, doping 농도 등을 그림 4-4에 자세히 나타냈다. 그림 4-5는 MSK 4 HEMT의 구조이다. 여기서 2차원 전자층이 형성되는 undoped GaAs buffer층의 두

AP329 & AP332

HEMT of QW channel & undoped gate layer

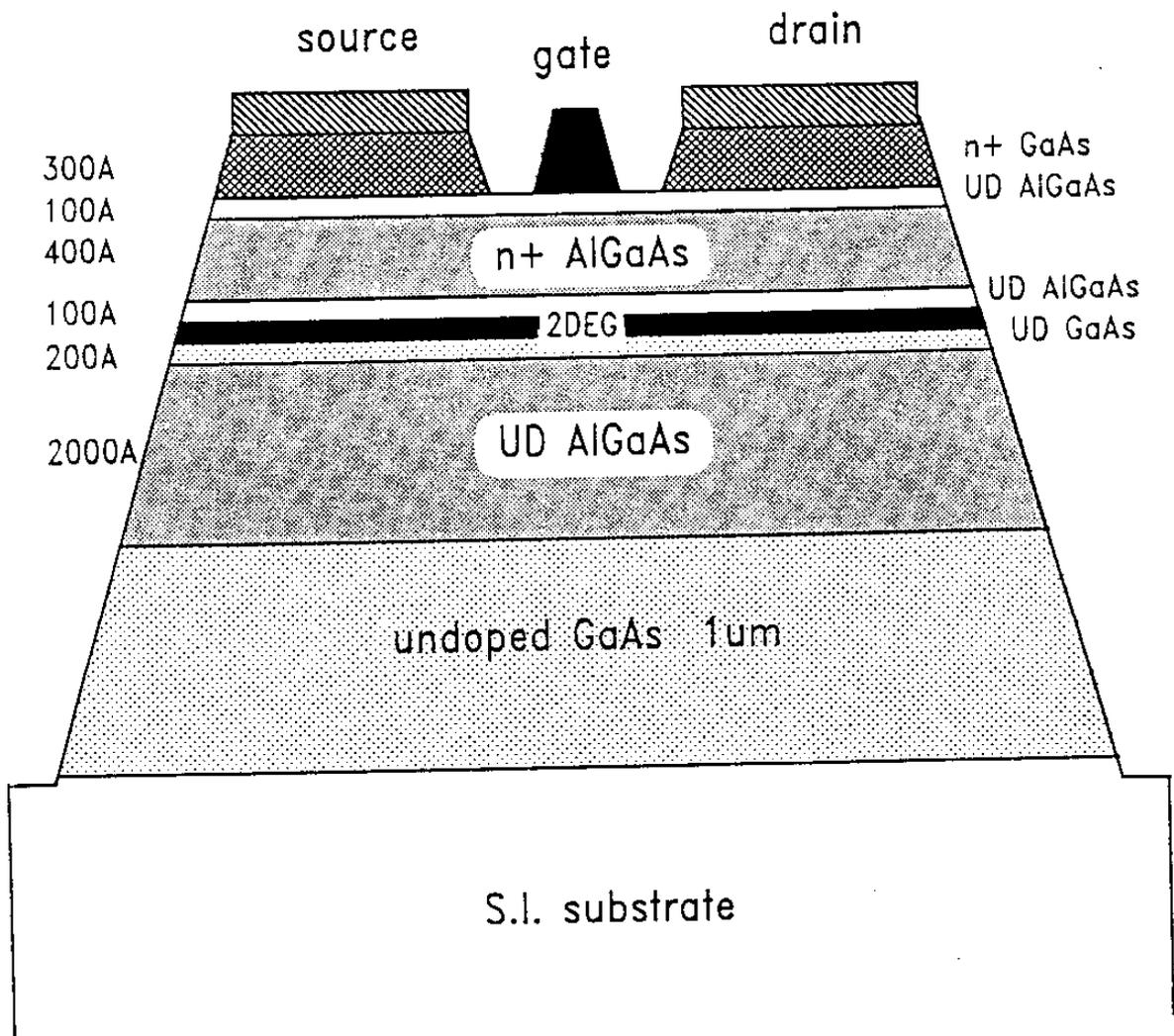


그림4-2. AP329와 AP332 HEMT의 소자 구조

MSK3

HEMT of QW channel & SL buffer

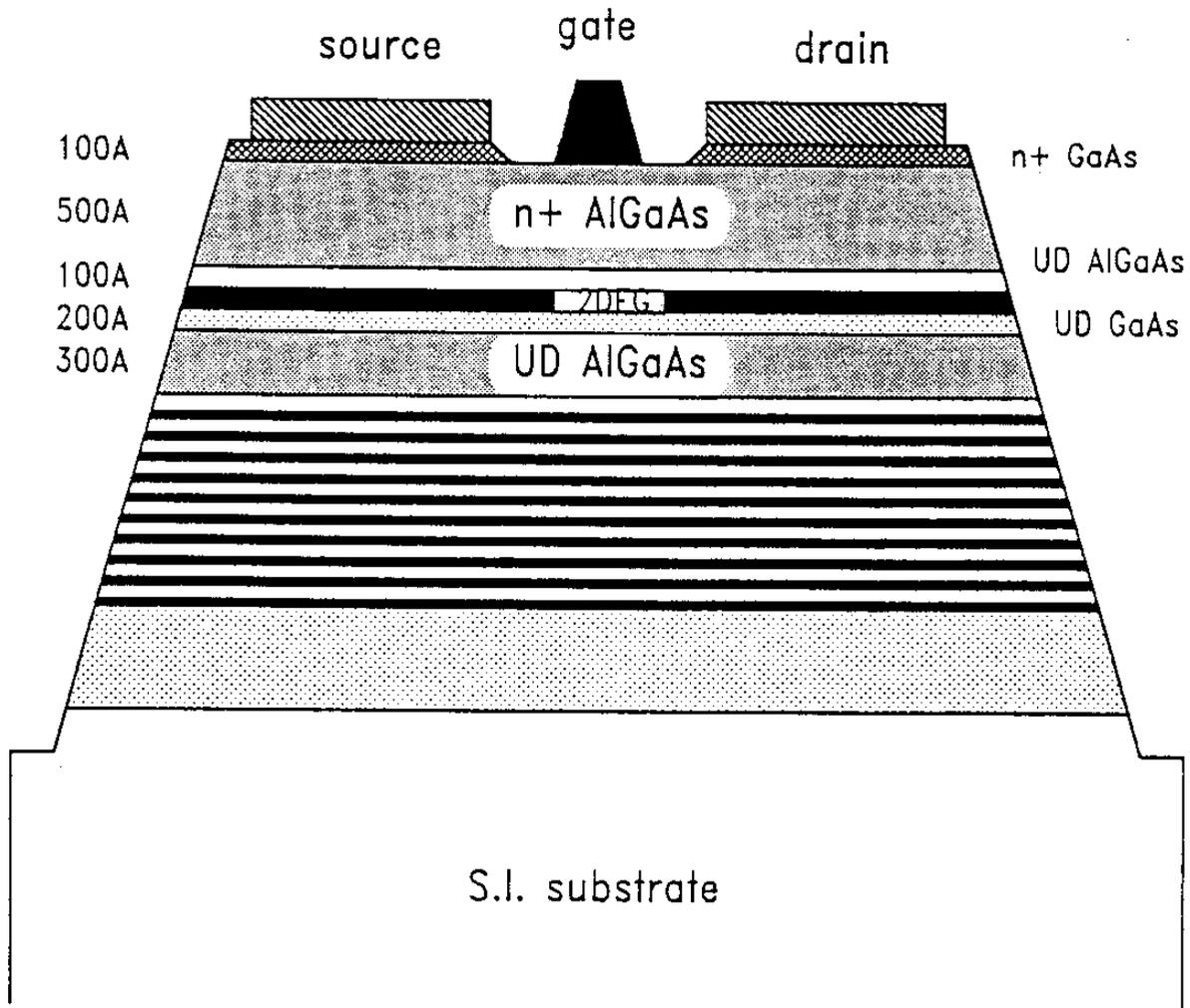
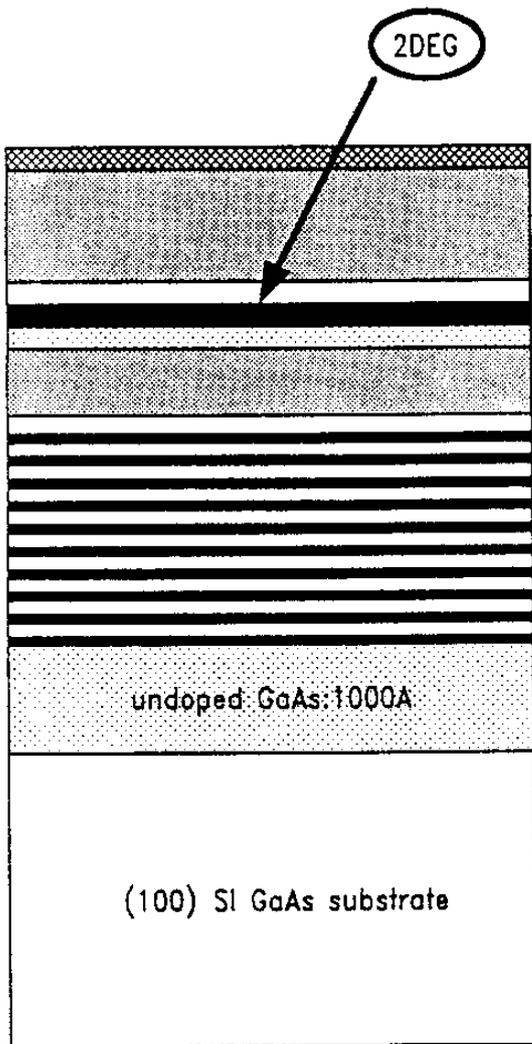


그림4-3. MSK3 HEMT의 소자 구조



u+ GaAs:100Å ohmic
 n+ AlGaAs (x=0.3):500Å ($n=1 \times 10^{18}$) donor
 undoped AlGaAs (x=0.3):100Å spacer
 undoped GaAs:200Å channel
 undoped AlGaAs:300Å blocking

 undoped AlGaAs/GaAs
 100Å/100Å, 10periods (-2000Å)

그림4-4. MSK3 시료의 에피 구조

MSK4

conventional HEMT

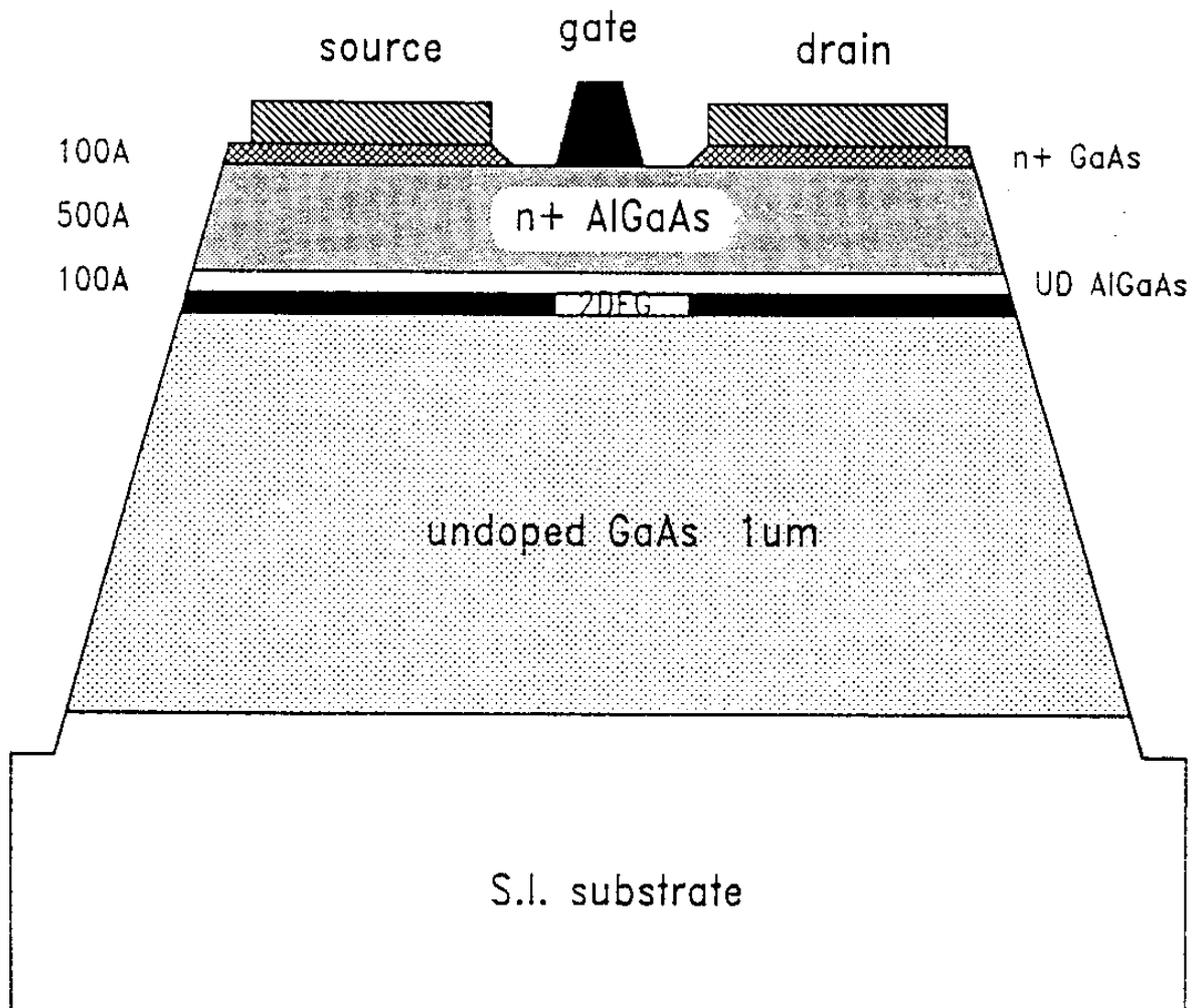


그림4-5. MSK4 HEMT의 소자 구조

계는 $1\mu\text{m}$ 이며 carrier 농도는 $1 \times 10^{14} \text{cm}^{-3}$ 이므로 buffer를 통한 전류의 leak는 없을 것으로 예상된다. MSK 4도 MSK 3과 같이 gate는 donor층 위에 형성된다.

3. 측정된 dc 전류 전압특성 곡선

제작된 AP 329, AP 332와 MSK 3, MSK 4 HEMT의 대표적인 I-V 특성은 다음과 같았다.

1) AP 329와 AP 332 HEMT의 I-V특성

그림 4-6은 AP 329 HEMT의 I-V특성 곡선으로 각각 gate 길이는 1과 $2\mu\text{m}$ 이고 gate 폭은 75, 100, $150\mu\text{m}$ 이다. AP 329 HEMT에서는 leak 전류가 있어 완전한 pinch-off가 되지 않았으며 transconductance도 비교적 낮다. 이 leak 전류는 각각의 개별 소자 사이의 전류 흐름이 측정되었으며 blocking층이 있음에도 불구하고 buffer를 통한 leak가 있는 것으로 이 시료의 gate 특성은 그림 4-7과 같다. 역 bias에서의 leak 전류는 나타나지 않았다. 그림 4-8은 각각 gate 크기가 2×75 , $1 \times 100\mu\text{m}^2$ 인 AP 332 HEMT의 I-V특성이다. AP 332 HEMT도 AP 329와 같이 buffer를 통한 leak에 의해 완전한 pinch-off가 일어나지 않았다. Transconductance값은 비교적 낮으며 $1\mu\text{m}$ 길이의 gate를 갖는 HEMT 소자에서 최대 transconductance는 69mS/mm 로 측정되었다.

2) MSK 3 HEMT의 I-V특성

그림 4-9의 (a)~(f)는 각각 1×75 , 1×100 , 2×100 , $2 \times 150\mu\text{m}^2$

I - V characteristics of HEMT

AP329	
gate length	1 μm
gate width	75 μm

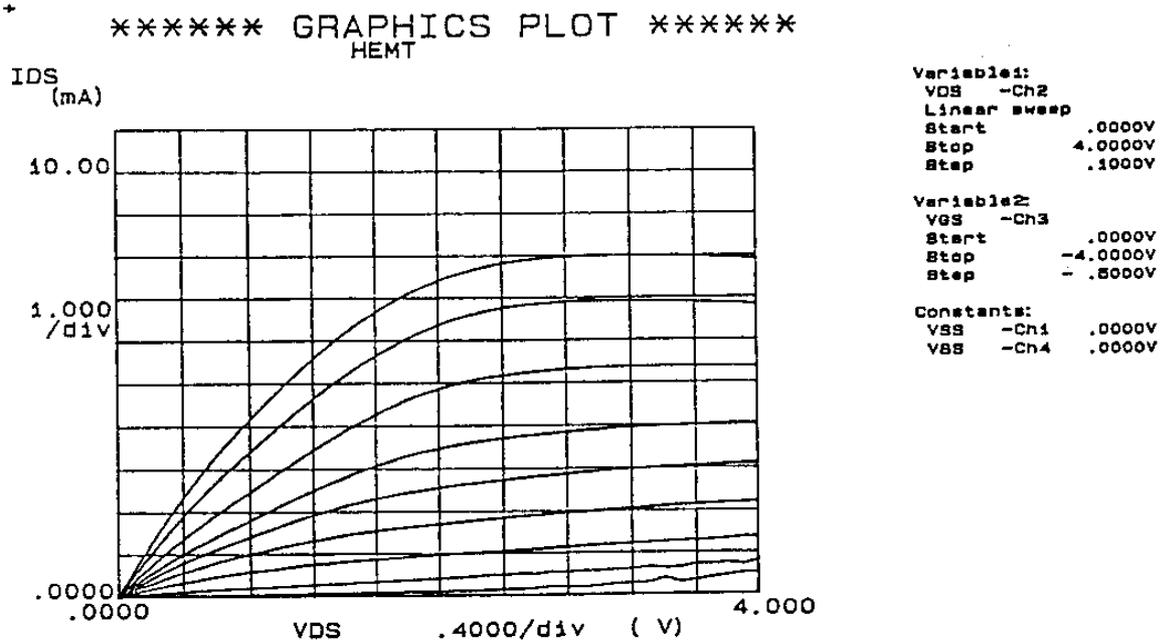
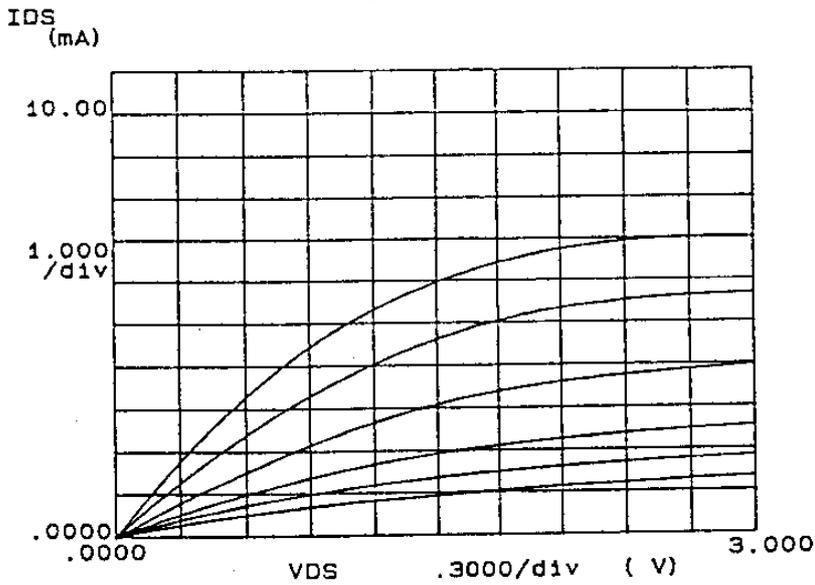


그림 4-6. (a)

I - V characteristics of HEMT

AP329	
gate length	2 μm
gate width	100 μm

***** GRAPHICS PLOT *****
HEMT



Variable1:
 V_{DS} -Ch2
 Linear sweep
 Start .0000V
 Stop 4.0000V
 Step .1000V

Variable2:
 V_{GS} -Ch3
 Start .0000V
 Stop -2.5000V
 Step -.5000V

Constants:
 V_{GS} -Ch1 .0000V
 V_{BS} -Ch4 .0000V

그림 4-6. (b)

I - V characteristics of HEMT

AP329	
gate length	2 μm
gate width	150 μm

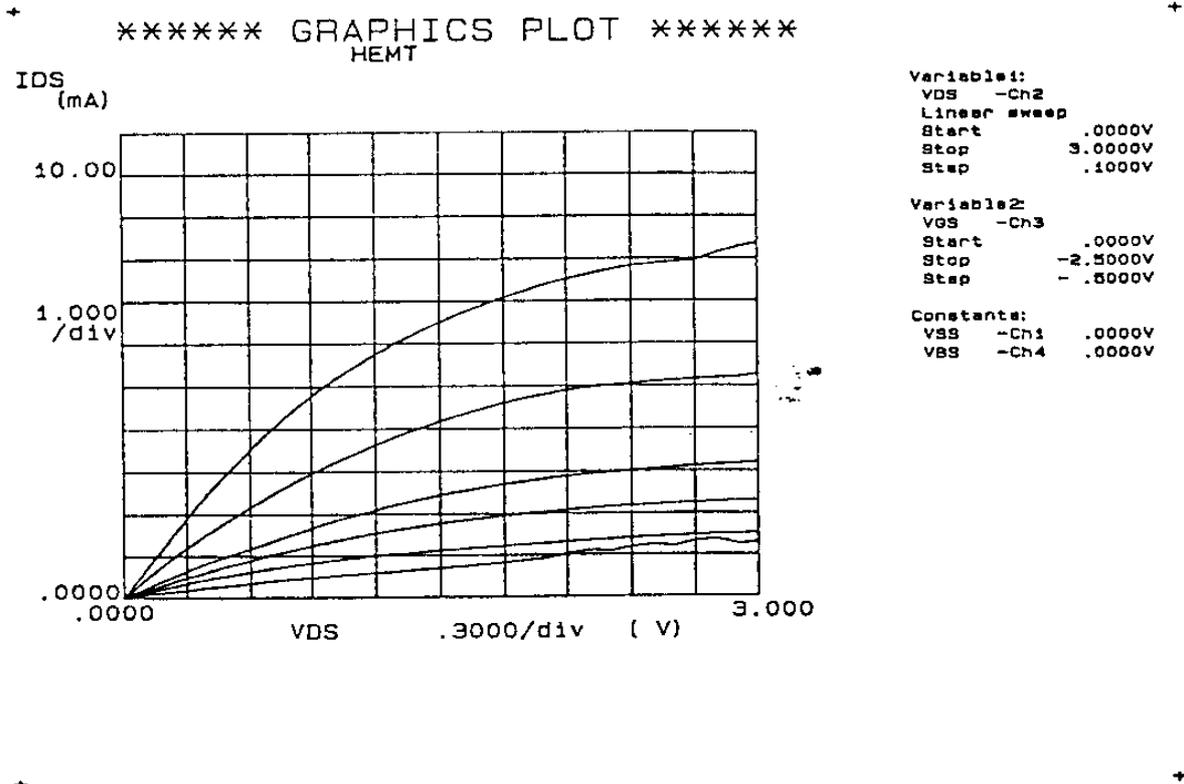


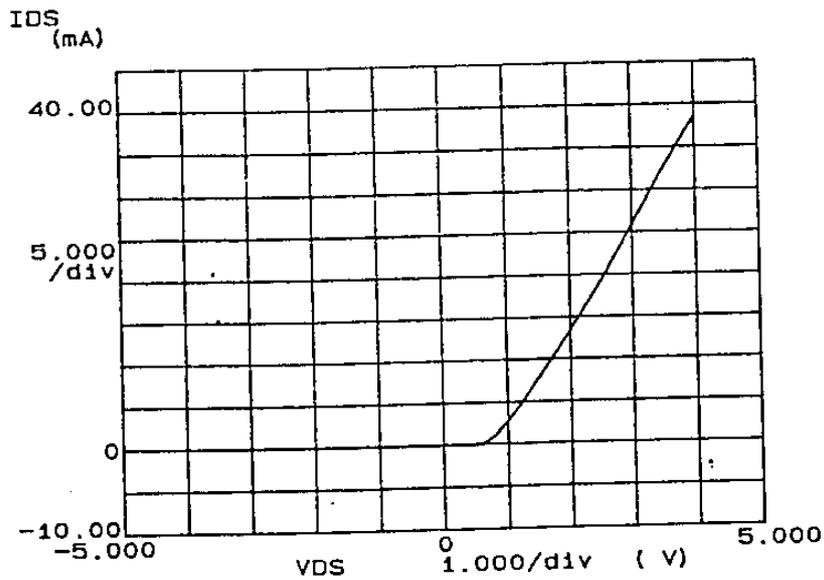
그림 4-6. (c)

그림 4-6. AP329 HEMT의 I-V 특성 곡선

I - V characteristics of Schottky gate

AP329	
gate length	1 μm
gate width	100 μm

***** GRAPHICS PLOT *****
HEMT



Variables:
VDS -Ch2
Linear sweep
Start -5.0000V
Stop 4.0000V
Step .1000V

Variable2:
VGS -Ch3
Start .0000V
Stop .0000V
Step -.5000V

Constants:
VSS -Ch1 .0000V
VBS -Ch4 .0000V

그림4-7. AP329 HEMT의 gate 특성

I - V characteristics of HEMT

AP332	
gate length	2 μm
gate width	75 μm

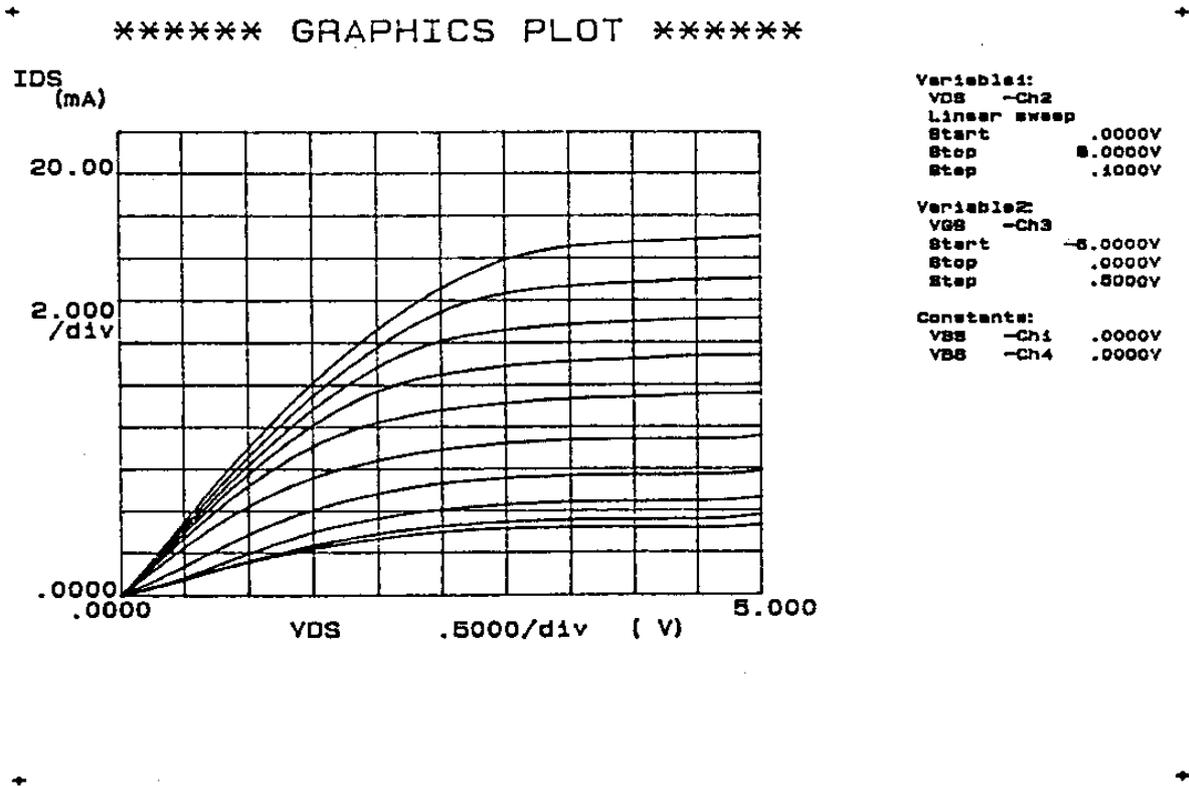


그림 4-8. (a)

I - V characteristics of HEMT

AP332	
gate length	1 um
gate width	100 um

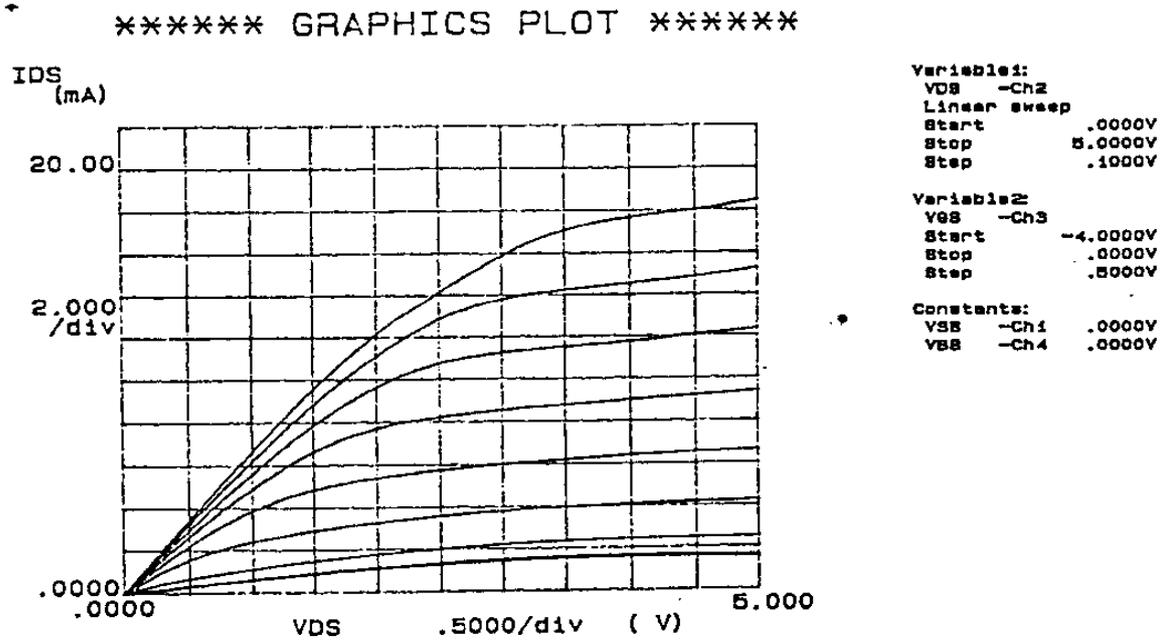


그림 4-8. (b)

그림 4-8. AP332 HEMT의 I-V 특성 곡선

I - V characteristics of HEMT

MSK3	
gate length	1 μm
gate width	75 μm

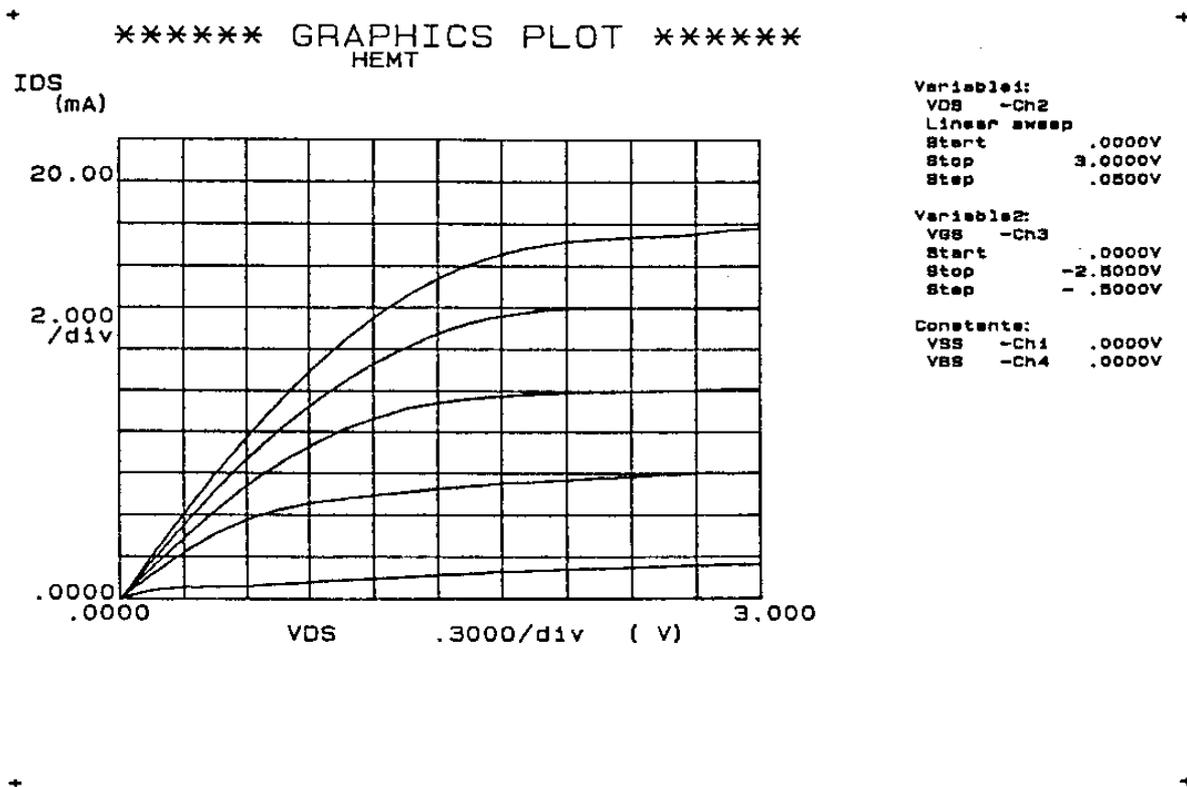
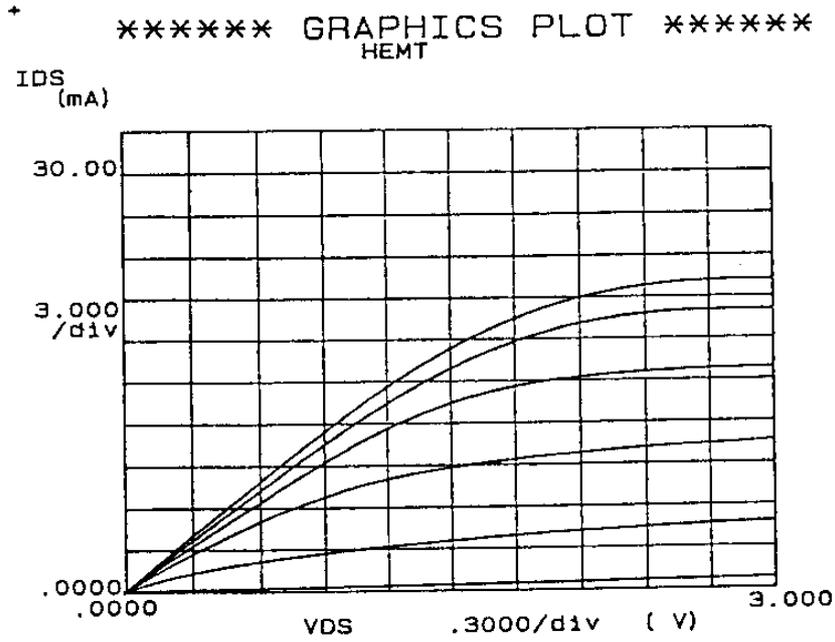


그림 4-9. (a)

I - V characteristics of HEMT

MSK3	
gate length	1 μm
gate width	100 μm



```

Variable1:
VDS -Ch2
Linear sweep
Start .0000V
Stop 3.0000V
Step .1000V

Variable2:
VGS -Ch3
Start .0000V
Stop -2.5000V
Step -.5000V

Constants:
VSS -Ch1 .0000V
VBS -Ch4 .0000V
    
```

그림 4-9. (b)

I - V characteristics of HEMT

MSK3	
gate length	2 μm
gate width	100 μm

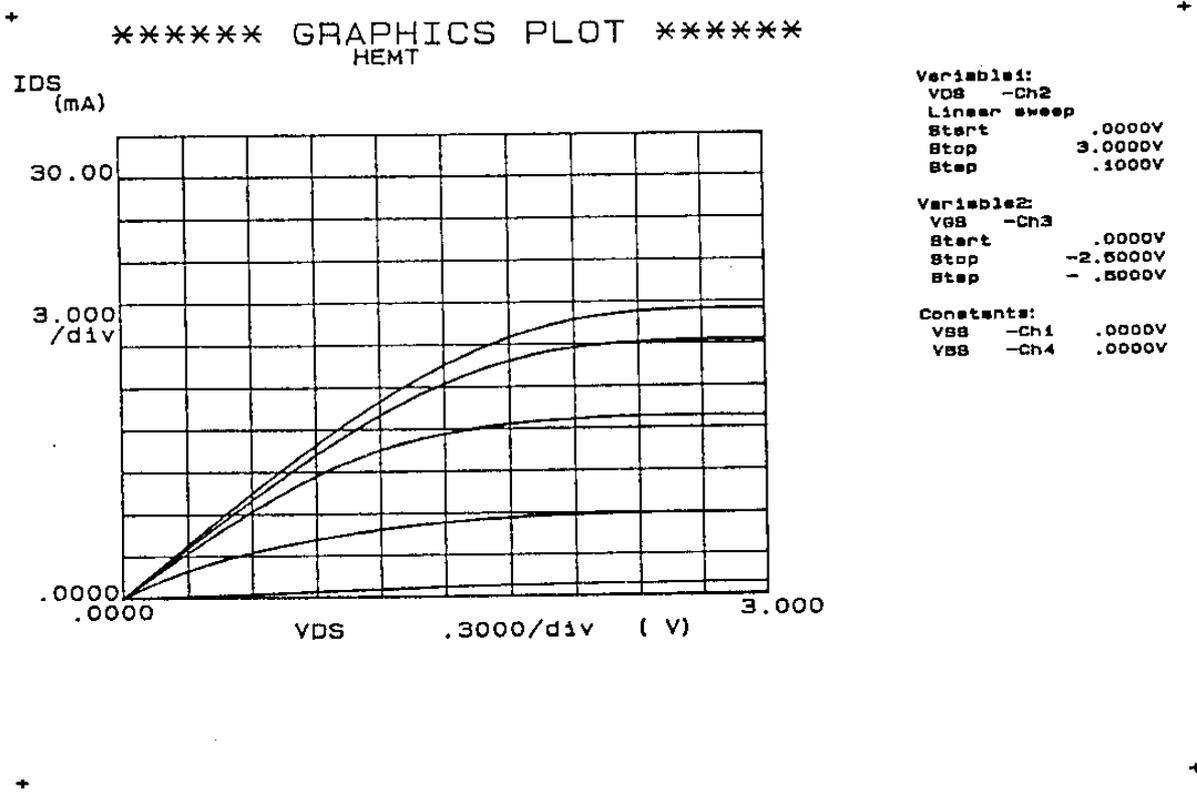
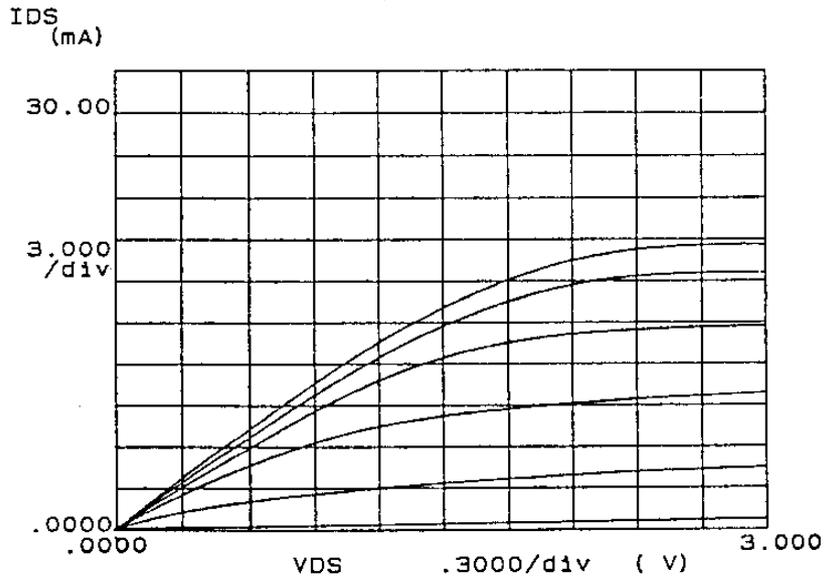


그림 4-9. (c)

I - V characteristics of HEMT

MSK3	
gate length	2 μm
gate width	100 μm

***** GRAPHICS PLOT *****
HEMT



Variable1:
VDS -Ch2
Linear sweep
Start .0000V
Stop 3.0000V
Step .1000V

Variable2:
VGS -Ch3
Start .0000V
Stop -2.5000V
Step -.5000V

Constants:
VBS -Ch1 .0000V
VBS -Ch4 .0000V

그림 4-9. (d)

I - V characteristics of HEMT

MSK3	
gate length	2 μm
gate width	100 μm

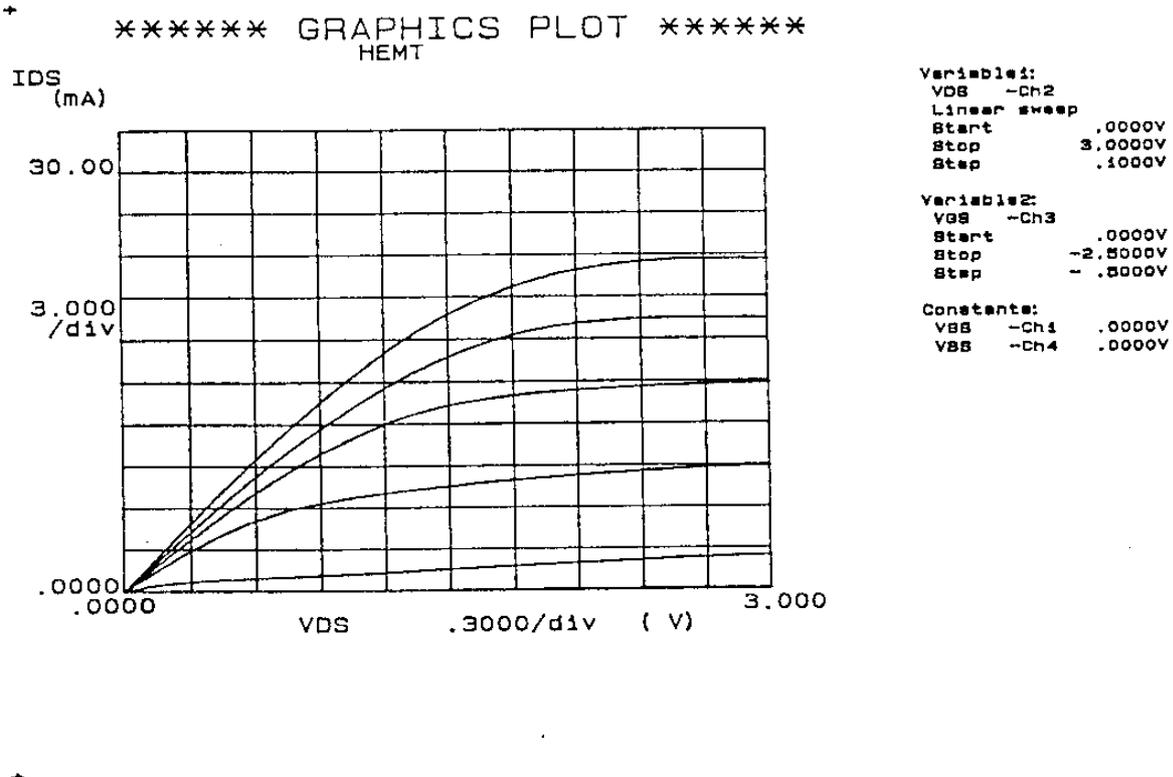
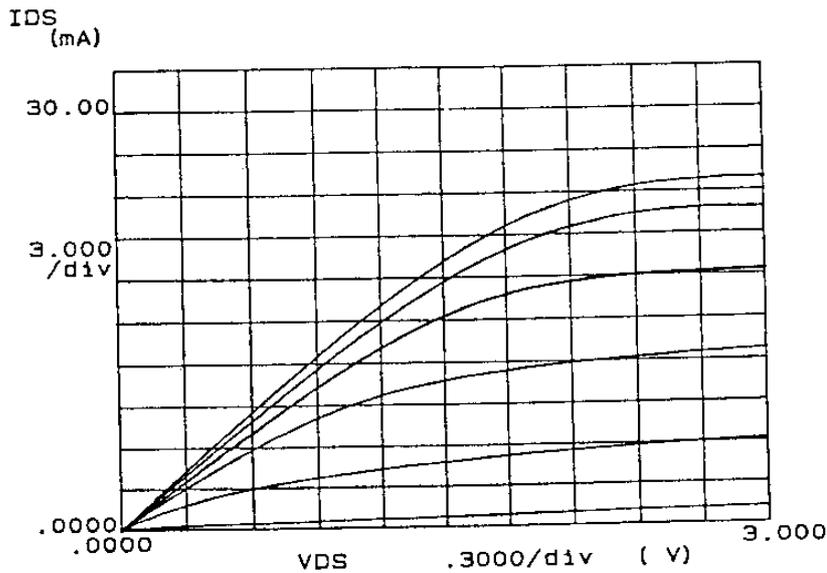


그림 4-9. (e)

I - V characteristics of HEMT

MSK3	
gate length	2 μm
gate width	150 μm

***** GRAPHICS PLOT *****
HEMT



```

Variable1:
VDS -Ch2
Linear sweep
Start .0000V
Stop 3.0000V
Step .1000V

Variable2:
VGS -Ch3
Start .0000V
Stop -2.5000V
Step -.5000V

Constants:
VSS -Ch1 .0000V
VBS -Ch4 .0000V
    
```

그림 4-9. (f)

그림 4-9. MSK3 HEMT의 I-V 특성 곡선

의 gate 크기를 갖는 소자의 특성이다. MSK 3은 모두 leak 전류가 없이 완전한 pinch-off가 일어나고 있다. Drain 전류가 포화 (saturation)되기 시작하는 전압은 1.2~1.8V 범위에 있으며 그림 4-9 (b)는 $1 \times 100 \mu\text{m}^2$ 크기의 gate의 소자로 최대 transconductance가 15mS(150mS/mm)로 비교적 높게 나타났고, 최대 drain 전류도 230mA/mm로 높은 값이 측정되었다.

3) MSK 4 HEMT의 I-V 특성

MSK 4 HEMT는 일반적인 구조로 MSK 3의 소자와 같은 blocking층(undoped AlGaAs)이 없음에도 완전한 pinch-off가 일어나고 있다. 이는 buffer층의 carrier 농도가 $1 \times 10^{14} \text{cm}^{-3}$ 으로 매우 낮기 때문이다. 최대 transconductance는 $1 \times 75 \mu\text{m}^2$ gate의 소자에서 120mS/mm로 측정되었다. 그림 7-10 (a)~(e)는 각각 1×75 , 1×150 , 2×100 , $2 \times 150 \mu\text{m}^2$ 의 gate를 갖는 소자의 I-V 특성이다.

제 2 절 포화 drain 전류와 transconductance

1. 포화영역에서 drain 전류와 전압 관계

HEMT 소자의 가장 중요한 parameter는 transconductance (g_m)로, 포화영역에서 gate 전압 조절에 따른 drain 전류의 증폭 정도를 나타낸다. Drain 전류의 포화는 2차원 전자(2DEG)의 drift 속도의 포화에 의해 일어나며 전장과 전자 drift 속도관계는 이미 3장에서 언급하였다. Drain 전류가 포화되는 drain 전압, 즉 포화

I - V characteristics of HEMT

MSK4	
gate length	1 μm
gate width	75 μm

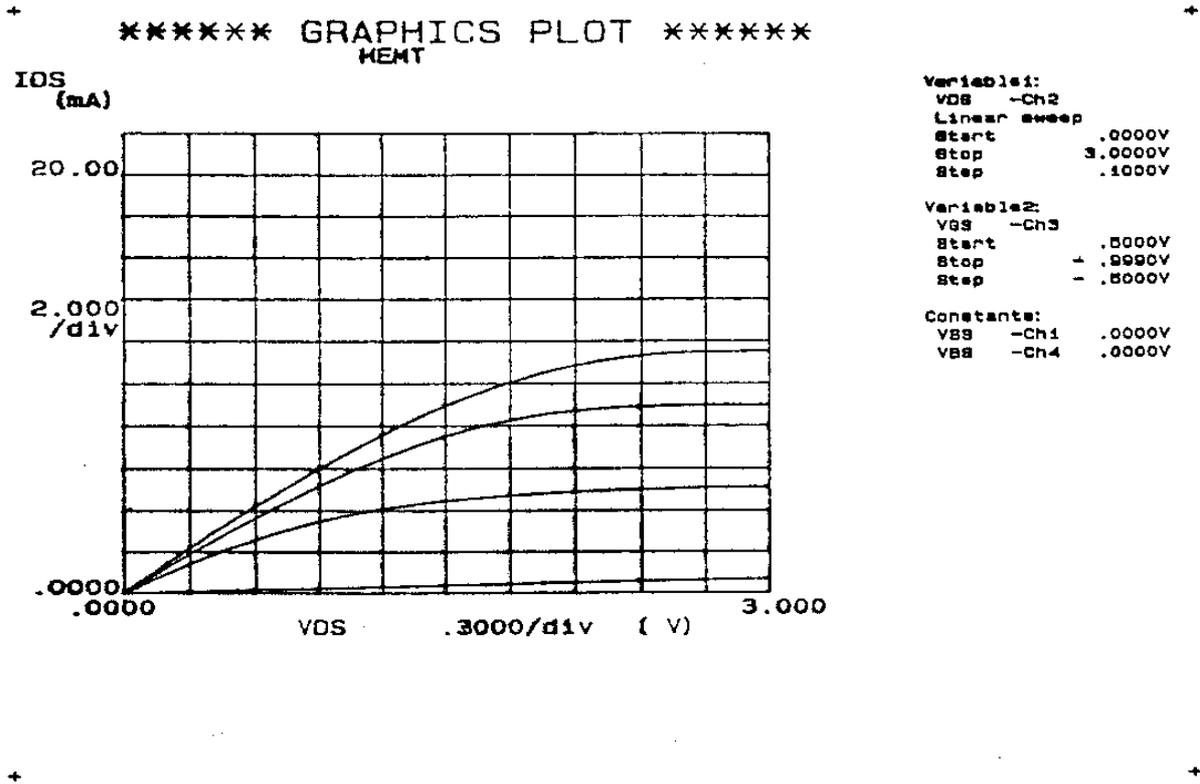


그림 4-10. (a)

I - V characteristics of HEMT

MSK4	
gate length	1 μm
gate width	150 μm

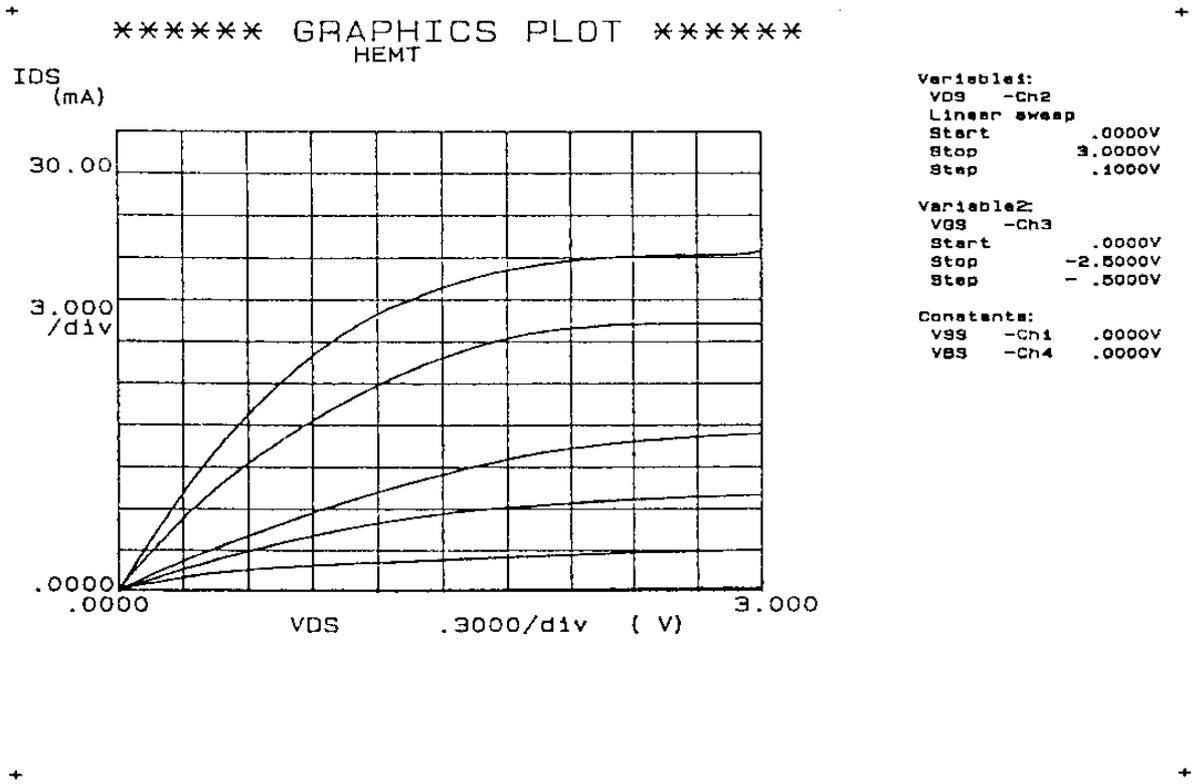
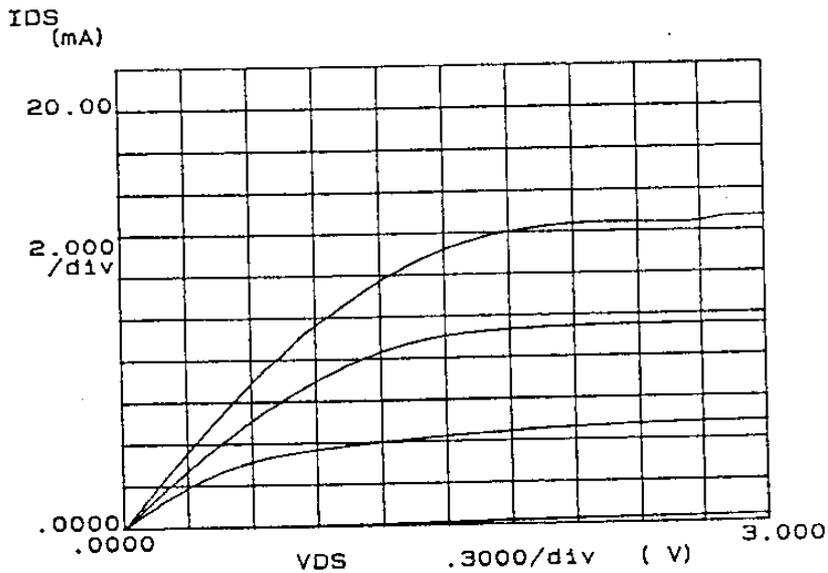


Fig 4-10. (b)

I - V characteristics of HEMT

MSK4	
gate length	2 um
gate width	100 um

***** GRAPHICS PLOT *****
HEMT



Variable1:
VDS -Ch2
Linear sweep
Start .0000V
Stop 3.0000V
Step .0000V

Variable2:
VGS -Ch3
Start .0000V
Stop -2.5000V
Step -.5000V

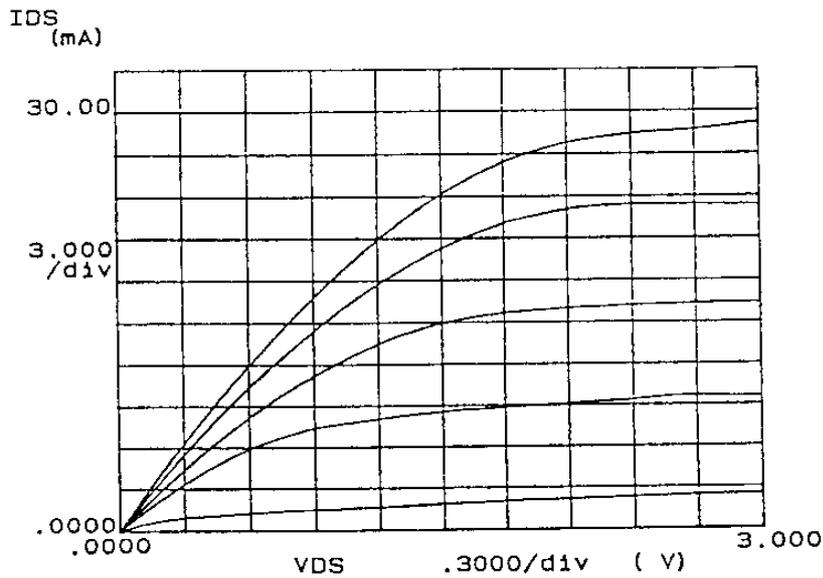
Constants:
VSS -Ch1 .0000V
VBS -Ch4 .0000V

그림 4-10. (c)

I - V characteristics of HEMT

MSK4	
gate length	2 μm
gate width	150 μm

***** GRAPHICS PLOT *****
HEMT



Variable1:
VDS -Ch2
Linear sweep
Start .0000V
Stop 3.0000V
Step .1000V

Variable2:
VGS -Ch3
Start .0000V
Stop -2.5000V
Step -.5000V

Constants:
VSS -Ch1 .0000V
VBS -Ch4 .0000V

그림 4-10. (d)

I - V characteristics of HEMT

MSK4	
gate length	2 μm
gate width	150 μm

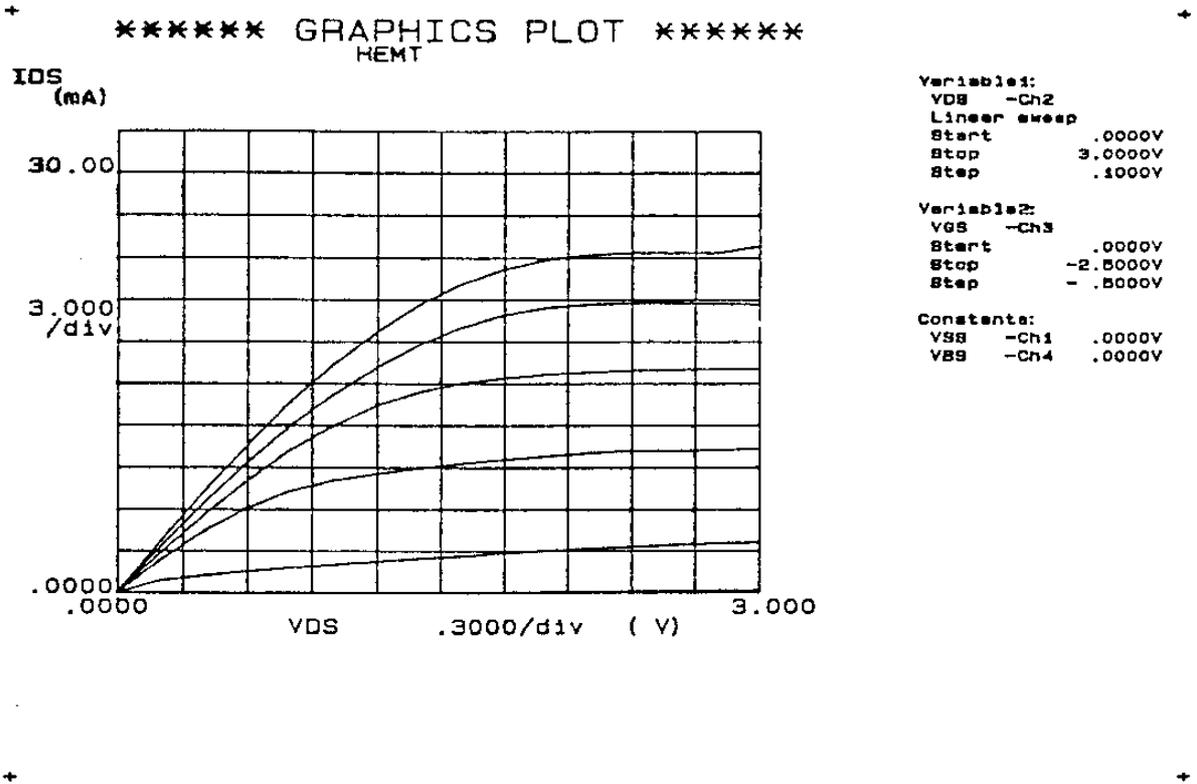


그림 4-10. (e)

그림4-10. MSK4 HEMT의 I-V 특성 곡선

drain 전압은 다음 식 4-1로 나타낼 수 있다.

$$V_{d.sat} = V_g - \Delta E_c - K^2(1 - \sqrt{1 + 2V_g/K^2}) \dots\dots\dots(4-1)$$

$$K = \sqrt{\epsilon_1 \cdot q N_d / C_2}$$

여기서 C_2 는 AlGaAs층의 capacitance, ϵ_1 은 undoped GaAs의 유전율이다. ΔE_c 는 이종 접합의 전도대(conduction band) discontinuity이다. Gate 전압 증가에 따라 포화 drain 전압, $V_{d.sat}$ 이 증가함을 쉽게 알 수 있다. 이 포화 영역을 경계로 $V_d < V_{d.sat}$ 은 linear 영역, $V_d > V_{d.sat}$ 은 포화(saturation) 영역이라 하는데 이는 drain 전압에 대한 drain 전류의 변화 양상에 따른 것이다. Linear 영역과 포화 영역에서의 drain 전류는 2-piece 모델을 이용하면 다음 식 4-2와 4-3으로 표현된다.

◦ linear region

$$I_{ds} = 2K \left\{ (V_{gs} - V_{th}) V_d - \frac{V_d^2}{2} \right\} \dots\dots\dots(4-2)$$

◦ saturation region

$$I_{ds} = K (V_{gs} - V_{th})^2 \dots\dots\dots(4-3)$$

여기서 K 는

$$K = \frac{\mu C_A W_g}{2L_g} \dots\dots\dots(4-4)$$

이며 L_g 와 W_g 는 각각 gate 길이와 폭이고 C_A 는 AlGaAs층의

capacitance, 그리고 μ 는 2차원 전자의 이동도(mobility)이다. 이때 gate 아래의 2차원 전자농도는 다음 식 4-5와 같이 gate 전압에 linear하게 변화한다[그림 4-11 참조].

$$n_s = n_{so} + C_A V_{gs} / q \dots\dots\dots(4-5)$$

식 4-3의 V_{th} 는 HEMT의 문턱 전압(threshold voltage)으로 식 4-6과 같다.

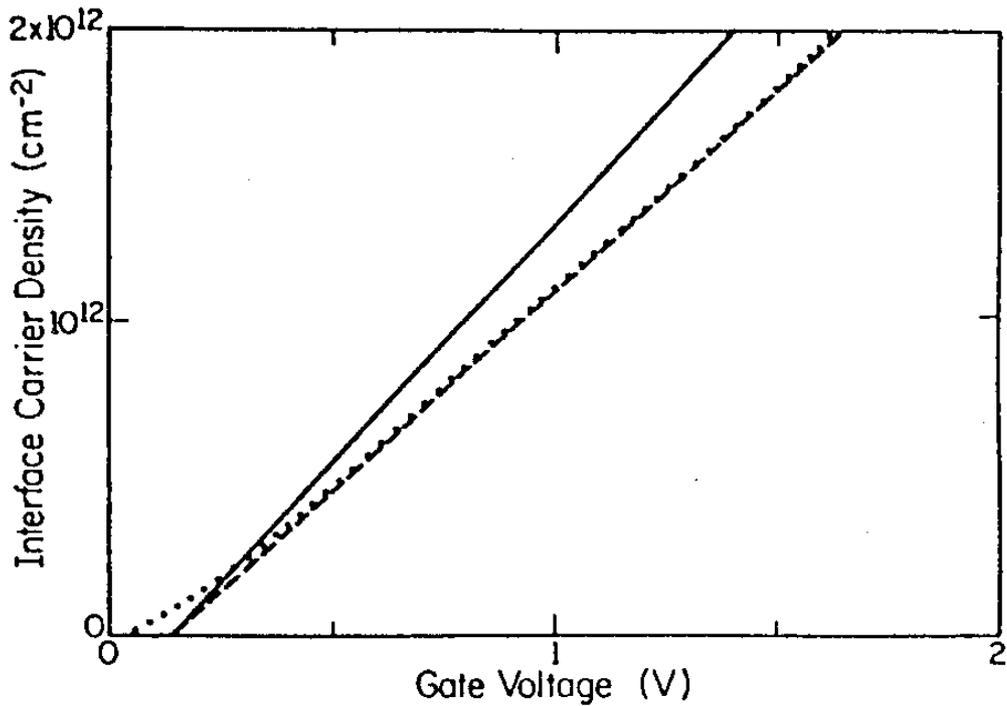


그림 4-11 Gate 전압에 따른 2차원 전자 농도의 변화 ($V_{th}=0.15V$, $d=400\text{\AA}$)

$$V_{th} = \phi - \frac{qN_D d^2}{2\epsilon} - \frac{\Delta E_c}{q} \dots\dots\dots(4-6)$$

ϕ : Schottky barrier potential

N_D : AlGaAs층의 donor 농도

ΔE_c : 이종 접합 계면에서의 전도대 discontinuity

d : AlGaAs층의 두께

일반적으로 ϕ , ϵ , ΔE_c 는 일정하고, N_D 와 d 값에 의해 E-HEMT (enhancement mode)와 D-HEMT(depletion mode)로 나누어 진다.

Transconductance는 식 4-3과 식 4-4로 표현되는 포화 영역에서 측정하며 다음과 같이 내부 transconductance가 정해진다.

$$g_{mo} = \left. \frac{\partial I_{ds}}{\partial V_g} \right|_{V_{d, sat} = const.}$$

$$= \frac{\epsilon_2 \mu W}{L_g \cdot d} (V_{gs} - V_{th}) \dots\dots\dots(4-7)$$

또한 외부 transconductance, g_m 과 내부 transconductance, g_{mo} 는 서로 다음과 같은 관계를 갖는다.

$$g_m = \frac{g_{mo}}{1 + R_s \cdot g_{mo}} \dots\dots\dots(4-8)$$

$$g_{mo} = \frac{g_m}{1 - R_s \cdot g_m} \dots\dots\dots(4-9)$$

2. Gate 전압에 따른 포화 drain 전류와 transconductance 변화

제작된 각 HEMT 소자의 포화 drain 전류와 trans-

Gm & drain current as a function of Vgs

MSK3	
gate length	1 um
gate width	75 um

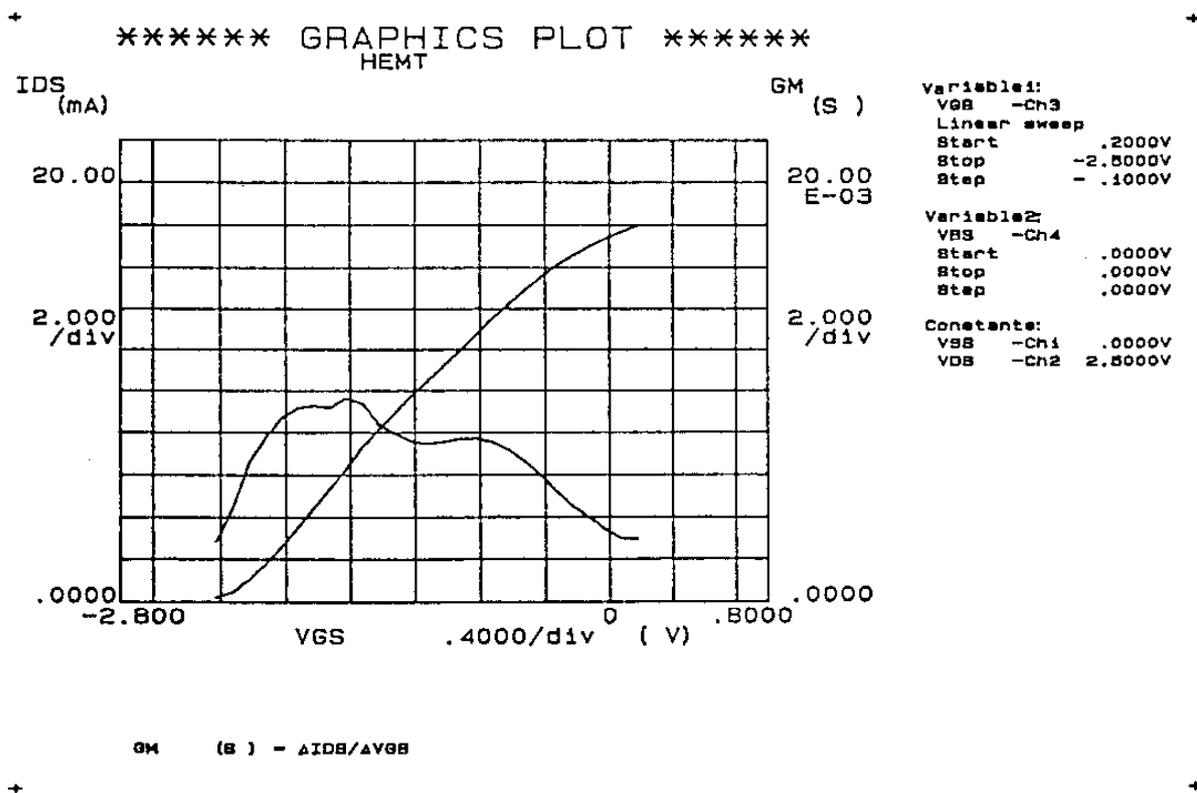


그림 4-12. (a)

Gm & drain current as a function of Vgs

MSK3	
gate length	1 μm
gate width	100 μm

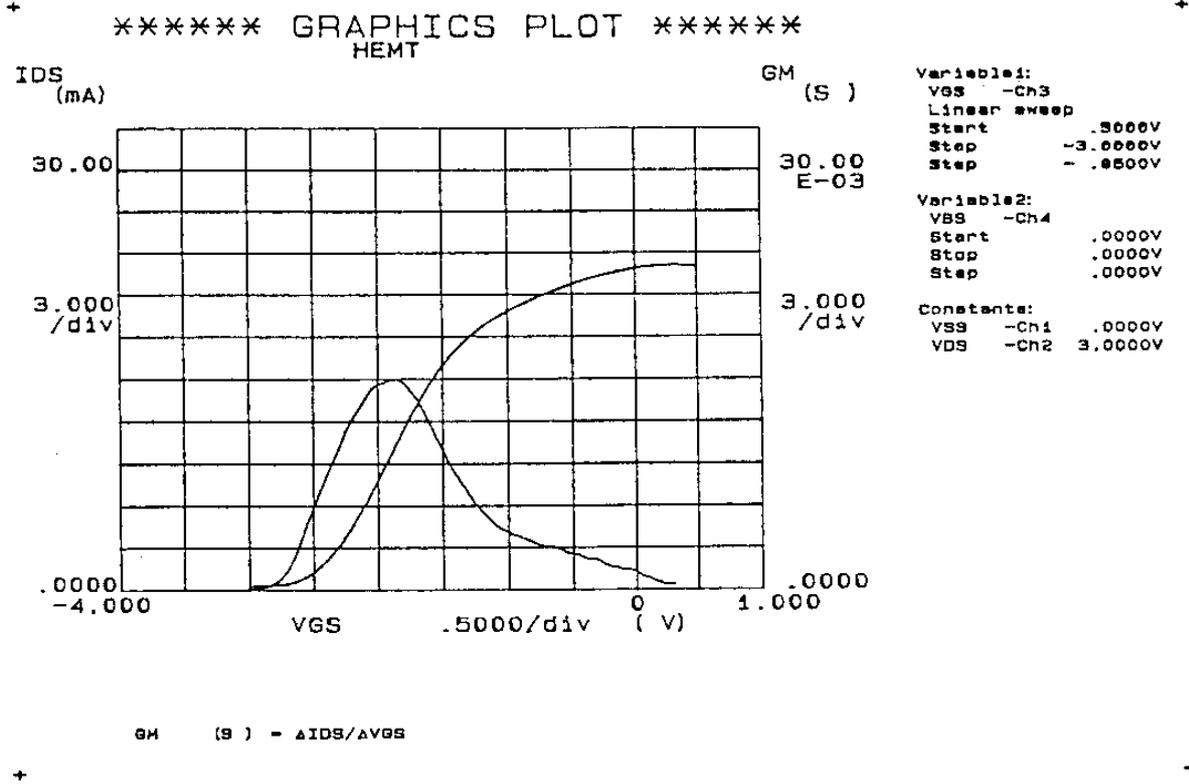


그림 4-12. (b)

Gm & drain current as a function of Vgs

MSK3	
gate length	2 μm
gate width	100 μm

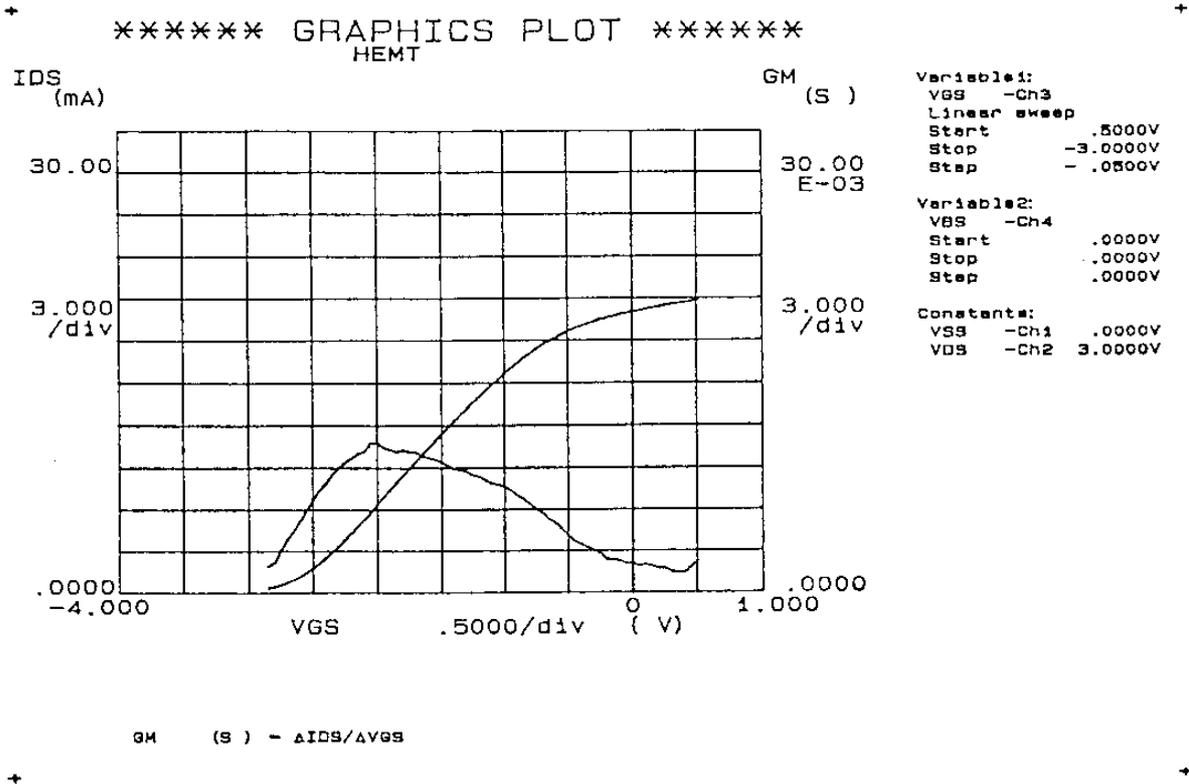


그림 4-12. (c)

Gm & drain current as a function of Vgs

MSK3	
gate length	2 um
gate width	100 um

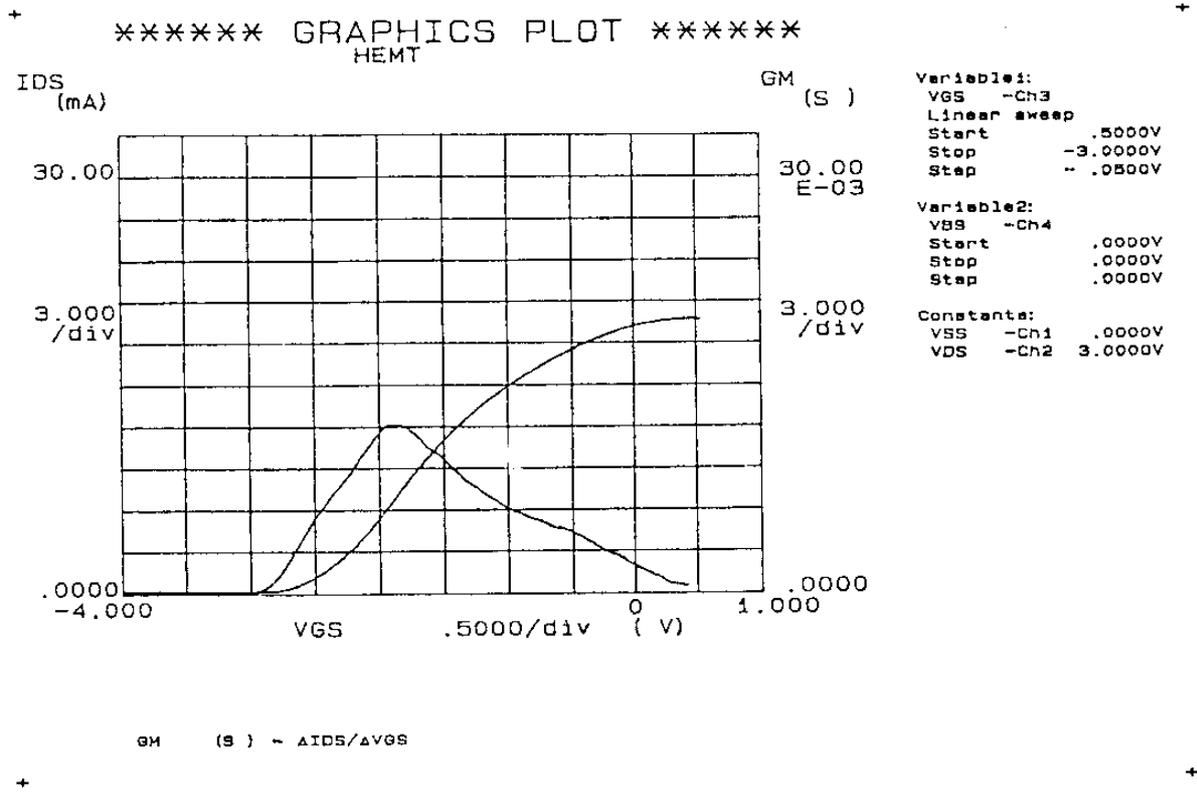


그림 4-12. (d)

Gm & drain current as a function of Vgs

MSK3	
gate length	2 um
gate width	100 um

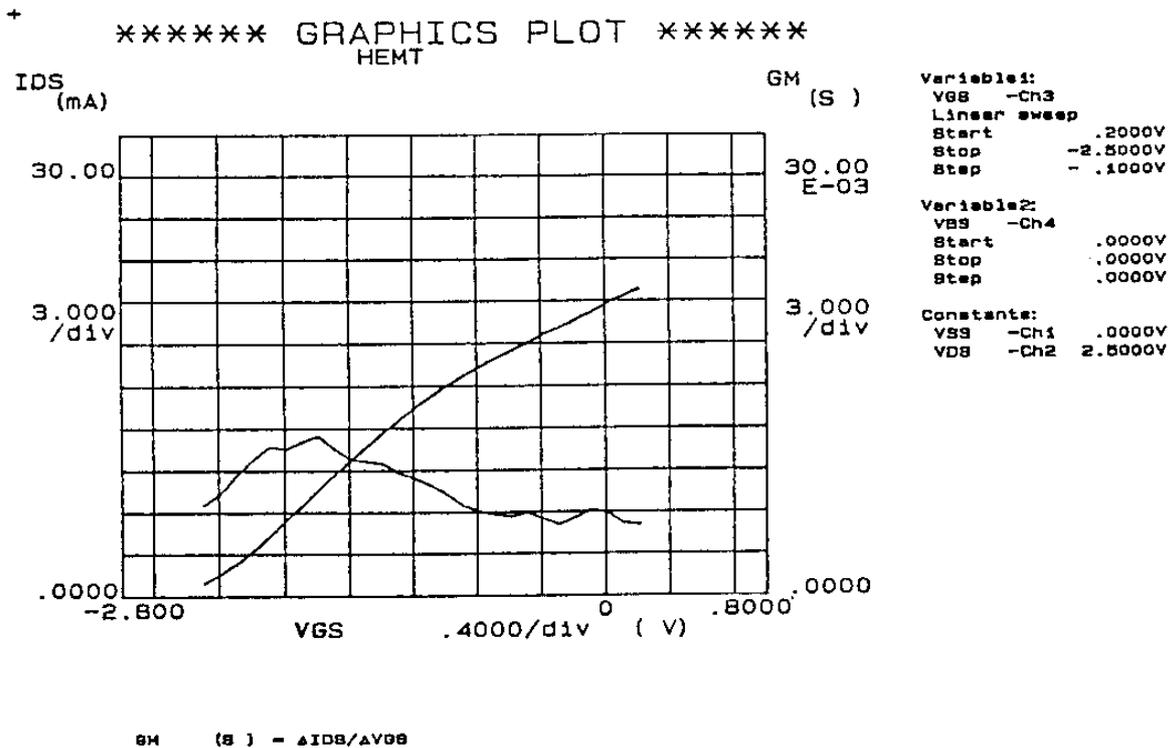


그림 4-12. (e)

Gm & drain current as a function of Vgs

MSK3	
gate length	2 um
gate width	150 um

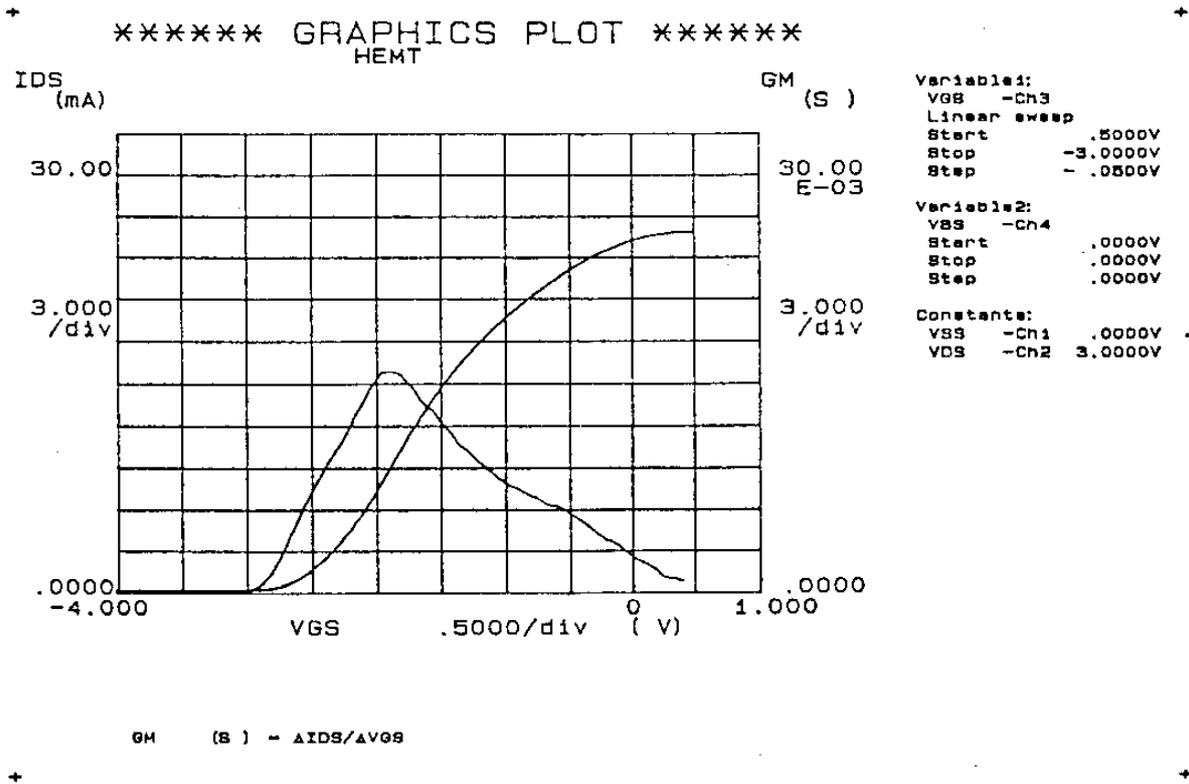


그림 4-12. (f)

그림4-12. MSK3 HEMT의 gate 전압에 따른 g_m 변화

conductance를 gate 전압에 따라 측정하였다. 측정 방법은 I-V 특성 측정과 같다. 다음의 그림 4-12의 (a)~(f)는 MSK 3 HEMT의 $I_{ds(sat)}$, g_m 와 V_{gs} 관계 특성으로 그림 4-9의 I-V 특성과 같은 소자에서 측정한 값이다. Transconductance가 gate의 인가 전압이 pinch-off 전압에 가까와 질수록 감소하는 것은 pinch-off에 가까와질수록 이중 접합 계면의 삼각형 potential 우물이 넓어지고, 이에 따라 gate capacitance가 감소하여 g_m 이 따라 감소하게 되는 것이다. 즉 pinch-off에 가까와질수록 pinch-off에 필요한 gate 전압이 증가하게 된다. 한편 최대 g_m 을 갖는 gate 전압보다 더 높게 전압을 인가하면 g_m 이 다시 감소하게 되는데 이는 전자의 수송 특성이 열등한 AlGaAs층을 통한 전류 흐름이 생기기 때문이다. 이러한 기생 MESFET 효과는 일반적으로 gate 전압이 +0.6V 이상이 되면 매우 크게 나타나므로 최대 gate 전압은 +0.6V 정도로 볼 수 있다.

3. 양자 우물 채널을 갖는 HEMT의 g_m 특성

MSK 3 HEMT는 앞서 소개한 바와 같이 200Å 두께의 양자 우물(quantum well) 채널이 있고 그 안에 2차원 전자층이 가두어진다. 2차원 전자의 분포곡선을 보면 이중 접합의 계면에서부터 약 80Å 정도 안쪽에 존재하고 있으며, gate에 전압이 인가되고 인가 전압이 문턱 전압(V_{th})에 가까와짐에 따라, 그 위치가 계면으로부터 더욱 멀어지고 결국 2차원 전자층의 effective 위치는 이중 접합 계면으로부터 200Å까지 밀려나게 된다⁴⁻⁵. 채널이 QW로 형

Gm & drain current as a function of Vgs

AP329	
gate length	2 um
gate width	150 um

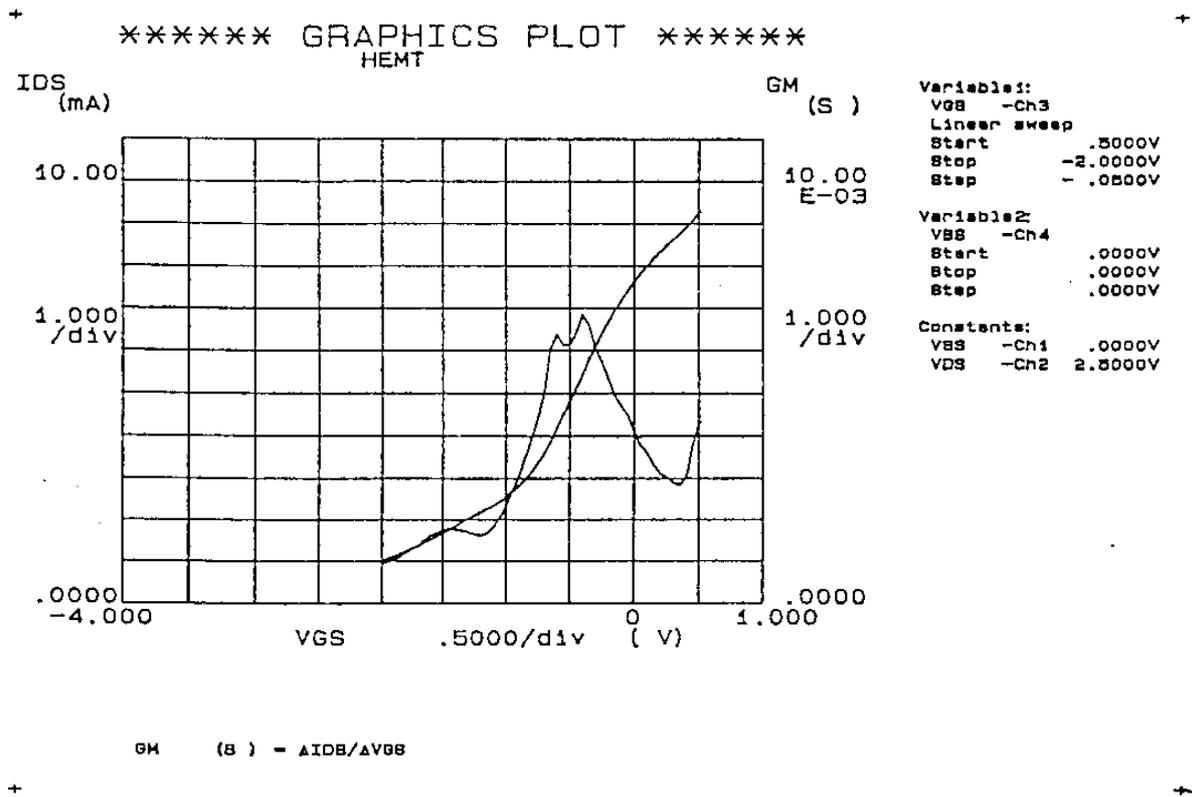
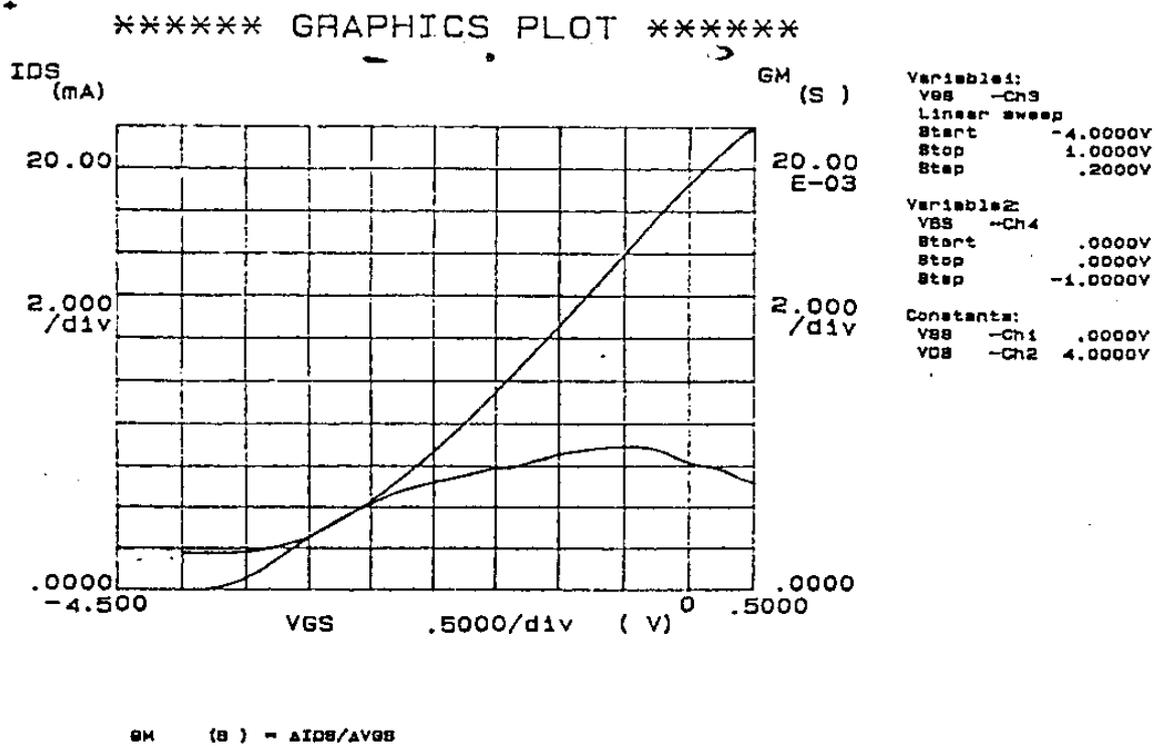


그림4-13. (a) AP329,

Gm & drain current as a function of Vgs

AP332	
gate length	1 μm
gate width	100 μm



4-13. (b) AP332 HEMT의 g_m 특성

성된 HEMT에서는 채널층의 양쪽에 이중 접합 계면이 존재하게 되고 두개의 삼각 potential 우물이 형성된다.

따라서 gate 전압의 변화에 따라 2DEG의 분포가 일반적인 단일 이중 접합형 HEMT 구조와는 다르게 나타날 수 있다. 즉 일반적인 HEMT에서 2차원 전자의 농도가 하나의 peak을 갖고 양쪽으로 exponentially 감소한다고 보면, QW 채널의 HEMT에서는 그 채널의 두께가 충분히 작을 경우 2차원 전자의 분포가 크기가 다른 두개의 peak을 갖는 형태로 나타날 수 있을 것이다. Gate에 전압이 인가됨에 따라 이 2차원 전자의 분포가 어떠한 형태로 변화할 것인지 아직 연구가 진행되지 못하였으나 이로 인하여 g_m 값이 V_{gs} 전압에 따라 약간의 불균일성을 나타낼 수 있을 것으로 사료된다. 이러한 불균일성은 그림 4-10의 (a)~(f)에서 정도의 차이는 있으나 관찰할 수 있다. 또한 AP 329, AP 332 HEMT에서도 이러한 현상을 관찰할 수 있었다. 다음의 그림 4-13이 AP 329 HEMT와 AP 332 HEMT에서 측정된 $I_{ds(sat)}$ 와 g_m v.s V_{gs} 특성이다.

4. 2차원 전자 농도의 평가

소자의 최대 drain 전류는 직렬 source 저항에 무관하며 다음의 식 4-10과 같이 2차원 전자 농도 및 전자의 drift 속도와 관계를 갖는다. 따라서 최대 drain 전류는 undoped AlGaAs의 spacer층 두께에 매우 민감하다. 그림 4-14에 spacer층 두께와 최대 drain 전류밀도의 관계를 보였다^{4, 6)}. 이러한 최대 drain 전류로부터 2차원 전자의 농도, n_s 와 drift 속도, v_s 에 대한 중요한 정

보를 얻을 수 있다.

$$I_{dss(max)} = q \cdot n_s \cdot v_s \cdot W_g \dots\dots\dots(4-10)$$

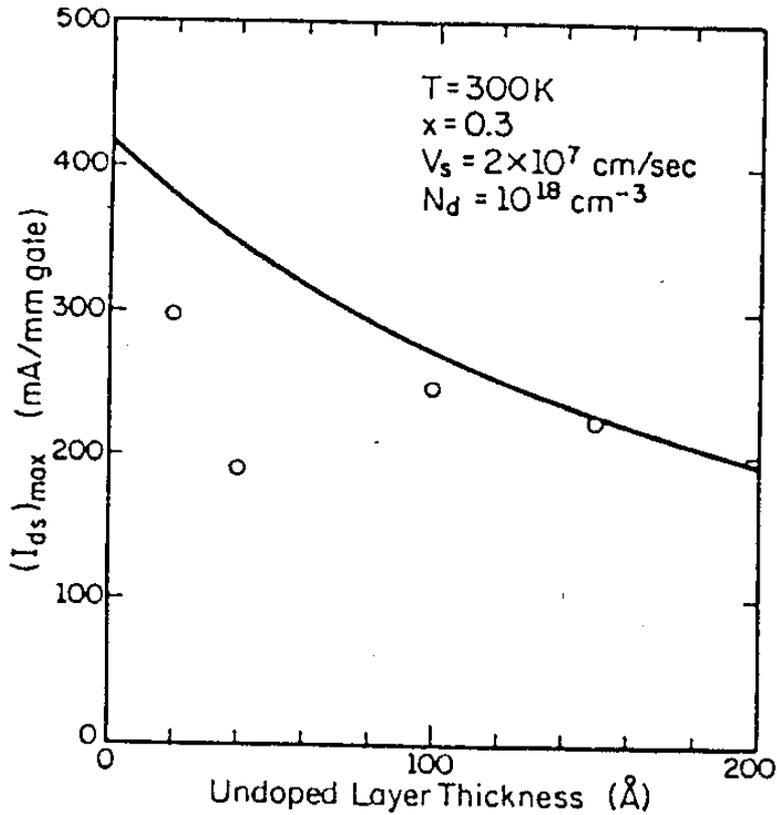
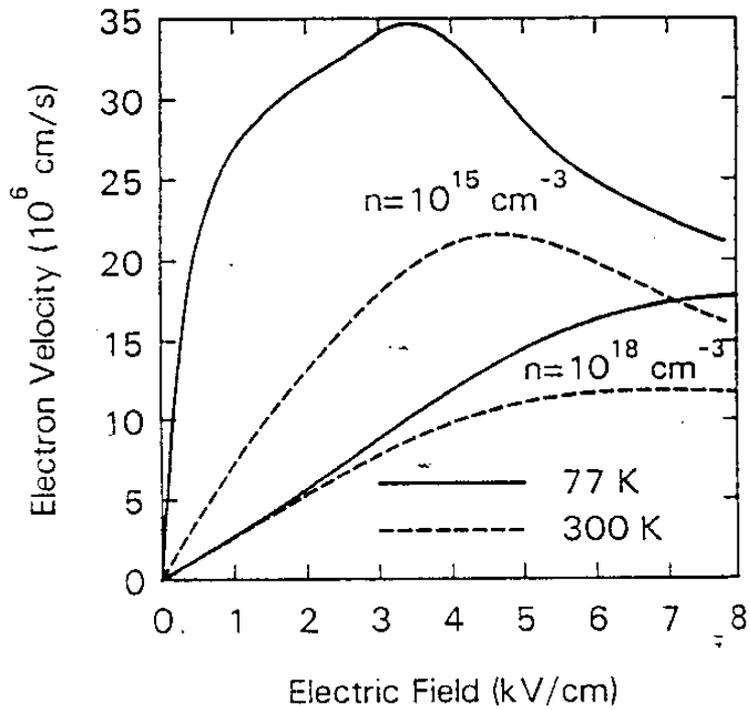


그림 4-14. Spacer 두께와 최대 drain 전류밀도의 관계

한편 전자의 drift 속도에 대하여는 앞의 3장에서 다루었다. 일반적인 HEMT 구조($n_s = 7 \times 10^{11} \text{ cm}^{-2}$, $N_d = 1 \times 10^{18} \text{ cm}^{-3}$)에서 낮은 인가 전장 범위에서 전장에 따른 전자 drift 속도의 변화를 보면 Monte Carlo 계산에 의한 ion free bulk GaAs와 매우 일치함을 보 인다는 연구 결과가 있었다⁴⁻⁶⁾. 즉 HEMT 구조에서 GaAs가 donor가 아닌 전자만을 10^{12} cm^{-2} 의 농도로 갖고 있을 때 drift 속

도가 전혀 저하되지 않음을 말해준다. 따라서 2차원 전자층이 순수 GaAs의 성질을 유지하며, 전자의 peak drift 속도가 300K와 77K에서 각각 2×10^7 , 3×10^7 cm/s에 이르게 된다. 한편 AlGaAs/GaAs modulation doped heterostructure에서 고 전계하에서의 quasi-2 dimensional electron과 hole의 속도를 측정한 연구보고가 있다⁴⁻⁷⁾.

그림 4-15의 (a)와 (b)는 bulk GaAs내의 전자의 속도와 HEMT의 2차원 전자의 속도를 고 전계 영역까지 측정한 것이다⁴⁻⁷⁾. 이에 의하면 2차원 전자의 특성이 저 전계에서는 bulk GaAs와 매우 일치하고 있으며 이 결과는 앞에서 제시한 저 전계에서의 연구 결과⁴⁻⁶⁾와 일치하고 있으나, 고 전계 영역에서 2차원 전자의 peak 속도가 lightly doped bulk GaAs에서 보다 낮으며, 또한 낮은 전장에서 peak 속도에 도달하고 있다. 이러한 연구 결과들은 에피층의 quality, 이종 접합 계면에서의 평탄도와 구조적 차이에 의해 상당히 다르게 나타날 수 있다. 일반적으로 2차원 전자의 속도는 $1.5 \sim 2 \times 10^7$ cm/sec의 범위에 있다고 알려져 있는데 그림 4-15의 결과에 의하면 1.7×10^7 cm/sec 근방의 값을 갖게 될 것으로 사료된다. 이러한 결과를 토대로 제작된 각 HEMT(MSK 3, MSK 4)의 최대 drain 전류로부터 2차원 전자층의 농도를 계산하였다. MSK 3 HEMT의 경우 drift 속도를 2×10^7 cm/sec와 1.7×10^7 cm/sec로 보는 경우 각각 6.9×10^{11} cm⁻²과 8.2×10^{11} cm⁻²의 전자 농도를 갖는 것으로 된다. 앞의 2장에서 보고한 Hall 측정 결과와 비교해 보자. MSK 3 HEMT와 같은 MSK 1 시료의 300K에서의 2차원 전자 농도는 9×10^{11} cm⁻²으로 나타나고 있다. 따라서 여기서는 전자의 drift 속도를



(a) $n=10^{15}$ 과 $n=10^{18}$ cm $^{-3}$ 의 bulk GaAs에서의 전자속도 대 인가 전계와의 관계

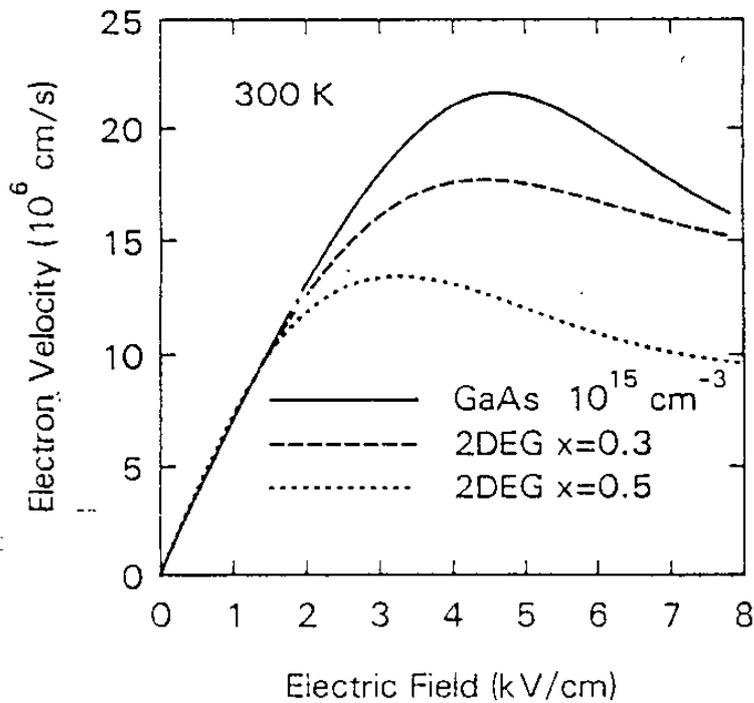


그림4-15. (b) 300K에서 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ HEMT에서 $x=0.3, 0.5$ 일 때 측정된 2차원 전자의 drift 속도와 인가 전계와의 관계

$1.7 \times 10^7 \text{cm/sec}$ 정도로 보는 것이 타당하겠다. MSK 4 HEMT에서는 $5.8 \times 10^{11} \text{cm}^{-2}$ (at $v_s = 2 \times 10^7 \text{cm/sec}$), $6.8 \times 10^{11} \text{cm}^{-2}$ (at $v_s = 1.7 \times 10^7 \text{cm/sec}$) 의 전자 농도가 계산되었다. 한편 AP 332 시료에서도 n_s 를 계산하였다. $1 \times 10^{12} \text{cm}^{-2}$ 으로 높게 나타났으며 앞의 2장의 AP 328, AP 330의 시료에서 측정된 값에 약간 못 미치고 있으나 매우 근접하고 있음을 알 수 있다.

제 3 절 기생 저항의 측정

1. Source 저항

HEMT의 동작 특성에 가장 크게 영향을 미치는 기생 저항은 source 저항이다. Source 저항은 간단히 gate와 source간의 순방향 전류 전압 특성에서 구할 수 있다⁴⁻⁸⁾. 즉 순방향 bias에서의 직선 구간의 저항으로 계산한다. 여기에는 gate 저항도 포함되어 있으므로 실제 순수 source 저항보다 크게 평가되는 것이나 gate 저항이 순수 source 저항에 비해 매우 작다는 가정하에 사용할 수 있다.

그림 4-16에 MSK 3과 MSK 4 HEMT 소자에서 측정한 schottky gate의 I-V 특성 곡선을 제시하였다.

2. Ohmic 접촉 저항

Source 저항은 source와 gate간의 2차원 전자층의 저항, 즉 source 채널 저항과 ohmic 접촉 저항으로 구성된다. Ohmic 접촉

I - V characteristics of Schottky gate

MSK3	
gate length	1 μm
gate width	75 μm

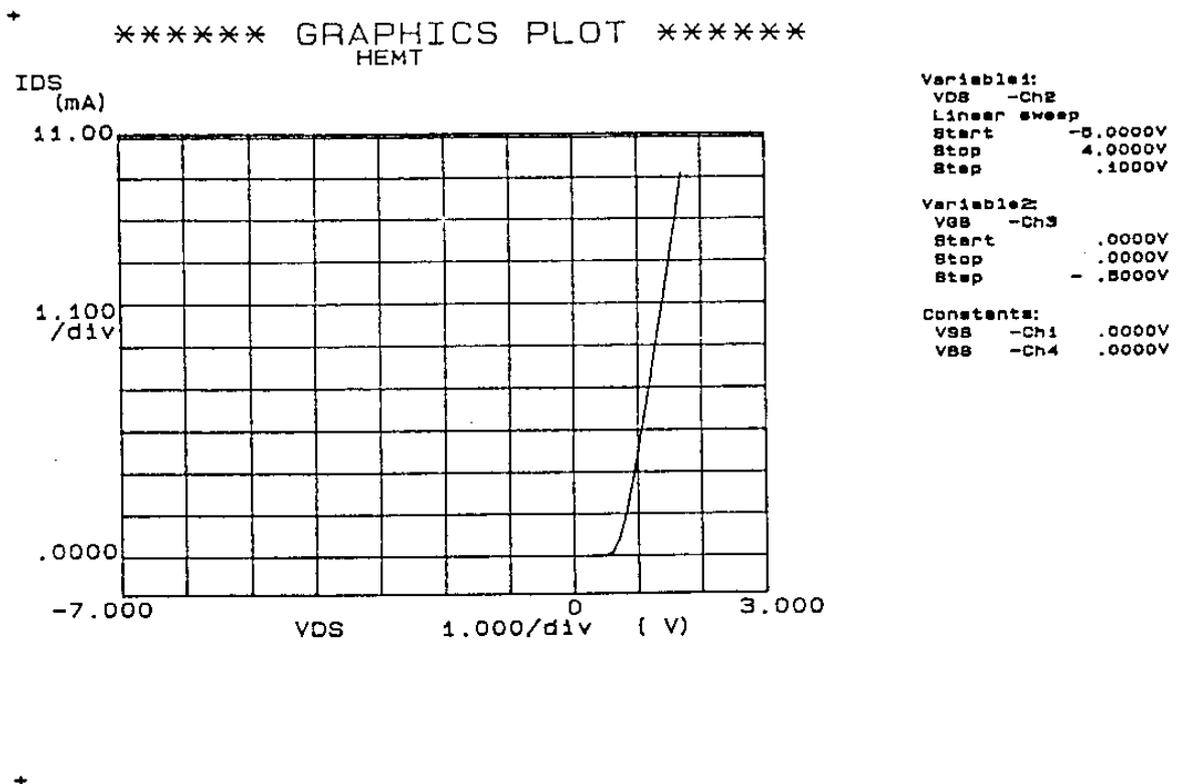
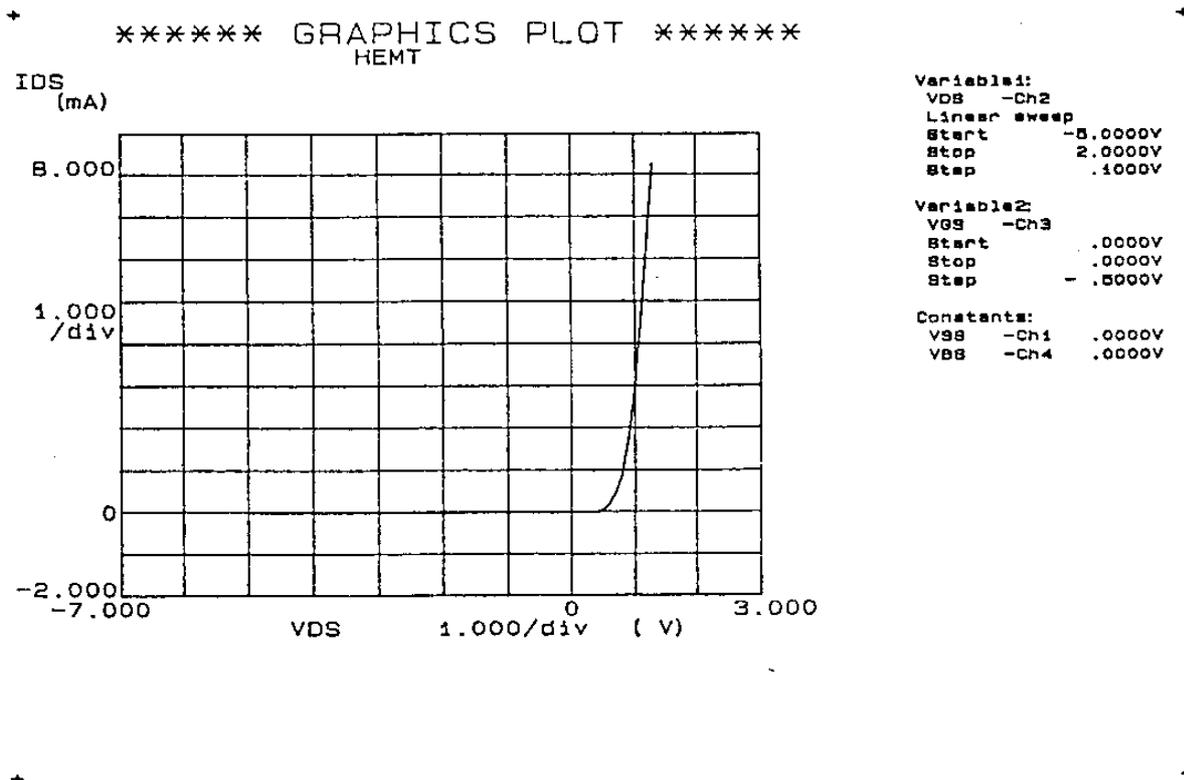


그림4-16. Schottky gate의 전류 전압 특성
(a) MSK3 HEMT

I - V characteristics of Schottky gate

MSK4	
gate length	1 μm
gate width	150 μm



4-16. (b) MSK4 HEMT

저항은 TLM(Transmission Line Model)법을 이용하여 측정하였다.

Reeves와 Harrison⁴⁻⁹⁾은 GaAs에서 TLM법으로부터 계산한 접촉 저항[ohm-cm]에 큰 오차가 있음을 보고한 바 있다. 즉 합금화 공정을 거치게 되면 접촉부의 아래쪽은 상당히 sheet 저항값이 감소할 것이다. 이러한 R_{sc} 즉 합금화 공정후 ohmic 접촉부 아래의 반도체내의 sheet 저항감소현상은 실제의 transfer 길이 L_T 의 증가를 가져온다. 그러나 R_{sc} 와 L_T 의 곱은 일정하게 유지된다⁴⁻¹⁰⁾.

$$\rho_t = R_{sc} \cdot L_T = R_s \cdot L_x = R_y \cdot W \dots\dots\dots(4-11)$$

여기서 L_x 는 TLM plot의 -x축 절편의 $\frac{1}{2}$ 이고, R_y 는 y축 절편의 $\frac{1}{2}$ 이며, W 는 mesa 폭이다. 이제까지 ohmic 접촉 연구에 있어 많은 사람이 L_x 가 L_T 와 같다고 여겨왔다. 이 경우 보고되는 접촉 저항 ρ_c '는 사실은 식 4-12와 같다.

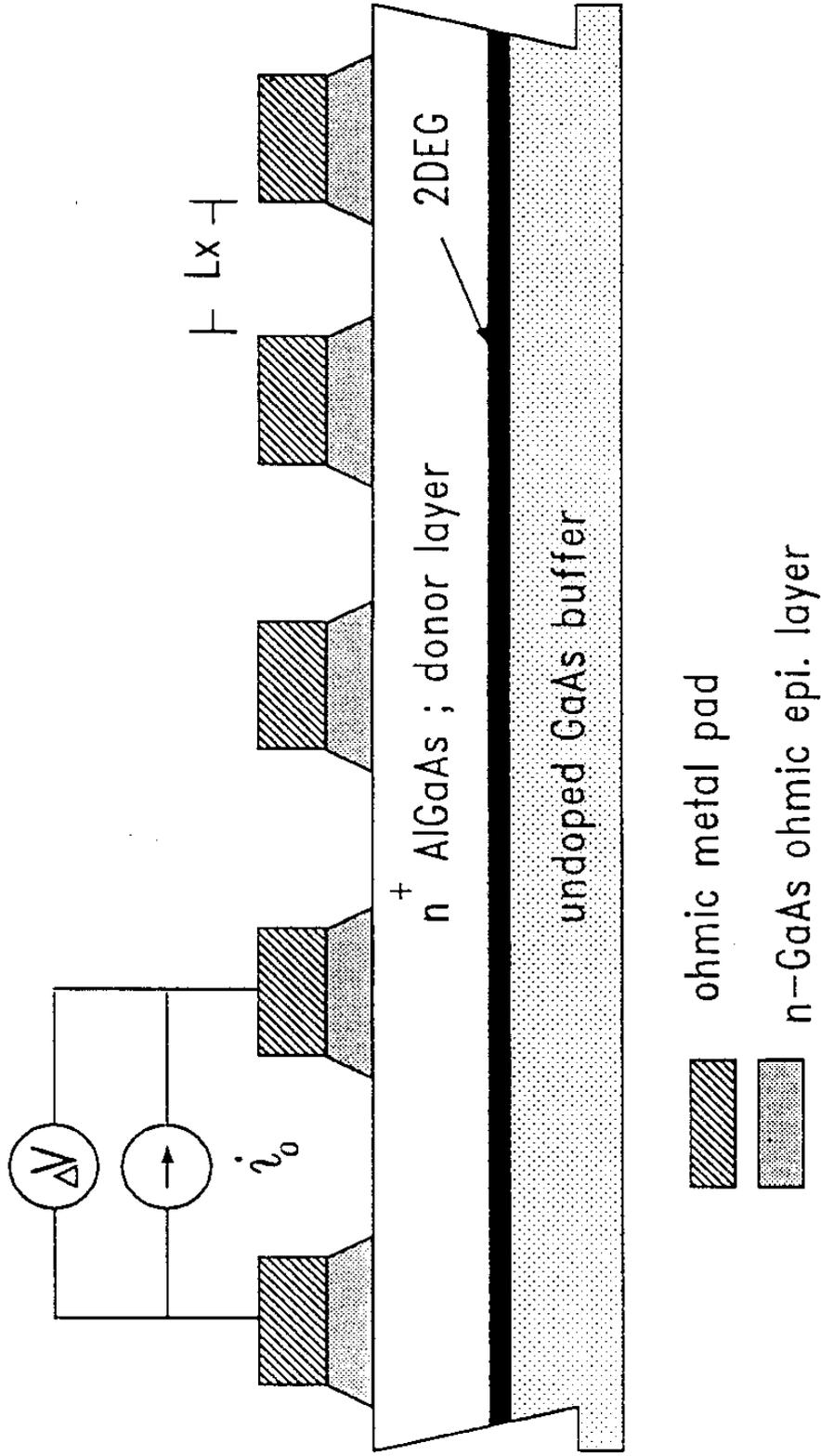
$$\rho_c' = R_{sc} \cdot L_T \cdot L_x = \rho_t \cdot L_x \dots\dots\dots(4-12)$$

이 ρ_c' 는 실제의 specific 접촉저항, ρ_c 가 아니며 단위가 ohm-cm²으로 같을 뿐이다. 실제 specific 접촉 저항 ρ_c 는

$$\rho_c = R_{sc} \cdot L_T^2 = \rho_t \cdot L_T \dots\dots\dots(4-13)$$

이다. 또한 ρ_c' 와 ρ_c 는 다음과 같은 관계가 있다.

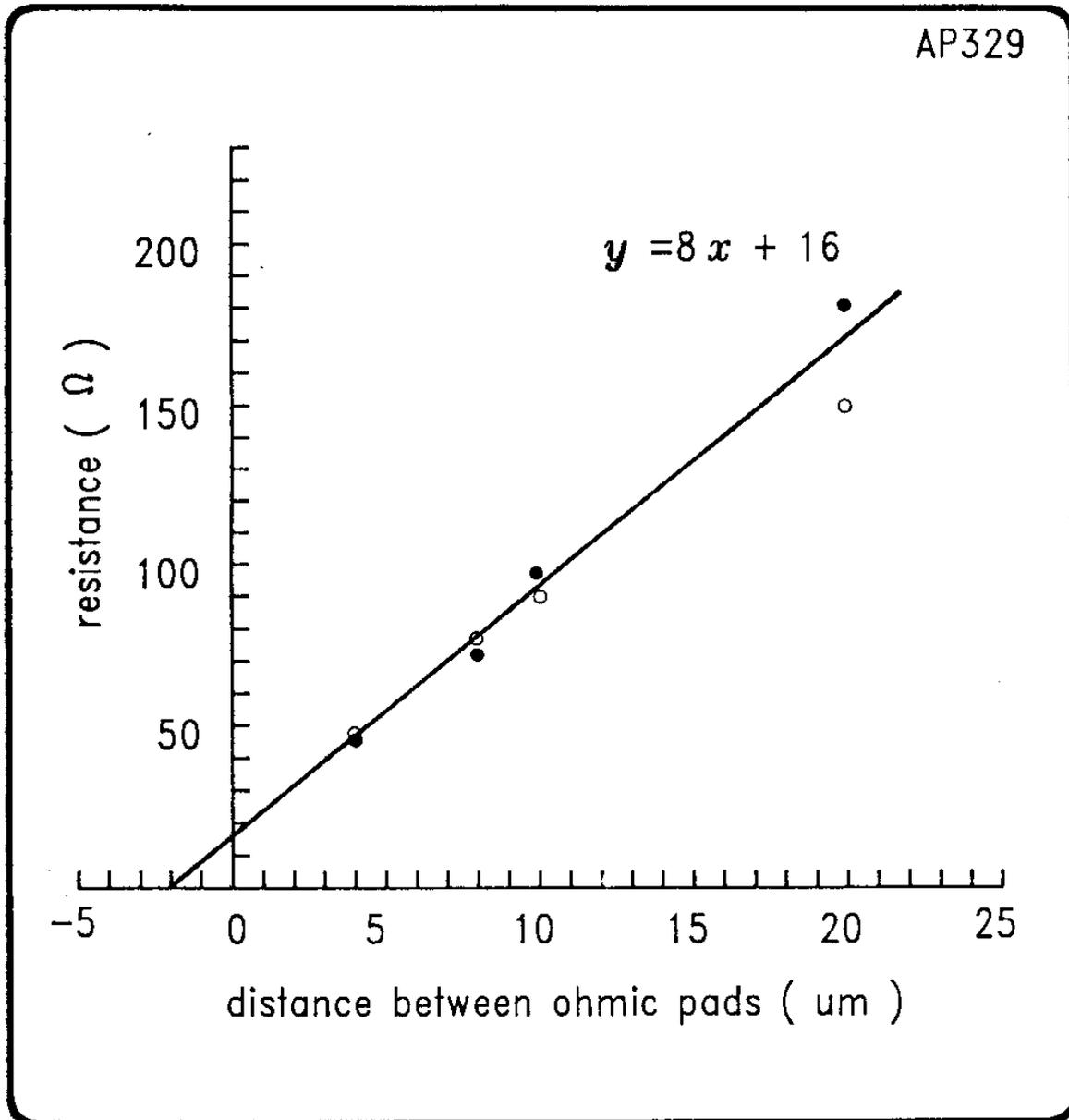
$$\rho_c = \rho_c' L_T / L_x = \rho_c' R_s / R_{sc} \dots\dots\dots(4-14)$$



TLM (transmission line model) method for ohmic contact resistance measurement

그림4-17. TLM(Transmission Line Model)법에 의한 접촉 저항 측정법

CONTACT RESISTANCE by TLM



$$\rho_t = 0.80 \Omega\text{-mm}$$

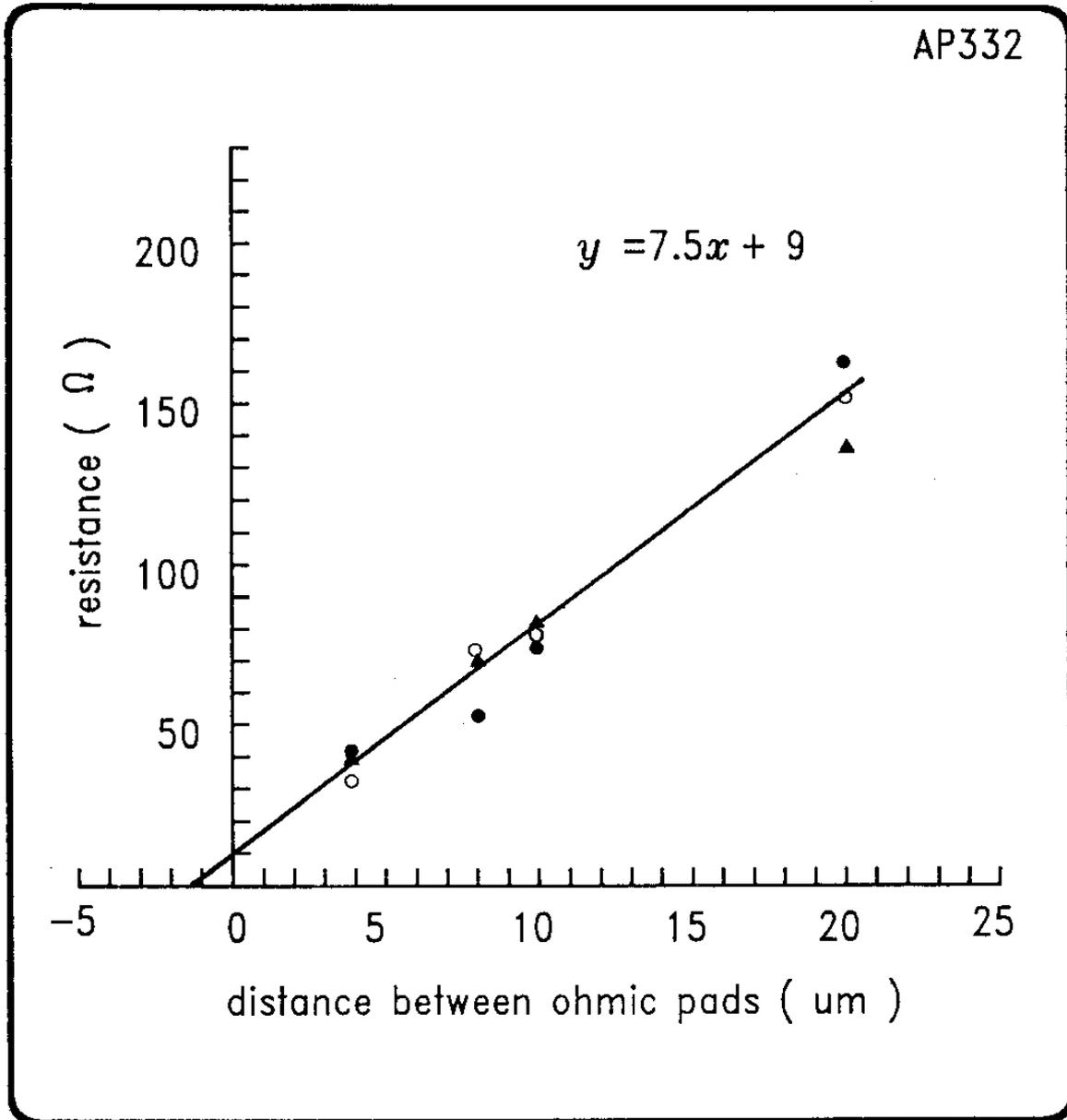
@ W = 100 μm

$$\rho_c = 8.5 \times 10^{-6} \Omega\text{-cm}^2$$

$$R_{sh} = 850 \Omega / \square$$

그림 4-18. (a) AP329 HEMT

CONTACT RESISTANCE by TLM



$$\rho_f = 0.45 \Omega\text{-mm}$$

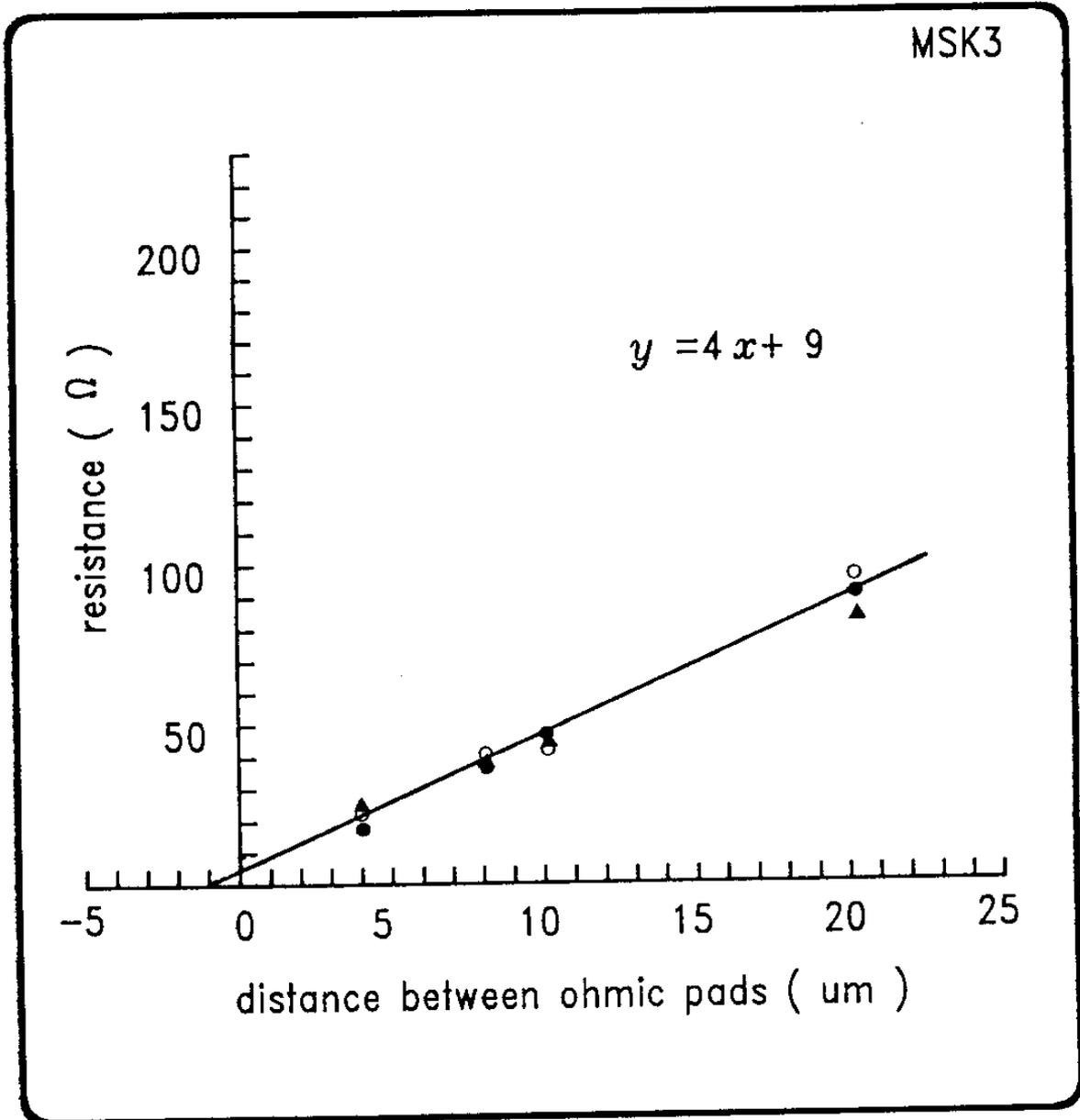
@ W = 100 μm

$$\rho_c = 2.7 \times 10^{-6} \Omega\text{-cm}^2$$

$$R_{sh} = 750 \Omega / \square$$

그림 4-18. (b) AP332 HEMT

CONTACT RESISTANCE by TLM



$$\rho_t = 0.20 \Omega\text{-mm}$$

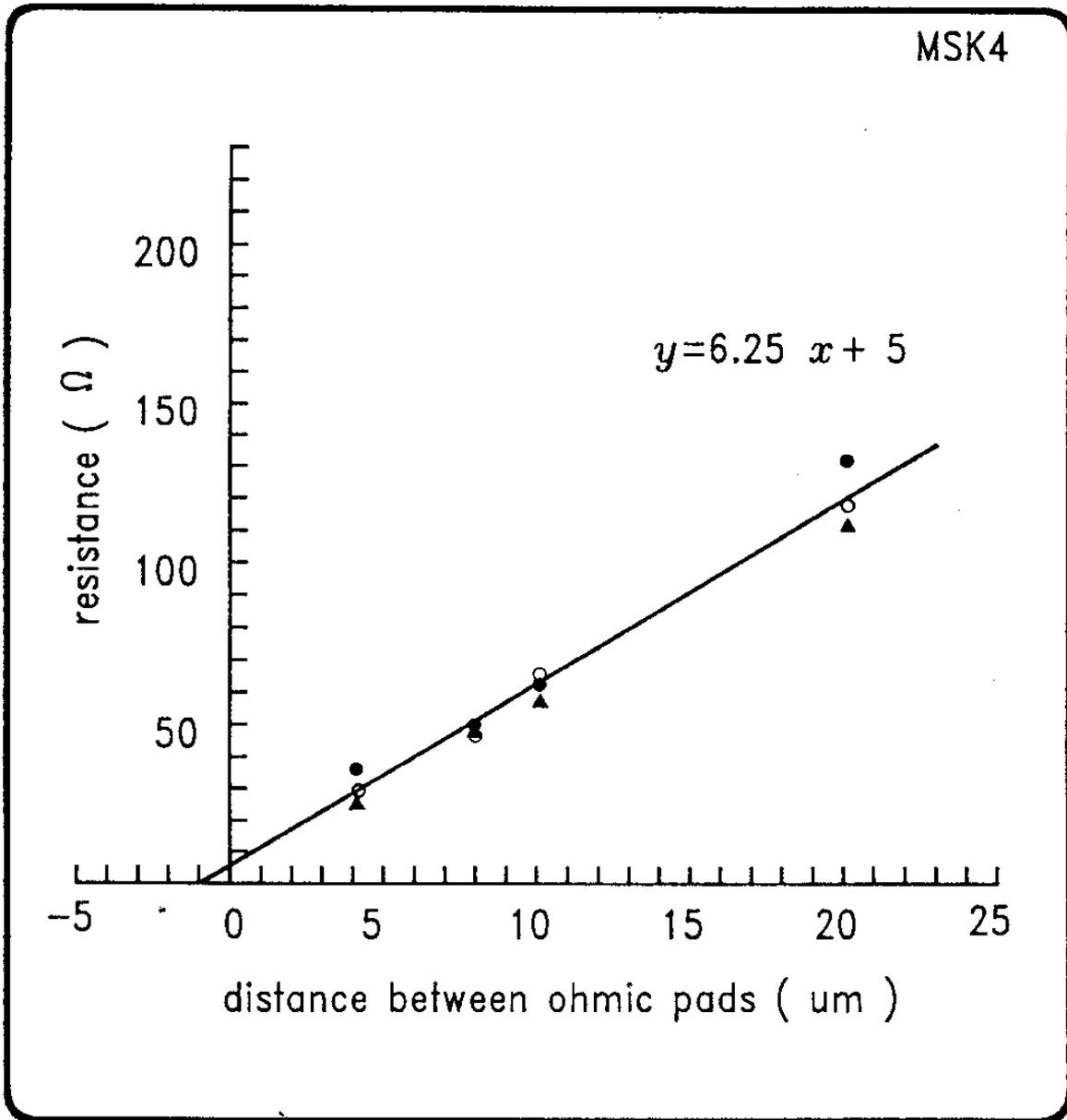
$$@ W = 100 \mu\text{m}$$

$$\rho_c = 1 \times 10^{-6} \Omega\text{-cm}^2$$

$$R_{sh} = 400 \Omega / \square$$

그림 4-18. (c) MSK3 HEMT

CONTACT RESISTANCE by TLM



$$\rho_{\uparrow} = 0.25 \Omega\text{-mm}$$

@ W = 100 μm

$$\rho_c = 1 \times 10^{-6} \Omega\text{-cm}^2$$

$$R_{sh} = 625 \Omega / \square$$

(d) MSK4 HEMT

그림4-18. 각 구조의 HEMT에서 측정된 접촉 저항

$R_s/R_x > 1$ 이므로 ρ_c 가 ρ_c' 보다 크며, L_T 와 R_{sc} 즉 실제값을 실험적으로 얻을 수 없는 한 실제 접촉 저항도 구할 수가 없다. 따라서 ohmic 접촉 저항의 질을 specific transfer 저항 ρ_c 로 나타낸다. 이는 정확하게 측정될 뿐만 아니라 $1\mu\text{m}$ gate폭의 source-drain간 저항의 평가에 직접 응용할 수 있다. 다음 그림 4-17에 TLM에 의해 접촉 저항을 구하는 방법을 소개하였다. 즉 거리가 각각 다른 두 ohmic 접촉 pad 사이에 정전류가 흐르게 하고 전압 강하 또는 저항을 측정한다. 거리에 따른 저항의 변화를 plotting하여 앞의 식 (4-11)로부터 transfer 저항을 구한다.

그림 4-18에 각 구조에서 TLM법으로 구한 ohmic 접촉 저항을 소개하였다.

제 4 절 Transconductance에 미치는 gate 길이와 문턱 전압의 영향

다음 그림 4-19에 MSK 3, MSK 4 HEMT에서 gate 길이와 최대 내부 및 외부 transconductance 관계를 조사하였다. 내부 및 외부 transconductance 모두 gate 길이의 증가에 따라 단조 감소하고 있다. 한편 소자의 문턱 전압에 따른 최대 transconductance도 조사하였다. 그림 4-20이 MSK 3, MSK 4 HEMT에서 각 소자의 문턱 전압과 transconductance의 관계를 나타내고 있다. 측정된 data의 분산 경향은 있으나 문턱 전압의 증가에 따라 transconductance, 특히 내부 transconductance의 감소 경향을 볼 수 있

Dependence of $g_{m,max}$ on gate length

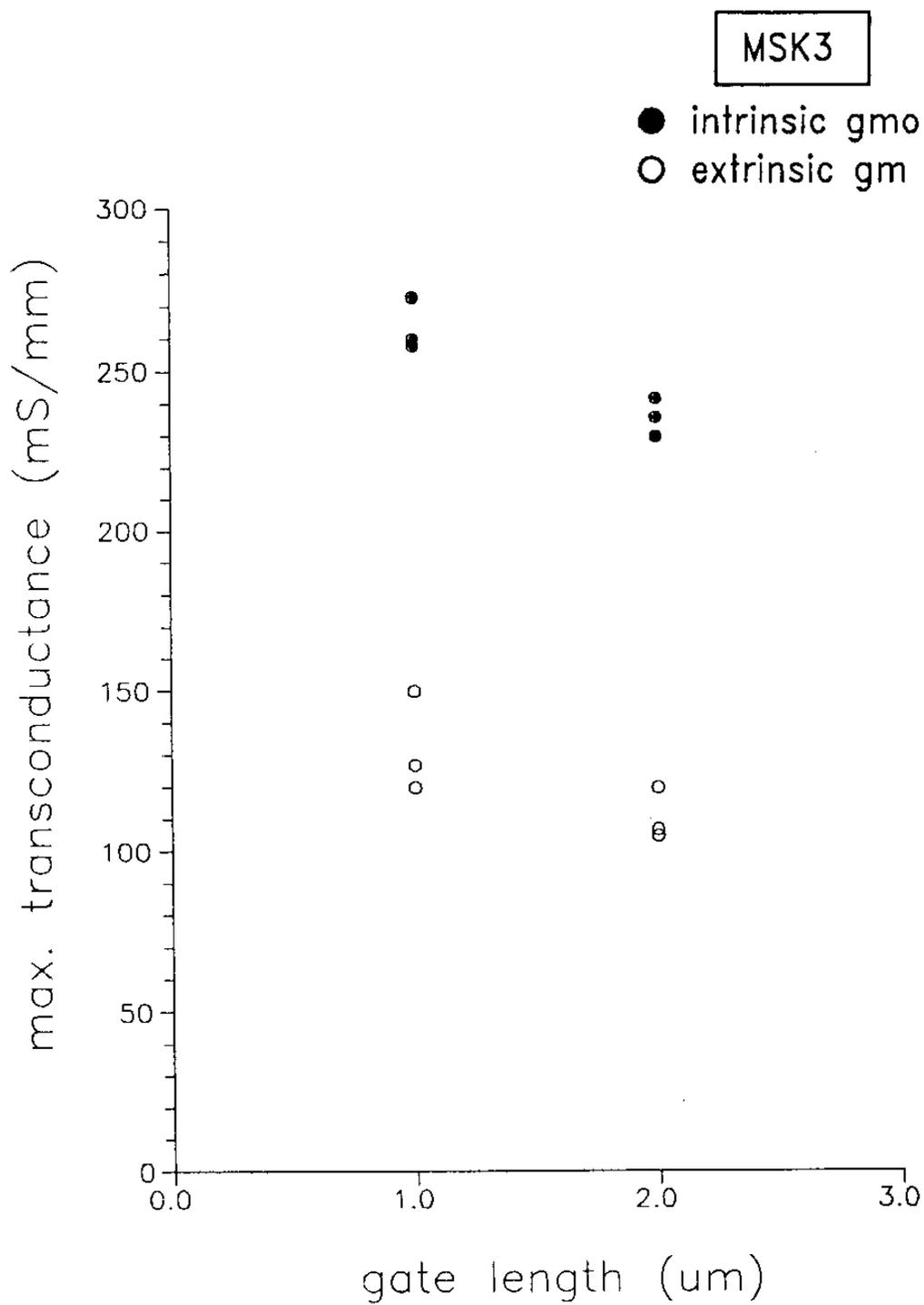


그림 4-19. (a)

Dependence of gm,max on gate length

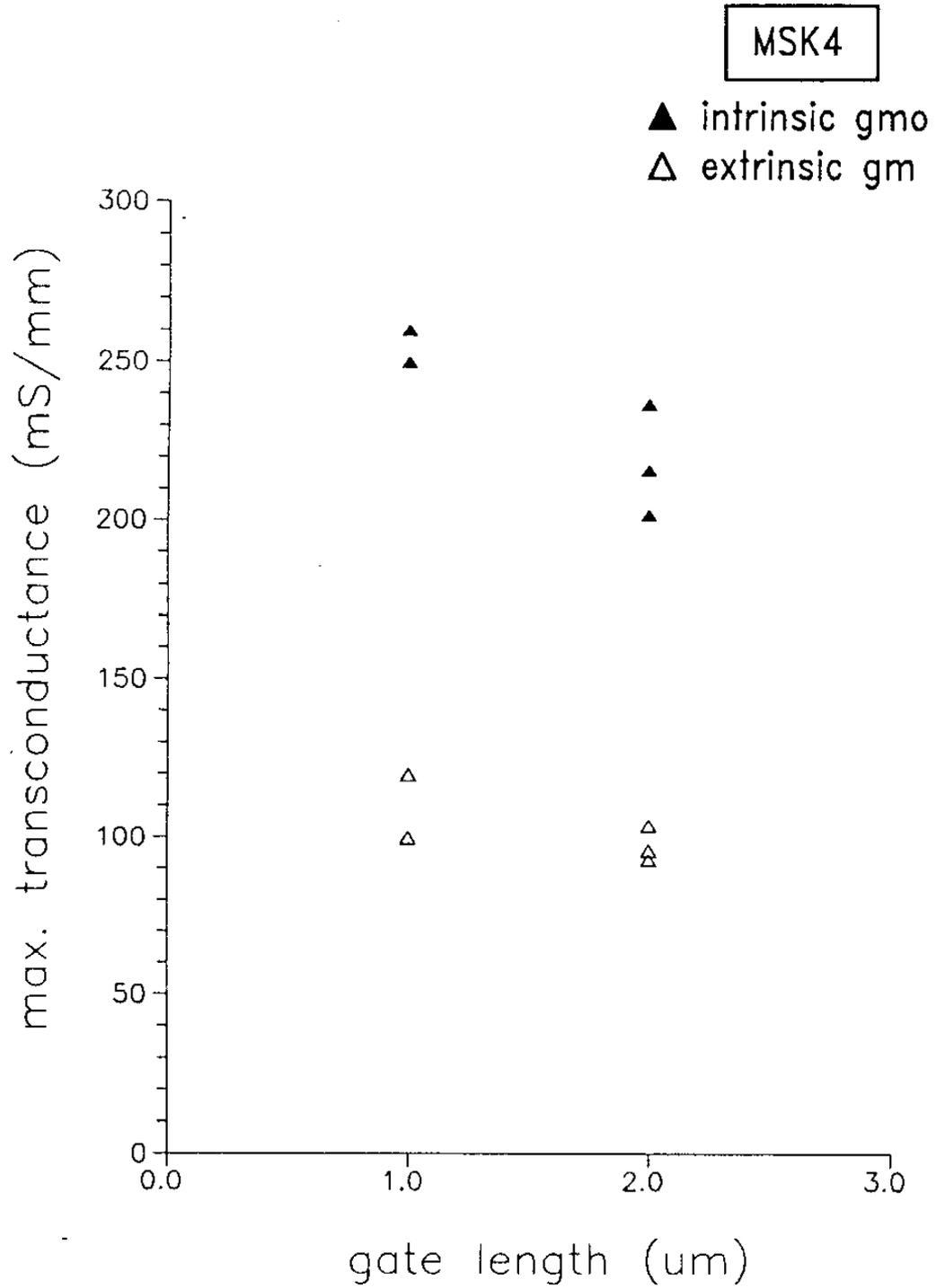


그림 4-19. (b)

Dependence of $g_{m,max}$ on gate length

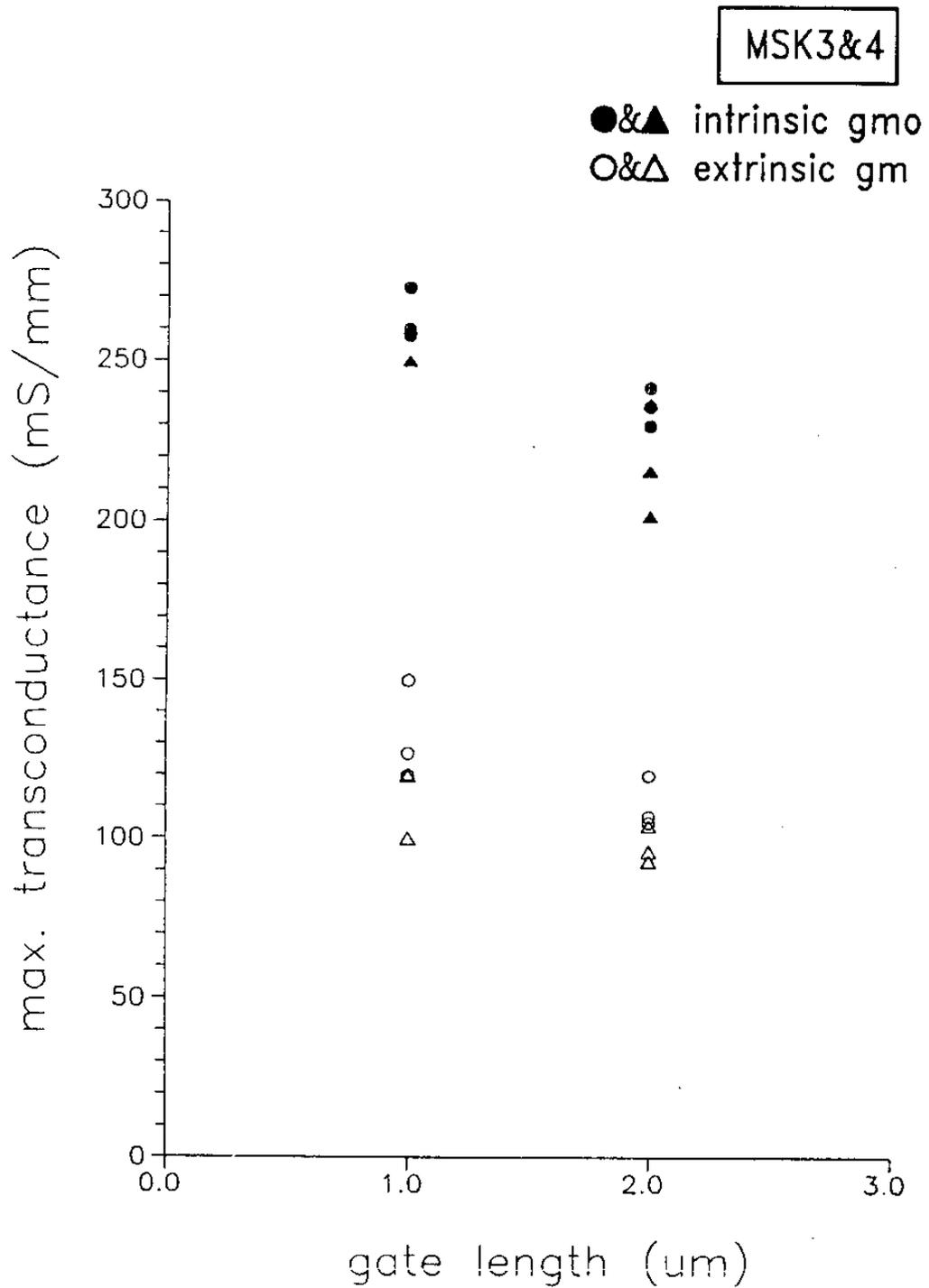


그림 4-19. (c)

그림 4-19. g_m 에 대한 gate 길이의 영향

Dependence of $g_{m,max}$ on threshold voltage

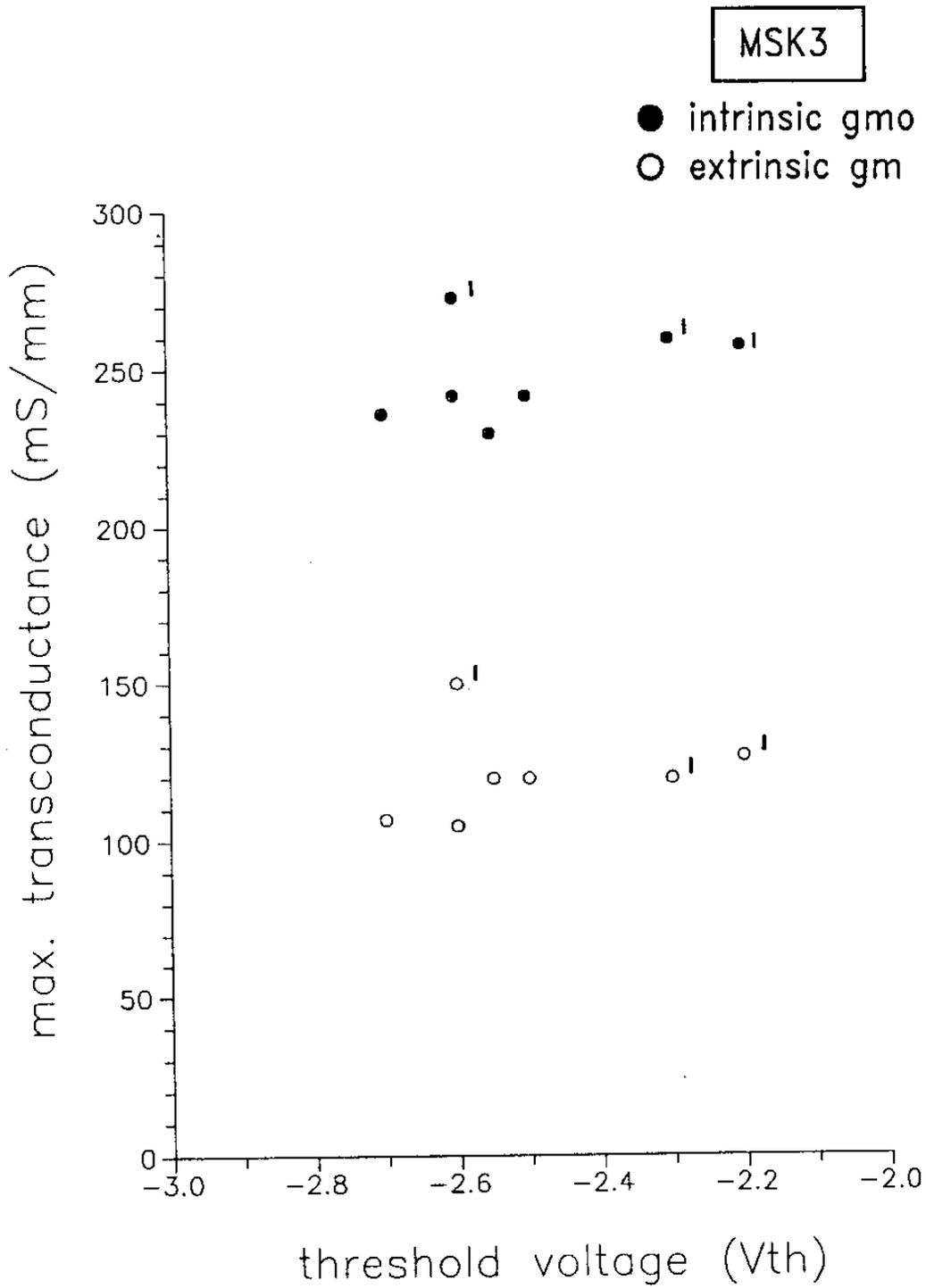


그림 4-20. (a)

Dependence of $g_{m,max}$ on threshold voltage

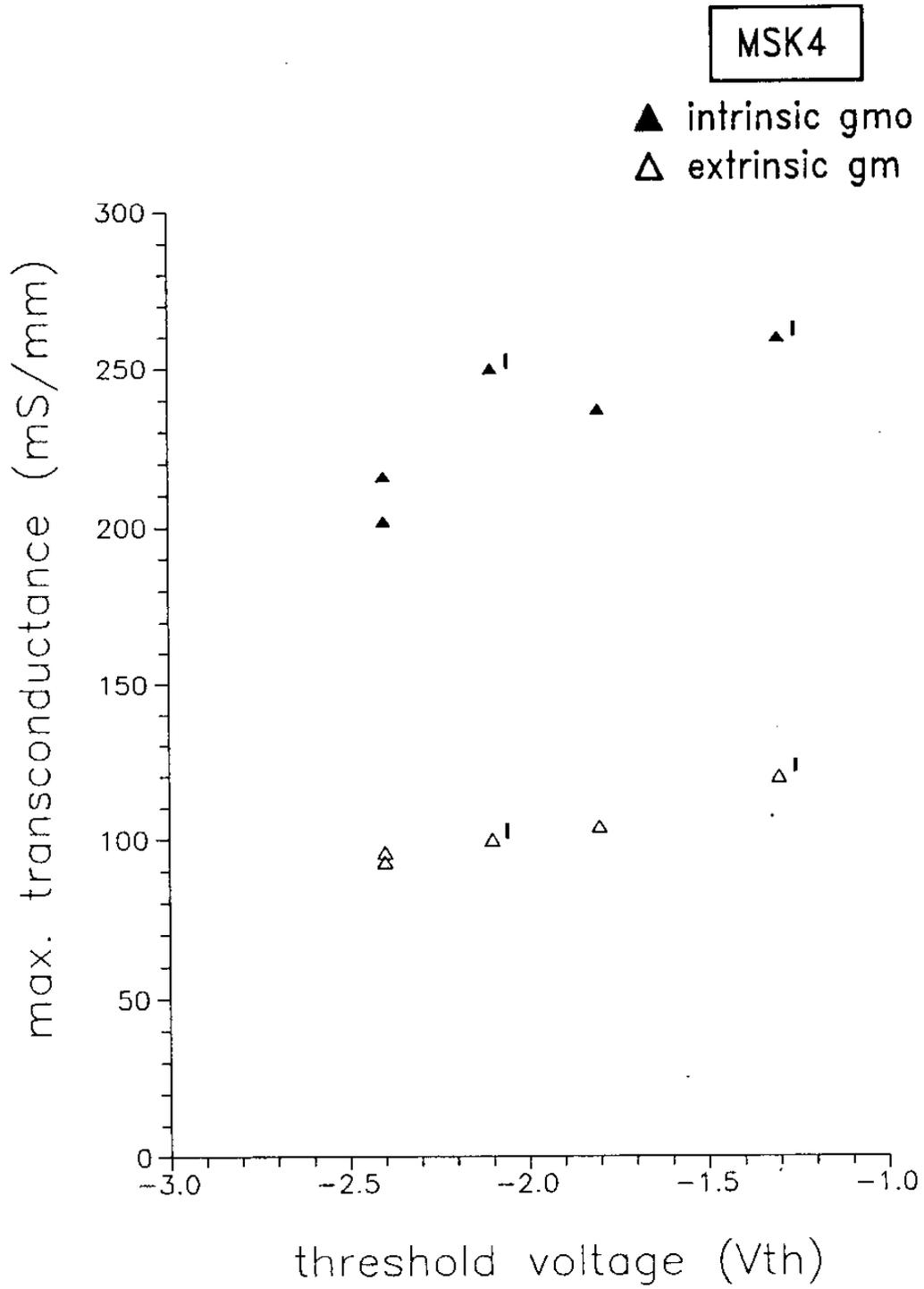


그림 4-20. (b)

Dependence of $g_{m,max}$ on threshold voltage

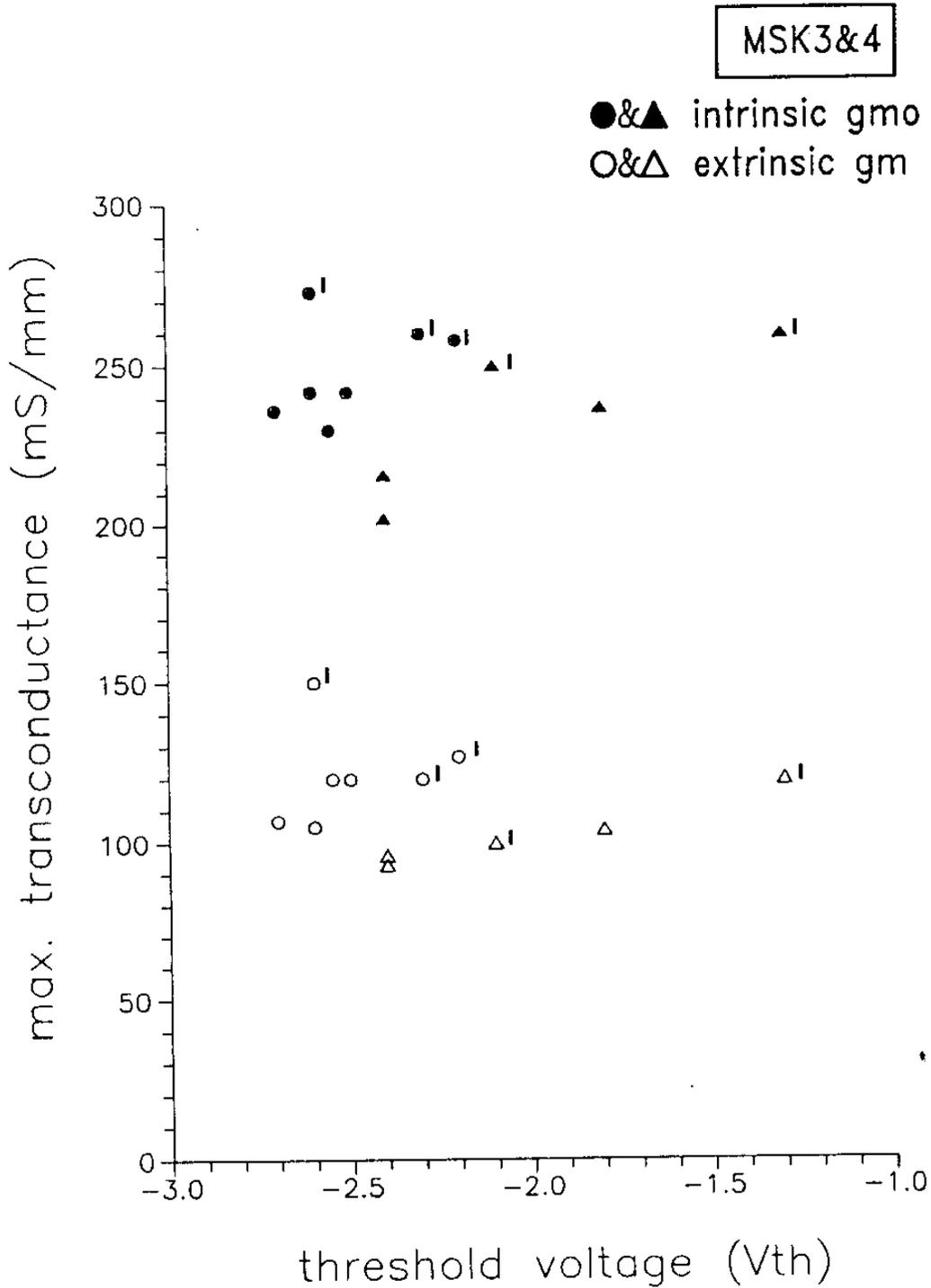


그림 4-20. (c)

그림 4-20. g_m 에 대한 문턱 전압의 영향

있으며 MSK 4 HEMT에서는 그 경향성이 두드러지게 나타나고 있다. 이러한 문턱 전압에 따른 g_m 의 변화는 gate capacitance, 즉 gate와 2차원 전자층간의 거리에 의한 것으로 사료된다. g_m 와 2차원 전자층/gate간의 거리의 관계는 제 3 장 1절에 이미 언급하였다.

제 5 절 측정된 DC parameters

MSK 3 HEMT와 MSK 4 HEMT에서 측정한 DC parameter를 표 4-1에 소개하였다. 여기서 2차원 전자층의 농도는 전자의 drift 속도를 $2 \times 10^7 \text{cm/sec}$ 로 가정하여 추출한 값이다.

㉔ 4-1. DC parameter

DC characteristics of HEMT

TR dimension	gate length (μm)	1
	gate width (μm)	75
epi. wafer	number	MSK3
	specification	QW / SL

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	120
Threshold Voltage (V_{th})	V	-2.3
Source Resistance (R_s)	Ω -mm	4.5
Intrinsic Transconductance (g_{m0})	mS/mm	260
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	253
Sheet Carrier Density (n_s)	cm^{-2}	7.9×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.2
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST

(1991)

DC characteristics of HEMT

TR dimension	gate length (μm)	1
	gate width (μm)	75
epi. wafer	number	MSK3
	specification	QW / SL

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	127
Threshold Voltage (V_{th})	V	-2.2
Source Resistance (R_s)	Ω -mm	4.0
Intrinsic Transconductance (g_{m0})	mS/mm	258
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	240
Sheet Carrier Density (n_s)	cm^{-2}	7.5×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.2
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST

(1991)

DC characteristics of HEMT

TR dimension	gate length (μm)	1
	gate width (μm)	100
epi. wafer	number	MSK3
	specification	QW / SL

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	150
Threshold Voltage (V_{th})	V	-2.6
Source Resistance (R_s)	Ω -mm	3.1
Intrinsic Transconductance (g_{m0})	mS/mm	273
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	230
Sheet Carrier Density (n_s)	cm^{-2}	7.2×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.2
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST

(1991)

DC characteristics of HEMT

TR dimension	gate length (μm)	2
	gate width (μm)	100
epi. wafer	number	MSK3
	specification	QW / SL

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	105
Threshold Voltage (V_{th})	V	-2.6
Source Resistance (R_s)	Ω -mm	5.4
Intrinsic Transconductance (g_{mo})	mS/mm	242
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	210
Sheet Carrier Density (n_s)	cm^{-2}	6.6×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.2
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST

(1991)

DC characteristics of HEMT

TR dimension	gate length (μm)	2
	gate width (μm)	100
epi. wafer	number	MSK3
	specification	QW / SL

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	120
Threshold Voltage (V_{th})	V	-2.55
Source Resistance (R_s)	Ω -mm	4
Intrinsic Transconductance (g_{m0})	mS/mm	230
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	200
Sheet Carrier Density (n_s)	cm^{-2}	6.3×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.2
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST

(1991)

DC characteristics of HEMT

TR dimension	gate length (μm)	2
	gate width (μm)	100
epi. wafer	number	MSK3
	specification	QW / SL

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	120
Threshold Voltage (V_{th})	V	-2.5
Source Resistance (R_s)	Ω -mm	4.2
Intrinsic Transconductance (g_{m0})	mS/mm	242
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	230
Sheet Carrier Density (n_s)	cm^{-2}	7.2×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.2
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST
(1991)

DC characteristics of HEMT

TR dimension	gate length (μm)	2
	gate width (μm)	150
epi. wafer	number	MSK3
	specification	QW / SL

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	107
Threshold Voltage (V_{th})	V	-2.7
Source Resistance (R_s)	Ω -mm	5.1
Intrinsic Transconductance (g_{m0})	mS/mm	236
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	173
Sheet Carrier Density (n_s)	cm^{-2}	5.4×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.2
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST

(1991)

DC characteristics of HEMT

TR dimension	gate length (μm)	1
	gate width (μm)	75
epi. wafer	number	MSK4
	specification	

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	120
Threshold Voltage (V_{th})	V	-1.3
Source Resistance (R_s)	Ω -mm	4.7
Intrinsic Transconductance (g_{m0})	mS/mm	275
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	187
Sheet Carrier Density (n_s)	cm^{-2}	5.8×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.25
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST

(1991)

DC characteristics of HEMT

TR dimension	gate length (μm)	1
	gate width (μm)	150
epi. wafer	number	MSK4
	specification	

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	100
Threshold Voltage (V_{th})	V	-2.1
Source Resistance (R_s)	Ω -mm	6
Intrinsic Transconductance (g_{m0})	mS/mm	250
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	190
Sheet Carrier Density (n_s)	cm^{-2}	5.9×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.25
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST
(1991)

DC characteristics of HEMT

TR dimension	gate length (μm)	2
	gate width (μm)	100
epi. wafer	number	MSK4
	specification	

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	104
Threshold Voltage (V_{th})	V	-1.8
Source Resistance (R_s)	Ω -mm	5.4
Intrinsic Transconductance (g_{m0})	mS/mm	237
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	180
Sheet Carrier Density (n_s)	cm^{-2}	5.6×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.25
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST

(1991)

DC characteristics of HEMT

TR dimension	gate length (μm)	2
	gate width (μm)	150
epi. wafer	number	MSK4
	specification	

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	96
Threshold Voltage (V_{th})	V	-2.4
Source Resistance (R_s)	Ω -mm	5.8
Intrinsic Transconductance (g_{m0})	mS/mm	216
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	195
Sheet Carrier Density (n_s)	cm^{-2}	6.1×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.25
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST

(1991)

DC characteristics of HEMT

TR dimension	gate length (μm)	2
	gate width (μm)	150
epi. wafer	number	MSK4
	specification	

DC PARAMETERS	unit	value
Extrinsic Transconductance ($g_{m, \max}$)	mS/mm	93
Threshold Voltage (V_{th})	V	-2.4
Source Resistance (R_s)	Ω -mm	5.8
Intrinsic Transconductance (g_{m0})	mS/mm	202
Max. Drain Current ($I_{dss(\max)}$)	mA/mm	180
Sheet Carrier Density (n_s)	cm^{-2}	5.6×10^{11}
Specific Transfer Resistance (ρ_t)	Ω -mm	0.25
Specific Contact Resistivity (ρ_c)	Ω - cm^2	1×10^{-6}

Semiconductor Materials Lab. KIST

(1991)

제 5 장 HEMT 소자의 2차원적 수치 시뮬레이션

제 1 절 서 론

모듈레이션, 도핑된 이종접합의 계면에 형성된 이차원 전자가스(Two-Dimensional Electron Gas)층을 전도 채널로 이용하는 이종접합 구조의 초고속 소자로 고속 전자 이동도 트랜지스터(High Electron Mobility Transistor)는 고속 컴퓨터 및 마이크로 웨이브 통신, 위성 통신등에 이용되는 고속 디지털 및 아날로그 소자로서 기존의 GaAs MESFET보다도 우수한 특성을 가지므로 III-V족 화합물 합성 반도체를 사용하는 HEMT 제조기술은 정보산업의 핵심인 첨단 반도체 산업분야의 주요한 기술이다. 이같은 고속소자를 개발하는 과정에서 설계 사양에 적합한 소자특성을 얻기 위하여 시행착오를 거듭하며 고가의 실 제조공정을 반복하는 방법보다는 컴퓨터를 원용하는 소자의 설계기술 개발의 필요성이 날로 증대되고 있다. 즉, 컴퓨터에 의한 소자 시뮬레이션으로 소자의 동작 특성을 이해하는 데 필요한 소자 내부의 물리량은 물론, 소자 성능도 예측할 수 있게 되어 최적소자의 설계 제원을 얻을 수 있다. 그러므로 반도체 소자의 제조기술의 발달과 더불어 컴퓨터 계산능력의 눈부신 향상으로 인하여 반도체 소자의 시뮬레이션이 여러가지 반도체 소자의 설계에 활용되어 새로운 반도체 소자 개발시에 소요되는 시일과 비용을 절감하는 데 크게 기여하고 있다. 이하하여

국내에서도 반도체 소자의 컴퓨터 원용 설계(Computer Aided Design) 및 수치모의 실험(Numerical Simulation)에 관한 연구가 활발히 진행되고 있다.

1980년 Fujitsu에서 최초로 고속 전자 이동도 트랜지스터(HEMT)⁵⁻¹⁾의 동작특성을 발표한 이후 이를 초고속 소자로 이용하기 위한 연구가 국내외에서 활발히 진행되고 있다. 따라서 많은 연구자들에 의해 1차원 해석 모델들^{5-2, 3, 4)}이 제안되었으나, 간단한 1차원 해석 모델로는 분석할 수 없는 비정체와 비평형 상태의 현상을 고려하려면 2차원 모델의 개발이 불가피하다. 본 연구에서는 HEMT 소자의 컴퓨터 시뮬레이션에 필요한 반도체 기본 방정식을 기술하고, 이들로부터 소자 시뮬레이션 프로그램을 작성하기 위한 이산화과정과 수치해석 방법을 언급하고, 소자의 물리적 동작 특성을 이해하는 데 필요한 소자 내부의 전위 및 전자 농도 분포와 소자의 전류-전압 특성을 예측하는 수치 시뮬레이션을 수행한 결과를 검토한다. 끝으로 결론 및 추후 연구 방향에 대하여 언급한다.

제 2 절 HEMT 소자 모델

HEMT에서 캐리어의 주요한 전송 경로는 게이트 전극 아래의 이중 접합면에 형성된 2차원 전자 기층층과 벌크 GaAs의 일부에 한하므로 효율적으로 시뮬레이션을 수행하기 위해 수치모의 실험영역을 그림 5-1과 같이 소자의 일부분으로 제한하였다. 이

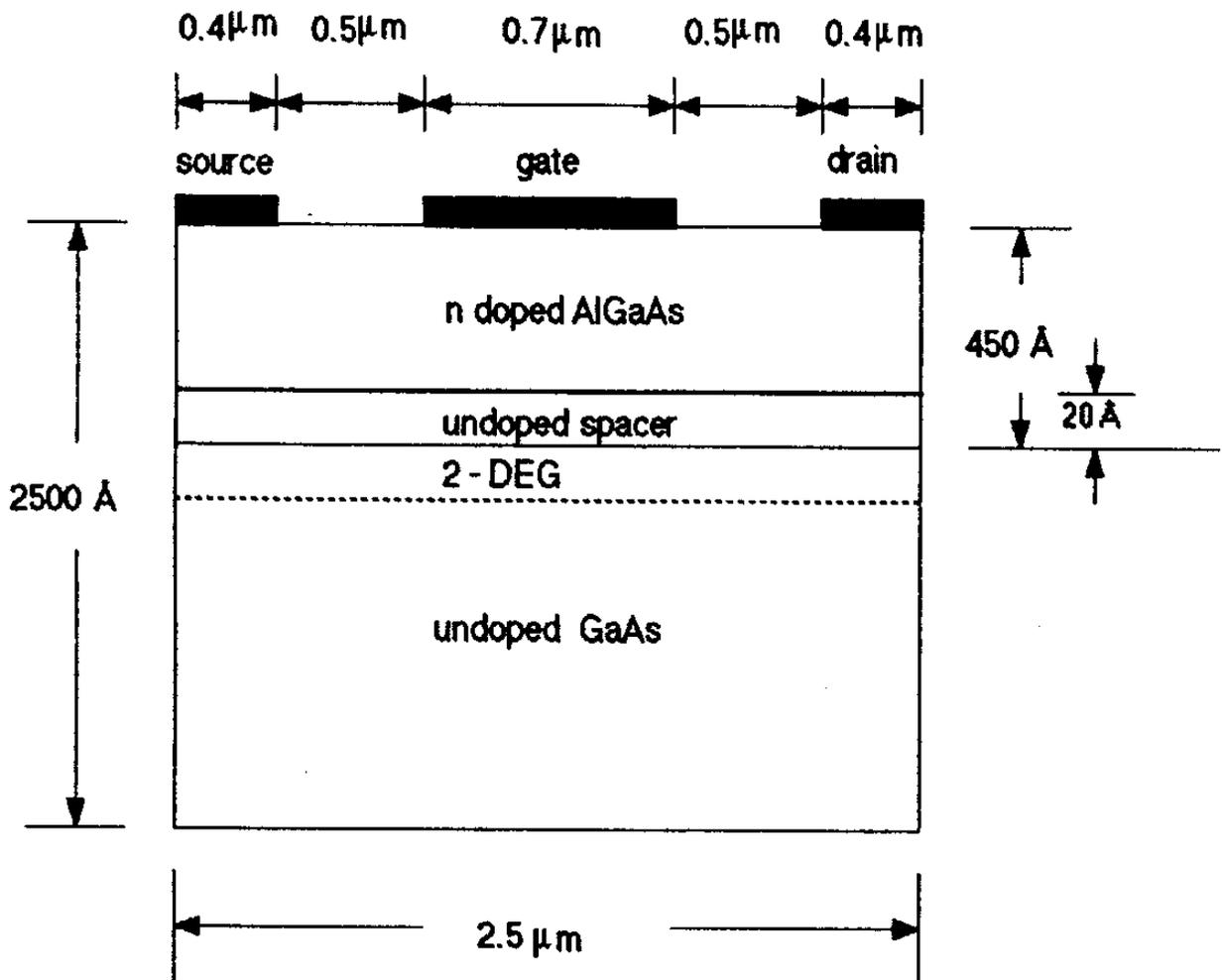


그림 5-1. 시뮬레이션에 사용된 HEMT의 기하학적 제원

의 에너지 대역도는 그림 5-2에 도시하였다. 여기서 고농도($1.0 \times 10^{18}/\text{cm}^3$)의 불순물로 도핑된 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 층에서 소자의 성능을 저하시키는 평행 전도 경로가 생기지 않도록 쇼트키 장벽 공핍 영역과 계면 공핍 영역이 중첩하도록 도핑된 AlGaAs 의 두께를 충분히 얇게(430 \AA)하였다. HEMT 소자의 개발 초기에는 2차원 전자 개스의 이동도만을 향상시키기 위해 2차원 전자 개스의 농도를 감소시키며 두꺼운 공간층을 삽입하였으나 최근의 HEMT에서는 흔히 20 \AA 정도의 얇은 공간층을 삽입한다. 그리고 도핑하지 않은 GaAs 층의 두께는 높은 이동도를 얻기 위해 약 2000 \AA 정도는 되어야 한다.

반도체 소자를 해석하는 데 필요한 기본 방정식은 Poisson 방정식, 전류 연속 방정식과 전류 밀도 방정식이다. 본 연구에서는 계산 편의상 비정체와 비평형의 전송 효과는 고려하지 않았다. HEMT는 n-형이나 p-형 GaAs 의 층의 계면에 형성된 2차원 전자 개스가 주 캐리어인 소자이다. 그러므로 다음의 해석에서 소수 캐리어는 무시하고 캐리어의 재합과 생성도 고려하지 않았다. 2차원 전자 개스의 2차원성에도 불구하고 Yoshida⁵⁻⁵⁾는 Fermi-Dirac 통계를 이용한 계산 결과가 양자역학적 모델을 이용하여 계산한 농도와 5% 정도의 차이가 있음을 보고하였다. 또한 참고문헌⁵⁻⁶⁾에서도 Fermi-Dirac 적분 대신 Joyce-Dixon 근사법을 적용한 3차원적 계산 결과도 삼각 전위 우물 모델에서 $f=0.5$ ⁵⁻⁷⁾을 이용한 결과와 근접함을 보여주었다. 따라서 HEMT 소자 모델링에서 I-V 특성을 계산할 때 큰 오차를 야기시키지 않고도 2차원 전자 개스 시스템을 재래의 3차원적으로 취급할 수 있다.

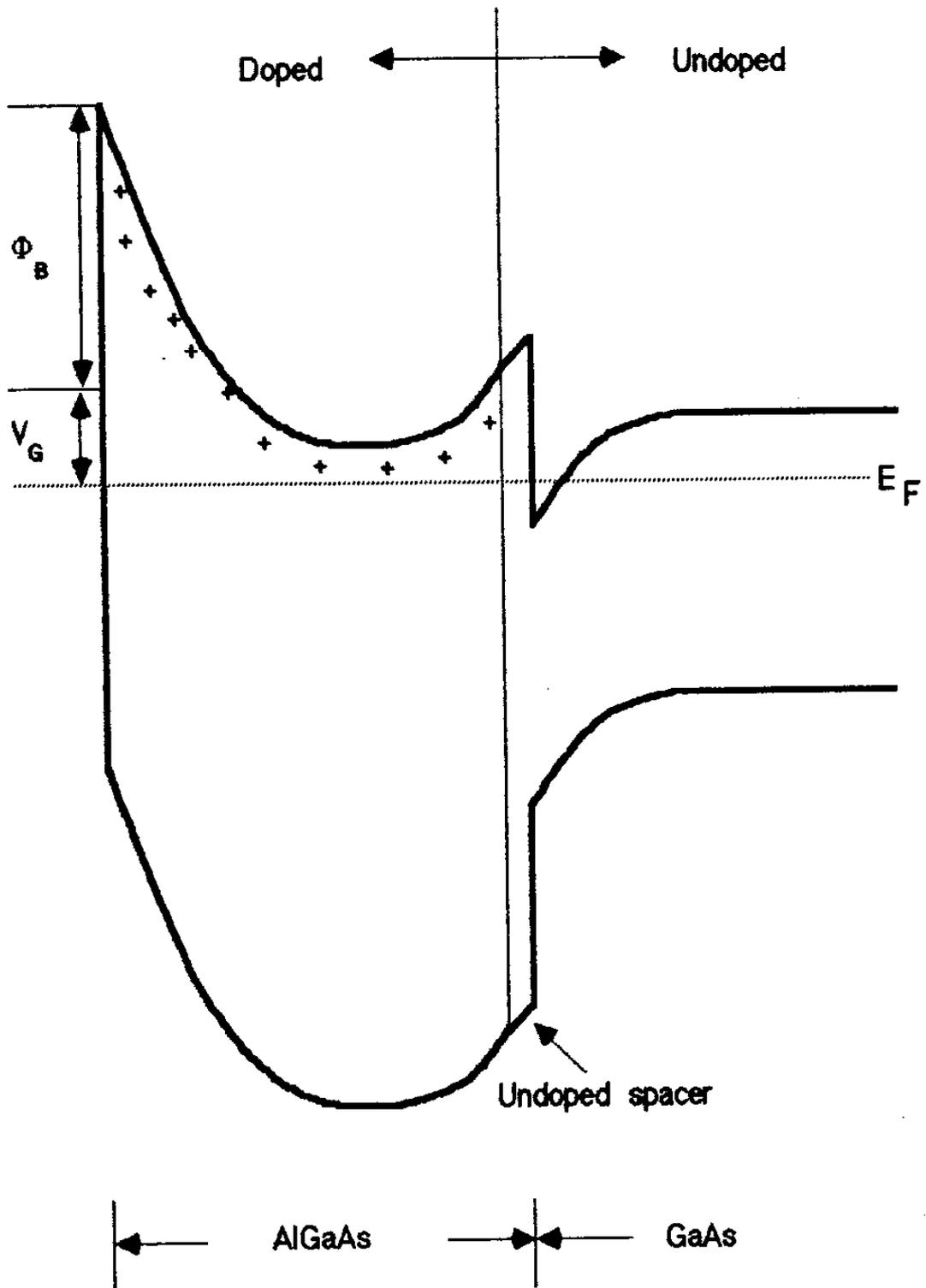


그림 5-2. 이종접합의 게이트에 부의 게이트 전압이 인가 되었을 때의 에너지 대역도

이러한 가정하에 본 소자 시뮬레이션에서 캐리어의 전송을 기술하는 전류 연속방정식은

$$\frac{\partial n}{\partial t} = \frac{1}{q} \nabla J_n \dots\dots\dots(5-1)$$

이며, 여기서 전류 밀도 J_n 은

$$J_n = qn \mu_n E + qD_n \nabla n \dots\dots\dots(5-2)$$

이다. q 는 전하량, n 은 자유 전자 밀도, μ_n 은 전자 이동도, D_n 은 전자확산도, E 는 전기장, t 는 시간이다.

전기장 E 는 Poisson 방정식으로부터 구하며 Poisson 방정식은 다음과 같이 주어진다.

$$\nabla E = -\nabla^2 \phi = \frac{q}{\epsilon} (N_d^+ - n) \dots\dots\dots(5-3)$$

여기서 ϕ 는 정전 전위이며 N_d^+ 는 이온화된 불순물 농도이며 DX center의 에너지 준위를 고려할 수 있으며, ϵ 는 유전체 상수이다.

이종 반도체 소자에서는 소재의 비균질성을 고려하여 반도체 기본 방정식이 수정되어야 한다. 따라서 전류 밀도 방정식(5-2)로는 급준한 이종 접합을 가로지르는 전류를 정확히 기술할 수 없으므로 급준한 이종 접합면에 수직한 전류 밀도는 다음과 같이 서로 상극의 flux의 차이로 표현하였다^{5, 8)}.

$$J_n(x_j) = -q \frac{V_n}{4} [n(x_j^-) - n(x_j^+) \exp(\frac{-\Delta V_n}{kT})] \dots\dots\dots(5-4)$$

여기서 V_n 은 전자의 열적 평균 속도, k 는 Boltzmann 상수, T 는 격자 온도, $n(x_j^-)$ 와 $n(x_j^+)$ 은 이종 접합 양측에서의 전류 밀도이다. ΔV_n 은 다음과 같이 주어지는 대역 변수이다⁵⁻⁸⁾.

$$\Delta V_n = \Delta E_c + kT \ln \left[\frac{N_c(x_j^+)}{N_c(x_j^-)} \right] + kT \ln \left[\frac{F_{1/2}(\eta_c)}{\exp(\eta_c)} \right] \dots\dots\dots (5-5)$$

여기서 ΔE_c 는 GaAs와 AlGaAs의 이종 접합의 전도대 불일치이며, N_c 는 유효 상태 밀도이고, $F_{1/2}$ 는 Fermi-Dirac 적분이다. 그리고 Poisson 방정식도 이종 접합 반도체 소자의 유전체 상수의 상이를 고려하여 수정되어야 한다. 따라서 1차원 Poisson 방정식의 경우 다음과 같이 주어진다.

$$\frac{d^2\phi}{dx^2} = -\frac{q}{\epsilon}(Nd^+ - n) - \frac{1}{\epsilon} \frac{d\phi}{dx} \frac{d\epsilon}{dx} \dots\dots\dots (5-6)$$

그리고 소자의 접촉 전극을 제외한 자유 표면은 Neumann 경계조건을 적용하며, 소오스와 드레인의 ohmic contact 전극은 Dirichlet 경계조건을 적용한다. 쇼트키 접촉인 게이트 전극은 열전자 방출 확산 이론⁵⁻⁹⁾으로 모형화한다.

제 3 절 이산화 방법과 수치 해석법

1. 이산화 방법

시뮬레이션 영역에서 도함수의 값이 큰 지역과 작은 지역을 이산화하는 데 비균일 격자간격으로 이산화하는 것이 효율적이며

그림 5-3과 같은 표기법을 사용한다.

Poisson 방정식 (5-6)을 그림 5-3과 같은 표기법을 사용하여 5-point difference approximation로 이산화하면 다음과 같다.

$$\frac{\frac{\phi_{i+1,j} - \phi_{i,j}}{h_i} - \frac{\phi_{i,j} - \phi_{i-1,j}}{h_{i-1}}}{\frac{h_i + h_{i-1}}{2}} + \frac{\frac{\phi_{i,j+1} - \phi_{i,j}}{k_j} - \frac{\phi_{i,j} - \phi_{i,j-1}}{k_{j-1}}}{\frac{k_j + k_{j-1}}{2}} = -\frac{q}{\epsilon_{i,j}}(N_d^+ - n) - \frac{\epsilon_{i,j+1} - \epsilon_{i,j-1}}{\epsilon_{i,j}} \frac{\phi_{i,j+1} - \phi_{i,j-1}}{(k_j + k_{j-1})^2} \dots\dots(5-7)$$

전류 연속방정식을 두 mesh point(흰 원)간의 중간점(검은 원)에서 직접 전류밀도를 계산하는 방법을 사용하여 비균일 격자에서 이산화하면 다음과 같이 주어진다.

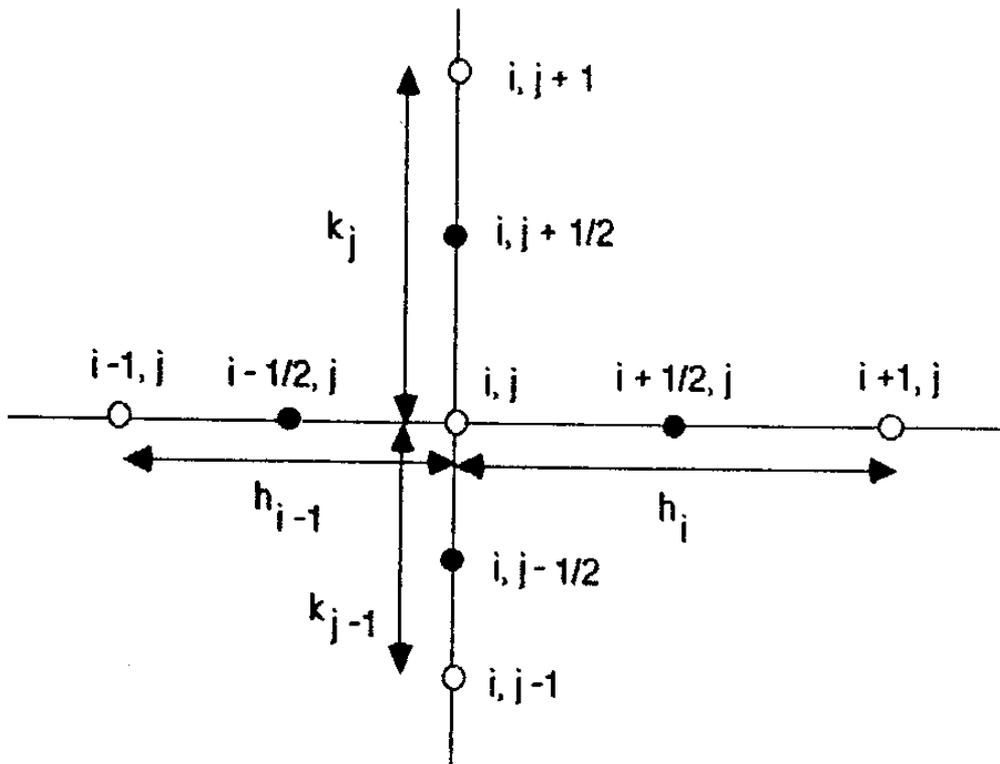


그림 5-3. 유한 차분 메쉬 포인트의 표기법

$$\begin{aligned} \frac{\partial n}{\partial t} &= \frac{1}{q} \nabla J_n \\ &= \frac{1}{q} \left[\frac{J_{i+1/2, j} - J_{i-1/2, j}}{h_i + h_{i-1}} + \frac{J_{i, j+1/2} - J_{i, j-1/2}}{k_j + k_{j-1}} \right] \dots\dots\dots(5-8) \end{aligned}$$

여기서 Crank-Nicolson implicit 방법⁵⁻¹⁰⁾이 explicit 방법보다 정확하고 수렴하는 성질을 갖고 있으므로 Reiser의 부분적 implicit 방법⁵⁻¹¹⁾을 사용하여 이산화하면 다음과 같다.

$$\frac{n_{i, j}^{k+1} - n_{i, j}^k}{\Delta t} = \frac{1}{2q} [\nabla J_{i, j}(n^{k+1}, \mu^k, E^k) + \nabla J_{i, j}(n^k, \mu^k, E^k)] \dots\dots\dots(5-9)$$

또한 Scharfetter-Gummel 알고리즘⁵⁻¹²⁾을 이용하여 전류밀도 방정식을 이산화하면 다음과 같이 쓸 수 있다.

$$\begin{aligned} J_{i+1/2, j} = q \frac{D_{i+1/2, j}}{h_i} \{ n_{i+1, j} B[\frac{q}{kT}(\phi_{i+1, j} - \phi_{i, j}) - \\ n_{i, j} B[\frac{q}{kT}(\phi_{i, j} - \phi_{i+1, j})] \} \dots\dots\dots(5-10) \end{aligned}$$

여기서 B는 Bernoulli함수⁵⁻¹³⁾이다.

이중 접합 계면 근처에서 정확하고 안정된 해를 구하기 위해 그림 5-4와 같은 2차원 비균일 그물간격(54×31)을 채택하였다.

2. 수치 해석법

Poisson 방정식과 전류 연속방정식을 5-point 유한 차분법(FDM)으로 이산화하여 2개의 연립방정식 시스템을 얻었다. 이들

Source

Gate

Drain

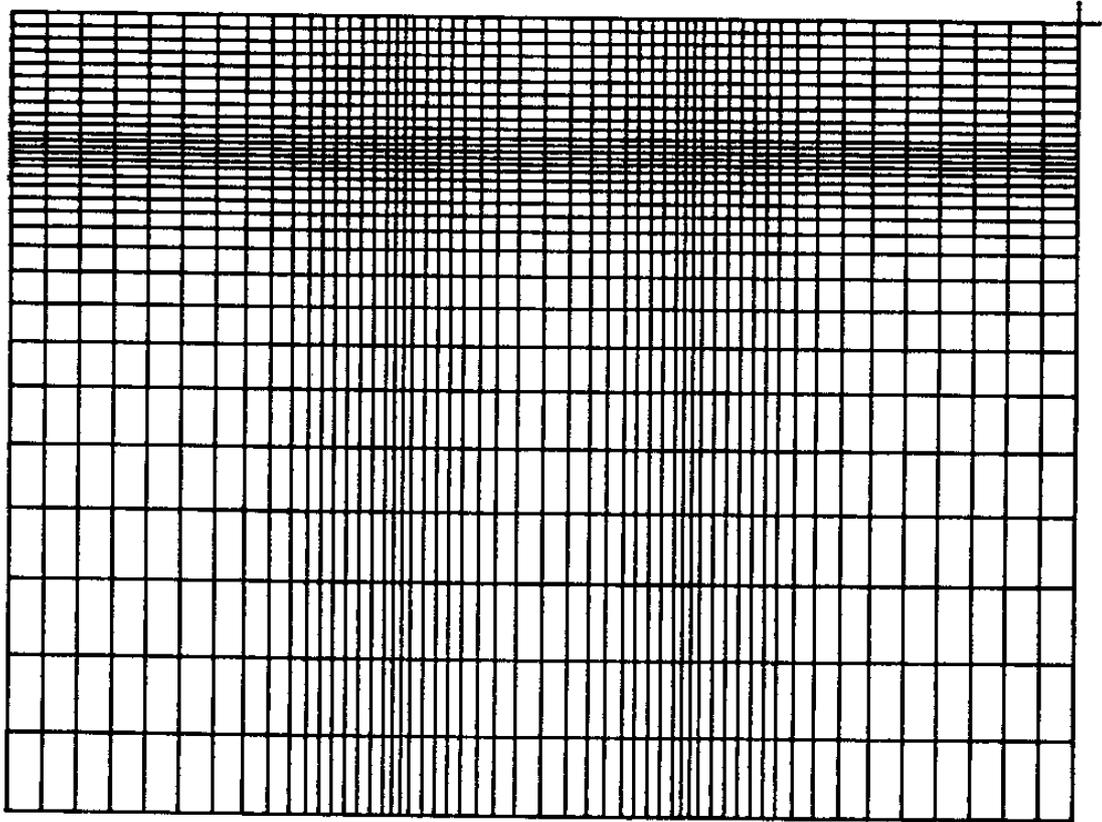


그림 5-4. 시뮬레이션에 사용된 54×31 비균일 그물간격

연립방정식으로부터 수치 시뮬레이션 영역에서의 전위와 캐리어 농도를 직접 또는 반복법으로 구할 수 있다. 이같은 5-point 유한차분법으로 얻은 연립 방정식은 대부분의 계수가 0인 sparse matrix로 Gaussian 소거법과 같은 직접 방법보다 반복법이 빠르고 적은 기억 용량을 요한다. 즉 가장 보편적인 반복법은 Gause-Seidel 방법에 근거한 SOR(Successive Over Relaxation) 방법이다. 또한 sparse matrix L-U 분해법도 Poisson 방정식의 해를 구하는데 적합하다. 그러나 특히 정적상태의 해를 구하는 경우, 동일한 계수의 행렬식의 해를 반복해서 구해야 하므로 SOR 반복법보다

sparse matrix의 L-U 분해법이 더 적합하다.

전류연속 방정식의 해는 Scharfetter-Gummel 알고리즘과 Crank-Nicolson implicit 방법으로 이산화하여 SOR 반복법으로 구하였다. 전류 밀도의 계산은 차분 방정식의 정확도를 향상시키기 위하여 mesh point의 중간점에서 계산하며 캐리어 농도는 mesh point에서 계산하였다.

Poisson 방정식과 전류 연속 방정식이 결합된 시스템의 일관성있는 해를 구하려면, Poisson 방정식의 해를 먼저 구한 후 여기서 얻은 전위로부터 전계를 계산한 다음 이 전계를 이용하여 전류 연속 방정식의 해로부터 전자 농도를 구한다. 이 전자 농도를 이용하여 Poisson 방정식의 해를 구하는 과정을 반복하면서 드레인 과 소오스의 전류가 1% 이내로 수렴할 때까지 위의 과정을 순차적으로 반복하여 소자 내부의 정전적 전위, 전계, 전자 농도의 분포와 전류-전압 특성을 계산하였다.

제 4 절 연구결과 및 검토

본 연구에서는 시뮬레이션에 소요되는 시간을 고려하여 우선 $0.7\mu\text{m}$ -gate GaAs/ $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ HEMT의 dc 특성을 예측하기 위하여 2차원 수치 시뮬레이션을 수행하였다. 또한 본 연구에서는 에너지 전송 모델을 포함하지 않았으므로, 소자 동작시 캐리어 속도의 overshoot 효과를 암시적으로 고려하기 위해, Monte Carlo 시뮬레이

선으로부터 얻은 벌크 GaAs에 대한 정적 상태의 속도-전계 특성에서 취한 piecewise-linear velocity-field 특성을 이용하였다.

그림 5-5에서 $0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 바이어스 전압이 각각 $V_{DS}=2\text{V}$, $V_{GS}=-0.5\text{V}$ 일 때 전도 대역의 모양을 조감할 수 있으며, 소오스와 드레인간에 인가된 대부분의 전압이 게이트 전극의 드레인측에 나타난다. 따라서 채널의 드레인측에서는 전계가 임계 전계보다 매우 크므로 전자는 포화속도로 진행하게 된다.

그림 5-6에서도 $V_{DS}=2\text{V}$, $V_{GS}=-0.5\text{V}$ 일 때 소자내부의 전자 농도를 조감할 수 있으며, 이종접합 계면근처에 형성된 전도채널을 볼 수 있다. 그림 5-7은 그림 5-6의 전자농도의 분포를 contour plot으로 보여주며 등고선 16과 17은 전자농도가 $1.0 \times 10^{16}\text{cm}^{-3}$ 와 $1.0 \times 10^{17}\text{cm}^{-3}$ 인 것을 의미하고, 그림 5-6, 5-7로부터 AlGaAs층의 게이트 전극밑에서의 캐리어들은 소오스측을 제외하고 거의 모두 공핍되었음을 알 수 있다. 또한 Yoshida⁵⁻⁵⁾와 Widiger^{5-14, 15)}이 예측한대로 게이트의 드레인 측에서 벌크 GaAs층 안으로 캐리어가 주입되는 것을 명확히 볼 수 있다. 더욱이 캐리어가 접합면을 가로질러 드레인 전극으로 진행하므로 드레인 측에서 Fermi 준위가 높아져 드레인측이 소오스측보다 전자 농도가 큰 것을 보여준다.

그림 5-8은 게이트전압이 -0.5V 일 때 게이트 중간을 가로지르는 단면에 대하여 1차원 Poisson 방정식과 Schroedinger 방정식의 해를 self-consistent한 방법으로 구하여 기저상태에서부터 처음 4개의 파동함수(F_0, F_1, F_2, F_3)를 파선으로, 전도대역을 실선으로 도시하였다. 그림 5-9에서 선 a는 2차원 소자 시뮬레이션으로부터

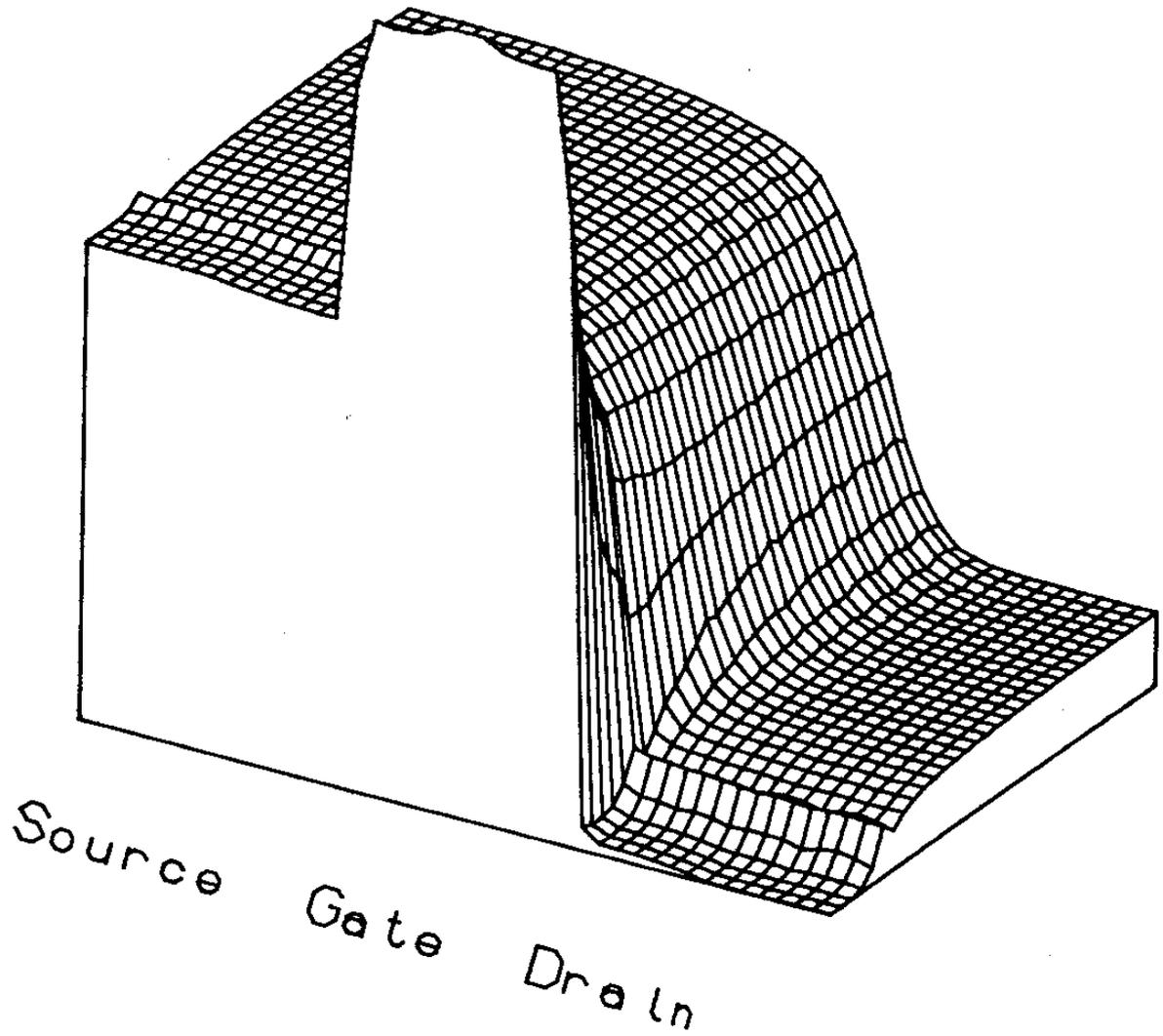


그림 5-5. $V_{ds}=2V$, $V_{gs}=-0.5V$ 일 때 $0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 전도대역의 모양

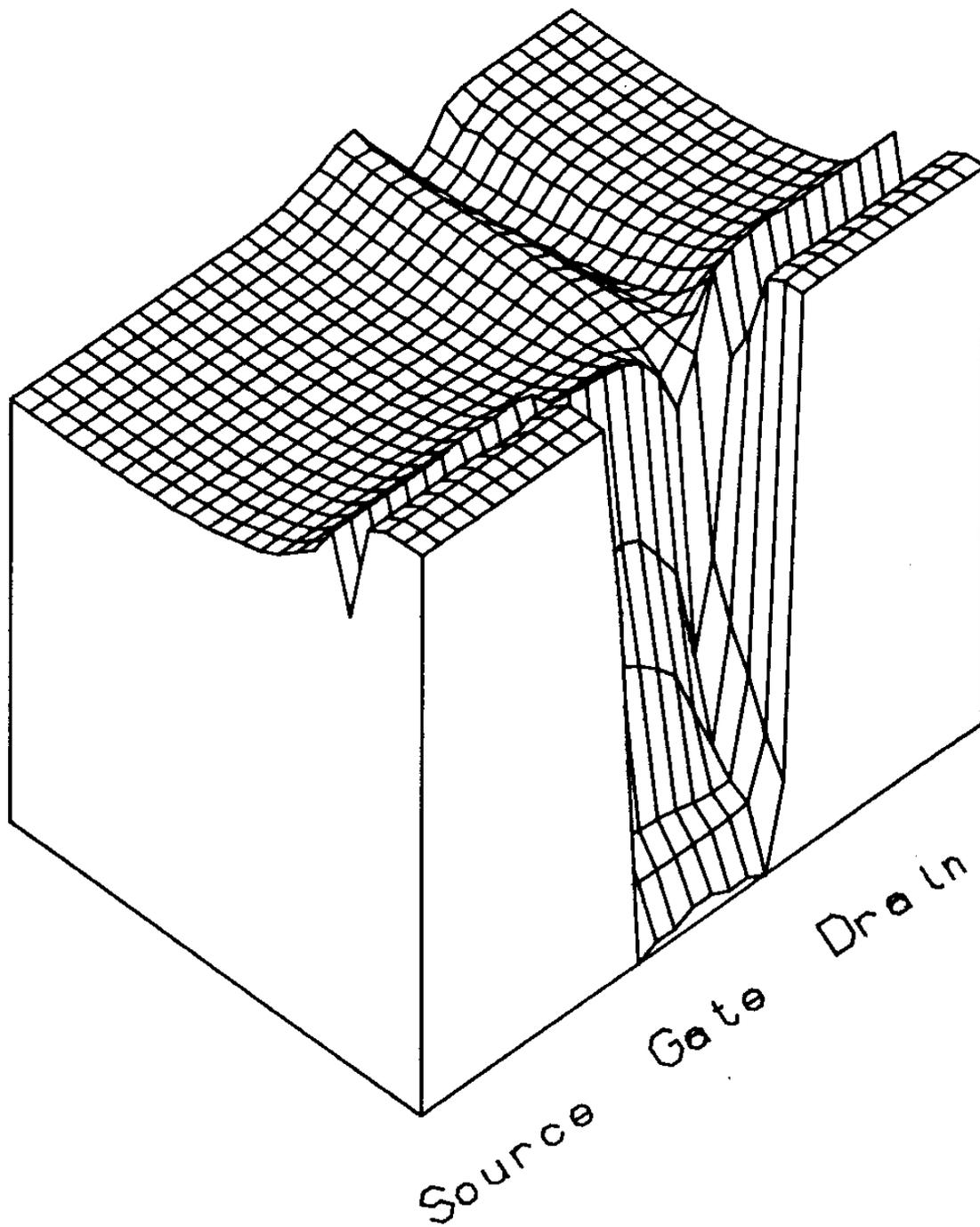


그림 5-6. $V_{ds}=2V$, $V_{gs}=-0.5v$ 일 때 $0.7\mu m$ -gate GaAs/AlGaAs HEMT의 전자농도의 분포

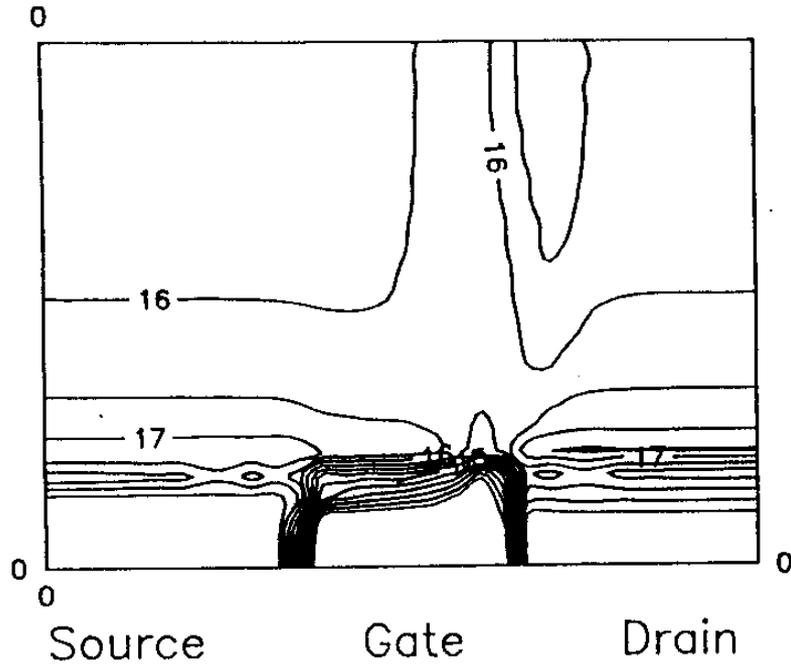


그림 5-7. $V_{ds}=2V$, $V_{gs}=-0.5V$ 일 때 $0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 전자농도 분포의 contour plot

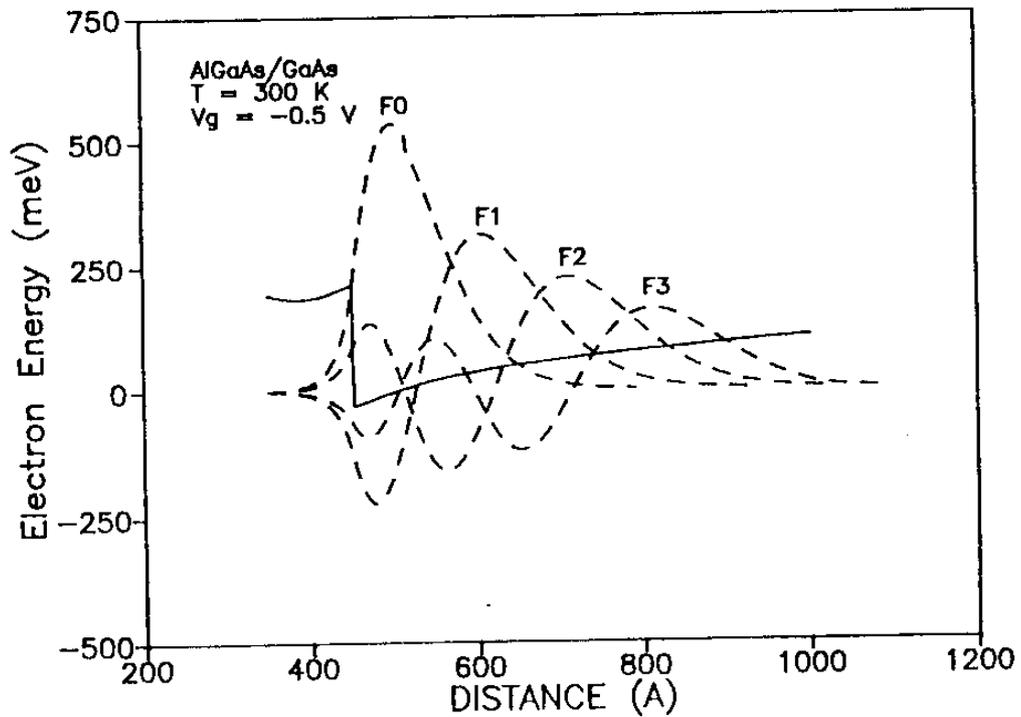


그림 5-8. GaAs/AlGaAs HEMT에 $V_{gs}=-0.5V$ 일 때 Poisson 방정식과 Schrodinger 방정식의 해로부터 구한 4개의 부밴드 파동함수(파선)와 전도대역 모양(실선)

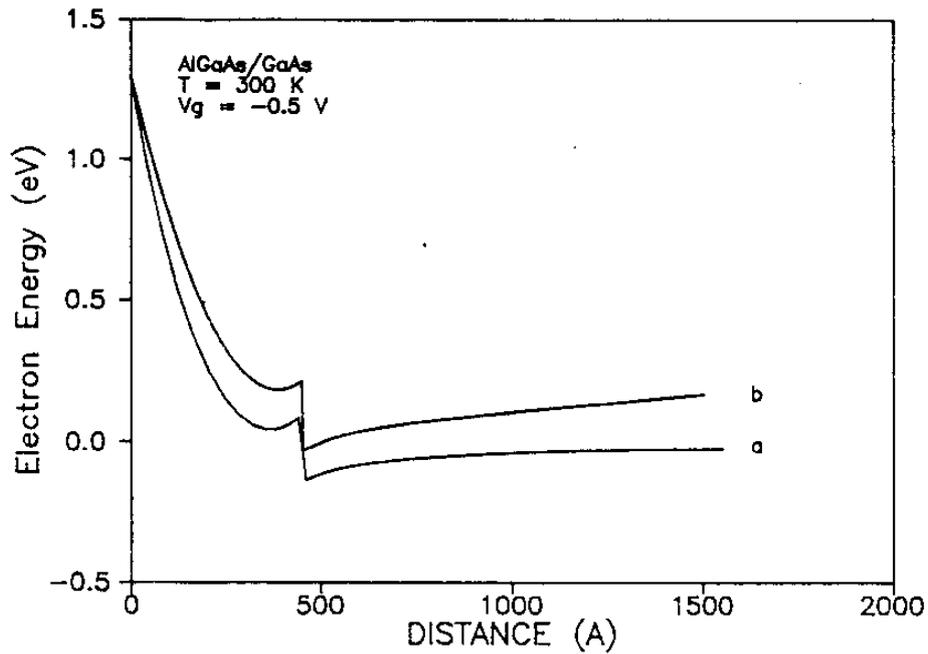


그림 5-9. $V_g = -0.5V$ 일 때, 그림5-5에서 소오스측의 게이트 끝에서 전도대역의 모양(선 a)과 Poisson 방정식과 Schroedinger 방정식으로부터 구한 전도대역의 모양(선 b)

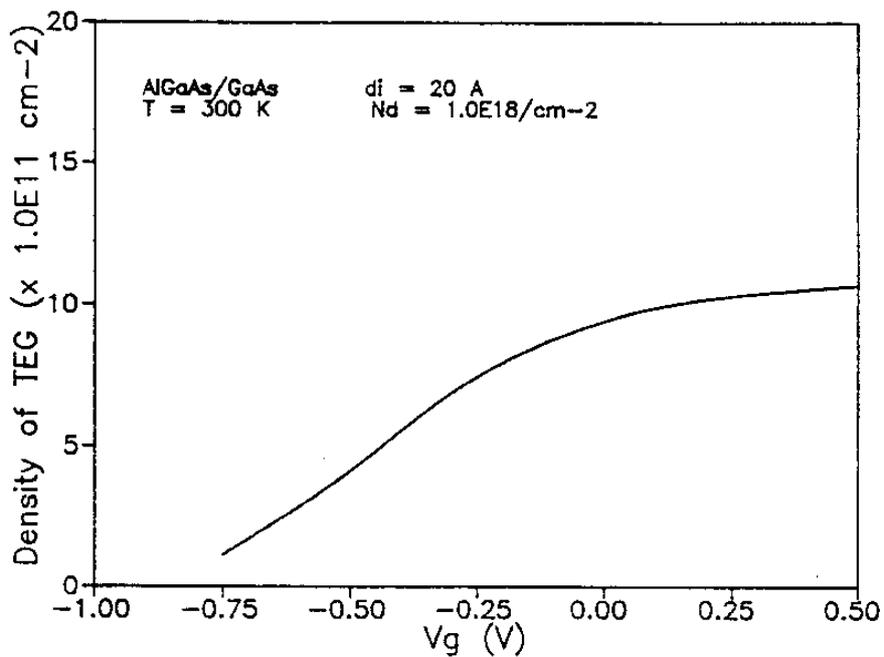


그림 5-10. 일차원적으로 self-consistent하게 구한 이차원 전자가스 농도 대 게이트 전압

구한 소오스측의 게이트 끝에서 전도대역의 모양을 나타내며, 선 b는 1차원 Poisson 방정식과 Schroedinger 방정식으로부터 구한 전도구역을 나타낸다. 그림 5-10은 1차원적으로 self-consistent하게 구한 2차원 전자가스 농도를 게이트전압의 함수로 도시하였다. 그림 5-11의 선 a는 소오스측의 게이트끝, 선 b는 게이트의 중간, 선 c는 드레인측의 게이트끝의 전자농도를 2차원 소자 시뮬레이션 결과(그림 5-6)로부터 표층에서 멀크 방향으로 1차원적으로 도시하였다. 그림 5-12에서 실선 a는 그림 5-11의 선 a이며, 파선 b는 1차원 Poisson 방정식과 Schroedinger 방정식의 해로 구한 전자 농도이다. 여기서 1차원적 계산(파선 b)에는 드레인 전압이 고려되지 않기 때문에, 2차원 소자 시뮬레이션으로 계산한 소자내부의 전자 농도 분포에서 드레인 전압의 영향이 적은 부분인 소오스측의 게이트끝의 전자농도(실선 a)를 택하여 비교하였다. 그러나 그림 5-12에서 보여주는 바와 같이 계면부근에 형성된 전자가스의 농도가 매우 잘 일치함을 알 수 있으며, 1차원적 계산결과는 2차원 전자 개스가 전위우물, 즉 채널내에 갇혀 있는 것을 보여준다. 따라서 본 시뮬레이션의 결과가 매우 타당함을 알 수 있다.

그림 5-13은 $0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 전류-전압 특성을 게이트 전압 0, -0.25, -0.5, -0.75, -1.0V에 대하여 드레인 전압 0, 0.3, 0.5, 1.0, 1.5, 2.0V로 각각 변화시켜 드레인 전류를 계산하였다. 그림 5-14는 $V_{DS}=2\text{V}$ 에서 드레인전류 대 게이트전압의 특성을 나타내며, 그림 5-15의 선 a는 $V_{DS}=2\text{V}$ 에서 게이트 길이로 정규화한 transconductance를 나타내며, $V_{GS}=-0.17\text{V}$ 일

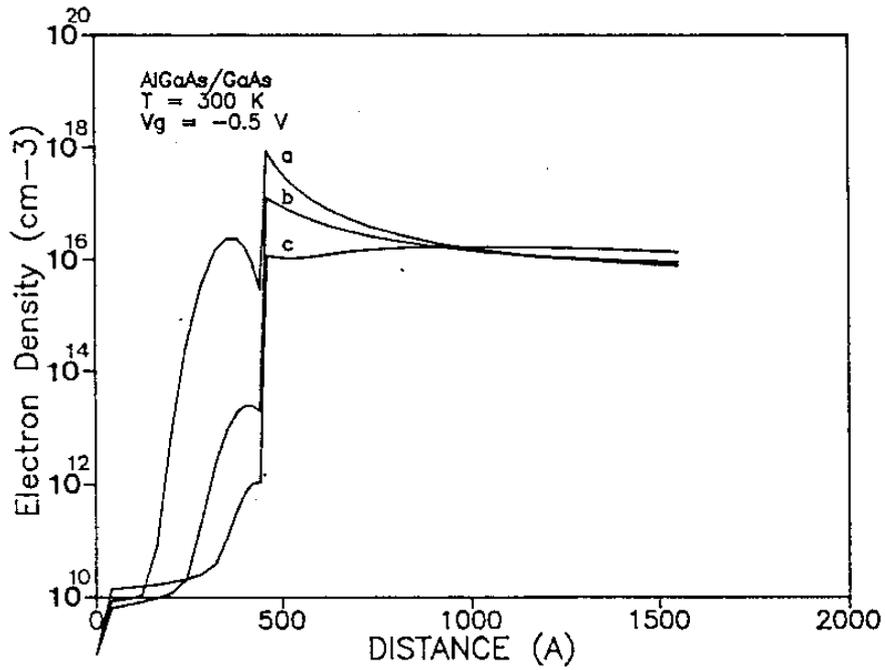


그림 5-11. $V_{ds}=2V$, $V_{gs}=-0.5V$ 일 때 선 a: 소오스측의 게이트 끝, 선 b: 게이트의 중간, 선 c: 드레인측의 게이트 끝에서의 전자농도

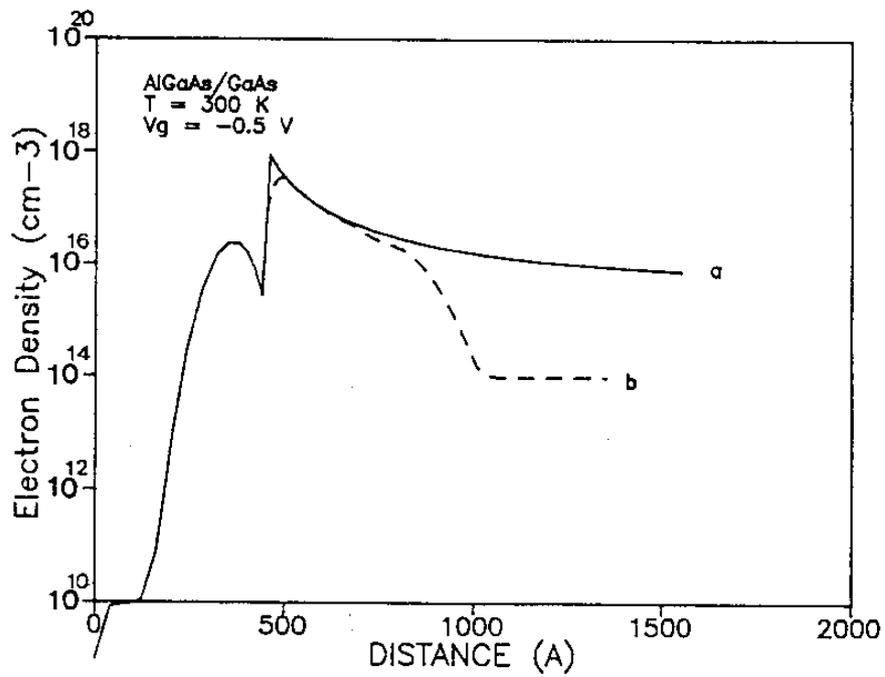


그림 5-12. 실선 a는 그림5-11의 선 a와 동일하며, 파선 b는 $V_g=-0.5V$ 일 때 Poisson 방정식과 Schrödinger 방정식의 해로부터 구한 전자농도

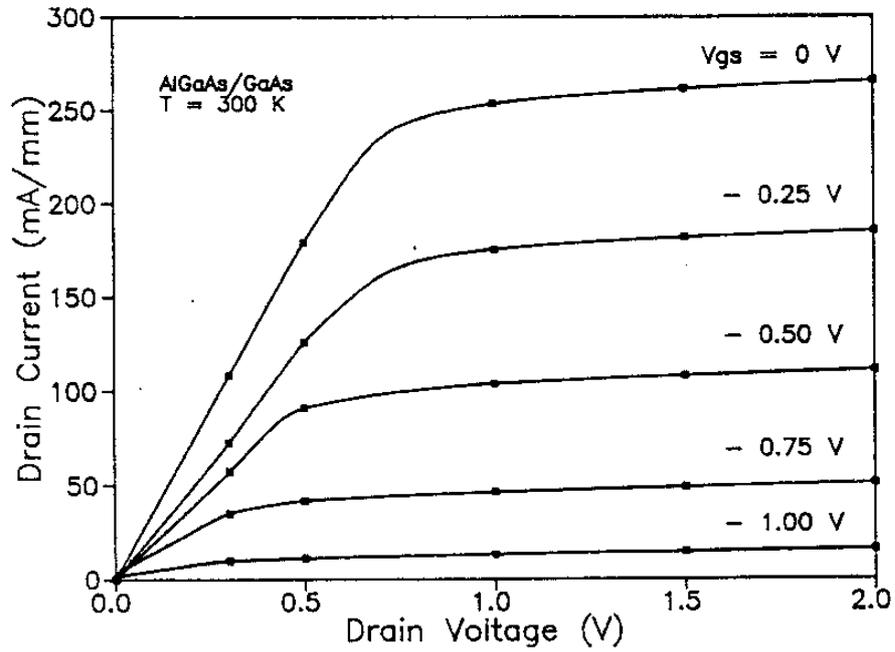


그림 5-13. $0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 전류-전압 특성

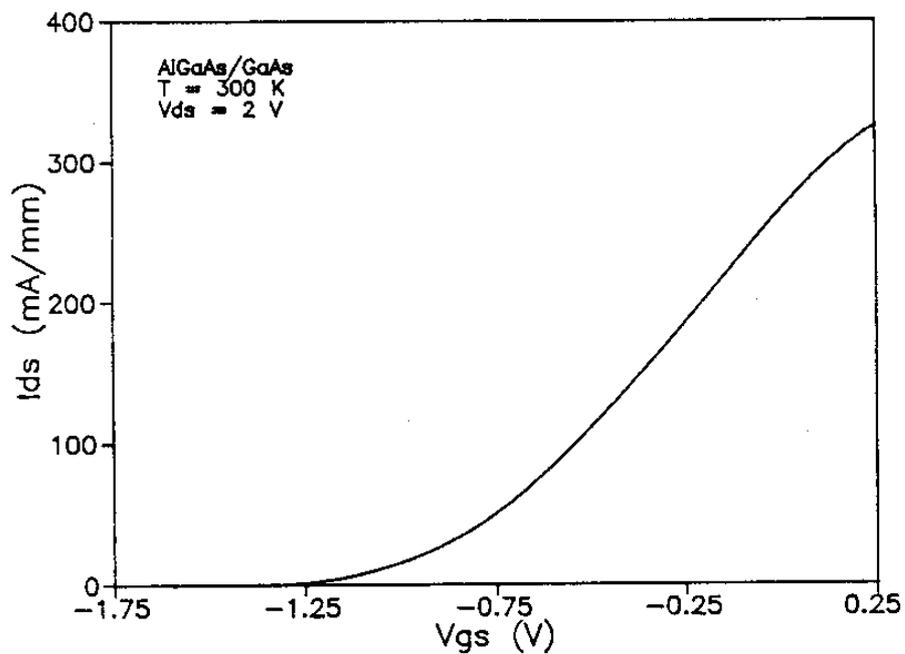


그림 5-14. $V_{ds}=2\text{V}$ 일 때 $0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 상온에서의 드레인 전류 대 게이트 전압

때 최대값 328mS/mm을 얻었다. 또한 그림 5-15의 선 b는 1차원적으로 계산한 2차원 캐리어 농도 대 게이트전압(그림 5-10)으로부터 구한 transconductance로, $V_{GS} = -0.45$ 일 때 최대값 341mS/mm이며 이때 포화속도 V_{sat} 로 1.5×10^7 cm/sec을 사용하였다. 이로부터 HEMT의 높은 transconductance는 이중 접합구조에서의 우수한 전자전송 특성에 기인함을 알 수 있다. 그러나 transconductance의 최대값이 각각 다른 게이트 전압인 것은 1차원적으로 계산한 2차원 전자개스농도(그림 5-10)에는 드레인전압의 영향이 전혀 고려되지 않았기 때문이다. 본 2차원 컴퓨터 시뮬레이션으로 얻은 transconductance의 최대치는 Takanashi 등⁵⁻¹⁶⁾이 MOCVD로 제조한 $1\mu\text{m}$ -gate HEMT의 transconductance(330mS/mm)와 매우 잘 일치한다고 하겠다.

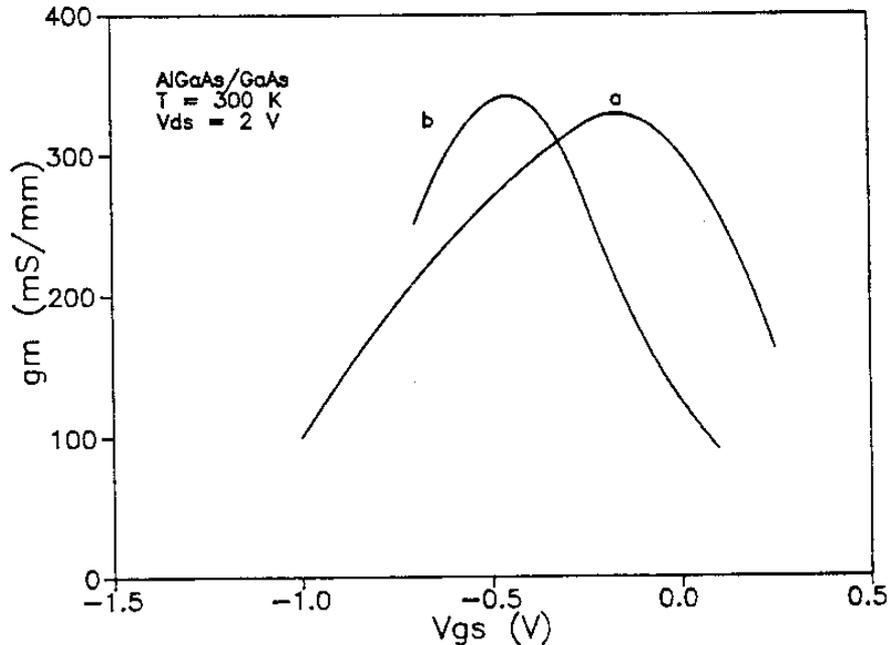


그림 5-15. $V_{ds}=2\text{V}$ 일 때 $0.7\mu\text{m}$ -gate GaAs/AlGaAs HEMT의 상온에서의 트랜스컨덕턴스 대 게이트 전압(선 a)과, 그림5-10으로부터 계산한 트랜스컨덕턴스 대 게이트 전압(선 b)

제 6 장 HEMT 응용구조를 위한 델타-도핑 기초연구

제 1 절 SdH 특성 측정에 의한 2차원적 수송특성연구

전년도 보고에서 MOCVD에 의한 GaAs의 델타-도핑의 기초 연구를 수행한 바 있고 이 기술을 이용하여 prototype δ -FET를 제작하여 보고한 바 있다. 전년도 보고에서 밝힌 바 있듯이 최근 델타-도핑기술은 기존 소자의 성능향상 및 신기능 소자 창출을 위한 신기술로 각광받고 있다⁶⁻¹⁾. 그런데 MBE 기술에 의한 델타-도핑기술은 성장온도 550°C 이하로 국한되어 있다. 이는 성장온도가 550°C 이상에서는 델타-도핑층 형성후 post growing 시간동안 이 델타-도핑층에서 심한 열확산이 일어남이 관측되었기 때문이다⁶⁻²⁾. 따라서 정상적인 성장온도가 650~750°C 사이인 MOCVD에 의한 델타-도핑층은 더욱 열확산이 예상된다. 그러나 본 보고서와 관련된 논문에서 밝힌 바 있듯이 750°C 근방의 높은 성장온도에서도 델타-도핑층이 거의 이상적으로 형성됨을 관측하였다. 이는 델타-도핑층 형성과정이 MOCVD의 경우, MBE와는 전혀 다른 성장 기구에 의하여 이루어지기 때문으로 사료된다. 이러한 유사한 관측이 최근 보고되고 있다. 즉 CBE(chemical beam epitaxy)로 델타-도핑층을 성장할 경우 이 델타-도핑층의 전기적 특성(C-V profile FWHM)은 비슷한 성장온도에서 형성한 MBE 시료보다 더 우수한

것을 최근 보고되었다⁶⁻³⁾. 이러한 결과의 배경으로 Ourmazd⁶⁻⁴⁾ 등은 성장중 수소에 의한 passivation 효과로 추측하고 있다. 이 CBE법이 MBE와 MOCVD법의 중간적 성격을 가진 성장법임을 고려할 때 MOCVD법에서 고온 성장온도($\sim 750^{\circ}\text{C}$)에서 델타-도핑이 가능한 결과를 이해할 수 있다. 그러나 이러한 MOCVD 시료가 델타-도핑층의 고유한 특성인 2차원적 수송특성을 가지고 있는가 하는 문제는 분명히 밝혀져야 한다. 전년도 보고에서 C-V profile 측정, SdH(Shubnikov-deHaas) 진동측정을 통하여 그 결과가 550°C 근방에서 성장한 MBE 시료의 결과와 차이가 없이 우수한 성질임을 보인 바 있다. 이번 연구에서는 전년도 연구에서 한결을 더 나아가 이러한 델타-도핑층의 2차원적 수송특성을 좀더 분명하게 규명하기 위해 angle dependent SdH 측정을 하였다. 이 angle dependent SdH 측정의 원리는 그림 6-1에 제시하였다. 그림에 나타난 바와 같이 시료의 표면의 표면 vector와 자장 vector \vec{B} 가 θ 각을 이루게 하여주고 SdH 측정을 하는 방법이다. 만일 $\theta=90^{\circ}$ 일 경우 만일 델타-도핑층의 수송특성이 완전히 2차원적이면 SdH 진동이 관측되지 않는다. 따라서 이 angle dependent SdH 측정으로 델타-도핑층의 2차원적 수송특성을 완전히 규명할 수 있다. 시료는 전년도 보고와 유사한 방법으로 준비하였다. 총 수소유량은 5SLPM이며 TMG 몰분율은 4×10^{-5} , V/III 비율은 30, 성장온도는 700°C 이었다. 이때 GaAs층의 성장속도는 $8\text{\AA}/\text{s}$ 이다. 먼저 $1\mu\text{m}$ 정도의 GaAs 완충층을 성장한 후 10s TMGvent-10s SiH₄ 유입-10s의 방법으로 델타-도핑층을 형성하였고 다음 TMG를 run 상태로

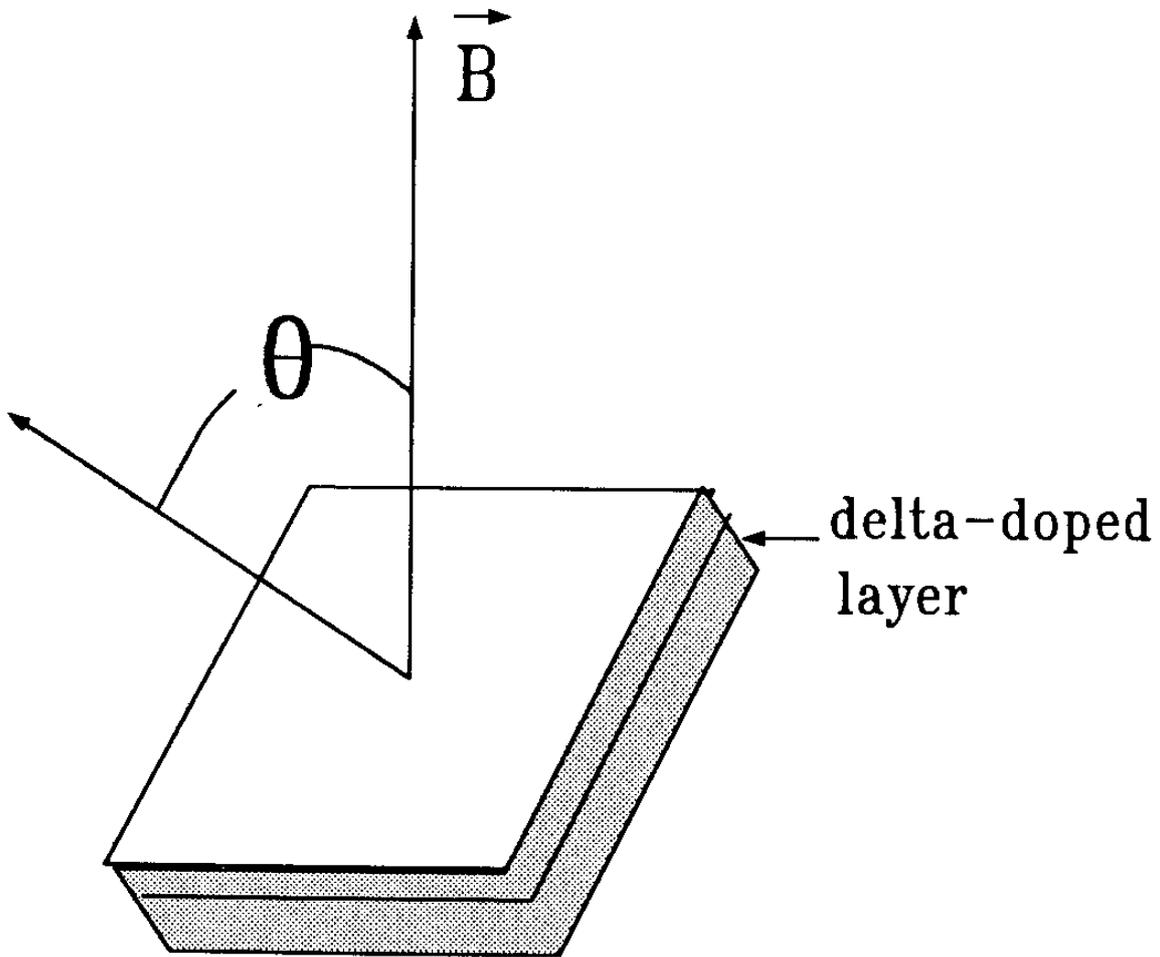


그림 6-1. Angle dependent SdH 측정의 원리

하여 GaAs capping층을 3000 Å 성장하였다. 이때 SiH₄의 몰분율은 2 × 10⁻⁶이었다. SdH 측정은 표준연구소의 oxford 초전도 자석과 저온 dewar을 이용하여 측정하였는데 이때 측정 자장 영역은 0-12Tesla이고 측정은 액체 헬륨을 이용하여 1.5K에서 수행되었다. 그림 6-2은 대표적인 시료의 측정결과이다. θ=0°, 30°, 90°에서의 SdH 측정결과를 나타내었다. 이 시료의 1.5K에서 Hall 측정결과는 μ_{2D}=2957cm²/v.sec, n_s=1.6 × 10¹³cm⁻²이었다. 만일 거의 이상적인 델타도핑층이 형성되었다고 가정할 때 3차원적 도핑농도는

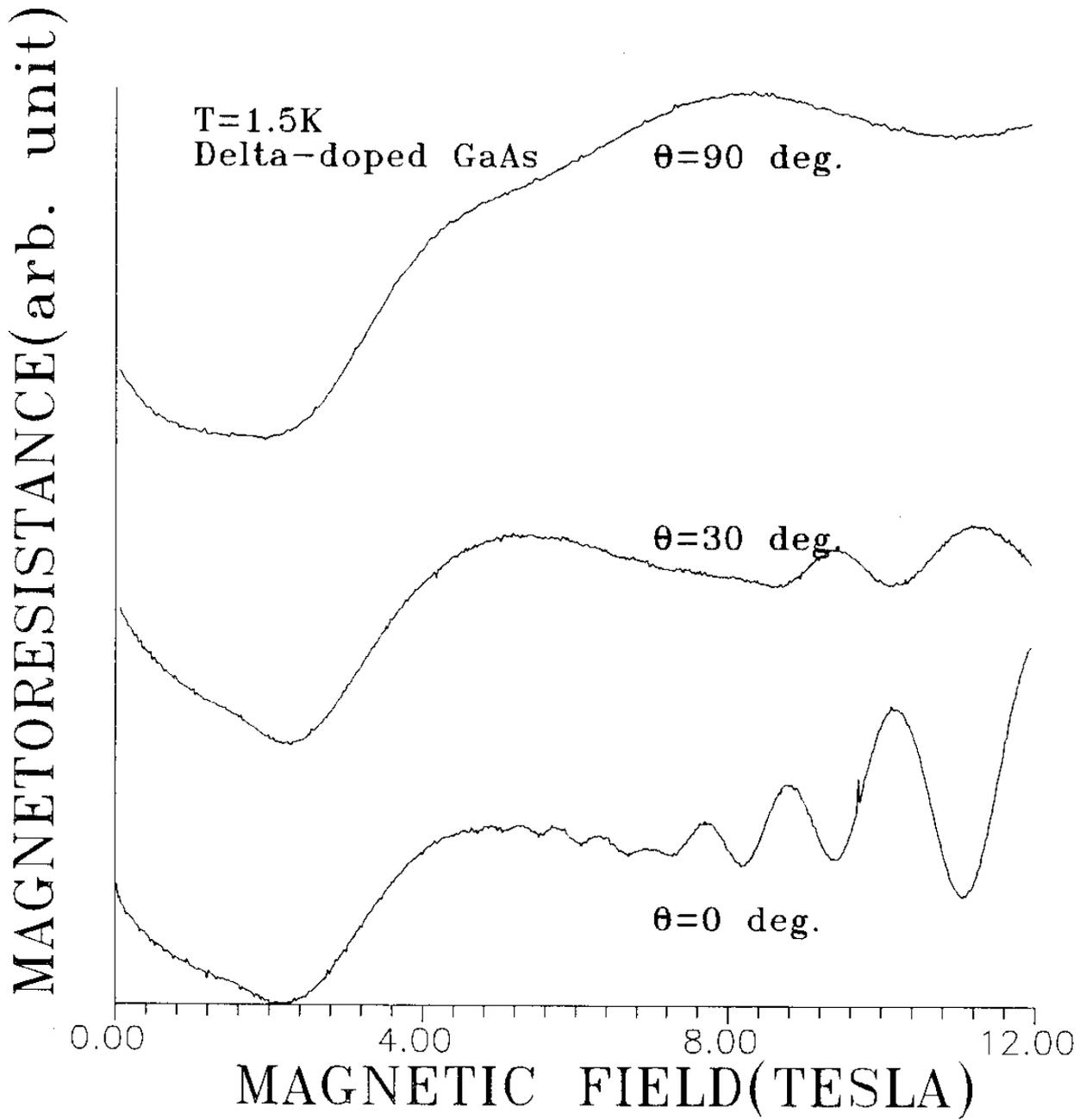


그림 6-2. 대표적인 델타-도핑시료의 angle dependent SdH 측정 결과

$$N^{3D} = (n_s)^{3/2} \dots\dots\dots(6-1)$$

주어지므로 이로부터 N^{3D} 을 구하면 $6.4 \times 10^{19} \text{cm}^{-3}$ 의 도핑농도가 얻어진다. 이렇게 높은 N^{3D} 은 델타도핑의 고유한 특성이며 이 값을 Hilsum의 실험식

$$\mu_{3D} = \mu_o / [1 + (n/n_o)^m] \dots\dots\dots(6-2)$$

$$n_o = 1 \times 10^{17} \text{cm}^{-3}$$

$$\mu_o = 10,000 \text{cm}^2/\text{v.sec}$$

$$m = 0.4$$

에 대입하여 3차원적 mobility μ_{3D} 을 대략 결정하면⁶⁻⁵⁾ μ_{3D} 가 700 $\text{cm}^2/\text{v.sec}$ 의 값이 얻어져 mobility enhancement factor $\theta (= \mu_{2D} / \mu_{3D})$ 가 4.2가 얻어져 대단한 mobility 향상효과가 있음을 알 수 있다. 이는 2차원적인 전자층의 screening 현상에 의한 것으로 Schubert 등이 MBE 시료에서 이미 보고한 바 있다⁶⁻⁶⁾. 한편 그림 6-2의 angle dependent SdH 측정결과에서 $\theta = 0^\circ$ 일 때 대단히 복잡한 형태를 가지고 있는 SdH 진동이 θ 가 증가함에 따라 좀더 단순한 형태로 변해가고 $\theta = 90^\circ$ 일 때 아주 단순하게 변화하는 곡선으로 변한다. 이로서 이 델타-도핑층에 의한 전자수송 현상은 완전한 2차원적인 특징을 가지고 있음을 알 수 있다. $\theta = 90^\circ$ 일 때 단순하게 변화하는 곡선은 에너지 준위 $l = 3, 4, 5$ 의 diamagnetic shift에 의한 결과로 이는 Zrenner 등이⁶⁻⁷⁾ MBE 시료에서 관측한 결과와 일치한다.

제 2 절 델타-도핑에 의한 non-alloyed ohmic 특성

델타-도핑기술의 여러가지 소자 응용 중 델타-도핑 non-alloyed ohmic contact에 관한 연구를 수행하였다. 현재 모든 광, 전소자는 항상 낮은 specific contact resistance을 가진 ohmic contact이 요구된다. 그럼에도 불구하고 이 ohmic contact에 관한 연구는 아직도 해결되지 않은 중요한 과제이다. GaAs을 비롯한 화합물 반도체의 ohmic contact의 전통적인 방법은 금속을 evaporation한 후 annealing에 의하여 금속을 반도체로 diffusion하는 방법이다. 예컨대 n-type GaAs의 경우 Au/Ge을 eutectic 조성으로 evaporation한 후 수소나 질소 분위기에서 450°C 정도에서 2-3분 열처리를 한다. 이때 Ge이 GaAs내에 확산되어 반도체 표면에 심하게 도핑된 층이 생긴다. 따라서 금속-반도체간의 에너지 장벽의 폭이 얇아져 양자역학적 tunneling이 일어나 ohmic contact이 형성된다. 그러나 이러한 전통적인 방법은 열처리후 금속표면에 ball-up 현상이 일어나 표면이 울퉁불퉁해지는 단점이 있다⁶⁻⁸⁾. 이러한 단점을 해결하는 방법으로 alloying을 하지 않고 ohmic하는 기법이 최근 검토되고 있다. Woodall 등은⁶⁻⁹⁾ MBE 방법으로 GaAs-In_xGa_{1-x}As-InAs로 가는 에피층을 성장하여 non alloying contact을 이루는데 성공하였다. 이 방법은 InAs의 band gap이 낮은 점을 이용하여 금속-반도체간의 에너지 장벽을 낮추어 ohmic contact을 이루는 방법이다. 최근 이러한 복잡한 에피택시 과정을 거치지 않고 델타-도핑을 이용하여 non-alloyed ohmic contact를 이루는 방법이 검토되고 있다.

GaAs 표면으로부터 수 Å 정도의 깊이에 높은 도핑농도를 지닌 델타 도핑층을 형성시키면 전도대 에너지 E_c 가 Fermi 준위와 거의 같아지고($E_c \sim E_f$) 따라서 그림 6-3과 같은 energy band diagram이 형성된다. 이 그림에서 유의할 점은 델타도핑 특성상 도핑이 2차원 평면으로 형성되어 있기 때문에 금속-반도체간 에너지장벽 형태가 삼각형 형태(triangular potential barrier)로 형성된다는 사실이다. 그때 이 에너지 장벽이 충분히 얇으면 양자역학적 tunneling에 의하여 ohmic contact이 형성된다. 이를 좀더 수식적으로 고찰해보

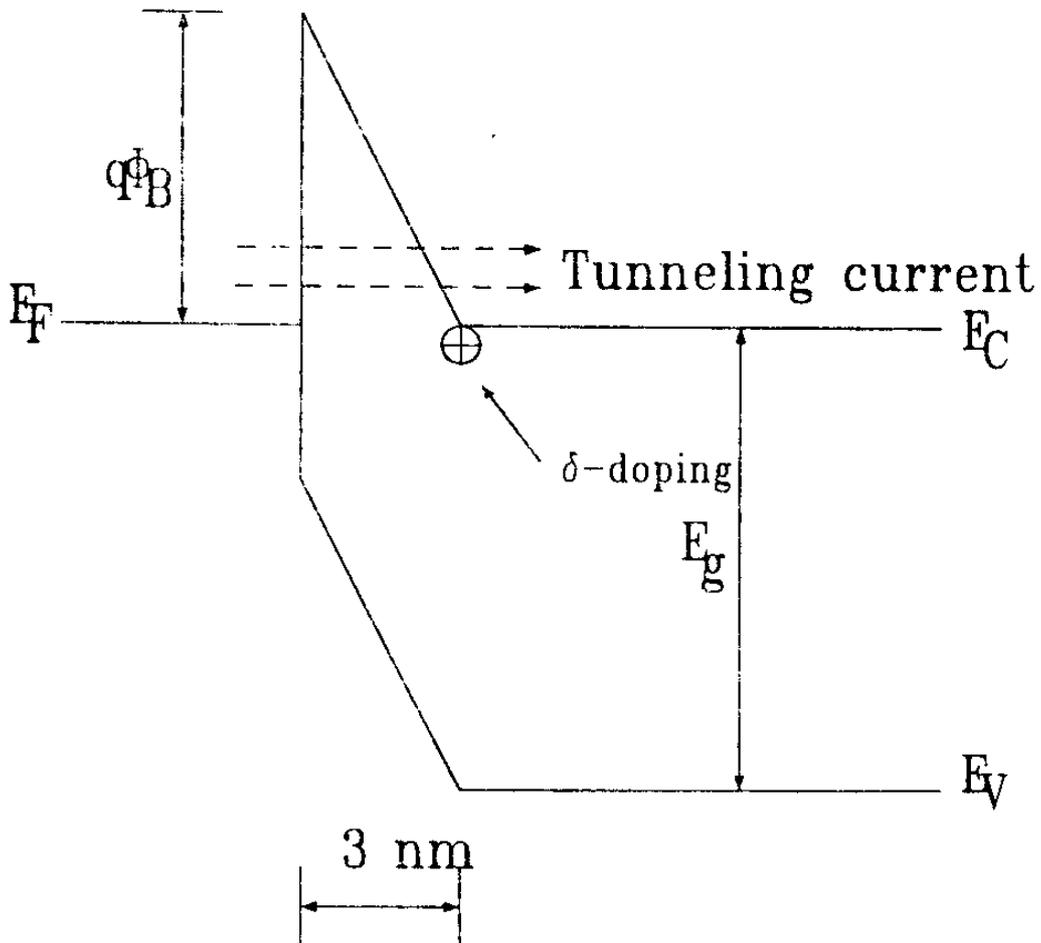


그림 6-3. 델타-도핑에 의한 non-alloyed ohmic contact의 원리

면 다음과 같다. 표면으로부터 델타-도핑이 위치한 거리를 Z_D 라 하고 포텐셜 장벽높이를 ϕ_B 라 하면 $E_c = E_f$ 인 조건을 만족시킬 수 있는 최소의 2-dimensional doping density, N_D^{2D} 는 다음과 같이 주어진다.

$$N_D^{2D} = \epsilon \phi_B / q Z_D \dots\dots\dots(6-3)$$

여기서 ϵ 과 q 는 GaAs의 permittivity와 전하량이다. 이러한 삼각형 장벽을 투과하는 tunneling current density, j 는 다음과 같이 주어진다.

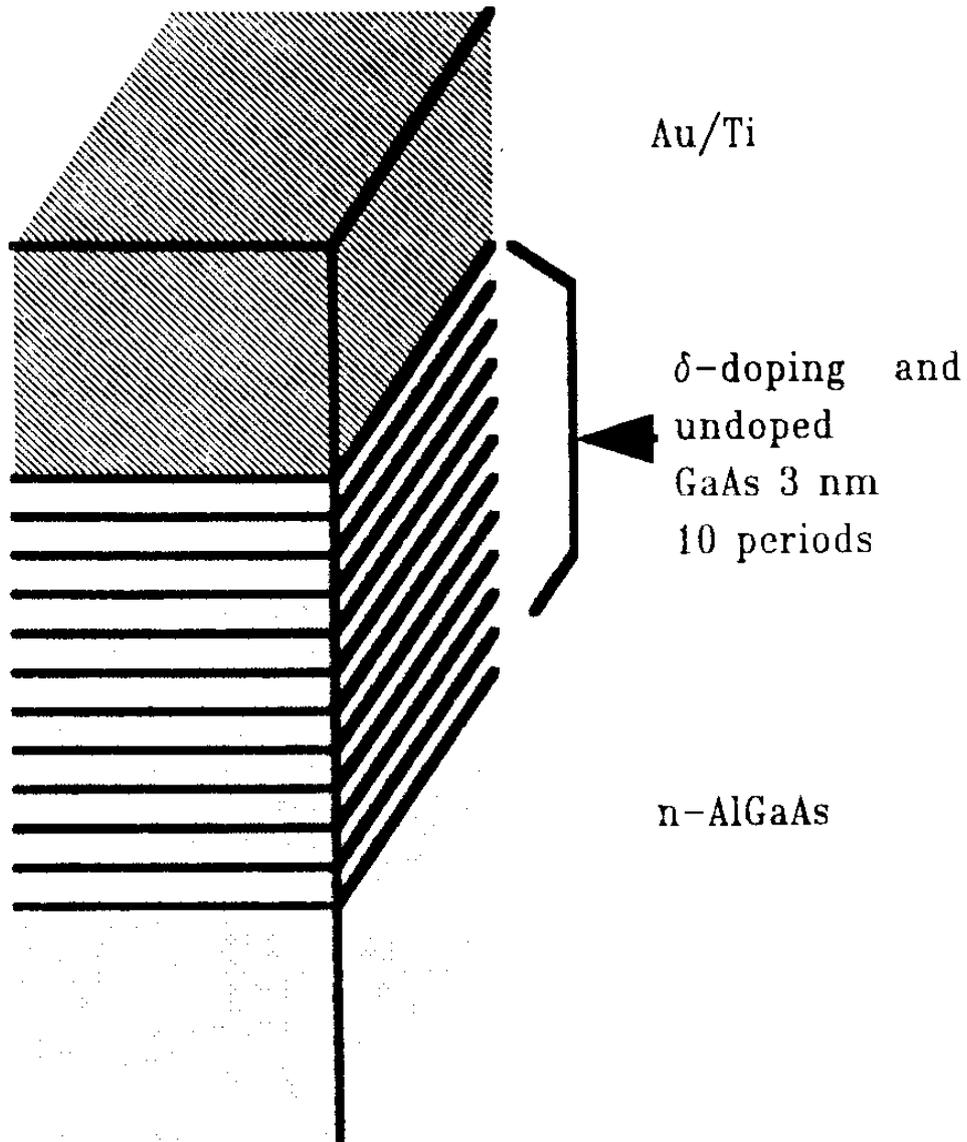
$$j = \frac{q^2 (\phi_B/2)}{(2\pi)^2 \hbar (Z_D)^2} \exp\left(-\frac{2Z_D}{\hbar} \sqrt{2qm^*} \sqrt{\phi_B/2}\right) \dots\dots\dots(6-4)$$

여기서 \hbar , m^* 는 각각 reduced planck constant와 effective mass이다. 식 (6-4)는 잘 알려진 Fowler-Nordheim tunneling 방정식이다. 이 식으로부터 접촉 저항 ρ_c 을 결정해 보면

$$(\rho_c)^{-1} = \left(\frac{q}{2\pi \hbar Z_D}\right)^2 (\hbar + Z_D \sqrt{qm^* \phi_B}) \exp\left(-\frac{2Z_D}{\hbar} \sqrt{qm^* \phi_B}\right) \dots\dots\dots(6-5)$$

가 얻어진다. 따라서 Z_D 가 30 Å 이하이면 ρ_c 가 $10^{-7} - 10^{-9} \Omega \cdot \text{cm}^2$ 의 아주 낮은 접촉저항이 얻어진다. 이러한 델타-도핑에 의한 non-alloyed ohmic contact는 최근 Schubert 등의 MBE 시료를 이용하여 실험하였다. 이때 Z_D 는 25 Å로 하였고 이때 접촉저항(specific contact resistance)은 $6 \times 10^{-6} \Omega \cdot \text{cm}^2$ 의 결과를 얻었다⁶⁻¹⁰. 그러나 MOCVD의 경우, 아직 이러한 델타-도핑에 의한 non-alloyed ohmic

contact에 관한 보고는 없다. 그림 6-4는 본 연구에서 성장한 델타도핑에 의한 ohmic을 위한 에피층의 구조이다. n-AlGaAs층 위에 30Å 간격으로 10개의 델타-도핑층을 삽입하였다. 그후 표면에 TLM(transmission line model)의 패턴을 photolithography로 정의하고



Structure of δ -doping ohmic layer

그림 6-4. 델타-도핑에 의한 ohmic을 위한 에피층의 구조

Au/Ti을 증착하였다. 그림 6-5은 하나의 패턴간의 I-V 특성곡선인데 그림에서 알 수 있듯이 alloying하지 않고도 ohmic 특성을 보인다. 그림 6-6은 TLM 방법에 의한 접촉저항 결정의 원리도인데 이 TLM 방법에 의한 측정결과를 그림 6-7에 제시하였다. 각 ohmic pad간의 간격은 각각 4, 8, 10, 20 μm 이고 이 pad들로 결정한 저항값들의 변화를 resistance축에 외삽하여 접촉저항 ρ_c 가 대략 $5 \times 10^{-6} \Omega \cdot \text{cm}^2$ 가 됨을 결정하였다. 이 값은 결정과정에서 약간의 error가 발생할 수 있으나 대략 $\sim 10^6 \Omega \cdot \text{cm}^2$ 이고 이는 Schubert 등이 MBE 시료에서 보고한 값과 비견할만한 좋은 결과이다. 이 결과는 곧 소자구조에 도입할 수 있는 결과라고 사료되며 실제 이 델타-도핑에 의한 ohmic contact을 가진 소자를 제작할 예정이다.

***** GRAPHICS PLOT *****

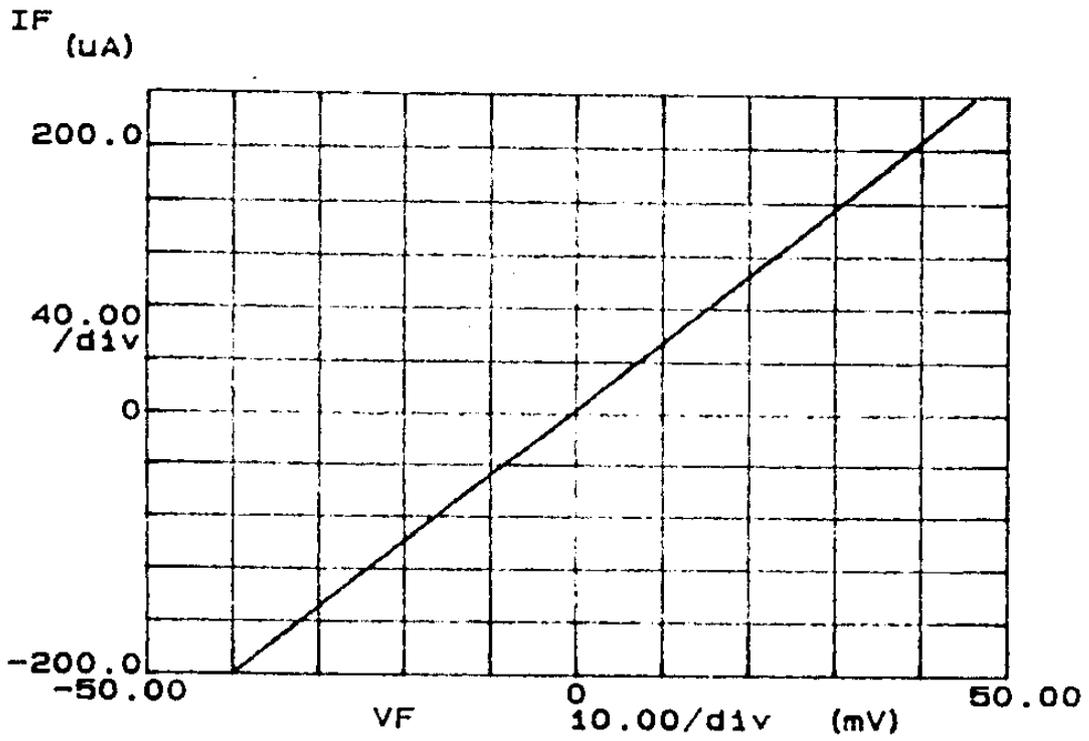


그림 6-5. 델타-도핑 ohmic의 I-V 특성 곡선

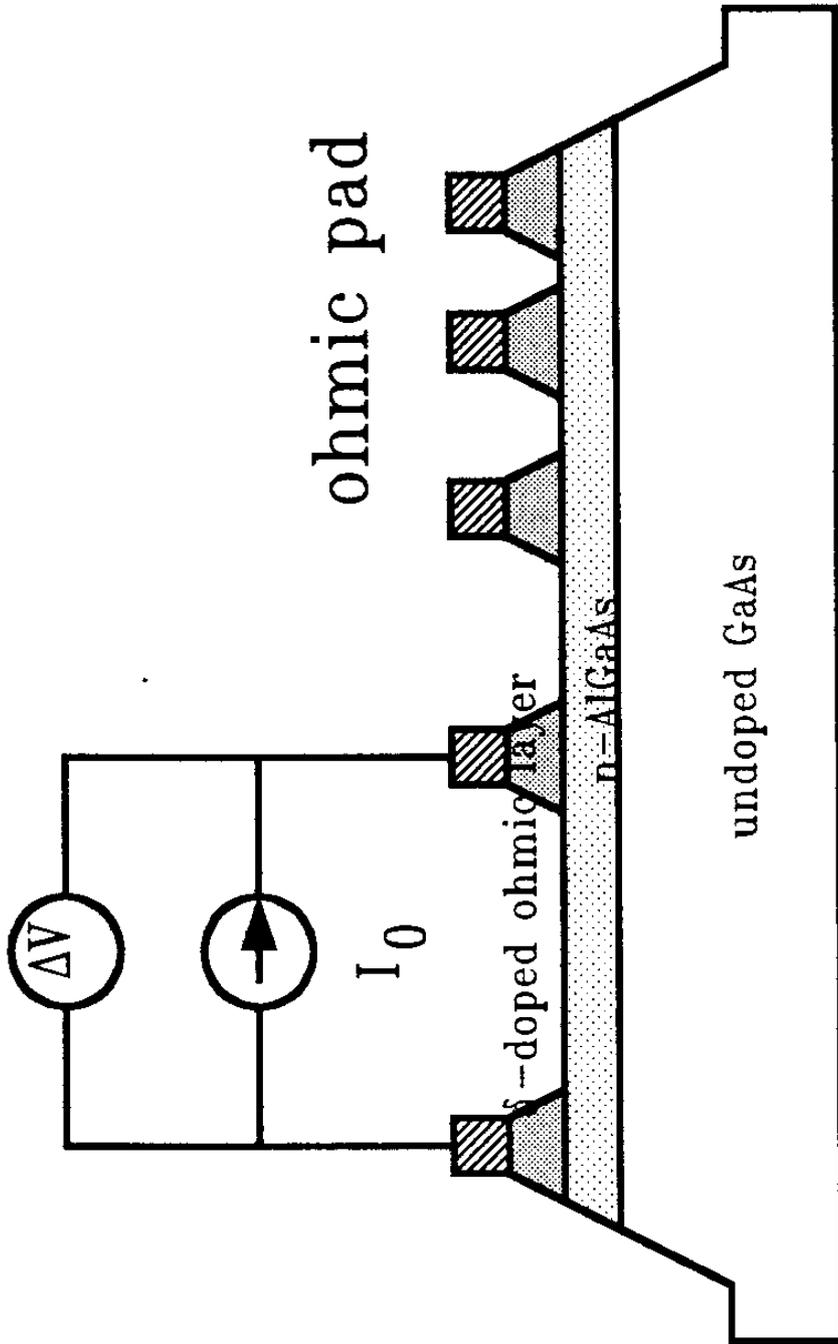
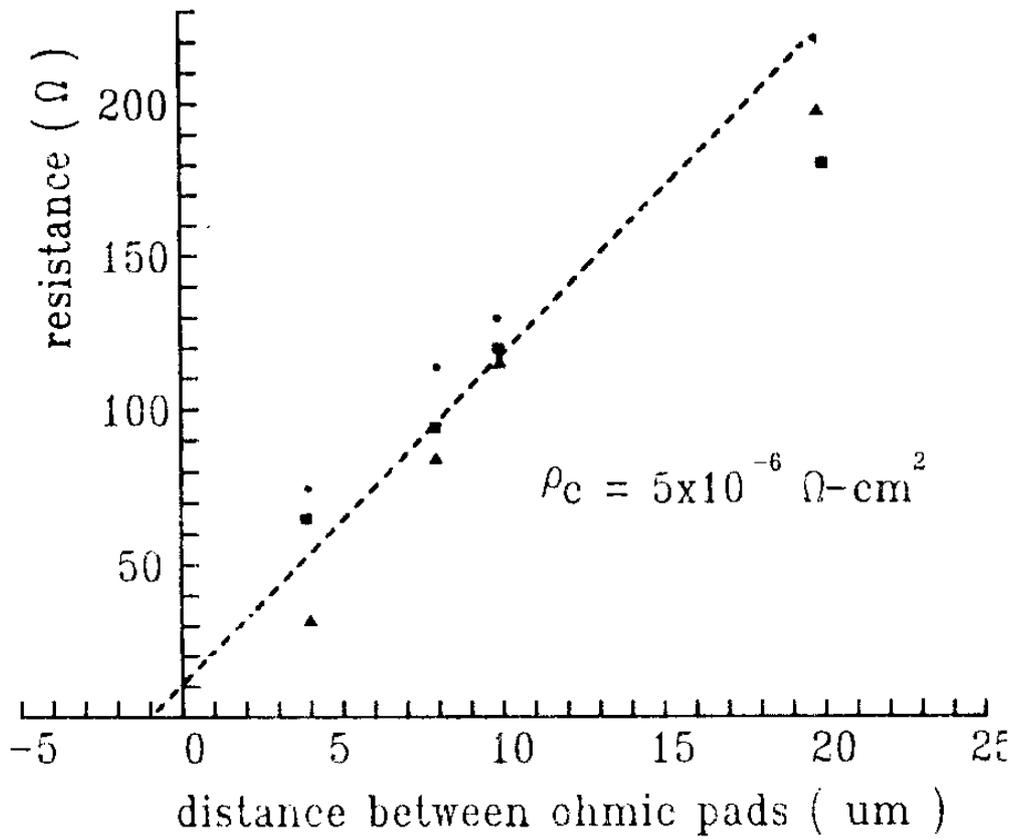


그림 6-6. TLM (transmission line model)에 의한 접촉저항 측정 원리



Evaluation of contact resistance by TLM method

그림 6-7. TLM에 의한 접촉저항 (specific contact resistance)의 결정

제 7 장 결론 및 건의사항

제 1 절 결 론

본 연구개발 사업에서는 MOCVD 기술에 의해 GaAs/AlGaAs HEMT 구조를 성장하였고, 제작공정을 향상하여 HEMT 소자의 성능향상에 관한 연구를 수행하였다. Conventional HEMT 구조는 물론 active channel을 quantum well($\sim 200 \text{ \AA}$)으로 채택한 quantum well HEMT의 구조를 성장하여 소자제작을 하였다. Quantum well HEMT 구조의 전하수송 특성을 평가한 결과 18K에 low field mobility가 $20,000 \sim 100,000 \text{ cm}^2/\text{v}\cdot\text{sec}$ 정도인 2차원 전자층의 특성을 지속적으로 확인하였다. 실제 소자에서 quantum well HEMT 구조에서는 $1 \mu\text{m} \times 100 \mu\text{m}$ gate dimension에서 외부 transconductance 150 mS/mm (내부 transconductance 273 mS/mm), 최대 source-drain current가 230 mA/mm 인 결과를 얻었고 conventional HEMT 구조에서는 $1 \mu\text{m} \times 75 \mu\text{m}$ gate dimension에서 외부 transconductance 120 mS/mm (내부 transconductance 275 mS/mm), 최대 source-drain current가 190 mA/mm 인 소자특성을 얻었다. 한편 신기능 소자 창출을 위한 벨타-도핑 연구에서는 벨타-도핑에 의한 non-alloyed ohmic 특성을 성공하였고 이때 specific contact resistance가 $5 \times 10^{-6} \Omega \cdot \text{cm}^2$ 의 결과를 얻어 이를 채택한 소자 창출이 가능하게 되었다.

앞으로 submicron gate length를 채택한 HEMT 제작할 수 있

는 공정기술을 개발할 경우 HEMT의 특성은 비약적으로 향상될 것이 예상되고 또한 HEMT의 microwave의 특성도 조사할 계획이다. 또한 앞으로 본 연구사업의 quantum well HEMT 기술을 발전시켜 active channel을 InGaAs물질로 대체하는 pseudomorphic HEMT의 에피층 성장 및 소자공정기술 개발 또한 연구할 예정이다. Submicron gate 공정기술 및 InGaAs pseudomorphic HEMT 에피층 성장기술을 확립할 경우 극히 우수한 DC특성 및 microwave특성을 지닌 HEMT소자 제작기술을 개발할 수 있으리라 판단된다.

제 2 절 건의사항

본 연구사업이 지속적으로 진행되어 MOCVD에 의한 HEMT 기술개발 및 이 분야의 기술적 Know-How가 축적되어 국내 산업계에 기술이전이 가능할 수 있도록 국가적인 차원에서의 지속적인 연구개발 지원이 요망된다.

참 고 문 헌

- 1-1. M. Abe, T. Mimura, K. Nishiuchi, A. Shibatomi, M. Kobayashi, and T. Misugi, "Semiconductors and semimetals vol.24", chap.4(Academic Press, London, 1987).
- 1-2. M-B. Das, "HEMTs and HBTS : Devices, Fabrication, and Circuits", Chap.2 (Artech House, Boston, 1991).
- 1-3. "Metalorganic Vapor Phase Epitaxy 1988", J. Crystal Growth 93 (1988) and references there in.
- 1-4. S. Ochi, N. Hayafuji, Y. Kajima, K. Mizuguchi and T. Murotani, J. Cryst. Growth 77, 553 (1986).
- 1-5. J. Maluenda and P.M. Frijlink, Jpn. J. Appl. Phys. 22, L127 (1983).
- 1-6. Usagawa, T. Ono, Y. Kawase, S. Katayama, and Y. Takahashi, 15th Conf. on Solid state Device & Materials, 289 (1983).
- 1-7. J.P. Andre, A. Briere, M. Rocchi and M. Riet, J. Cryst. Growth 68, 445(1984).
- 1-8. N. Kobayashi, T. Fukui and K. Tsubaki, Jpn. J. Appl. Phys. 23, 1176(1984).
- 1-9. Y. Takanashi and N. Kobayashi, IEEE Electron. Device Lett. EDL-6, 154(1985).

- 1-10. H. Takakuwa, K. Tanaka, Y. Mori, M. Arai, Y. Kato, and S. Watanabe, IEEE Electron Devies ED-33, 595(1986).
- 1-11. H. Tokuda, A. Tanaka, H. Kawasaki, I. Inami, M. Higashiura, S. Hori and K. Kamei, Inst. Phys. Conf. Ser. No.83 : Chap.4, 245(1987).
- 1-12. M. Wolny, P. Chambery, A. Briere and J-P. Andre, "High Speed electronics : Springer Series in Electronics and Photonics Vol.22", P148(Springer-Verlag, Berlin, 1986).
- 2-1. 김무성, 전자공학회지, 14, 15(1987).
- 2-2. H.M. Manasevit, Appl. Phs. Lett., 12, 156(1968).
- 2-3. H. Abe, T. Nakanishi and S. Shibata, J. Crystal Growth, 929 (1988).
- 2-4. 김용, 엄경숙, 김무성, 민석기, 새불리, 29, 323(1989).
- 2-5. 김무성, 김용, 엄경숙, 김성일, 민석기, 전자공학회 논문지, 27, 244(1990).
- 2-6. H.S. Kim, Y. Kim, M.S. Kim and S.K. Min, J. Crystal Growth, 92, 597(1988).
- 2-7. M. Mizuta, T. Iwamoto, f. Moriyama, S. Sawata and H. Kukimoto, J. Crystal Growth, 68, 142(1984).
- 3-1. H. Morkos "Molecular Beam Epitaxy and Heterostructure, "Chap.17, Martinus Nijhoff Pub., Dordrecht, 1985.
- 3-2. T.J. Drummond, H. Morkos, K. Lee and M.S. Shur, IEEE Electron Dev. Lett. EDL-3, 338(1982)

- 3-3. P.M. Solomon and H. Morkos, IEEE Trans. on Electron Devices, ED-31, 1015(1984).
- 3-4. M.A. Chen, V. Narayanamurti, H.L. Stomer and J.C.M. Hwang, Proc. Int. Conf. Phonon Scattering in Condensed Matter Structure, Fedral, 22-26, Republic of Germany, August, 1983
- 3-5. E. Kohn, C.J. Wu, H. Lee, M. Schneider, T. Bambridge and H.M. Levy, Proc. 14th Int. Symp. GaAs and Related Compounds, pp.673-676, 1987.
- 3-6. H. Hida, K. Ohata, Y. Suzuki and H. Toyoshima, IEEE Trans, on electron Devices, ED-33, 601(1986)
- 3-7. H. Hida, H. Miyamoto, K. Ohata, T. Itoh., T. Bada and M. Ogawa, Proc. 11th Int. Symp. GaAs and Related Compounds, pp.551-556, 1984.
- 3-8. D.W. Langer, A. Ezis and A.K. Rai, J. Vac. Sci. Technol. B5 (4), 1030(1987)
- 3-9. L.C. Wang, S.S. Lau, E.K. Hsieh and J.R. Velebir, Appl. Phys. Lett 54(26), 2677(1989)
- 3-10. H. Takakawa, K. Tanaka, Y. Mori, M. Arai, Y. Kato and S. Watanabe, IEEE Trans. on Electron Devices, ED-33, 595 (1986)
- 3-11. T.K. Higman, M.A. Emanuel, J.J. Coleman, S.J. Jeng and C. H. Wayman, J. Appl. Phys., 60(2), 677(1986)

- 3-12. E.D. Marchall, L.S. Yu, S.S. Lau, T.F. Kuech and K.L. Kavanagh, Appl. Phys. Lett 54(8), 721(1989)
- 3-13. S. Tiwari, IEEE Trans. on Electron Devices, ED-31, 851 (1984)
- 3-14. M. Hatzakis, IBM J. Res. Develop, 24, 452-460(1980)
- 3-15. K. Kenefick, J. Electrochem. Soc. 129, 2380(1982)
- 3-16. Y. Mori and N. Watanabe, J. Electrochem. Soc. Vol.125, No. 9, 1510 (1978)
- 4-1. 임경숙, 김용, 김성일, 김무성, 민석기, Korean Applied Physics(Korean Physical Society) Vol.4, No.2, May, 173-178 (1991)
- 4-2. 김무성 등, MOCVD법에 의한 신기능소자 제조 기술(Ⅱ), 과학기술처 연구보고서, N611-3854-4, June(1990)
- 4-3. D.W. Langer, A. Ezis and A.K. Rai, J. Vac. Sci. Technol. B5(4), 1030(1987)
- 4-4. T.K. Higman, M.A. Emanuel, J.J. Coleman, S.J. Jeng and C. H. Wayman, J. Appl. Phys., 60(2), 677(1986)
- 4-5. T.J. Drummond, H. Morkos, K. Lee and M.S. Shur, IEEE Electron Dev. Lett. EDL-3, 338(1982)
- 4-6. P.M. Solomon and H. Morkos, IEEE Teans. on Electron Devices, ED-31, 1015(1984)
- 4-7. W.T. Masselink, N. Braslaw, D. La Tulipe, W.I. Wang and S. L. Wright, Proc. 14th int. Symp. GaAs and Related

- Compounds, pp.665–668, 1987
- 4–8. E. Kohn, C.J. Wu, H. Lee, M. Schneider, T. Bambridgem and H.M. Levy, Proc. 14th Int. Symp. GaAs and Related Compounds, 673–676, 1987
 - 4–9. G.K. Reeves and H.B. Harrivson, IEEE. Electron Device Lett, EDL–3, 111(1982)
 - 4–10. P. Zwicknagl, S.D. Mukherjee, P.M. Capani, H. Lee, H.T. Griem, L. Rathbun, J.D. Berry, W.L. Jones, and L.F. Eastman, J. Vac. Sci. Technol. B4(2), 476(1986)
 - 5–1. T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, Jpn. J. Appl. 19, L225(1980).
 - 5–2. D. Delagebeaudeuf and N.T. Linh, IEEE Trans. Electron Devices ED–29,955(1982).
 - 5–3. T.J. Drummond, H. Morkoc, K.Lee, and M. Shur, IEEE Trans. Electron Devices Lett. EDL–3, 338(1982)
 - 5–4. K. Lee, M.S. Shur, T.J. Drummond, and H. Morkoc, IEEE Trans. Electron Devices ED–21, 29(1984).
 - 5–5. J. Yoshida, IEEE Trans. Electron Devices ED–33, 154(1986)
 - 5–6. K.S. Yoon, G.B. Stringfellow, and R.J. Huber, J. Appl. Phys. 66, 5915(1989).
 - 5–7. A.A. Grinberg, M.S. Shur, R.J. Fisher, and H. Morkoc, IEEE Trans. Electron Devices ED–31, 1758(1984).
 - 5–8. R.J. Schuelke and M.S. Lundstorm, Solid State Electron 27,

- 1111(1984).
- 5-9. S.M. Sze, "Physics of semiconductor Devices", P259(Wiley, New York, 1981).
- 5-10. C.F. Gerald and P.O. Wheatley, "Applied Numerical Analysis", P406(Addison-Wesley, 1984).
- 5-11. M. Reiser, IEEE Trans. Electron Devices ED-20, 35 (1973).
- 5-12. D.L. Scharfetter and H.K. Gummel, IEEE Trans. Electron Devices ED-16, 64(1969).
- 5-13. S. Selberherr, "Analysis and Simulation of semiconductor Device", P169(Springer-Verlag, Wien, 1984).
- 5-14. D. Widiger, K. Hess, and J.J. Coleman, IEEE Device Lett. EDL-5, 266(1984).
- 5-15. D. Widiger, I.C. Kizilyalli, K. Hess, and J. Coleman, IEEE Trans. Electron Devices. ED-32, 1092(1985).
- 5-16. Y. Takanashi and N. Kobayashi, IEEE Device Lett. EDL-6, 154(1985).
- 6-1. E.F. Schubert, J. Vac. Sci. Technol. A 8, 2980(1990).
- 6-2. A-M. Lanzilloto, M. Santos and M. Shayegan, Appl. Phys. Lett. 55, 1445(1989).
- 6-3. J.E. Cunningham, T.H. Chiu, B. Tell, and W. Jan, J. Vac. Sci. Technol. B8, 157(1990).
- 6-4. A. Ourmazd, J.Cunningham, W. Jan, J.A. Rentschler and W. Schroter, Appl. Phys. Lett. 56, 854(1990).

- 6-5. C. Hilsum, *Electron. Lett.* 10, 259(1974).
- 6-6. E.F. Schubert, J.E. Cunningham and W.T. Tsang, *Solid State Commun.* 63, 591(1987).
- 6-7. A. Zrenner, H. Reisinger, F. Koch, K. Ploog, and J.C. Maan, *Phys. Rev. B* 33, 5607(1986).
- 6-8. D.C. Look, "Electrical characterization of GaAs materials and devices", P30(John Wiley and Sons, New York, 1989).
- 6-9. J.M. Woodall, J.L. Freeouf, G.D. Pettit, T. Jackson, and P. Kirchner, *J. vac. Sci. Technol.* 19, 626(1981).
- 6-10. E.F. Schubert, J.E. Cunningham, W.T. Tsang, and T.H. Chiu, *Appl. Phys. Lett.* 49, 292(1986).

주 의

1. 이 보고서는 과학기술처에서 시행한 특정연구개발사업의 연구보고서입니다.
2. 이 보고서 내용을 발표할 때에는 반드시 과학기술처에서 시행한 특정연구개발사업의 연구결과임을 밝혀야 합니다.
3. 국가과학기술 기밀유지에 필요한 내용은 대외적으로 발표 또는 공개하여서는 아니됩니다.