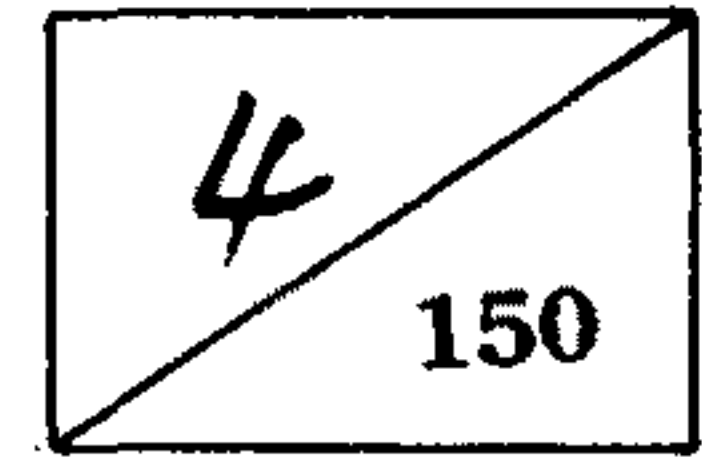


OST3100152310F



最 終 研 究 報 告 書

OEIC 기술개발 사업중 2 Gbps 장파장
광수신 OEIC 개발에 관한 연구(III)

과제수행기관 : 한국전자통신연구소

과 학 기 술 처

과학기술처장관 귀하

OEIC 기술개발 사업중 2 Gbps 장파장 광수신 OEIC 개발에 관한 연구의
최종 보고서를 별첨과 같이 제출합니다.

1991. 7. 2.

수행연구기관 : 한국전자통신연구소

중과제책임자 : 이 용 탁

과제 책임자 : 이 용 탁

제 출 문

과 학 기 술 처 장 관 귀 하

본 보고서를 “OEIC 기술 개발” 과제의 세부과제 “2 Gbps
장파장 광수신 OEIC 개발”의 최종 보고서로 제출합니다.

1991년 7월 2일

주관연구기관명 : 한국전자통신연구소

총괄연구책임자 : 이 용 탁

세부연구책임자 : 이 용 탁

선임연구원 : 오 대 곤*

장 동 훈**

유 지 범

오 광 룡

박 기 성

연구원 : 김 정 수

* '90.9. - '91.6. : 미국 Virginia 대학 연수

** '91.5. - : 일본 Sophia 대학 연수

요 약 문

I. 제목

2 Gbps 장파장 광수신 OEIC 기술 개발

II. 연구개발의 목적 및 중요성

광전소자와 전자소자를 단일 칩 위에 집적시켜 신호의 처리 및 전송 능력을 극대화한 광전집적회로 (OEIC)에 관한 세계적인 관심은 집적화에 따른 고속성 및 저잡음화 그리고 공정의 간소화에 따른 생산가 절감의 잇점과 함께 새로운 기능의 확대 가능성으로 인하여 장거리 및 단거리 광통신 기술에 대한 폭넓은 응용성을 시사하면서 추후 수년간에 걸쳐 계속 가속화될 전망이다.

광섬유의 최저 분산 및 손실을 나타내는 1.3 ~ 1.55 μm 의 파장 범위에서 동작하는고속, 고감도의 광검출기에 관한 개발은 광통신의 필수적인 과제로서, PIN 광 다이오드와 전치 증폭기로서 전자소자인 전계형 트랜지스터 (FET)의 집적은 상호 접속시의 적은 기생용량 때문에 OEIC의 고속화를 위한 하나의 커다란 연구 분야로 대두되고 있는 실정이다.

이와같은 연구개발의 필요성과 관련된 첨단 기술의 국내 정착 및 자체 개발을 목적으로 본 연구에서는 2Gbps의 전송 속도를 갖는 장파장 광수신 OEIC 제작을 위해 OMVPE 결정 성장 기술을 이용한 광검출기와 전치증폭기의 단일 칩 집적 기술 개발을 최종 목표로 하고 있다.

III. 연구개발 내용 및 범위

본 연구는 총 3년 연구기간중 3 차년도에 해당하는 것으로 1, 2 차년도에 수행된 OEIC 구조의 설계 및 보완과 OMVPE 공정기술을 포함한 각 단위 공정 기술 확보등 집적화를 위한 최적화된 단위 공정 조건의 확립과 시험제작된 OEIC 제작 기술을 통해 개선된 단위소자 및 집적 특성을 갖는 OEIC 제작을 수행하였다.

1) OEIC 설계 보완

- OEIC 구조 개선

2) OMVPE 결정 성장

- InGaAs의 p형 및 n형 도핑 기술
- 고순도 u-InGaAs 결정 성장
- InGaAs/InP 양자우물구조 성장

3) OEIC 제작 및 특성 측정

- 집적화 공정 개선
 - . Lithography 공정
 - . InGaAs, InP 선택적 식각 공정
 - . 다층 구조 lift-off 공정
- InP/InGaAs JFET 제작 및 성능 향상
- 집적용 InGaAs PIN PD 제작 및 특성 측정
- 2 Gbps광수신 OEIC 실험 시제품 제작 및 특성향상

IV. 연구개발 결과 및 활용에 관한 건의 사항

75 fF at 20 μm diameter

. Quantum efficiency : $\eta = 45 \%$ ($\lambda = 1.3 \mu\text{m}$)

- PIN-JFET OEIC 분야

. Integration scale: 1 PIN PD + 2 JFET + 1 Resistor

. Transconductance : $g_m = 6.7 \text{ mS}$ at $V_m = 0 \text{ V}$

. Total input capacitance : $C_{in} = 1.2 \text{ pF}$

. Pre-amplifier voltage gain : $A_v = 12.5$ at $V_{DD} = 15 \text{ V}$

. OEIC bandwidth : $f_{3dB} = 1.2 \text{ GHz}$

. Maximum bit rate : $B = 2.1 \text{ Gbps}$ (NRZ code)

. Sensitivity : $S = -20.5 \text{ dBm}$ at $B = 2 \text{ Gbps}$

2) 연구결과의 활용분야

- OMVPE를 이용한 에피층 성장

. BH(Buried Heterostructure) LD용 에피층의 성장

. 양자우물구조의 LD 및 광검출기용 에피층 성장

. 고속 전자소자(HEMT, HBT)용 에피층 성장

. 광형도파로형 스위치용 에피층 성장

- 고속 InGaAs PIN 제작기술

. Repeater OEIC 용 광검출기 제작

. Balance PD 제작

. 고속 광통신용 광검출기 제작

- JFET 제작기술

- . MMIC
- . Digital IC
- . Analog IC

-광전집적회로 제작기술

- . LAN용 OEIC
- . FDDI 용 OEIC
- . 광가입자용 광모듈
- . 고속 광통신용 OEIC

3) 실용화를 위한 건의 사항

- 본 과제를 통하여 실험 제작된 OEIC의 실용화와 상기의 축적된 기술을 이용한 소자의 상용화를 위해 아래의 부분에 대한 연구가 필요하므로 본 과제의 종료 후 새로운 과제를 통해 다음 연구의 진행이 요구됨.

- 개별소자의 성능 향상 및 안정화

- . 게이트 길이의 단축
- . 음 접촉 특성의 향상
- . 무반사막 증착 기술의 확보

-집적도의 향상

- . BFL 및 TZ 회로의 집적

- 모듈화

. 실장 기술의 확립

S U M M A R Y

I. Subject

A development of the technology for 2 Gbps long-wavelength receiver OEIC

II. Objectives and significance of the research

Worldwide interest in OEIC's (optoelectronic integrated circuit) which maximize the processing and transmission performance of signal by means of the monolithic integration of optics and electronics, will be accelerated, providing the wide applications to the long and short haul optical fiber communication technology, because of high speed, low noise, and low cost due to the integration.

Essential is the development of high speed and high sensitivity photodectors operating at the $1.3 \sim 1.55\mu\text{m}$ of the spectrum where optical fiber shows minimum dispersion and loss. Integration of a PIN photodiode (PD) with a field-effect-transistor(FET) has been a very attractive research field for high speed OEIC because of its small stray capacitance in the interconnection.

We develop the technologies for the fabrication of 2 Gbps receiver OEIC. Epitaxial growth of InP and InGaAs using OMVPE, design of discrete devices and integrated circuit, lithography and selective etching,

metallization and characterization are established through this project.

III. Contents and scope of the research

During the last year of the three-year research project, we have carried out the fabrication and improvement of OEIC using the technologies established during the previous two years such as design and revision of OEIC structure, optimization of process technologies and epitaxial growth technologies using OMVPE.

1) OEIC design and revision

- Revision of OEIC design

2) Epitaxial growth using OMVPE

- p-type and n-type doping of InGaAs
- High purity of InGaAs growth
- Growth of InGaAs/InP quantum well structure

3) Fabrication and characterization of OEIC

- Improvement of integration process for OEIC fabrication
 - . Lithography process

- . Gate leakage current : $I_{g1} = -14 \text{ nA}$
- . Pinch-off voltage : $V_p = 2.5 \sim 3 \text{ V}$
- . Output resistance : $r_{out} = 300 \sim 500 \Omega$
- Fabrication and characterization of InGaAs PIN PD
 - . Dark current : $I_D = 2 \text{ nA}$ at $V_D = 5 \text{ V}$
 - . Junction capacitance : $C_D = 0.35 \text{ pF}$ at $80 \mu\text{m}$ diameter
75 fF at $20 \mu\text{m}$ diameter
 - . Quantum efficiency : $\eta = 45 \%$ ($\lambda = 1.3 \mu\text{m}$)
- Fabrication and characterization of PIN-JFET OEIC
 - . Integration scale: 1 PIN PD + 2 JFET + 1 Resistor
 - . Transconductance : $g_m = 6.7 \text{ mS}$ at $V_m = 0 \text{ V}$
 - . Total input capacitance : $C_{in} = 1.2 \text{ pF}$
 - . Pre-amplifier voltage gain : $A_v = 12.5$ at $V_{DD} = 15 \text{ V}$
 - . OEIC bandwidth : $f_{3dB} = 1.2 \text{ GHz}$
 - . Maximum bit rate : $B = 2.1 \text{ Gbps}$ (NRZ code)
 - . Sensitivity : $S = -20.5 \text{ dBm}$ at $B = 2 \text{ Gbps}$

2) Application of results

- OMVPE technology for InP material system
 - . Epitaxial growth for BH(Buried Heterostructure) LD
 - . Epitaxial growth for quantum well LD and photodetectors
 - . Epitaxial growth for high speed electronic devices(HEMT, HBT)

- . Epitaxial growth for waveguide switches

- Technologies for high speed InGaAs PIN PD
 - . Fabrication of photodectors for repeater OEIC
 - . Fabrication of balance PD
 - . Fabrication of photodectors for optical fiber communications

- Technologis for JFET
 - . MMIC
 - . Digital IC
 - . Analog IC

- Technologies for receiver OEIC
 - . OEIC for LAN
 - . OEIC for FDDI
 - . Receiver OEIC module for CATV
 - . OEIC for broadband optical communications

- 3) Suggestions for commercialization of 2 Gbps receiver OEIC
 - To commercialize the 2 Gbps receiver OEIC developed through this research project, further studies on the following areas are required.

- Improvements and optimization of devices processes
 - . Reduction of gate length
 - . Improvements of ohmic contact
 - . Technologies for antireflection coating

- Improvements of integration scale
 - . Integration of BFL and TZ circuits

- Fabrication of receiver module
 - . Packaging technologies

CONTENTS

Chapter 1. Introduction	1
Chapter 2. Crystal Growth using OMVPE	5
Section 1. Introduction	5
Section 2. Crystal Growth and Characterization of InP/InP	5
Section 3. Crystal Growth of n-InP and Doping Characteristics	11
Section 4. Crystal Growth of Lattice Matched InGaAs to InP	15
Section 5. Conclusion	22
Chapter 3. Optimum Design and Fabrication of JFET for Receiver OEIC	25
Section 1. Introduction	25
Section 2. Optimum Design of JFET	26
Section 3. Fabrication of p-InP/n-InGaAs JFET	34
Section 4. Characterization of p-InP/n-InGaAs JFET and Discussion	38
Section 5. Conclusion	42
Chapter 4. Fabrication and Characteristics of InGaAs/InP Receiver OEIC ...	45
Section 1. Introduction	45
Section 2. Structure and Fabrication Processes of Receiver OEIC ...	46
1. Structure of PIN - JFET OEIC	46
2. Fabrication Processes of PIN - JFET OEIC	48

Section 3. Characteristics of Receiver OEIC and Discussions.....	52
1. Characteristics of Integrated Discrete Devices	52
2. Characteristics of Integrated Circuits	54
Section 4. Conclusion	62
Chapter 5. Conclusion and Research Trends in the Future.....	65
References	69

목 차

제 1 장 서론	1
제 2 장 OMVPE 결정 성장	5
제 1 절 개요	5
제 2 절 InP/InP 결정성장 및 특성측정	5
제 3 절 n-InP 결정성장 및 도핑특성	11
제 4 절 Lattice Matched InGaAs/InP 결정성장	15
제 5 절 결론	22
제 3 장 광수신 집적화를 위한 JFET 소자상수 최적화 설계및 제작	25
제 1 절 개요	25
제 2 절 소자 상수 최적화 설계	26
제 3 절 p-InP/n-InGaAs JFET 제작	34
제 4 절 p-InP/n-InGaAs JFET 특성 측정 및 논의	38
제 5 절 결론	42
제 4 장 InGaAs/InP 광수신 OEIC의 제작 및 특성	45
제 1 절 개요	45
제 2 절 광수신 OEIC의 특성 및 논의	46
1. PIN-JFET OEIC의 구조	46
2. PIN-JFET OEIC의 제작 공정	48

제 3 절 광수신 OEIC의 특성 및 논의	52
1. 집적용 단위 소자의 특성	52
2. 집적 회로의 특성	54
제 4 절 결론	62
제 5 장 결론 및 앞으로의 연구 방향	65
참고문헌	69

제 1 장 서 론

광섬유 통신 기술은 최근 수년간에 놀랄만한 성장을 이룩하였다. 광통신 시스템의 응용 범위는 중계선 통신에서 부터 LAN, FDDI, 가입자망 및 사무실내의 통신에 이르기까지 확장되었으며, 사용되어지는 광전 소자들의 성능도 많이 향상되었다. 그러나 시스템이 고속화, 대용량화 및 대중화 되어감에 따라 궁극적으로 광전 소자들의 성능 향상, 기능의 다양화, 저가격화 등이 끊임없이 요구되어 왔다. 이러한 요구에 대한 해결책으로서 광전집적회로가 대두되었으며, 이 광전집적회로는 1978년 Yariv 등에 의해 처음으로 제작된 이래¹⁾ 많은 연구 그룹들에 의해 활발히 연구되어 왔다. 이러한 광전집적회로의 장점들을 간략히 요약하면 다음과 같다.

첫째, 전기 신호 처리 회로를 단일칩 위에 집적시키므로 광소자들의 오동작을 줄일수 있다.

둘째, 광소자의 동작 속도와 잡음 특성을 개선할 수 있다. 이것은 주변 소자들과의 접속에서 발생하는 기생 용량과 자기 유도를 집적에 의해 없애므로 가능하다. 레이저 다이오드의 경우, 종래의 패키징된 칩은 1 내지 3 nH의 유도 계수와 0.01 내지 0.1 pF의 용량 계수를 가지고 있어 GHz 영역에서 레이저를 동작시키면 신호의 공진 현상이 발생한다. 그러나 FET와 집적된 단일칩 OEIC 경우는 레이저의 이완 시간에 의해서만 속도가 제한된다. 특히, 광검출기의 경우 입력 정전 용량이 광수신기의 수신 감도를 결정하는 가장 중요한 요인이 되는데 단일칩 집적에 의해 본딩 패드 및 배선에 의한 기생 용량을 없앨수 있어 수신 감도의 향상은 물론 고속 동작을 기대할 수 있다.

셋째, 집적도가 높아질수록 시스템 구성에 필요한 부품수가 줄어들어 간단하

고 신뢰성이 높은 시스템을 제작할 수 있다.

그리고 마지막으로, 하이브리드 집적의 경우와는 달리 모든 제작 공정이 평면 공정이므로 대량 생산에 적합하며싼 값에 우수한 성능의 부품을 제작할 수 있는 장점이 있다.

여러가지 기능의 광전집적회로 중에서도 수신용 광전집적회로는 작은 전기 신호를 취급하는 입력단이므로 집적의 필요성이 가장 높은 부분이며, 특히 장거리 통신을 위한 장파장계 광수신 OEIC는 고속도 및 고감도를 위해 그 필요성이 가장 절실한 부분이다. 그러나 이러한 절실한 필요성에도 불구하고 InGaAs/InP계 광전집적회로는 아직까지 집적도도 낮고 그 성능이 하이브리드 집적회로에 비해 뒤지는 실정이다. 그 이유는 InP계 트랜지스터의 제조 기술이 아직까지 확립되어 있지 않으며, 전자 소자와 광검출기 사이의 구조 및 공정이 매우 상이하여 이들을 단일칩 위에 동일 공정을 거쳐 제작한다는 것이 매우 어렵기 때문이다.

이러한 맥락에서 본 연구 과제에서는 InP계 물질을 기본으로한 장파장 광수신 OEIC의 제작 기술 확보를 목표로,

- 광검출기와 트랜지스터 사이의 구조 및 제작 공정상의 compatibility가 매우 우수하고 여러가지 장점을 갖는 새로운 구조의 PIN-JFET OEIC를 제안하여,
- 제안된 구조의 epi층 성장을 위해 OMVPE 결정 성장 공정을 확립하고,
- OEIC의 구성 소자중 설계 및 제작 공정의 정밀 제어가 까다로운 자기 정렬 구조의 InGaAs JFET 제작 공정을 확립하고,
- 이와같이 확립된 공정 및 소자 기술을 바탕으로 2 Gbps의 동작 속도를 갖는 광검출기와 바이어스 저항 그리고 전치 증폭기가 집적된 광수신 OEIC를 제작하는 것을 내용으로 하고 있다.

본 과제는 전체 3차년도에 걸쳐 수행되었으며, 제1차년도에는 집적 요소의 성

능 요건 설정, JFET 및 PIN PD 단위 소자의 구조 및 제작 공정 연구, OMVPE 도입과 이 방식에 의한 u-InP/InP 결정 성장 기술 확보에 대한 연구를 수행하였으며, 제2차년도에는 제안된 집적회로의 마스크 설계 및 시험 제작, 초고주파 소자 구조 연구 및 제작, 그리고 OMVPE 방식에 의한 InP, InGaAs의 도우핑, 격자 정합 및 고순도 결정 성장에 관한 연구를 수행하였다. 계속해서 당해년도에는 JFET의 성능 향상, 광수신 OEIC의 제작 공정 확립 및 2 Gbps의 동작 속도를 갖는 실험 시제품 칩의 제작 등의 연구를 수행하여 본 과제를 마무리하였다.

본 보고서는 최종년도 연구 보고서로서, 제2장에서 InP 기판 위에 격자 정합된 InP 및 InGaAs층의 OMVPE 결정 성장에 관하여 기술하였으며, 제3장에서 InGaAs JFET의 설계, 제작 공정 및 특성 평가에 관하여 기술하였다. 그리고 제4장에서 광수신 OEIC의 제작 공정 및 특성 평가에 관하여 기술하였으며, 마지막으로 제5장에서 결론 및 향후 추진 방안에 관하여 기술하였다.

여 백

제 2 장 OMVPE 결정 성장

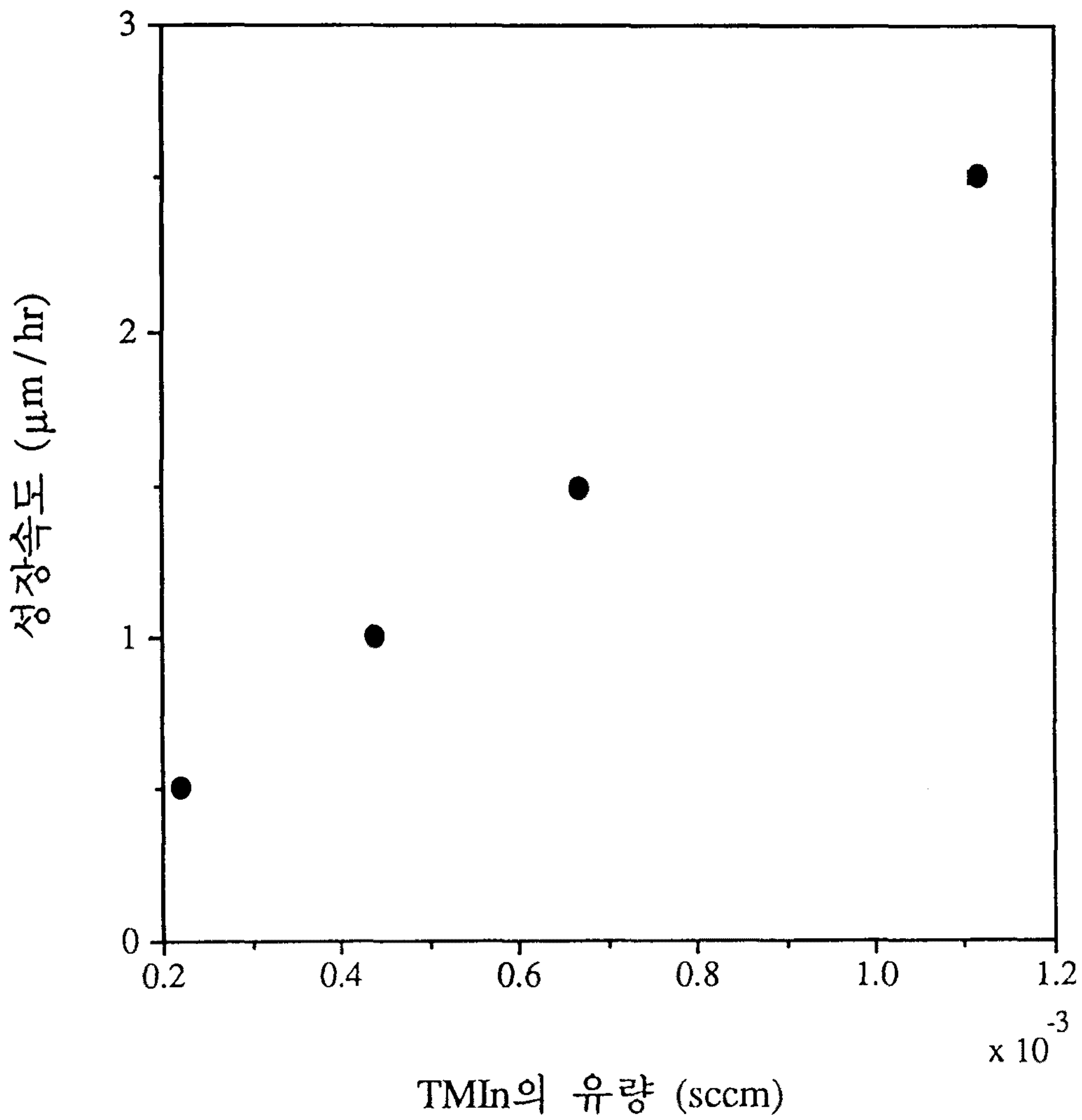
제 1 절 개요

InP계 화합물 반도체는 광섬유의 저손실 영역에서 사용되는 통신용 수광 및 발광 소자의 중요한 소재로써 널리 이용되어 왔으며, 향후 통신 정보산업의 중요성이 더해감에 따라 앞으로 그 용도가 더욱 확대될 유용한 물질이다. 이러한 InP계 화합물반도체의 성장기술은 InP계 화합물 반도체를 이용한 소자 기술의 핵심 기술로써 에피층 성장을 위한 방법으로 LPE(Liquid Phase Epitaxy), VPE(Vapor Phase Epitaxy), MBE(Molecular Beam Epitaxy) 및 OMVPE 등의 기술이 널리 연구되어 왔다. 이중 OMVPE법은 양자우물구조, 초격자 구조와 같은 미세 구조의 성장이 용이할뿐 아니라 대량생산에 적당한 방법이며 P를 포함하는 화합물 반도체의 성장이 용이하다는 장점을 가지므로 InP계의 화합물 반도체의 성장에 널리 사용되어 왔다.

본 장에서는 OMVPE법을 이용하여 InP 기판에 격자정합된 InP 및 InGaAs층의 성장에 대해 보고하도록 한다. u-InP 및 u-InGaAs 층의 특성 측정을 위하여 Van der Pauw 측정법을 사용하여 성장층의 전기이동도를 측정하였으며 전기화학적 C-V를 이용하여 잔류 반송자 농도를 조사하였다. 광수신 OEIC는 p-n 접합을 이용하는 PIN PD와 JFET으로 구성되므로 이들 에피층의 도핑특성을 조사하였다.

제 2 절 InP/InP 결정성장 및 특성측정

OMVPE 성장실험에는 Sumitomo 사의 반절연 InP 기판을 사용하였다. 성장에



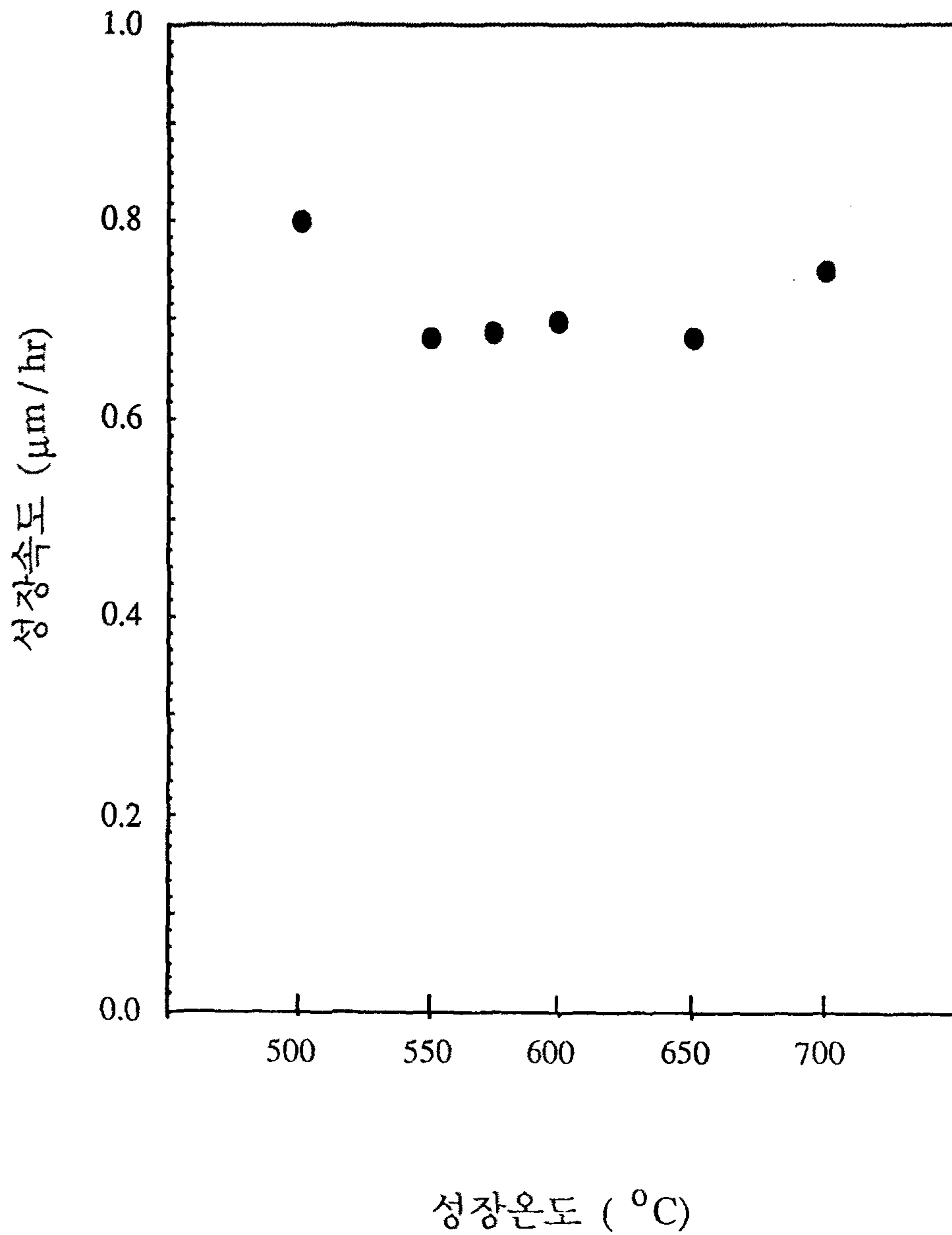
(그림 2-1) 600°C, 76 Torr의 조건에서 TMIn 유량에 따른 성장속도

사용된 3족 원료물질로써 TMI(Trimethyl Indium)를 사용하였으며 5족 원료물질로써 수소에 10% vol 희석된 PH₃을 사용하였다. 성장압력은 빠른 기체 전환을 위하여 76 Torr의 저압을 채택하였다. u-InP 성장에 사용된 전형적인 성장조건을 < 표 2-1>에 나타내었다. 성장층의 두께는 성장층의 단면을 K₃Fe(CN)₆ ; KOH의 stain etchant를 사용하여 계면을 deliniation 시킨후 2000배의 Nomarsky 광학 현미경과 SEM(Scanning Electron Microscope)를 이용하여 측정하였다. (그림 2-1)은 기판온도 600 ~ 630°C 에서 TMI유량에 따른 성장속도의 변화를 보여준다. TMI의 유량은 bubbler의 온도와 전체압력을 20.0°C 와 760 Torr로 고정시키고 bubbler를 통과하는 수소기체의 유량을 100 sccm에서 500 sccm으로 변화시킴에 의해 반응기에 유입되는 TMI의 유량을 0.22 sccm에서 1.11sccm까지 변화시켰다. 그림에서 볼수 있듯이 주어진 실험영역에서 u-InP 성장속도는 TMI의 유량에 따라 선형적으로 변화한다. 성장온도 변화에 따른 성장속도의 변화를 (그림 2-2)에 나타내었다. 성장온도 500°C에서 700°C 까지 변화 시켰을때 성장속도는 성장온도에 무관하였다. 본 실험에서 얻어진 결과는 Hsu¹⁾ 등이 보고한 550°C ~ 700°C 나 Razeghi²⁾ 등이 보고한 500°C ~ 650°C와 비슷한 결과를 보여준다. (그림 2-1)과 (그림 2-2)의 결과로 부터 500°C ~ 700°C까지의 온도 범위에서 InP의 성장제한기구는 3족원소의 물질 전달과정임을 알 수 있다.

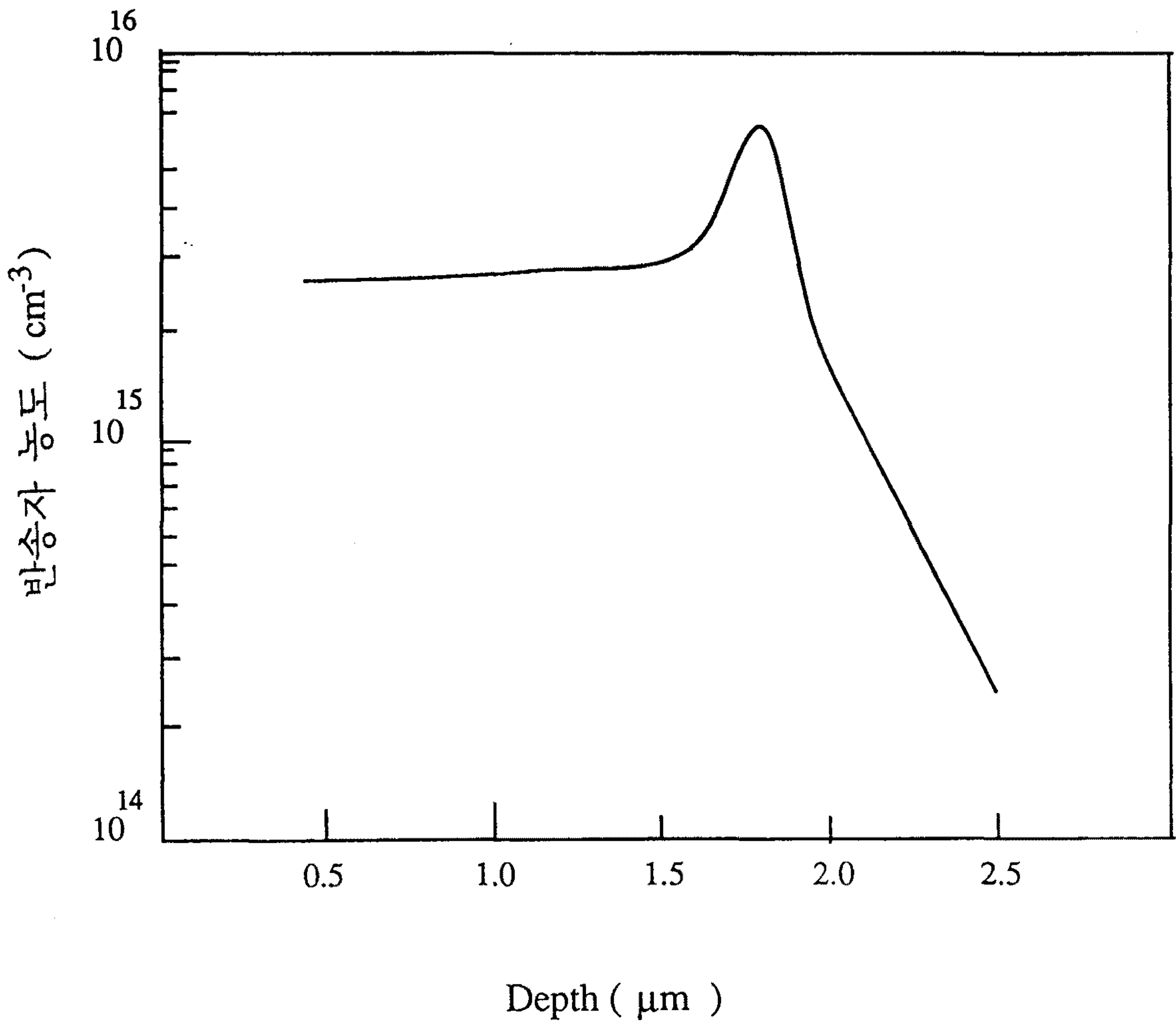
본 실험에서 성장된 u-InP의 전기적 특성을 Van der Pauw 측정 방법과 전기화학적 C-V를 이용하여 조사하였다. (그림 2-3)은 성장된 u-InP층의 전기화학적 C-V의 depth profile이다. 그림에서 볼 수 있듯이 식각하며 측정한 반송자 농도가 깊이에 관계없이 일정함을 볼 수 있다. 이는 성장된 에피층의 전기적 특성은 두께에 무관하게 일정함을 보여준다. 본 실험에서 성장된 u-InP의 잔류 불순물 농도는 $1.2 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 이었으며 Van der Pauw 측정에 의한 전

<표 2-1> 전형적인 성장 조건표

Growth Pressure	600 ℃
Growth Pressure	76 Torr
Total Flow Rate	4.5 slpm
TMI Bubbler Temp.	20.0 ℃
TMI Bubbler Pressure	760 Torr
H ₂ Flow through Bubbler	300 sccm
PH ₃ Flow Rate	120 sccm
V/III Ratio	170
Gas Velocity	17 cm/sec
Substrate	(100) 2°off S.I. InP



(그림 2-2) 성장온도에 따른 u-InP의 성장속도

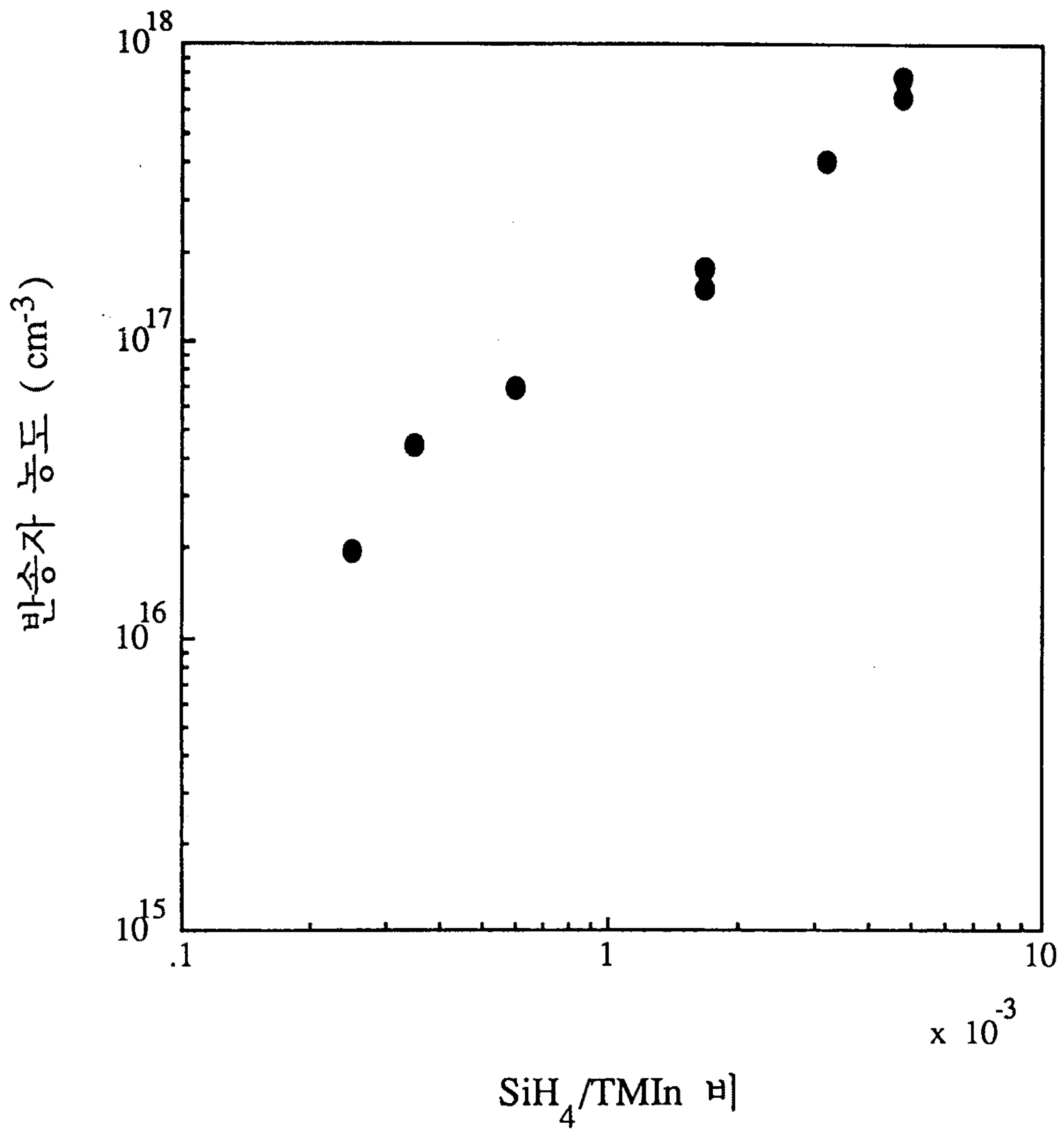


(그림 2-3) 전기화학적 C-V를 이용하여 측정한 u-InP의 두께에 따른 반송자 농도.

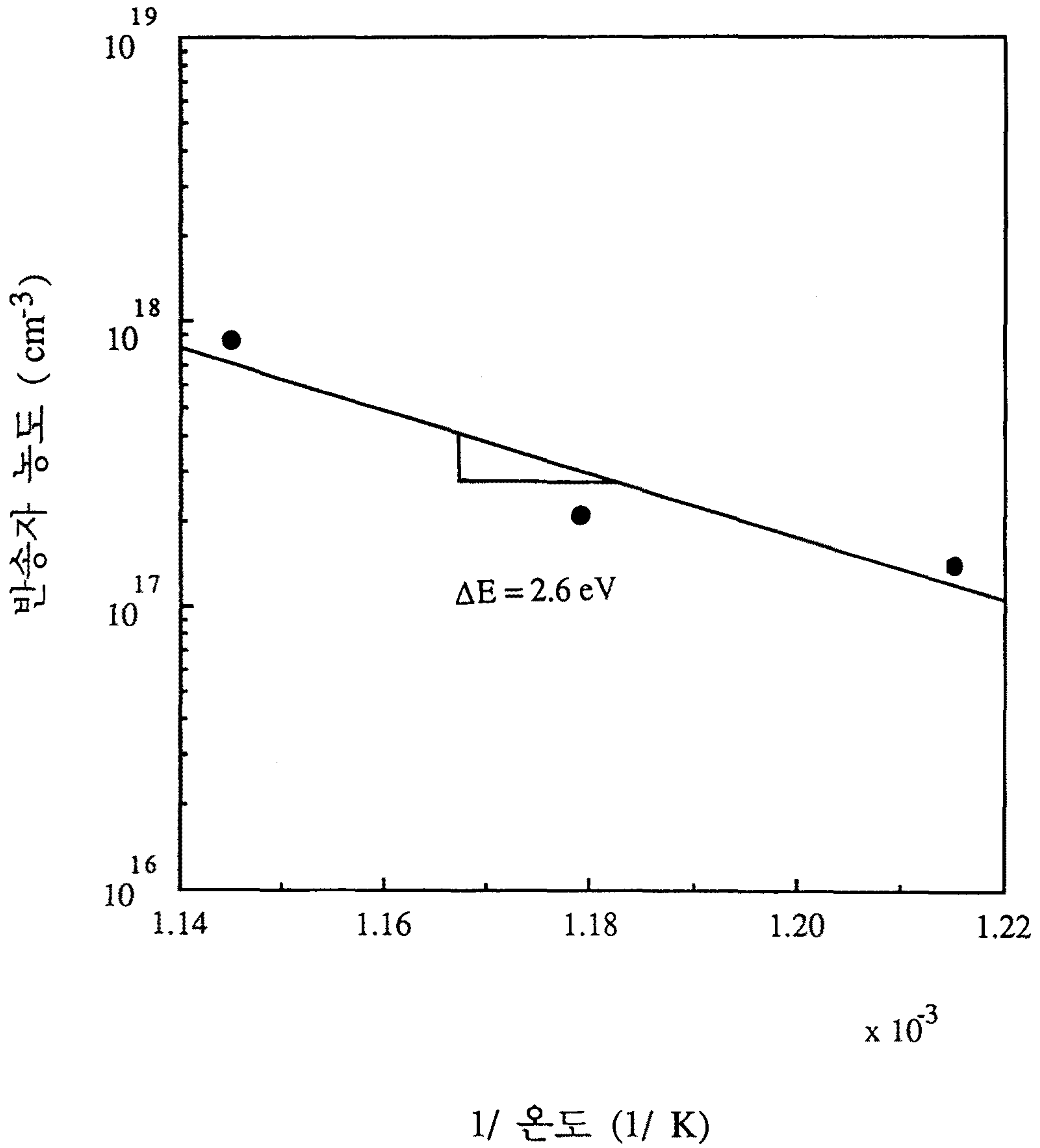
자 이동도는 $3000 \sim 3500 \text{ cm}^2/\text{V}\cdot\text{sec}$ 의 값을 나타내었다. 측정된 전자이동도는 양질의 u-InP에서 일반적으로 보고되는 $3000 \sim 4000 \text{ cm}^2/\text{V}\cdot\text{sec}$ ^{1,3)}와 비슷한 값으로 성장된 u-InP의 전기적 특성이 매우 양호함을 보여준다.

제 3 절 n-InP 결정성장 및 도핑특성

OMVPE를 이용한 n-InP 결정 성장에 있어서 도핑물질로는 일반적으로 H_2S , H_2Se 및 SiH_4 등이 많이 사용되고 있다. H_2S 와 H_2Se 를 도핑물질로 사용하는 경우 10^{18} cm^{-3} 이상의 높은 도핑농도를 얻을 수 있으나 S와 Se의 확산계수가 크기 때문에 급준한 계면 형성이 어려운 것으로 알려져 있다.^{4,5)} SiH_4 는 Si이 갖는 amphoteric 특성에 의해 10^{18} cm^{-3} 이상의 도핑이 어려우나 Si의 확산계수가 S나 Se에 비해 매우 작음으로써 급준한 계면을 얻는데 유리하므로 본 실험에서는 SiH_4 를 이용하여 n형 도핑을 하였다. (그림 2-4)는 $\text{SiH}_4/\text{TMIIn}$ 의 비에 따른 반송자 농도의 변화를 보여준다. 그림에서 600°C , 76Torr 의 성장조건에서 $\text{SiH}_4/\text{TMIIn}$ 의 비가 0.3×10^{-3} 에서 5×10^{-3} 으로 변화함에 따라 반송자 농도가 $2 \times 10^{16} \text{ cm}^{-3}$ 에서 $7 \times 10^{17} \text{ cm}^{-3}$ 으로의 선형적인 증가가 보여진다. SiH_4 를 이용한 도핑의 온도의존성을 (그림 2-5)에 나타내었다. 그림에서 볼 수 있듯이 일정한 $\text{SiH}_4/\text{TMIIn}$ 의 비에서 온도가 증가함에 따라 반송자 농도가 증가함을 알 수 있다. 이는 SiH_4 의 분해가 성장온도에 의존함에 기인하며 온도에 따른 반송자 농도로부터 Arrhenius 식을 이용하여 구한 여기에너지는 2.6 eV 이었다. SiH_4 를 이용한 n-InP 도핑 계면의 급준성을 조사하기 위하여 600°C 에서 각기 다른 도핑농도를 갖는 n-InP 층을 연속적으로 성장시킨 후 전기화학적 C-V로 식각하여 측정된 결과를 (그림 2-6)에 나타내었다. 그림에서 n-InP는 매우 급준한 계면을 가짐을 확

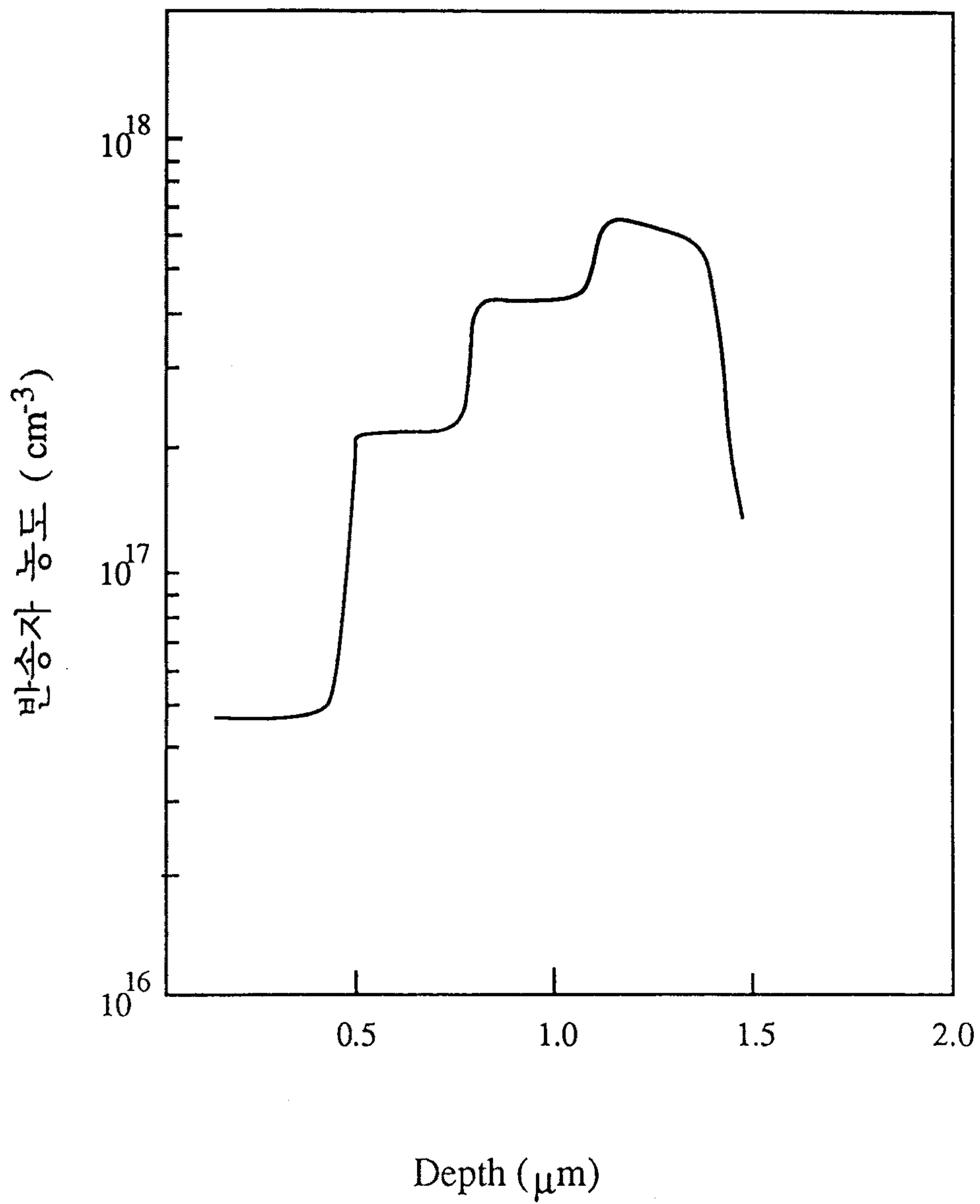


(그림 2-4) SiH₄/TMIn 비에 따른 n-InP의 반송자 농도
(600 °C, 76 Torr)



(그림 2-5) 성장온도에 따른 n-InP의 반송자 농도

(76 Torr, SiH₄/TMIn = 4.7 × 10⁻³)



(그림 2-6) SiH₄를 이용한 도핑의 급준성

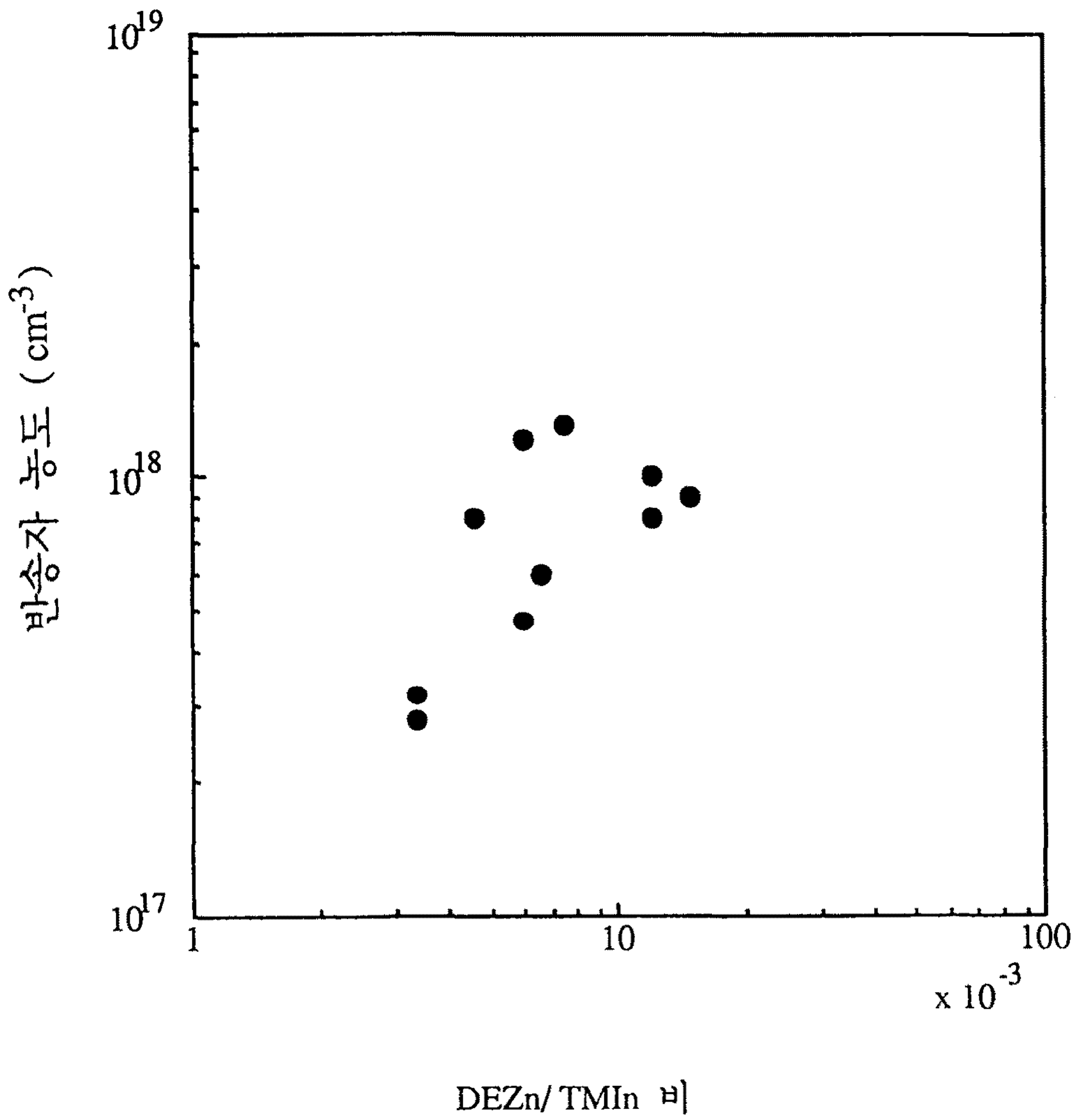
인할 수 있다. 따라서 SiH_4 은 JFET의 채널층과 같이 적은 확산이 요구되는 에피층의 도핑 재료로 적당함을 알 수 있었다.

OMVPE에 의한 p-InP 성장시 사용되는 도핑물질로서는 금속유기물인 DEZn와 DMZn가 많이 사용된다. 그러나 DMZn의 경우 증기압이 매우 높아서 정확한 유량의 조절에 어려움이 있으므로 본 실험에서는 DEZn를 사용하여 p-InP를 성장 시켰다. DEZn/TMIn 유량비에 따른 반송자 농도를 (그림 2-7)에 나타내었다.

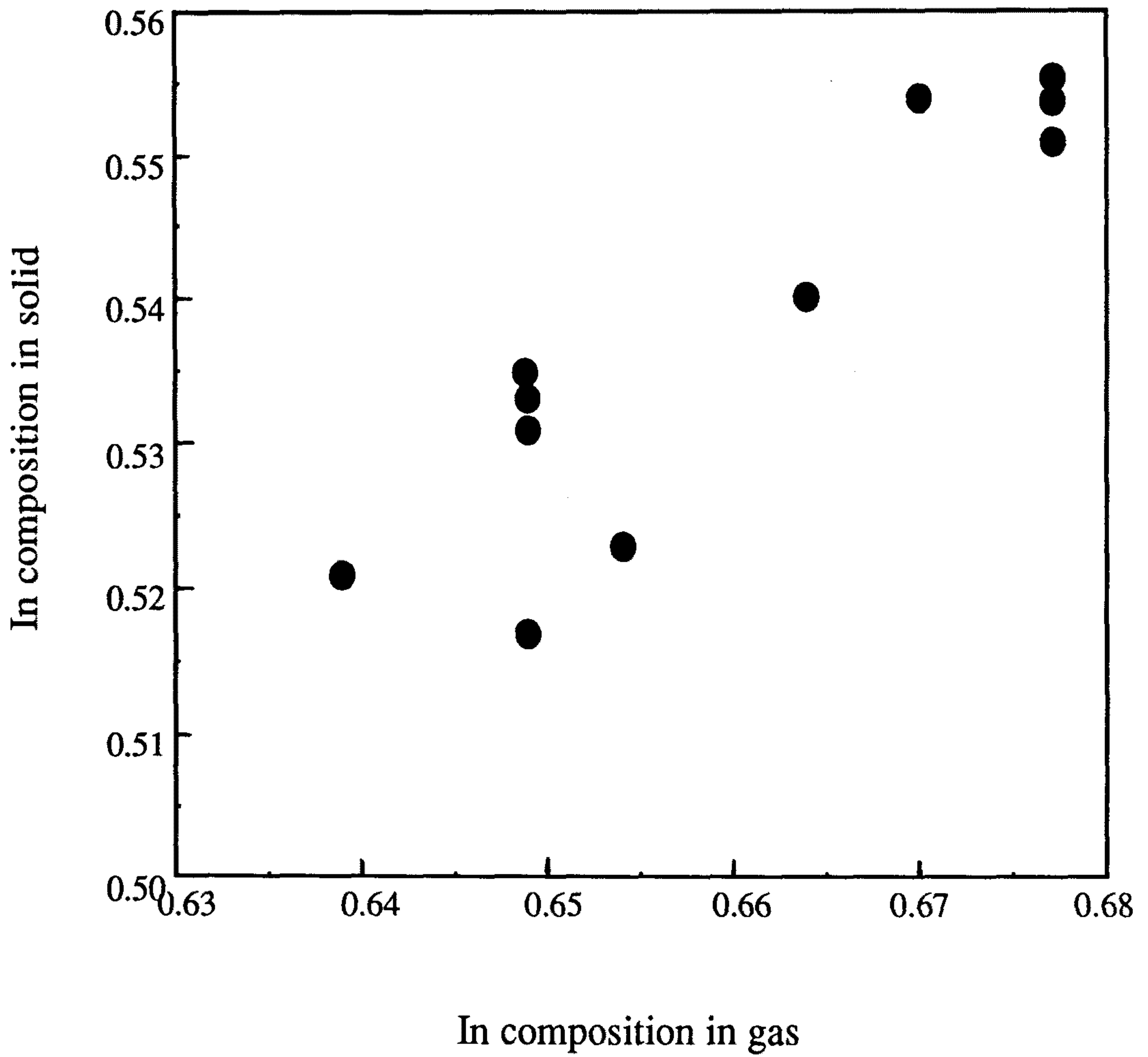
제 4 절 Lattice Matched InGaAs/InP 성장

(그림 2-8)은 600°C 의 성장온도에서 반응기에 주입된 유량중 TMIn의 비율 즉, $X_{\text{In}}^G = f_{\text{In}}/(f_{\text{In}}+f_{\text{Ga}})$ 의 변화에 따른 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 에서 In 조성, $1-x$,의 변화를 보여주고 있다. 여기서 f_{In} 은 TMIn의 유량이고 f_{Ga} 는 TMGa의 유량이며 G는 기체상태를 나타낸다. 그림에서 유입되는 TMIn양이 증가함에 따라 성장된 에피층에서 In의 양이 증가함을 알 수 있으며, 그 비례관계를 나타내어주는 In의 분배계수 $K_{\text{In}} = X_{\text{In}}^S/X_{\text{In}}^G$ 가 0.80의 값을 보여 주었으며 온도에 따라 감소함을 알 수 있었다.

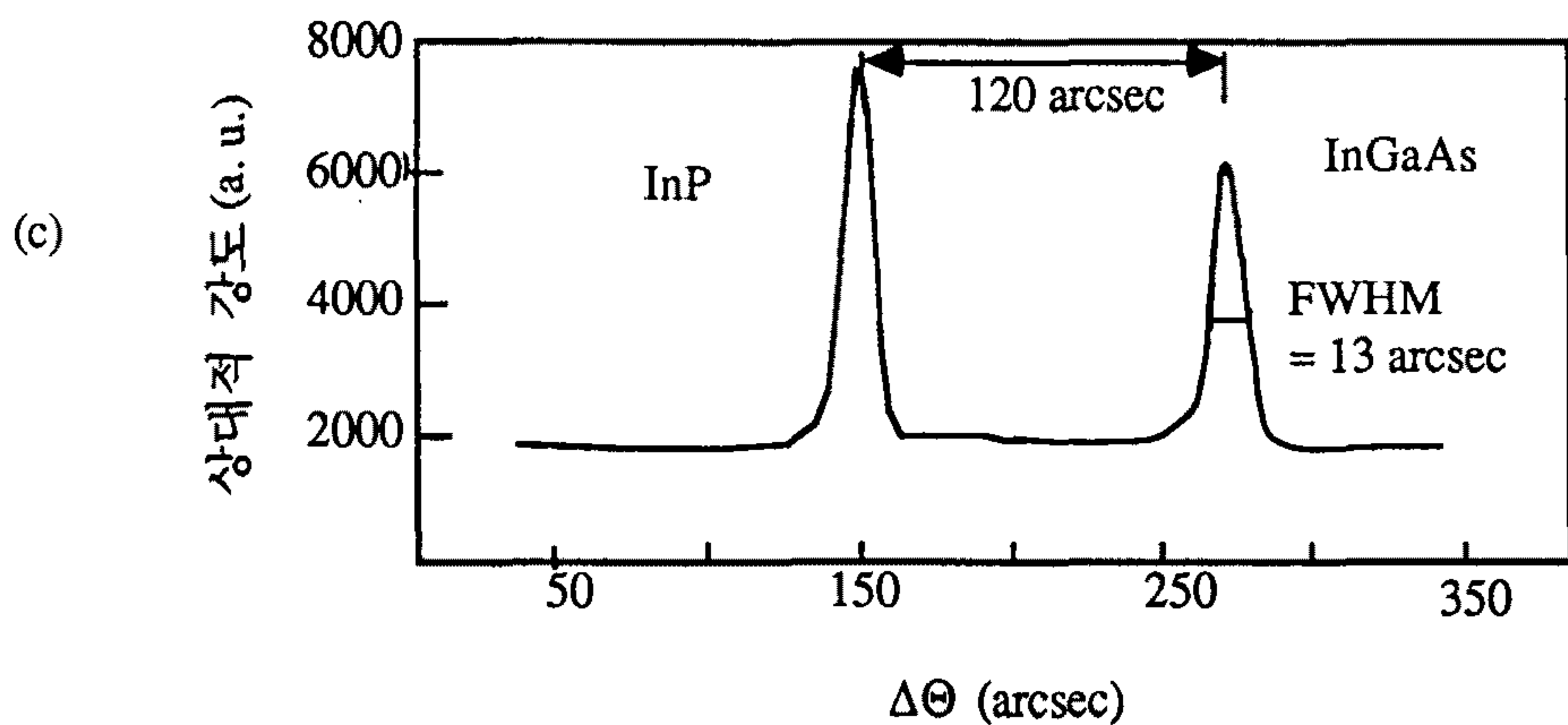
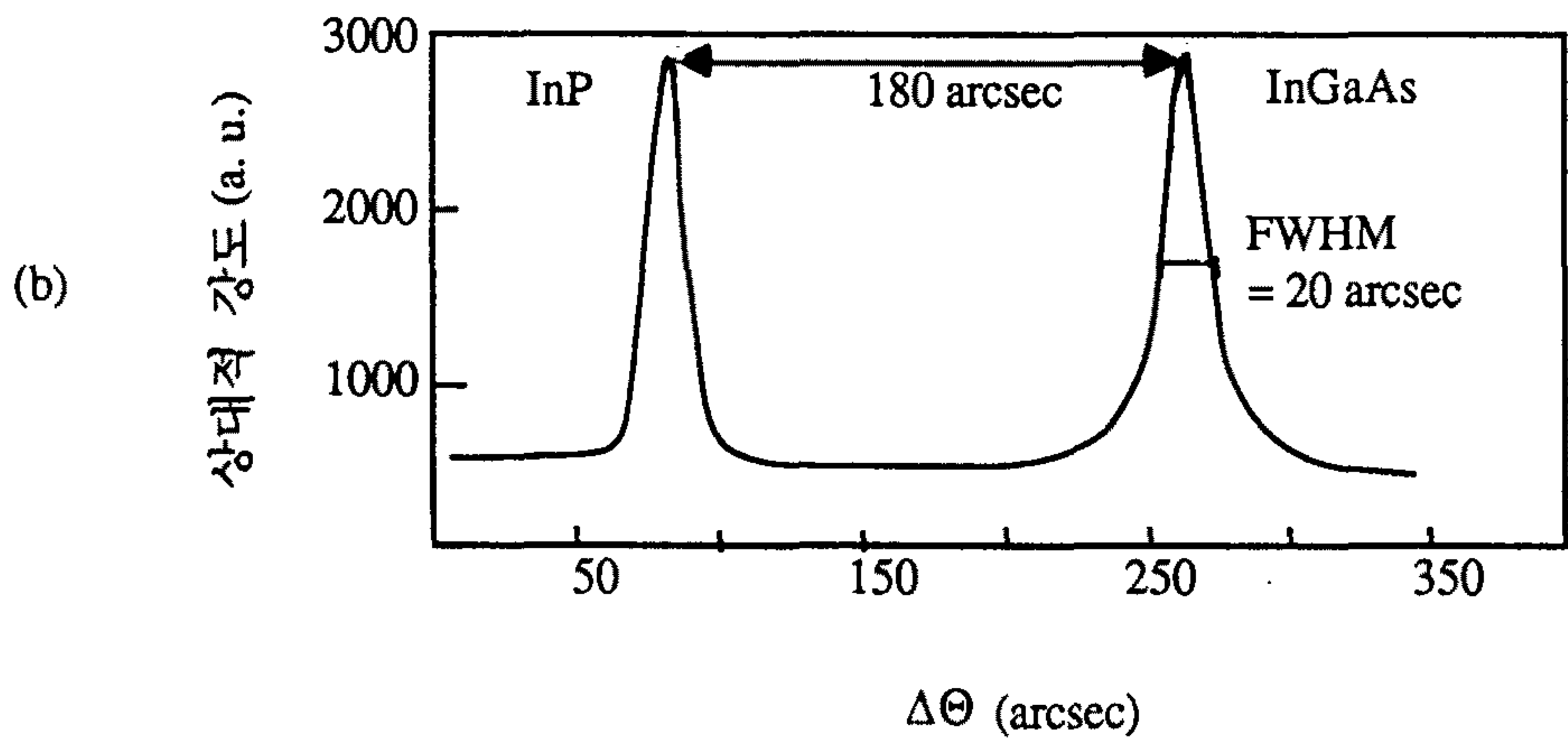
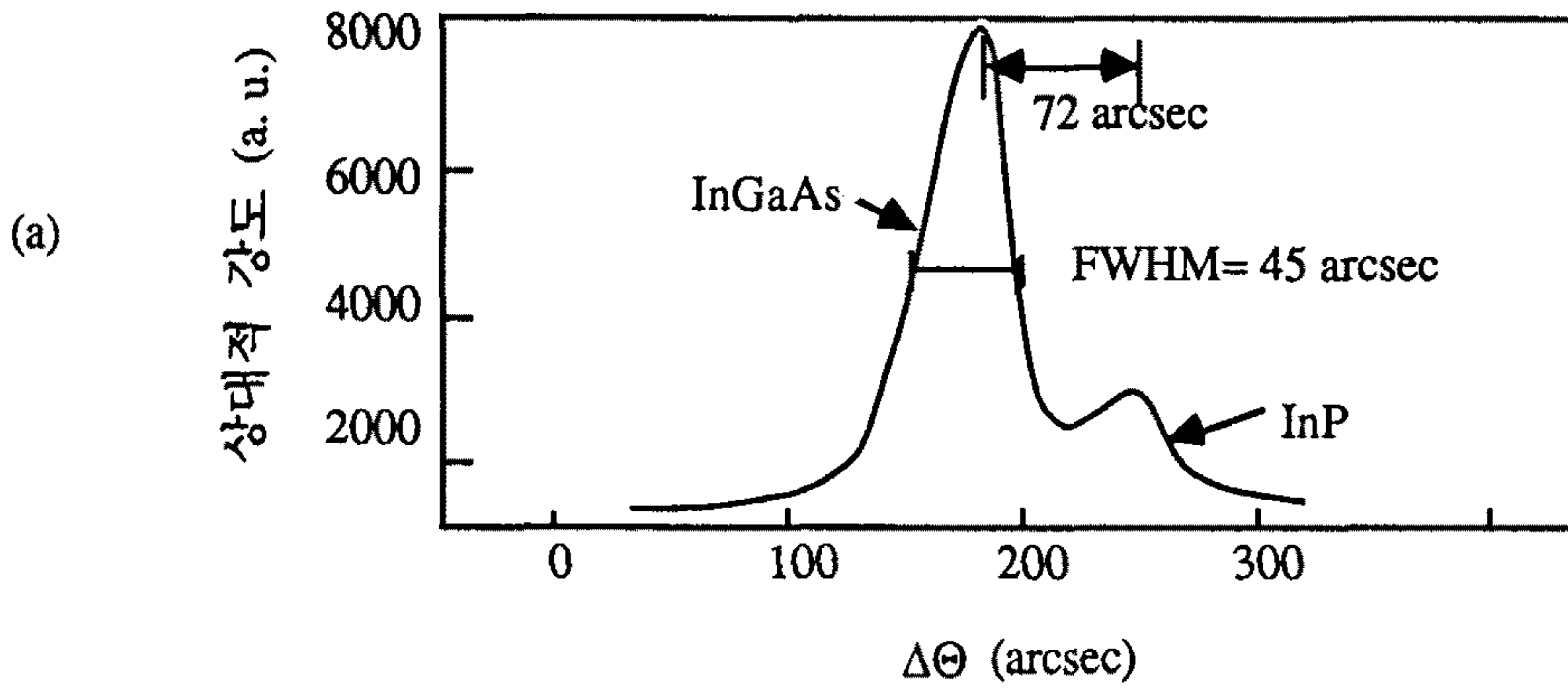
OMVPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 의 결정성을 DCD(Double Crystal Diffractometer)와 PL(Photo-Luminescence)을 이용하여 조사하였고 LPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 의 측정 결과와 비교하여 (그림 2-9)에 나타 내었다. DCD 피크의 반가폭은 성장된 에피층의 두께에 영향을 받지만 일반적으로 성장된 에피층의 결정성을 나타낸다고 알려져 있다. 그림으로 부터 OMVPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 가 InP와의 격자 정합 조건으로부터 120 arcsec 벗어나 있으나, 격자 정합조건으로부터 72 arcsec 벗어난 LPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 에 비해 상대적으로 작은 반가폭을 가짐을 알 수 있



(그림 2-7) DEZn/TMIn비에 따른 p-InP의 반송자 농도(600 °C, 76 Torr)



(그림 2-8) In 유량 조성의 변화에 따른 InGaAs 에피층에서 In의 조성 변화 (600 ° C, 76 Torr.).

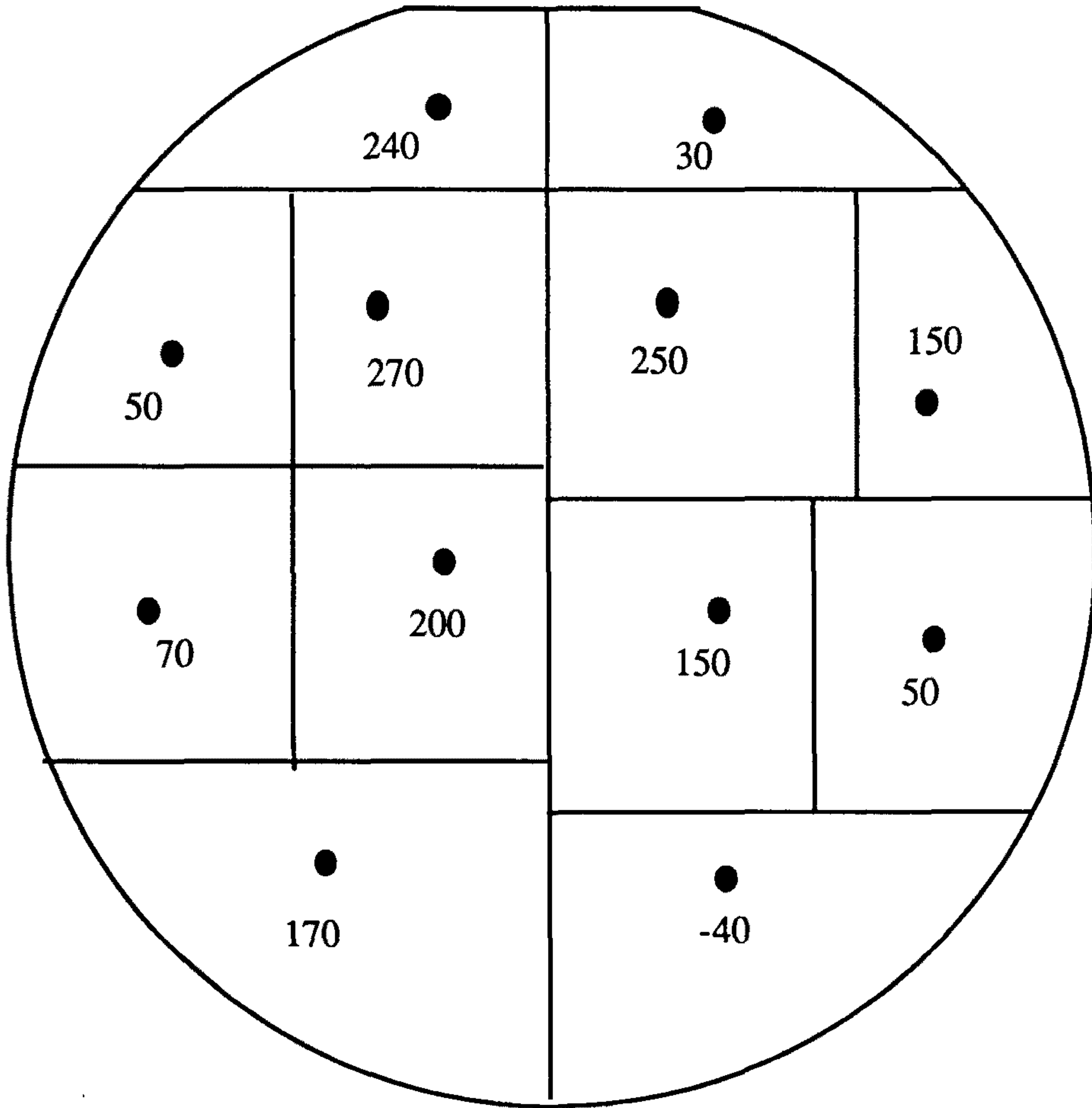


(그림 2-9) LPE와 OMVPE로 성장한 InGaAs의 Double Crystal X-ray Diffraction: (a) LPE, (b) OMVPE(600°C, 76 Torr.), and (c) OMVPE(650°C, 76 Torr.).

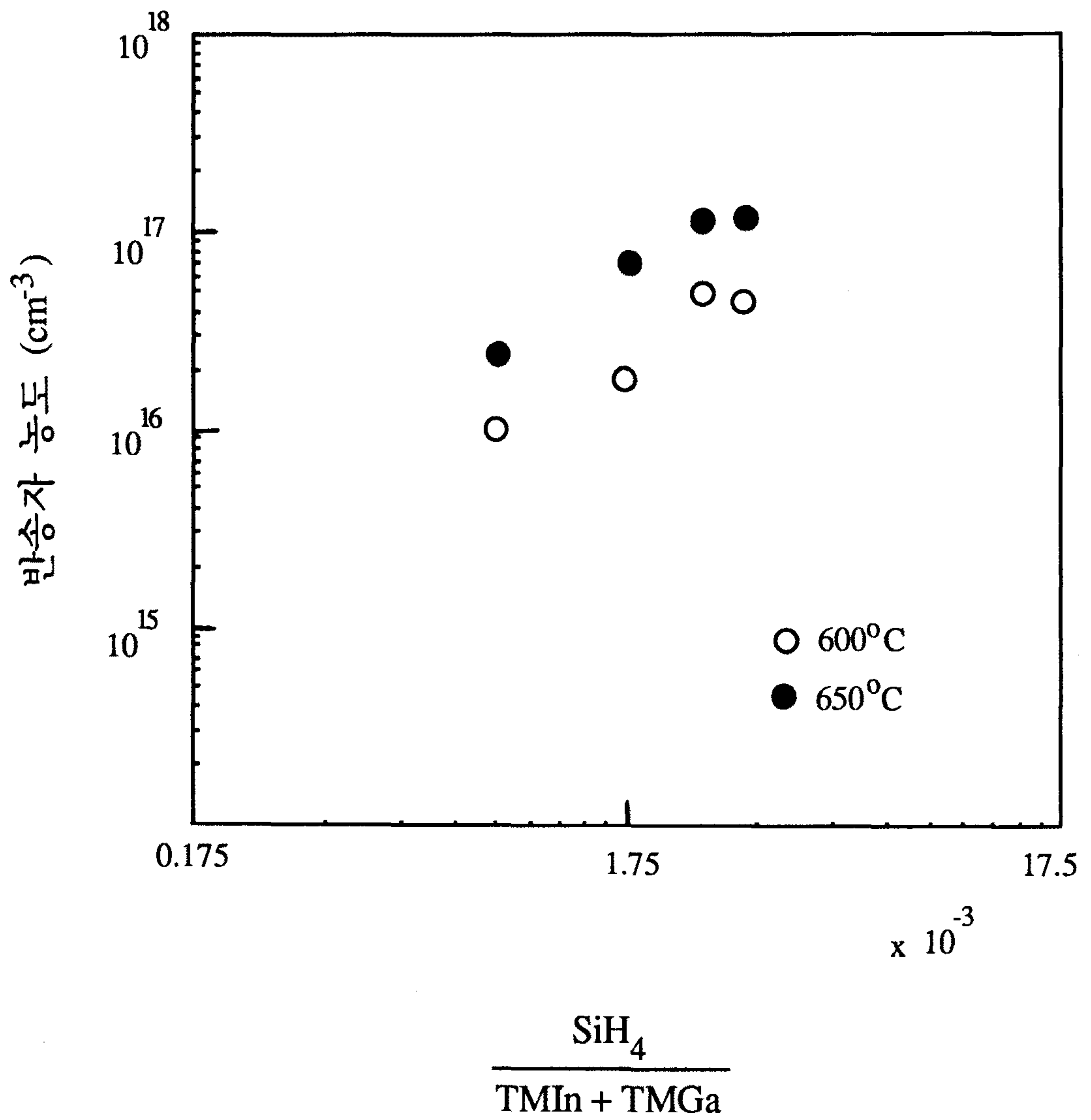
었다. 특히, 측정에 사용된 OMVPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 의 두께가 $1.5 \mu\text{m}$ 로 LPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 의 $6 \mu\text{m}$ 에 비해 상당히 얇음을 고려할 때 OMVPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 층의 결정성이 매우 좋음을 알 수 있었다. (그림 2-9-c)에 650°C 의 기판온도에서 OMVPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 의 DCD 결과가 나타나 있다. 650°C 에서 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 층이 600°C 에서 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 층에 비해 DCD 피크의 반가폭이 감소하였으며, 피크의 상대적 강도가 증가함을 볼 수 있었고 이로부터 600°C 의 성장온도에 비해 650°C 의 성장온도에서 보다 좋은 결정성을 갖는 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 가 성장됨을 알 수 있었다. 본 실험에서 얻은 $20 \sim 30 \text{ arcsec}$ 의 반가폭은 OMVPE로 성장된 양질의 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 에서 보고되어 지는 정도의 값이다⁶⁾.

상온과 저온(10K)에서 YAG 레이저를 이용하여 LPE와 OMVPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 의 PL 측정을 하였다. 두 성장방법에 의한 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 의 상온 PL 피크를 관찰할 때, OMVPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 층의 반가폭이 41 meV 이며 LPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 의 반가폭이 44 meV 임을 알 수 있었다. 위의 DCD 측정법과 PL 측정의 결과로부터 OMVPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 층이 LPE로 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 층에 비해 보다 우수한 결정성을 갖는 양질의 에피층임을 알 수 있었다.

OMVPE를 이용하여 성장한 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 에피층의 균일성을 조사하기 위하여 InP 2" 웨이퍼를 기판으로 사용하여 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 층을 성장하고 DCD로 각 부분의 격자 정합도를 측정하여 (그림 2-10)에 나타내었다. 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 는 -40 arcsec (Ga rich)에서 270 arcsec (In rich) 까지의 격자 부정합도를 보여 주었다. 이를 In 조성으로 계산 할 경우 $0.531 \sim 0.548$ 이 되는데 이 정도의 격자 부정합도는 기판이 2" 임을 고려할 때 매우 우수한 것으로 생각된다. 특히 중앙부분에서 격자 부정합 정도가 $150 \sim 270 \text{ arcsec}$ 로 균일함을 보였으나 기판의 가장자리에서 균일성이 상대적으로 저하됨을 알 수 있었다.



(그림 2-10) OMVPE를 이용한 InGaAs 성장의 균일성 (주어진 값은 $\Delta\theta$ 를 arcsec 로 나타낸 것임)



(그림 2-11) 다른 성장온도에 있어 $\text{SiH}_4 / (\text{TMIn} + \text{TMGa})$ 비의 증가에 따른 반송자 농도의 증가.

성장된 InGaAs의 전기적 특성은 Van der Pauw법과 전기화학적 C-V법을 이용하여 측정하였다. 본 실험에서 얻은 InGaAs는 일반적으로 $1\sim 5 \times 10^{15} \text{cm}^{-3}$ 의 낮은 불순물 농도와 상온에서 최고 $9,500 \text{ cm}^2/\text{v}\cdot\text{sec}$ 의 전자 이동도를 나타 내었다. 본 실험에서 측정된 전자이동도 값은 현재보고되고 있는 상온에서의 최고값인 $12,000 \text{ cm}^2/\text{v}\cdot\text{sec}$ 보다는 작지만 4) 양질의 InGaAs에서 일반적으로 보고되어 지는 값과 비슷한 정도이다.

앞의 실험으로부터 OMVPE를 이용하여 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 가 좋은 결정성과 전기적 특성을 가지고 있음을 알 수 있었다. 이렇게 성장된 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 층을 광/전소자에 사용하기 위해서는 도핑이 필수적이며, 특히 당연구실에서 제작하는 JFET은 n- $\text{In}_{1-x}\text{Ga}_x\text{As}$ 를 채널층으로 사용하므로 SiH_4 를 도핑물질로 사용하여 n- $\text{In}_{1-x}\text{Ga}_x\text{As}$ 의 도핑특성을 조사하였다. (그림 2-11)에 주입된 SiH_4 의 양의 증가에 따른 반송자 농도의 변화가 성장온도에 따라 나타나 있다. 그림에서 볼 수 있듯이 600°C 성장온도에서는 $5 \times 10^{16} \text{cm}^{-3}$ 까지 도핑이 가능하고 650°C 성장온도에서는 $2 \times 10^{17} \text{cm}^{-3}$ 까지 도핑이 가능하였다. 이러한 낮은 도핑농도는 InP 성장 시와는 다른 특성으로 앞으로 이에대한 좀 더 많은 연구가 있어야 하겠다.

제 5 절 결 론

2 Gbps 장파장 광수신 OEIC 개발에 필요한 InP, InGaAs 등의 반도체 에피층을 OMVPE시스템을 이용하여 성장하였다. 본 연구에서 성장된 InP층이 550°C 와 650°C 사이의 성장온도에서 거울면과 같은 표면 형상을 갖는 양질의 에피층임을 광학현미경과 PL을 이용하여 확인하였다. Van der Pauw법과 전기화학적 C-V를 이용하여 측정한 u-InP의 잔류 반송자 농도와 상온 전자이동도는 각각 $1.2 \times$

10^{15}cm^{-3} 과 $3500\text{ cm}^2/\text{v}\cdot\text{sec}$ 의 값을 가졌다. SiH_4 와 DEZn 를 이용하여 n-InP 및 p-InP 를 성장하였으며 도핑가능 범위는 각각 $2 \times 10^{16}\text{cm}^{-3} \sim 7 \times 10^{17}\text{cm}^{-3}$ 과 $3 \times 10^{16}\text{cm}^{-3} \sim 1 \times 10^{18}\text{cm}^{-3}$ 이었다. OMVPE를 이용하여 성장된 InGaAs 층은 InP와 의 격자 정합정도가 매우 좋았으며 LPE로 성장된 InGaAs에 비해 결정성이 우수함이 DCD 와 저온 PL을 이용하여 확인하였다. OMVPE로 성장된 InGaAs의 전기적특성은 $1\sim 3 \times 10^{15}\text{cm}^{-3}$ 의 낮은 잔류 불순물 농도와 최고 $9,500\text{ cm}^2/\text{v}\cdot\text{sec}$ 의 높은 전자이동도를 보였다. SiH_4 를 이용한 도핑실험 결과 650°C 의 성장온도에서 최고 $2 \times 10^{17}\text{cm}^{-3}$ 의 값을 가졌다. 본 연구에서 얻어진 여러 결과들은 2 Gbps 급의 장파장 광수신 OEIC 개발에 필요한 물질 특성을 만족 하는 것으로 사료된다.

여 백

제 3 장 광수신 집적화를 위한 JFET 소자상수 최적화 설계 및 제작

제 1 절 개 요

최근에 들어 고속 및 저가의 장파장 광통신용 광집적회로 연구에 관한 관심이 많아지고 있으며, 특히, 장파장 광수신 집적회로용으로 InP계 트랜지스터에 대한 많은 연구가 되어오고 있다. 이러한 트랜지스터로는 JFET's¹⁾ 및 HIGFET's²⁾ 등이 발표되었으나 트랜지스터 자체 특성은 우수하나 광소자와의 집적시에는 광소자와의 비양립성으로 인하여 각 소자의 특성을 극대화할 수 없거나 양립성을 위한 구조는 복잡하여 집적도의 한계와 소자 특성 향상에 제한이 있는 것으로 알려져 있다.^{3), 4)} 이러한 문제를 극복하기 위하여 본 연구실에서는 1차 및 2차 년도 보고서^{5), 6)}에서 언급한 바와 같은 새로운 구조의 InGaAs JFET을 제안 하였고 이에 대한 소자 설계, 제작 및 특성 측정 결과에 관하여 언급하고자 한다.

고감도와 수 Gbps급의 고속 동작을 위한 광수신 집적회로를 위한 트랜지스터 소자요건으로는 높은 전달콘덕턴스와 낮은 전하용량, 낮은 누설전류 및 낮은 출력 콘덕턴스 등이 있다. 이러한 특성을 동시에 최대한 만족시키기 위하여 소자상수의 최적화 설계를 SPICE model⁷⁾을 이용하여 하였으며, 설계 결과로는 채널의 두께가 0.20 ~ 0.25 μm , n형 도우핑 농도가 $7 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 일 때 최적화를 이룰 수 있다. OMVPE 결정 성장 및 선택 식각 공정 등을 이용하여 자기정렬 구조의 InGaAs JFET을 제작하였으며 제작된 1 μm 게이트 JFET의 경우에 전달콘덕턴스가 87 mS/mm, 전하용량이 1.7 pF/mm 이었고 이로부터 계산된 차단주파수는 8.1 GHz 이었다.

제 2 절에서는 제작할 InGaAs JFET의 최적화를 위한 설계에 관하여 언급하고, 제 3 절에서는 InGaAs JFET의 제작공정 조건에 대하여 간략히 서술하며, 제 4 절에서는 제작된 InGaAs JFET의 특성 측정 결과를 논하고자 하며 제 5 절에서 결론을 맺고자 한다.

제 2 절 소자 상수 최적화 설계

고감도 및 고속의 광수신 집적회로를 설계, 제작함에 있어서 트랜지스터의 특성과 광검출기의 특성을 동시에 고려해야 한다. 본 과제에서 제안한 광수신 집적회로 구조도에서는 별도의 소자 상수의 설계가 가능하므로 본 절에서는 JFET의 소자상수 설계에 관하여서만 언급하기로 한다. 2 Gbps 에서의 동작을 기준으로 할 때, 2차 년도 연구결과 보고서에 따르면, JFET의 특성 요건이 <표.3-1>과 같다. 여기서 일반적인 FET 특성으로 전달콘덕턴스와 전하용량과는 trade-off 관계를 갖으므로 제작하고자하는 회로에 따라 최적화 설계가 요구되어 진다. 본 연구

<표.3-1> 2 Gbps 광수신 집적회로를 위한 소자상수표

소자 상수명	소자 상수값
전달콘덕턴스(g_m)	$> 10 \text{ mS}$
정전하용량(C_{gs})	$< 0.5 \text{ pF}$
누설전류(I_{gl})	$< 0.1 \mu\text{A}$

에서 제안한 구조의 InGaAs JFET에서 g_m 과 C_{gs} 를 결정짓는 소자 구조 상수로는 채널층의 두께와 도우핑농도, 게이트층의 도우핑 농도등이 있다. 본 연구에서는 간단한 모델링 방법인 "SPICE model"을 이용하여 설계를 하였다.⁷⁾ 설계 요건으로, 게이트의 p형(Zn) 도우핑 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 로 고정시켰고 채널층의 두께와 도우핑 농도를 변화시키며 최적화를 꾀하였다. 설계시 필요한 소자 구조 상수는 <표.3-2>와 같다. 설계시에 사용된 관련식을 정리하면 다음과 같다.

전압/전류 특성 곡선의 포화 지역에서 전달콘덕턴스는 SPICE 모델에서 사용된,

$$g_m = 2\beta(V_g - V_t) \quad \text{----- (3-1)}$$

$$\beta = 2\epsilon\mu v_s W/A(\mu V_{po} + 3v_s L) \quad \text{----- (3-2)}$$

$$V_{po} = qN_d A^2 / 2\epsilon_s \quad \text{----- (3-3)}$$

$$V_t = V_{bi} - V_{po} \quad \text{----- (3-4)}$$

이고, 게이트/소오스 및 게이트/드레인의 전하용량은⁷⁾,

$$C_{gs} = C_{gso} / (1 - V_{gs}/V_{bi})^{1/2} \quad \text{----- (3-5)}$$

$$C_{gd} = C_{gso} / (1 - V_{gd}/V_{bi})^{1/2} \quad \text{----- (3-6)}$$

$$C_{gso} = WL(qN_d/2V_{bi})^{1/2}/2 \quad \text{----- (3-7)}$$

이다. 또한, Front-End형 증폭기에서 평균 잡음전류 특성식⁸⁾이 다음과 같이 주워진다⁴⁾. 즉, 임의의 주파수(f : B bps)에서 입력단의 저항이,

$$R_L \leq 1/(2\pi f C_t) \quad \text{----- (3-8)}$$

<표. 3-2> 소자 설계를 위한 모델링 상수표

소자 구조 상수	소자 구조 상수값
전자 이동도(μ_e)	5,000 cm ² /Vs
전자 포화속도(v_s)	2.7X10 ⁷ cm/s
채널층의 유전률(ϵ_s/ϵ_0)	12.0
게이트층 성분	p-InP($E_g=1.35$ eV)
게이트층의 도우핑 농도(N_a)	1X10 ¹⁸ cm ⁻³
채널층 성분	n-InGaAs($E_g=0.96$ eV)
채널의 도우핑 농도(N_d)	1X10 ¹⁶ ~ 5X10 ¹⁷ cm ⁻³
채널의 두께(A)	0.1 ~ 0.5 μ m
게이트 길이(L)	1 μ m
게이트 넓이(W)	200 μ m

<표 3-3> 잡음전류 계산을 위한 상수표⁶⁾

상수	상수값
Γ	1.1
I_2	0.56
I_3	0.087
C_d	0.35 pF
C_s	0.15 pF
B	2 Gbps

일 때, $\langle i^2 \rangle = 4kT[2\pi C_t B^2 I_2 + \Gamma(2\pi C_t)^2 B^3 / g_m]$ ----- (3-9)

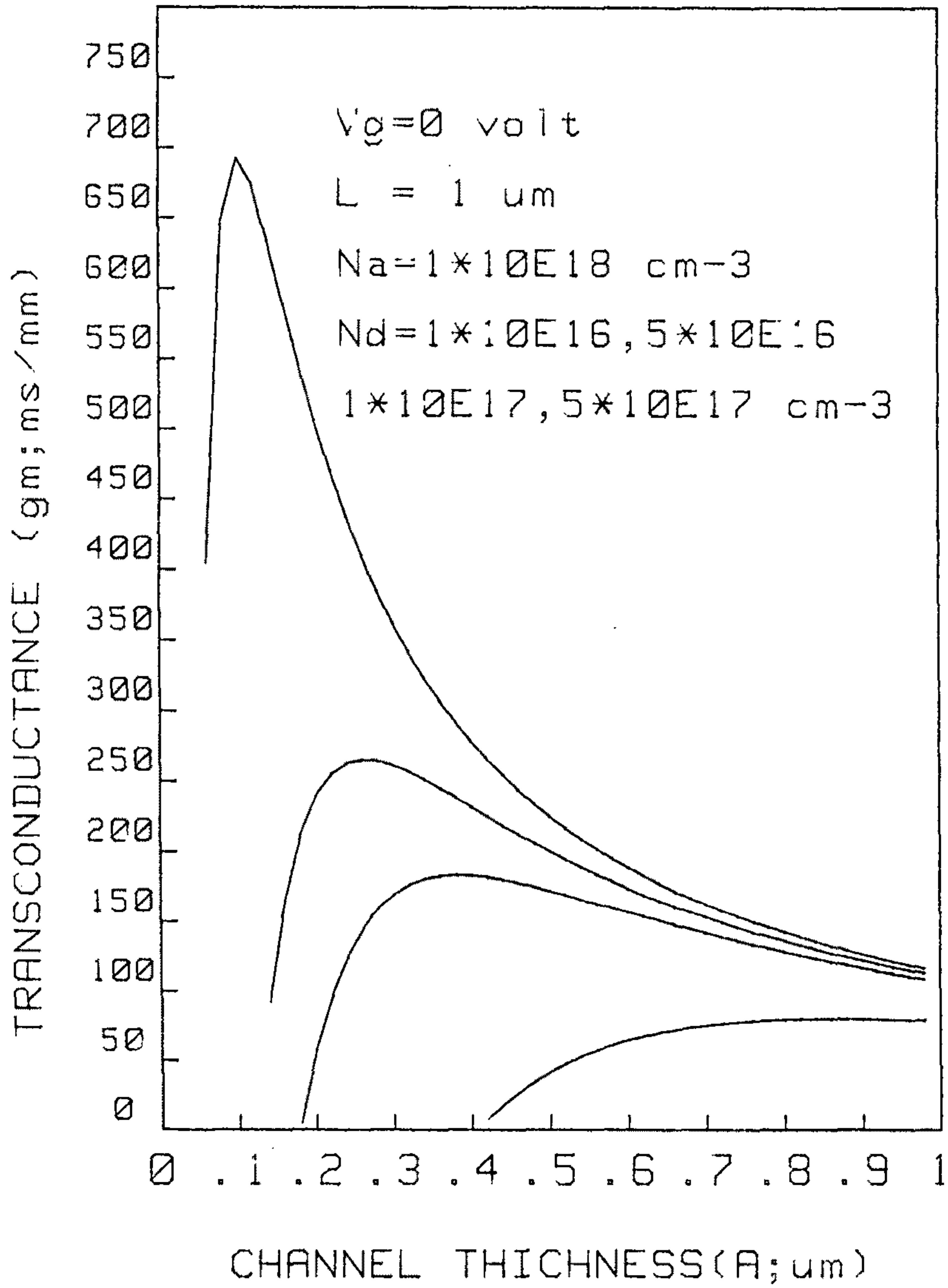
$$C_t = C_a + C_d + C_s \quad \text{----- (3-10)}$$

$$C_a = C_{gs} + C_{gd} \quad \text{----- (3-11)}$$

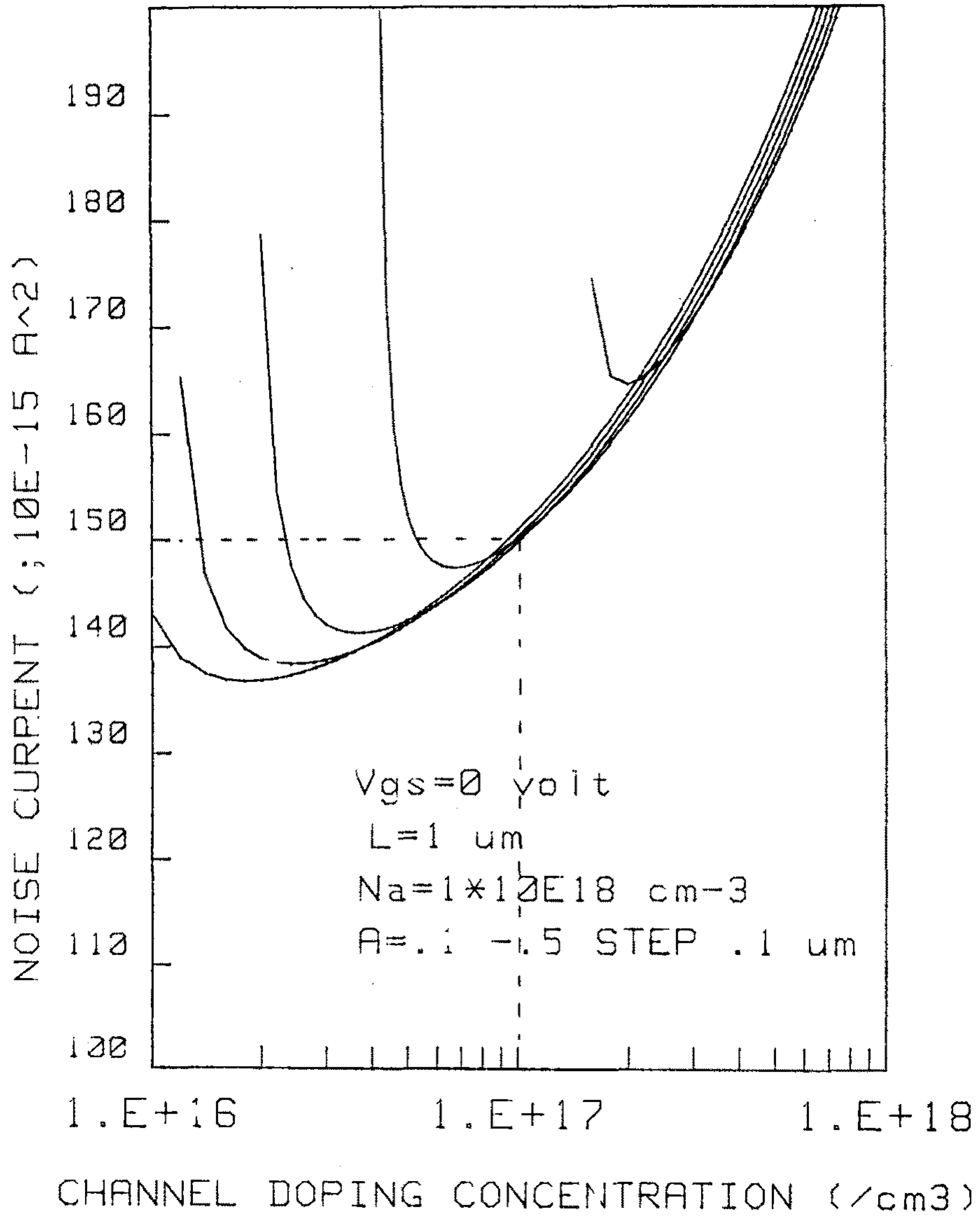
으로 나타난다. 여기서 사용된 잡음전류의 상수 입력치는 <표 3-3>과 같다.

식(3-1)은 누설 전류 및 소오스 저항등에 의한 효과는 무시하고 순수한 채널층 효과만을 나타낸 것으로 도우핑 및 두께 변화에 의한 전달콘덕턴스 곡선을 나타내면 (그림 3-1)과 같다. 계산 결과로 전달콘덕턴스가 극대치를 이루는 조건은 도우핑 농도가 증가할 수록 얇은 두께에서 이루지고 높은 도우핑에서 최대 전달콘덕턴스를 얻을 수 있음을 알 수 있다. 그러나, D.C.W.LO 등에 의하면⁹⁾ $N_d \geq 5 \times 10^{17} \text{ cm}^{-3}$ 일 때 tunneling 효과에 의한 누설 전류의 증가로 전달콘덕턴스의 감소현상이 나타나므로 이러한 범위는 고려 대상에서 제외시켰다. (그림 3-2)는 식(3-1)과 식(3-5)를 이용하여 차단주파수; f_t 를 계산한 결과로 최대치를 이루는 도우핑 및 두께 조건이 만족할 때 극대치는 거의 일정함을 알 수 있다.

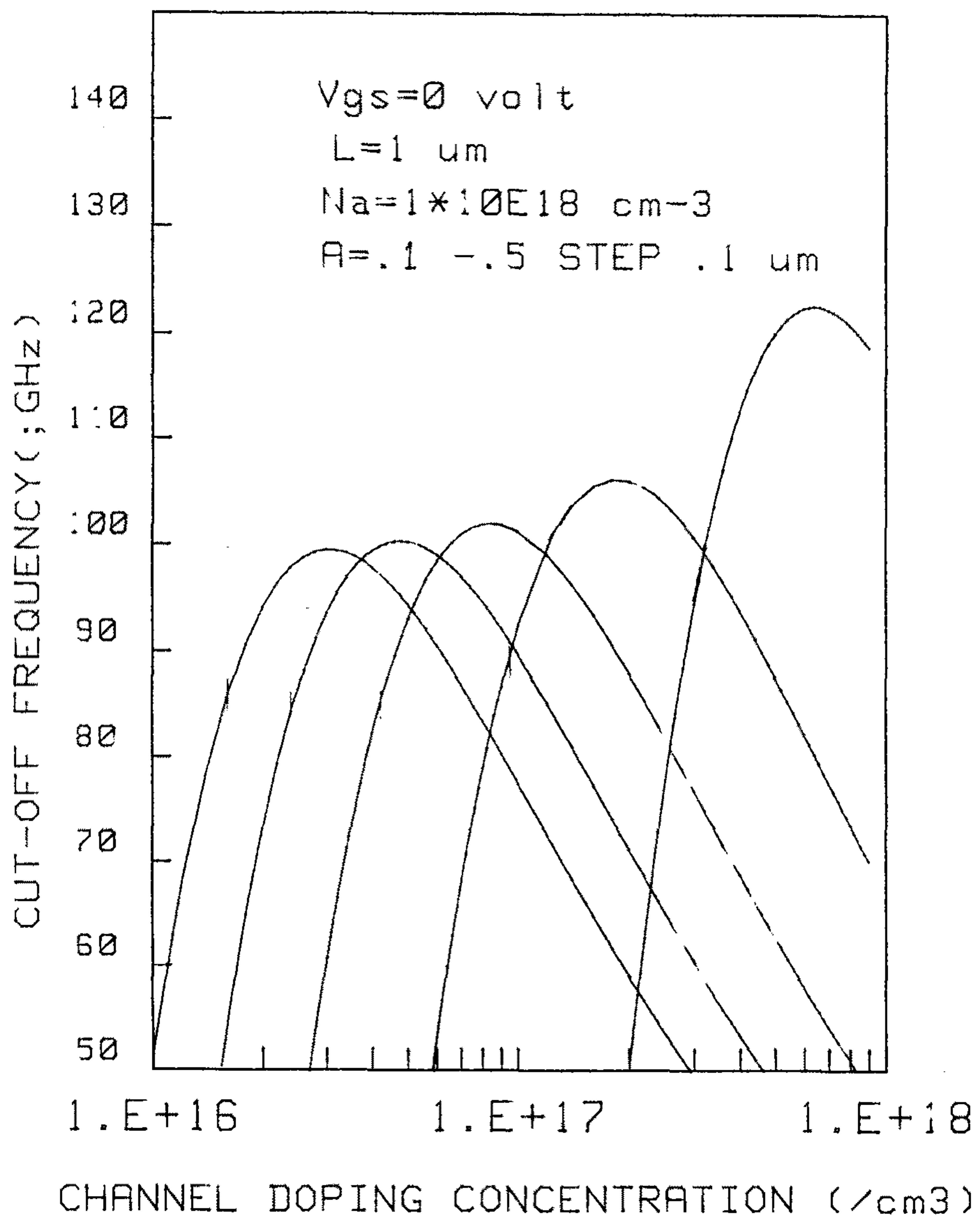
그러나, (그림 3-2)은 기생전하용량의 발생을 고려하지 않은 경우로서 기생전하 용량은 채널층의 두께와 도우핑에 관계 없이 주어짐으로 도우핑의 변화에 따른 전하용량의 변화율이 작게 된다. 반면에 전달콘덕턴스는 (그림 3-1)에서 보듯이 도우핑이 높은 범위에서 최대치를 얻을 수 있으므로 높은 도우핑에서 최적화하는 것이 실제의 고속 동작을 위한 설계에 유리하다. (그림 3-3)은 pinch-off 전압; V_{po} 에 따른 도우핑과 두께의 상관 곡선을 나타낸 것으로 f_t 가 최대치를 이루는 조건에서는 $V_{po} > 5 \text{ volt}$ 임을 알 수 있다. pinch-off 전압이 이와 같이 클 경우에는 소자 동작을 위한 에너지 손실이 크므로, $V_{po} \leq 3 \text{ volt}$ 로 설계하도록 한다. (그림 3-4)는 식(3-9)를 이용하여 도우핑과 두께에 따른 $\langle i^2 \rangle$ 의 곡선을 구한 것이다. (그림 3-3)에서 빗금친 부분은 $V_{po} \leq 2 \sim 3 \text{ volt}$ 및 $\langle i^2 \rangle =$



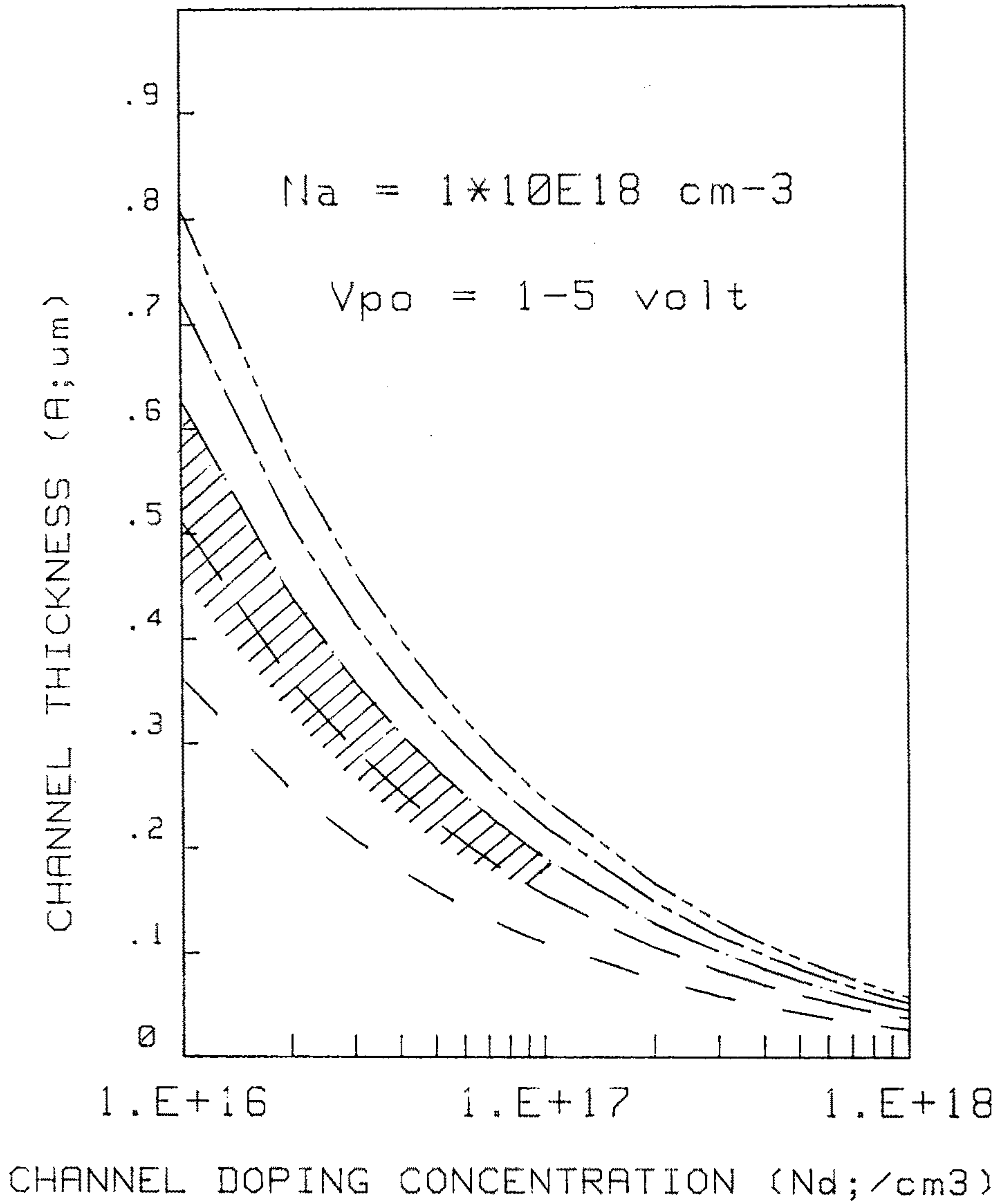
(그림 3-1) 채널층의 도우핑과 두께에 따른 전달콘덕턴스 곡선



(그림 3-2) 채널층의 도우핑과 두께에 따른 잡음 전류 변화 곡선



(그림 3-3) 채널층의 도우핑과 두께에 따른 차단주파수 곡선



(그림 3-4) 채널 도우핑과 두께에 따른 pinch-off 전압 곡선

〈표 3-4〉 최적화를 위한 구조 상수표

채널 두께(μm)	도우핑 농도(cm^{-3})	차단주파수 범위(GHz)
0.2	$6.0 \times 10^{16} \sim 1.0 \times 10^{17}$	< 90
0.3	$2.4 \times 10^{16} \sim 4.3 \times 10^{16}$	< 85
0.4	$1.3 \times 10^{16} \sim 2.6 \times 10^{16}$	< 84
0.5	$7.0 \times 10^{15} \sim 1.6 \times 10^{16}$	< 86

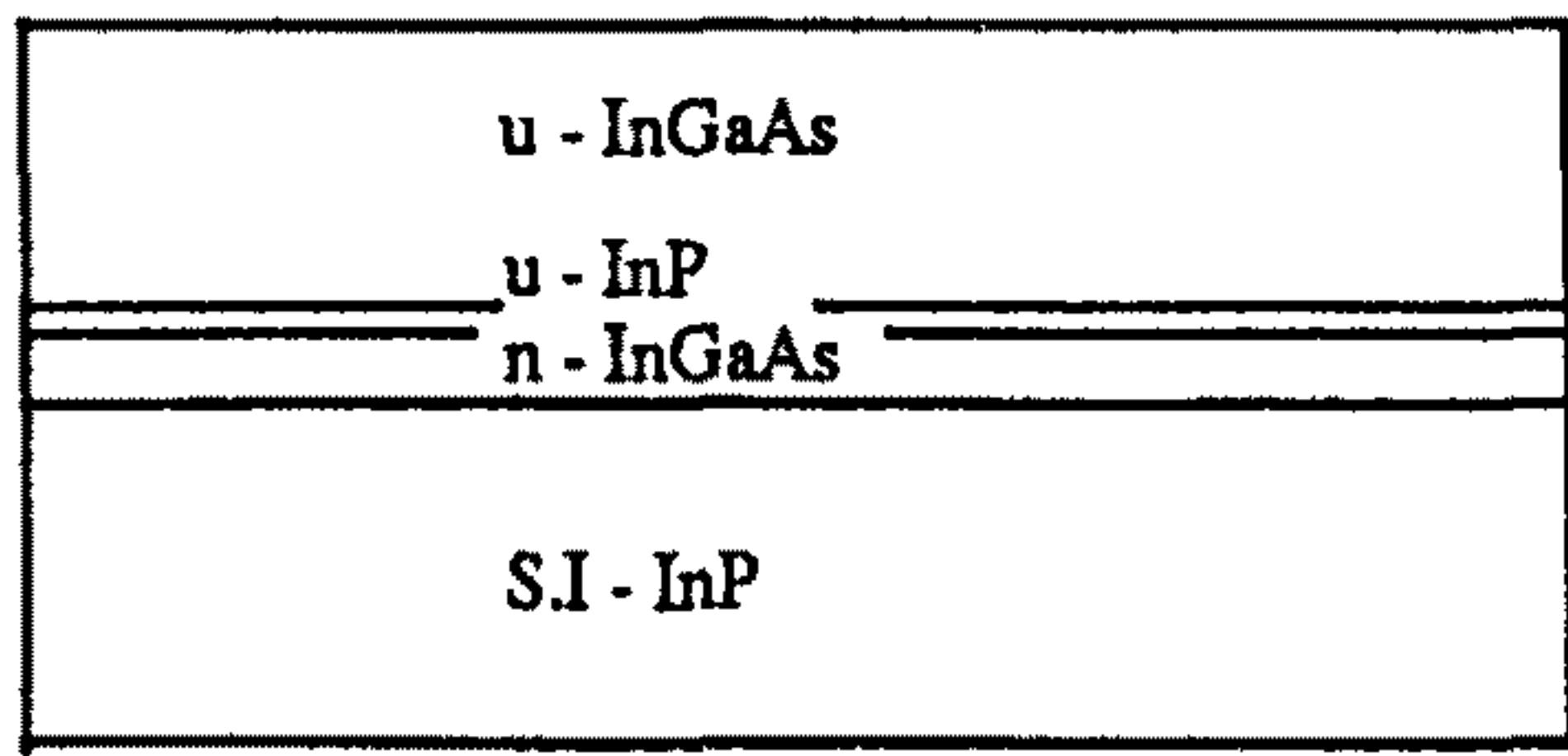
$135 \times 10^{-15} \sim 150 \times 10^{-15} \text{ A}^2$ 를 만족하는 범위를 나타낸 것이다. 이러한 범위를 정리하면 〈표 3-4〉와 같다. 그러므로, 고속동작과 낮은 잡음 전류의 증폭기 제작을 위하여 트랜지스터 조건으로 채널층의 두께는 $0.20 \sim 0.25 \mu\text{m}$, 도우핑 범위는 $7 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 로 하는 것이 최적으로 판단된다.

제 3 절 p-InP/n-InGaAs JFET 제작

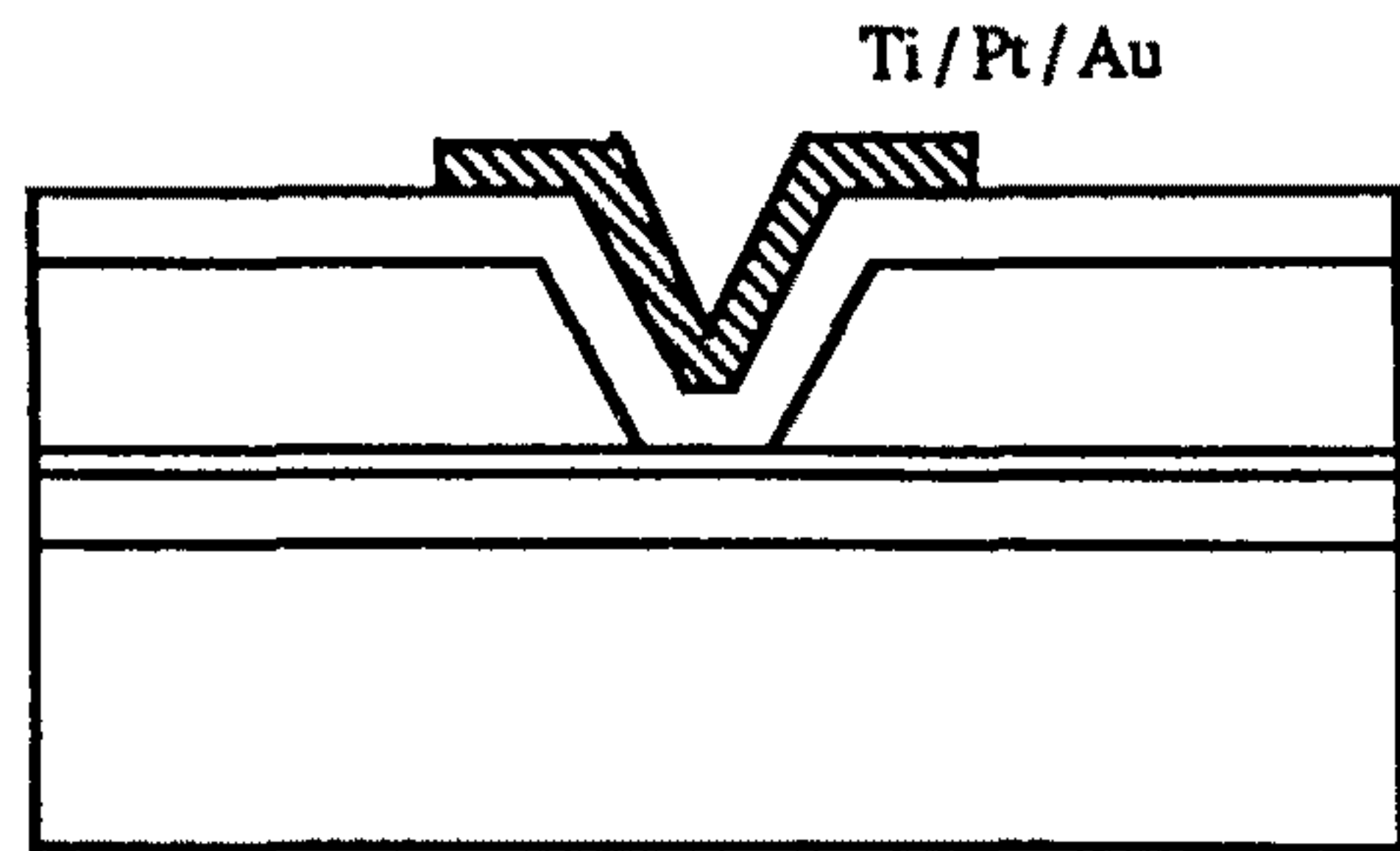
(그림 3-5)은 광전집적회로를 위하여 제안한 JFET의 제작 공정의 웨이퍼 단면을 나타내고 있다. 본 연구 결과에서 제안하는 JFET 구조의 특징으로, 첫 째는 (그림.3-5-a)에서와 같이 결정성장된 웨이퍼에 u-InGaAs의 선택적 화학 기상 식각을 하고 p-InP의 두번째 결정 성장으로 p/n 접합을 이루어 제작하는 것으로, u-InGaAs층은 광검출기의 흡수층으로 이용되나 JFET 제작에는 게이트의 길이를 결정하는 요소로 밖에 작용을 하지 않고 있으므로 비양립성의 문제가 해결할 수

있는 것이고, 둘 째는 (그림.3-5-b)에서와 같이 길이: L_0 의 식각 마스크로 u-InGaAs를 선택식각하면 $L_1 = L_0 - 2h \cot \theta$ 의 게이트 길이를 갖는 JFET을 만들 수 있고, 세 째로 (그림.3-5-e)에서 보듯이 소오스/게이트 간의 금속 접합이 자기정렬 구조임을 알 수 있다. 첫 번째의 특징은 광전집적을 위한 절대적인 장점으로 중요하고, 두 번째의 특징은 짧은 게이트의 트랜지스터를 쉽게 만들 수 있는 장점으로, (111)면이 나타나는 메사 에칭을 하면 $\theta = 53.4^\circ$ 이므로 u-InGaAs층의 두께가 $h = 1.5 \mu\text{m}$ 이고 $L_0 = 3 \mu\text{m}$ 일때 $L_1 = 0.78 \mu\text{m}$ 의 짧은 게이트 길이를 얻을 수 있게 된다. 그러나 실제의 경우에는 InGaAs 식각시에 발생하는 under-cut을 고려하여야 한다. 세 번째의 특징은 게이트/소오스의 저항을 줄일 수 있게 하여 트랜지스터 성능을 향상시키는 중요 요소로 작용한다.

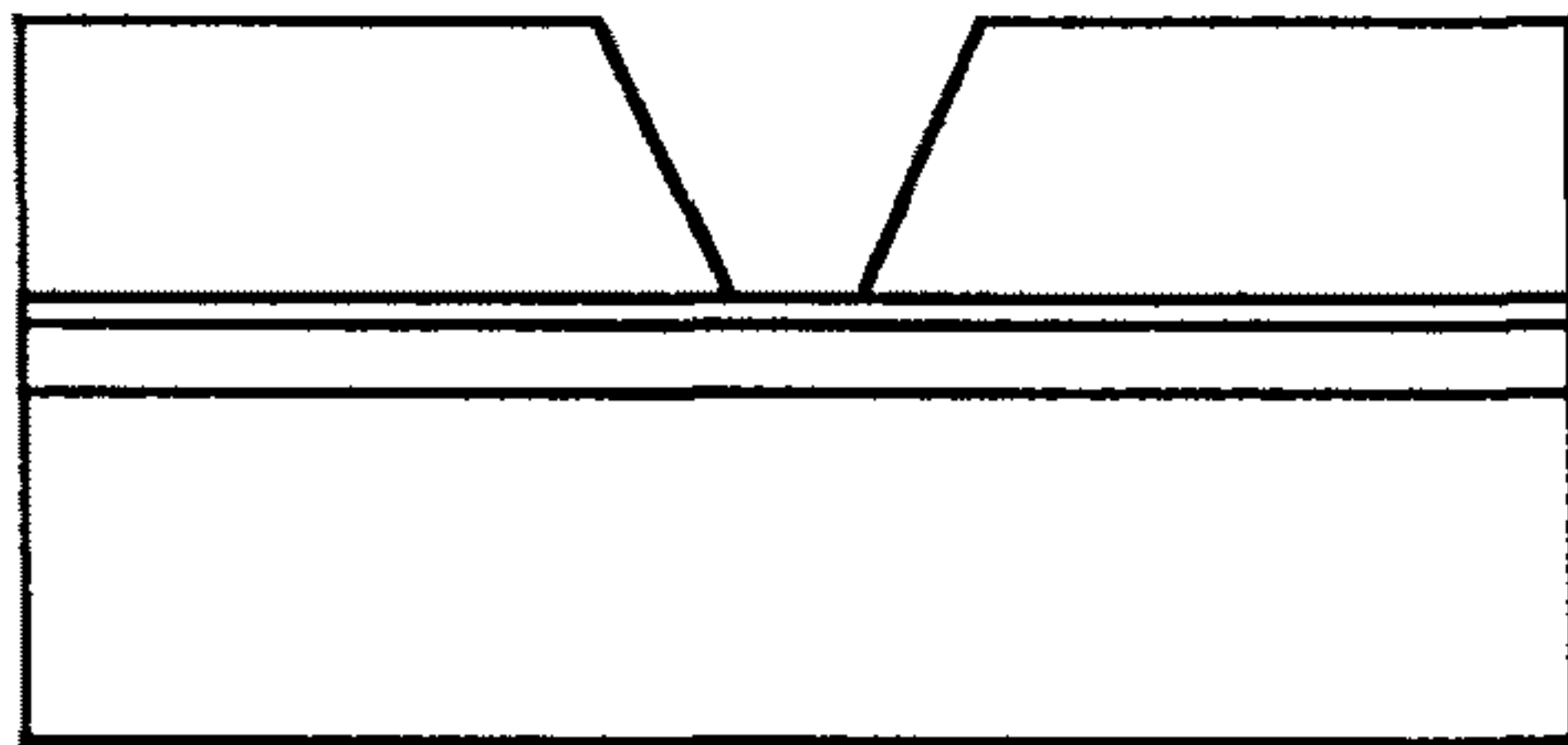
p-InP/n-InGaAs JFET 제작을 위하여 S.I-InP 기판위에 n-InGaAs(채널층; $0.2 \mu\text{m}$, $N_d = 1 \times 10^{17} \text{ cm}^{-3}$), u-InP(식각차단층; $0.1 \mu\text{m}$), u-InGaAs(광흡수층; $1.5 \mu\text{m}$, $N_d < 10^{15} / \text{cm}^3$)을 LP-OMVPE(76 mTorr)로 650°C 에서 성장하였다.^{5), 6)} Hall 측정에 의하면 성장된 n-InGaAs의 전자 이동도는 상온에서 $4,500 \text{ V/cm}^2\text{s}$ 이었다. 성장된 웨이퍼에 식각마스크로 포토레지스터 패턴을 $L_0 = 2, 3, 4, 5 \mu\text{m}$ 되도록 만들고 $5\text{H}_3\text{PO}_4:1\text{H}_2\text{O}_2$ 로 u-InGaAs를 1분 10초 동안 선택 식각한다. 본 실험의 경우에 발생한 under-cut은 $0.5 \mu\text{m}$ 이었고 $2 \mu\text{m}$ 패턴으로 $1 \mu\text{m}$ 게이트 길이를 얻을 수 있었다. 식각된 웨이퍼위에 p-InP를 LP-OMVPE로 600°C 에서 $0.7 \mu\text{m}$, $N_a = 10^{18} \text{ cm}^{-3}$ 이 되도록 비평면 결정 성장하고^{6), 10)} p형 금속, Ti/Pt/Au을 게이트 부분위에 Lift-off 방법으로 E-beam 증착하였다. 412°C 에서 30 % H_2/N_2 가스 분위기로 10 초 동안 annealing한다. 증착된 게이트 금속을 식각마스크로 게이트 부분이외의 p-InP를 $4\text{HCl}:1\text{H}_2\text{O}$ 로 1분 동안 제거하고 u-InGaAs를 $5\text{H}_3\text{PO}_4:1\text{H}_2\text{O}_2$ 로 5분 동안 과다 식각한다. 이러한 과다 식각은 게이트 날개 밑부분의 u-InGaAs를



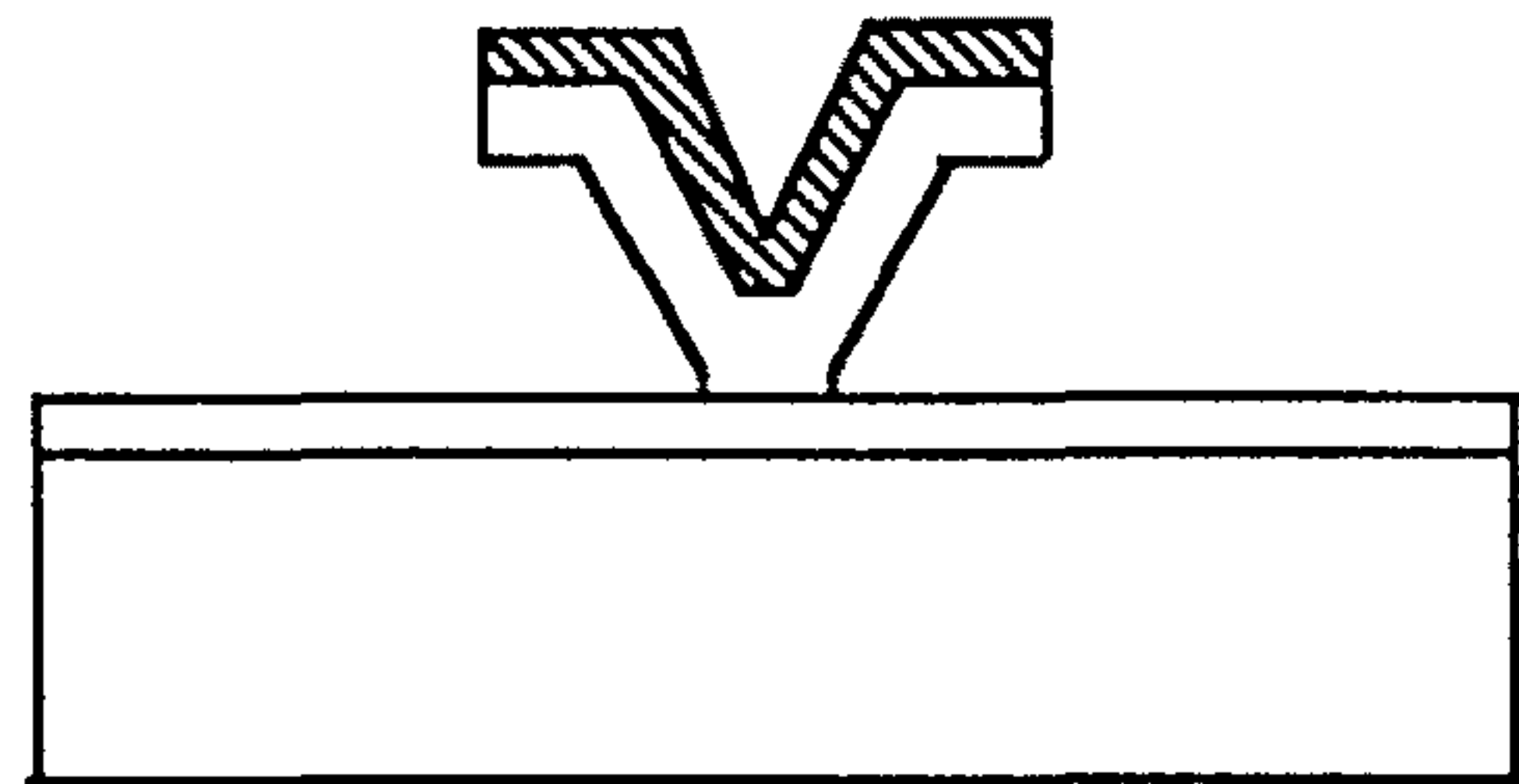
(a) 1st OMVPE Growth



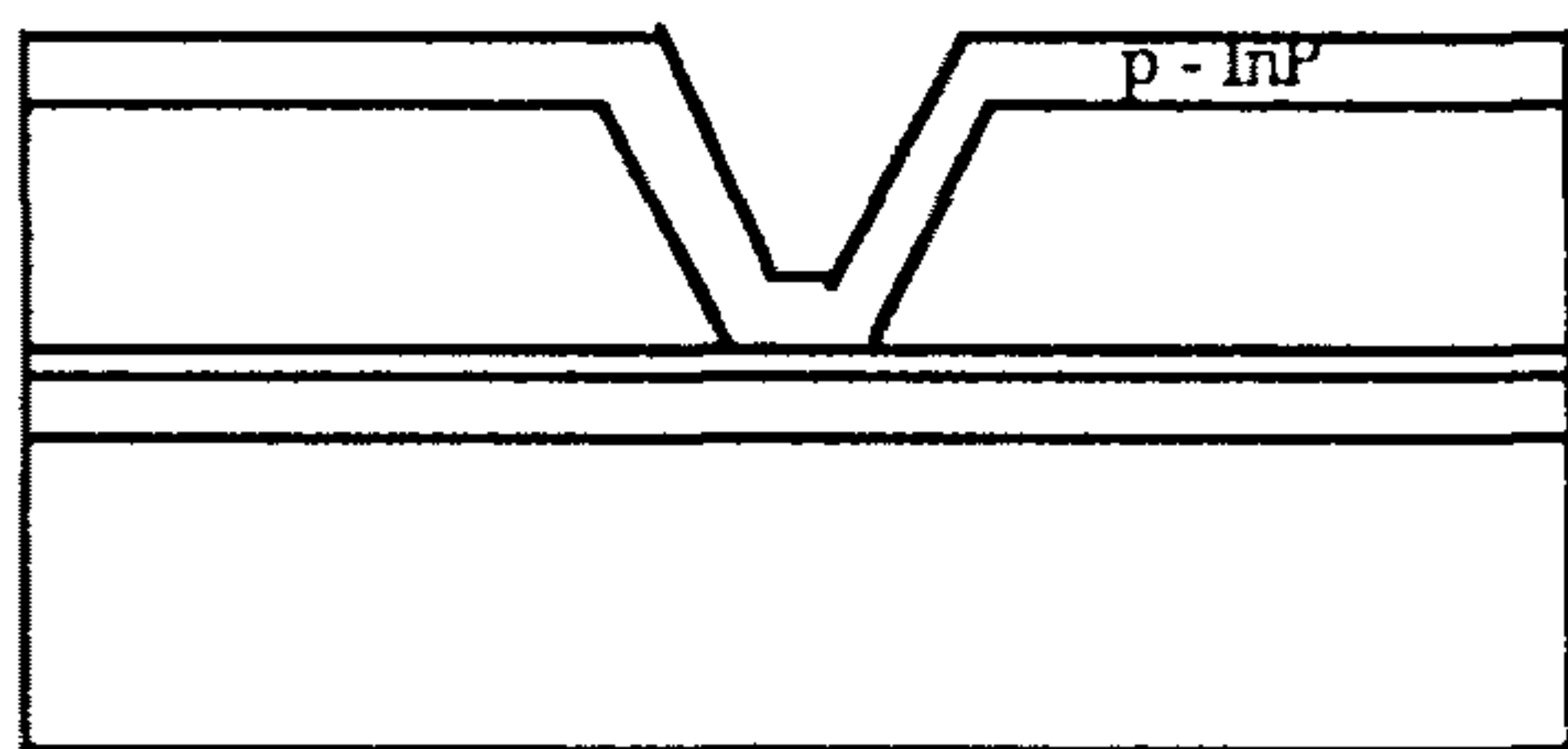
(d) p - metallization



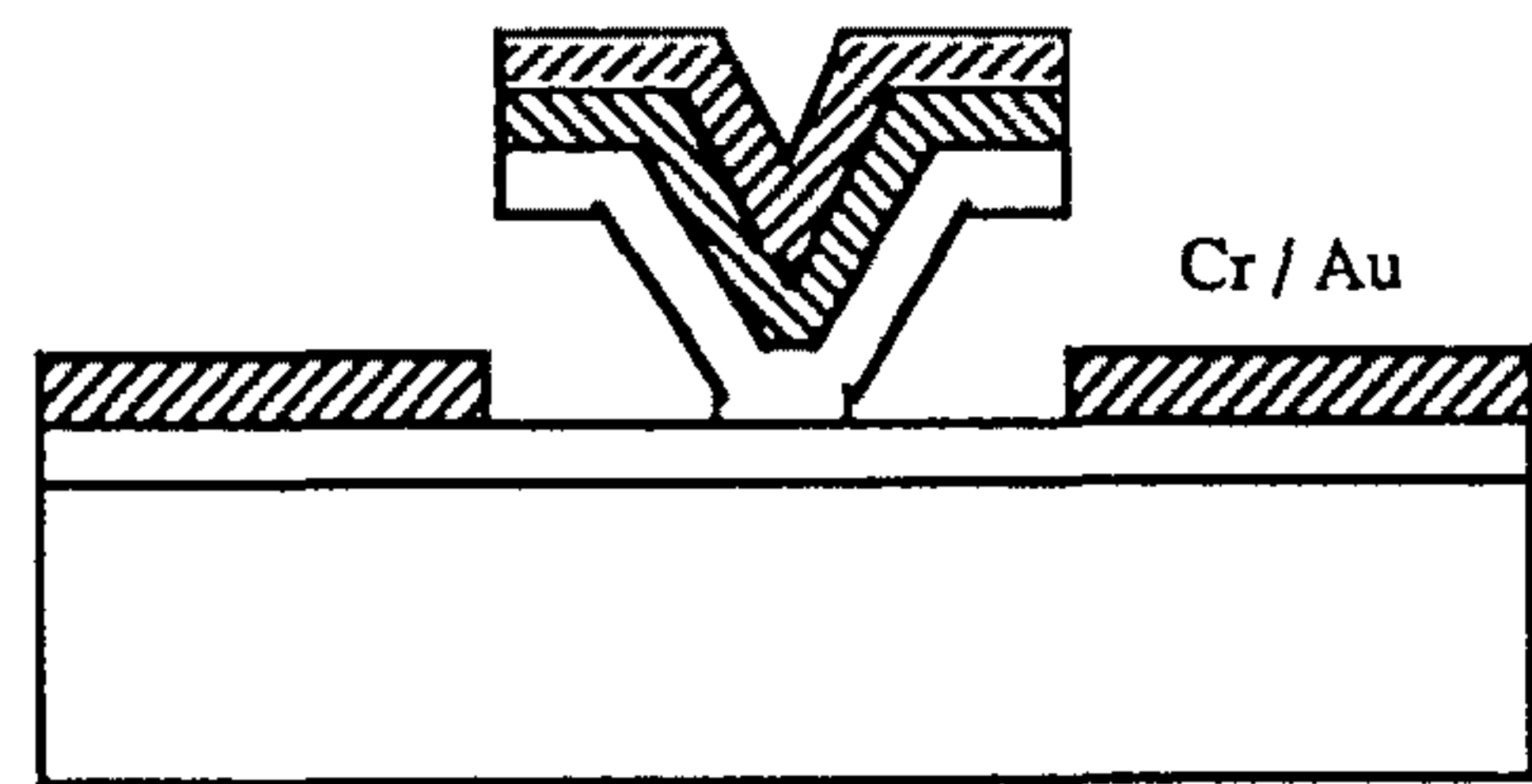
(b) InGaAs Selective etching



(e) p - InP, InGaAs Selective etching

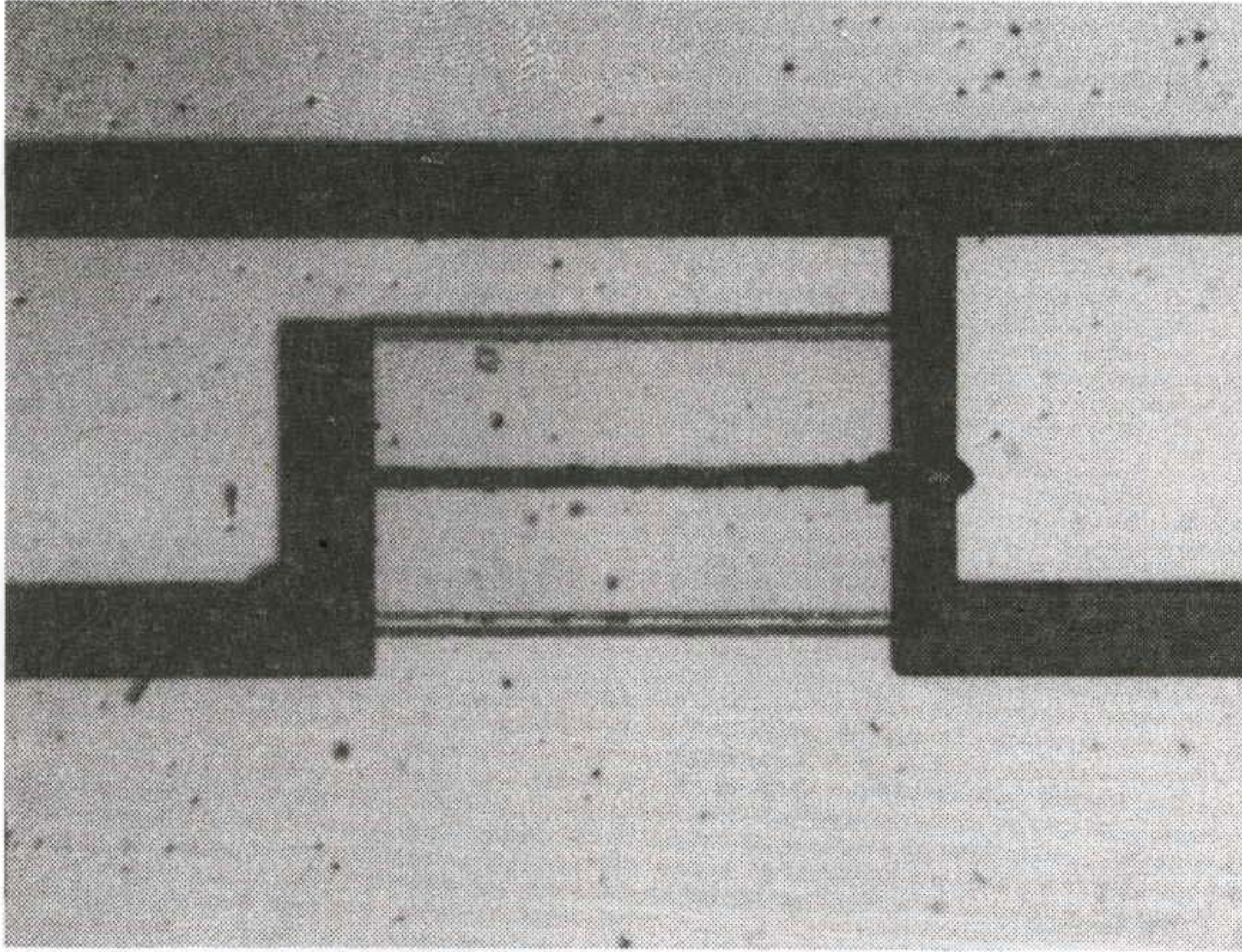


(c) p - InP 2nd OMVPE Growth

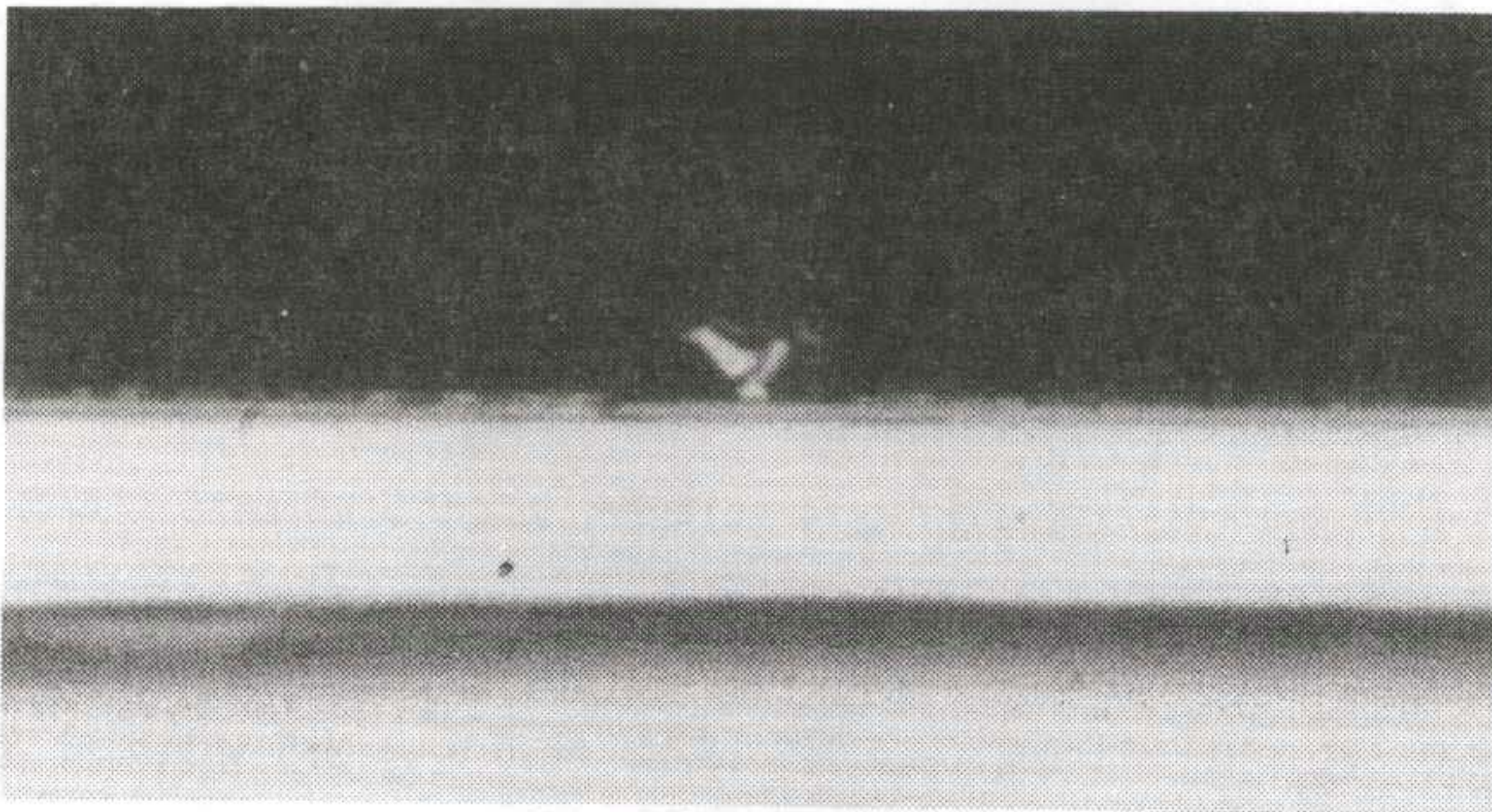


(f) n - metallization

(그림 3-5) InGaAs JFET 제작 단면도



(사진 3-1) 제작된 InGaAs JFET 표면 사진



(사진 3-2) 제작된 InGaAs JFET 단면 사진

제거하기 위함이다. 소오스 및 드레인의 금속증착은 Cr/Au를 E-beam으로 증착한 후 Lift-off 방법을 사용하여 형성하였고 이 금속층은 게이트 부분과는 단차에 의하여 자기정렬되어진다. Cr/Au의 annealing은 30 % H₂/N₂ 가스 분위기에서 385 °C에서 30 초 동안 한다. 마지막 단계로 polyimide를 이용하여 passivation하고 패드 금속을 증착한다. (사진 3-1)은 제작된 JFET의 표면 사진이고 (사진 3-2)는 단면 사진이다.

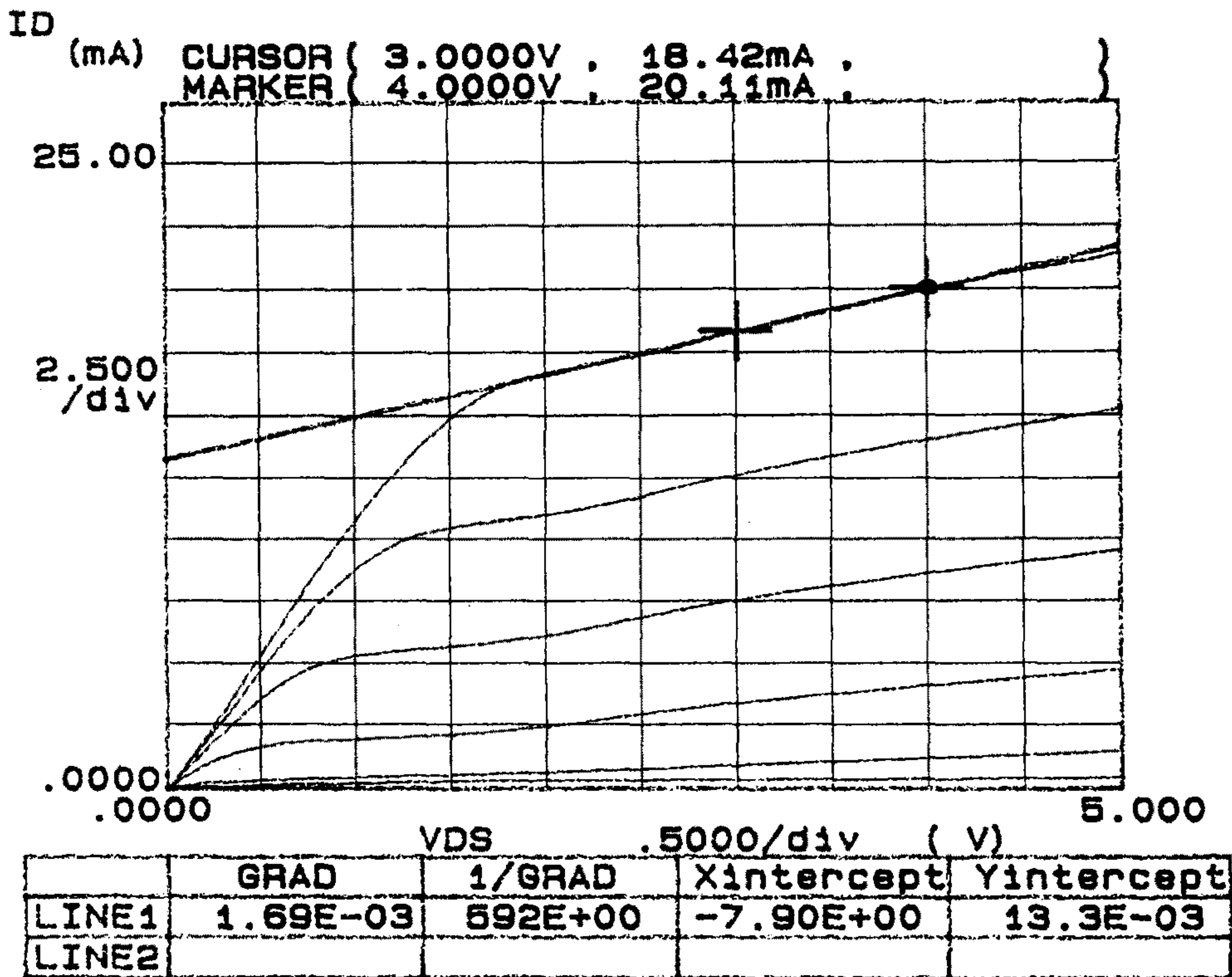
제 4 절 p-InP/n-InGaAs JFET 특성 측정 및 논의

광수신 집적회로의 설계시에 요구되는 소자의 특성변수로 전달콘덕턴스, 게이트/소오스의 전하용량, 누설전류, 소오스 직렬 저항, pinch-off 전압, output resistance 등을 측정하였다.

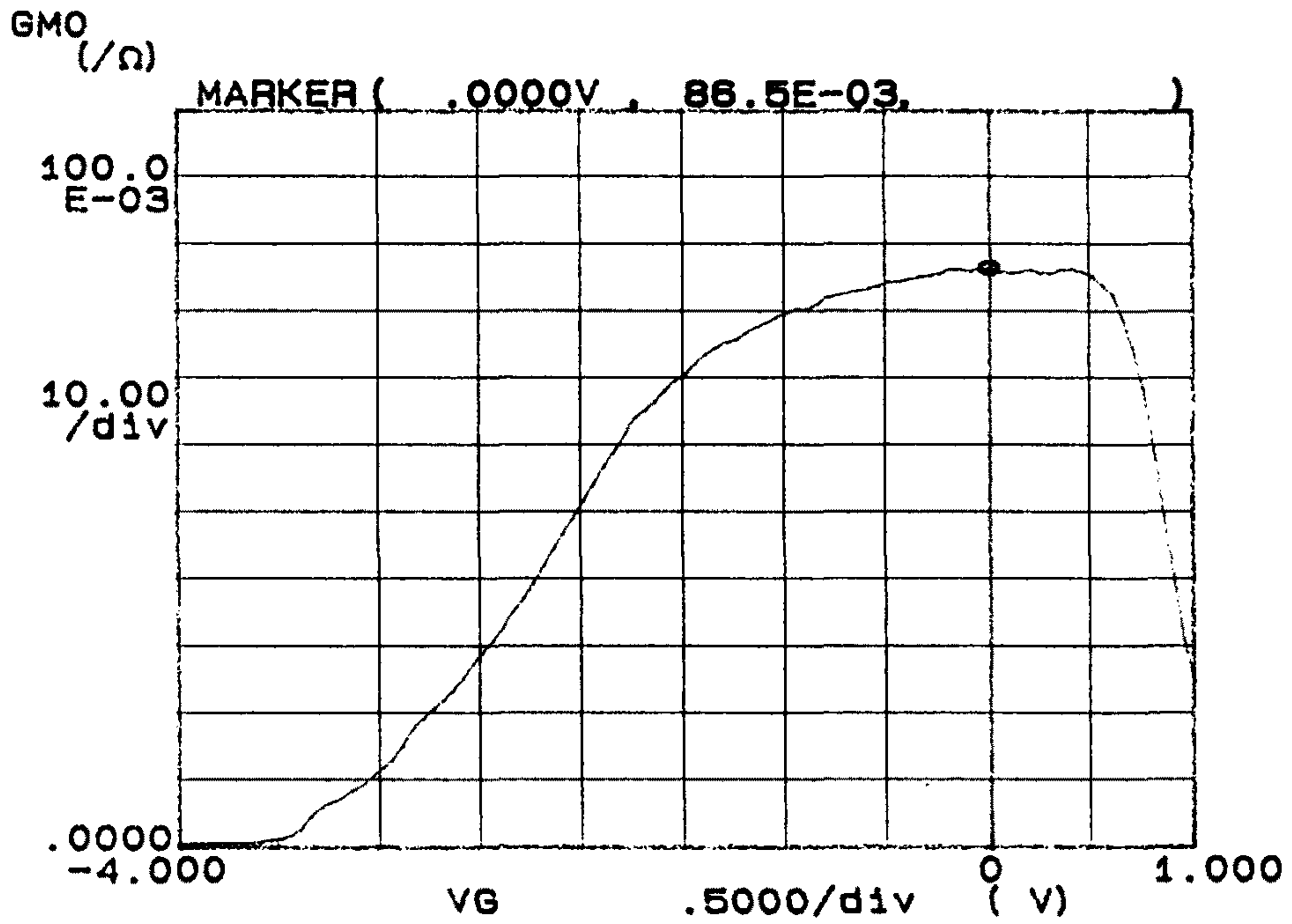
(그림 3-6)은 게이트 길이가 1 μm 인 JFET의 I-V특성으로 $V_{gs} = 2.5$ volt에서 pinch-off됨을 알 수 있고 $V_{gs} = 0$ volt에서 output resistance가 592 Ω 이었다. (그림 3-7)은 게이트/소오스 전압에 따른 전달콘덕턴스 곡선으로 $V_{gs} = 0$ volt에서 87 mS/mm를 보였다. (그림 3-8)은 게이트/소오스에 흐르는 누설전류를 나타낸 것으로 $V_{gs} = -2$ volt 에서 $I_{g1} = 93$ nA로 나타났고 누설전류에 의한 전달콘덕턴스의 감소 성분인 $g_{md} = -dI_{gd}/dv_{gd}$ 가 $V_{dg} = 4$ volt에서 $g_{md} = 0.5$ mS/mm로 영향을 무시할 수 있다. (그림 3-9)는 게이트 길이가 1 μm 경우인 게이트/소오스 간의 C-V 특성곡선으로 $V_{gs} = 0$ volt에서 $C_{gs} = 1.7$ pF/mm 이고 $V_{gs} = 2.5$ volt에서 완전히 depletion됨을 볼 수 있어 (그림 3-6)의 pinch-off 전압과 일치됨을 알 수 있다. 또한 C-V 측정을 이용한 채널층의 도우핑을 산출하여 보면 $\sim 2 \times 10^{17}$ cm⁻³으로 계산되었다. 이러한 결과로 게이트 길이가 1 μm 인 경우에 차단 주파수가 $f_t(; 2\pi$

$g_m/C_{gs}) = 8.1 \text{ GHz}$ 가 된다.

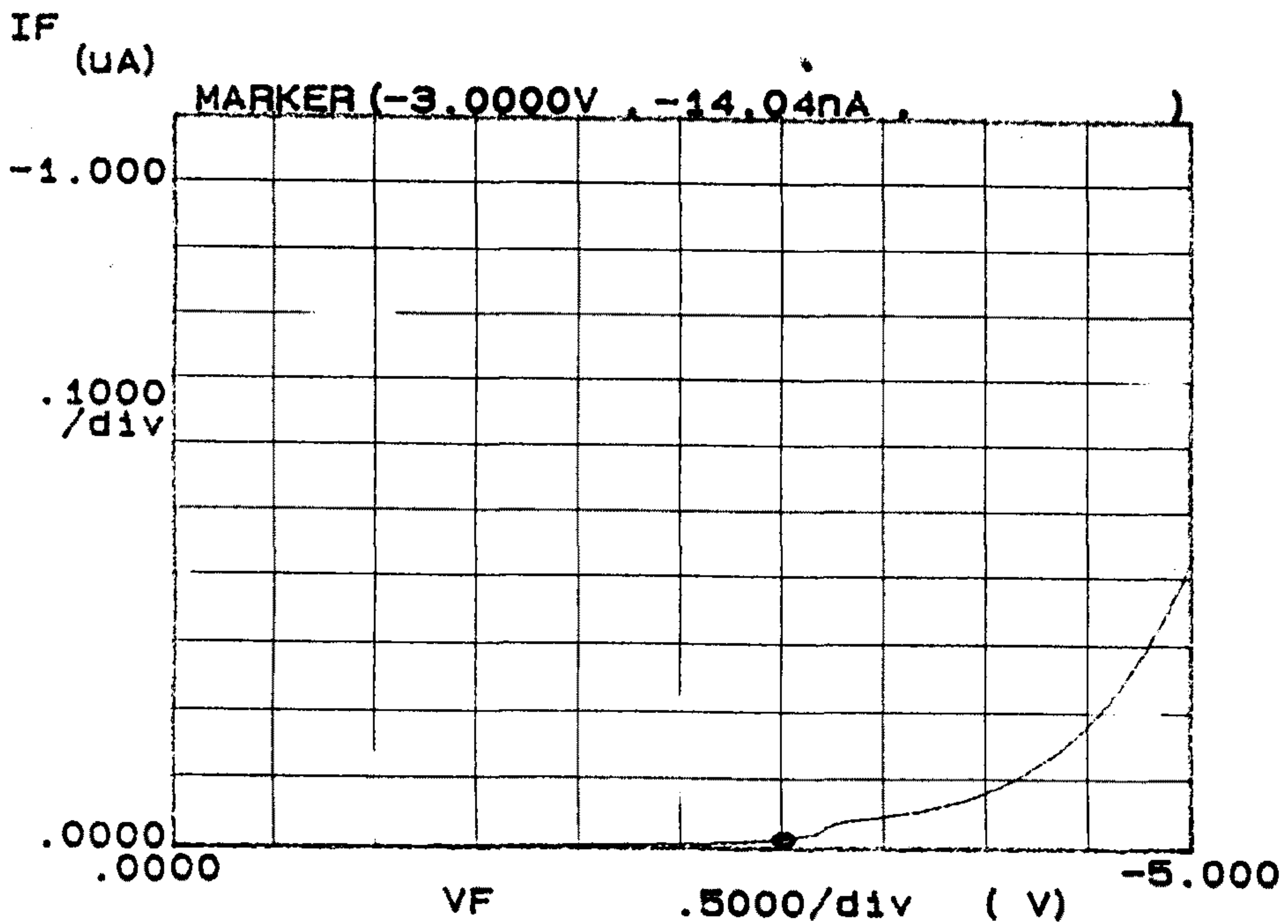
(그림 3-10)과 (그림 3-11)은 게이트 길이에 따른 전달콘덕턴스 및 소오스/게이트의 전하용량의 변화를 보여주는 그래프로서 전하용량은 게이트 길이가 줄어들어 따라 선형적으로 줄어들음을 확연히 볼 수 있으나 전달콘덕턴스의 변화는 미약하게 나타나고 있음을 알 수 있다. 이와 같은 전달콘덕턴스의 불변 현상은 일차적인 원인으로 소오스의 접촉저항: R_c 및 직렬저항: R_s 의 영향으로 기대된다. 즉, $V_{ds}=0, V_{gs}=0 \text{ volt}$ 에 접하여 dI_d/dV_{ds} 로부터 $R_{ts}=R_s+R_c$ 를 구하면 $R_{ts}=20 \Omega$ 이어서 $g_m=g_{mi}/(1+R_{ts} \times g_{mi})$ 의 관계에 따라 extrinsic 전달콘덕턴스의 증가가 미약하게 나타난 것이다.



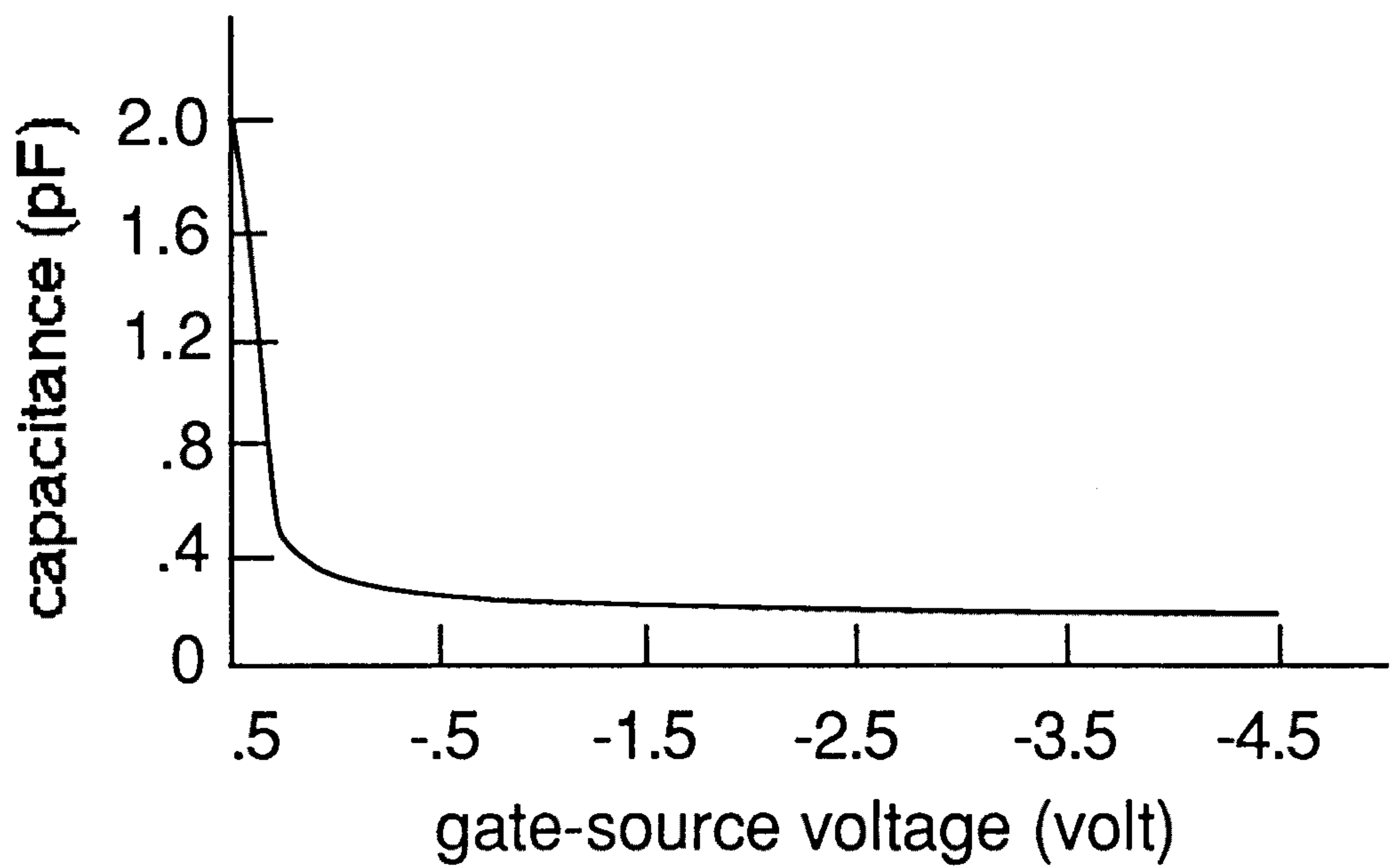
(그림 3-6) InGaAs JFET의 전압-전류 특성 곡선



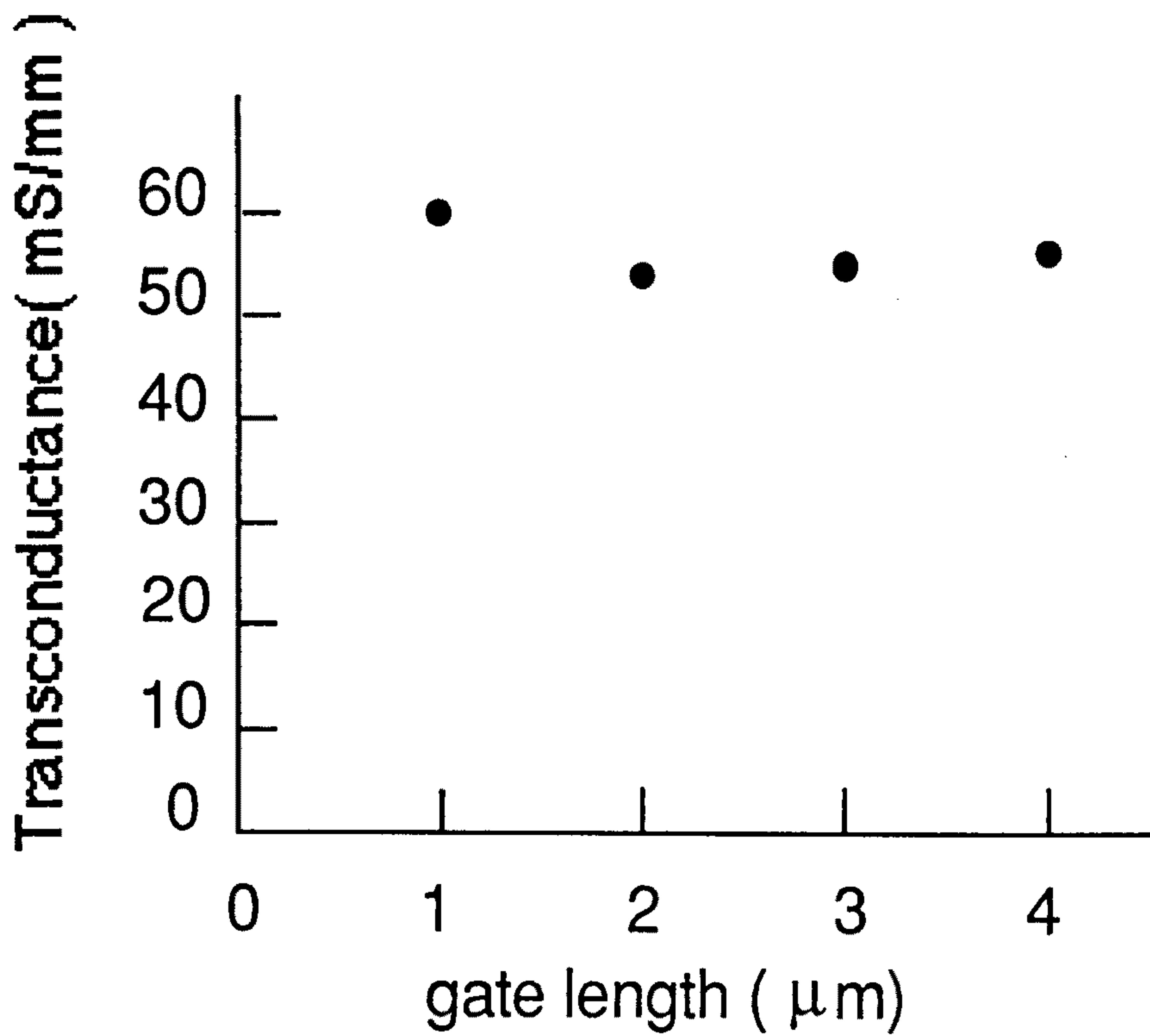
(그림 3-7) InGaAs JFET의 전달콘덕턴스 특성 곡선



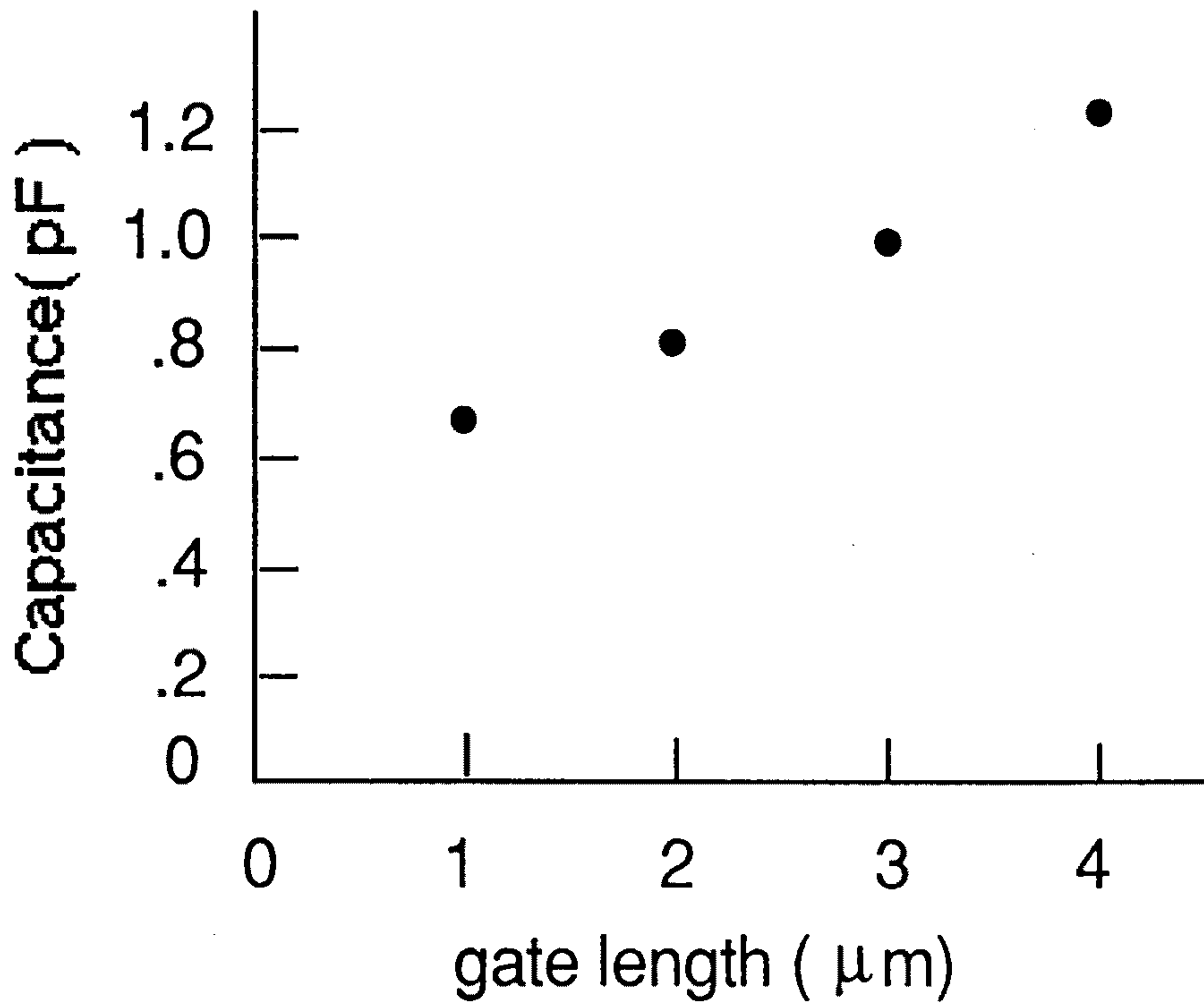
(그림 3-8) 게이트/소오스의 누설전류 특성 곡선



(그림 3-9) 게이트/소오스 전하용량 특성 곡선



(그림 3-10) 게이트 길이에 따른 전달콘덕턴스 변화



(그림 3-11) 게이트 길이에 따른 전하용량 변화

제 5 절 결 론

광수신 집적화를 위하여 PIN-광검출기와 양립하여 병존할 수있는 전자소자로 자기정렬 접합형 전계효과 트랜지스터를 새롭게 설계하였고 OMVPE 결정성장과 선택시각등의 공정 개발을 통하여 InGaAs JFET을 제작하였다. 제작된 트랜지스터의 특성으로, $1\ \mu\text{m}$ 게이트의 경우에 $V_{gs}=0\ \text{volt}$, $V_{ds}=0\ \text{volt}$ 에서 전달콘덕턴스가 $g_m=87\ \text{mS/mm}$, 전하용량이 $C_{gs}=1.7\ \text{pF/mm}$ 으로 차단주파수가 8.1 GHz의 특

성을 보였다. 게이트/소오스의 누설전류는 $I_{g1} \leq 0.1 \mu A$ 이었고, pinch-off 전압은 $V_{po} = 2.5 \sim 3 \text{ volt}$ 이었다. 이러한 특성 결과는 본과제의 목표인 2 Gbps 광수신 집적회로 동작을 위한 최소 요건을 만족하고 있다. 그러나, 고성능의 트랜지스터 제작을 위하여 채널층의 두께 및 도우핑 조절, 접촉저항의 감소화, $1 \mu m$ 이하의 게이트 형성을 통하여 이루어질 수 있을 것이며 이를 바탕으로 광전집적회로 분야의 발전에 일익을 담당할 것으로 기대된다.

여 백

제 4 장 InGaAs/InP 광수신 OEIC의 제작 및 특성

제 1 절 개 요

단일칩 광전집적회로는 하이브리드 집적회로에 비해 고성능, 고신뢰성 및 저가격 등의 장점이 예상되므로 많은 연구들이 수행되어 왔다. 그중에서도 광검출기와 전치 증폭기가 집적된 단일칩 광수신기는 집적에 의해 입력단의 정전 용량을 감소시켜 고속 및 저잡음 동작을 이룰수 있어 가장 큰 관심의 대상이 되어왔다. 이러한 광수신 OEIC는 GaAs나 InGaAs/InP 물질계를 사용하여 제작되어진다. 0.8 내지 0.9 μm 의 단파장 GaAs OEIC들은 이미 잘 개발된 MESFET 기술을 기반으로 5 GHz 이상의 대역폭을 갖는 고성능 OEIC와, 1) 소자수 2,000개 이상의 집적도를 갖는 고집적 OEIC들이 발표되었다. 2) 그러나 InGaAs/InP 물질을 사용한 1.3 내지 1.6 μm 파장의 광수신 OEIC들은 하이브리드에 비해 아직까지 그 성능이 뒤지고 있으며 집적된 소자의 수도 많지 않은 단계에 있다. 이러한 이유는 전자 소자와 광검출기 사이의 구조 및 제작 공정이 매우 상이하며, 또한 InP계 트랜지스터 기술이 아직까지 성숙되어 있지 않아 전치 증폭기의 특성이 우수하지 못하기 때문이다. 그래서 InGaAs/InP 계를 위한 여러가지 집적 구조들이 시도되었으며, 여러가지 구조의 트랜지스터들이 광검출기와 집적되어졌다. InP MISFET와 JFET이 InGaAs PIN 광검출기와 집적된 사례들이 있으며, 3), 4) 최근에는 GaAs나 InGaAs와 같은 에너지갭이 큰 물질을 중간층으로 사용하여 MESFET나 HEMT를 PIN PD나 MSM PD와 집적시켜 우수한 특성을 나타내고 있다. 5), 6)

본 연구에서는 광검출기와 JFET과의 제작 공정상 compatibility가 매우 우수한 새로운 구조의 PIN-JFET 광수신 OEIC를 제안하였다. 7) 대부분의 기존 OEIC에

서는 광검출기와 FET를 위한 epi층들이 분리되어 있고 이들 소자들의 제작 공정 역시 별도로 수행되어진다. 그러나 본 연구에서 제안된 PIN-JFET OEIC 구조에서는 두번의 OMVPE 공정에 의해 성장된 모든 epi층들과 모든 제작 공정들이 집적된 PIN 광검출기와 JFET의 제작에 필요하다. 특히, 기존의 집적 구조에서는 1 내지 3 μm 의 두꺼운 광흡수층이 트랜지스터 영역에서는 불필요하여 이는 에칭에 의해 제거되었으나 본 구조에서는 이 층이 허용될뿐 아니라 오히려 이 층을 이용하여 FET의 자기 정렬 구조를 형성하고 게이트 길이를 줄일수 있다.

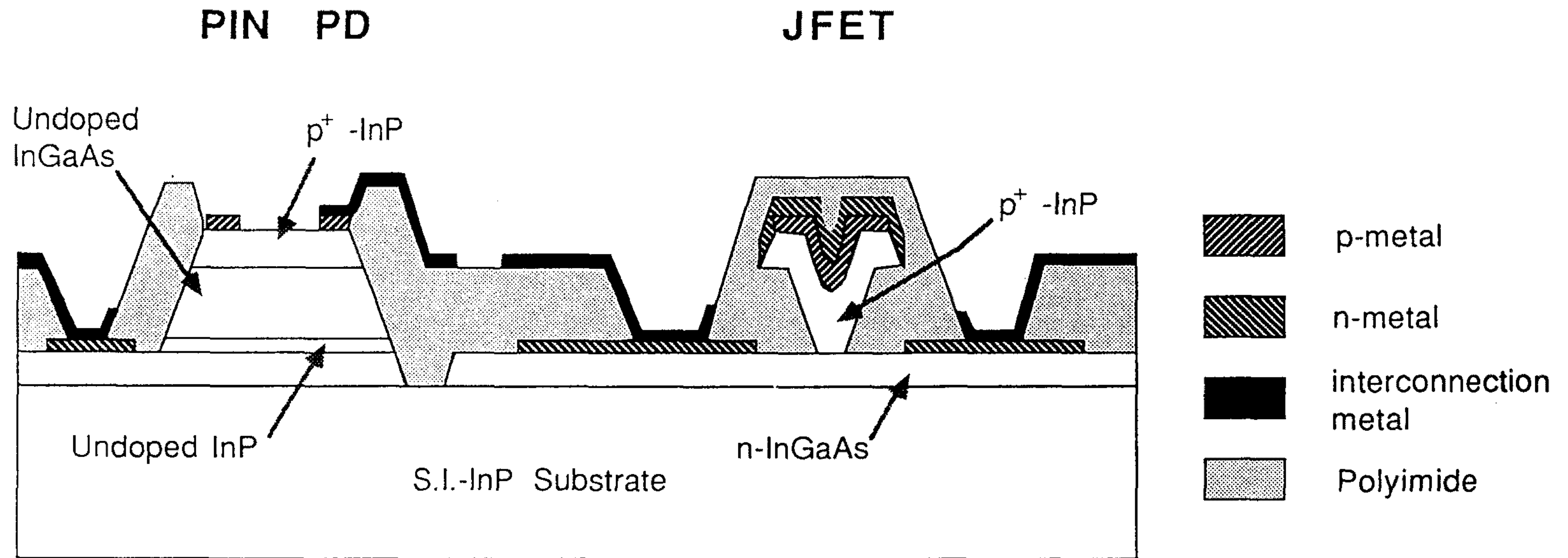
본 장에서는 제2절에서 제안된 PIN-JFET OEIC 구조 및 이의 제작 공정에 관하여 기술하고, 제3절에서 제작된 OEIC의 특성에 관하여 각 집적 단위 소자 및 OEIC에 대하여 기술하며 마지막으로 제4절에서 결론을 내렸다.

제 2 절 광수신 OEIC의 구조 및 제작 공정

1. PIN-JFET OEIC의 구조

제안된 광수신 OEIC의 단면도가 (그림4-1)에 있다. 광검출기로는 InGaAs PIN PD가 사용되었으며, 트랜지스터로는 자기 정렬 구조의 InGaAs JFET가 사용되었다. 반절연 InP 기판 위에 제작되어 집적도의 확장이 손쉽고 소자간 전기적 분리가 용이할뿐 아니라 기생 용량이 적어 고속 동작 및 저잡음화를 이룰수 있도록 하였다. JFET의 채널층을 InGaAs로 하여 Zn을 dopant로 한 p^+ -InP층과 급준한 pn 접합이 가능할뿐 아니라 InGaAs의 전자 이동도가 매우커서 큰 g_m 값 및 고속 동작이 가능하도록 하였다.

PIN 광검출기는 p^+ -InP층, n^- -InGaAs 광흡수층, n^- -InP 에칭 스톱층 및 n^- -InGaAs층으로 구성되어 있으며 다중 모드 광섬유와의 결합을 고려하여 지름이



(그림4-1) 제안된 InGaAs PIN-JFET 광수신 OEIC의 구조 단면도

80 μm 가 되도록 하였다. JFET는 날개 모양의 p^+ -InP층과 n-InGaAs 채널층으로 구성되어 있으며 대표적인 게이트 길이 및 폭은 각각 2 μm 와 150 μm 이다. 이 OEIC 구조의 특징은

- PD와 JFET 사이의 제작 공정 compatibility가 매우 우수하다는 것,
- PD의 두꺼운 광흡수층을 사용하여 자기정렬 구조의 JFET를 만들수 있다는 것, 그리고,
- JFET의 게이트 길이를 짧게 줄일수 있는 장점이 있다.

2. PIN-JFET OEIC의 제작 공정

이 광수신 OEIC는 다음과 같은 공정에 의해 제작되어진다. 먼저 반절연 InP 기판 위에 OMVPE에 의해 잔류 불순물 농도가 $1 \times 10^{15} \text{ cm}^{-3}$ 정도인 1.5 μm 두께의 undoped-InGaAs 광흡수층과 0.1 μm 두께의 undoped-InP 에칭 스톱층 및 $1 \times 10^{17} \text{ cm}^{-3}$ 농도를 갖는 0.3 μm 두께의 n-InGaAs 채널층을 차례로 성장시킨다. 이때 OMVPE 성장 압력 및 온도는 각각 76 Torr 및 650°C이며, III족 원료로는 trimethylindium (TMIn)과 trimethylgallium (TMGa)가 V족 원료로는 AsH₃와 PH₃ 가스가 사용되어진다. n형 dopant로는 SiH₄가 사용되어진다. 첫번째 OMVPE 결정 성장후 undoped-InGaAs 광흡수층과 undoped-InP 에칭 스톱층을 (111)In 면이 나타나도록 이방성 선택 에칭한다. 이때 에칭된 영역은 JFET의 pn 접합이 형성되는 게이트 부분과 소자가 위치하지 않는 분리 영역이 된다. 이 공정에서 JFET의 게이트 길이 L_G 가 결정되며, L_G 는 InGaAs 층의 두께 t 와 에칭 마스크상의 길이 L_M 에 의해 다음과 같이 된다.

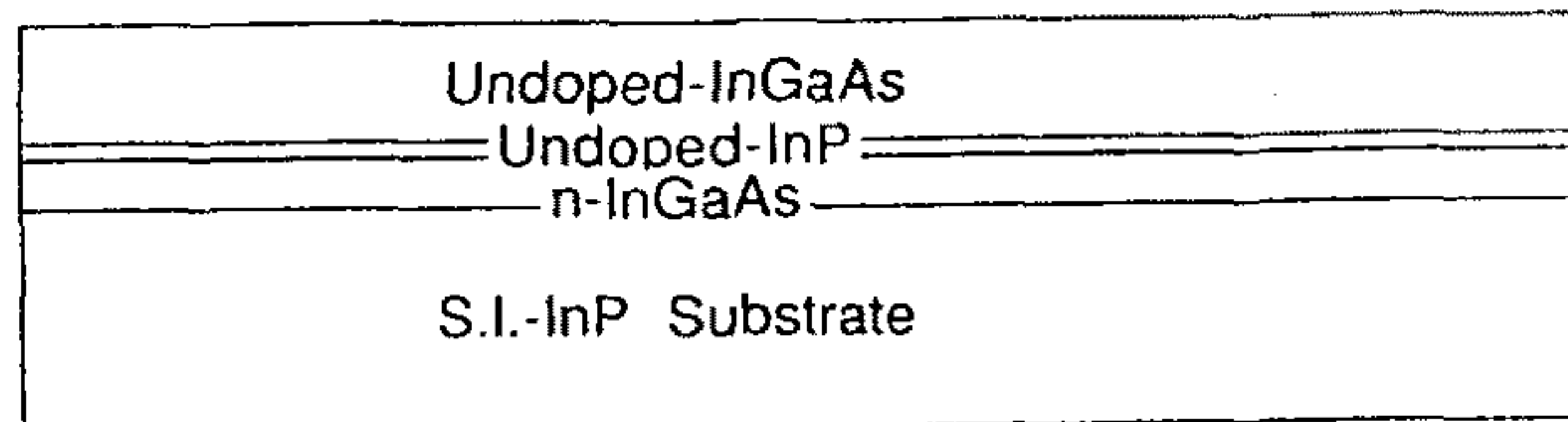
$$L_G = L_M - t/\tan\theta$$

여기에서 θ 는 에칭된 결정면의 각도로 대략 55°이다. 그러므로 우리는 광

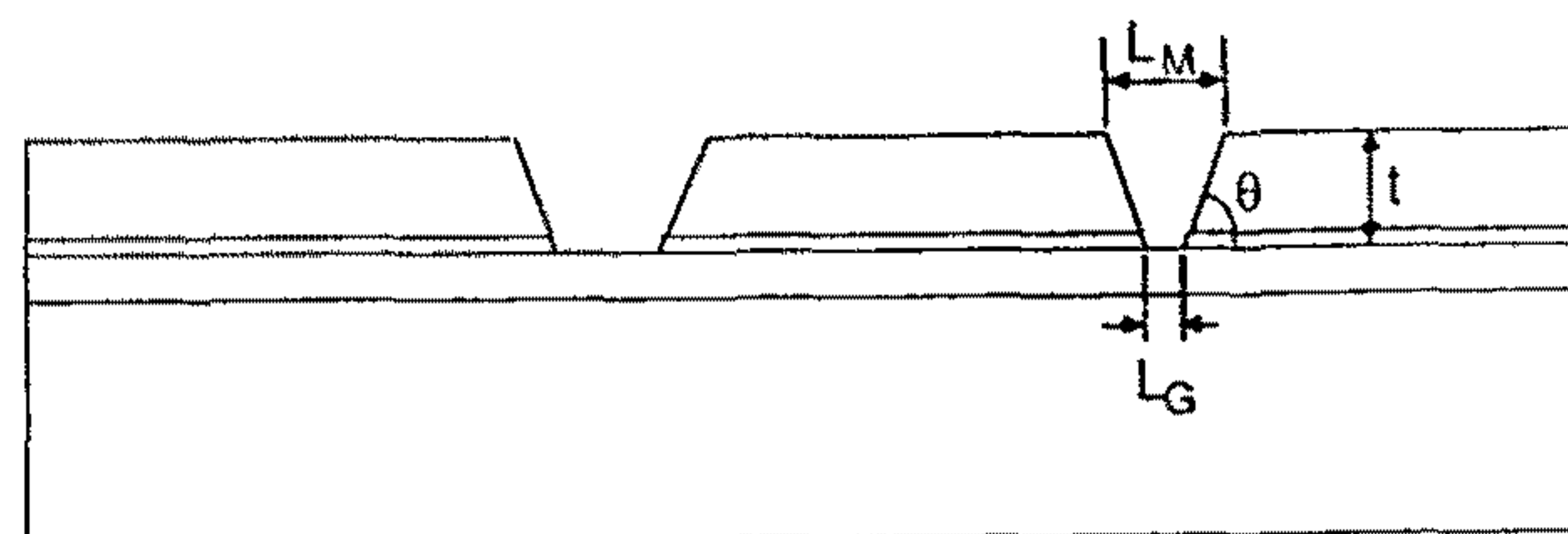
lithography에 의해 결정되는 길이보다 더 짧은 길이의 게이트를 얻을 수 있다. 다음은 PIN과 JFET의 pn 접합을 형성하기 위한 OMVPE 공정이다. 이때 성장된 epi 층은 $1 \times 10^{18} \text{ cm}^{-3}$ 의 doping 농도를 갖는 $0.5 \mu\text{m}$ 두께의 p⁺-InP층으로 성장 및 온도는 76 Torr와 600°C이다. p형 dopant로는 diethylzinc (DEZn)이다. 이러한 에칭된 단면 형태를 갖는 비평면 기판 위에서의 InP 성장 조건에 관하여는 제2차년도 보고서에 자세히 기술하였다. 다음 공정은 p형 저항성 접촉을 위하여 Ti(200Å)/Pt(400Å)/Au(2,000Å)를 lift-off 방법에 의해 증착하며, RTA를 이용하여 412°C에서 30초 동안 annealing한다. 그리고 InP, InGaAs 및 InP층들을 차례로 선택 에칭한다. 이때 에칭 마스크로는 JFET의 게이트 부분은 p형 금속을 PIN 광검출기를 위하여는 photoresist를 사용한다. 이 에칭 공정이 끝나면 날개 모양의 자기 정렬 JFET 구조가 형성된다. 에칭 용액으로는 InP를 위하여 $1\text{HCl} + 8\text{H}_3\text{PO}_4$ 가 InGaAs를 위하여 $5\text{H}_3\text{PO}_4 + 1\text{H}_2\text{O}_2$ 가 각각 사용된다. 남은 공정으로는 n형 저항성 접촉을 위한 Cr(200Å)/Au(2,000Å) 증착 및 annealing, 평면화 및 passivation을 위한 $1 \mu\text{m}$ 두께의 polyimide 공정, 그리고 마지막으로 interconnection과 본딩용 pad를 위한 Ti(200Å)/Au(2,500Å) 증착이 있다. (그림 4-2)는 이러한 전체 제작 공정의 단면도이다.

(그림 4-3)은 이와 같은 공정에 의해 제작된 PIN-JFET 광수신 OEIC의 표면 사진과 회로도이다. 하나의 OEIC 칩은 $600 \times 500 \mu\text{m}^2$ 의 크기를 갖으며, 집적된 소자의 수는 4개로서 한개의 PIN 광검출기, InGaAs 채널층으로 만들어진 한개의 바이어스 저항, 그리고 전치 증폭기를 형성하는 두개의 JFET로 구성되어 있다.

(a) First OMVPE Growth

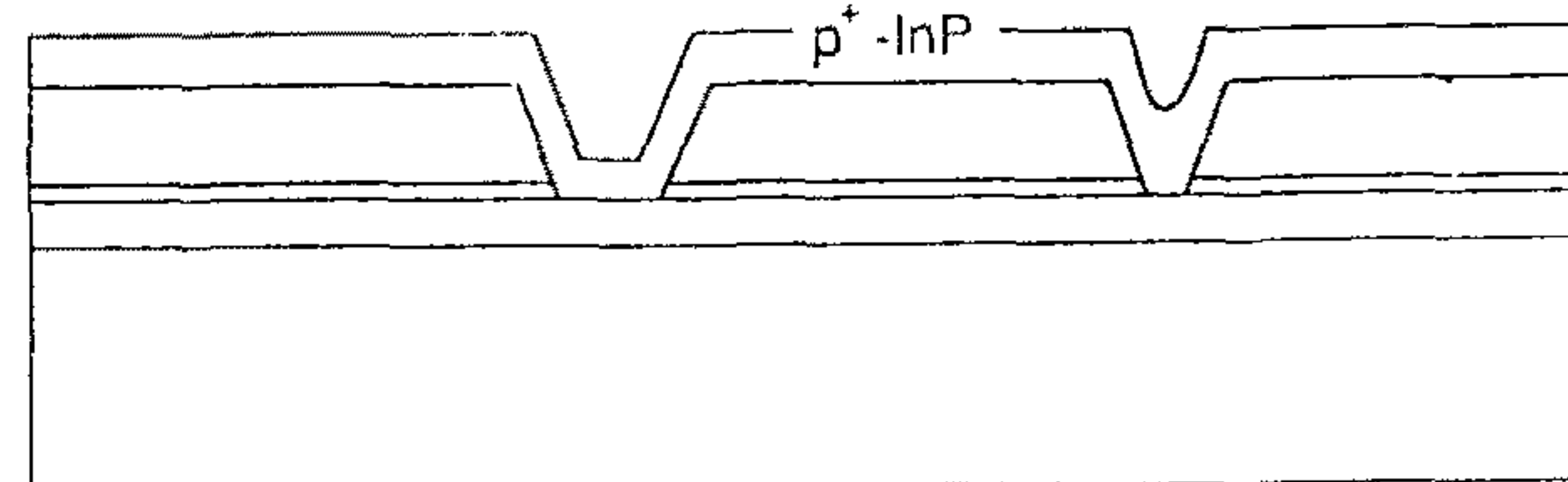


(b) Anisotropic Etching of InGaAs

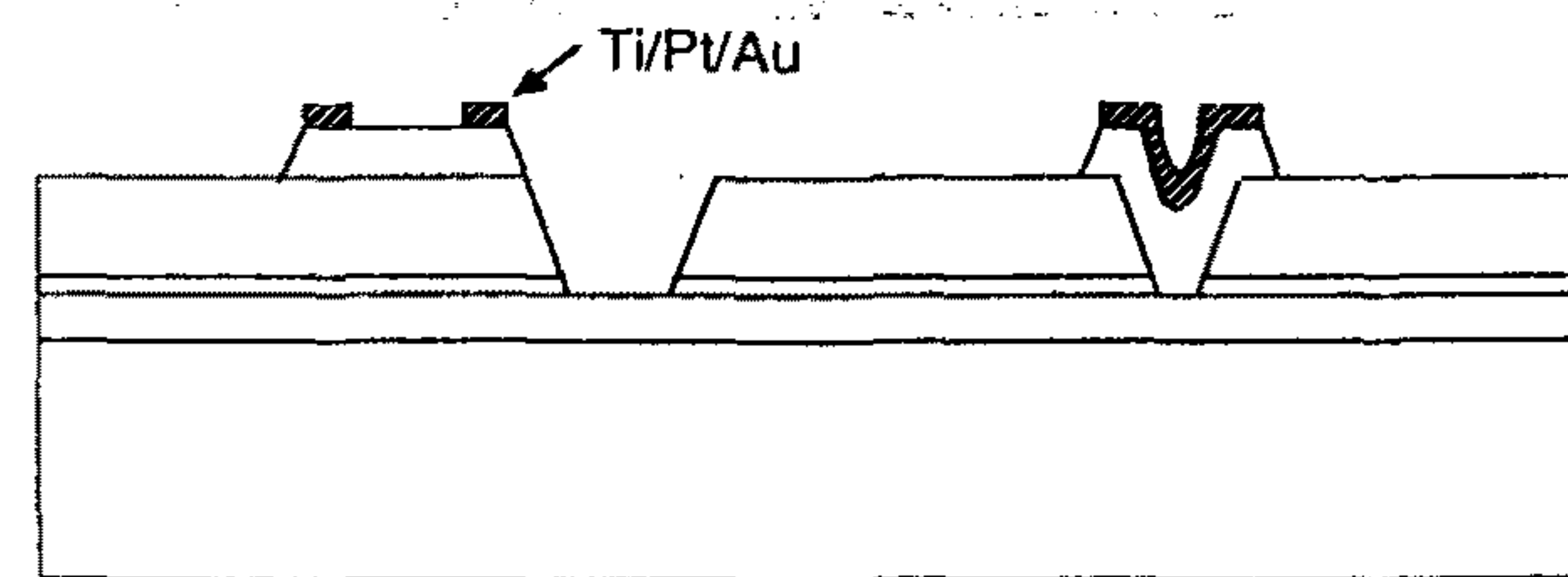


$$L_G = L_M \cdot 2/\tan\theta$$

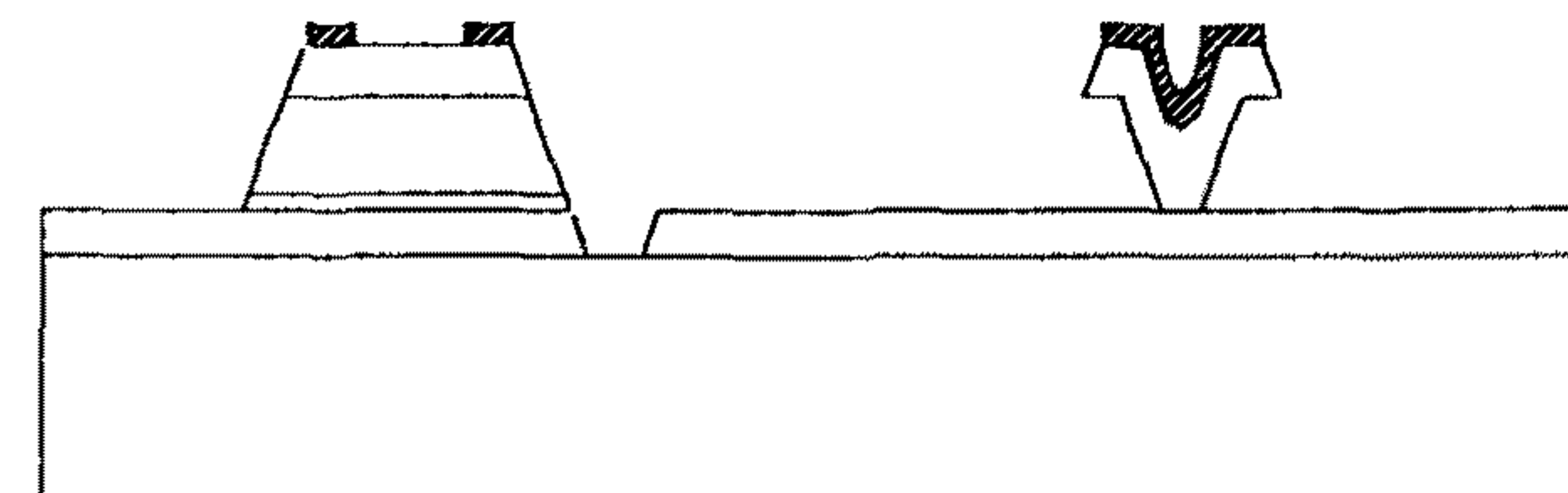
(c) Second OMVPE Growth of p⁺-InP



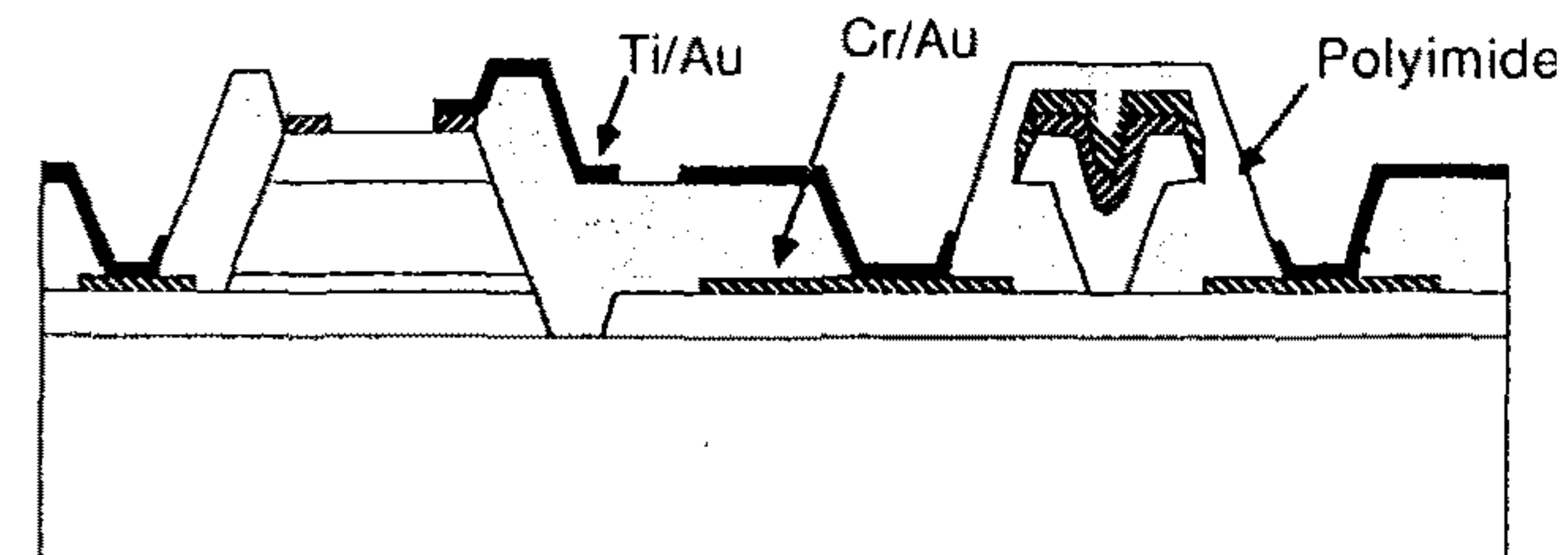
(d) p-type Ohmic Contact and InP Etching



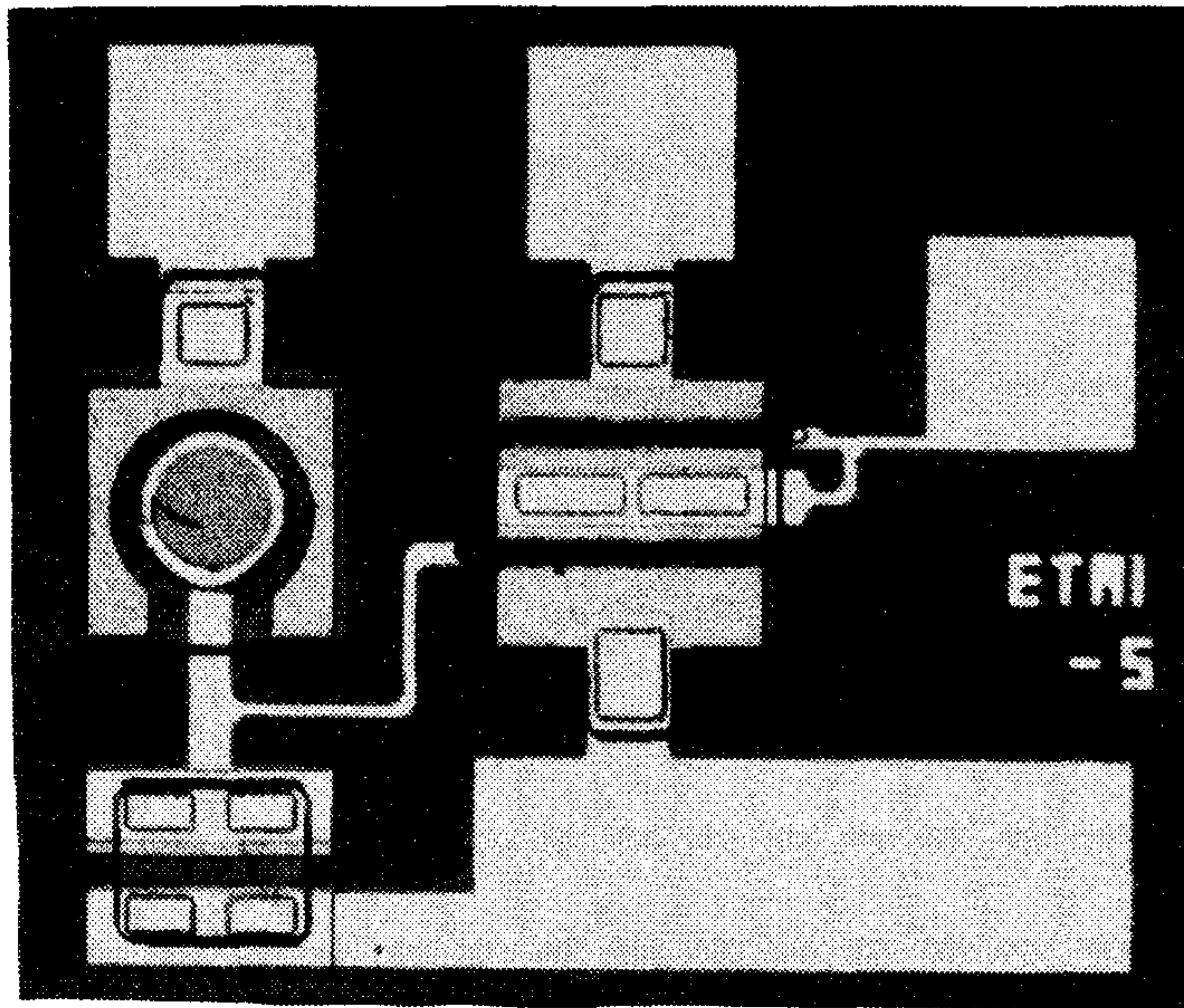
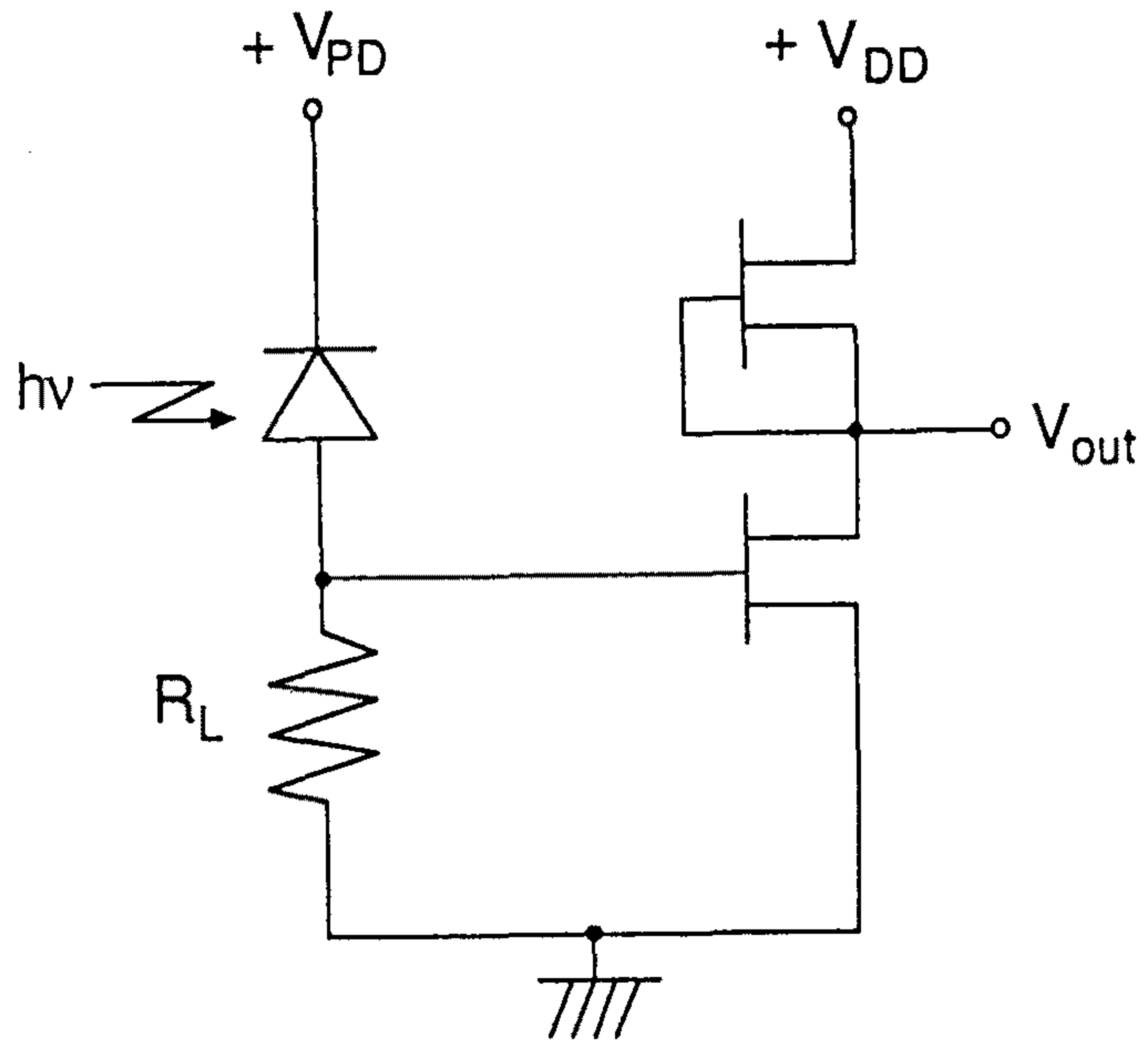
(e) Successive Etching of InGaAs and InP



(f) n-type Ohmic Contact, Polyimide Passivation and Interconnection Metallization



(그림4-2) PIN-JFET 광수신 OEIC의 제작 공정 단면도



(그림4-3) 제작된 PIN-JFET 광수신 OEIC의 회로도 및 표면 사진

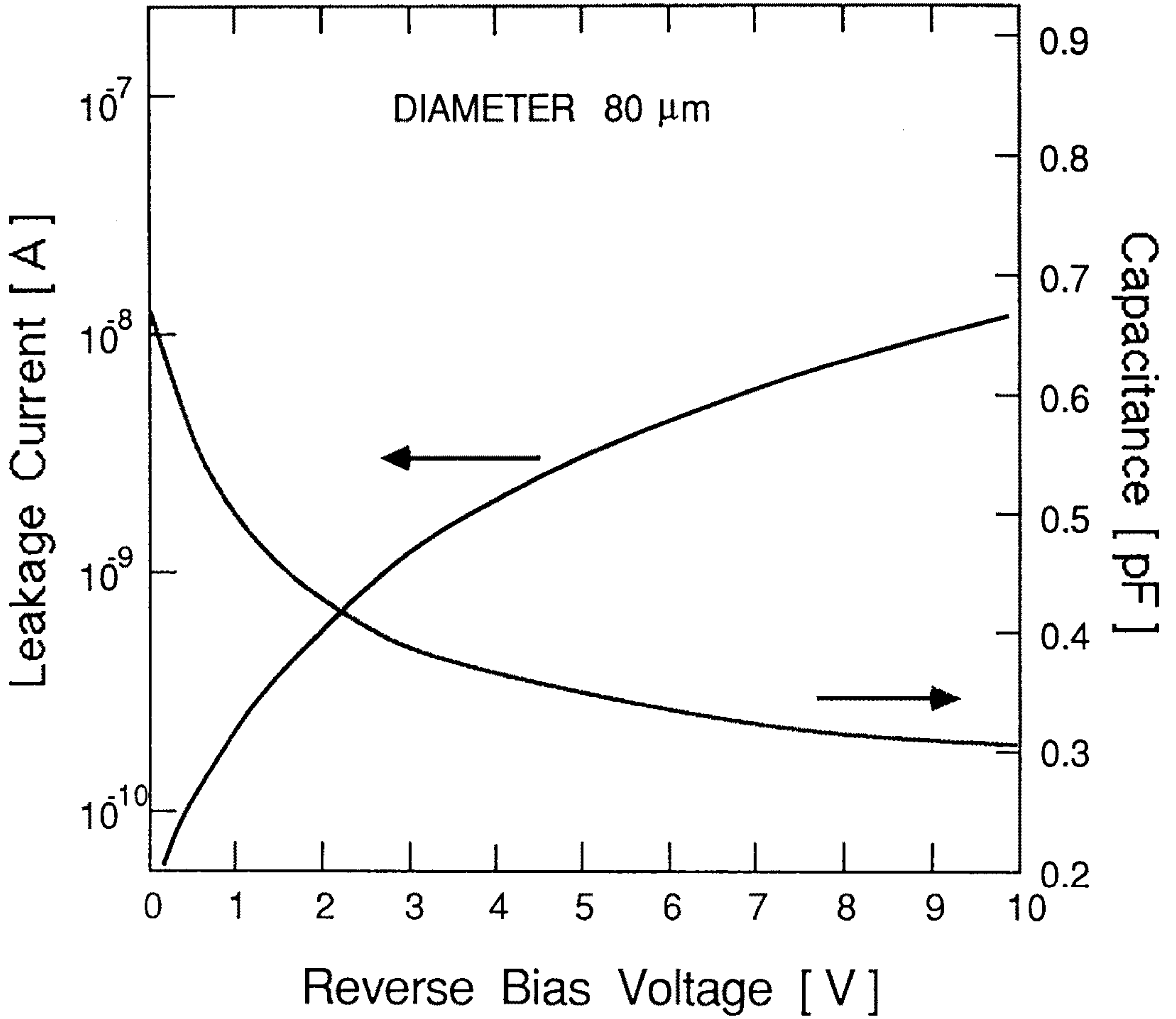
제 3 절 광수신 OEIC의 특성 및 논의

1. 집적용 단위 소자의 특성

가. InGaAs PIN PD

지름이 80 μm 인 InGaAs PIN PD는 -5 V의 바이어스 전압에서 누설 전류는 2 nA 정도이며, 정전 용량은 대략 0.35 pF 정도의 값을 나타내었다. (그림4-4)는 바이어스 전압에 따른 PIN PD의 누설 전류와 정전 용량이다. 누설 전류 곡선으로부터 이 전압 영역에서는 터널링에 의한 전류의 breakdown이 일어나지 않음을 알 수 있으며, C-V 곡선으로부터 undoped-InGaAs 층의 doping 농도는 high 10^{14} 내지 low 10^{15} cm^{-3} 정도로 계산된다. -5 V의 바이어스 전압에서 측정된 정전 용량으로 부터 계산된 -3 dB 대역폭은 9.1 GHz로 고속 동작이 가능함을 알 수 있다. 이것은 반절연 InP 기판을 사용하고 두꺼운 polyimide에 의한 passivation으로 기생 용량을 대폭 제거했기 때문으로 여겨진다. 광응답 계수 (responsivity)는 1.3 μm 파장에서 0.47 A/W로 측정되며 이 값은 45%의 quantum efficiency에 대응된다. 광응답 계수가 이처럼 비교적 적은 이유는 무반사 코팅이 되어있지 않기 때문이다.

광검출기의 정전 용량은 기생 용량이 없는 경우 pn 접합이 형성된 광흡수층의 면적에 비례하므로, 광검출기의 면적을 줄이므로 초고속 동작이 가능하다. 그러나 이때에는 광섬유와의 결합이 어렵게 된다. 본 연구에서는 단일 모드 광섬유와의 결합을 고려한 20 μm 지름의 PIN PD를 아울러 제작하여 특성을 측정하였다. -5 V에서 측정된 정전 용량은 75 fF으로 기생 용량이 거의 없음을 알 수 있고 이것은 42.4 GHz의 대역폭을 갖으므로 초고속 동작이 가능함을 알 수 있다.



(그림4-4) 집적된 InGaAs PIN PD의 바이어스 전압에 따른
누설 전류 및 정전 용량

나. 바이어스 저항

$1 \times 10^{17} \text{ cm}^{-3}$ 의 doping 농도를 갖는 $0.3 \mu\text{m}$ 두께의 InGaAs 채널층의 sheet 저항값은 $77 \Omega/\square$ 이며, 폭 $100 \mu\text{m}$ 길이 $77 \mu\text{m}$ 인 바이어스 저항의 저항값은 100Ω 이다. 이와 같이 바이어스 저항값이 적은 이유는 광수신 OEIC의 고속 동작을 위해서이다. 그러므로 OEIC의 수신 감도를 향상시키기 위해서는 외부적으로 큰 저항을 연결할 필요가 있으며 이렇게 하므로써 감소되는 대역폭은 equalizer 회로에 의해 보완되어야 한다. (그림4-5)는 바이어스 저항의 I-V 곡선으로 매우 선형적인 특성을 나타내고 있다.

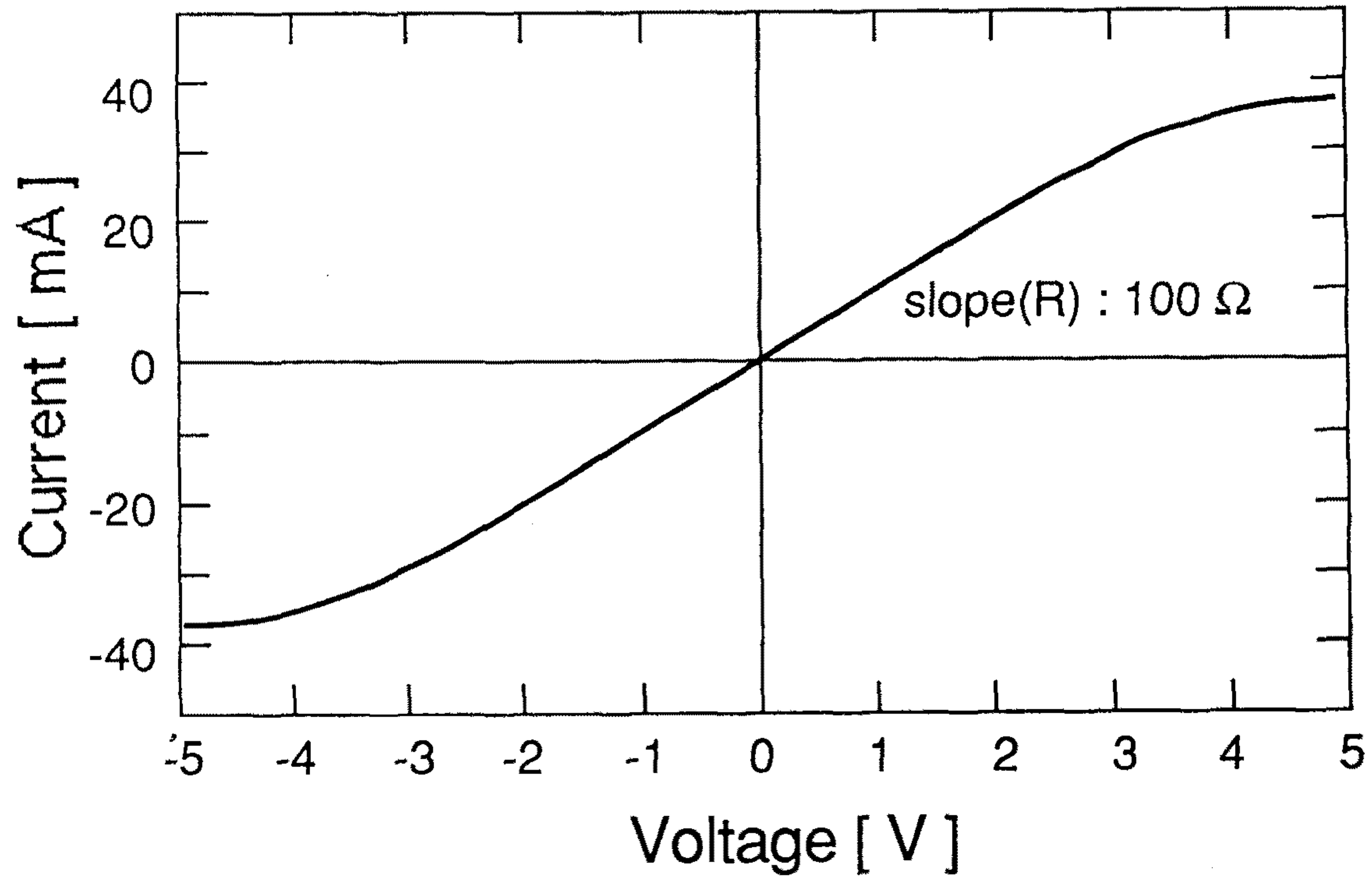
다. InGaAs JFET

게이트 길이가 $2 \mu\text{m}$ 이고 폭이 $150 \mu\text{m}$ 인 전형적인 집적용 InGaAs JFET의 특성 곡선 및 전달 conductance 곡선이 (그림4-6)에 있다. 전달 conductance 값은 게이트 전압이 0 V 이고 드레인-소오스 전압이 3 V 일때 평균 45 mS/mm 이고 최대값은 110 mS/mm 이다. Pinch-off 전압은 -2.6 V 이고, 포화 드레인 전류 (I_{DSS}) 값은 37 mA 로 이 값은 0.25 A/mm 에 대응된다. 위와 같은 바이어스 조건에서 출력 conductance는 10 mS/mm , 게이트-소오스간 정전 용량 (C_{gs})는 대략 4.0 pF/mm 이다. 그러므로 이 JFET의 최대 차단 주파수는 약 4.4 GHz 가 된다.

2. 집적 회로의 특성

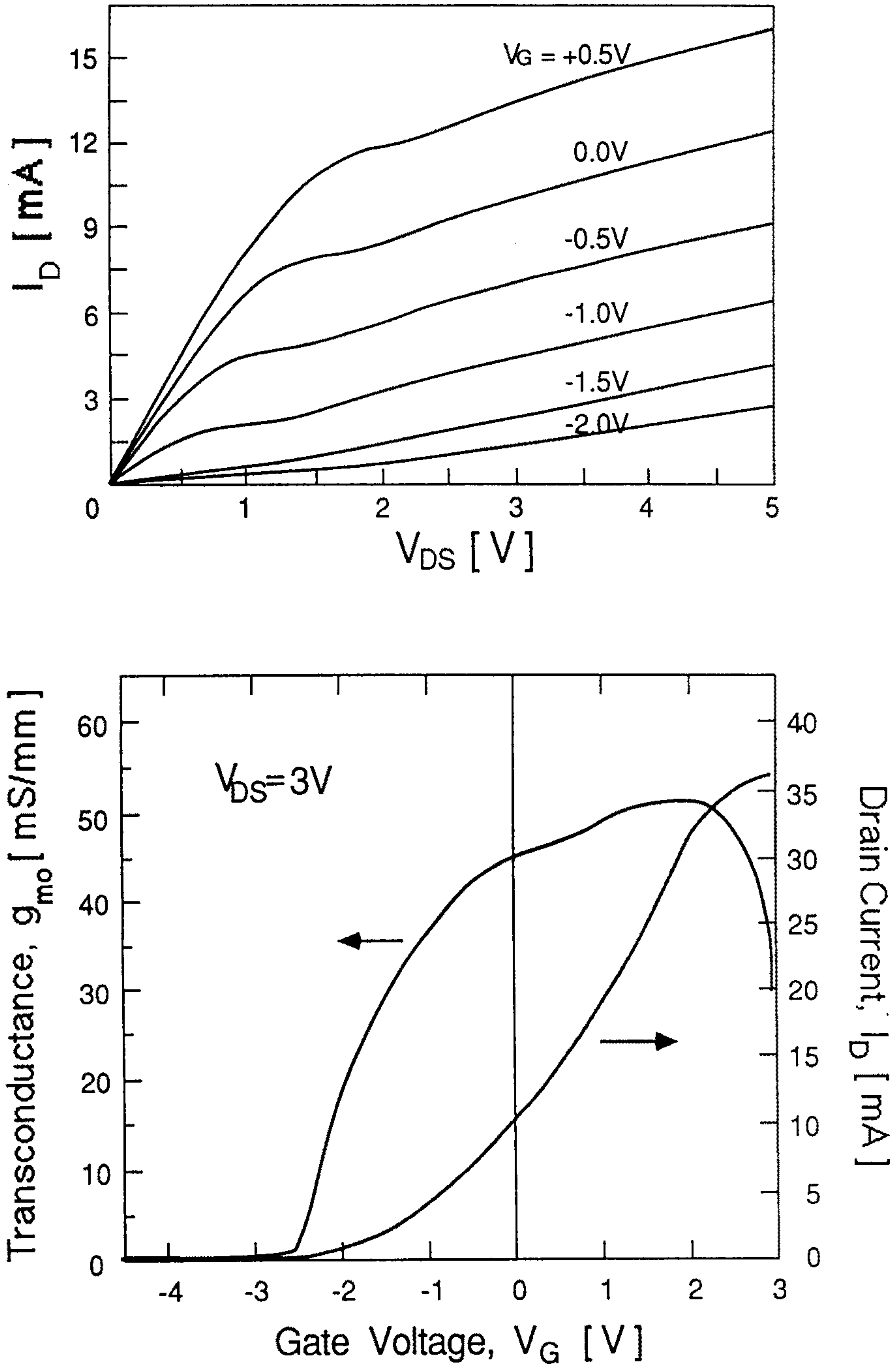
가. 전치 증폭기

전치 증폭기는 구동용 JFET과 active load로 구성되어 있으며 이 두개의 JFET는 게이트 길이 $2 \mu\text{m}$ 폭 $150 \mu\text{m}$ 로 같은 크기를 갖고 있다. 이러한 증폭기의



(그림4-5) 집적된 바이어스 저항의 I-V 특성 곡선

($L=2\ \mu\text{m}$, $W=150\ \mu\text{m}$)



(그림4-6) 집적된 InGaAs JFET의 I-V 특성 곡선 및 전달 conductance 곡선

소신호 DC 전압 이득은 주어진 바이어스 점에서 다음과 같이 된다.

$$A_v = - g_m/2g_{out}$$

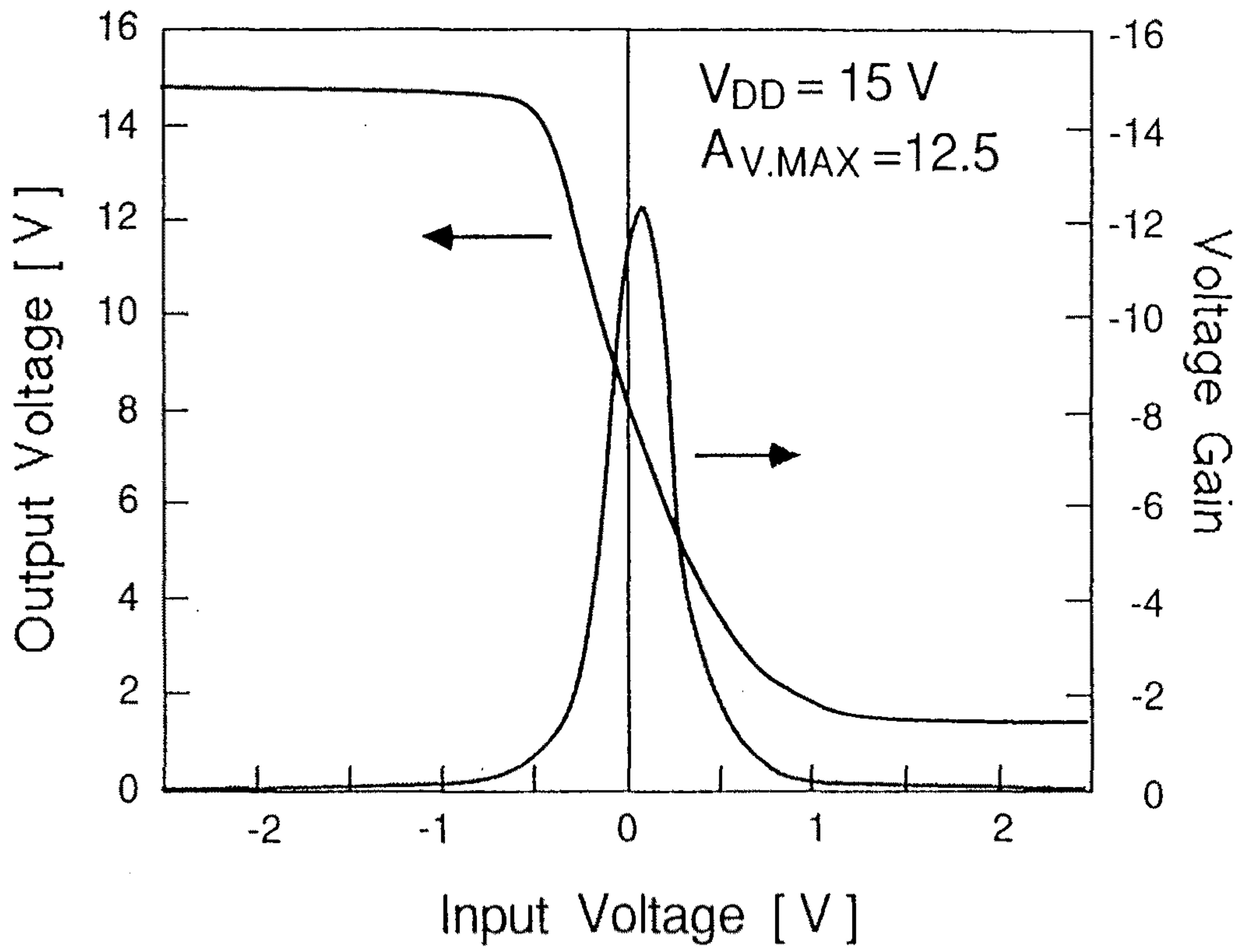
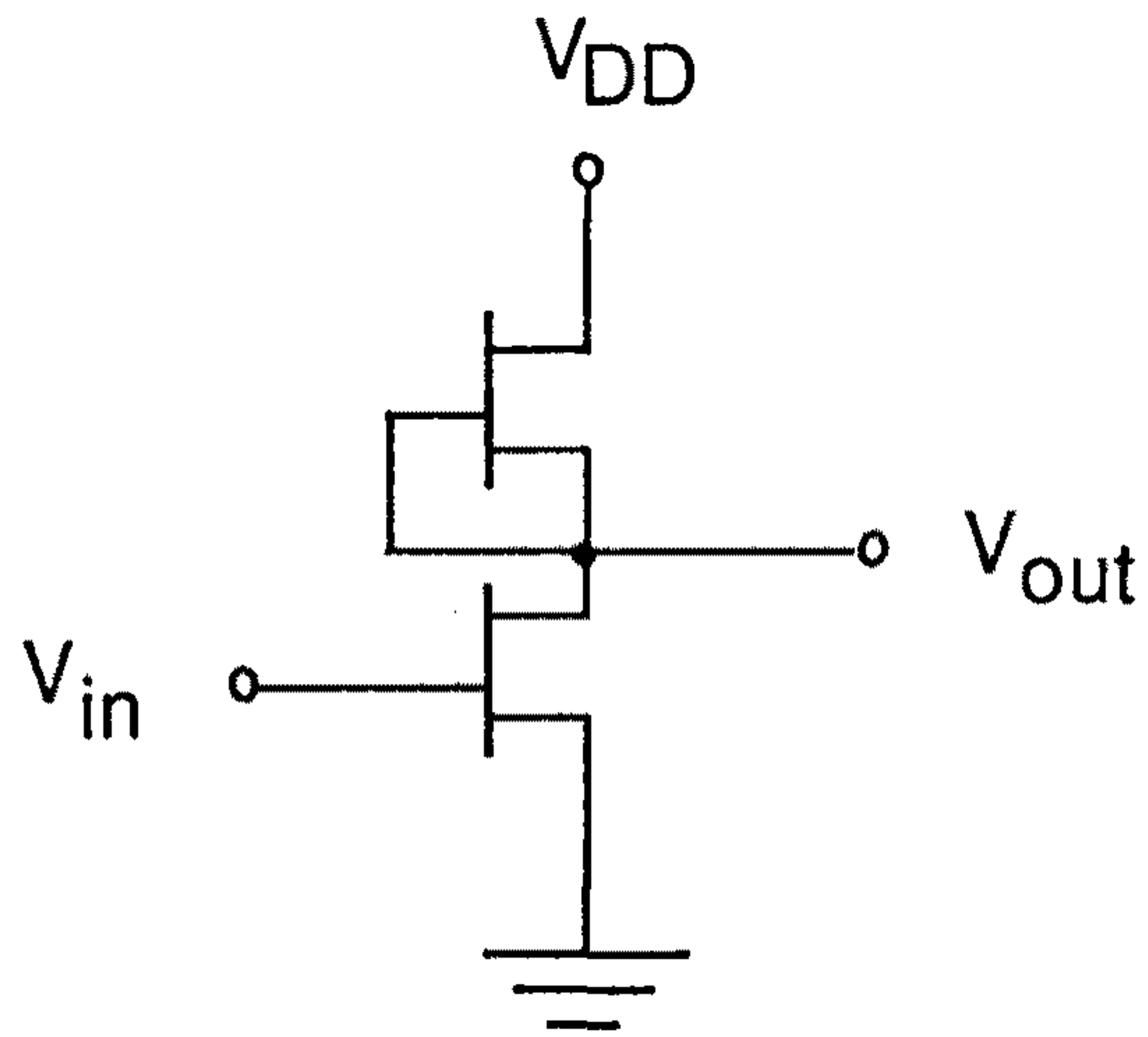
여기에서 g_m 과 g_{out} 는 각각 JFET의 전달 conductance와 출력 conductance 값이다. 이 값들은 게이트 전압 및 드레인-소오스 전압에 따라 달라지므로 바이어스 조건에 의해 결정된다. V_{DD} 가 커지면 각각 JFET의 V_{DS} 가 커지게 되고 그러면 출력 conductance 값이 적어지게 되어 전체 전압 이득이 커지게 된다.

제작된 OEIC의 전치 증폭기 특성은 게이트 전압이 0 V이고 V_{DD} 가 4 V 에서 15 V 까지의 영역에서 측정되었으며, 최대 전압 이득은 V_{DD} 가 15 V일때 12.5로 나타났다. (그림4-7)은 전치 증폭기의 회로도와 전달 특성 곡선이다. 0 V 부근의 입력 게이트 전압에서 최대 전압 이득이 나타남을 볼수 있으며, 전달 곡선이 비교적 선형적인 것을 알수 있다.

나. PIN-JFET OEIC

PIN 광검출기와 100 Ω 의 바이어스 저항 그리고 전치 증폭기가 집적된 광수신 OEIC의 DC 및 주파수 특성을 측정하였다. 광검출기에 유기된 광전류에 따른 출력 전압 특성은 V_{DD} 가 15 V 일때 1.2 K Ω 정도로 나타났으며, 입력단의 포화 광출력 레벨은 8 mA 정도로 광응답 계수가 0.47 A/W 일때 최대 12 dBm 까지의 광출력이 허용된다.

이 광수신 OEIC의 주파수 특성을 SPICE를 이용하여 simulation 하였다. Simulation에 사용된 등가 회로와 parameter 값들이 (그림4-8)에 나와있다. 광검출기는 광전류원과 -5 V의 바이어스 전압에서 측정된 값의 capacitor로 등가시켰으며, JFET는 SPICE의 JFET 모델을 사용하였다. 그외에 입력단의 기생 용량으로 10 fF을 가정하였으며, JFET의 출력단의 기생 용량으로 드레인과 소오스사이의



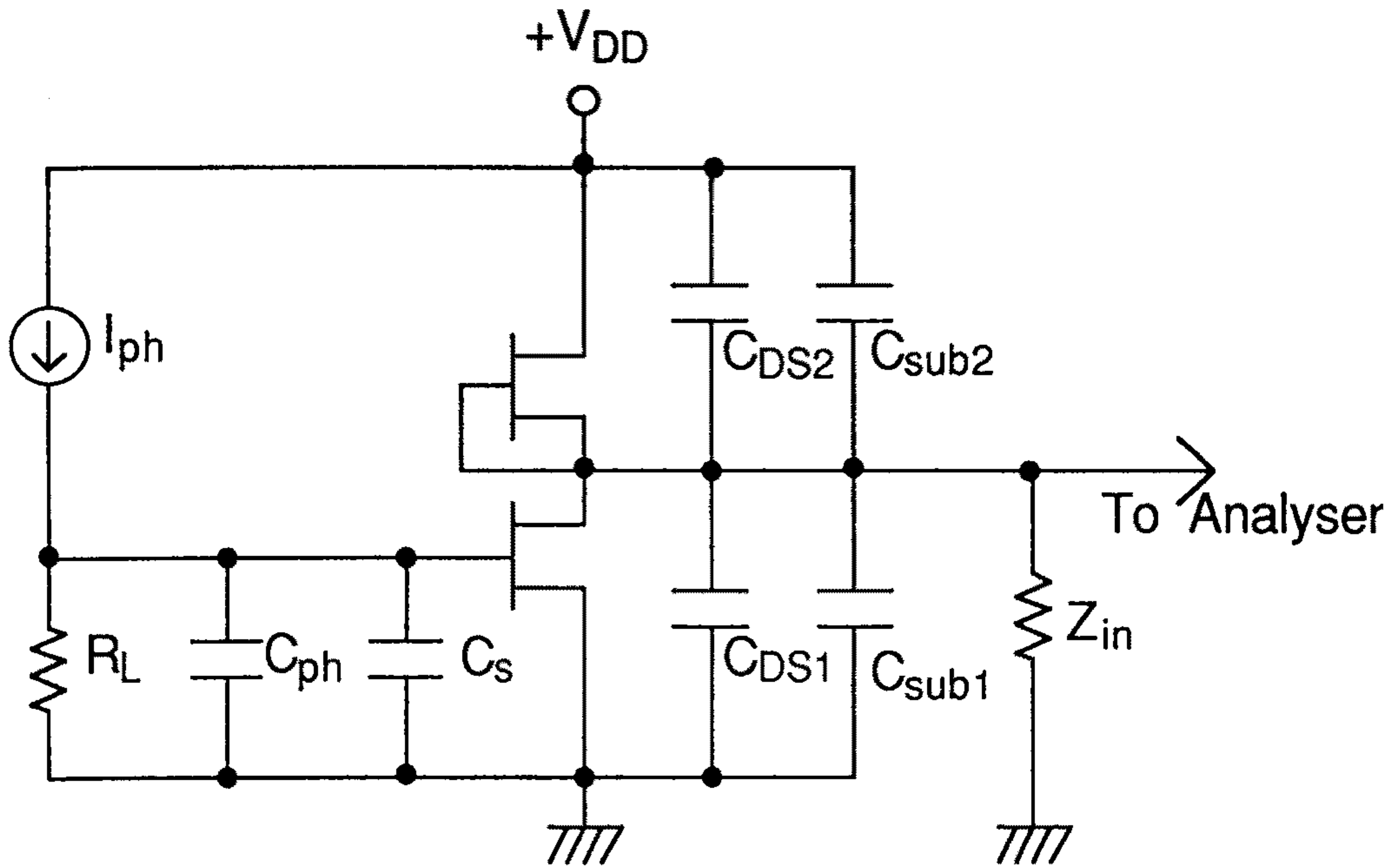
(그림4-7) 전치 증폭기의 회로도 와 전달 특성 곡선

채널을 통한 C_{Ds} 와 기판을 통한 C_{sub} 를 가정하여 각각 30 및 10 fF 으로 설정하였다. 그리고 주파수 분석기의 입력 임피던스 Z_{in} 을 50 Ω 과 1 K Ω 인 경우에 대하여 simulation하였다. (그림4-9)는 simulation 및 측정된 주파수 특성 곡선으로 (a) 및 (b) 곡선은 분석기의 입력 임피던스를 50 Ω 및 1 K Ω 으로 simulation했을 때의 결과이고 실선 곡선은 측정된 결과이다. 측정은 3 GHz 까지 측정 가능한 휴렛 팩커드사의 lightwave components analyser로 측정하였다. 입력 임피던스가 50 Ω 으로 simulation된 (a) 곡선의 경우 OEIC의 출력단과 임피던스 matching이 이루어지지 않아 공진 peak가 발생하는 것을 볼수 있으며, 이것은 측정 결과에도 나타나고 있다. 이러한 공진 peak의 제거를 위해서는 OEIC의 출력단에 buffer 회로를 함께 집적하거나 큰 입력 임피던스를 갖는 분석기로 측정하여야 한다. 1 K Ω 의 큰 입력 임피던스로 simulation한 (b)의 경우에는 이러한 공진 peak가 사라지는 것을 볼수 있으며 이때 대역폭은 1.2 GHz로 나타났다. 이러한 대역폭은 NRZ 신호를 2.1 Gbps 까지 동작시킬수 있다.[8]

이 OEIC의 2 Gbps에서 수신감도는 BER이 10^{-9} 일때 -20.5 dBm으로 계산된다. 계산에 사용된 입력 잡음식은 제2차년도 보고서에 나와 있으며 parameter 값들은 측정된 값들로서 다음의 <표4-1>에 있다.

<표4-1> 수신감도 계산에 사용된 parameter값

Parameter	Notation	Value
Bias Resistance	R_L	100 Ω
Leakage current	I_t	10 μA
Input capacitance	C_t	1.2 pF
Transconductance	g_m	6.7 mS
Quantum efficiency	η	45 %

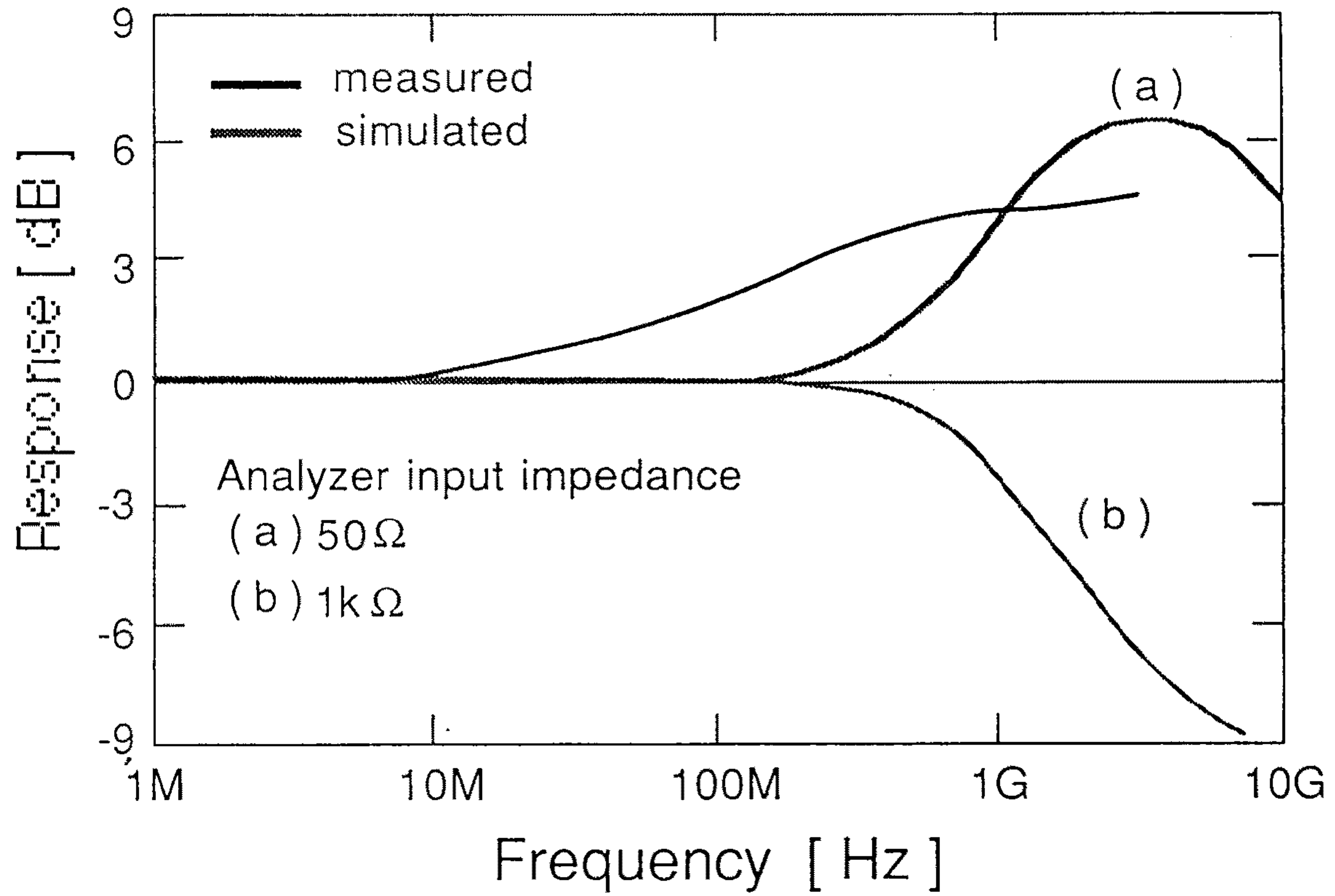


Parameter Values	
$+V_{DD}$	5 V
I_{ph}	1 μ A
R_L	100 Ω *
C_{ph}	0.4 pF *
C_s	10 fF **
C_{DS1}	30 fF **
C_{DS2}	30 fF **
C_{sub1}	10 fF **
C_{sub2}	10 fF **
Z_{in}	50 Ω , 1 K Ω

JFET SPICE Model Values	
β	$1.78 \times 10^3 \sqrt{A/V}$
λ	0.16 V^{-1} **
V_{T0}	-2.6 V *
I_S	1×10^{20} A**
C_{GS0}	0.59 pF *
C_{GD0}	0.13 pF *
ϕ_B	1.5 V *
r_D	20 Ω *
r_S	30 Ω *

* Measured value, ** Assumed value

(그림4-8) SPICE simulation에 사용된 OEIC의 등가 회로 및 parameter 값들



(그림4-9) SPICE simulation 및 측정된 OEIC의 주파수 특성 곡선

제 4 절 결 론

본 장에서는 PIN 광검출기와 바이어스 저항 그리고 두개의 JFET으로 이루어진 전치 증폭기 회로가 집적된 광수신 OEIC의 구조, 제작 공정 및 특성에 관하여 기술하였다. 제안된 광수신 OEIC의 구조는 광검출기와 JFET 사이의 공정상 compatibility가 매우 우수하며, 광검출기의 두꺼운 광흡수층을 이용하여 p⁺-InP 층이 날개 모양을 한 자기 정렬 구조의 JFET를 만들수 있는 동시에 게이트 길이를 짧게 줄일수 있는 장점이 있다. 이 광수신 OEIC의 제작 공정이 확립되었으며, 이 공정에 의하여 500 x 600 μm^2 의 크기를 갖는 OEIC 칩이 제작되었다. 제작된 OEIC 칩의 특성은 다음과 같다.

Dimension of devices

- PIN PD ; Diameter = 80 μm
- Gate length = 2 μm
- Gate width = 150 μm
- Resistor = 100 x 77 μm^2 (fabricated using channel layer)

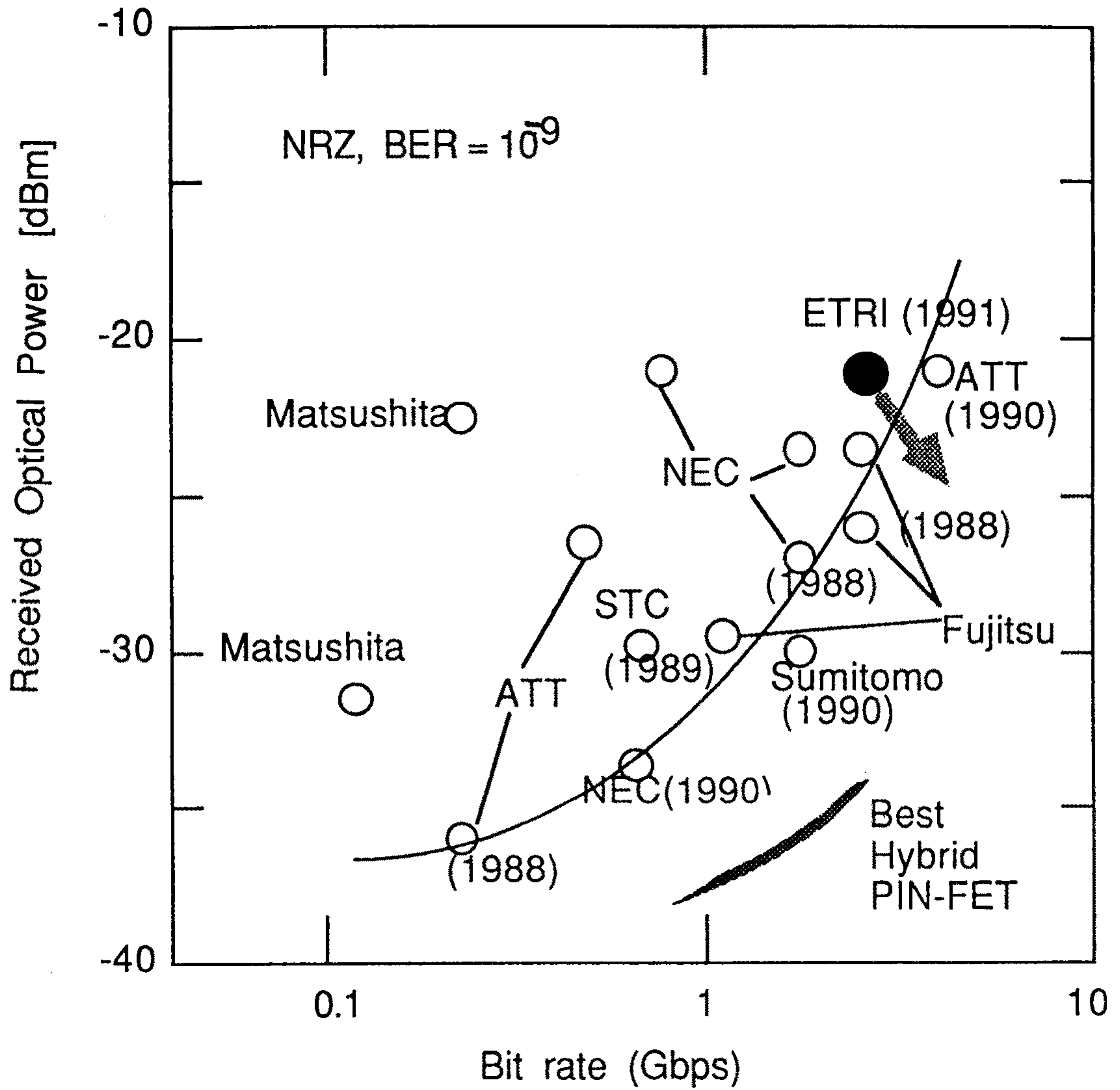
Characteristics of OEIC

- Transconductance = 45 mS/mm for $V_G = 0$ V
- Total input capacitance = 1.2 pF for $V_G = 0$ V, $V_D = -5$ V
- Quantum efficiency = 45 % for $\lambda = 1.3$ μm
- PIN PD leakage current = 2 nA for $V_D = -5$ V
- Bias resistance = 100 Ω

- Voltage gain of pre-amplifier = 12.5 for $V_{DD} = 15\text{ V}$
- Input saturation level ; $I_{ph,max} = 8\text{ mA}$
- Bandwidth of OEIC = 1.2 GHz
- Maximum bit rate (calculated) = 2.1 Gbps for NRZ code
- Calculated sensitivity = -20.5 dBm for BER = 10^{-9}

이 광수신 OEIC의 특성을 bit rate와 수신 감도의 측면에서 1988년 이후에 발표된 외국의 여러 그룹들의 결과와 (그림4-10)에서 비교하였다. 아직까지 단일 칩 집적의 결과들이 최고의 하이브리드 PIN-FET 수신기에 비해 성능이 뒤떨어지는 것을 볼수 있으며, 본 연구의 결과는 세계 수준에 비해 약 3 내지 5 dB 뒤지는 것을 알수 있다.

광수신 OEIC 연구의 남은 과제는 먼저 소자 성능의 향상 및 안정화로 게이트 길이를 더 줄여야 되며, 현재 Ti/Pt/Au를 사용한 p형 저항성 접촉은 특성이 좋지 못하므로 좋은 접촉 특성을 갖으면서 에칭 마스크로서 내구성을 갖는 다른 물질로 p형 금속을 대체하여야 한다. 그뿐 아니라 광응답 계수의 향상을 위해 광검출기에 무반사 코팅을 하는 것도 남은 과제이다. 그리고 집적도를 향상시켜 buffered FET logic (BFL) 회로 및 trans-impedance feedback 회로를 집적시켜야 대역폭 및 수신 감도를 동시에 향상시킬수 있게 된다. OEIC의 실용화를 위해서는 모듈화가 필요하며, 이를 위해 고속 패키징 기술도 개발되어야 할것이다.



(그림4-10) 본 연구에서 제작된 PIN-JFET OEIC 특성의 수준 비교

제 5 장 결론 및 앞으로의 연구 방향

2 Gbps 장파장 광수신 광전 집적 회로 기술 개발을 목표로 하는 본 과제는 1차년도에서 광전 집적 회로의 설계 및 구조 제안, 각 단위 소자의 구조 및 제작 공정 결정, OMVPE 장비 설치 및 고순도 u-InP/InP 동종 결정 성장의 연구를 수행하였고 2차년도에서는 제안된 광전 집적 회로의 마스크 설계 및 제작, 각 단위 소자 제작에 필요한 주요 단위 공정 연구, 그리고 OMVPE를 이용한 InP 도핑 공정 조건 확립, 격자 정합된 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 결정 성장 연구등을 통하여 각 단위 소자를 제작, 제작된 단위 소자의 우수한 동작 특성을 확인하였으며 집적화에 필요한 리쏘그래피, 선택 식각, 그리고 삼층 구조의 Lift-off 공정 확립을 통해 PIN-JFET OEIC를 시험 제작하였다. 당해년도는 총 3년 과제의 최종년도로서 전년도까지의 연구 결과를 바탕으로 각 단위 공정의 재현성에 역점을 두어 연구를 수행하였으며 이에 따른 결과로서 각 단위 소자 성능의 향상을 기하였고 본 과제 목표인 2 Gbps 전송 속도에서 동작하는 광 수신 OEIC 실험 시제품을 성공적으로 제작하였다.

제작된 OEIC의 설계 구조는 PIN 광 검출기와 바이어스 저항 그리고 전치 증폭기로서 두개의 JFET 이 단일 반절연 InP 기판 위에 집적된 것으로서 $500 \times 600 \mu\text{m}^2$ 의 칩 크기를 갖고있으며 광 검출기와 JFET 사이에 뛰어난 양립성과 JFET의 자기정렬 구조를 실현함으로써 공정상의 경제성을 고려한 장점을 지니고있다.

장파장대의 광. 전소재로서 InP와 InGaAs 반도체 재료는 OMVPE법을 이용하여 양질의 결정층을 성장시켰으며 SiH_4 와 DEZn 를 이용하여 n형 및 p형 InP를 각기 $2 \times 10^{16} \text{ cm}^{-3} \sim 7 \times 10^{17} \text{ cm}^{-3}$ 과 $3 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 범위에

서 선형적으로 도핑 농도를 조절할 수 있도록하였다. 광 흡수와 반송자 이동 경로로서의 InGaAs 결정층은 InP와 10^{-3} 이내의 우수한 격자 정합도를 재현성있게 가질수있도록 하였으며 전기적 특성은 상온에서 $1 \times 10^{15} \text{ cm}^{-3}$ 의 낮은 잔류 불순물 농도와 $9500 \text{ cm}^2/\text{Vsec}$ 의 높은 전자 이동도를 보였다. 이중 접합 결정 구조의 계면 특성 또한 TEM 분석을 통하여 수 원자층 이내의 급준하고도 결함이 없는 우수한 결과를 나타냈으며 Gbps급 고속 광 수신 OEIC에 필요한 물질 특성을 충분히 만족시킨 것으로 사료된다.

PIN 광 검출기와 양립하여 병존할 수있는 전자 소자로서는 자기 정렬 구조의 InGaAs 접합형 전계효과 트랜지스터를 수정 보완하여 설계하였으며 이로 인하여 전년도에 비해 커다란 성능 향상을 기할 수 있었다. 개선된 소자특성으로 $1 \mu\text{m}$ 게이트길이에서 78 mS/mm 의 전달 콘덕턴스, 1.7 pF/mm 의 전하용량, 그리고 8GHz 의 차단 주파수를 나타내었으며 $0.1 \mu\text{A}$ 이하의 게이트/소오스 누설전류와 2.5 V 의 pinch-off전압특성을 보여주었다. 이상의 결과는 본 과제의 목표인 2 Gbps 광수신 집적회로 동작을 위하여 단위소자로서의 최소요건을 만족하는 것으로서 초고속 대용량 OEIC 기술개발을 위해서는 계속적으로 접촉저항의 감소 및 게이트 길이의 축소등 미세공정기술의 연구가 밀도있게 진행되어야 할 것이다.

본 과제의 구체적 목표라 할 수 있는 2 Gbps 급 광 수신 OEIC 실험 시제품 제작은 제 4장의 결론절에서 보인 바와 같이 1.2 GHz 의 OEIC 대역폭을 갖는 동작 특성을 나타냄으로서 세계적인 연구 그룹의 결과와 비교해 $3 \sim 5 \text{ dB}$ 뒤지는 수준으로서 연구에 소요된 인력 및 시간을 고려할 때 다소 만족할 수 있는 결과라고 자부해 본다. 이 밖에 본 과제 수행과 관련하여 3편의 특허 출원을 비롯하여 19 편의 국내 학술지와 6편의 국제 학술지에 연구 논문들이 이미 게재되었거나 제출중에 있으며 본 과제에서 축적된 연구 기술들을 바탕으로 신소재 및 고성

능 소자, 고집적화 기술, 나아가서 초고속 대용량 광 통신 시스템 구현에 기술적인 파급 효과와 함께 직접적인 응용이 이루어질 것으로 확신하는 바이다.

향후 연구 방향으로서 1 μm 이하 리소그라피, 접촉 저항 특성 향상, 비반사 코팅등과 같은 미세 공정 기술의 체계적인 축적을 통한 단위소자 성능의 향상 및 안정화가 병행하여 지속적으로 이루어 져야 하며 이를 바탕으로 집적도가 향상된 OEIC가 단계적으로 구현되고 최종적인 실용화를 위해서는 시스템 적용 평가와 함께 패키징 공정 개발 연구를 통한 모듈화가 체계적으로 수행되어지도록 해야할 것이다.

여 백

참고 문헌

제 1 장

- [1] C.P.Lee, S. Margalit, I.Ury, and A.Yriv, Appl. Phys. Lett., vol.32, no.12, pp.806 - 807, 1978

제 2 장

- [1] C.C.Hsu, et. al., J. Cyst. Growth, vol.63, p.8, 1983
- [2] M.Razeghi, et. al., J. Electron. Mater., vol.12, p.371, 1983
- [3] R.H.Moss, et. al., J. Cyst. Growth, vol.55, p.129, 1981
- [4] M.Razeghi, "The OMVPE Challenges", vol.1, Adams Hilger, Bristol, Philadelphia
- [5] K.Benz, et. al., J. Physique, vol.43, p.5, 1982
- [6] K.H.Goetz, et. al., J. Appl. Phys., vol.54, p.4543, 1983

제 3 장

- [1] C.M.Hason, P.Chu, H.H.Wieder, and A.R.Clawson, IEEE Electron Dev. Lett., vol.EDL-8, pp.53-54, 1987
- [2] J.Y.Raulin, E.Thorngren, M.A.Forte-Poisson, M.Razegahi, and G.Colomer, Appl. Phys. Lett., vol.50, pp.535-536, 1987
- [3] S.Miura, T.Mikawa, T.Fujii, and O.Wada, Electron. Lett., vol.24, pp.394-395, 1988
- [4] G.Sasaki, K.I.Koike, N.Kuwata, and K.Ono, J. Light. Technol., vol.LT-7,

pp.1510-1514, 1989

[5] 이용탁외 5 명, "2 Gbps 장파장 광수신 집적회로 개발 (I)", 과기처, 1989.

[6] 이용탁외 6 명, "2 Gbps 장파장 광수신 집적회로 개발 (II)", 과기처, 1990.

[7] Michael Shur, "GaAs Devices and Circuits", Plenum Press, New York, pp.312 and pp.343, 1987

[8] H.Kressel, et. al., " Semiconductor Devices for Optical Communication", Topics in Applied Physics, vol.39, Springer-Verlag Berlin Heidelberg New York, pp.114, 1982

[9] D.C.W.Lo and S.R.Forrest, J. Light. Technol., vol.LT-7, pp.957-965, 1989

[10] J.S.Kim, J.B.Yoo, D.H.Jang, D.K.Oh, and Y.T.Lee, Fifth Biennial Workshop on Organometallic Vapor Phase Epitaxy, 1991

제 4 장

[1] C.S.Harder, et. al., IEEE Electron Dev. Lett., vol.EDL-9, no.4, p.171, 1988

[2] J.D.Crow, et. al., IEEE Trans. Electron. Dev., vol.ED-36, no.2, p.263, 1989

[3] K.Kasahara, et. al., Electron. Lett., vol.20, no.7, p.314, 1984

[4] W.S.Lee, et. al., Electron. Lett., vol.25, no.8, p.522, 1989

[5] J.Shimuzu, et. al., Electron. Lett., vol.26, no.12, p.824, 1990

[6] H.Nobuhara, et. al., Electron. Lett., vol.24, no.19, p.1247, 1988

[7] 박 기성, 오 광룡, 이 용탁, '90 레이저 광기술 워크샵 논문집, p.102,1990

[8] R.G.Smith and S.D.Personik, "Semiconductor Devices for Optical Communications", ed. H.Kressel, Springer Verlag, N.Y., p.89, 1979