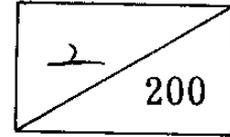


9SM1300302220F



# 최 종 연 구 보 고 서

— GaAs 초고속 집적회로 공정기술 개발에 관한 연구 —

주관연구기관 : 한국전자통신연구소

과 학 기 술 처

# 과학기술처장관 귀하

GaAs 초고속 집적회로 공정기술개발에 관한 최종연구보고서를  
별첨과 같이 제출합니다.

1990 년 6 월 13 일

주관연구기관 : 한국전자통신연구소  
총괄연구책임자 : 박 형 무  
연구책임자 : 강 진 영  
주관연구기관장 : 경 상 현



# 제 출 문

## 과학기술처장관 귀하

본 보고서를 "GaAs 초고속 집적회로 개발사업" 중 "GaAs 초고속 집적회로 공정기술개발" 에 관한 연구의 최종연구보고서로 제출합니다.

1990 년 6 월 13 일

주관연구기관명 : 한국전자통신연구소

총괄연구책임자 : 박 형 무

연구책임자 : 강 진 영

책임연구원 : 마 동 성

선임연구원 : 김 도 진

연구원 : 박 철 순

연구원 : 이 이 재

연구원 : 이 이 호

연구원 : 양 전 옥

연구원 : 최 영 규

연구원 : 최 규 환

협동연구기관명 : 연 세 대 학 교

협동연구책임자 : 김 봉 열

협동연구기관명 : 한 양 대 학 교

협동연구책임자 : 곽 계 달

## 위탁과제 수행기관

수행연구기관명 : 연세대학교

연구책임자 : 김 봉 열

과제명 : GaAs MESFET 특성 분석용 프로그램 제작에 관한 연구

수행연구기관명 : 한양대학교

연구책임자 : 곽 계 달

과제명 : GaAs MESFET 2차원 수치해석 package 의 개발에 관한 연구

# 요 약 문

## I. 제 목

GaAs 초고속 집적회로 공정기술 개발에 관한 연구

## II. 연구개발의 목적 및 중요성

현재 사용중인 반도체는 대부분 실리콘(Si)을 기초소재로 한 것으로 한 종류의 원소로 되어있기 때문에 가공이 용이하여 고밀도의 집적회로를 제작하는데는 유리하나, 소자의 동작속도의 한계성으로 인해 초고속처리를 요하는 분야에서는 적합하지 않은 결점이 있다.

이에 비하여 갈륨비소(GaAs)반도체는 실리콘과는 달리 두가지 이상의 원소로 구성된 화합물반도체로서 신호의 전달속도가 실리콘보다 5 배이상 빨라 고속성, 고주파성, 광특성이 좋고, 방사선의 영향을 그다지 받지 않는다는 장점이 있다. 이러한 특성을 이용하여 실리콘으로는 달성할 수 없는 초고속 컴퓨터, 위성통신 및 레이저 등 다양한 용도의 소자를 제작하는데 활발한 연구가 진행되고 있다.

예)

- 초당 수십억회 이상의 연산을 요하는 슈퍼컴퓨터 분야
- 초당 수십억회 이상의 고주파를 요하는 위성방송통신 분야

- 초당 수억자 이상의 대량 정보전송을 수행하는 광통신분야
- 빠른 계산 및 물체 식별을 요하는 항공기, 전투기, 미사일, 레이더 등 방위산업 분야
- 대량정보를 신속히 처리 제공해야하는 언어번역, 통역 및 음성 인식 등 컴퓨터 분야
- 내방사선, 내고온이 요구되는 항공 우주 분야

이 분야에서 선진국에서는 이미 많은 연구비를 투자하여 만족할 만한 결과를 얻고있다. 미국의 TI, Rockwell, AT&T, GigaBit Logic, Vitesse, HP, Jet Propulsion Lab, Hughes Aircraft, IBM, Varian, U.C.Berkely 등과 일본의 NEC, Fujitsu, NTT, Hitachi, Mitsbishi, Toshiba 그리고 유럽의 Phillips 등의 기업, 연구소 및 대학에서 GaAs, GaAlAs/GaAs 등을 재료로 한 소자의 연구가 집중적으로 진행되고 있다. 특히 GaAs 디지털 소자로서는 이온주입에 의한 MESFET의 고집적화가 연구되고 있으며, GaAs의 고주파특성을 이용한 수십GHz 이상의 초고주파 소자도 발표되고 있다.

본 GaAs공정기술의 분야에서는 현재 국내에서 부분적으로 연구되어 왔으나 대학이나 순수 연구기관에서 수행되어 왔기 때문에 실용적인 기술과는 큰 차이가 있었다. 이는 즉 활성층의 형성기법을 기존의 에피층에만 의존하기 때문에 공정단가가 매우 비싸고 고집적화에 필수적인 E/D MESFET을 한 기판위에 탑재하기가 현실적으로 매우 어렵다. 그 뿐만 아니라 소자간의 격리에 문제가 있으며, 게이트의 형성방법도 극히 초보적인 Al이나 Ti/Au의 구조를 하고 있으므로 내열성게이트를 이용한 자기정합형의 소자를 제작하는 것이 불가능하여 고품능의 소자

제작이나 고밀도의 집적회로의 제작과는 거리가 멀다.

따라서 본 연구에서는 국내의 산업기술에 직접 활용될 수 있는 공정과 이에 적합한 소자기술을 확립하고 '92.6월 까지 4K SRAM의 시제품을 개발하는 것으로 계획되어 있다.

그동안 ETRI에서는 GaAs반도체의 제작을 위해서 중요한 기술인 미세패턴형성 및 식각기술개발 연구를 수행한 바 있으며, '88년 부터는 LSI 급 GaAs 집적회로 수준의 소자제작을 위한 기초단계로서 단위공정 및 집적화공정기술을 연구하여 왔다. 앞으로는 집적회로 제작에 알맞는 얇은 이온주입층의 활성화, 건식식각에 의한 금속막 및 유전막의 식각, 저저항접촉형성, 고밀도집적회로를 위한 내열금속 게이트 및 산화막층벽 형성기술을 중점적으로 연구할 계획이며, 이러한 연구결과들을 근간으로 하여 산업화가 가능한 국제경쟁력이 있는 LSI 급의 집적회로 공정기술을 개발하고 4Kb SRAM의 시제품을 제작하여 그 기술을 기업에 전수하고자 한다.

### III. 연구개발의 내용 및 범위

본 연구는 GaAs 집적회로 소자의 제작을 위한 기초단계로서 1차년도에서 수행된 기본공정기술연구를 토대로 공정의 개선점을 도출하였고 이에 알맞게 RIE 등 7개의 장비를 제작하거나 개선, 보완하였다. 이 개선된 장비로 활성화의 효율개선 등의 실험 하였으며, 현재에도 장비를 설치하면서 계속적으로 보완하고 있다.

한편 실험실에 관해서는 1차년도까지 18 명의 clean room 에서 contact aligner, ion milling 등 14 종의 장비를 사용하여 임시로 실험을 수행하였으나 부족장비를 Si 과 공용하는 과정에서 GaAs 반도체의 실험량이 날로 증대됨에 따라 상호간에 물질의 오염이 심각한 문제점으로 대두되어 GaAs를 위한 전용 일관공정 실험실을 신설하고 공조를 분리하기로 하여 공사를 추진중에 있다. 이 GaAs 실험실은 80 평의 규모이고, 여기에는 기존의 14 종의 장비 이외에 2 차년도에 신규 확보된 12개의 장비와 spin dryer 등 향후 필요하게 될 7개의 장비도 배치가 가능하도록 하였다.

당해년도의 연구개발의 내용 및 범위는 다음과 같다.

#### 1. 공정집적화기술 연구

- 활성화기술개선 (PECVD  $\text{Si}_3\text{N}_4$ )
- 내열성계이트형성기술연구(WSiN, Ti/W)
- 금속배선기술연구(Al)

- 장비제작 및 개선(RIE 등 7종)
- MESFET 소자제작(Ti/Pt/Au, W, Ti/W) 및 측정

## 2. 소자기술 연구

- Drift-diffusion법에 의한 MESFET 2 차원적 수치해석 패키지 개발
- Monte-Carlo법에 의한 MESFET 특성분석용 프로그램 제작

## IV. 연구개발의 결과 및 활용에 대한 건의

### 1. 연구개발의 결과

#### 가. 공정집적화기술 연구

##### (1) 장비 제작 및 설치

- PECVD, vacuum furnace 임시 설치, 보완 완료
- RIE 설계, 제작, 임시 설치 및 보완 완료
- Co-sputter 설계, 제작, 임시 설치후 보완중  
(Ar 압력 미세 조정기능 추가)
- RTP 설계, 부품 및 S/W 제작 완료, 조립중
- Stepper, ion implanter 등 7대 확보, 도입 및 중요장비 훈련  
완료

##### (2) 개별공정기술 개선

- PECVD SiN, SiON capping막 형성  
(성장율: 80Å/min, 균일도:  $\pm 3\%$ (3"wafer))
- PECVD SiN capping막을 이용한 활성화 (활성화율: 75%)
- RIE에 의한 side wall SiO<sub>2</sub> 식각 실험(진행중)  
(식각율: 800Å/min(SiO<sub>2</sub>), 균일도:  $\pm 8\%$ (3"), 최저방전압력: 1mTorr)
- IBAD 에 의한 WSiN 내열성 게이트 막의 형성 및 Schottky  
특성 실험 ( $\phi_b = 0.76$  eV,  $n = 1.2$ , 내열온도: 850°C)
- IBAD 에 의한 Ti/W 내열성 게이트 막의 형성 및 Schottky 특성  
실험 ( $\phi_b = 0.72$  eV,  $n = 1.17$ , 내열온도: 800°C)
- 1 $\mu$ m의 굴곡에서 sputtering에 의한 저온 Al 2층 배선공정  
후의 신뢰성 실험  
(기판온도: 300°C, 기판바이어스: -200V, Ar: 6mtorr, RF: 9.6 KW)

- Co-sputter 에 의한 W, WSi, WSiN, Si, Al막 형성 실험(진행중)  
(Al, W, Si 증착확인, 공정중 Ar 압력조절 장치 보완중)

### (3) Clean room 시설 확충

- Stepper, ion implanter 등 12 종 추가확보 완료  
clean room 80평 신설, 실리콘과 상호 오염 방지를 위한  
공조분리, 이전을 위한 예산확보, 시설사양서, 설치 설계완료  
( '90.9 월말 완공, '90 년 12 월말 장비이전 및 설치완료 예정)

### (4) 공정집적화 및 소자(MESFET) 제작

- Ti/Pt/Au gate 로 2 ~ 3 $\mu$ m gate에서 30 ~ 35 mS/mm 정도의 MESFET  
제작  
( gate길이를 1 $\mu$ m 로 했을 때 60 ~ 110 mS/mm 정도 예상)
- Refractory W, Ti/W gate로 gm 이 10 mS/mm 정도의 MESFET 제작  
( gate길이를 1 $\mu$ m 로 환산한 값임)

## 나. 소자기술 연구

### (1) GaAs MESFET 특성분석용 프로그램 제작

- Monte-Carlo 알고리즘에 의한 sub-micron 급 소자 특성 계산
- 에너지밴드구조, 볼츠만 전송방정식, 산란모델을 이용하여 전자의  
산란율 구함
- 소자구조, 외부 바이어스 조건에서 Monte-Carlo 방법으로 전자의  
자유행정, 공간분포, 이동을 추적하여 I-V 특성계산
- 0.6  $\mu$ m급의 MESFET 에 적용
  - . 시간과 전계에 대한 전자속도의 오버슈트 확인
  - . 소자내의 전자와 포텐셜에너지 분포로부터 전자의 이동을  
추적하여 I-V 곡선과 차단주파수 계산
  - . 채널깊이에 따른 기생전류의 해석

## (2) GaAs MESFET 이차원적 수치해석 패키지 개발

- Drift-diffusion 전류식의 수치해석에 의한 소자특성 계산
- 포아손, 전류연속방정식과 에너지 모멘텀 보존조건으로부터 경계조건을 사용하여 비선형 편미분방정식을 수치해석함으로써 non-stationary 전자, 전계 분포, I-V 특성 계산(non uniform grid)
- 이동도는 기존의 Monte-Carlo simulation 의 결과인 전계-속도 특성곡선에서 fitting하여 사용
- 수치해석은 전자 유동체의 control-volume formulation을 이용하여 계산한 것이 특징임( 그리드의 면적을 중심으로 적분하여 점차로 이산화함)

## 2. 활용에 대한 건의

당해년도에는 본과제의 2차년도로서 1차년도에 연구된 기본공정의 경험을 토대로 장비상의 한계점과 문제점을 해결하기 위하여 집적회로의 공정을 수행할 수 있도록 장비를 제작하고 개선, 보완하였으며, 이어 맞추어 clean room을 신설하는데 총력을 경주하였다. 이 GaAs 반도체의 일관공정이 가능한 실험실은 아직 국내에서는 기업체로서 국제상사 밖에 없다. 이 실험실은 '90.12 에 완성될 것이며, 이 시설을 학계나 연구기관이 공동활용함으로써 국내의 GaAs 반도체 연구에 큰 공헌을 할 수 있을 것이고, 본 연구도 3차년도부터 기존의 개별 소자의 연구수준에서 한 단계 도약하여 집적회로의 수준에서 연구가 효율적으로 추진될 수 있을 것이다.

본 GaAs 집적회로 공정기술개발의 목표소자인 4Kb SRAM 의 개발은 국내 기술전수 및 상품화 등의 직접적인 활용 이외에도 기술적인 측면에서 볼 때 일반적으로 전체 반도체 집적회로의 대중을 이루는

고속디지털 소자의 분야에 널리 활용될 수 있는 보편적인 기술이며 향후 새로운 민수용의 큰 시장으로 부각될 고주파의 위성통신, 방송의 시스템에 소요되는 MMIC(Monolithic Microwave IC)에도 필수적으로 이용되는 기술이다.

본 연구결과에의 활용방안은 다음과 같다.

- GaAs 4Kb SRAM 제조 공정기술 기업전수 및 상품화
- GaAs 64Kb SRAM 및 MMIC개발을 위한 기반기술 확보
- LSI 급 GaAs 디지털 집적회로 제작기술 국내 정착으로 초고속컴퓨터, 측정시스템의 기억소자 및 논리회로 부품에 활용
- 위성통신, 이동통신, 광통신 및 우주항공 등 초고주파소자 제조에 활용
- ETRI GaAs 소자제조 시설 활용으로 차세대 반도체 공정기술 개발 환경 확립



## Summary

### I. Title

Development of process technologies for high speed GaAs integrated circuits

### II. Goals and Significance of the Project

Since most integrated circuits are fabricated on elemental semiconductor, Si, high density integrated circuits can be built without significant complexity. However, Si integrated circuits have their limit on high speed operation. In contrast, the compound semiconductor, GaAs, has a signal transmit speed about 5 times faster than Si, so that it has better properties in high speed, high frequency, optical property, and radiation hardness than Si. Accordingly, various researches utilizing these properties of GaAs in, for instance, super computers, satellite communications, and lasers, *etc.*, are under progress.

#### (Examples)

- super computers capable of several billion calculations per second
- satellite communications capable of several billion frequencies per second

- optical communications capable of several hundreds of million characters transmission per second
- military applications, such as, aircrafts, missiles, and radar, *etc.*, capable of fast calculations and object identification
- computers capable of prompt processing of massive information in, for example, language translation, interpretation, and voice recognition
- aero-astronautics demanding radiation hardness and heat resistance

A number of countries have already obtained successful results in researches on the above areas. For example, Texas Instrument, Rockwell, AT&T, Gigabit Logic, Vitesse, Hewlett Packard, Jet Propulsion Laboratory, Hughes Aircraft, IBM, Varian, U. C. Berkeley of USA, NEC, Fujitsu, NTT, Hitachi, Mitsubishi, and Toshiba of Japan, and European industries, laboratories, and universities are currently carrying out researches on devices using GaAs and heterostructures based on GaAs. In particular, high density integration on GaAs digital MESFETs using ion implantation and high frequency devices for several tens of GHz are under active research.

Even though researches on the processing of GaAs devices in this country have been undertaken partly in universities and research institutes, they are remote from practical utilization. This is because the active layers have been

formed on the cost-ineffective epitaxial layers. Therefore, it is impractical to fabricate the E/D MESFETs on the same substrate and is difficult to separate the devices. Furthermore, since the gate materials have been Al or Ti/Au, it is impossible to fabricate the self-aligned structures for high performance and high density integrated circuits. Therefore, this research aims the establishment of process technology which can be directly utilized in domestic industry and the development of 4Kb SRAM prototype by June, 1992.

So far, the micro-patterning and etching techniques have been studied at ETRI. Also, since 1988, unit processes and integration process techniques for the fabrication of LSI level GaAs integrated circuits have been under study. In the future, activation of shallow implantation layers, metal and dielectric layer etch techniques using dry etch, low resistance contact fabrication, refractory metal gate, and formation of oxide sidewall suitable for the fabrication of integrated circuits are scheduled for research. Based on these studies, process technologies for fabrication of LSI level integrated circuits which possess international competitiveness will be established and 4Kb SRAM prototype will be manufactured for technology transfer to industry.

### III. Contents of Research Project

As a preliminary phase of this project, processing techniques have been improved based on the first year's research and relevant equipments have been

manufactured and/or improved. Laboratory space dedicated for GaAs is currently being expanded to not only prevent cross contamination with Si semiconductor processing but to provide a fully equipped processing line for GaAs with separated utility system.

The contents of this year's project are as following:

1. Research on process integration technology
  - improvement of activation technology (PECVD  $\text{Si}_3\text{N}_4$ )
  - research on refractory gate technology (WSiN and Ti/W)
  - research on metal interconnection technology (Al)
  - improvement and manufacturing of equipments
  - MESFET device fabrication and measurement (using Ti/Pt/Au, W, and Ti/W gates)
2. Research on device technology
  - development of 2-dimensional numerical analysis technique for MESFET based on drift-diffusion method
  - development of analysis program for MESFET characterization using Monte-Carlo method

#### IV. Results and suggestions on the applications of present research and development

##### 1. Results of research

## A. research on process integration technology

### (1) manufacturing and installment of equipments

- PECVD, vacuum furnace, RIE, co-sputter, RTP, stepper, and ion implanter

### (2) improvement of unit process technology

- PECVD dielectric capping
- activation using PECVD dielectric layers
- oxide sidewall etch using RIE
- fabrication and characterization of WSiN refractory gate using IBAD
- fabrication and characterization of Ti/W refractory gate using IBAD
- low temperature interconnection fabrication using Al double layers with 1  $\mu\text{m}$  steps using sputtering
- deposition of W, WSi, WSiN, Si, and Al layers using co-sputter

### (3) expansion of clean room

- separation of utility and equipments for GaAs use only preventing cross contamination with Si processing

### (4) process integration and MESFET fabrication

- fabrication of MESFET with 30-35 mS/mm transconductance for 2-3  $\mu\text{m}$  gate length using Ti/Pt/Au gate
- fabrication of MESFET with about 10 mS/mm transconductance for 1  $\mu\text{m}$  gate length using refractory W and Ti/W gate

## B. research on device technology

### (1) development of analysis program for GaAs MESFET

#### characterization

- sub-micron device characterization using Monte-Carlo method
- electron scattering using energy band structure, Boltzmann transport equation, and scattering model
- I-V characterization based on device structures and bias conditions using Monte-Carlo method
- application to 0.6  $\mu\text{m}$  MESFET

### (2) development of 2-dimensional numerical analysis package for GaAs MESFET

- numerical analysis of device properties using drift-diffusion method
- calculation of non-stationary electrons, electric field distribution, and I-V characteristics by numerical analysis of non-linear partial differential equations based on Poisson equations, continuity equations, and conservation of energy momentum under boundary conditions

## 2. suggestions on the applications

The main achievement of current second year has been on the improvement and manufacturing of equipments for the unit processes of GaAs integrated circuits. In the following year, our research will be focused on the

processing of integrated circuits. Development of the 4 Kb SRAM, our target device, seeks its value not only in being transferred to domestic industry for commercialization, but in being a fundamental technology crucial for the fabrication of high speed digital devices in general and MMIC (Monolithic Microwave IC) devices used in high frequency satellite communications and broadcasting systems.

The applications of the present research will be as follows:

- industry transfer and commercialization of fabrication technology of GaAs 4 Kb SRAM
- establishment of fundamental technologies for fabrication of GaAs 64 Kb SRAM and MMIC devices
- establishment of fabrication technology for LSI level GaAs digital integrated circuits applicable to super computers and memory devices and logic circuit components in measurement systems
- application to high frequency device fabrication used in satellite communication, mobile communication optical communication, and aero-astronautic systems
- establishment of environment for development of next-generation semiconductor process technology by use of ETRI GaAs device fabrication



## 목 차

제 1	편 GaAs 초고속 집적회로 공정기술 개발	1
제 1	장 서  론	3
제 2	장 장비제작 및 SET-UP	11
제 1	절 열처리로의 제작과 설치	13
제 2	절 금속열처리 장비 제작	15
제 3	절 건식식각 장비 제작과 설치	18
제 4	절 Co-sputter 제작과 설치	22
제 5	절 구매장비소개	25
제 3	장 단위공정개선	31
제 1	절 이온주입 및 활성화	33
제 2	절 내열성 게이트	74
제 3	절 금속배선	88
제 4	장 MESFET 제작 및 특성	97
제 1	절 MESFET 제작	99
제 2	절 MESFET 특성	103
제 5	장 결  론	111
참고문헌		115
제 2	편 위탁연구 개발과제	121
I.	GaAs MESFET 특성 분석용 프로그램 제작에 관한 연구	123
II.	GaAs MESFET 2 차원 수치해석 package 의 개발에 관한 연구	205



## CONTENTS

<b>PART I. Development of Process Technologies for High Speed GaAs ICs-</b>	<b>1</b>
<b>Chapter 1. Introduction</b> - - - - -	<b>3</b>
<b>Chapter 2. Manufacture and set-up of process equipments</b> - - - -	<b>11</b>
2.1 Furnace - - - - -	13
2.2 Rapid thermal annealer - - - - -	15
2.3 Reactive ion etcher - - - - -	18
2.4 Co-sputter - - - - -	22
2.5 Purchased equipments - - - - -	25
<b>Chapter 3. Improvements in Unit Processes</b> - - - - -	<b>31</b>
3.1 Ion implantation and activation - - - - -	33
3.2 Refractory gates - - - - -	74
3.3 Metal interconnection - - - - -	88
<b>Chapter 4. Fabrication of GaAs MESFETs</b> - - - - -	<b>97</b>
4.1 Fabrication procedure - - - - -	99
4.2 MESFET characteristics - - - - -	103
<b>Chapter 5. Conclusion</b> - - - - -	<b>111</b>
<b>References</b> - - - - -	<b>115</b>
 <b>PART II. Consignment Researches</b> - - - - -	 <b>121</b>
<b>I. A Simulation Program for Analysing GaAs MESFET Characteristics</b> - - - - -	<b>123</b>
<b>II. Development of Simulation Package for 2-dimensional Numerical Analysis of GaAs MESFETs</b> - - - - -	<b>205</b>



제 1 편 GaAs 초고속 집적회로  
공정기술 개발



# 제 1 장 서 론



# 제 1 장 서론

갈륨비소 전계효과 트랜지스터 (MESFET: metal-semiconductor field effect transistor)는 1970년경부터 고주파용 트랜지스터로서 주로 개별소자 수준의 연구가 수행되어 왔으나, 기판 제조기술 및 회로기술의 진전에 따라 1970년대 후반부터 본격적인 집적회로 개발이 시작되었다. 그 후 미국, 일본의 여러 연구소에서 1980년대 중반까지 GaAs 집적회로를 상용화하기 위하여 고리형 발진기 (ring oscillator) 및 게이트 어레이와 승산기등의 논리회로가 개발되었고, 그림 1.1과 같이 가장 집적도가 높은 기억소자인 SRAM 등에 대한 개발에 박차를 가하였다[1]. 본 과제에서 목표로 하는 SRAM의 개발 역사를 간단히 살펴보면 1981년[2]에 16 bit SRAM의 시작품이 보고되었고, 1982년[3]에 1 KSRAM, 1984년에 4 KSRAM [4,5] 및 16 KSARM [6]이 보고되었다. 현재는 GaAs 4 KSRAM이 상용화되어 미국의 Vitesse, GBL 등에서 제품을 시장에 출하하고 있다[7,8]. 그러나 고속컴퓨터의 cache memory등의 용도를 고려하는 GaAs SRAM의 시장은 본격적으로 열리고 있는 상태는 아직 아니다. 현재까지 GaAs분야에 진출하는 미국, 일본의 회사 연구소는 다른 논리회로 보다 설계가 용이하나 집적도가 높다는 SRAM의 특성상 공정기술의 척도로 SRAM개발의 의미를 크게 부여하고 있다.

GaAs SRAM의 기본회로로는 속도 및 집적화 면에서 유리한 direct coupled FET logic (DCFL)이 주류를 이루나, 부하구동 능력면에서 유리한 BFL, SCFL 등도 적용하고 있다. GaAs 집적회로의 소자로는 일부에서는 p-n 접합을 이용한 JFET을 이용하나[9], 거의 대부분 금속-반도체

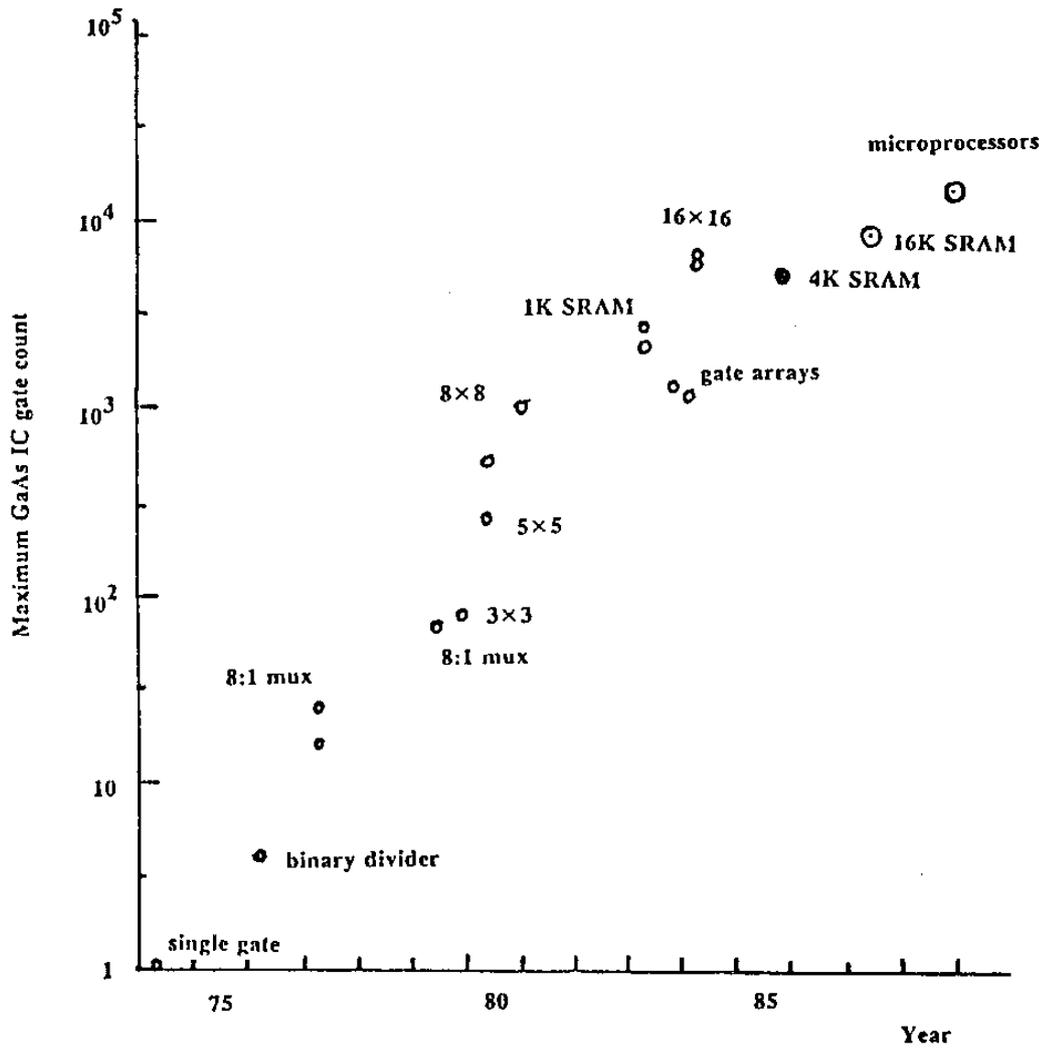


그림 1.1. 갈륨비소 집적회로의 발전사  
(Fig. 1.1. Chronology of GaAs ICs)

접촉을 이용하는 MESFET 을 이용한다. GaAs 집적회로 공정개발에서 고려해야할 중요한 MESFET 변수로는 임계전압(  $V_{th}$ : threshold voltage)의 균일성 및 소자의 상호전도도(  $g_m$ : transconductance)이다. 이 외에 실제 생산에서 가장 중요한 제조원가에 영향을 미치는 수율 및 기판크기이다. 현재 GaAs 기판 제조회사의 분석[10]에 의한 기판 크기별 시장은 2"의 경우 15%, 3"의 경우 65%, 4"의 경우 20% 정도로 3" 기판이 시장을 주도하는 단계이지만 4" 기판의 시장점유율도 급성장하고 있어서 집적회로의 시장증가를 잘 대변해준다.

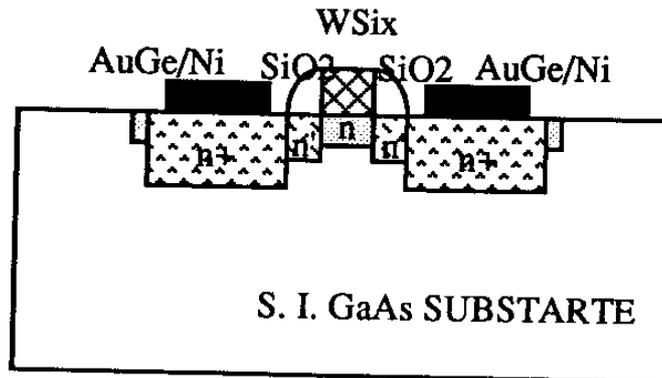
GaAs 집적회로의 기본이 되는 MESFET의 특성을 향상시키려면 우선 게이트 용량을 줄이고  $g_m$ 을 높이기 위한 방법으로 게이트길이를 줄이는 방법이 가장 간단하다. 연구단계에서 게이트길이는 1 KSRAM의 경우 1.0 - 2.0  $\mu\text{m}$ 이 적용되었고, 4KSARM의 경우 0.5 - 1.0  $\mu\text{m}$ 이 적용되었다. 현재 대부분 동작층 형성에 이용되고 있는 이온주입방법에서는 이온주입층의 활성화 기술이 또한 MESFET의 특성에 직접적으로 영향을 미치게 된다. 활성화 공정에는 대부분 노열처리가 이용되고 있으며, 급속 열처리가 연구실 수준에서 시도되고 있으나 기판이 쿨수축 열응력 및 온도의 불균일성등의 문제가 남아 있다. 이온주입법으로 제조하는 MESFET으로 제조하는 집적회로 공정의 가장 큰 특징은 소자의 저항을 낮추기 위하여 소스/드레인 영역에 고농도 이온 주입층을 형성할 때 자기정렬기술( self-alignment technology)을 적용할수 있다는 점이다. 자기정렬형 기술은 내열성 게이트를 이용하는 방법과 임시게이트를 이온주입마스크로 이용하는 방법의 두가지로 분류할 수 있다. 내열성 게이트를 이용하는 방법은 공정이 매우 간단한 장점이 있으나, 고

은열처리에도 안정한 게이트재료의 개발이 선행되어야 한다. 게이트 재료로는 고온 자기정렬형 공정에는 WSix, WNx, WAl 등이 집적회로에 성공적으로 응용되었으며, 저온 자기정렬형 공정에는 대부분 Ti/Pt/Au가 이용되고 있다[11].

GaAs 소자의 고집적화로 인한 장점은 기존의 실리콘 기술에서 잘 알려져 있듯이 단위소자의 특성향상으로 인한 전체회로의 성능향상과 기능당 단가의 절감이다. 현재 GaAs 집적회로도 본격적으로 sub- $\mu\text{m}$  기술이 상용화되고 있으며, sub- $\mu\text{m}$  게이트기술이 적용되기 위해서는 단채널효과(short channel effect)를 억제하는 기술이 필수적이다. 단채널효과를 극복하는 방법으로 널리 이용되는 방법은 그림 1.2 와 같은 LDD (lightly doped drain) 및 BPLDD (buried p-layer LDD) 구조의 MESFET이다[12,13]. 이들 기술이 확립되기 위해서는 내열성 게이트 형성공정이나 임시게이트 응용기술의 확보가 선행되어야 함은 물론 측벽형성기술 및 여러 조건의 이온주입 및 활성화공정이 확립되어야 한다.

본 과제는 GaAs 초고속집적회로 공정기술의 개발을 위하여 구체적인 목표를 4 KSRAM의 시제품 개발에 두고 있다. 현재까지 총 4년의 사업기간 중 2년을 수행하였으며, 1 차년도는 GaAs 4KSRAM개발을 위한 단위공정 및 소자기술 개발에 역점을 두었다. 1 차년도에는 단위공정 연구분야로 절연막 형성공정, 이온주입 및 활성화 공정, lift-off 공정, 건식식각 공정, ohmic 접촉형성 공정, Schottky 접촉 형성공정등을 연구하였고, MESFET의 특성을 해석적인 방법으로 분석하여 본 연구소에서 창안한 이중측벽을 가진 MESFET 구조에 적용하여 보았다. 그러나 이들 공

a. LDD



b. BPLDD

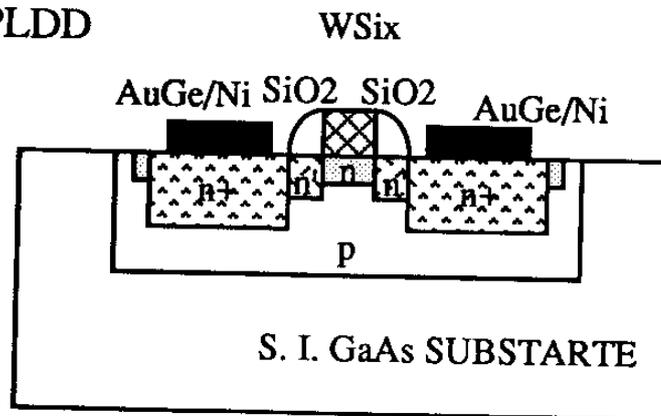


그림 1.2. LDD 및 BPLDD 구조의 GaAs MESFET  
(Fig. 1.2. Structures of LDD and BPLDD GaAs MESFETs)

정 연구는 집적회로 개발에 미비한 시설여건에서 수행하였기 때문에 미국 및 일본의 선진연구기관의 결과에 비교하여 공정특성 및 재현성에서 많은 문제점들을 부각시켰다. 따라서 2차년도인 본 과제의 역점은 일관된 GaAs 집적회로 수행을 위한 장비 확보 및 개선과 더불어 집적회로 수행에 핵심이 되는 이온주입 및 활성화 공정, 내열성 게이트, 다층배선 공정의 개선에 두었다. 한편으로 공정수행능력을 판단하기 위하여 집적회로 개발에 기본이 되는 MESFET 제조연구도 지속적으로 수행하였다. 본 보고서는 제2장에서 지난 1년간 수행한 여러가지 공정장비의 제작 및 공정특성을 서술하고 현재 구매확보한 stepper와 ion implanter 를 소개하였다. 제3 장에서는 공정분야에서 중점을 두고 있는 이온주입 및 활성화 공정, 내열성 게이트 형성 공정, 다층 배선 공정에 관한 연구결과를 서술하였다. 제4 장에서는 현재의 여건에서 수행한 GaAs MESFET 제조방법과 제조한 MESFET 의 특성을 소개하였다. 마지막으로 제5 장에서 2 차년도 연구에 대한 결과를 결론 짓고, 앞으로의 연구방향을 제시하였다.

## 제 2 장 장비제작 및 SET-UP



## 제 2장 장비제작 및 SET-UP

### 제 1절 열처리로의 제작과 설치

반도체 제조공정에서 열처리를 위한 장비로서 고온로의 사용은 보편화 되어있다. 즉 열처리에 의한 주입이온의 활성화와 합금(alloy)의 형성이나 확산에 의한 저항성접합의 형성등에 많이 이용되어 왔다. 이러한 실리콘반도체 재료의 경우에는 달리 GaAs등과 같은 화합물 반도체의 경우에는 고온열처리로서 요구되는 사항이 실리콘과 판이하게 다르다. 그림 2.1은 GaAs의 온도에 따른 증기압을 나타낸 것인데 온도에 따라 As의 증기압이 현저하게 증가하는 것을 알 수 있다. 이것은 이온주입후 800°C 이상의 활성화 온도에서 GaAs 표면이 분해되어 매우 독성이 강한 As 기체를 발생하므로 취급시 As이 유출되지 않도록 해야 한다. 따라서 GaAs 기판의 열처리에 적합하도록 장비를 구성하여야 한다.

본 연구에서는 Thermco 사의 MB-71 고온로를 사용하였으며 기존로의 전. 후면에 tube flange를 부착하여 GaAs기판의 출입작업을 저온에서 가능하도록 하였으며 Ne, Ne/He, Ar등의 가스를 사용할수 있도록 하였다. 그림 2.2 는 제작한 열처리로의 구성을 나타낸 것이다. 여기에서 나타낸 바와 같이 로의 전체 부분은 가스의 유출이 방지되도록 분리될 것이며 진공상태가 가능하도록 펌프를 부착하였다. 사용되는 가스의 유량은 최대 7 lpm 정도가 되도록 되어 있으며 사용온도는 400 - 1400 °C가 가능하도록 되어있다.

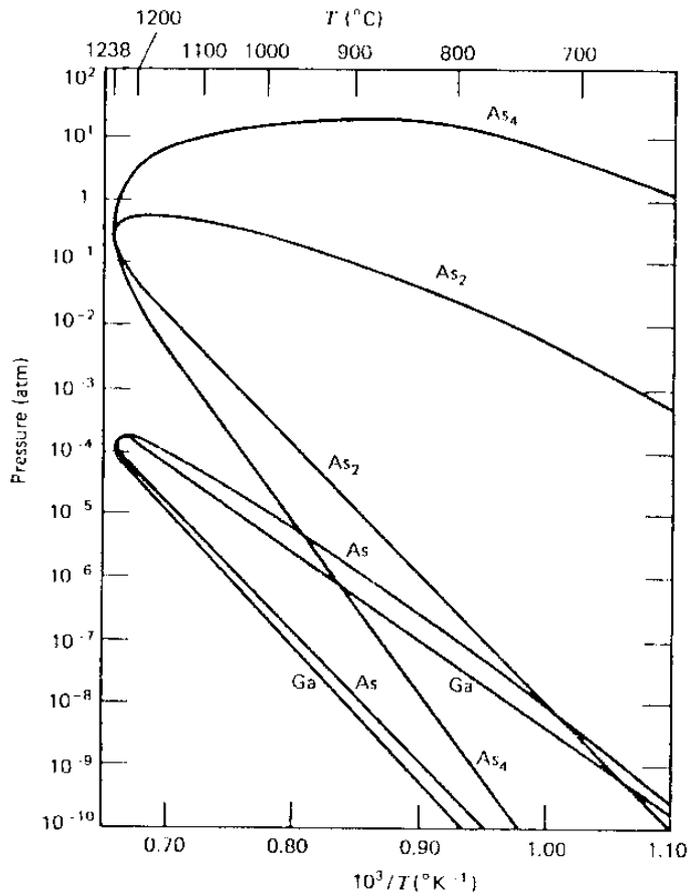


그림 2.1. GaAs의 온도에 따른 증기압 특성  
 (Fig. 2.1. Temperature dependence of GaAs vapor pressure)

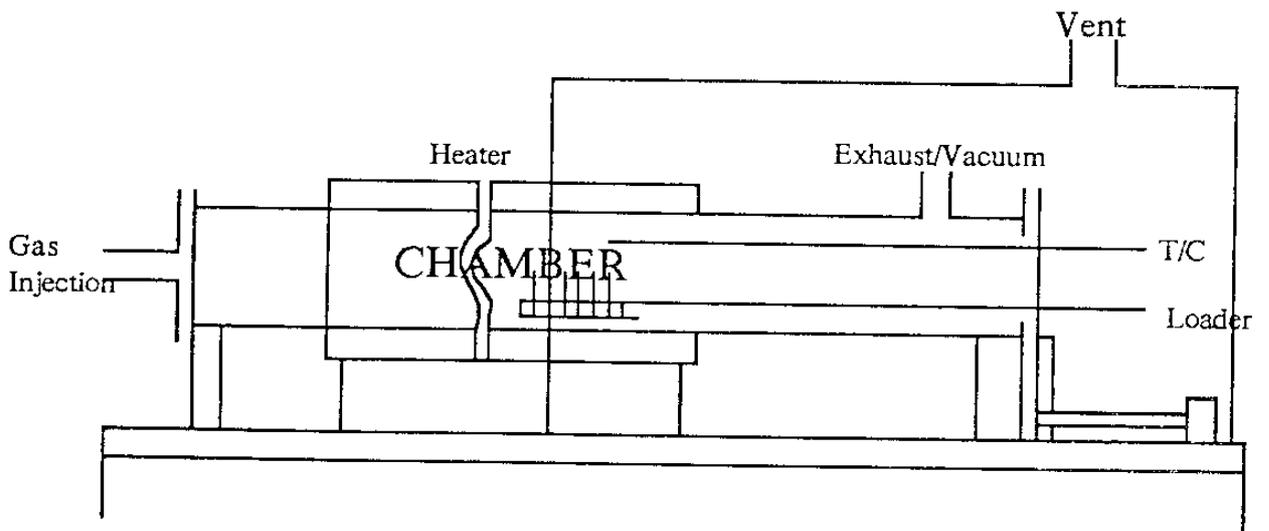


그림 2.2. Furnace의 전체 구성도  
 (Fig. 2.2. Block diagram of furnace)

현재는 GaAs 기판의 열처리시 AsH<sub>3</sub> 분위기에서의 열처리에 대한 가능성을 고려하고 취급에 대한 안전성을 더욱 기하기 위하여 장비에 대한 문제점들을 보완하고 있다.

## 제2절 금속열처리 장비 제작

고온로의 이용과 더불어 열처리 방법으로 금속한 열처리 ( Rapid Thermal Process ) 를 하는 방법이 최근 많이 적용되고 있다. 이는 고온의 금속한 열처리에 의하여 불순물의 확산재분포를 억제할 뿐 아니라 표면의 변화를 최소한으로 유지시킬수 있기 때문이다. 뿐만 아니라 고온로의 사용에 의한 AuGe/Ni와 같은 물질의 열처리는 금속의 금속한 수평확산에 의해 소자제작에 악영향을 미칠수 있기 때문에 금속 열처리 방법이 적절히 이용될수 있다. 따라서 본 연구에서는 이와같은 공정에 적용하도록 금속열처리 장비들 제작하였다. 장비의 제작은 이미 본 연구소에서 수년간 연구 제작한 바 있어 크게 나타나는 문제점은 없는 것으로 되어있다.

그림 2.3은 장비의 구성도이며, 장비의 전체적인 특성은 아래와 같다.

- 다단계 온도조절 기능
- 최대소모전력 : 30 KW (적정전력 18 KW)
- 최대허용오차 :  $\pm 0.5\%$
- 승온속도 : 300°C/sec

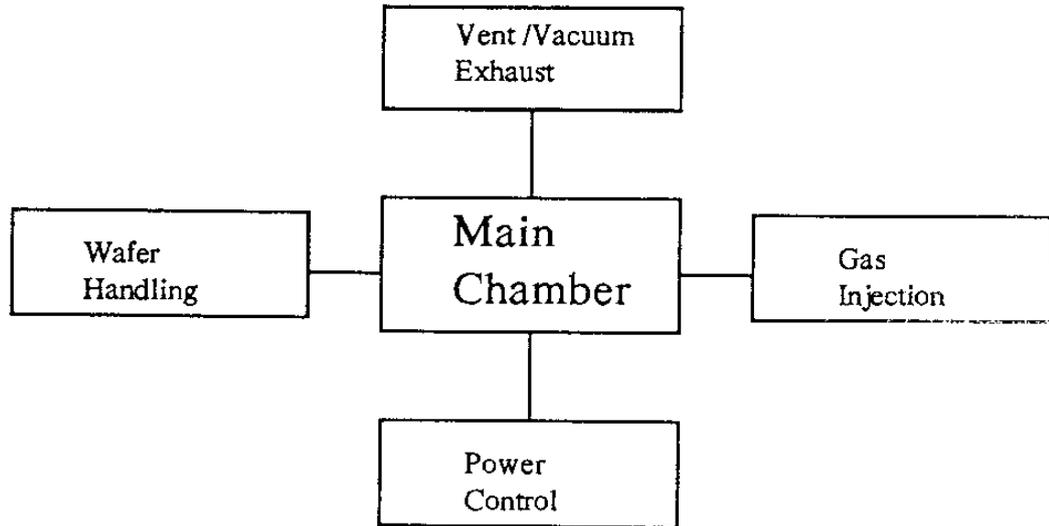


그림 2.3. 급속열처리장비의 구성도  
(Fig. 2.3. Configuration of RTP system)

- 사용가스 : Ne, Ne/He, Ar
- 가능진공 :  $10^{-3}$  torr

본 장비는 1.5 KW 의 텅스텐- 할로젠 램프를 기판의 상, 하부에 21 개를 동간격으로 배치하여 온도분포의 균일도를 증가시켰다. 가스의 공급은 가스 주입구를 통하여 고르게 분사되도록 석영관에 분사구를 여

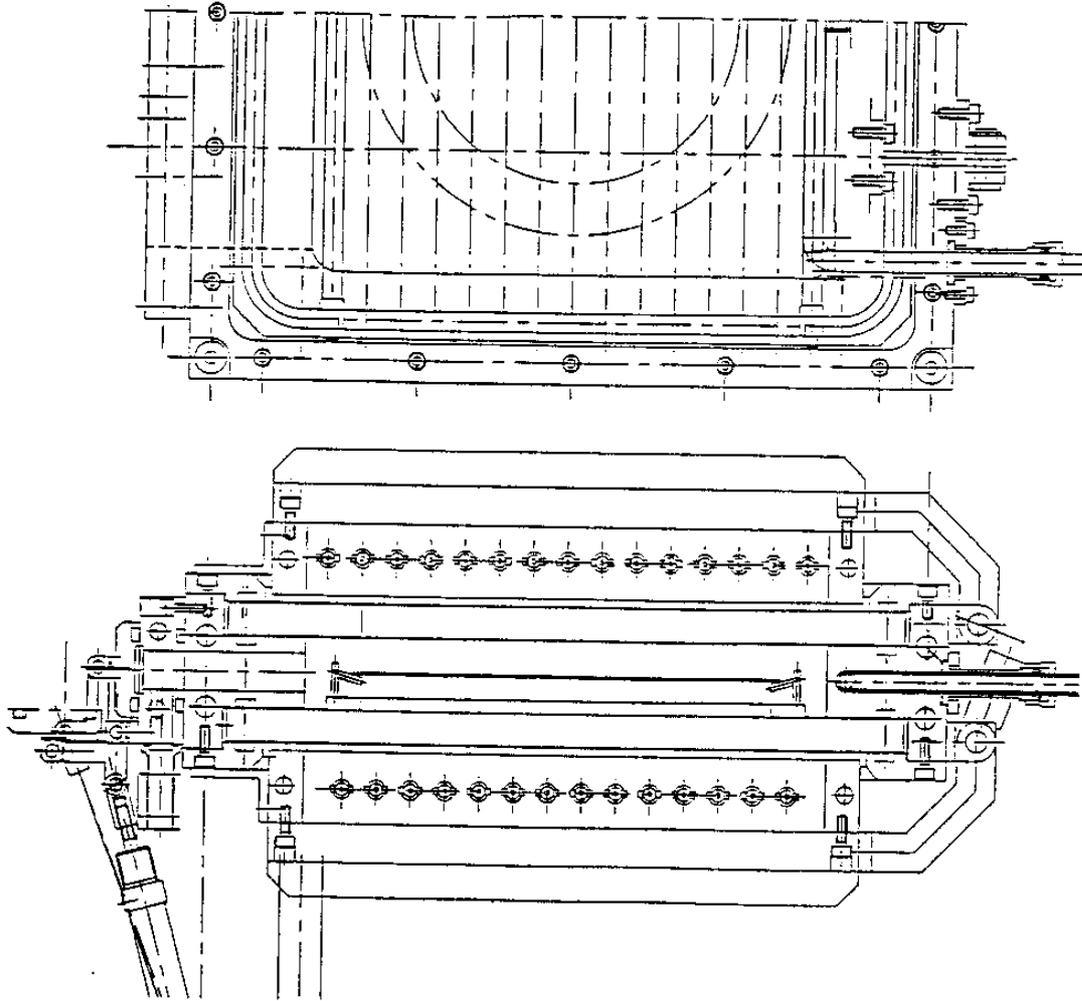


그림 2.4. 제작한 금속열처리장비의 단면도  
(Fig. 2.4. Cross-sectional view of RTP system)

리게 형성하였다.

현재 진행중인 장비의 제작은 모든 부품을 제작 완료한 상태로 조립중이며 조립후 온도조절에 대한 검증과정이 남아있다. 그림 2.4는 제작한 급속열처리 장비의 단면도를 보인것이다.

### 제3절 건식식각 장비제작과 설치

초고속 소자인 4K SRAM GaAs MESFET 공정중 건식식각 공정이 필요한 공정에는 게이트 공정 ( W, WSi, WSiN ), 게이트측벽 공정과 무저항 접촉창(contact window)공정, HEMT 공정 중의 GaAs/AlGaAs 식각공정, 그리고 건식식각 공정 뒤의 감광막 제거 공정 등을 들 수 있다. 이와같은 건식식각 공정을 개발하는데 필요한 건식식각 장비를 공정의 안정성에 큰 비중을 두어 그림 2.5.와 같이 구매 제작하여 실험실에 설치하였다. 장비 형태는 반응성 이온 식각(reactive ion etcher) 장비를 중심으로 플라즈마형과 자기공명형 ( magnetron ion etching )으로도 쓸수 있도록 구성하였다 (일반적인 건식식각 특성은 미세패턴 형성기술 개발에 관한 연구의 최종연구 보고서 85 년도- 128 면을 참고 할것 ).

개략적인 장비 성능을 측정하기 위한 몇몇 기초 실험을 하였던 바 가스를 차단한 상태에서의 진공 상태는 양호하였다. 외부로부터 새어 들어오는 가스량도 건식식각 공정에는 영향을 주지 않을 만큼 적은 양이었다. 또 전극 간격이 30 mm를 전후한 거리에서 양호한 방전효율을

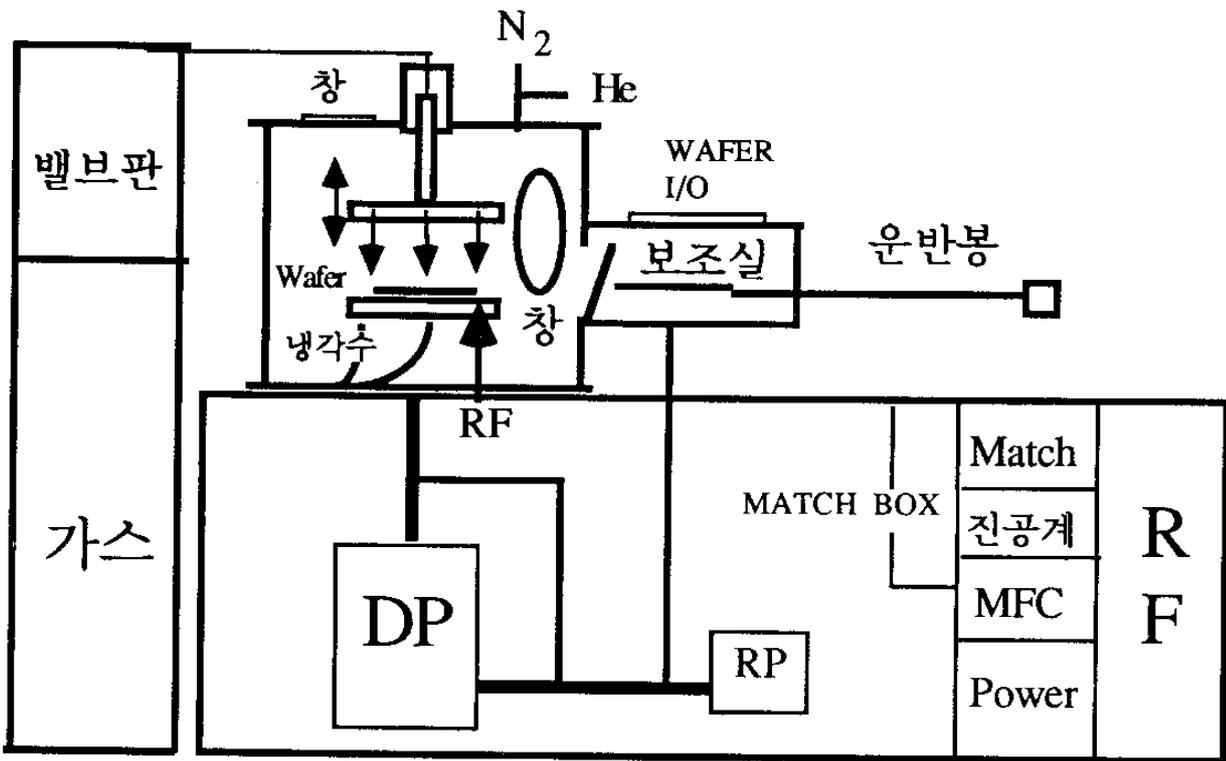


그림 2.5. 건식식각 장치 개요도

( Fig. 2.5. Block diagram of RIE system)

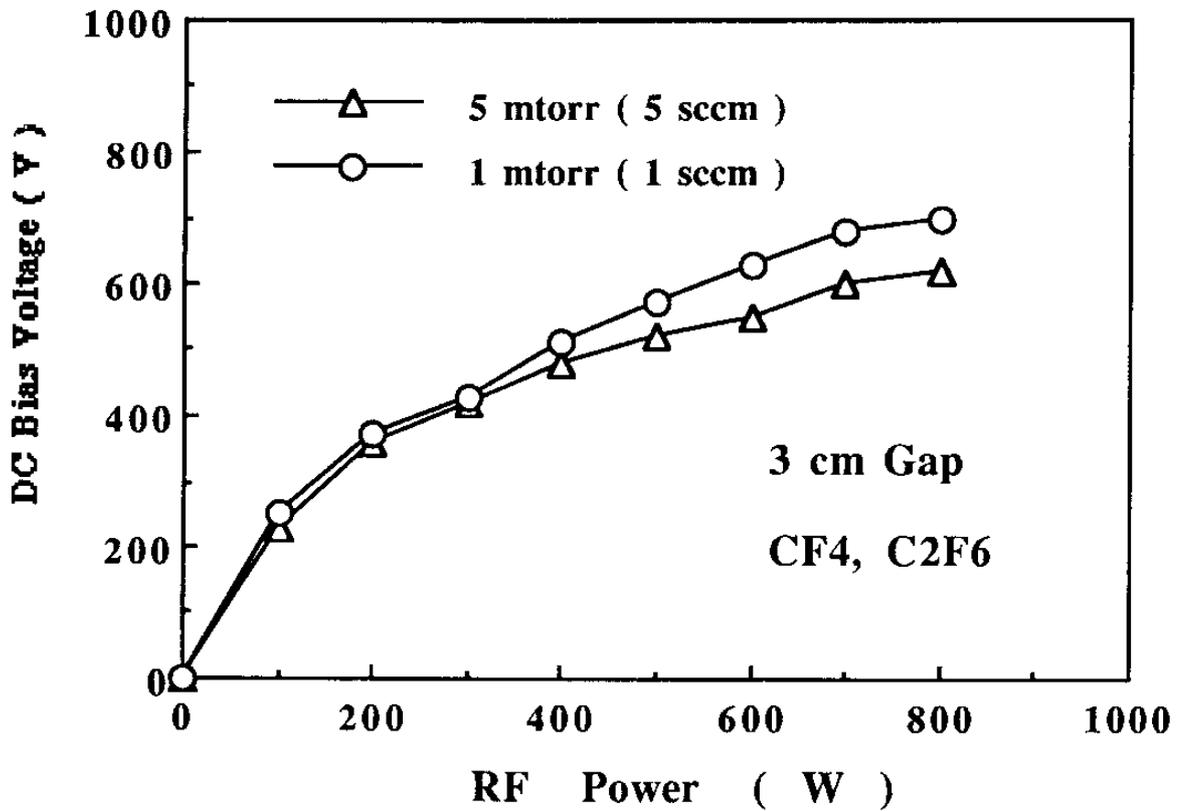


그림 2.6. 저압영역의 자발전압과 전력의 관련성  
(Fig. 2.6. Self-bias voltage vs. power in low pressure range)

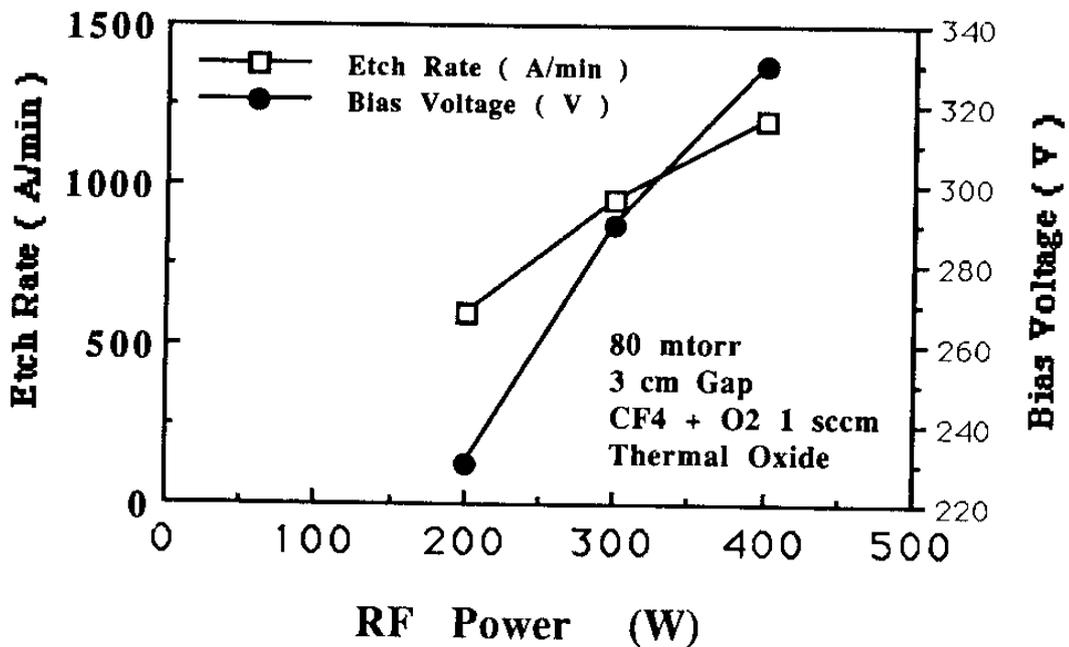


그림 2.7. 전력에 따른 열산화막의 식각률과 자발전압의 관계  
(Fig. 2.7. Etch rate of thermal oxide and self-bias voltage vs. RF power)

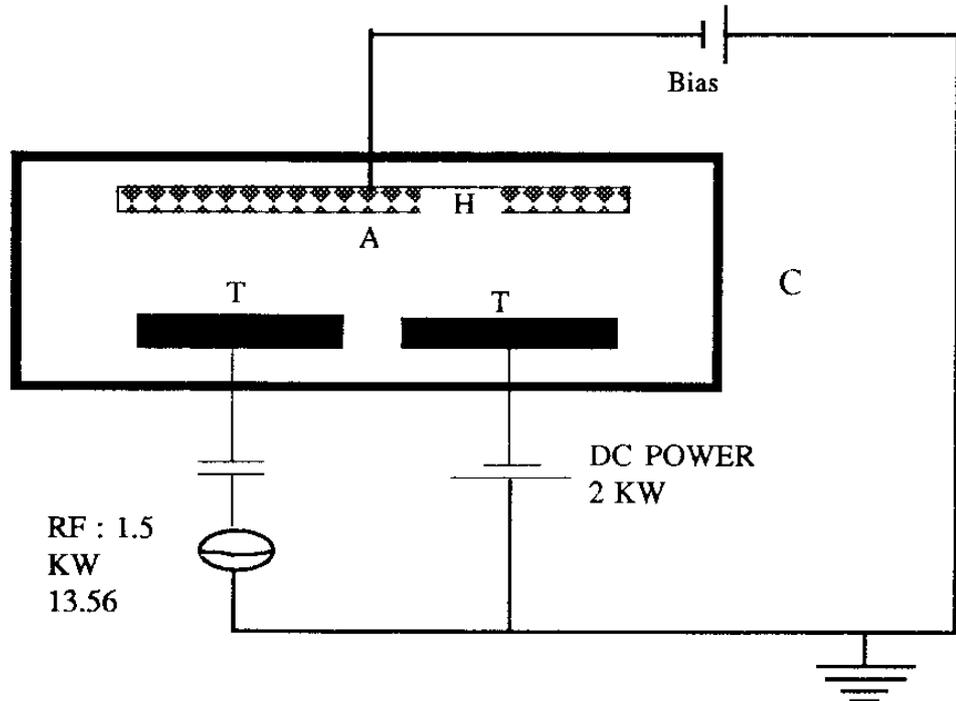
나타내었다. 먼저 전식식각 작용이 일어날 때 주요변수로 등장하는 자발전압 ( DC Bias Voltage )을 공급전력에 따른 변화를 그림 2.6에 나타내었다.  $CF_4$ 가스와  $C_2F_6$  가스는 0.8 mtorr 에서 10 mtorr의 압력 범위에서 비슷한 특성을 나타냈으며 전력 500 W를 전후하여 압력차에 따라 자발전압 차이도 5 % 에서 10 % 로 약간씩 증가하는 특성을 보이고 있다. 그리고 자발전압과 식각률과의 상호 관련성을 산화막 식각공정에 나타난 특성을 통하여 알아보기 위해 그림 2.7 에 나타냈다. 그림에서 보는 바와 같이 자발전압이 50 % 정도 증가하면 이에 따른 식각률 증가는 100 % 정도 증가하여 약 2배의 효과가 있음을 알 수 있다. 이 때 시료는 고온에서 기른 열산화막이었으나 다른 산화에 대해서도 이와 비슷한 특성이 나올 것으로 예상되며 PECVD ( Plasma Enhanced Chemical Vapor Deposition )와 APCVD ( Atmospheric Pressure CVD) 법으로 성장시킨 산화막은 서로 비슷한 식각률을 나타냈으며 열산화막에 비해 50 - 60% 정도 빠르게 식각되었다.

또 개별소자에서 집적화로 가는데 커다란 변수로 작용하는 식각균일도를 향상시키기 위해 윗전극의 가스 공급상태, 유량, 그리고 전력 등 여러 변수에 대해 현재 실험하고 있으며, 유량 변화에 식각작용이 웨이퍼 중심에서 전극 중심으로 변하는 등 미묘한 차이들 보여주고 있다. 이 균일도에 대한 기초 실험이후에는 소자에 줄 수 있는 이온충돌 효과를 줄이는 관점에서 자장추가 효과등 여러 변수를 최적화할 예정이다.

## 제4절 Co-sputter 제작과 설치

### 1. 장비의 주요성능 및 사양

금속막 및 절연막을 증착하기 위해서 2개 이상의 물질을 동시에 증착할 수 있는 co-sputter를 제작하였다. 제작한 장비의 개략도를 그림 2.8 과 같다. 그림에서 보는 바와 같이 본 장비는 타겟을 3개까지 사용할 수 있도록 되어있다.



H : HEATER  
 A : ANODE  
 T1: CATHODE(TARGET FOR RF SPUTTER)  
 T2: CATHODE(TARGET FOR DC SPUTTER)  
 C : CHAMBER

그림 2.8. 장비구성도  
 (Fig. 2.8. System block diagram)

그리고 장비의 성능은 표 2.1과 같으며 본 장비는 금속게이트 전계형 트랜지스트 제작시 게이트 금속물질로 사용할 수 있는 WSix, WSixNy, Al, W, Ti/Pt/Au 막등을 증착할 수 있다. 이때 금속막은 주로 DC-sputter 기능을 사용하고, 복합물질의 경우 DC/RF co-sputter 기능을 사용한다. 그리고 절연막의 증착을 위해 RF sputter기능을 사용하고 있으며, 이는 활성화시 활성층의 보호막을 입히는 경우 사용할 수 있을 것이다. 제작장비의 중요한 조절기능은 기판회전, 기판온도, 챔버내의 압력, 전극간의 거리등인데, 이들을 적당한 범위 내에서 조절할 수 있도록 되어 있다.

표 2.1 Co-Sputter 장비의 중요 성능 사양  
(Table 2.1. Performance specifications of co-sputter)

구 분	성 능
증 착 율	30 - 1,000 A/Min
균 일 도	± 5 % 이내 (3 inch 웨이퍼 )
기판 온도	25°C - 500°C
기판 회전	20 rpm( 최대)
극간 거리	50 - 150mm
기본 진공	$5 \times 10^{-7}$ Torr
사용 물질	금 속( 예 : Ti, Al, Pt, W, Au ) 절연막( 예 : SiO <sub>2</sub> , Si <sub>3</sub> N <sub>4</sub> )
사용 전력	DC : 2 KW RF : 1.5 KW

특히 기판의 온도와 챔버 압력 조절로 증착하는 막의 밀도와 응력을 조절할 수 있고 증착율 조절도 가능하다. 그리고 전극에는 자석이 붙어 있어서 증착 효율을 높이도록 구성되어 있으며, 반응성 가스의 사용으로 반응성 sputtering 기능도 가능하게 하였다.

## 2. 게이트 물질의 sputter 특성

GaAs를 사용한 집적회로 제작에 가장 많이 사용되는 게이트 물질로는 텅스텐 실리사이드(WSix, WSixNy등)와 Al이다. 따라서 본 실험에서는 이들중 가장 기본이 되는 W, Si, Al의 sputter 특성을 조사하였다. 이때 모든 물질의 경우 동일한 기본진공, 회전속도, 기판온도를 유지 하면서 실험을 수행 하였다. 이는 추후 co-sputter의 경우 응용이 쉽도록 하기 위함이다. 이때 기본진공은  $5 \times 10^{-7}$ Torr, 회전속도는 분당 10회, 기판온도는 25°C로 하였다. 그리고 모든 경우 3인치<sup>2</sup> 실리콘 웨이퍼를 기판으로 사용하였으며 sputtering시 웨이퍼 적재방식은 손으로 적재하고 동시에 load-lock 챔버를 사용하였다.

첫째 텅스텐의 경우 99.9%의 고순도 타겟을 사용하고 전력 및 전극간의 거리를 변화시키면서 증착율과 균일도를 측정하였다. 텅스텐은 DC sputter방법을 사용하였으며 증착율이 100 - 450 Å/min, 균일도  $\pm 6\%$ 이었다. 이때 균일도는  $\alpha$ -step을 사용하여 측정하였다.

둘째 실리콘의 경우 99.999%의 고순도 타겟을 사용하고 전력 및 전극간의 거리를 변화시키면서 증착율과 균일도를 측정하였다. 실리콘은 RF sputter방법을 사용하였으며 증착율은 약 100 Å/min, 균일도  $\pm 5\%$ 이었다. 이때 두께 및 균일도는 lift-off 방법을 사용하여 측정하였다.

셋째 알루미늄의 경우 99.999%의 고순도 타겟을 사용하고 전력 및 전극간의 거리를 변화시키면서 증착율과 균일도를 측정하였다. 알루미늄은 RF sputter방법을 사용하였으며 증착율이 100 - 450 Å/min, 균일도

± 6 % 이었다. 이때 균일도는 역시  $\alpha$ -step을 사용하여 측정하였다. 앞으로 이러한 자물질들에 대한 위의 기본 실험자료를 바탕으로 텅스텐 실리사이드의 co-sputter, 다른금속, 절연막등의 sputter 특성분석 및 실제 게이트 응용실험을 계속 연구하여야 한다.

## 제5절 구매장비 소개

### 1. Step-and-Repeat Projection Aligner

스테퍼는 자외선을 광원으로 하여, 레티클의 형상을 기관위에 1:5로 축소 사진전사하는 광학장비로서, 1  $\mu\text{m}$  부근의 미세형상을 위한 필수 불가결한 장비이다. 본 과제에서는 0.8-1.0  $\mu\text{m}$ 의 게이트 길이를 갖는 MESFET 4K SRAM 집적회로를 제작하기 위하여, 미국 GCA 사의 ALS 200 스테퍼를 구매 확보하였다. ALS 200 스테퍼는 365 nm의 파장을 갖는 i-line 자외선을 광원으로 하여, 0.5  $\mu\text{m}$ 까지의 미세 선폭 형상을 정의할 수 있는 장비로서 주요 광학 상수를 정리하면 표 2.2와 같다.

#### 가. 광학계

i-line 스테퍼의 광원으로는 수은 아크 램프를 사용하며, 광원의 파

장 스펙트럼을 관찰하면 그림 2.9와 같다. 광원은 220에서 600 nm 까지  
의 파장을 갖는 빛을 발하며, 그중에서 강도가 큰 파장범위를 살펴보  
면 365 nm 의 i-line 외에 436 nm 의 g-line, 405 nm 의 h-line 등을 포  
함하며, 레티클에 도달하기 까지 몇단계의 여과과정을 거쳐 거의 100 %  
가까운 i-line으로 이루어 지게 된다. 광원은 몇단계의 파장 여과  
과정과 렌즈를 거쳐 레티클 상의 형상을 기관위에 전사하게 되며, 광  
경로를 개략적으로 나타내면 그림 2.10과 같다.

Ellipse는 수은 아크 광원 주변의 반사경으로서 광원에서 나온 빛  
이 반사경(M1)에 고르게 조사되도록 반사시키는 기능을 갖는다. 반사  
경(M2)는 365 nm 의 파장을 갖는 빛만을 반사시키고 여타 파장의 빛은  
흡수하여 1 차 여과를 한다. 이 때 반사경이 상당량의 열을 흡수  
하므로 강제 냉각이 필요하다. 반사경(M2)이후에는 평행광을 만들기  
위하여 C1, C2A, C2B 및 C3 등의 렌즈를 거치며, C1 과 C2A 사이에 365nm  
파장의 빛만 을 통과시키는 narrow band filter 가 놓여져 있다. Kale  
idoscope 는 61 개의 hexroad로 구성되어 있으며 field 전체에 빛이 고  
른강도로 분포되도록 하는 기능을 갖는다. 반사경(M6)와 렌즈(C4) 사  
이에 원하는 형상을 갖는 레티클이 놓이게 되며, 렌즈(C4)를 거쳐서  
platen 위에 있는 기관에 레티클의 형상이 전사되게 된다. Platen  
의 stepping 은 piezoelectric motor에 의해 구동되며, He-Ne 레이저를 이  
용한 interferometer 가 위치 확인에 동원 된다. 이때의 stepping 거리  
는 0.04  $\mu\text{m}$  수준으로 조절된다.

나. 정렬 및 노광

캐리어로 loading 된 기판은 AWH( automatic wafer handler )에 의해 스테이지에 놓여지게 되며, 이전에 prealigning stage에서 회전자정렬을 거치게 된다. 스테이지에 놓여진 기판은 3 개의 motor 로구동되는 AWL ( automatic wafer leveller )에 의해 기판 전체에 걸쳐평탄하게 놓여지게 된다. 정렬과정은 기판 전체를 정렬하는 global alignment 와 각 field 마다 반복되는 field alignment로 대별 된다. Global alignment 는 DAWA( digital automatic wafer alignment )라는 소프트 웨어를 이용하게 되며, 부착된 광학현미경의 대물렌즈에 새겨져 있는 정렬 표식을 사전공정을 통하여 기판위에 형성된 정렬 표식에 정렬시킴으로써 이루어진다. Field alignment 는 DFAS( dark field alignment system )와 In-situ 라는 소프트웨어를 이용하게 되며, 사전공정에서 형성된 기판상의 정렬 표식과 레티클상의 정렬 표식을 맞춤으로써 이루어진다. 일단 정렬이 완료되면 부착된 컴퓨터에 입력된 명령에 따라 노광이 이루어지며, 노광이 완료되면 다시 AWH 에 의해unload 된다. 온도, 압력 등의 분위기가 변하면 렌즈의 focus 조건이 변하게 되므로, ACS( atmospheric control system ) 을 이용하여, 재현성 있는 focus를 유지하게 된다.

#### 다. Diagnostics

스테퍼의 동작 성능은 광원, 렌즈시스템 및 stage stepping 등의 재

현상 과 균일도에 좌우되게 되며, 본 스테퍼에는 이들 주요 부분의 특성을 분석하고 성능 개선을 위한 diagnostic tool 이 있다. IQ ( illumination qualifier ) 시험을 통하여 광원인 수은 아크등의 광강도와 field 내에서의 광 균일도를 분석할 수 있으며, 이를 통하여 광원의 교체시기와 위치 교정 방향을 판단할 수 있다. Intrafield analysis 를 통하여 렌즈 시스템의 rotation, translation 오차를 분석하고 소프트웨어를 이용하여 이의 교정방향을 확인할 수 있으며, 렌즈의 축소배율 및 찌그러짐 등의 고유 문제를 점검할 수 있다. Grid analysis 를 통하여 스테이지의 이동오차, 단위거리 오차 및 직각성, 회전오차 등의 stepping 특성을 판단할 수 있다.

## 2. Ion Implanter

본 연구실에서 3 인치 갈륨비소의 이온주입을 위해 구매한 이온주입기는 EATON사의 NV6200이다. 이온주입에너지는 5-200 KeV 이므로 2 개의 이온을 주입하면 400 KeV에 해당하는 에너지로 이온을 주입할수 있다. 가스를 소스로 사용하는 이온으로는 As, P, Si, B 등이 있고, 고체소스의 종류에는 Mg, Zn, Be 등이 있다. 방전방( discharge chamber) 부위는 확산 end station 부위에는 3개의 cryogenic 펌프가 사용된다. 빔전류의 한계는 이온의 종류에 따라 다른데 일가이온의 경우 20-1300  $\mu$ A 이며, 2 가이온의 경우에는 1-175  $\mu$ A이다. 이온의 에너지와 이온량의 uniformity 는

집적회로의 uniformity에 직접적인 영향을 미치는데, 이들의 1 sigma치가 1% 이내로 조절될 수 있다. 빔전류는 200 KeV의 에너지에서  $\pm 10\%$  이내로 유지될 수 있다. 양산성은 자동화된 end station에 의해 시간당 250 wafer 까지 가능하다. End station 에서의 입자발생률은 100 EA 이하이고, 웨이퍼의 파괴율은 약 5000 매당 1매 정도이다. 이온주입시 웨이퍼의 경사각은  $0-10^\circ$ 이고, 웨이퍼의 회전각은  $0-360^\circ$  로 조절된다.



## 제 3 장 단위공정개선



# 제 3 장 단위공정 개선

## 제 1절 이온주입 및 활성화

### 1. GaAs 에서의 Si 확산 현상론

#### 가. 배경

실리콘은 GaAs 에 도우핑 (doping) 되어지는 n형 도우펀트(dopant) 중 가장 질량이 작은 원소로서 이온주입 (ion implantation) 방식으로 도우핑되어질 경우 다른 어느 불순물보다 격자에 미치는 손상이 적은 이점이 있어 GaAs 소자의 전기적 활성화용 불순물로 가장 많이 쓰이고 있으며, 또한 결정성장 시에도 도우핑되어질 수 있고, 조절된 외부확산원에 의해 결정 내에 확산되어질 수도 있다. 특히 Si 은 4족 원소로서 3-5 족 화합물인 GaAs 내의 격자로 치환될 경우 전기적 양면성 (amphoteric nature)을 지니게 되어 주어진 상황에 따라 갈륨과 비소의 격자 중 어느 격자에 주로 치환되어지는지에 따라 각각 n형 또는 p형의 불순물로 결정되어진다. 실리콘은 특별히 공급원이 갈륨과 인인 경우를 제외한 일반적인 경우 갈륨 격자에 주로 치환되어 n형 불순물로 작용한다. n형 불순물로서의 실리콘은 전기적 활성화 특성에 농도의존성을 보이는데, 도우핑된 실리콘의 화학적 농도가 낮은 (약  $1 \times 10^{18} \text{cm}^{-3}$  이하) 경우 실리콘의 전기적 활성화율은 거의 100%에 가까우므로 GaAs MESFET 의 채널 (channel) 의 전기적 활성화용 도우

핑 목적에 부합된다. GaAs 내에서의 Si 의 화학적 농도가 고용한도에 가까운 고농도 도우핑 시에는 전기적인 활성화율이 현저하게 저하되는 데, 이러한 자기보상 (self-compensation)이 일어나는 일차적 원인은 전기적양면성에 의한 것으로 알려져 있다.

GaAs 내에서 실리콘의 전기적 활성화 특성을 활용하여 소자의 동작과 성능이 원하는 범위 내에서 성공적으로 조절되어질 수 있기 위해서는 필요한 양을 주어진 위치에 얼마나 정확하게 분포시킬 수 있는가가 관건이 된다. 위에서 언급되었듯이 고속 디지털 (digital) GaAs 소자와 집적회로 (integrated circuits)용의 MESFET 과 JFET 의 제작에 있어 실리콘을 비롯한 불순물들은 반절연체 (semi-insulating) 인 GaAs 기판에 이온주입 방법에 의해 직접 도입되어지는데, 이 이온주입에 의한 손상을 회복시키고 동시에 불순물의 전기적인 활성화를 위해 고온 열처리들 하게된다. 이 열처리 및 이후의 다른 고온 공정에 의해 불순물의 재분포 (redistribution) 및 확산현상이 일어나게 된다. 일반적으로 불순물들의 확산현상이 제대로 이해되어지지 못하고 확산현상의 조절방법이 확립되어지지 못한 이유에 의해, 고온 공정의 횟수와 시간을 최소화한다거나, 매우 낮은 확산계수를 갖는 불순물을 사용한다거나, 또는 확산을 극소화시키는 절연막 (encapsulant)을 사용하는 등의 제한적인 방법이 소자제작 과정에 운용되어 왔다. 그러나 이렇게 확산을 최소화시키는 과정들은, 불순물의 전기적 활성화와 같은 다른 중요한 요소들의 최적화에 방해되는 작용을 하게 되는 것이다. 따라서, 불순물들의 확산현상에 대한 정확한 이해만이 공정 및 소자변수에 대한 확산 현상의 효과적인 조절과 최적화를 가능하게 하

는 것이다.

GaAs에서 실리콘의 확산현상을 연구하기 위하여는, 이온주입에 의한 격자손상이나, 열처리 중 비소가 기화 (evaporation)하여 기판표면으로부터 날아감으로써 발생하는 원하지 않는 화학적 비정량이나, 질연막을 사용함으로써 발생하는 응력 (stress) 문제 등의, 원하지 않는 실험적인 부수적인 영향 (experimental artefact)을 최소화할 수 있기 위하여, 위에서 언급된 도우핑 방법 중, 열역학적 평형에 근접한 상황으로 조절된 공급원을 사용하여 폐쇄시스템 (closed system)에서 행해진 확산이 가장 적합하다.

#### 나. 본론

GaAs 내에서 실리콘은 격자공공 (vacancy)을 통해 확산하는 것으로 알려져 있는데, 이에 대한 실험적인 증거는, 도우너 (donor) 실리콘의 비소 분위기에 대한 확산의존성이다. 즉, 비소 기체의 압력이 높아짐에 따라 갈륨공공의 농도가 증가하게 되므로, 실리콘이 경유하여 확산할 수 있는 경로가 증가하는 효과로 인해 실리콘의 확산계수가 증가하는 것이다. 실리콘은 서론에서 언급된 전기적 특성에 농도의존성을 보이듯이, 확산현상에 있어서도 유사하게 농도의존성을 나타낸다. 실리콘의 화학농도가 낮은 경우, 실리콘은 전하를 띠지 않는 갈륨의 단일공공에 의해 확산하는 것으로 알려져 있고, 이 때의 확산계수는 농도에 의존하지 않고 일정하며, 농도가 높은 경우에는 acceptor로서 음전하(-)를 띤 갈륨의 공공[14]에 의해 확산하는 것으로 알려져 있

다. 여기서 주의할 점은, 도우핑되어진 실리콘에 의해 활성화된 전자의 농도가 확산계수와 밀접한 상관관계가 있다는 것이다. 그 이유로는, 확산에 관여하는 격자결합들이 전하 (charge) 를 띠는 정도가, 전자의 농도에 의해 결정되어지는 페르미 준위 (Fermi level)에 의존하기 때문이다. 전자의 농도가 확산온도에서 intrinsic 농도보다 높은 extrinsic 수준인 경우, 갈륨의 공공이 음전하로 충전되는 정도는 전자의 농도가 증가함에 따라 증가하게 되므로 결과적으로 실리콘의 확산계수가 증가하게 된다. GaAs 에서 n형 도우펀트에 의해 한 온도에서 활성화되는 전자의 최대농도는 일정한 것으로 알려져 있는데, 실리콘의 확산계수는 이 최대전자농도에 이르기까지 증가하다 포화 (saturate) 하게 된다. 요약하면, 활성화된 전자의 농도가 intrinsic 이하이면, 실리콘의 확산계수는 일정하며 낮은 값을, extrinsic 수준이면 전자의 농도에 따라 증가하다, 전자농도의 포화점에서 확산계수도 포화하여 일정해진다.

실험적으로 실리콘의 확산원 (diffusion source) 으로는, 순수한 실리콘의 박막을 기판에 입히는 방법 [15]과, 실리콘, [16] 또는 실리콘과 비소의 분말을 기판과 분리시켜 높은 온도에서 기체상태로 공급하는 등의 방법이 사용되어 왔다. 이 때, 시스템을 개방 (open) 하는지 폐쇄 하는지에 따라, 절연막을 입힌다거나 (전자), 잉여 비소를 추가한다거나 (후자) 하는 방식으로 기판에서의 비소의 탈출을 방지시키는 방법이 사용되어야만 했다. 이때, 절연막에 의한 응력의 문제나, 비소의 압력을 조절하기 위한 정량의 문제 등이 발생하게 된다. 따라서, 가장 이상적인 공급원으로는 실리콘-갈륨-비소간의 삼원상평형 [17]에 바탕하여 원하는 온도에서 각 원소들의 평형분압 (equilibrium partial pressure) 이

이루어지는 삼원 확산원을 폐쇄시스템에서 사용하는 방식이 확산현상을 분석하는데에 가장 이상적이다.[18] 그림 3.1는 실리콘-갈륨-비소의 평형 삼원상태도이다. 실리콘과 비소 사이에는 두 가지의 화합물, 즉  $\text{SiAs}$ 와  $\text{SiAs}_2$ 가 존재하는데, 이 화합물들은 실리콘과

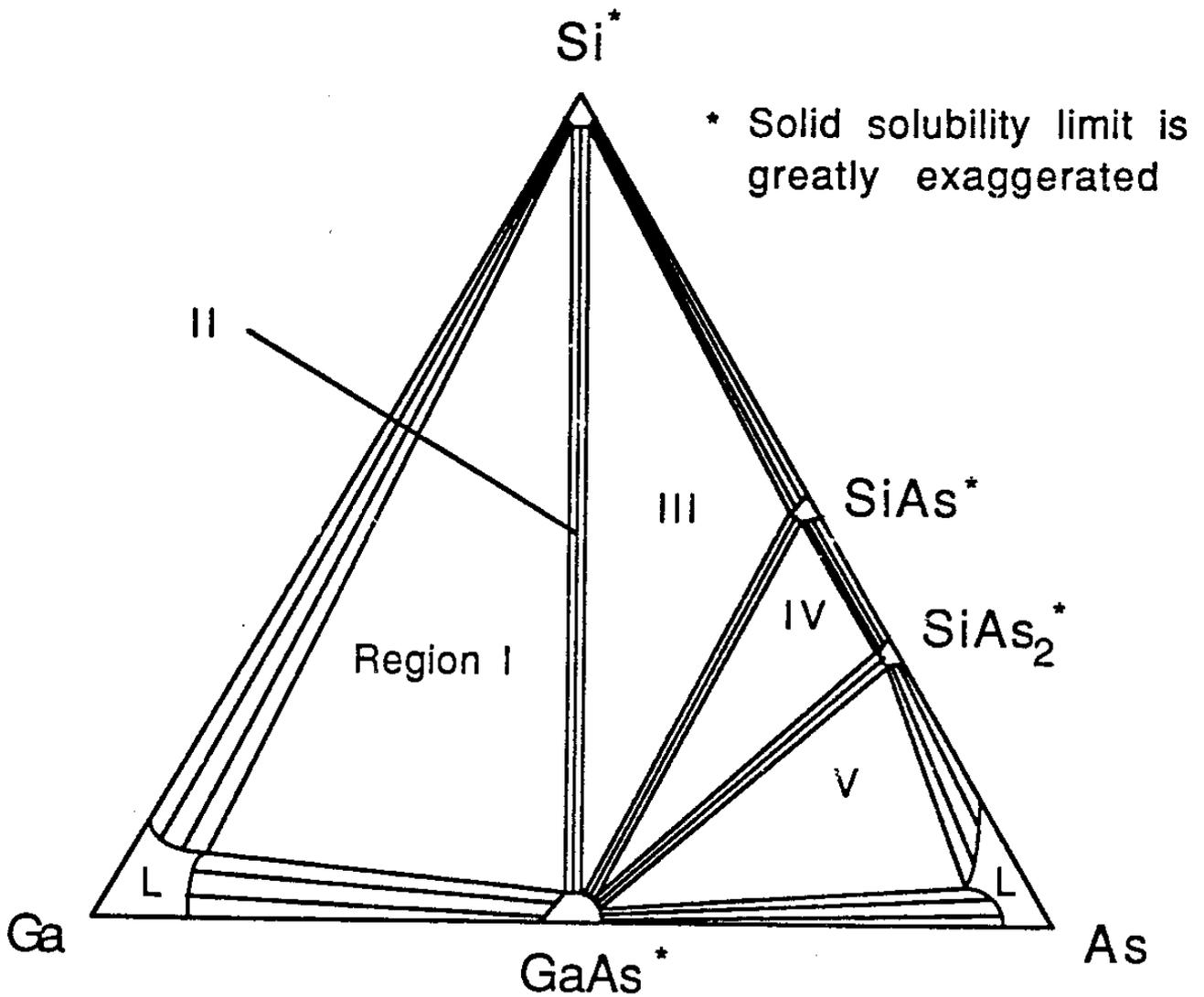


그림 3.1. 실리콘-갈륨-비소의 평형 삼원 상태도 (900°C 이하)  
 (Fig. 3.1. Phase diagram of ternary Si-Ga-As system)

비소를 정량하여 fused quartz 내에서 진공 상태로 밀봉 (sealing) 열
 처리하여 합성한다. 이 화합물들과 실리콘 ( $\text{SiAs-SiAs}_2\text{-Si}$ ), 또는 GaAs
 ( $\text{SiAs-Si-GaAs}$ )를 섞어 실리콘의 확산원으로 사용하게 되면, 각 원소
 의 평형분압이 확산온도에서 이루어지게 되어 확산 프로파일의 반복적
 이 된다. 그림 3.2 은  $\text{SiAs-Si-GaAs}$ 를 사용하여  $900^\circ\text{C}$ 에서 1, 4, 그리
 고 9 시간 동안 확산시킨 실리콘의 secondary ion mass spectrometry 프
 로파일이다. 각 시간에 대해, 같은 공급원을 사용하므로 표면의 실리콘
 농도는 동일하며, 프로파일이 background 농도로 떨어지는 깊이인 junc-
 tion depth는  $\sqrt{t}$  (시간)에 비례하는 것을 알 수 있다. 이 중, 1 시
 간의 확산 프로파일에서 실리콘의 확산계수를 Boltzmann-Matano 방식에
 의해 계산하여 상온에서의 전자의 농도에 대해 표시하면 그림 3.3과
 같이 나타난다. 이 때, 전자의 농도는 실험적으로 알려진 전자의 농도
 를 경험식으로 구한 것이다[19]. 그림 3.3에서 주의할 점은, 확산계수가
 전자의 농도에 따라 변하는 모양으로, 전자의 농도가 intrinsic 농도
 ( $3 \times 10^{17} \text{cm}^{-3}$ ) 이하인 경우와, 포화농도 ( $3\text{-}4 \times 10^{18} \text{cm}^{-3}$ )에서 일정한 값
 을 보이며, 그 중간 구간에서는 전자의 농도에 거의 비례한다는 것이
 다. Extrinsic 구간에서 나타나는 확산계수의 이러한 전자농도 의존성
 은, 갈륨의 공공이 음전하로 충전되어 실리콘의 확산경로로 작용한다
 는 것을 증명한다. 즉, 전자의 농도가 증가하게 되면 음전하로 충전
 되는 공공의 양이 증가하며, 전자의 농도가 포화하면 음전하로
 충전된 갈륨공공의 농도도 포화하게 되는데, 이 때 확산계수 또한
 포화하므로, 결국 음전하를 띤 갈륨 공공이 실리콘의 확산에 관

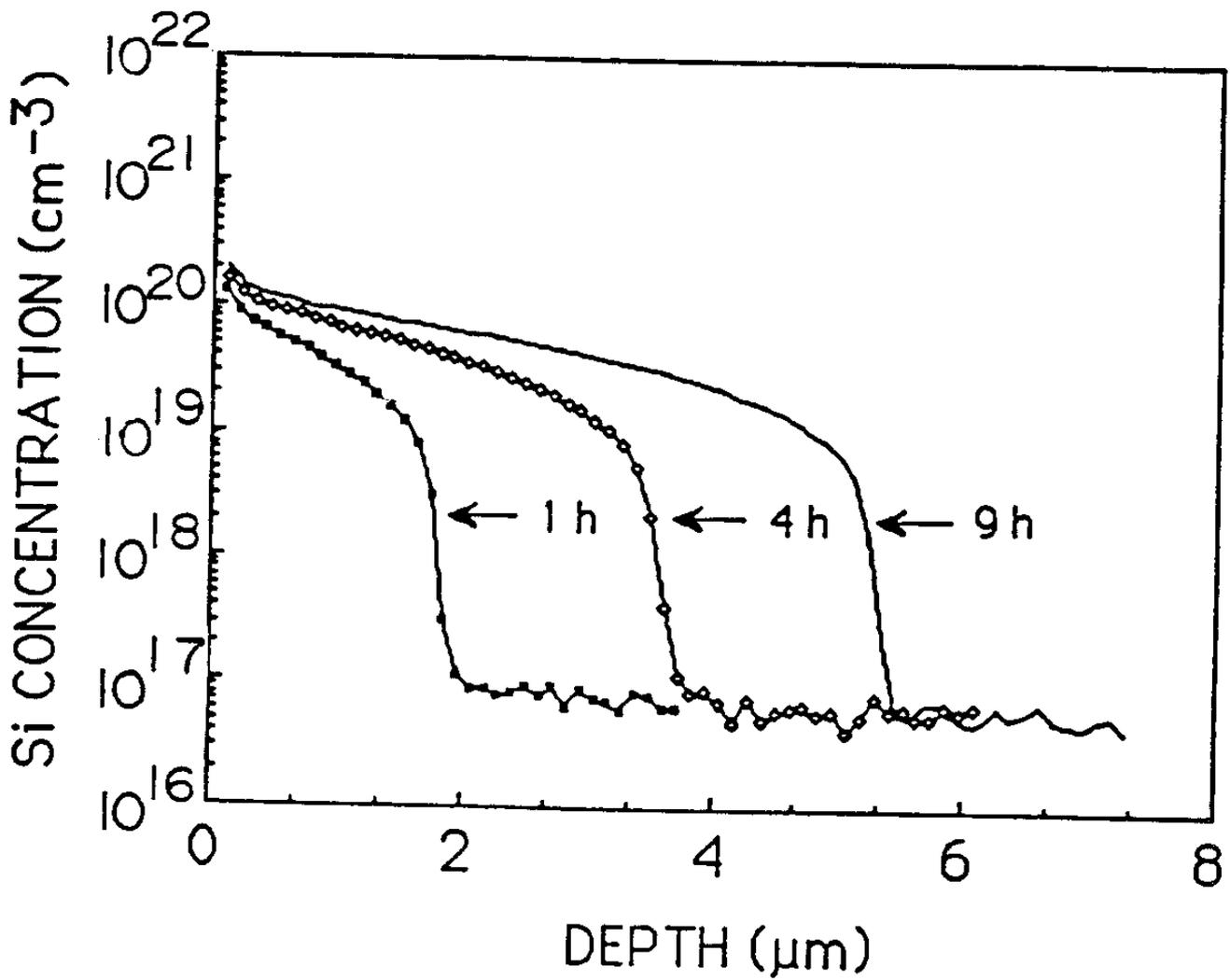


그림 3.2. SiAs-Si-GaAs를 사용하여 900°C에서 1, 4, 그리고 9 시간 동안 확산시킨 실리콘의 secondary ion mass spectrometry 프로파일  
 (Fig. 3.2. SIMS profiles of silicon obtained after annealing for 1, 4, and 9 hours at 900 °C using SiAs-Si-GaAs system)

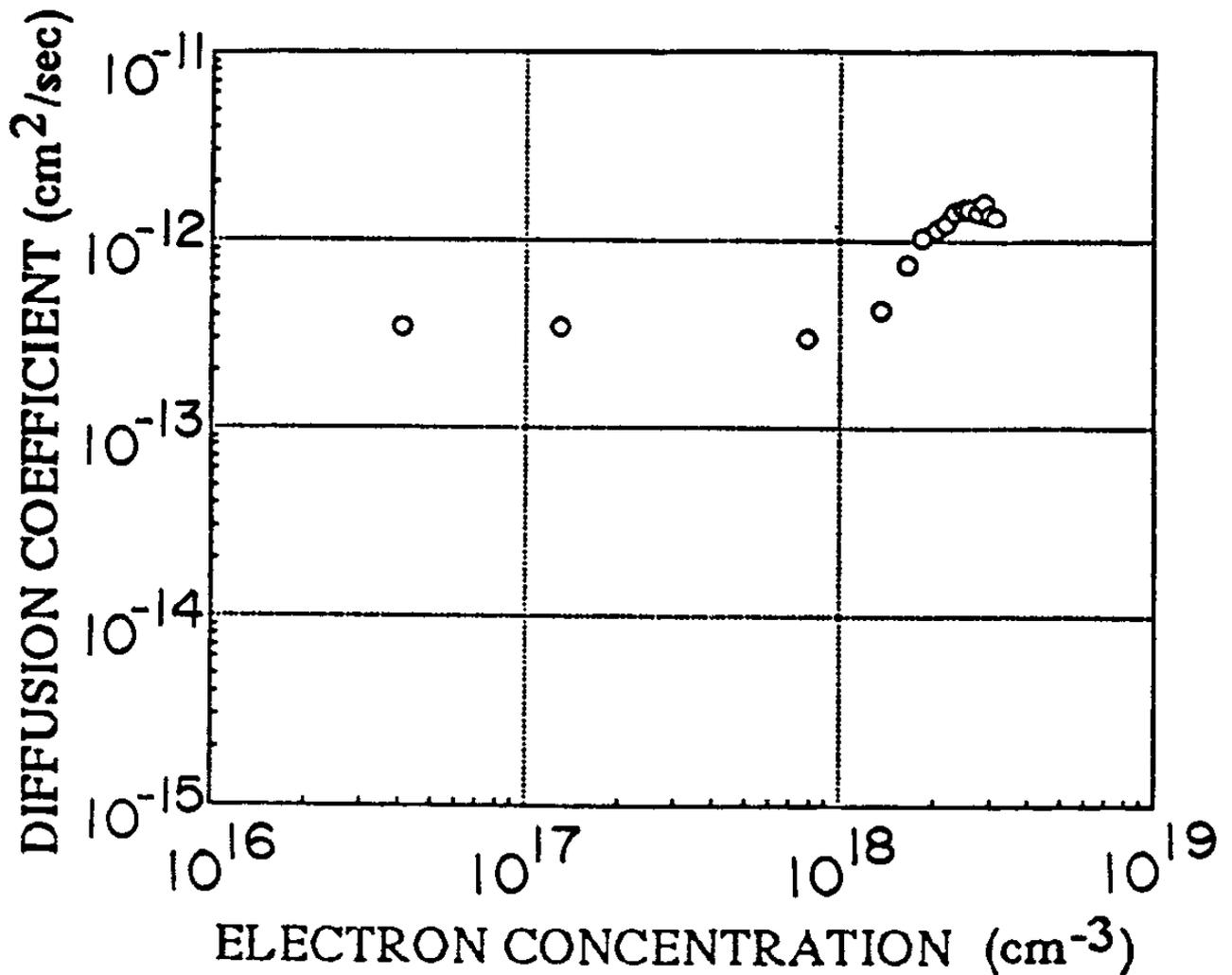


그림 3.3. SiAs-Si-GaAs를 사용하여 900°C에서 1 시간 동안 확산시킨 실리콘의 확산계수와 상온 전자농도 간의 상관관계  
 (Fig. 3.3. Relation between Si diffusivity and room temperature electron concentration after annealing at 900 °C for 1 hour)

여하는 주된 결함인 것을 알수 있는 것이다. Intrinsic 수준에서는 확산계수가 일정하며, 이 때 확산에 관여하는 주된 결함은 중성의 갈륨 공공이다.

다. 맺음말

GaAs에서 주된 n형 불순물인 실리콘의 확산현상을 연구하기 위하여 실리콘-갈륨-비소 간의 삼원 상평형에 입각한 확산원을 사용하여 밀봉된 fused quartz 내에서 확산시킨 실리콘의 화학농도와 그에 따른 전자의 농도를 측정하여 전자의 농도에 대한 실리콘의 확산계수의 의존성에 의해 분석한 결과, 전자의 농도가 intrinsic 수준 이하에서는 실리콘의 확산계수가 낮고 일정한 값을 보이고, extrinsic 수준에서는 전자의 농도에 확산계수가 거의 비례하다. 전자의 농도가 포화하면 확산계수도 따라서 포화하는 것을 알 수 있었다. 따라서, 실리콘의 확산에는 음전하로 충전된 갈륨의 공공이 주된 결함으로 작용하는 것을 알 수 있다.

## 2. 상압화학증착한 산화막을 이용한 활성화특성

가. 서론

불순물의 이온주입에 관한 연구는 1960 년대에 Lindhard 등[20]의 원자의 충돌에 관한 이론적 연구를 계기로 정립되기 시작했다. 정류

성접합이나 소자분리, 그리고 활성층을 형성하기 위하여 반도체에 여러 가지 불순물 이온을 주입함으로써 소자특성을 정확히 제어하는 주된 공정으로 이용되어 왔다. 반도체소자의 전기적특성과 관련하여 불순물의 분포가 급격하고, 임계전압과 상호전달계수 등의 소자인수가 균일하며 재현성이 있어야 하는 점들은 이온주입기술이 해결할 수 있는 주된 장점이다. 그러나 소자의 성능을 향상시키고, 집적회로의 수명 및 신뢰도를 증가시키기 위해서는 이온충돌시 발생된 결함의 거동과 제거에 대한 문제점이 남아 있다 [23,24].

이온주입되는 불순물의 tailing 이나 skewness 를 줄이기 위해 일반적으로 웨이퍼의 tilt 각도와 twist 각도를 조절한다. GaAs MESFET 의 경우 pinch-off 전압은 tilt 각에 따라 2배, twist 각도에 따라 1.5배 까지 변하며 적절한 tilt 각 twist 각은 각각 9° 와 45° 이상으로 발표된 바 있다[21]. 이렇게 함으로써 상호전달계수를 1.5 배까지 변화시킬 수 있고 임계전압의 균일성도 표준편차값을 5% 이상에서 2% 이내로 감소시킨다. 또한 P 층용 불순물로 Be, Mg 등을 활성층용 불순물인 Si 와 동시에 이온주입하는 방법이나 절연막을 통과하여 이온주입하는 방법, 또는  $\text{SiF}^+$ ,  $\text{SiF}_2^+$ 의 이온주입 등으로 불순물의 분포를 날카롭게 만들어 매우 얇은 활성층의 소자를 발표하고 있다[22].

이온주입의 기하학적조건 및 주입이온의 화학적 결정상태가 소자의 전기적 특성에 미치는 영향에 대해 결함의 생성, 결함의 종류, 결함의 분포에 대한 이론적 결과들이 발표되고 있지만 측정의 한계로 인하여 실험적 발표는 거의 없다. 주입되는 불순물의 이온주입현상에 관한 계산으로는 Monte-carlo 와 Boltzmann transport 방법 등이 있으나

단결정체로의 이온주입에 대해서는 잘못지 않는다. 따라서 실험적으로 구한 불순물의 분포를 이용하여 가우시안분포에 지수함수로 tail 현상을 보완하거나 피어슨분포의 인수를 각각의 경우에 대해 구하여 사용하기도 한다. 그리고 절연막등의 여러가지 다른 물질층을 통과하는 형태의 경우에는 가우시안분포와 피어슨분포를 복합한 수식으로 근사식을 만들어 사용하고 있다[21]. 한편, 단결정체에서의 이온주입에 대한 계산으로 Marlowe 가 개발되고 있어 shallow junction 이나, low damage 층의 형성에 방향을 제시할 것으로 기대된다.

전위밀도나 깊은준위 불순물의 농도와 같은 웨이퍼의 물성과 위에서 거론된 이온주입조건 그리고 열처리의 조건 모두가 활성층의 특성에 큰 영향을 미친다[25-27]. 이온충돌에 의해 생성된 결함들의 열처리에 의한 소멸이나 전위환의 생성, 그리고 열충격에 의한 결함 및 솔립의 생성 그리고 제거방법, 소자동작특성과의 관계에 대해 많은 의문점이 남아 있다[28,29].

## 나. 실험

실리콘의 이온주입시 이온주입기의 질량분석능과 오염원이 존재하는지 알아보기 위해 Si(28) 과 Si(29) 의 이온주입을 하여 비교하였다. 그리고 undoped GaAs 과 Cr doped GaAs 의 웨이퍼에 의해 Cr 확산현상과 같은 표면 원자적 분포에 미치는 영향과 산화막 두께변화 및 열팽창계수 차이에 의한 응력이 활성화에 미치는 영향도 살펴보았다.

Cr doped와 undoped 갈륨비소 웨이퍼에 Si(28) 과 Si(29) 이온을

각각 9 도의 tilt 각과 35 도의 twist각에서 이온주입하였다. 위의 제시된 문제점에 관한 결과로써 표 3.1 은 실리콘이온의 질량, 산화막의 두께, 웨이퍼의 종류에 따른 활성화특성이다. 표 3.1의 시편 1,2,3,4 들 볼때 웨이퍼 자체는 활성화특성에 큰 변화를 주지 않았다. 단 산화막의 두께가 4000-5000 Å 일 때인 시편 5,6,7,8의 경우는 활성화도에는 별 영향이 없지만, 전자의 이동도에는 산화막의 열충적으로 인한 크랙의 발생으로 불균일한 활성화 특성을 보였다. 그러므로 이온주입기에서 원자의 질량분석능에 의한 영향은 발생되지 않고, 산화막의 열응력은 활성층을 불균일하게 한다. 그러나 질소나  $BF_3$  등에 의한 오염의 가능성은 무시할 정도이며 undoped GaAs와 Cr doped GaAs 의 차이에 의한 활성화에서 운반자의 농도와 전자의 Hall 이동도가 각각  $7-9 \times 10^{11} / \text{cm}^2$ ,  $3100-3300 \text{ cm}^2/\text{V}\cdot\text{sec}$ 으로 동일하므로 웨이퍼의 영향은 거의 없는 것으로 나타났다. 단 이에 대해서는 추후에 SIMS, XPS 나 RBS와 같이 정밀한 분석에 의해 판정되어야 할 것으로 사료된다.

이온주입에너지 및 이온량의 활성화특성을 알아보기 위해서 undoped GaAs 웨이퍼에 Si(29) 를 주입에너지는 30, 50, 70, 100, 120 keV 으로, 주입이온량은  $2E12$ ,  $6E12$ ,  $1E13$ ,  $6E13 / \text{cm}^2$ 으로 변화하여 사용하였다. 산화막을  $330^\circ\text{C}$ 에서 웨이퍼의 뒷면에는 1000Å으로, 앞면에는 2000 Å 또는 4000Å을 상압화학 증착하였다. 이온주입과 산화막의 증착이 완료된 갈륨비소웨이퍼를 As 분위기의 석영관에서  $800^\circ\text{C}$  의 온도로 30 분간 열처리하였다. 열처리된 시편은 BHF로 산화막을 제거하고 van der Pauw법으로 Hall 측정하여 편저항, 면운반자농도, 전자이동도 등을 측정하였다. Photoluminescence 는 헬륨네온 레이저를 이용하여 8000-13000 Å

파장영역에 대해 10 K 에서 측정하였다. 깊이방향의 PL 측정은 실리콘을 120 keV의 에너지로  $2E12 / \text{cm}^2$  의 이온량을 이온주입한 웨이퍼를  $4\text{H}_3\text{PO}_4 : 1\text{H}_2\text{O}_2 : 90\text{H}_2\text{O}$  의 화학용액으로 500 Å 씩 습식식각하면서 측정하였다.

### 다. 결과 및 토의

#### (1) 이온주입조건에 따른 활성화도의 변화

Undoped GaAs에 30, 50, 70, 100, 120 keV에서  $2E12, 6E12, 1E13, 6E13 / \text{cm}^2$  으로 이온주입한 웨이퍼를 산화막 2000 Å 으로 증착하여 사용하였고, 활성화도의 변화는 Hall 측정으로부터 그림 3.4와 같이 얻어졌다. 그림 3.4 에 사용한 활성화도의 정확도를 가우시안분포로부터 실제 웨이퍼내로 주입된 이온량으로부터 수식적으로 구하여 활성화도에 미치는 정도를 살펴보았다. 이온주입에 대한 불순물분포로서 간단하게 가우시안분포를 이용하면 깊이  $x$  에 대한 농도  $N$  은

$$N(x) = \frac{Q_0}{\sqrt{2\pi} dRp} \text{EXP}\left\{-\frac{1}{2} \left[\frac{x-Rp}{dRp}\right]^2\right\} \quad \text{----(1)}$$

으로 표시할 수 있다. 기판의 내부에 존재하는 전체의 이온양( $Q_i$ )은 식(1)을  $x=0$  에서  $x=\infty$  까지 적분하면

$$Q_i = \frac{Q_0}{2} \left[1 + \text{erf}\left(\frac{Rp}{\sqrt{2} dRp}\right)\right] \quad \text{-----(2)}$$

이된다. 단 여기서  $Q_0$ 는 주입이온량,  $Q_i$ 는 실제로 주입된 이온량,  $Rp$ 는

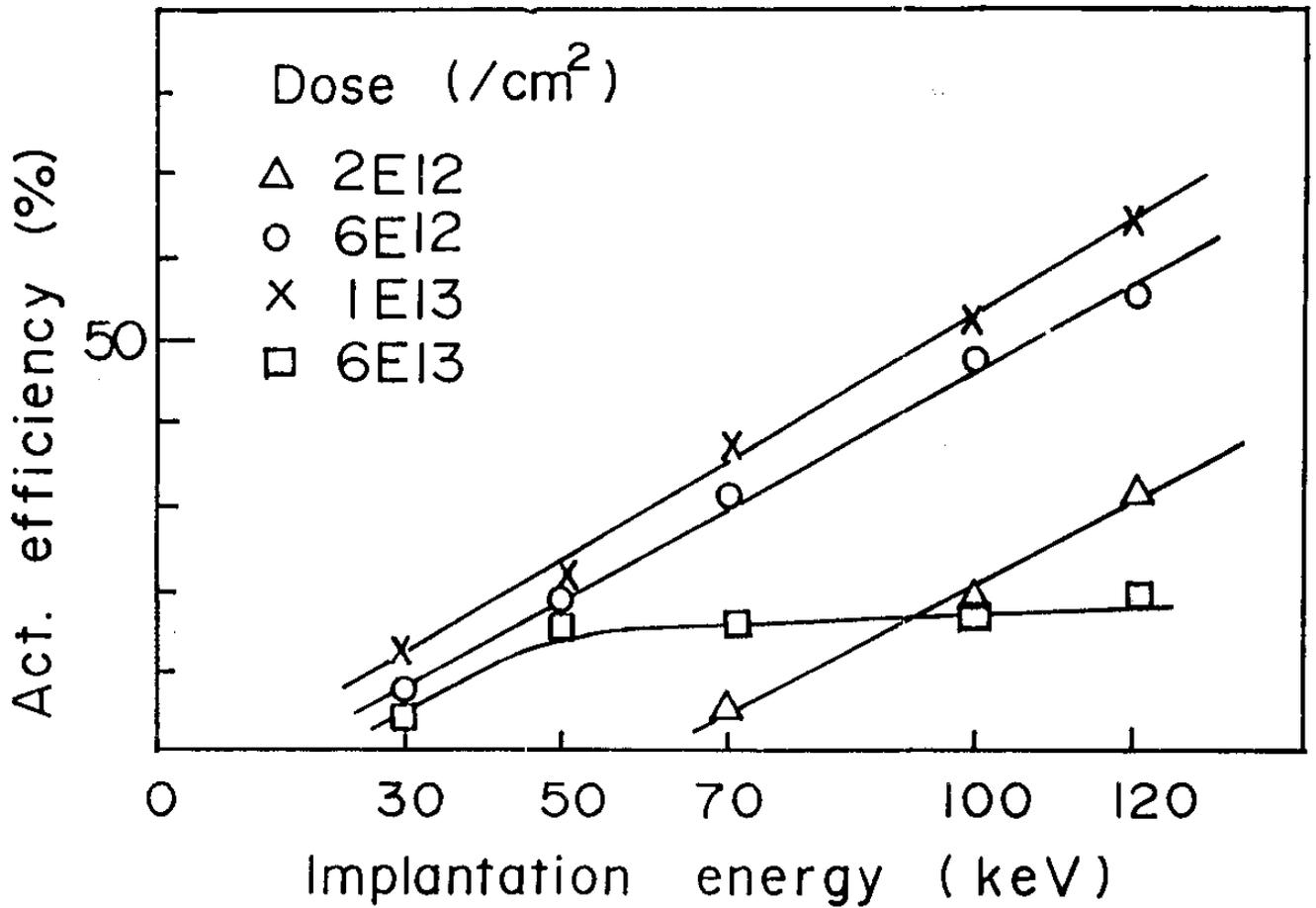


그림 3.4. 에너지와 이온주입량에 따르는 활성화도의 변화

Fig. 3.4. Variation of activation efficiency with implantation energy and ion dose.

Energy: 30, 50, 70, 100, 120keV, Dose ; 2E12, 6E12, 1E13, 6E13/cm<sup>2</sup>, Temperature; 800°C, Time ; 30 min.

projected range,  $dRp$  는 projected range 의 표준편차이다. 위의 수식을 이용하여 30, 50, 70, 100, 120 keV 에 대해 Monte-carlo 시뮬레이터들 이용해 구한  $Rp$ ,  $dRp$  를 대입하여  $(N/Q_i - N/Q_0) \times 100$  을 구하면  $2E12$ ,  $6E12$ ,  $1E13 / \text{cm}^2$  의 이온량에 대해 평균적으로 0.7 %이 되므로 그림 3.4 의 활성화도는 수식적으로 합당하다. Energy 와 dose 의 변화에 따르는 활성화도의 변화는 에너지와 이온주입량이 클수록 높은 경향을 나타냈다. 이 원인들로는 첫째는 에너지가 작을 수록 LSS 분포에서 실제 웨이퍼 내부로 주입되는 이온량이 적는데 대한 원인을 들 수 있지만 위의 수식(2) 의 계산에서는 의심할 바가 아닌 것으로 나타났다. 그러나 실제 이온주입기에서의 상태를 알 수 없으므로 정확한 측정이 필요하다. 둘째로, 최대이온농도가  $1E18 / \text{cm}^3$  이하로 낮을 수록 실리콘이 As 자리보다는 갈륨자리로 활성화되는 확률이 높고 (Siga-Siga) 와 같은 complex 등의 생성이 적는데에 원인이 있을 것으로 고려된다. 그림 3.4 에서 이온량이  $2E12$ ,  $6E12$ ,  $1E13 / \text{cm}^2$  의 경우 주입에너지에 따라 직선적인 활성화도의 변화들 보였다. 그러나  $6E13 / \text{cm}^2$  으로 이온주입된 경우 20 % 이내의 포화활성화특성을 보였다. 그림 3.4의 선형적 데이터에서 활성화도(activation efficiency; AE) 와 주입에너지(implantation energy; E) 와 주입이온량(implantation dose; D)의 관계식을 구하면

$$AE(\%) = 0.2 E \text{ Log}(D) - 30 \text{ Log}(D) - 2 E - 394 \quad \text{-----(3)}$$

이 얻어진다. 수식(3) 에서 MESFET의 활성층에 필요한 이온주입조건은 30, 50, 70, 100, 120 keV 의 에너지에 대해  $1E13$ ,  $6E12$ ,  $5E12$ ,  $4E12$ ,  $3E12 / \text{cm}^2$  이상 되어야만 운반자농도가  $1E12 / \text{cm}^3$  이상이 되고 Hall 이동도는  $3000-4000 \text{ cm}^2 / \text{V} \cdot \text{sec}$  인 활성층을 얻을 수 있다.

에너지가 높게 이온주입될수록 활성화효율이 증가하는 정도는 20 내지 65 퍼센트 이내로 효율이 낮다. 그림 3.4에서 에너지가 0 keV인 곳으로 직선을 연장시키면  $2E12-1E13 / \text{cm}^2$  의 이온량에 대해 대략적으로  $5E10^{11} / \text{cm}^2$  의 값이 손실된 양으로 계산된다. 이 값은 외부확산한 실리콘의 양이거나 표면의 비소가 분해되어 나타난 현상으로 고려되기도 하며, 웨이퍼의 표면 또는 결정성 자체의 문제이거나, 세척 및 산화막 식각등의 표면처리에 의한 표면공핍층이나 잔류결함층에 의한 값일 수 있다. 손실된 운반자량은 활성화공정을 개선시킴으로써 감소시킬 수 있을 것으로 고려된다. 수식(3) 과 손실된 운반자량  $5E11 / \text{cm}^2$  을 고려하여 가능한 최대 활성화도를 구하면  $2E12, 6E12, 1E13 / \text{cm}^2$  의 경우 각각 이온주입에너지가 217, 184, 165 keV 에서 75, 92, 95 % 의 활성화도가 얻어질 것으로 계산된다. 앞으로 위의 수식적 해석법은 활성화조건의 판정에 유용할 것으로 고려된다.

그림 3.5 는 주입에너지와 주입이온량의 변화에 따른 면저항과 전자의 Hall 이동도의 변화이다. 면저항의 경우 동일한 이온량에 대해 주입에너지가 증가함에 따라 600-6000  $\Omega / \square$  에서 지속적인 감소를 하여 300-700  $\Omega / \square$  의 부근에 포화하는 특성을 나타냈다. 반면 전자의 Hall 이동도는 주입이온량이  $2E12, 6E12, 1E13 / \text{cm}^2$  에 대해 에너지 증가에 따라 증가하여 각각의 주입에너지가 100, 70, 50 keV 일때 4300, 4100, 3500  $\text{cm}^2 / \text{V} \cdot \text{sec}$  으로 각각 최대치를 보인 후 다시 감소하였다. 즉 주입이온의 에너지와 이온량에 따라 동일 이온량을 주입하더라도 활성화층의 Hall 동도와 같은 전기적 특성을 최적화하는 에너지가 존재하게 된다. 주입에너지가 증가할수록 활성화층의 표면부위에 생성되는 결함이

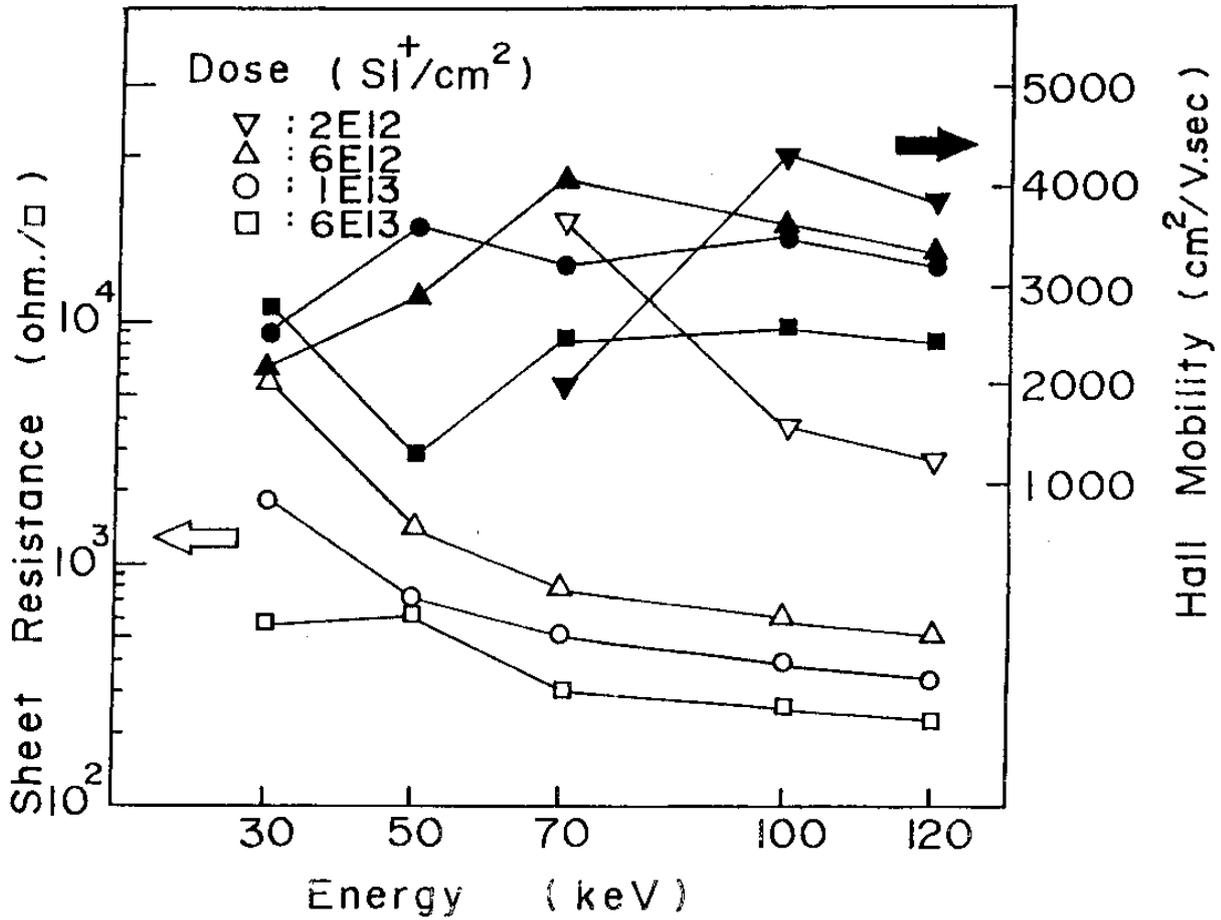


그림 3.5. 이온주입조건에 따른 면저항과 Hall 이동도의 변화  
 Fig. 3.5. Variation of sheet resistance and Hall mobility with ion implantation conditions.

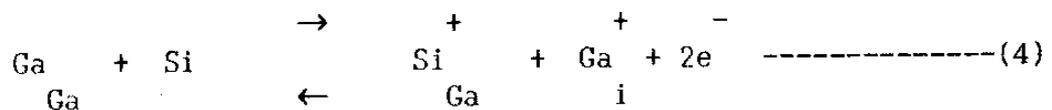
Energy: 30, 50, 70, 100, 120keV, Dose: 2E12, 6E12, 1E13, 6E13/cm<sup>2</sup>, Temperature: 800°C, Time ; 30 min.

많아지며 주입이온의 재분포에 의해 불순물농도에 따른 현상이 복합된 최적화조건이 존재하였다.

(2) 이온주입조건에 따른 PL 특성의 변화

이온주입량과 에너지에 따른 PL 피크의 변화는 그림 3.6 과 같이 나타났다. PL 피크에는 X-h ( band edge - hole ;1.507 eV), D-A ( donor-acceptor ;1.493 eV), LO (1.459 eV), 1.44 eV 가 측정되었다. 실리콘의 이온농도가  $1E13 /cm^2$  일때 활성화 효율이 높고, X-h 피크는 최대를 보였다. 그리고 D-A 피크는 실리콘의 주입이온량의 증가에 크게 의존하는 변화를 보였다. 반면  $1E13 /cm^2$  으로 이온량이 동일한 상태에서 에너지를 30, 70, 120 keV로 증가 시켰을 때는 그림 3.6의 (g),(f), (d) 와 같이 피크의 변화가 거의 없이 동일한 PL특성을 나타냈다.

수식(4) 는 열처리시 활성화하는 주된 기구로 알려져 온 반응기구에 관한 식이다. 실리콘이 Ga 자리로 치환하여 Ga vacancy 소멸 보다는 침입형 Ga 가 생성되는 활성화 기구를 보인다.



수식(4) 의 반응식은 실리콘의 이온농도가  $1E10^{18} /cm^3$  이하인 조건에서의 주된 평형반응식으로써  $Ga_i$  이 전위나  $V_{Ga}$  로 잘 소멸될 때 활성화가 적절히 이루어지게 된다. 그러나  $6E13 /cm^2$  의 이온량에서는 과도화된 실리콘들이 중성의 acceptor-like 점결함이나 여러 준위에 걸치는 불순물의 양이 급격히 증가하는 현상을 보인다. 그림 3.6 의 1.45 eV

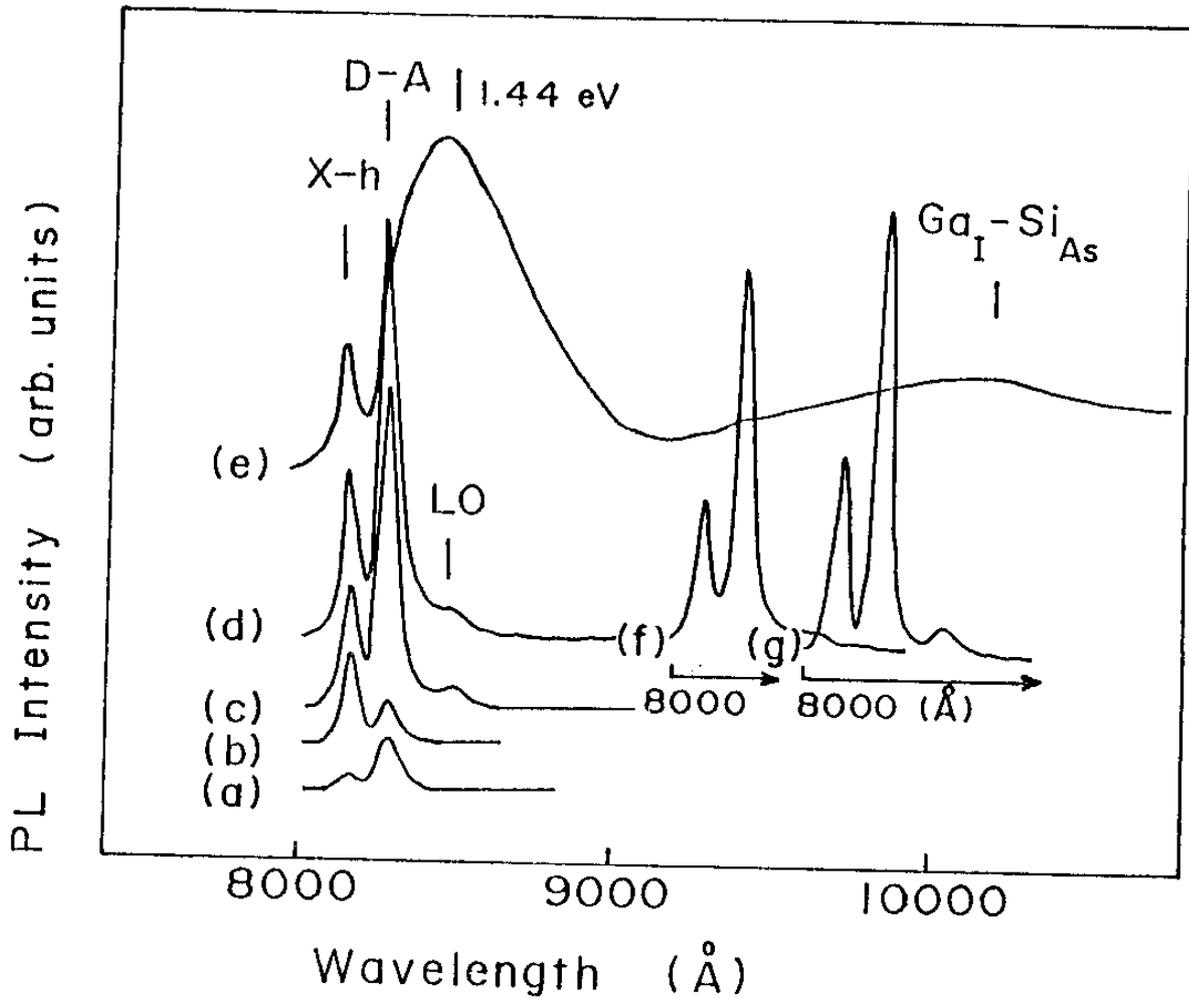


그림 3.6. PL 특성 스펙트럼

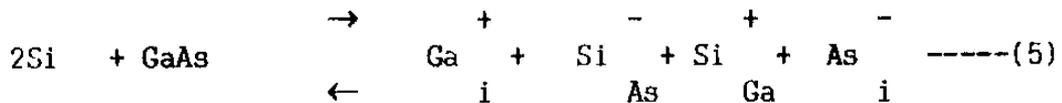
Fig. 3.6. Photoluminescence spectra

Energy: 120 keV, Si-dose: (a) 0, (b)  $2E12/cm^2$ ,

(c)  $6E12/cm^2$ , (d)  $1E13/cm^2$ , and (e)  $6E13/cm^2$ ,

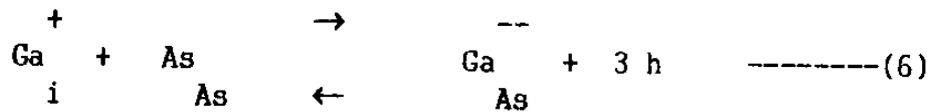
Si-dose:  $6E12/cm^2$ , Energy : (f) 70keV, (g) 30keV

의 주위에는 1.457 eV 의 LO 와 1.44eV 의 antisite defect(  $Ga_{As}$ ), Q 밴드 ( $Ga_i-Si_{As}$  또는 Si related defect 인  $Si_{As}-V_{As}$ )과  $B_{As}$  가 발표되어 있다. 특히 실리콘이 주입된 GaAs 에서 LO 피크에는 e-A-LO, D-A-LO,  $Si_{As}-LO$ 가 8510Å에서 8560Å 까지 차례로 존재하는 것으로 알려 있다. T. Hiramoto[35]의 발표와 Elliot [38]등의 결과 및 C.W.Farlay 등 [39]의 발표로부터 Q 밴드의 에너지들 1.41 eV로 볼수 있으며  $B_{As}$  의 가능성을 제외 할 수 있다. 그리고 실리콘의 농도가 증가할수록 또는 활성화가 진행될수록 높은 에너지인 1.457eV 부근으로부터 점차 감소하고 넓은 에너지 분포를 갖으면서 1.44 eV 로 이동하므로 위의 발표된 결합들 중에서 가능한 종류는  $Ga_i$ ,  $Si_{As}$ ,  $Ga_{As}$  를 들 수 있다 [38,40]. 그런데 이온주입 이온량이 많을 때 주로 일어나는 반응에 대하여 최근에 발표된 A. Bindai 의 논문의 수식 4(a) 와 4(b)로부터 아래의 수식(5) 를 구할 수 있다. 실리콘이온이 Ga 및 As 자리를 치환하면서 침입형 Ga 와 As 를 발생시켜 donor 와 acceptor 가 동일하게 생성되어 compensation 이 많이 일어나며 운반자를 공급하지 않는 반응이 된다. 즉 실리콘농도가 높을 때 compensation ratio 를 증가시키고 전자의 이동도를 감소시키게 된다.



수식(5) 의 오른쪽에 있는  $Ga_i-Si_{As}$  는 radiative recombination 이나 complex(  $Ga_i-Si_{As}$ ) 으로 작용하는 것으로 알려있다. 따라서 그림 3.6 에서 1.44 eV 에너지에 해당하는 재결합피크의 강도가 크게 증가하는 현상과 깊은 관련을 갖는다. 또한 식5 의 반응에서 생성된  $Ga_i$ 는 적

절히 소멸되지 못하고 As 자리들 치환할 때 반응식으로 [40]



이 일어나 Ga<sub>As</sub>가 생성되게 된다. 이러한 Ga<sub>As</sub>는 Ga-rich 상태와 활성화 효율이 낮을 때 생성되는 것으로 발표되고 있다 [40].

수식(5) 와 수식(6) 에 관련한 토의로부터 Si 농도가 높을 때 현상으로써 1.44 eV에 관련된 결함들에는 Si<sub>As</sub>, Si<sub>As</sub>-Ga<sub>i</sub> complex, 또는 Ga<sub>As</sub>를 들 수 있었다. 그리고 이러한 결함들의 반응은 고농도의 상태에서 활성화시 As 의 분압으로 조절될 수 있을 것으로 고려된다.

한편 깊은에너지인 10500 A(1.18eV) 주위의 넓은 에너지대역으로 완만하게 분포하는 피크는 GaAs의 밴드갭의 가장자리로부터 0.3-0.35 eV에 존재하는 준위로의 재결합에 의한 것으로 볼 수 있다. DLTS 측정으로부터 발표된 0.26-0.35 eV 에 분포하는 EL6, EL7, EL8, ET2, EB7 의 깊은준위 주계불순물들이나 0.27-0.35 eV 에 분포하는 HL6, HL7, HL11, H1 등의 깊은준위 acceptor 불순물 등의 많은 불순물에 의한 피크로 고려된다. 특히 이온주입한 GaAs 의 활성화효율이 낮은 시편의 경우 0.22 eV 에서 0.54 eV 사이에 여러 종류의 결함들이 발표되고 있다. 따라서 이온이 주입되면서 발생시킨 여러 종류의 결함들이 잔류하거나 재결합하여 생성된 깊은준위의 결함들이 존재하는 것으로 고려된다. 그러나 이에 대한 자세한 설명은 더욱 많은 연구를 필요로 한다.

실리콘의 주입이온량이 2E12 /cm<sup>2</sup>으로 일정하고 주입에너지가 30, 70, 120 keV 로 증가함에 따라 활성화도는 그림 3.4에서 보면 15, 35, 69% 로 증가하였지만 PL특성에서는 그림 3.6에서 X-h 와 D-A 피크의 강도

변화가 거의 없다. 단 이온주입에너지의 증가에 따라 D-A/X-h 비는 2.2, 2.4로 미세하게 증가하였다. 주입에너지의 증가가 활성화도 및 D-A/X-h 비의 변화를 유도하였지만, X-h 나 D-A 피크의 절대적 증가를 보이는 정도는 아니었다.

그림 3.7 은 Monte-carlo 계산 프로그램을 이용하여 구한 불순물의 분포와 원자의 충돌에 의한 결합의 확률분포이다. 그리고 깊이방향의 PL 측정으로부터 구한 X-h, D-A 피크의 강도변화를 동일한 깊이에 대해 보여준다. 이온충돌에 의한 결합생성에 관한 계산은 Christel 등 [37]이 발표한 바 있지만 측정의 한계로 인하여 아직 정확한 실험적 결과는 발표된 바 없다. 그러나 GaAs 의 경우 Ga 와 As 의 원자질량이 비슷하여 거의 동일한 분포로 표면부위에 그림 3.7 과 같이 발생할 것으로 고려된다. 그림에서 계산상으로는  $R_p$  보다 약간 표면측으로서 깊이가 500-1000 Å에서 이온충돌에 의해 생성된 결합능도가 최대치를 나타내었다. 열처리한 시편의 PL 특성은 깊이가 1000 Å 부근에서 X-h 와 D-A 의 피크가 최대를 나타내었으며 X-h 피크는 표면에서는 불균일하지만 깊이가 1000-2000 Å에서 감소하여 일정하게 미소한 강도를 나타냈다. 그리고 D-A 피크는 1000 Å 이상에서 점차 감소하여 실리콘농도의 감소에 따라 감소하는 특성을 보였다. 그러므로 Monte-carlo 계산으로부터 구한 실리콘이온의 분포와 D-A 피크는 대체로 일치하는 변화분포를 나타낸다. 앞의 그림 3.6에서와 마찬가지로 D-A 피크는 Si의 농도에 의해 가장 직접적으로 의존함을 알수 있다. 실리콘농도가 높아짐으로써 가능한 재결합의 종류인  $Sig_a-Sig_a$  나  $Sig_a-Cas$ 에 의하여 실리콘의 농도변화가 직접적으로 D-A 피크의 강도변화를

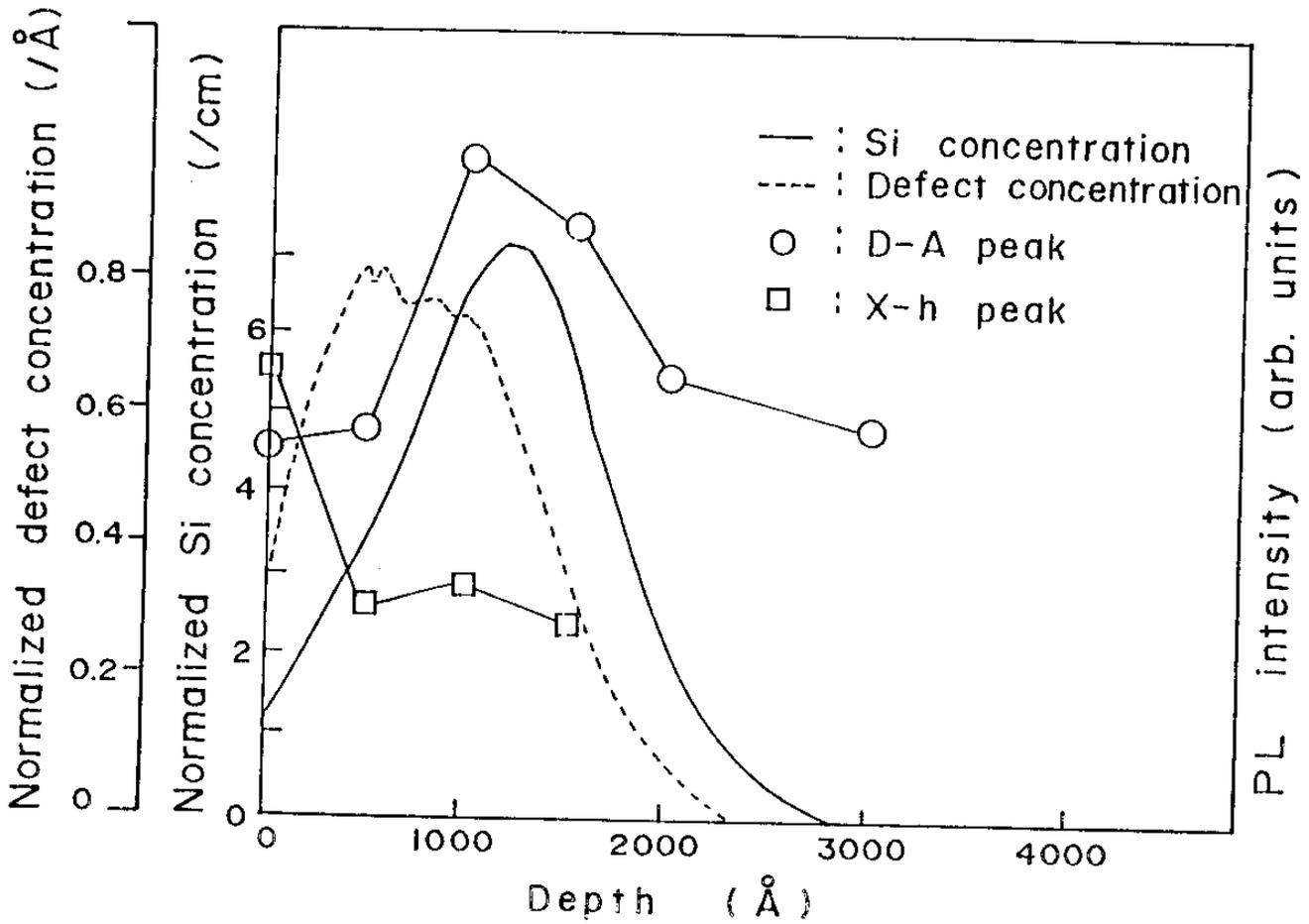


그림 3.7. Monte-Carlo 시뮬레이터로 구한 실리콘이온농도와 결함의 깊이분포 및 Si(29) 120 keV,  $2E12/\text{cm}^2$ 으로 이온주입후 800°C에서 30분 열처리된 GaAs의 PL 피크변화.

Fig. 3.7. Depth distribution of silicon ion concentration and defects obtained by Monte-Carlo simulator and variation of photoluminescence peak of GaAs annealed at 800°C for 30 min after Si(29) 120keV,  $2E12/\text{cm}^2$  ion implantation.

일으켰다.

이상의 이온주입에너지와 이온량에 따른 X-h 와 D-A 피크 변화로부터 실리콘이 주입된 GaAs에서 활성화 후에 1.44eV 에 해당되는 피크로 고려되는  $Ga_{As}$ ,  $Si_{As}$ -LO, 또는  $Ga_i$ - $Si_{As}$  피크가 크게 증가하였고, 실리콘의 농도의 변화에 따라 D-A 피크의 강도가 가장 관련된 변화를 보였다.

#### 4. 결론

실리콘을 30-120 keV 의 에너지로 이온주입한 갈륨비소의 활성화는 주입된 이온량이  $2E12$ - $1E13$  / $cm^2$  인 경우 주입에너지와 활성화도 사이에 선형적 비례관계를 나타냈다. 이때 활성화도는 20-60 % 이었고 전자의 Hall이동도는 2000-4300  $cm^2/V.sec$  이었다. 단 주입된 이온량이  $6E13$  / $cm^2$  인 경우는 20 % 이내로 포화되는 활성화특성을 보였다. PL 측정으로부터 주입된 이온량의 증가에 따라 X-h 및 D-A에 관련된 피크의 강도가 증가하지만 주입된 이온의 에너지에 의해서는 D-A/X-h 비가 미소하게 비례하였다. 실리콘이온농도가  $6E13$  / $cm^2$  의 경우에는 1.44eV 피크의 강도가 커져  $Ga_{As}$ ,  $Si_{As}$ , 또는  $Ga_i$ - $Si_{As}$  로 고려되는 재결합준위가 많이 생성됨을 보였다. 깊이방향으로의 PL 특성과 실리콘의 LSS 분포에서 D-A 피크의 변화는 실리콘의 농도에 가장 관련됨을 보였다.

표 3.1. Hall 측정의 결과  
(Table 3.1. Hall measurement results)

시편	주입조건	질량 (amu)	면저항 ( $\Omega/\square$ )	산화막두께 기판종류	이동도 ( $\text{cm}^2/\text{V}\cdot\text{sec}$ )	면운반자농도 ( $/\text{cm}^2$ )
1	120keV  3E12 / $\text{cm}^2$	Si(28)	2.05E3	2000 Å	3262	9.33E11
2		Si(29)	2.22E3	undoped	3370	8.3E11
3		Si(28)	2.4E3	2000 Å	3081	8.39E11
4		Si(29)	2.5E3	Cr doped	3371	7.3E11
5		Si(28)	6.39E3	4000-5000Å	989	9.86E11
6		Si(29)	2.26E3	Undoped	2881	9.59E11
7		Si(28)	1.49E4	4000-5000Å	507	8.27E11
8		Si(29)	1.97E3	Cr doped	2814	1.23E12

### 3. PECVD 질화실리콘막을 이용한 활성화

#### 가. PECVD 질화실리콘막의 증착

질화실리콘막( $\text{Si}_3\text{N}_4$ )을 PECVD (plasma-enhanced chemical vapor deposition) 방법으로 증착시킬 경우, 보통  $300^\circ\text{C}$  전후의 저온에서 막을 형성시키기 때문에 집적회로의 passivation 층 및 유전층으로 이용되어왔다. 특히, 고온 열분해가 심한 GaAs를 사용하여 소자를 제작할 경우, 실리콘 공정에서 이용하는  $700^\circ\text{C}$  이상에서 질화막을 증착시키는 LPCVD(low-pressure CVD) 방법을 사용할 수 없기 때문에 PECVD 방법이 널리 사용되고 있다. GaAs 디지털집적회로 제작시 질화막은 passivation 및 유전층 이외에 MESFET 소자에 주입된 불순물(예컨대 Si)의 활성화 공정에서 그 역할이 중요하다. MESFET의 active channel 층과 저저항 접촉을 위해 주입된 Si 이온의 활성화를 위해  $800^\circ\text{C}$  이상의 열처리가 필수적인데, 이 온도에서 웨이퍼 표면에서 일어나는 GaAs의 분해를 억제하는 것이 질화막의 역할이다.

본 절에서는 국내에서 주문제작한 5" 웨이퍼용 PECVD 장비의 최적공정 조건 확립을 위한 실험 중 증착한 질화막의 증착균일도 및 유전상수 변화에 대해 검토하였다. 사용된 가스는 Ar 에 10%로 희석된  $\text{SiH}_4$  와  $\text{NH}_3$ , carrier 가스로 Ar 을 사용하였다. 또 PECVD 질화막을 주입된 불순물의 활성화 공정에 적용하여 얻어진 결과를 기타  $\text{SiO}_2$  및 As over-pressure 를 이용해 활성화시킨 결과와 비교하였는데, 이 결과는 앞절에서 검토하였다.

PECVD 를 이용하여 질화실리콘막( $\text{Si}_x\text{N}_y$ ) 을 형성할 경우 일반적으로 silane ( $\text{SiH}_4$ ) 과 암모니아( $\text{NH}_3$ ) 또는 질소( $\text{N}_2$ )를 소오스가스로, Ar 또는 질소를 carrier가스로 사용하여 왔다[41]. 어느 경우이든 비정질의 Si-N 가 형성되면서 수소가 발생하게 되는데, PECVD 질화막에는 보통 20-40% 의 수소가 포함되어 있다[42]. 한편 질소를 기체원으로 사용할 경우에는 포함되는 수소량이 상대적으로 적은 것으로 보고되고 있다[41]. 수소는 질화막 내에서 Si 과 N에 결합되어 있는데, 수소 농도와 결합 분포 ( 즉 Si-H / N-H 비율) 에 따라 질화막의 응력, 밀도, 식각율 등이 변한다. 수소는 고온 열처리시 일부가 질화막을 빠져나와 막의 밀도가 커지며 이에 따라 식각율도 변하게된다 . 유전상수 또한 Si-H /N-H와 Si/N 비율에 따라 변화 하는데, Si 또는 Si-H 양이 많을수록 큰 유전상수를 나타낸다. 이들 증착질화막의 특성은 증착공정의 영향을 받는데, 주된 공정변수는 증착온도, RF power, 압력,  $\text{SiH}_4/\text{NH}_3$  또는  $\text{SiH}_4/\text{N}_2$ 비율, 유량(flow rate) 등이다. 이들 공정변수가 증착막의 물리적 특성에 주는 영향을 일차적으로 증착막의 두께와 유전상수를 측정하여 조사하였는데, 보다 체계적인 해석을 위해서는 물리적 측정 방법이 더불어 요구되는 바, 현재 FTIR, SIMS 등을 이용한 분석을 계획하고 있다.

증착막의 우수한 물리적 특성과 함께, 이를 이용한 집적회로 제조시 막의 두께, 물리적 성질 등의 균일성이 요구된다. 균일한 막의 증착조건을 획득하기 위해 위의 공정변수들을 변화시키며 3" 웨이퍼 상에서 두께 및 유전상수의 분포를 조사하였다. 일반적으로 생산되는 증착장비의 경우  $\pm 5\%$  의 두께균일도를 보장하고 있다.

### (1) 증착온도의 영향

질화실리콘막 증착시 기판온도를 300°C 까지 증가시킴에 따라 일반적으로 증착속도는 감소하고 유전상수는 증가하는 경향이 보고되고 있다[43-44]. 고온에서의 증착속도의 감소는 고온에서 증대된 어닐링효과에 의해 막으로부터의 수소의 외부확산(out-diffusion)이 많아 상대적으로 고밀도의 막을 형성함으로써 야기된다[44-46]. 한편, 유전상수의 온도에 따른 증가는 막의 밀도가 증가함에 따른 결과로 보고되어 있다[47]. 그런데, 증착온도 증가에 따라 막의 수소함량이 감소하고 Si/N 비율이 증가함을 관찰하였는데[46-48], Knolle 등[49]은 증착막의 밀도 변화와 더불어 Si/N 비율의 증가에 대한 원인으로 온도증가에 따른 질소의 sticking 계수의 감소로 결론짓고 있다.

본 장비에서 관찰된 온도에 따른 증착속도 및 유전상수 변화도 같은 경향을 나타내었다. 그림 3.8은 3 inch 실리콘 웨이퍼에 증착된 질화막의 두께 및 유전상수 분포를 나타내고 있는데, 많은 경우 웨이퍼 중심이 주변에 비해 다소 두껍고, 큰 유전상수를 보였다. Ellipsometry 측정으로 얻어진 유전상수는 1.7-1.9로 stoichiometric한  $\text{Si}_3\text{N}_4$  질화막의 유전상수 2.0 보다 작으며, 이는 보고된 PECVD 질화막의 경우보다도 다소 작았다[48, 50].

### (2) RF Power의 영향

RF power는 증착온도와 함께 증착막의 특성을 가장 민감하게 변화시키는 공정변수이다. 이 변수의 영향은 널리 조사되었는데[44, 45, 50], RF power의 증가에 따라 증착속도는 일정하거나 다소 증가하며, 유전

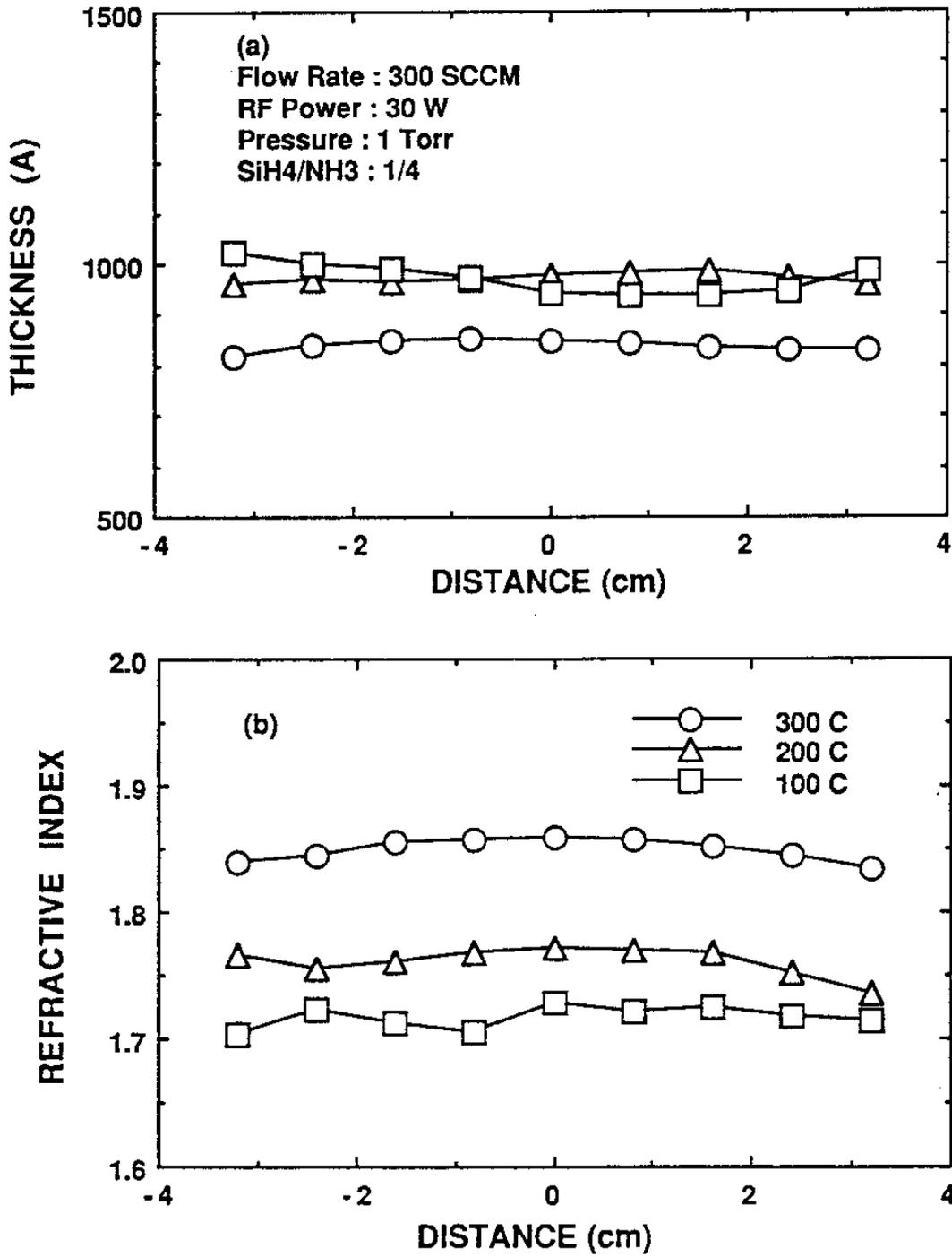


그림 3.8. 증착온도에 따른 질화실리콘막의 3" 실리콘 웨이퍼에서의  
(a) 두께 및 (b) 유전상수의 분포  
(Fig. 3.8. Effects of the deposition temperatures on the variation of  
(a) the thickness and (b) refractive index in 3" Si wafers)

상수는 거의 변화가 없거나 감소하는 경향을 보인다. 이들의 변화는 RF power 변화에 따른 가스의 분해도 변화에 의한 결과로 질소 radical의 증감과 직접적으로 관련되어 있다[45]. 그러나 본 장비에서 증착된 질화막의 RF power 의존도는 보고된 경향과는 정반대로 나타나, 그림 3.9-a에서 보듯이 RF power 증가에 따라 증착속도는 감소하고 유전상수는 증가하고 있다. Dun등[45]의 해석에 따른다면 질소 radical이 RF power 증가에 따라 감소, 즉 RF power 증가에 따라 Si/N 또는 Si-H/N-H 비율이 커지고 있다. 물론 시스템과 사용된 공정변수에 따라 결과는 다를 수 있고, 본 결과에 대하여는 체계적인 보충실험을 통해 결론지어야 하나, 현재로서는 다음과 같이 추론할 수 있다.

모든 glow discharge(방전)를 이용한 증착공정에는 양이온이 증착 중에 있는 막의 표면에 큰 에너지로 충돌한다[41]. PECVD 질화막 증착의 경우이온화된 carrier 가스인 Ar<sup>+</sup>가 질화막에 충돌하게 된다. 그런데, RF power의 증가는 반응가스의 radical 농도를 증가시킬뿐 아니라, Ar 이온의 수도 증가시키는데, 위에서 언급한 일반적인 증착속도의 RF power 의존도 결과는 radical 증가에 따른 증착속도 증가가 Ar 이온증가에 의한 sputter etching 효과보다 크다는 것을 의미한다. 여기서 주의를 기울여야 하는 점은, 본 제작장비에서 carrier 가스인 Ar의 유량이 SiH<sub>4</sub> 유량의 약 300배, NH<sub>3</sub>의 75 배로 그 절대유량이 여타 시스템에서의 경우에 비해 1-2 order 크다. (이와같은 큰 유량의 carrier 가스가 요구되는 것은 시스템, 특히 가스 distributor의 구조와 관련되어 있다고 판단되나, 이 문제에 관한 자세한 언급은 본 보고서에서는 피하고자 한다). 이 경우 RF power 증가에 따른 Ar 이온에 의한

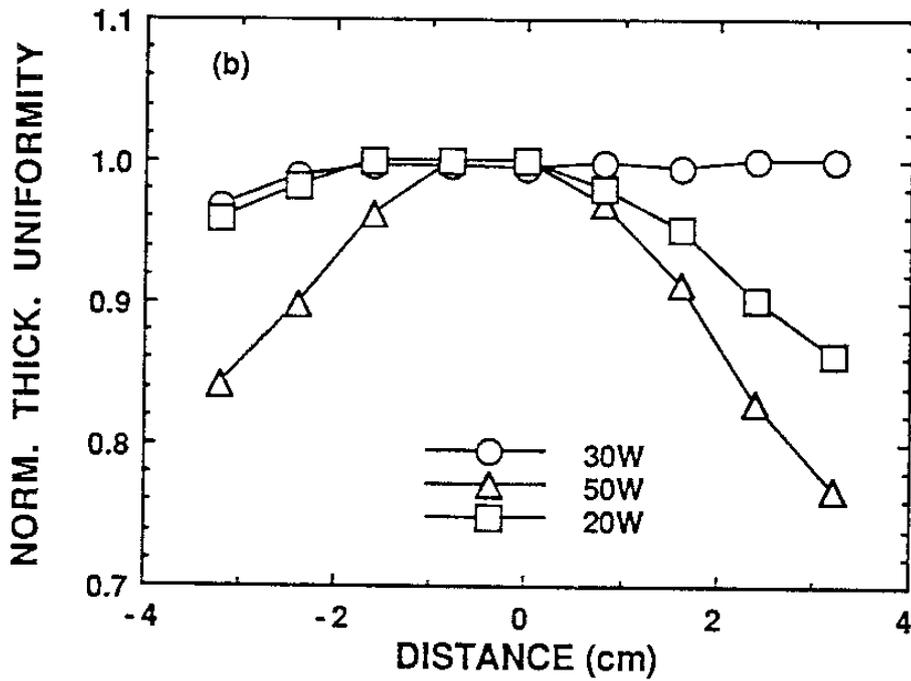
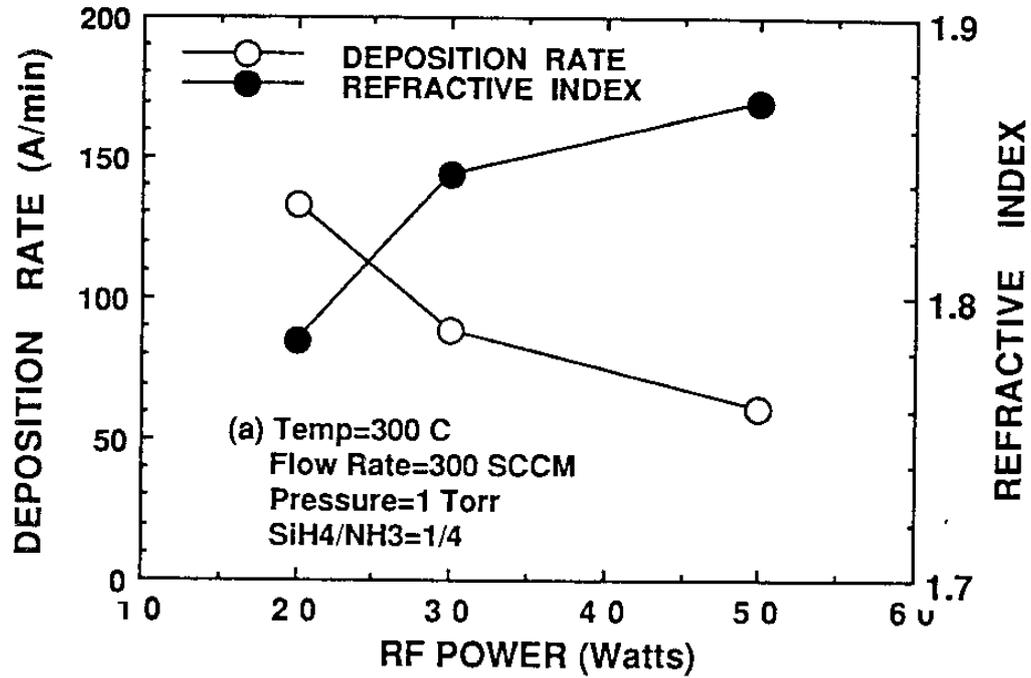


그림 3.9. RF power 변화에 따른 (a)증착속도 및 유전상수의 변화와 (b)normalize 한 웨이퍼에서의 증착 두께 균일도  
 (Fig. 3.9. (a) Dependence of the deposition rate and the refractive index of SiN on the RF power and (b) the normalized thickness distribution on 3" Si wafers)

sputter etching 효과가 상대적으로 커질 수 있을 것이다. 만일 RF power 증가에 의한  $\text{SiH}_4$  및  $\text{NH}_3$  관련 radical의 증가에 의한 증착속도 증가가 Ar 이온의 sputtering 효과증대에 비해 작을 경우 증착속도의 감소를 설명할 수 있다. 즉  $\text{SiH}_4$  및  $\text{NH}_3$ 의 유량을 증가시킬 경우 관찰된 RF power 의존도 경향이 변할 수 있을 것이다.

증착막의 균일도는 그림 3.9 -b에서 보듯이 30W 증착시 가장 우수하며, power 를 증가 또는 감소시킬 경우 균일도는 나빠지고, 특히 웨이퍼 주변의 두께감소가 눈에 띈다.

### (3) 가스유량의 영향

Carrier 가스유량 (flow rate) 의 영향은  $\text{SiH}_4=1$  SCCM,  $\text{NH}_3=4$  SCCM으로 고정하고, Ar carrier 가스를 조절함으로써 조사하였다. 그림 3.10-a 에 나타낸 바와 같이 150 SCCM 이상에서는 증착속도의 변화는 작으며, 유전상수는 유량 증가와 함께 커지는 경향을 보이고 있는데, 이 결과는 carrier 가스의 유량이 증가함에 따라 Si/N 과 Si-H/N-H의 비가 커짐을 나타낸다. Sinha 등[51]은 유량증가에 따라 증착속도 및 유전상수의 증가를 관찰하고 있으나,  $\text{SiH}_4/\text{NH}_3$  비율에 동시에  $(\text{SiH}_4 + \text{NH}_3)/\text{Ar}$ 의 비율도 일정하게 유지하며 그림 3.10 에 보인 실험과는 차이가 있다. 또, Khaliq 등[12]에 의하면 질소를 carrier 가스로 사용하였을 때 유량 증가에 따라 증착속도 및 유전상수가 감소하는데, 이는 본 결과와 일치하지 않는다. 일정한 증착속도 결과를 앞절의 RF power 의 영향과 연관지을 때, Ar 유량의 증가는 이에따른 Ar 이온의 sputter etching 효과의 증가에 큰 영향을 주지 않는다는 것을 알수 있다.

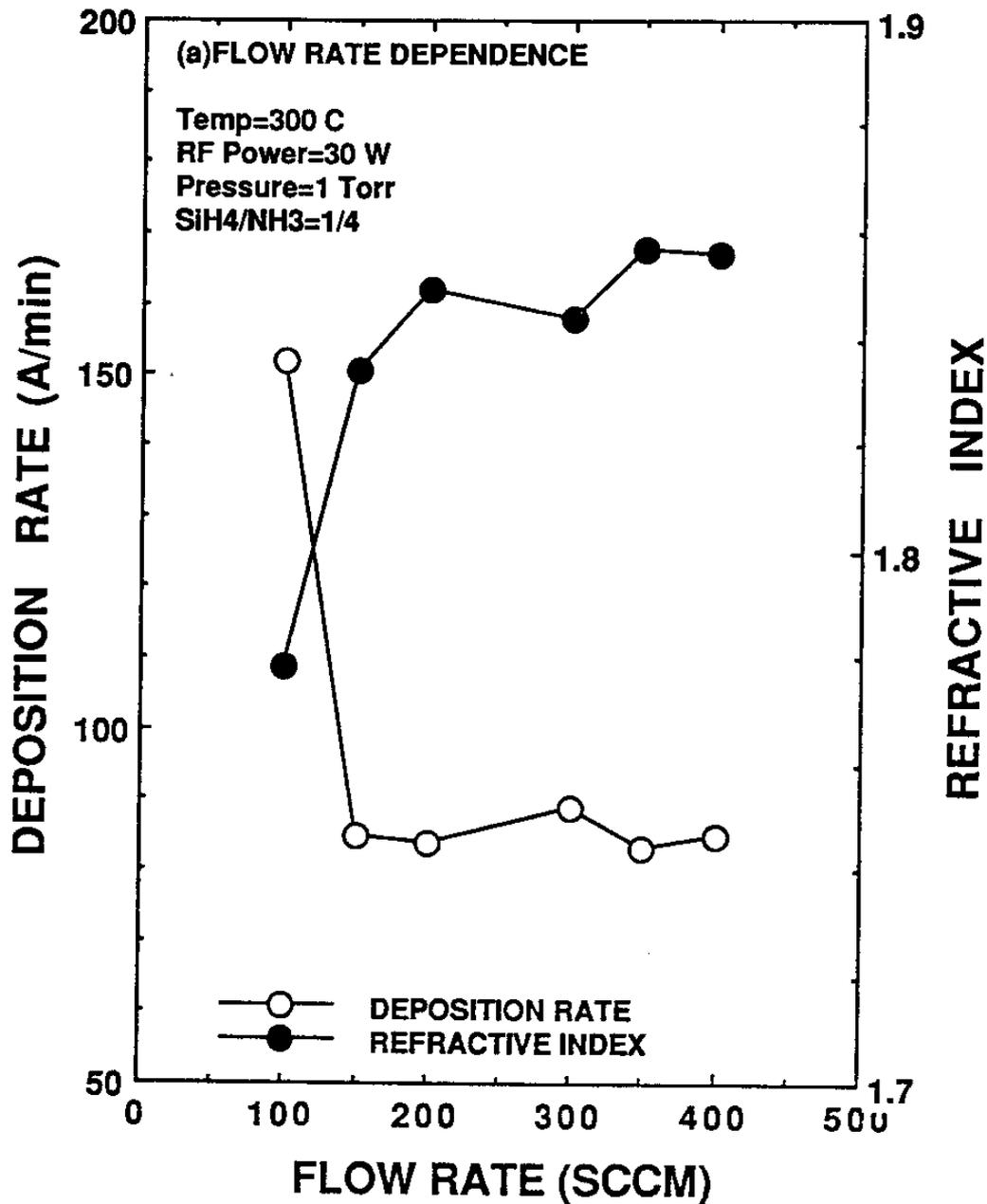
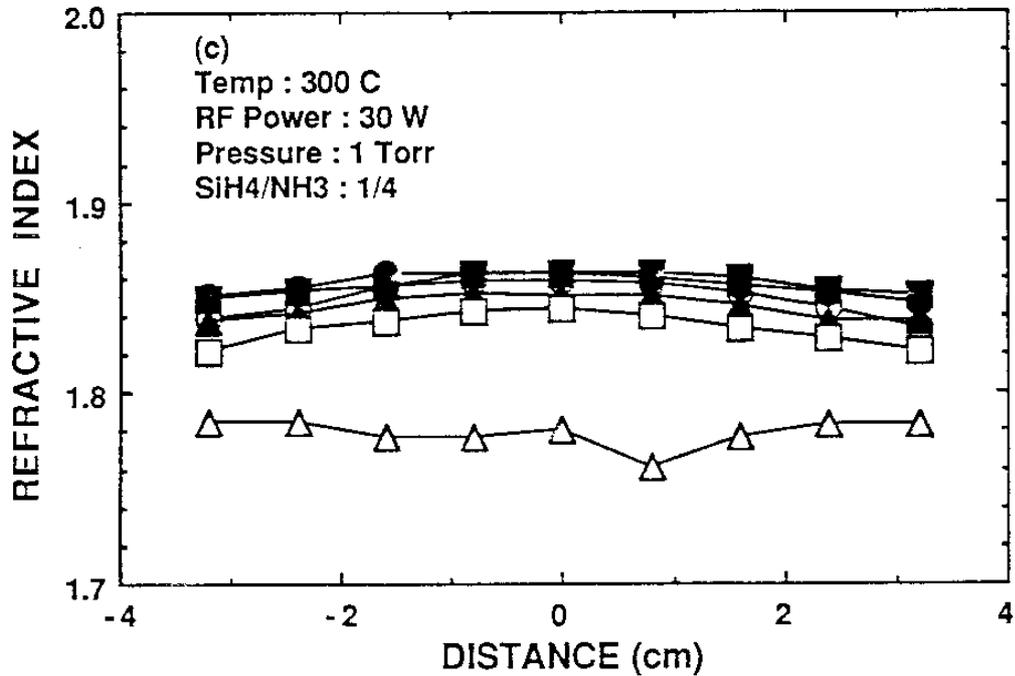
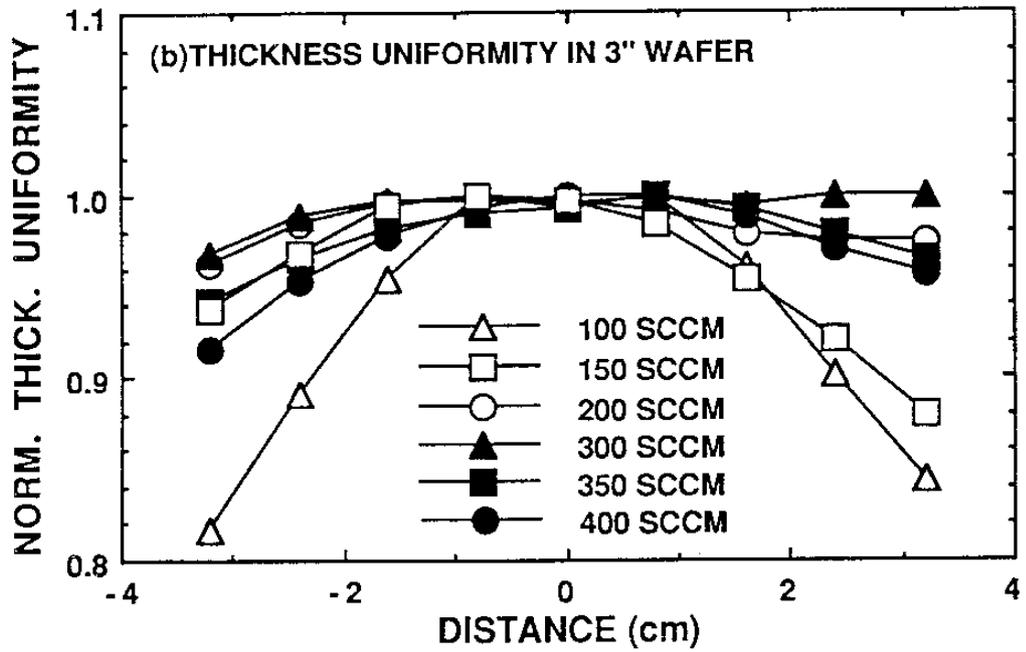


그림 3.10. Ar carrier 가스 변화에 따른 (a)증착속도 및 유전상수의 변화, (b)3" 웨이퍼 내 두께균일도와 (c)유전상수 분포  
(Fig. 3.10. (a) Effects of the flow rate of Ar carrier gas on the deposition rate and the refractive index, and the distribution of (b) the thickness and (c) the refractive index on 3" Si wafers)



이는 전체 plasma 중의 Ar<sup>+</sup> 양은 증가할 수 있으나 RF power가 일정한 경우 웨이퍼 표면에 형성된 sheath의 두께는 일정하게 유지되어 sputtering에 참여하는 이온의 양이 일정한 수준으로 유지되기 때문인 것으로 판단된다.

총유량의 변화에 따른 3" 웨이퍼 내 증착두께 및 유전상수의 균일도를 그림 3.10 -b와 -c에 나타내었다. 두께균일도는 총유량 200 - 300 SCCM 에서 절대오차 4% 이내로 조절할 수 있었으며, 유량이 작거나 클 경우 주변의 두께가 크게 얇아지고 있다. 유전상수 또한 웨이퍼 주변에서 작게 나타나고 있어 상대적으로 많은 양의 silane 이 가스 distributor 중앙부를 통과함을 알 수 있다.

한편, 총유량을 고정시킨 채 NH<sub>3</sub>의 유량을 4 SCCM 에서 8 SCCM 으로 증가시켰을 때, 증착속도는 89 A/min 에서 99 A/min 으로 증가하고, 유전상수는 1.844에서 1.820으로 감소하였다. 이는 이와 비슷한 총유량/NH<sub>3</sub>의 비율에서 실험된 Claassen 등[53]의 결과와 일치하고 있으며, NH<sub>3</sub> 증가에 의한 N radical의 증가로 증착속도가 증가하고, Si/N 비율의 감소로 유전상수는 감소하게 된다.

#### (4) 압력의 영향

그림 3.11 는 압력을 0.55 Torr에서 1.0 Torr 로 변화시켰을 때의 증착속도 및 유전상수변화를 나타내고 있다. 이 결과는 Odekirk 와 Sheets [50], Claassen 등[53]의 결과와 일치하나, Gereth와 Sherber[54], Rosler등[55]의 결과와는 상치된다. 이는 압력의 변화가 독립적으로 증착 모드에 영향을 주지않고, 그 외의 증착조건 변화에 따라 다른

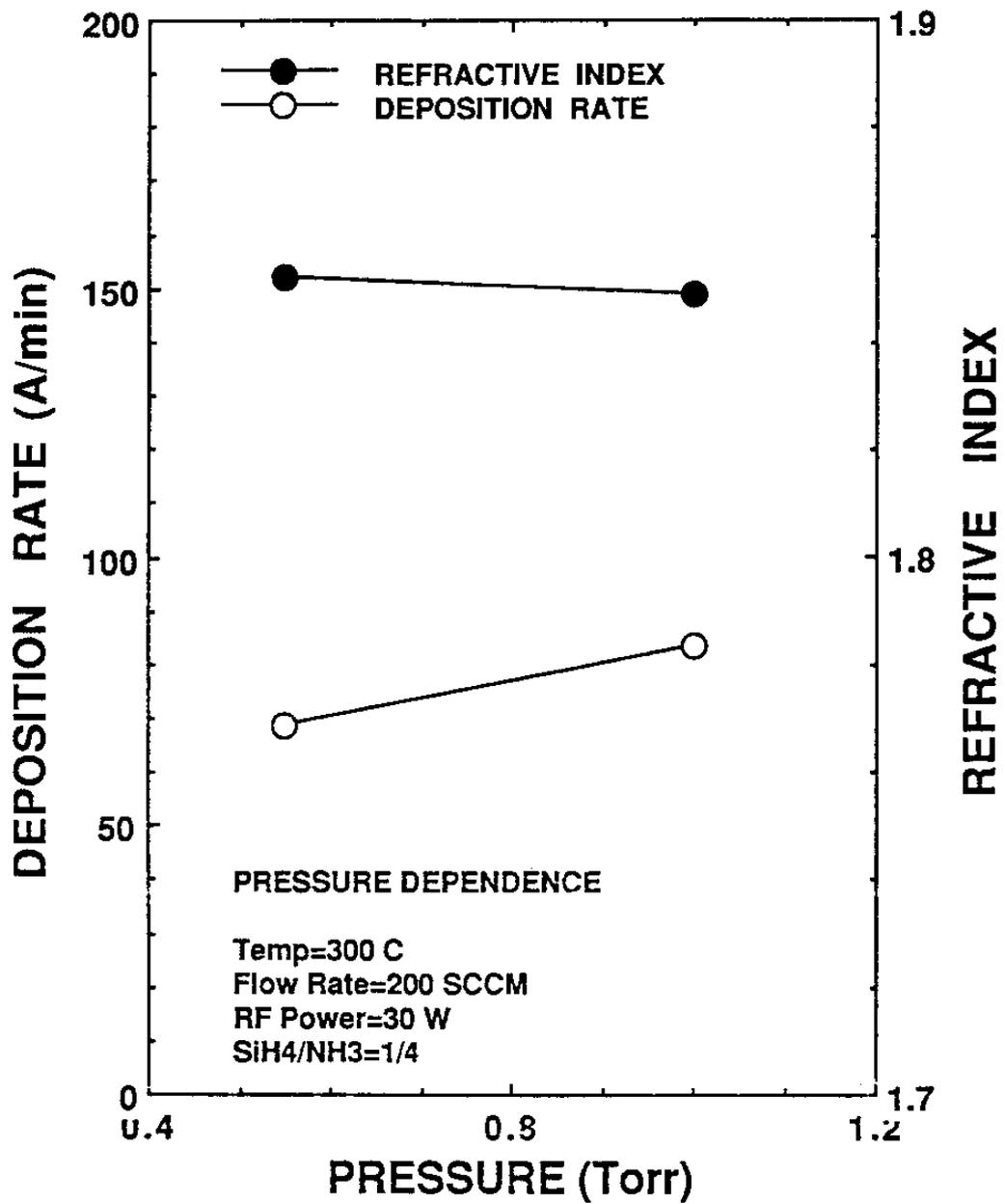


그림 3.11. 압력변화에 따른 증착속도 및 유전상수의 변화  
 (Fig. 3.11. Effects of the total pressure on the variation of the deposition rate and the refractive index)

경향을 나타낼 수 있음을 암시한다.

#### 나. PECVD 질화실리콘막을 이용한 활성화 공정

PECVD 질화막 증착을 위한 최적조건을 획득하기 위한 실험이 현재 계속되고 있으나, 잠정적으로 얻어진 최적의 증착조건에서 이온주입한 웨이퍼를 질화막으로 capping하여 활성화 실험한 결과를 검토하였다. 이온주입은  $4 \times 10^{12} \text{ cm}^{-2}$ 의 Si dose를 70 keV의 에너지로 행하였다. 질화막은 가장 우수한 균일도를 얻을 수 있었던 공정조건 (표 3.3)에서 증착온도를 변화시키며 증착하였다. 막의 두께는 1000 Å으로 하였다[56]. Capping된 이온주입 웨이퍼는 800°C에서 30분간 질소분위기에서 열처리하거나, 900°C/5초 + 850°C/30초의 두단계 RTA 방법으로 질소분위기에서 활성화 하였다[57].

열처리 후 증착막의 유전상수 변화를 그림 3.12에 나타내었다. 300°C 질화막의 경우 열처리 후의 질화막의 표면과 식각 후 GaAs 표면은 깨끗하였고 (그림 3.13-a), 막의 유전상수 변화는 매우 작았다. 그러나, 그림 3.13-a에서 예로 보듯이 100°C의 온도에서 형성된 질화막은 열처리 중 심하게 파괴되어 그림 3.8에 나타난 유전상수 변화는 순수한 질화막에 대한 결과로 볼 수 없다. 200°C이하의 온도에서 증착한 질화막의 열처리 후 균열은 증착시 내재되는 수소의 양이 상대적으로 많은 것과 관련되어 균열빈도수는 급격히 증가하고 있으나 자세한 분석은 이루어지지 않았다[58]. 그림 3.13-b에 보인 morphology는 Ga과 (또는) As 이 균열을 따라 확산되어 나온 결과로 추측되

며 화학반응이 관련되었을 가능성이 큰데, 이에 대한 분석이 현재 진행되고 있다. 이러한 경향은 RTA 처리한 시편에서도 유사하게 나타나고 있다. 노에서 활성화하여 질화막을 BHF로 제거한 후 상온에서 Hall측정한 결과를 그림 3.14 에 보였다. 300°C 질화막의 경우 활성화율은 75%를 보여, 다소 낮은 열처리 온도(800°C)를 고려할 때 만족할 만한 수준이나, 전하이동도는 다소 낮았다. 200°C 및 300°C의 결과는 대부분의 Si 이 누출되었거나 compensate 되어 inactive 하게 된 결과로 보여지나, 자세한 원인을 분석 중이다.

표 3.3. 활성화공정에 사용된 PECVD 질화실리콘막 증착 조건.  
(Table 3.3. Deposition condition of PECVD SiNx for activation)

공 정 변 수	조            건
온            도	100 / 200 / 300 °C
RF Power	30 W
총 유        량	300 SCCM
압            력	1.0 Torr
SiH <sub>4</sub> /NH <sub>3</sub>	1/4 SCCM

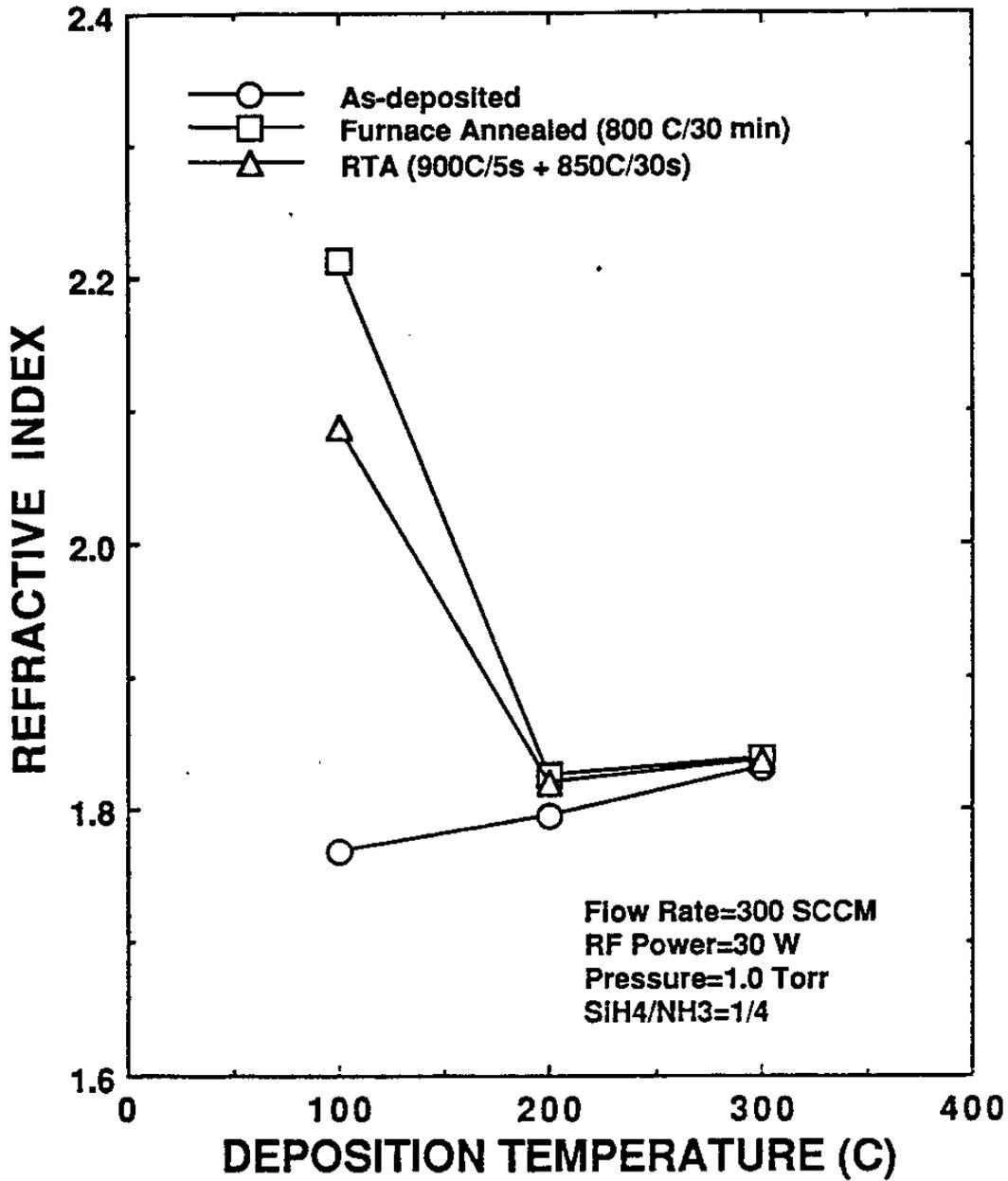


그림 3.12. 질화실리콘막의 증착온도에 따른 열처리후 유전상수의 변화  
(Fig. 3.12. Variation of the refractive index after the annealing processes for the SiN films deposited at various substrate temperatures)

(a)



(b)

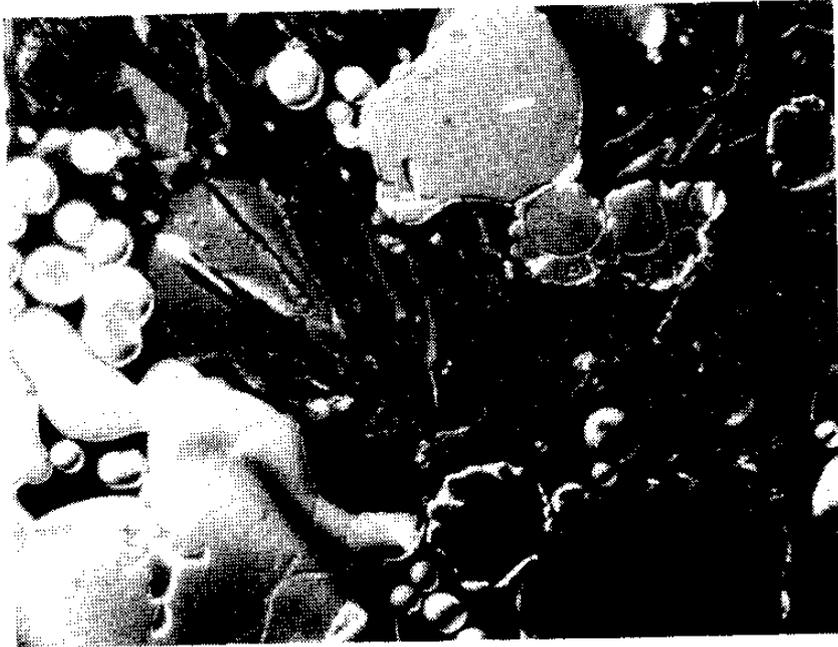


그림 3.13. 질화실리콘막의 증착온도에 따른 열처리(800°C/30 min 질소분위기 노열처리후 표면 morphology. (a)증착온도 300°C, (b)증착온도 100°C

(Fig. 3.13. Morphologies of the surface of the SiN films deposited at (a) 300°C and (b) 100 °C, and then annealed at 800°C for 30 min in a nitrogen ambient furnace)

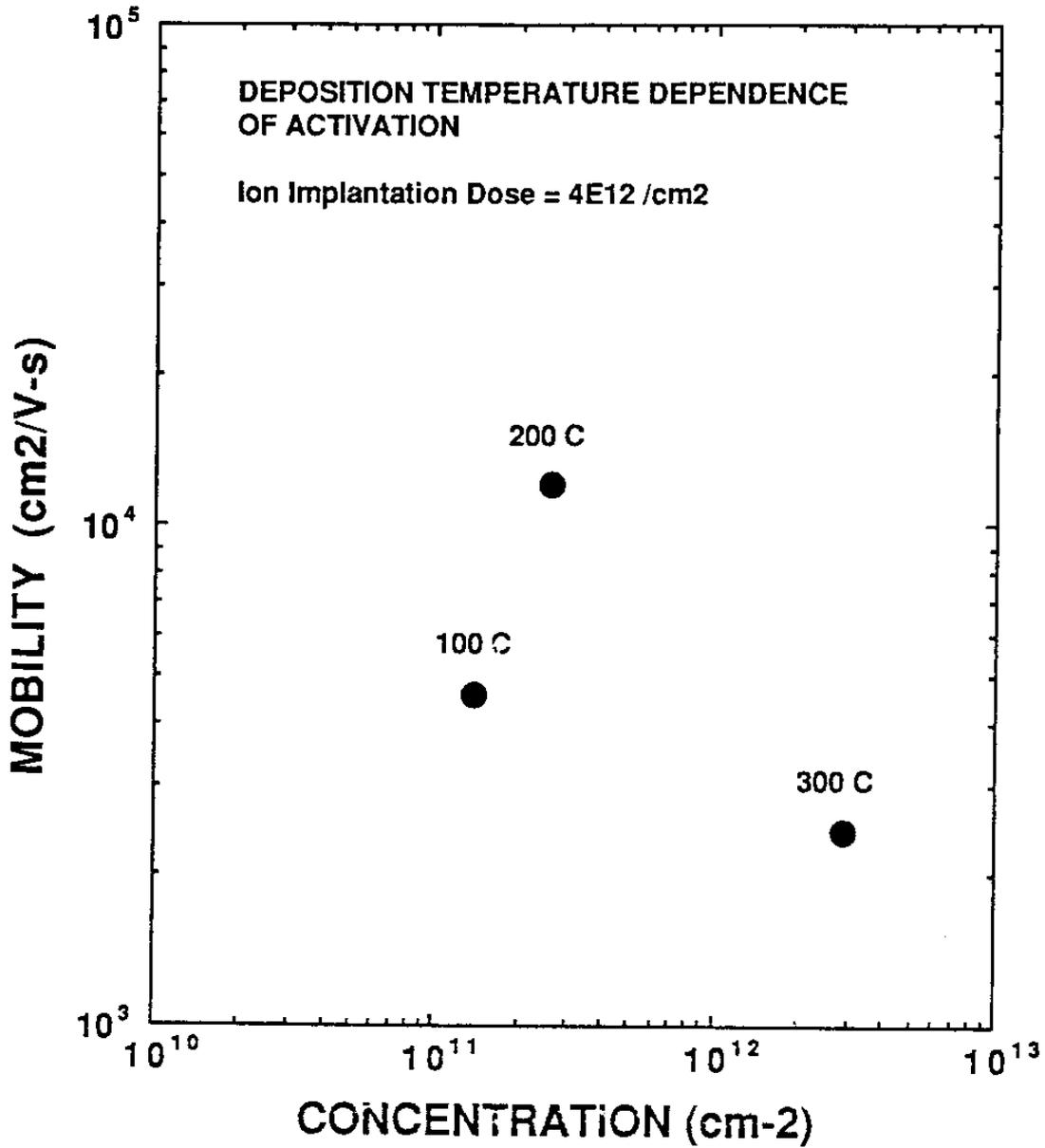


그림 3.14. 질화실리콘막의 증착온도에 따른 활성화 후 Hall 농도 및 전자이동도

(Fig. 3.14. Variation of the Hall mobility and carrier concentrations for the GaAs samples activated with SiN capping layers deposited at different substrate temperatures)

## 제2절 내열성 게이트

### 1. 내열성 W-Si-N 게이트

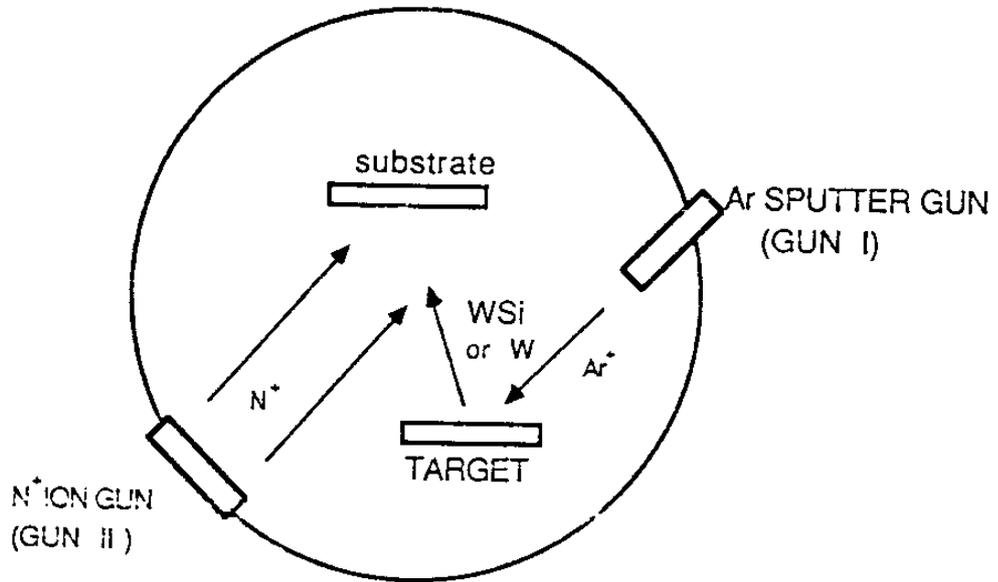
내열성 재료에 관한 연구는 실리콘 집적소자는 물론 갈륨비소 집적소자 분야에서도 중요한 비중을 차지하게 되었다. 내열성금속 게이트를 이용한 자기정렬형 (self aligned) MESFET 제조기술은 공정이 매우 간단하고 고집적화가 유리한 장점으로 인해 최근 널리 이용되고 있다 [59]. MESFET 공정에서 게이트를 마스크로 이용하여 고농도로 주입된 불순물을 활성화하기 위해서 일반적으로 800-900°C 정도의 온도에서 후속열처리를 한다. 따라서 내열성 재료 게이트는 회로측면에서 요구되는 높은 쇼트키장벽높이 (Schottky barrier height) 와 더불어 열처리 과정을 통해서 금속학적, 전기적으로 안정한 계면과 정류성 특성을 유지하여야 한다. 이와 같은 특성을 지니는 내열성 집합 재료로는 텅스텐과 텅스텐화합물이 가장 널리 이용되고 있으며 [59], 그 중 유망한 내열성 게이트 재료로서 질화텅스텐에 대한 연구가 활발하다 [60-65]. 그러나 텅스텐 및 질화텅스텐의 경우 GaAs 기판위에 성장될 때 유도되는 고유응력에 의하여 성장후 혹은 후속열처리 중에 박리되거나, Ball-up 등의 박막 결함이 나타날 수 있으며, 특히 텅스텐의 경우에는 GaAs내의 실리콘이 텅스텐으로 확산하여 나오는 문제가 보고된 바 있다 [66,67]. 이러한 문제를 해결하기 위하여, 실리콘을 텅스텐에 첨가하여 실리콘의 확산을 억제하고, 열적안정성을 개선한 결과가 발표된 바 있다 [67]. 그러나 W-Si 및 W-Si-N 의 경우 순수한 텅스텐에 비하여

저항이 100배 가까이 크므로, 안정한 쇼트키 특성과 낮은 저항을 위하여 이중층 구조를 이용하고자 하는 시도가 이루어지고 있다. 예를 들면  $0.2\mu\text{m}$ 의 게이트 길이를 갖는 Au/WSiN 이중층 게이트를 이용하여  $630\text{ mS/mm}$ 의 MESFET 특성이 발표된 바 있다[68].

본 절에서는 갈륨비소 집적소자의 내열성 금속 게이트로 응용하기 위하여 W-Si-N 박막을 n GaAs 기판 위에 증착하여 박막의 구조적, 전기적 특성을 조사하고, W-Si-N/GaAs 접합의 전기적 특성을 살펴보았다. W-Si-N 박막에 관한 종전의 연구들[60-68]은 모두 반응성 스퍼터링(reactive sputtering)으로 박막을 형성한 데 반하여, 본 연구에서는 이온선보조증착(ion beam assisted deposition)에 의해 텅스텐화합물 박막을 형성하고자 시도하였다. 기존의 반응성 스퍼터링과 비교하여 이온빔 증착방법은 이온에 의한 기판손상이 거의 없고, 공정압력이 더 낮다는 장점이 있다. 다음 절에 이와 같은 이온증착 기술을 자세히 기술하고, 그 결과 얻어진 W-Si-N 전극재료의 특성을 스퍼터링을 이용하여 보고된 결과들과 비교하여 고찰하였다.

## 2. 이온선보조증착

본 실험에서는 Commonwealth 사의 이온빔링 장비를 이용하여 그림 3.15와 같은 방법으로 텅스텐화합물 박막을 증착하였다. 기판으로는 불순물 농도가  $2-4 \times 10^{17}\text{ cm}^{-3}$ 인 (100)면의 n형 GaAs를 사용하였다. 이온총 1로  $\text{Ar}^+$ 이온을 W 타겟 혹은 W-Si Strip 타겟에 조사하여 W 혹은 WSi를 스퍼터링하였고, 이온총 2로  $\text{N}^+$ 이온을 기판에 직접 조사하였다. 질소의



BASE PRESSURE :  $5 \times 10^{-7}$  TORR  
 PROCESS PRESSURE:  $2 \times 10^{-4}$  TORR

$V(\text{GUN I}) = 1000 \text{ V}$   
 $V(\text{GUN II}) = 70 \text{ V}$

그림 3.15. 이온선보조 증착장치의 기능적 구조와 동작조건  
 (Fig. 3.15. Schematics diagram of ion beam assisted deposition)

함유량을 조절하기 위하여 이온총 1 과 이온총 2 의 가속전압을 각각 1000 V와 70 V 로 고정하고 빔전류를 변화시켰다. 증착된 박막의 화학적 조성을 알기 위하여 ESCA LAB MK-II XPS(X-ray photoelectron spectroscopy)와 PHI 610 AES(Auger electron spectroscopy)를 이용하였다.

증착된 텅스텐화합물과 GaAs 접합의 쇼트키특성을 측정하기 위하여 그림 3.16과 같은 과정으로 다이오드를 제작하였다. 증착된 박막 위에 감광막으로 패터닝을 형성한 다음, 텅스텐과 질화텅스텐의 경우에는 과산화수소로 식각하였고, WSi 및 WSiN 의 경우에는 RIE 를 이용하여 식각하였다. 다이오드의 제작방법 및 조건에 대하여서는 1 차년도 보고서에 상세히 기술한 바 있으며 [69], 다이오드 특성변수의 측정방법을 아래에 기술한다.

쇼트키 접합의 장벽높이 ( Schottky barrier height :  $\phi_b$  ) 와 다이오드 인수  $n$  은 이전의 연구들과 같이 다음 식으로 표현되는 thermionic emission 모델에 준하여 전류- 전압특성으로부터 구하였다.

$$I = I_0 \exp( qV/nkT) \quad (3-1)$$

$$I_0 = S A^* \exp(q \phi_b/kT) \quad (3-2)$$

윗 식들에서  $I_0$  는 역포화전류밀도이고,  $S$  는 접합의 단면적이고,  $A^*$  는 Richardson 상수로 GaAs 의 경우  $8.16 \text{ A cm}^{-2} \text{ K}^{-2}$  이다. 특성곡선의 기울기와 전류축 절편에서  $n$  과  $\phi_b$  를 계산할 수 있다.

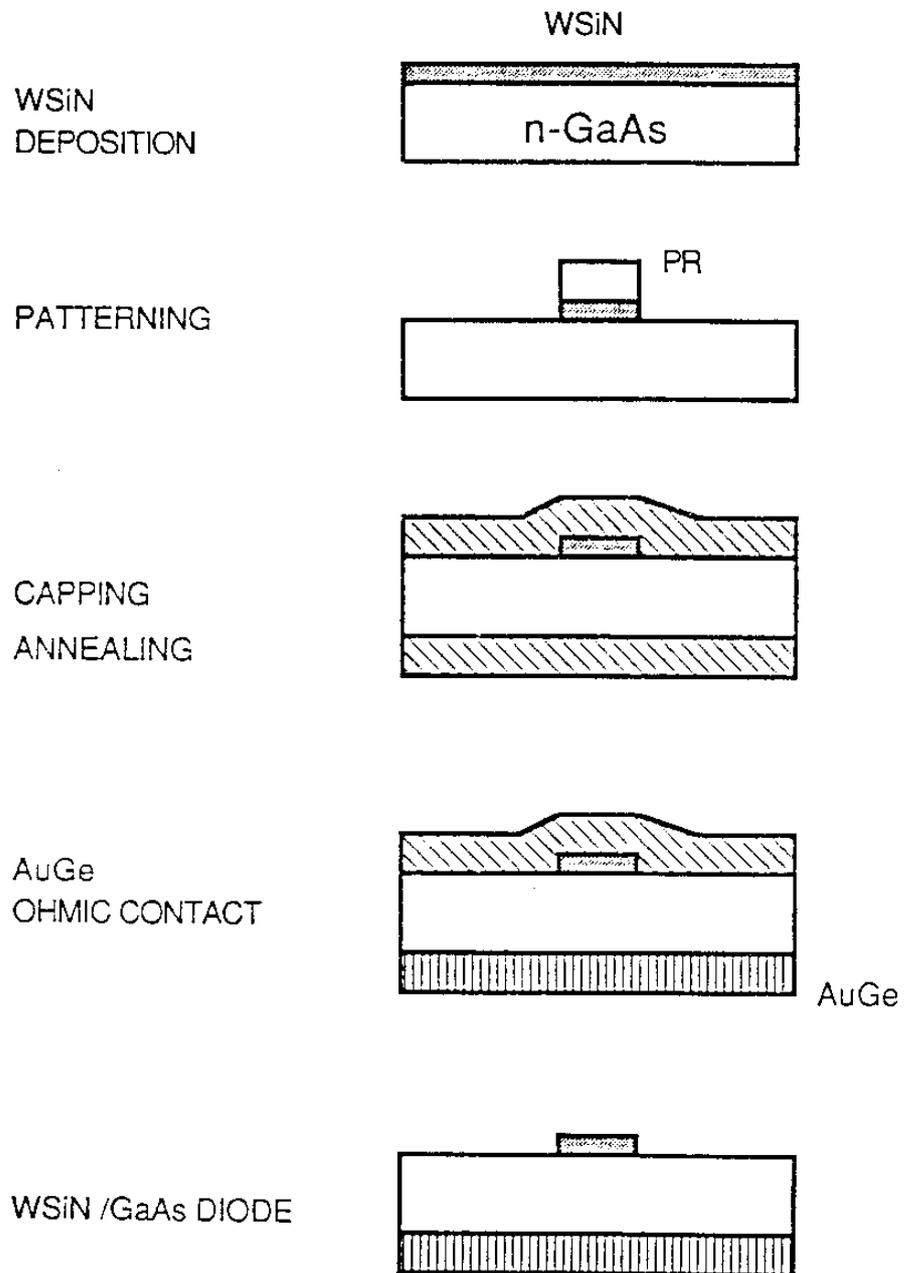


그림 3.16. W-Si-N / GaAs Schottky Diode 의 제작  
 (Fig. 3.16. Fabrication procedure for WSiN/GaAs Schottky diodes)

### 3. WSiN 박막의 재료적인 성질

질소보조이온총을 사용하면 박막의 증착율이 증가하고 조사되는 질소이온들이 박막의 형성에 참여하여 증착된 텅스텐과 화학결합을 형성하는 것을 XPS 분석으로 직접 확인한 바 있다[ 69-71 ]. 이온선보조 증착을 이용하여 W-Si-N 박막을 성장할 때 질소보조이온총의 조사전류에 따른 박막중의 질소 함유량의 변화들 그림 3.17 에 나타내었다. 곡선 A 는 WN 중에 포함된 질소의 조성을 XPS를 이용하여 분석한 것으로서, 질소이온총의 전류량이 증가함에 따라 질소함유량이 거의 직선적으로 증가함을 보이고 있다. 곡선 B 와 C 는 WSi 의 성장중 질소함유

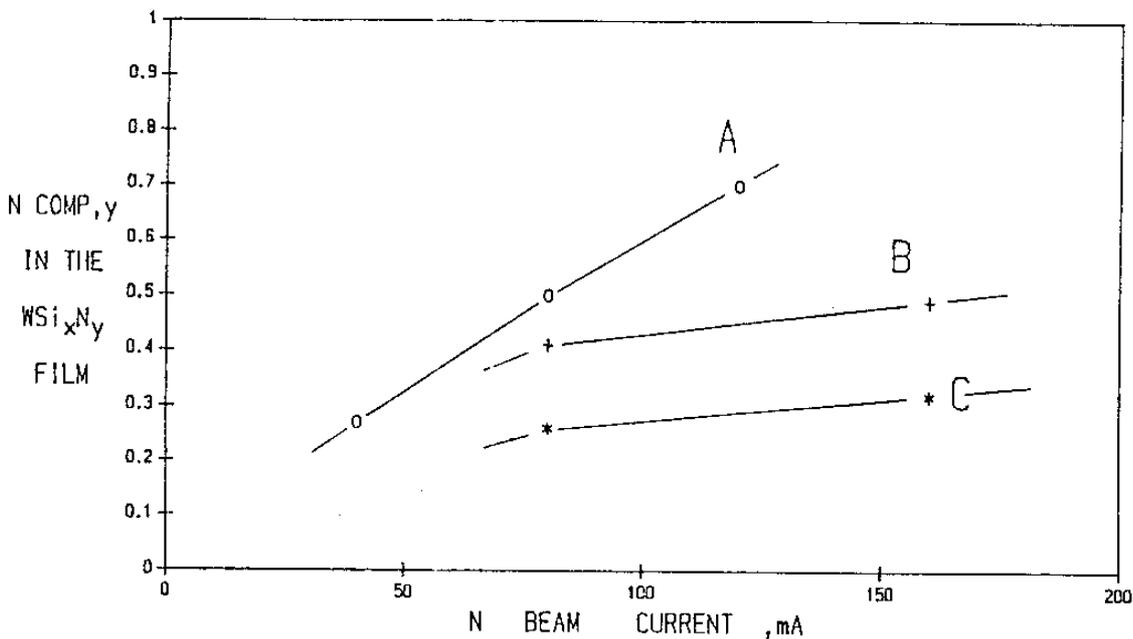


그림 3.17. 질소이온총의 조사전류에 따른 WSiN 의 질소조성  
(Fig. 3.17. Composition of WSiN film as a function of nitrogen beam current)

량의 변화를 나타낸 것으로써, WN의 경우에 비하여 상대적으로 적은 질소 함유량을 보이는데, 이러한 결과는 WN보다 WSiN 성장의 경우 증착 속도가 큰 것에 기인한다.

그림 3.18에 보조이온선 증착에 의하여 성장된 대표적인 WSiN 박막의 AES 분석 결과를 나타내었다. 그림에서 볼 수 있는 바와 같이 각 원소가 박막내에서 고르게 분포되어 있고 계면에서의 조성변화가 급격함을 알 수 있다. 이와 같은 결과는 증착 중에 박막과 기판이

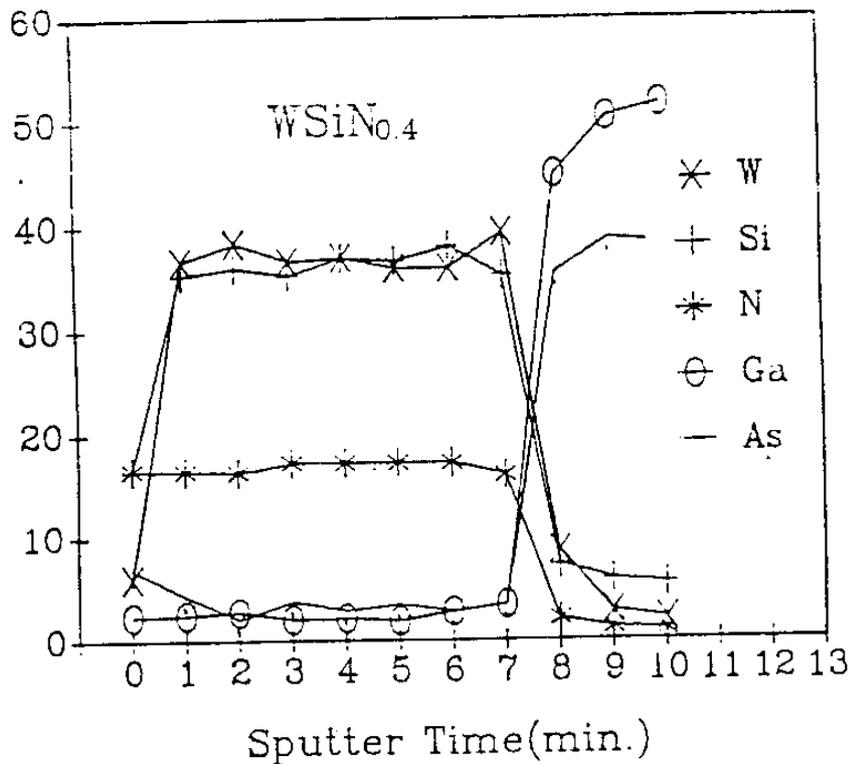


그림 3.18. 대표적인 WSiN / GaAs 시편의 AES Depth Profile 분석결과  
(Fig. 3.18. Typical AES depth profile for WSiN/GaAs)

반응을 하지 않았음을 의미한다.

이온선보조증착에 의해 성장된 W-Si-N 화합물 박막의 전기비저항을 그림 3.19 에 질소함유량에 대하여 정리하였다. 질소가 함유되지 않은 순수 텅스텐의 경우  $210 \mu\Omega \cdot \text{cm}$  의 비저항을 보이고 있고, 이는 DC magnetron sputtering 에 의하여 성장된  $\alpha$ -W 경우보다 10 배 가까이 큰 값을 나타내며, 이러한 결과는 비정질 구조 때문인 것으로 판단된다. W 과 WSi 공히 질소함유량이 증가함에 따라 비저항이 증가하여 WNo.7의 경우  $1140 \mu\Omega \cdot \text{cm}$  의 비저항을 보이며,  $410 \mu\Omega \cdot \text{cm}$  이었던

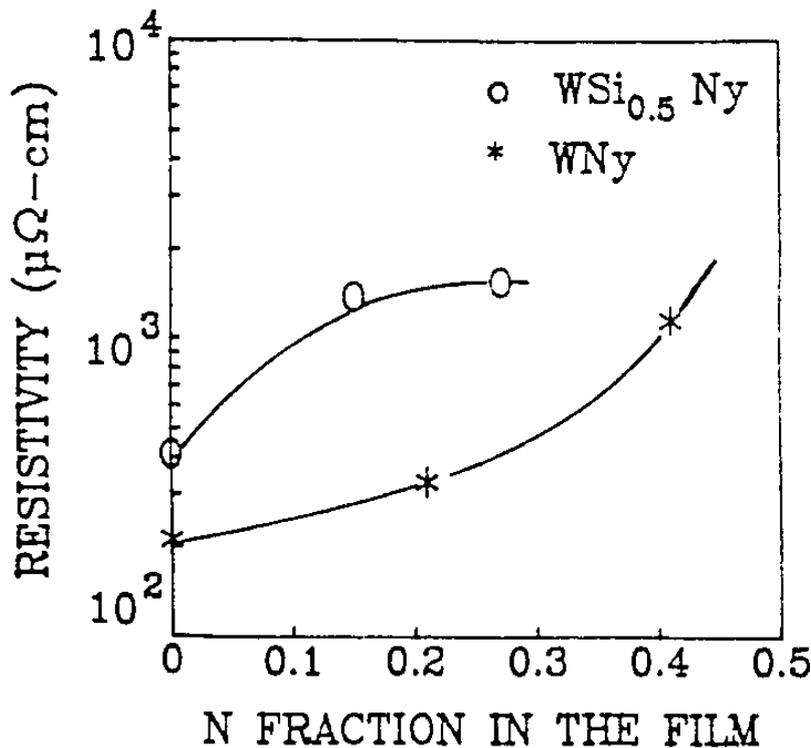


그림 3.19. W-Si-N 박막의 증착후의 전기 비저항과 질소함유량의 관계  
(Fig. 3.19. Electrical resistivity vs. nitrogen concentration)

WSi<sub>0.5</sub>의 경우 WSi<sub>0.5</sub>No<sub>0.4</sub>의 조성에서 1540 μΩ.cm으로 증가하게 된다.

#### 4. W-Si-N/n-GaAs Diode의 Schottky 특성

그림 3.20에 W/GaAs, WN<sub>0.27</sub>/GaAs 및 WSi<sub>0.3</sub>No<sub>0.4</sub>/GaAs 다이오드의 Schottky 특성을 열처리 온도에 따라 나타내었다. 열처리를 하지 않은 경우에는 전극재료에 거의 관계없이 약 1.2 정도의 다이오드 인수를 보이며, 0.6 eV와 0.7 eV 사이의 전위장벽을 갖는다. 그러나 전극 형성 후 700-850 °C의 열처리를 거치면 대체적으로 Schottky 특성이 향상되어, 800-850 °C의 열처리 후에 최적의 Schottky 특성을 보인다. 이 온도범위는 대표적인 이온주입 활성화 조건으로서, 이온선보조증착된 상기의 내열금속 화합물박막이 자기정렬형 MESFET의 게이트 전극으로 활용될 수 있음을 알 수 있다.

이온선보조증착된 W/GaAs 및 WN/GaAs 다이오드의 Schottky 특성은, RF-및 DC-Magnetron sputtering에 의해 제작된 동종의 다이오드와 비교하였을 때, 기존의 sputtering 결과중 최선의 결과에 버금가는 우수한 특성을 보이는 것을 확인한 바 있다[69-72].

그림 3.21에 이온선보조증착된 WSiN/GaAs 다이오드의 Schottky 특성을 RF-sputter 된 결과[73]와 비교하여, 열처리 온도의 변화에 따라 나타내었다. 기존의 RF sputtering에 의해서는 800 °C / 20분 열처리 후에 0.76 eV의 전위장벽을 얻은 반면, 이온선보조증착시 850 °C / 30분 열처리

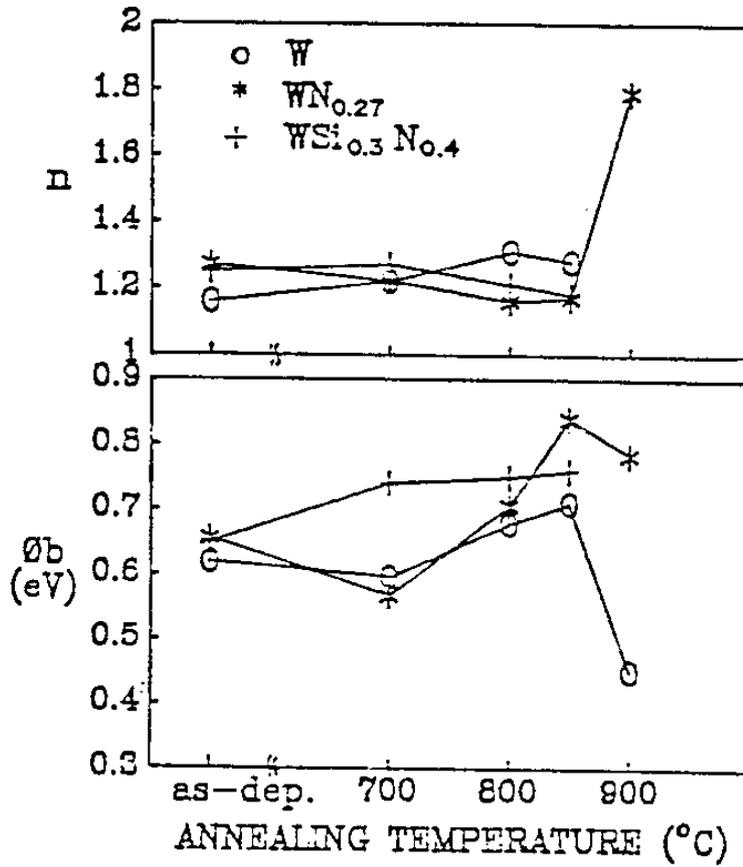
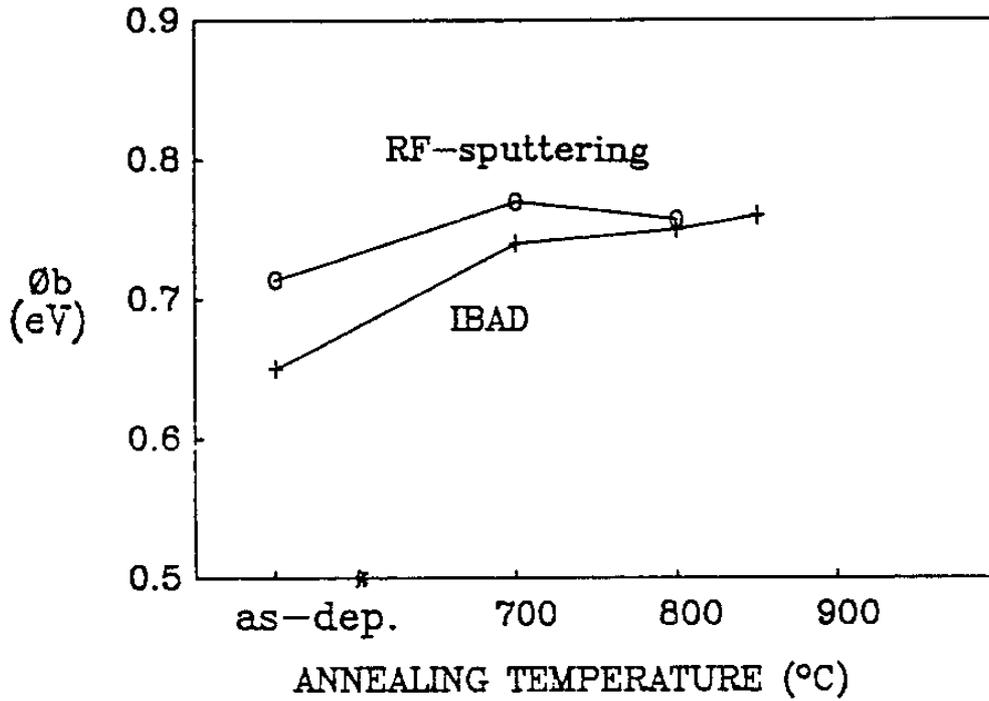


그림 3.20. 열처리 온도에 따른 W-Si-N / GaAs 다이오드의 전위장벽과 다이오드 인자의 변화  
 (Fig. 3.20. Schottky barrier height and diode ideality factor of WSiN/n-GaAs as a function of annealing temperature)



RF-sputtering : annealed in  $N_2$  for 20 min (Ref 60)

IBAD : annealed in  $N_2$  for 30 min (Ref 72)

그림 3.21. 제작방법 및 열처리 조건에 따른 WSiN/GaAs 다이오드의 Schottky 특성의 변화

(Fig. 3.21. Schottky characteristics of WSiN/GaAs diodes for various deposition methods)

후에 같은 값의 전위장벽을 얻었다. 이와 함께 W/GaAs나 WN/GaAs 의 경우에 비하여 WSiN/GaAs 다이오드가 700-850°C 의 온도구간에서 온도의존성이 적은 안정된 Schottky 특성을 보이는 것을 관찰할 수 있다.

이상과 같이 이온선보조증착을 통하여 성장된 W-Si-N 화합물 박막을 GaAs MESFET 의 자기정렬형 게이트로 활용하기 위한 기초실험을 수행하였으며, 그 결과 W, WN, WSiN 모두 800°C/30 분 열처리 조건에서 열적으로 안정한 0.7eV 이상의 높은 전위장벽을 갖는 것을 확인하였다. 이상과 같은 결과들이 기초실험을 통하여 얻어진 것을 감안하면, 지속적인 실험을 통하여 보다 개선된 게이트 형성조건을 확보할 수 있으리라 기대된다. 그러나, 텅스텐 박막의 고유응력과 GaAs 기판과의 반응성 및 W-Si-N 화합물 박막의 높은 전기저항등의 문제점을 개선하기 위하여는 보다 깊이있는 연구가 계속 필요하여 현재 진행중이며, 이와 함께 일반적인 종래의 내열금속 게이트 공정을 위한 sputtering 장비를 제작 중이다.

## 5. Ti/W 게이트 제작

금속게이트 트랜지스터 제작에서 게이트 물질로 텅스텐류의 내열성 금속물질을 많이 사용하고 있는데 이들 물질과 기판(GaAs)과의 접착력이 약한 문제가 있다. 이를 해결하기 위해서 본 실험에서는 Ti 을 접착력 증강 물질로 사용한 Ti/W 게이트를 제작하여 Schottky 다이오드 특성을 조사하였다.

Ti 및 W의 증착에 이온밀링 장치들 이용하여 이온선보조증착(IBAD)

방법을 사용하였으며, 본 실험에서의 증착 두께는 각각  $\sim 100 \text{ \AA}$  및  $\sim 1400 \text{ \AA}$ 으로 하였다. W 의 식각은 과산화수소( $\text{H}_2\text{O}_2$ )를 사용하여 상온에서 수행하였고 식각률은  $350 \text{ \AA}/\text{min}$  정도이었다. 그리고 Ti 박막의 식각은 6 : 1 BOE를 사용하였고, 식각률은  $16 \text{ \AA}/\text{min}$ 이었다. Ti/W 구조의 경우 열처리를  $800^\circ\text{C}$  에서 각각 40분간 하였을 때  $1 \mu\text{m}$  정도의 grain이 그림 3.22와 같이 형성되었다.

제작된 Ti/W Schottky 다이오드의 I-V 특성을 그림 3.23 에 나타내었으며, 이상지수 n 값은 1.17 로 나타났고 장벽높이  $\phi_b$  는  $0.74 \text{ eV}$  로 내열성 게이트로 사용 가능함을 알 수 있었다.

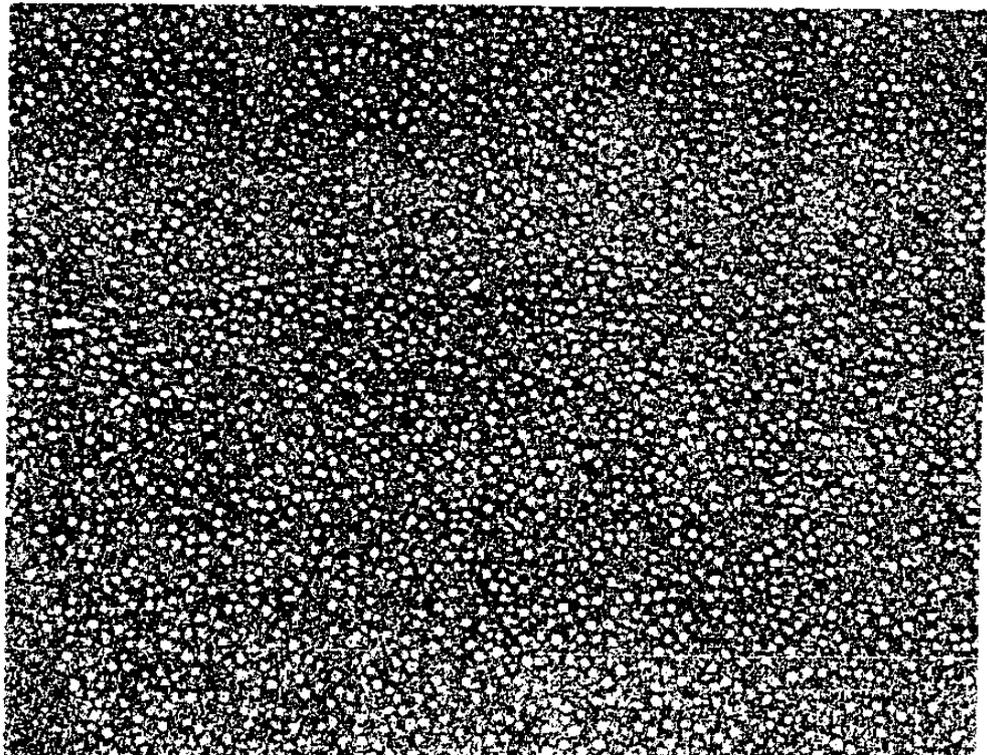


그림 3.22. Ti/W 박막의 열처리후 표면형상  
 배율: 2,000 배, grain size : 약  $1 \mu\text{m}$   
 (Fig. 3.22. Surface morphology of heat-treated Ti/W film)

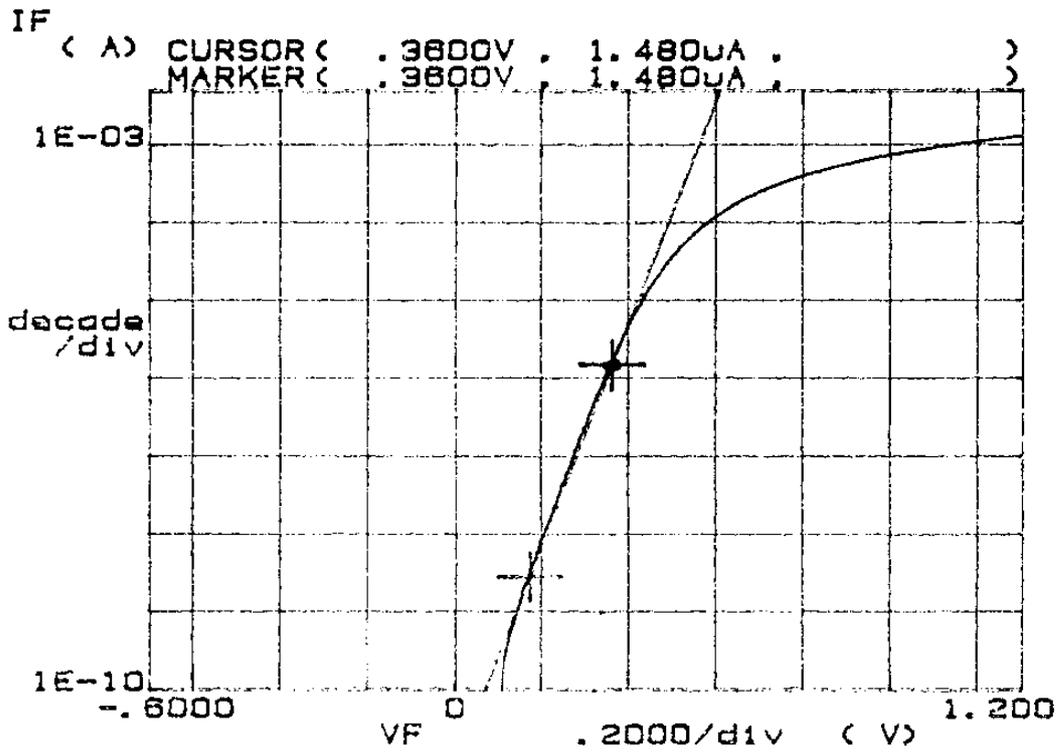


그림 3.23. Ti/W - nGaAs Schottky 다이오드의 전류 전압특성  
 이상지수 : 1.17, Schottky 장벽높이 : 0.74eV  
 (Fig. 3.23. I-V characteristic of Ti/W - n-GaAs Schottky diode)

### 제 3 절 Interconnection

금속층을 형성할때 발생하는 면저항특성, hillock 특성 및 단차회복 특성에 관해서 각각 그 결과를 나타내려고 한다.

일반적으로 금속층 형성시 발생하는 문제점들을 살펴보면 1) Junction spiking, 2) 전자적 물질이동 ( electromigration; 전자물질 이동), 3) 단차회복성, 4) Hillock 과 void 문제, 5) 접촉저항, 6) Corrosion 및 bonding 문제등이 있다.

먼저 junction spiking 현상은 Al 과 Si 의 용해도 차이로 인해 계면에서 Si 이 Al 속으로 용해되면서 비어있는 Si 자리로 Al 이 침투하여 일어나는 현상이다. 그 해결책으로는, 첫째 Al 에 Si 을 섞어서 사용하는 방법으로 이미 Al 내에 Si 이 포화되어 있으므로 spike 현상을 줄일 수 있다. 둘째는 불순물이 고농도로 도우핑된 다결정 실리콘을 접촉공 위에 입힌후 Al 을 증착하는 방법이 있고, 셋째는 Si 과 Al 사이에 장벽 금속막을 입히는 방법으로 Si 계면에 금속 실리사이드를 형성하고 그 위에 장벽금속 (예 : TiW) 을 입힌후 Al 을 입히는 방법 등이 있다.

다음으로 전자물질 이동현상은 두가지 형태로 생각할 수 있으며, 첫째 소자의 기하적인 구조와 관련된 것으로 선폭과 입계크기가 비슷해짐에 따라 나타나는 현상과 접촉공 주위에서의 단차회복 특성에 기인하는 것이 있다. 둘째는 구성물질에 기인하는 것으로 전류밀도가 높아짐에 따라서 주울열 발생, 전류의 밀집현상, 그리고 물질반응 등의 원인으로 물질 이동이 생기는 수가 있다. 이렇게 발생하는 전자

물질 이동 현상을 막기 위해 Cu, Ni, Cr, Mg 등을 첨가시켜서 입계확산을 감소시키는 방법이 있고 Ti, Cr, Ta 등의 박막을 Al 박막 사이에 넣어 샌드위치 구조로 사용하면 Al 과 반응하여  $CrAl_x$ ,  $TiAl_3$  등의 Al 확산 장벽막이 생겨서 수명을 100배 정도 증대시킬 수 있다. 이 외에도 막형성중 산소를 도입시키는 방법, Au, W 등의 금속으로 바꾸어 사용하는 방법, 접속공의 면적을 넓히고 단차회복성을 개선시키는 방법, Al 의 입계 크기를 균일하게 하는 방법 등이 있다.

그리고 단차회복성에 관련된 문제는 접속공, 접속공 형성후에 금속층을 입히는 과정에서 주로 발생되며 원인은 그림자(shadow) 효과 때문이다. 그 해결책으로는 1층금속과 접속공, 접속공의 가장자리 부근에 기울기를 많이 주는 방법과 금속층 증착법의 개선, 즉 증착시의 기판 가열 혹은 바이어스 스파터를 사용하는 방법을 들 수 있다. 그리고 아래층의 단차를 줄이기 위해 평탄화법을 도입하는 방법, 접속공, 접속공에 다른 금속으로 채운후 2차금속층을 증착하는 방법 등이 있다. 본 연구에서는 기판의 온도 및 바이어스를 변화시켜서 단차회복 특성을 조사하였다.

금속층 형성시 네번째 문제로서 hillock 과 void 형성에 대해 살펴보자. 먼저 hillock 발생의 원인으로 금속층의 증착이나 열처리 공정, 감광막의 열처리 공정등에서 금속층의 자체확산, 입계확산을 들 수 있다. 특히 열처리 과정에서 산화막과 Al 의 열팽창계수 차이로 많은 hillock 이 발생한다. 그리고 void 는 hillock 형성시 사용된 물질의 빈자리가 채워지지 않을 때 발생한다고 보면 된다. 이러한 문제들을 없애는 방법으로는 열처리 온도와 증착 온도의 차를 줄이거나 Al

박막에 Cu를 섞는 방법이 있다. 본 실험에서는 기판온도 및 기판바이어스와 hillock 발생관계를 조사하였다.

접촉저항 문제는 접촉면의 크기, 불순물 농도, 표면 청정도, 열처리조건 등에 따라 변화하게 된다. 그리고 부식문제는 Al의 건식식각시 발생하는 잔류 Cl에 의해 발생되기도 하고 CVD 산화막에 P 원소가 많이 있게 되면  $HPO_3$  등이 형성되어 Al 금속이 공격을 받는다. 해결책으로는 Al 건식식각후 후처리를 하는 방법과, CVD 산화막 내의 P 함량을 제한하는 방법이 있다.

금속층 Al-1% Si 박막을 직류스파터링 장치를 사용하여 형성하였다. 본 실험에 사용한 직류스파터링 장치는 Varian 3180 장치이다.

#### 1. 금속층의 면저항 및 hillock 특성

직류 스파터링 방법으로 형성한 Al-1% Si 박막의 면저항 특성을 살펴보았다. 이때 스파터링 조건은 Ar 압력이 6 mTorr, 전력 9.6KW 이었으며 기판의 온도와 기판에 걸리는 바이어스 조건을 변화시키면서 면저항특성을 조사 하였다. 그림 3.24 에서 보면 기판 bias변화에 따른 면저항 특성으로 기판에 걸리는 바이어스가 클수록 면저항 값이 증가한다. 이러한 현상은 기판 바이어스 크기가 증가하면 입계의 크기가 작아지고 동시에 Ar의 함량도 커지게 되는 현상으로 설명할 수 있다.

다층금속 배선기술에서 중요한 문제점중의 하나는 hillock 이다. Hillock 은 소자제조 공정중 거치게 되는 여러번의 열처리 공정과정에

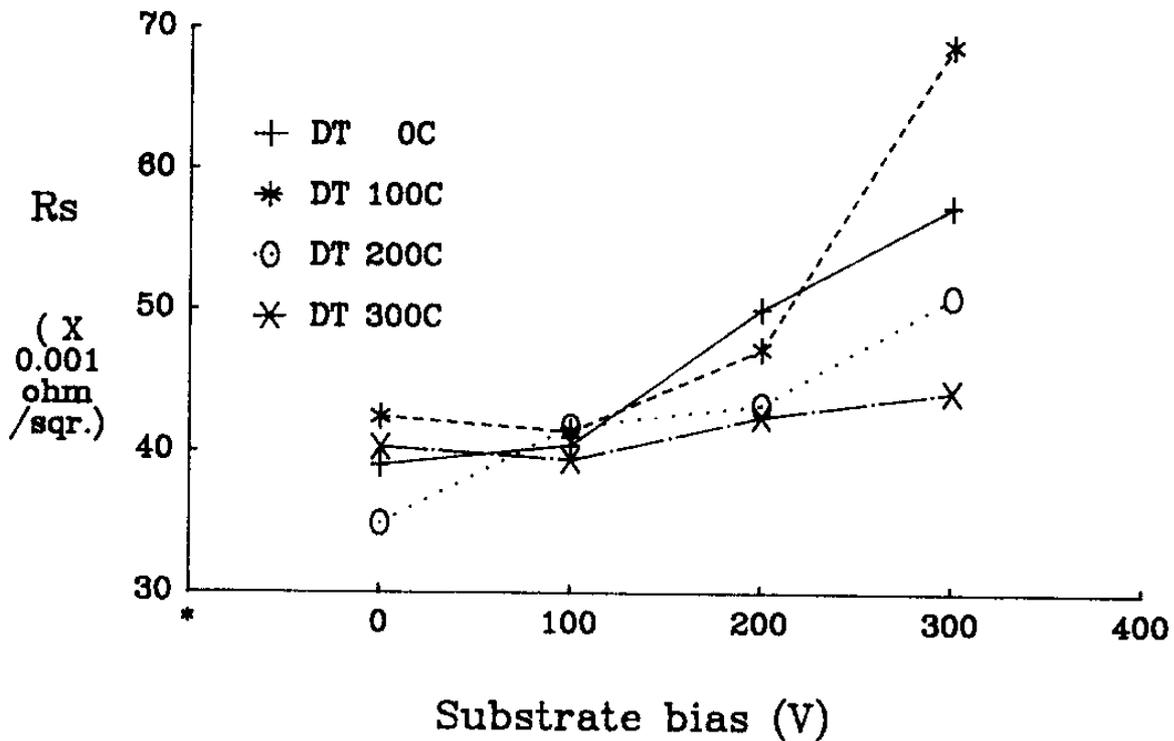


그림 3.24. 기판에 걸리는 바이어스 조건에 따른 면저항 특성  
( 9.6 kW, Ar 6 mTorr )  
(Fig. 3.24. Sheet resistance vs. substrate bias voltage)

서 각 박막의 열팽창계수 차로 야기되는 응력의 이완으로 발생된다고 보고 있다. 이러한 hillock은 수평방향으로 생기는 횡방향 hillock과 수직으로 생기는 종방향 hillock 이 있다. 횡방향 hillock 은 선과 선 사이 단선에 영향을 주게 되고 종방향 hillock은 층과 층사이의 단선을 유발하게 된다. 그런데 종방향 hillock의 경우 2 $\mu$ m 이하의 패턴에서는 발생수가 매우 적다. 그래서 여기서는 주로 종방향 hillock 형성에 관해서 연구하였다. 종방향 hillock 은 Al-1% Si 막의 형성 시 기판조건에 따라 큰 차이를 나타내고 있다. 이것은 열처리 hillock 으로 산화막과 Al 의 열팽창계수 차로 발생한다. 열처리 hillock 이 응력 크기에 따라 변하므로 그 관계들 나타내어 보면 응력크기  $\epsilon$  은

다음과 같다.

$$\epsilon = (\alpha_{Al} - \alpha_{SiO_2})(T_a - T_e) \quad (3-1)$$

여기서  $\alpha_{Al}$ ,  $\alpha_{SiO_2}$  는 각각 Al 및 SiO<sub>2</sub> 막의 열팽창계수를 나타내고 있고,  $T_a$ ,  $T_e$ 는 각각 열처리 온도와 증착온도를 나타내고 있다. 즉 열처리 및 증착온도에 따라 응력이 변화하게 되고 이에 따라 hillock 수가 바뀌게 됨을 알 수있다.

한편 기판의 바이어스 조건에 따른 hillock의 형성 특성을 살펴보자. 기판의 바이어스 전압을 증가시킴에 따라 hillock의 수가 급격하게 줄어들을 수 있다. 이러한 현상은 두가지로 볼 수 있다. 첫째는 앞에서 언급한 증착시의 기판온도가 hillock 형성에 미치는 효과로 볼수 있겠다. 즉 기판에 걸어주는 바이어스가 기판온도를 올려주는 역할을 하기 때문이다. 그래서 바이어스가 클수록 hillock 수가 감소하고 있다. 둘째는 기판에 바이어스를 인가하여 증착한 Al 박막의 입계크기 분포가 균일해지는 효과이다. 즉 입계크기가 균일하게 되는 경우 응력분포가 균일하게 되고 산화막과의 응력차이가 균일한 분포를 갖게 된다. 따라서 일정한 전압 이상의 기판 바이어스를 걸게 되면 분포가 되는 크기의 hillock 발생이 거의 없게 된다.

온도 및 바이어스 변화에 따른 hillock 수를 그림 3.25 에 나타내었다. 그림에서 보면 온도증가에 따라 hillock 수가 대체로 감소하고 있고, 바이어스 증가에 따라 hillock 수가 증가하다가 200V이상의 바이어스에서는 분포의 hillock 이 없어짐을 알 수 있다. 물론 이러한 hillock-less 공정이 기판의 물질이나 열처리 조건에 따라 항상 유효하다는 것은 아니다. 그러나 현 공정에서의 hillock 숫자 변화를

잘 적용한다면 특별한 hillock 제어공정에 관한 추가적인 연구에 도움을 줄 수 있을 것이다.

Hillock의 억제 방법으로는 첫째 열처리온도와 증착온도를 최소화하는 법, 둘째 Cu를 Al 속에 첨가하는 법, 셋째 이온주입으로 Al 표면을 비정질화하거나 작은 입계로 변화시켜 입계확산을 최소화하는 법, 넷째 Al-1% Si표면에 Ti 등의 내화금속을 첨가시키는 방법, 다섯째 Al-Si과 Al-Si 사이에 Ti나 W를 삽입시켜서 박막을 형성하는 방법, 여섯째 표면에 다른 층을 입히는 방법 (TaN 등) 등이 있다.

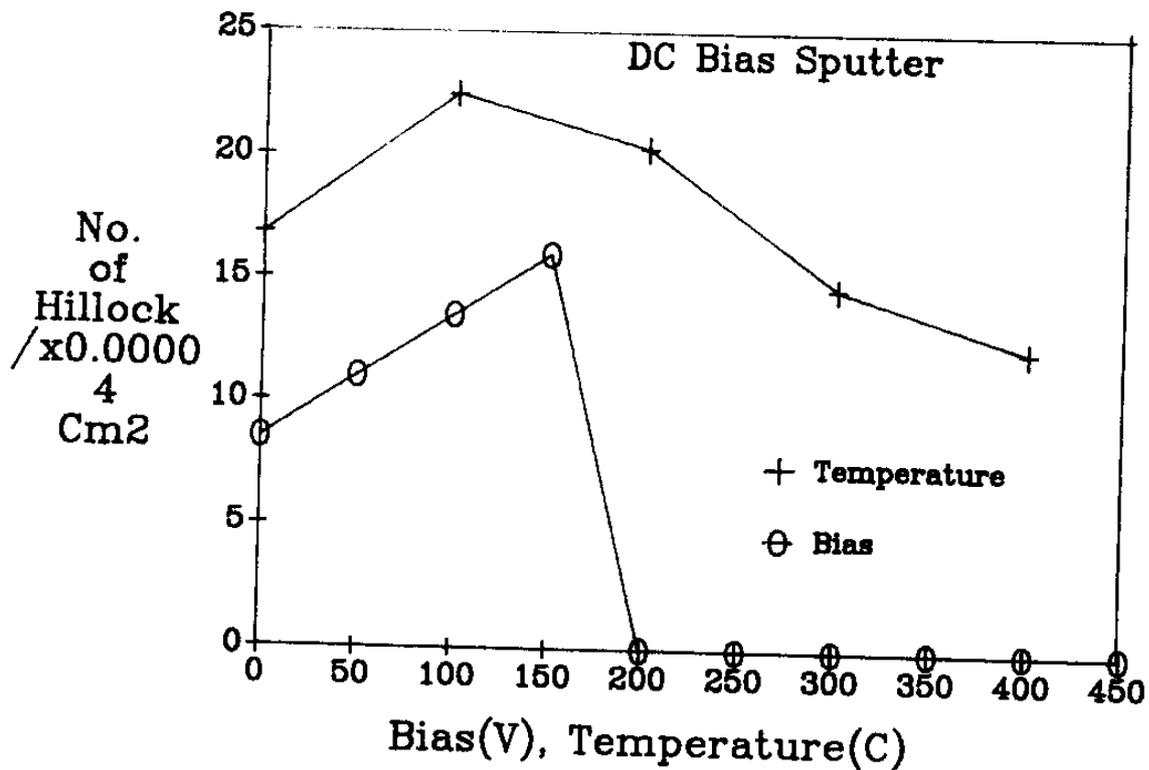


그림 3.25. 온도 및 바이어스 변화에 따른 hillock 수  
450°C, 30분간 열처리  
(Fig. 3.25. Effect of temperature and bias on the number of hillock)

## 2. 단차회복 특성

집적회로에서 소자의 집적도 증대, 소자의 미세화에 따라 소자들을 연결하는 배선의 미세화와 다층화가 동시에 진행되고 있다.

이러한 미세한 다층배선을 형성하는 데는 지금까지의 공정기술상 극복해야 할 문제점들이 많다. 그중 접속공 및 단차부에서 단차회복성은 2차 이상의 금속층 형성시 가장 중요한 문제중의 하나이다. 접속공의 경우 배선의 미세화와 더불어 크기가 줄어들고 있지만 절연내압부유용량 문제 때문에 층간 절연막의 두께를 줄이는 데는 그 한계가 있다. 따라서 접속공 및 단차부의 aspect 비는 점점 커지고 있고 이러한 접속공 및 단차부를 여하히 채울수 있는가 하는게 중요한 연구관점으로 부각되고 있다. 현재 소자내부의 배선재료로 Al 및 Al 합금을 주로 사용하고 있고 스팟터링법을 사용한다. 그런데 이 방법이 aspect비가 큰 접속공 및 단차부에서 그림자 효과로 배선재료가 내부로 들어가기 어려워져 바닥부와 측벽의 금속두께가 얇아지는 문제가 생기게 된다. 이 때문에 전자물질 이동현상에 대한 내성이 저하되고 심하면 배선이 끊어지게 된다. 따라서 접속공 및 단차부의 단차회복성을 개선시키는 방법으로는 접속공 및 단차부를 경사지게 식각하는 방법, 바이어스 스팟터링 방법 그리고 W 선택 CVD법 등이 있다.

이러한 방법중에서 본 연구에서는 먼저 접속공을 경사지게 식각한 후 바이어스 스팟터링 방법을 사용하여 단차회복성 특성을 조사하였다. 그림 3.26 에서는 온도변화에 따른 단차회복 특성을 나타내고 있다. 그림에서 (a), (b), (c), (d) 는 기판온도에 따른 단차회복 특성이 기판온도가 올라갈수록 개선됨을 나타내고 있다. 이것은 기판온도 증가에

따라 Al 원자들의 물질이동이 더욱 잘 일어나는데 기인하는 것으로 설명할수 있을 것이다.

그림 3.27 에서는 기판에 걸리는 바이어스에 따른 단차회복성에 관한 전자현미경 사진이다. 그림에서 보는 바와 같이 단차회복 특성은 바이어스 전압이 증가할수록 개선되고 있다는 것을 알 수 있다. 즉 그림의 (a), (b), (c), (d) 는 각각 기판온도가 25°C 이고 바이어스 전압이 0V, 100V, 200V, 300V 로 증가함에 따라 단차회복성이 좋아지고 있음을 나타내고 있다. 이점 역시 기판의 바이어스 전압이 증가하면 기판의 온도가 올라가게 되고 이에 따라 Al 원자의 물질이동이 쉽게 일어나게 되어 단차회복 특성이 개선되는 것으로 설명할 수 있을 것이다.

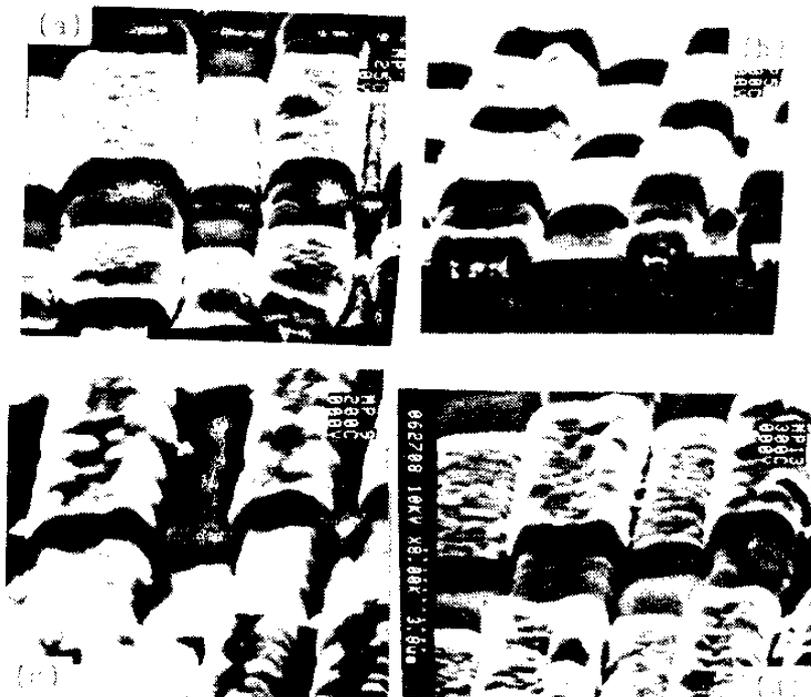


그림 3.26. 온도변화에 따른 단차회복 특성  
 (a) 25°C, (b) 100°C, (c) 200°C, (d) 300°C  
 (Fig. 3.26. Step-coverage characteristics for various substrate temperatures)

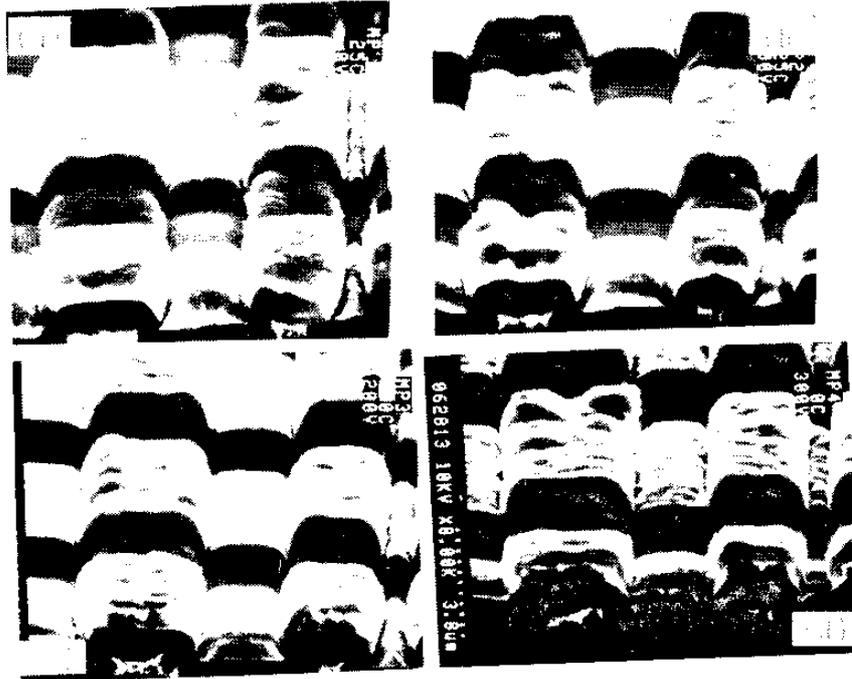


그림 3.27. 기판에 걸리는 바이어스에 따른 단차회복성  
 (a) 0 V, (b) -100 V, (c) -200 V, (d) - 300 V  
 (Fig. 3.27. Effect of substrate-bias on the step-coverage)

## 제 4 장 MESFET 제작 및 특성



## 제4장 MESFET 제작 및 특성

앞장에서 제안한 활성화 공정과 식각 및 저저항 형성공정을 가장 적절히 적용하여 단위 MESFET 을 제작하는데, 그 구조상 MESFET은 여러가지 특징을 보이고 있다. 특히 이들은 소자의 특성을 개선하기 위한 방법들로 제안 되었는데 게이트 길이의 감소와 더불어 특성에 크게 영향을 미치고 있다.

본 연구에서는 이미 전년도 연구에서 이들 소자구조를 연구 검토한 바 있으며, 내열성 금속게이트 공정을 기본으로 하여 자기정렬 게이트, 이중측벽공정을 제안하였다. MESFET 의 구조는 초고속의 특성에 적합하도록 제안되었으며 현재 공정을 통한 검증중에 있다.

먼저 본 연구에서는 각 단위공정을 집약하여 가장 널리 이용되고 있는 게이트 물질을 적용하여 MESFET 을 시험제작하여 그 특성을 고찰 하였는데, 이들 금속으로는 TiW, W, TiPtAu 를 이용하였다. 이들을 이용한 MESFET 의 제작은 각 공정의 최적조건 설정에 이용될 뿐만 아니라 4K SRAM 제작의 타당성 및 공정 개선을 위한 자료로 적용되고 있다.

### 제 1 절 MESFET 제작

MESFET 은 구조상으로 사용하는 게이트의 종류에 따라 일반적인 금속게이트와 내열성게이트로 나누어질 수 있으며, 내열성게이트는 자기정렬을 할수 있기 때문에 자기정렬게이트로 이용된다. 본 연구에서는 이들 게이트의 일반 금속게이트로는 TiPtAu 를 이용하였으며, 내열성금속

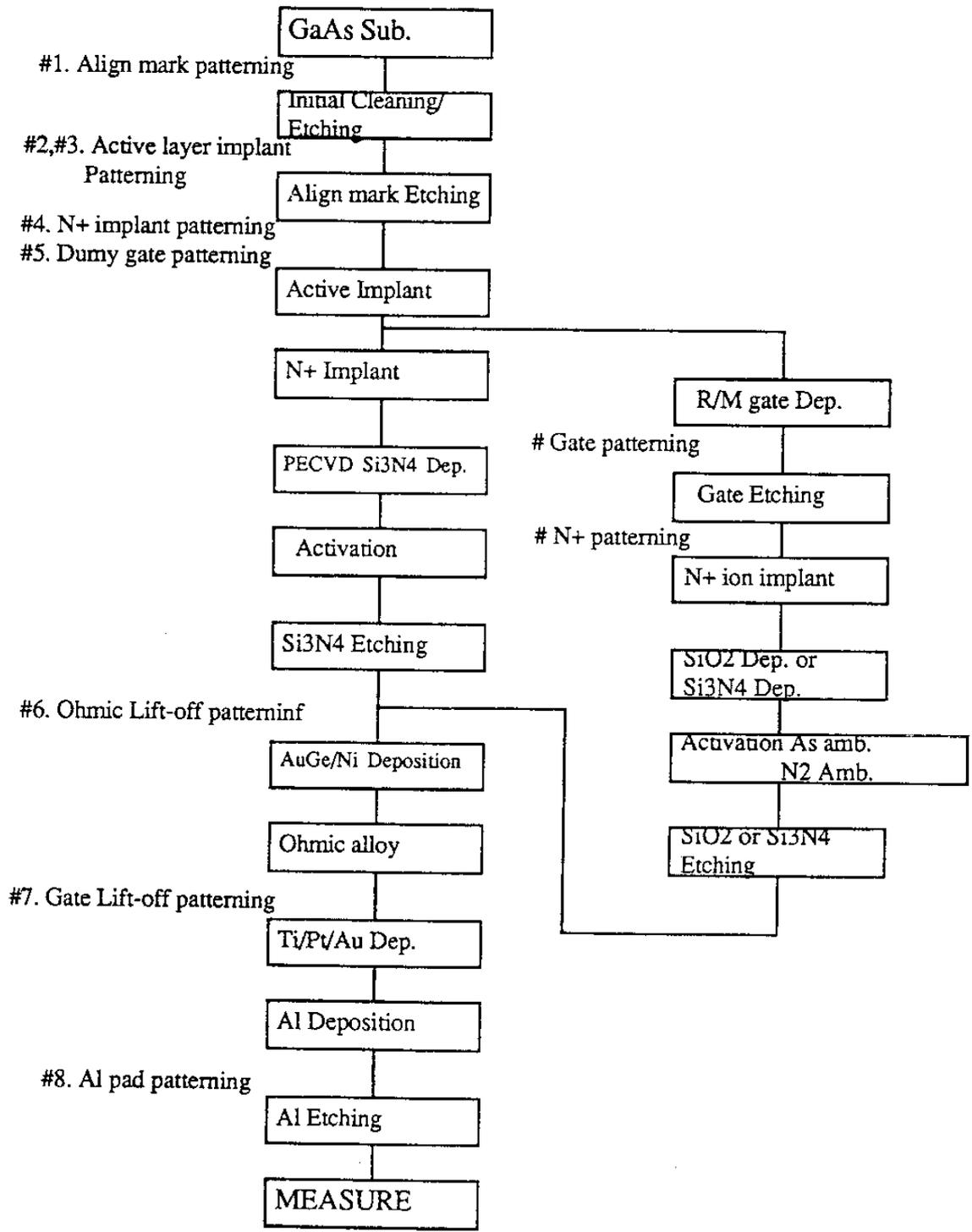


그림 4.1. MESFET 공정 흐름도  
(Fig. 4.1. MESFET fabrication process flow chart)

으로는 TiW와 텅스텐 및 텅스텐질화막을 이용하였다. 이들 일련의 공정흐름을 그림 4.1에 나타냈다.

먼저 내열성금속게이트의 공정은 아래와 같다. 초기세척을 끝낸 도핑되지 않은 GaAs 기판은 MESFET의 활성층을 형성하기 위하여 포토레지스트막을 마스크로 하여 실리콘이온을 주입하였다. 이온주입 조건은  $3 \times 10^{12}/\text{cm}^2$ , 또는  $7 \times 10^{12}/\text{cm}^2$ 의 dose와 120 KeV의 에너지이며, 이온주입 후 레지스트막은 아세톤과 플라즈마 asher로 제거하였다. 소스와 드레인의 저항성접촉을 형성하기 위한  $N^+$ 층의 형성전에 내열성 게이트들 자기정렬 게이트로 이용하도록 먼저 텅스텐 또는 텅스텐질화막을 이온선 보조 증착방법을 이용하여 1000 Å의 두께로 증착하여 게이트부분을 정의 하였다. 이때 전체 공정중의 리소그라피는 Shipley사의 포토레지스트를 점촉노광방식에 의해 3650 Å 파장의 자외선을 노광하여 수행하였다. 이온주입시 게이트 부분이 이온의 마스크로 충분하도록 2000 Å 두께의 APCVD에 의한  $\text{SiO}_2$  막을 보강하였다.  $\text{SiO}_2$ 막은 BOE(Buffered Oxide Etchant)로 식각하였으며 텅스텐 박막은  $\text{H}_2\text{O}_2$  용액에서 20Å/sec의 식각속도로 습식식각 하였다. 정의된 게이트들 마스크로  $N^+$ 층은  $5 \times 10^{13}/\text{cm}^2$ 의 dose와 120 KeV의 에너지로 실리콘을 이온주입 하였다. 이온주입후 레지스트막을 벗겨내고 GaAs 기판은 플라즈마 화학 증착방법에 의해 증착된 1000Å의 질화실리콘막을 보호막으로 800°C의 As 분위기에서 20분간 열처리하여 주입이온을 활성화 하였다. 열처리후 보호막으로 이용한 질화실리콘막은 BOE 또는 인산에 담가 식각하였으며, AuGe/Ni의 저항성접촉 형성을 위하여 MCB(monochloro-benzene)를 이용하여 오버행 구조의 레지스트를 형성하였다. AuGe/Ni/Au를 각각 1000Å/800Å/1500Å의 두께

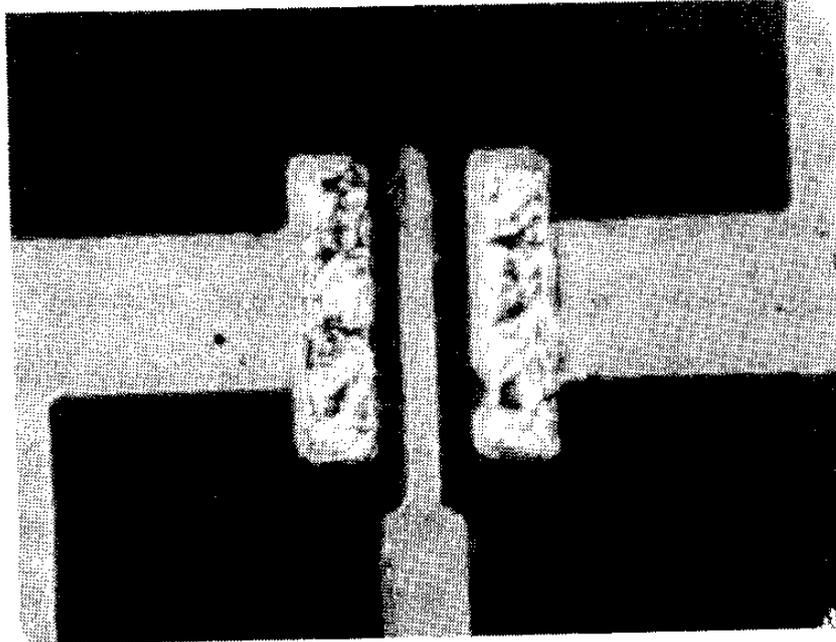


그림 4.2. 제작된 MESFET 의 현미경사진 (800X, 3  $\mu\text{m}$ (L)/20  $\mu\text{m}$ (W)  
Ti/Pt/Au gate MESFET)  
(Fig. 4.2. Optical micrograph of a fabricated MESFET)

로 진공증착기(vacuum evaporator)로 증착하여 아세톤에 담가 들떠낸 후 질소분위기의 토에서 460°C의 온도로 10 분간 열처리하여 저항성접촉으로 변화시켰다.

이와 유사한 공정을 이용하여 이온선보조 증착법에 의해 TiW 박막을 증착하여 자기정렬게이트로 이용한 MESFET 을 공정흐름도에 나타낸 바와 같이 제작하였다. TiW 는 앞장에서도 나타낸 바와 같이 텅스텐 박막의 접착력 향상을 개선시키기 위하여 먼저 Ti 을 증착하고 텅스텐 박막을 증착하여 형성하였다. 이때 불순물을 활성화시키기 위하여 As 분위기의 고온토에서 800°C 의 온도로 30 분간 열처리하였다.

TiPtAu 는 널리 이용되고 있는 게이트물질로서 안정된 쇼트키 특성을 보이고 있다. 본 공정에서는 활성층의 형성을 위한 이온주입 조

건으로  $4 \times 10^{12}/\text{cm}^2$  의 dose 와 30 KeV, 70 KeV 의 에너지로 실리콘이온을 주입하였다. TiPtAu 게이트는 자기정렬 게이트로 이용될 수 없기 때문에 게이트를 형성하기 전에  $N^+$  영역을 정의하고 이온을 주입하여야 한다. 따라서  $N^+$  영역을 정의하여  $3 \times 10^{13}/\text{cm}^2$ , 120 KeV 의 조건으로 고농도 영역을 형성시켰다. 주입된 실리콘이온은 플라즈마 화학 증착된 1000Å 의 질화실리콘막을 보호막으로 이용하여 질소 분위기의 로에서  $800^\circ\text{C}$ 의 온도로 30 분간 열처리 하여 활성화 시켰다. 열처리 후 질화막은 BOE 에 담가 식각하였다. AuGeNi 을 이용한 저항성 접촉의 형성은 이전의 공정과 마찬가지로 수행하였으며, TiPtAu 게이트는 전자선 진공증착기로 Ti, Pt, Au를 각각 200Å/600Å/1500Å의 두께로 증착하고 리프트오프 공정을 이용하여 정의하였다. 게이트와 저항성접촉 영역은 측정의 편이를 위해 Al을 증착하여 패드를 형성하였다. 그림 4.2는 제작된 MESFET 의 현미경사진을 보인 것이다.

## 제 2 절 MESFET 특성

제작된 MESFET 은 활성층의 활성화 정도와 쇼트키 접합의 형성, 저항성 접촉의 형성등에 많은 영향을 받는다.

내열성게이트로 이용한 텅스텐과 텅스텐질화막의 쇼트키 특성은 앞 절에서 나타낸 바와 같이 이온선보조증착에 의한 텅스텐의 접촉전위차는 0.71 eV, 이상지수  $n$ 은 1.13 정도로 비교적 양호한 값을 나타내고 있다. 그림 4.3에 본 공정에서 제작된 텅스텐게이트 MESFET 의 특성중 한가지를 나타내었다. MESFET은 여기에서 나타낸 바와 같이 문턱전압이  $\sim -0.2$  V, 전달콘덕턴스가 2.7 mS/mm 의 낮은 값을 보이고 있다. 이와

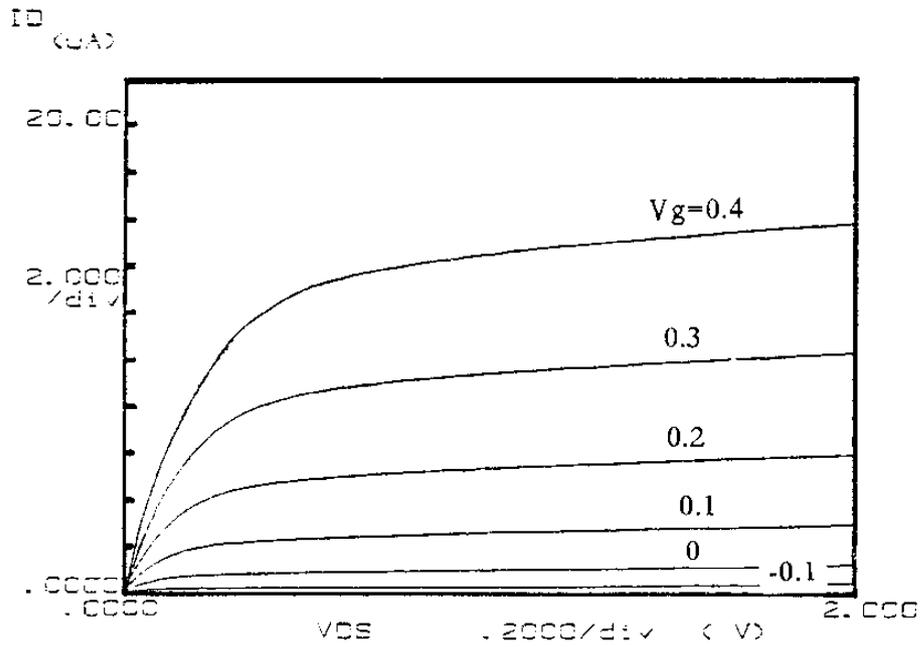


그림 4.3. 제작된 텅스텐 게이트 MESFET의 전류-전압 특성(  $5 \mu m(L)/ 20 \mu m(W)$  )  
 (Fig. 4.3. I-V characteristics of a W-gate MESFET)

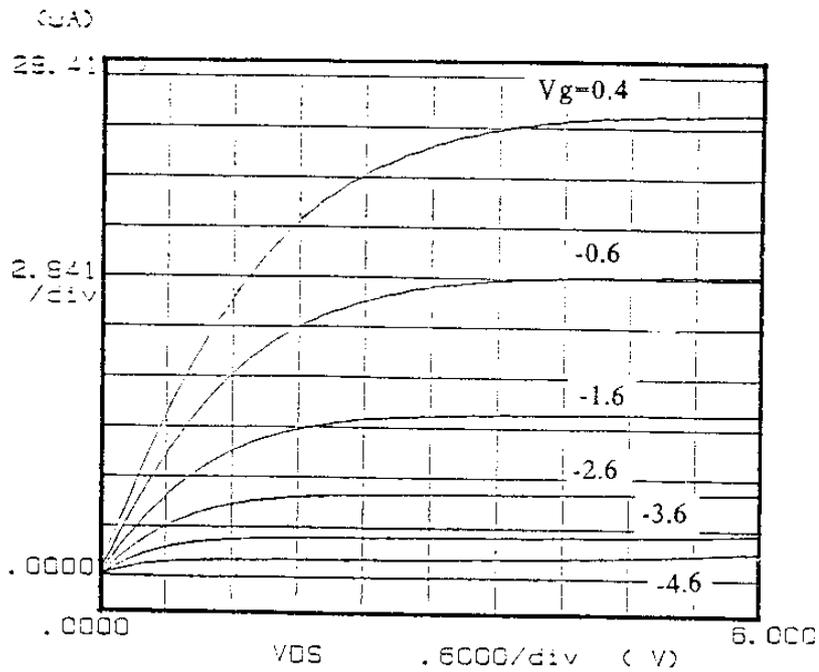
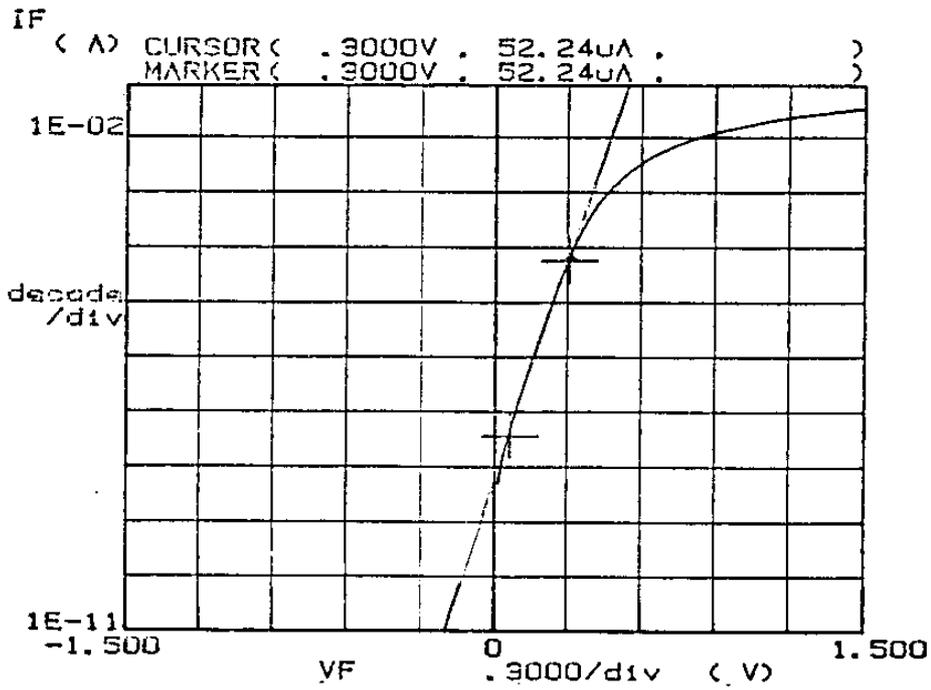
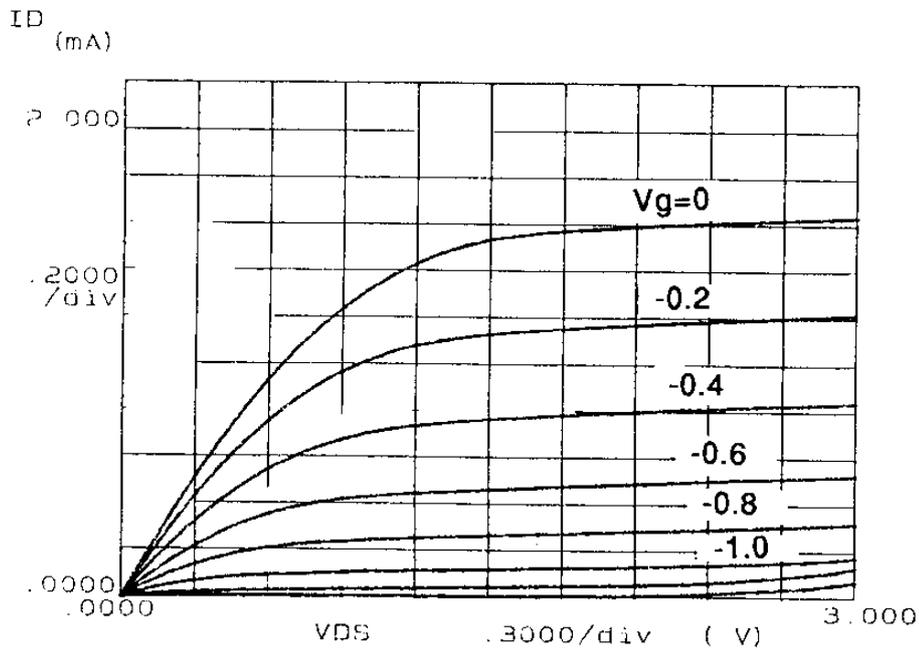


그림 4.4. 제작된 Ti/W 게이트 MESFET의 전류-전압 특성(  $20 \mu m(L)/ 20 \mu m(W)$  )  
 (Fig. 4.4. I-V characteristics of a Ti/W-gate MESFET)



(a) 쇼트키 다이오드의 특성



(b) MESFET의 전류-전압 특성 ( $L_g = 2 \mu\text{m}$ ,  $W_g = 40 \mu\text{m}$ )

그림 4.5. 제작된 Ti/Pt/Au 게이트 MESFET의 전류-전압 특성 ( $40 \mu\text{m}(L) / 3 \mu\text{m}(W)$ )

(Fig. 4.5. I-V characteristics of a Ti/Pt/Au-gate MESFET)

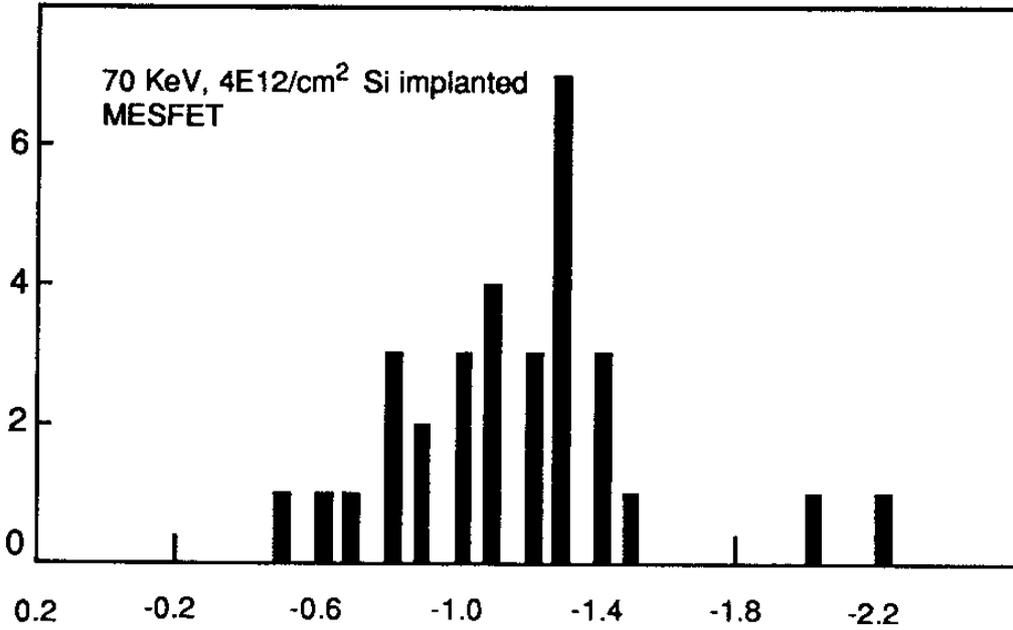
같은 특성의 저하는 이온선보조증착시 텅스텐 박막에 탄소등의 원하지 않는 불순물이 첨가되어 질적저하를 나타냈거나, 활성화정도의 부족에 기인한 것으로 사료된다.

그림 4.4에 Ti/W을 증착하여 제작한 쇼트키 다이오드와 MESFET의 특성을 나타내었다. Ti 및 텅스텐은 이온선보조증착 방법을 이용하여 각각 100Å, 1400Å의 두께로 증착하여 소자를 제작하였는데 제작된 Ti/W 쇼트키 다이오드의 전위장벽과 이상지수는 앞장에서 나타낸 바와 같이 각각 0.74 eV, 1.17로 비교적 양호한 결과를 나타내었다. Ti/W 게이트는 텅스텐 게이트의 경우와 마찬가지로 매우 열악한 특성을 나타내고 있는데 이때의 결과도 실리콘이온 활성화의 불완전과 게이트 길이의 극대화에 기인한 것으로 사료된다.

Ti/Pt/Au를 게이트로 할 경우 MESFET은 비교적 안정된 특성을 보이고 있다. 기관의 활성화와 저항성접촉이 끝난 후의 접촉저항은  $3 \times 10^{-5} \Omega\text{-cm}^2$  으로 비교적 높은 값을 나타내고 있다. 그림 4.5는 대표적인 Ti/Pt/Au의 쇼트키 다이오드 특성과 MESFET의 특성을 나타낸 것이다. 전위장벽과 이상지수는 각각 0.806 eV 와 1.26 정도의 일반적인 정류 특성을 나타내고 있다. MESFET은 주입이온의 활성화시 보호막으로 플라즈마화학 증착법에 의한 질화실리콘막을 이용하여 활성화시킨 경우 그 특성이 비교적 고르게 분포하고 있다. 그림 4.6 에 제작된 MESFET의 문턱전압 분포를 나타내었다. 그림에서 70 KeV 로 이온주입한 경우 문턱전압이 -1.2 V 에 근접해서 분포하고 있고, 30 KeV로 이온주입한 경우 -0.5 V 근처에서 분포하고 있기 때문에 본 연구에서 제작하고자 하는 DCFL의 증가형 또는 공핍형 트랜지스터는 다소간의 공정개선에 의해

제작 가능성을 알 수 있다. 그림 4.7은 저항성 접촉 부위와 게이트의

**FREQUENCY**



**FREQUENCY THRESHOLD VOLTAGE (V)**

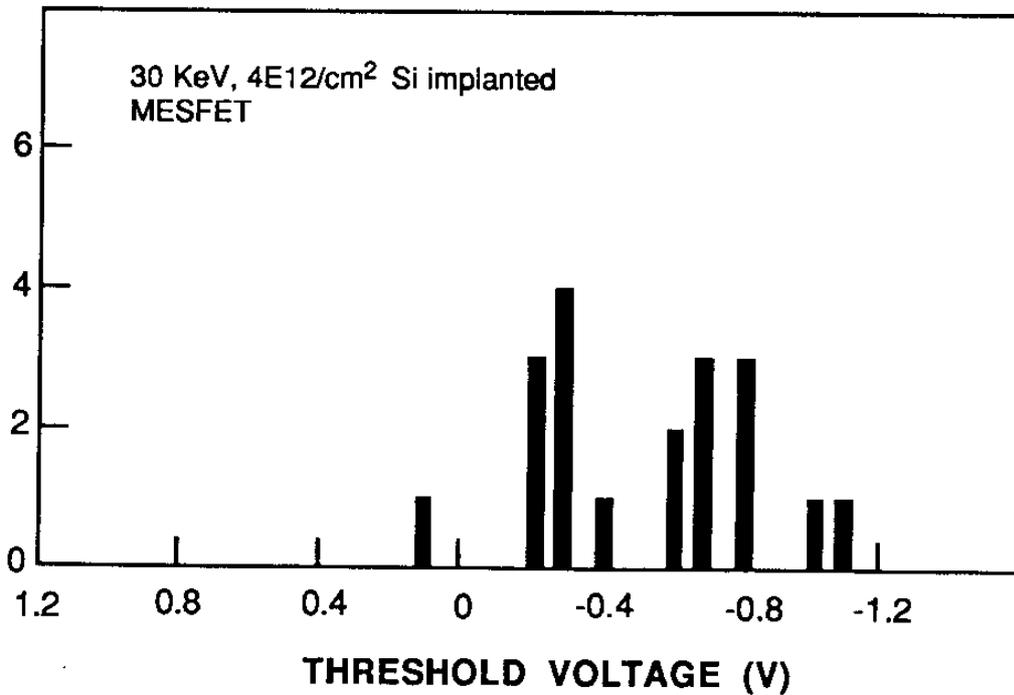


그림 4.6. 제작된 MESFET 의 문턱전압 분포  
(Fig. 4.6. Threshold voltage distribution for fabricated MESFETs)

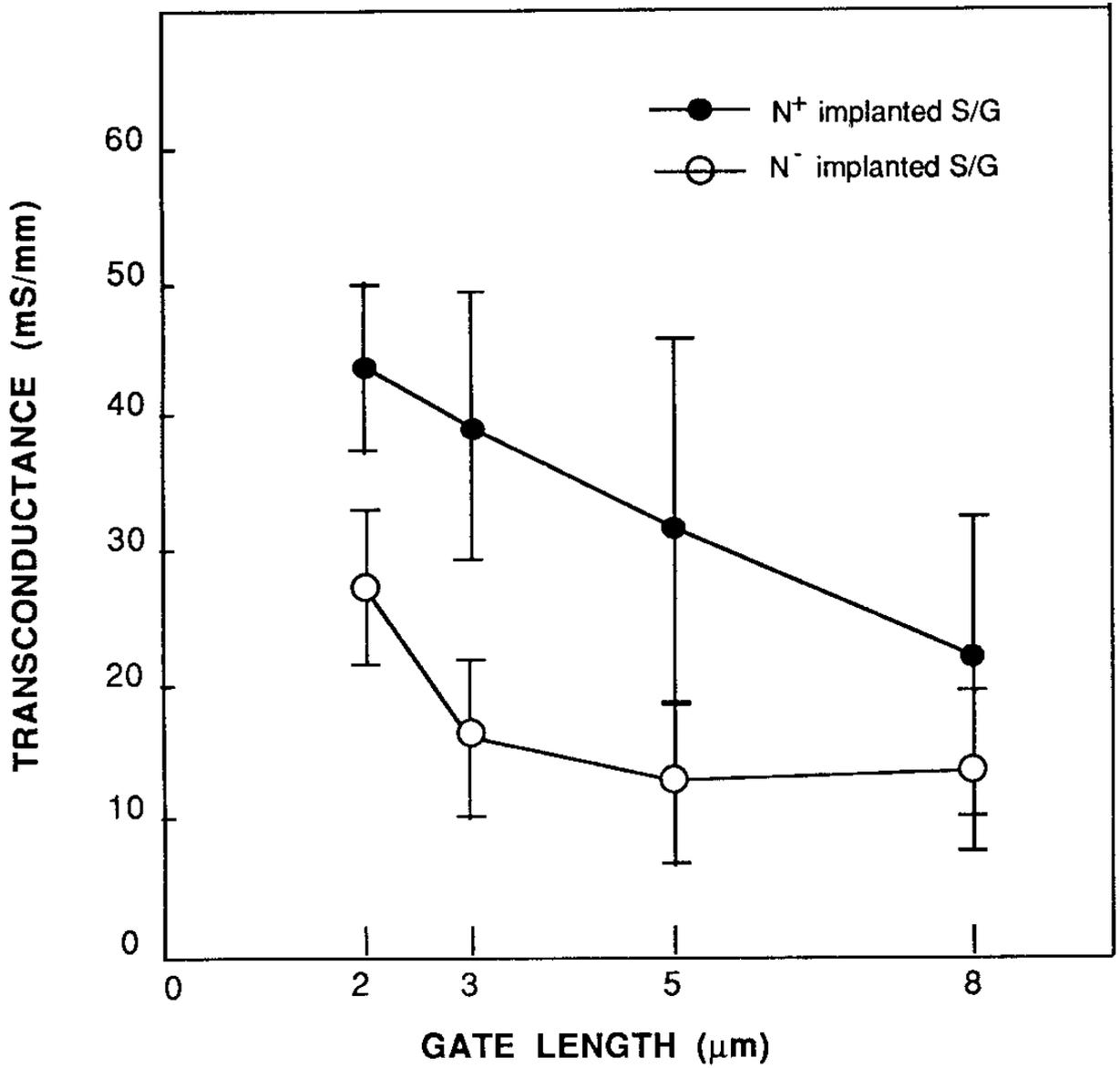


그림 4.7. 제작한 Ti/Pt/Au MESFET의 전달콘덕턴스  
 (Fig. 4.7. Transconductance of a Ti/Pt/Au-gate MESFET)

활성층 사이에 임시게이트를 형성하고 고농도로 이온주입하여  $N^+$  영역을 형성한 경우와 형성하지 않은 두가지 MESFET의 전달콘덕턴스를 나타내었다. 후자의 경우 전체적으로 10-20 mS/mm 정도의 값을 보이고 있는것과 비교하여 전자의 경우 30-50 mS/mm의 값을 나타내. 게이트와 소스 사이의 저항이 전달콘덕턴스 감소에 영향을 미쳐 자기정렬이 필요함을 보이고 있다. 또한 게이트 길이가 3  $\mu\text{m}$  에서 2  $\mu\text{m}$  로 감소함에 따라 전달콘덕턴스가 두드러지게 증가하기 시작해 1  $\mu\text{m}$  내외의 게이트 길이에서는 전달콘덕턴스가 상당히 증가할 것으로 보인다.

본 장에서 실험된 이들 여러가지 구조의 MESFET은 각각 활용가능한 공정이 제한되어 텅스텐과 Ti/W 게이트 MESFET의 경우 활성화에서 보호막으로 이용한 질화막과 As 분위기의 불안정성에 기인하여 특성저하를 나타내었다. 플라즈마증착 공정의 개선에 의한 보호막의 개선에 따라 제작한 Ti/Pt/Au 게이트 MESFET의 경우 보다 안정된 특성을 나타내었다. 이들 여러가지 공정개선에 의한 결과들을 요약하여 표 4.1에 나타내었다. 이 표에서 나타낸 공정의 질적인 개선은 MESFET의 특성향상을 보이고 있으며 그 결과는 텅스텐, 텅스텐실리사이드 또는 텅스텐실리질화막의 게이트를 갖는 자기정렬 구조의 MESFET 공정에 다시 적용되게 된다. 따라서 개선된 특성과 재현성있는 소자제작 공정이 가능하게 될 것이다.

표 4.1. 제작한 MESFET 의 특성 비교표  
 (Table 4.1. Comparison of fabricated MESFET characteristics)

Gate	Size (W/L= $\mu\text{m}/\mu\text{m}$ )	capping	$g_m$ (mS/mm)	$g_m'$ (mS/mm) ( $L_{\text{gate}} = 1 \mu\text{m}$ 기준)	$V_t$ (V)
W	5/1	APCVD $\text{SiO}_2$	10.3	10.3	- 4
W	20/5	"	2.7	13.5	- 0.1
Ti/W	20/20	"	0.454	9.1	- 5
Ti/Pt/Au	20/2	"	35	70	- 3.2
Ti/Pt/Au	40/2	"	28	56	- 3.2
Ti/Pt/Au	2-8/5-40	PECVD $\text{Si}_3\text{N}_4$	20-50	100	- 1.2
Ti/Pt/Au	2-8/5-40	"	20	100	- 0.6

## 제 5 장 결 론



## 제 5 장 결 론

본 연구는 GaAs 초고속집적회로 공정기술개발 과제의 2차년도로서 1차년도에서 수행된 기본공정기술연구의 결과를 토대로하여, 당해년도에는 장비상의 한계점과 공정상의 문제점을 해결하기 위하여 연구의 목적에 맞는 집적회로의 공정을 수행할 수 있도록 장비를 제작하고 개선·보완하였다.

이중 RIE와 co-sputter를 설계, 제작, 임시설치, 보완 하였으며, RTP는 현재 조립중에 있다. 그리고 PECVD와 vacuum furnace가 임시 설치 보완되었다. 그외에도 stepper와 ion implanter등 7개의 장비도 신규로 구매, 확보, 도입이 완료되었고, 중요장비에 대한 훈련도 완료하였다.

개별공정의 개선분야에서는 PECVD  $\text{Si}_3\text{N}_4$  보호막을 이용한 활성화 실험을 수행하여 75%의 효율을 달성하였고, RIE에 의한 산화막 식각실험을 수행하였으며, IBAD 법에 의한 최초의 WSiN과 Ti/W의 게이트 형성 실험을 수행한 결과 좋은 내열성과 전위장벽의 특성을 입증하였다. 그리고 금속배선의 분야에서 Al으로 1 $\mu\text{m}$ 의 굴곡에서 sputtering에 의한 저온2층 배선공정의 신뢰성 실험을 수행하였고, co-sputtering에 의한 W, WSi, Si, Al 등의 금속막의 형성 실험도 진행중에 있다. 소자제작에 있어서는 Ti/Pt/Au 게이트로 2 ~ 3 $\mu\text{m}$  gate에서 gm이 30 ~ 35 mS/mm 정도인 (gate길이들 1 $\mu\text{m}$ 로 했을 때 60 ~ 110 mS/mm 정도 예상) MESFET을 제작하였으며, W, Ti/W의 내열성게이트로 gm이 10 mS/mm 정도의 (gate 길이들 1 $\mu\text{m}$ 로 환산) MESFET을 제작하여 양호한 동작특성을 확인하였으나 이득의 개선 문제가 남아 있다.

한편 소자기술 연구의 분야에서는 MESFET 동작특성의 모델링 연구로서 Monte-Carlo 법에 의한 sub-micron 급 소자특성 계산과 drift-diffusion 전류식의 수치해석에 의한 2 차원적 소자특성 계산을 수행하였다.

연구환경에 있어서 앞으로의 집적회로공정 연구의 발판을 마련하기 위하여 1 차년도에 확보된 14 개 장비 이외에, 당해년도에 stepper 등 12 대의 장비를 신규로 확보하였으며, 향후에도 7대의 부대장비를 추가로 확보할 예정이다. 그리고 이와 보조를 같이 하여 공정장비를 모두 수용하여 장비를 효율적으로 배치하고 GaAs 분야에서 일관공정의 수행이 가능할 수 있도록 청정실을 신설하는데 총력을 경주하였다. 이 실험실은 80 명(MBE제외)의 규모로서 90년 말경에 완성될 것이며, 이 시설을 학계나 연구기관이 공동활용함으로써 국내의 GaAs 반도체 연구에 큰 공헌을 할 수 있을 것이다.

이러한 시설조성은 남은 3, 4 차년도에서 본격적으로 수행될 LSI 급의 집적회로 공정의 연구에 결정적인 도움이 될 것이다. 본 과제의 최종 목표소자인 4Kb SRAM의 개발은 국내 기술전수 및 상품화 등의 직접적인 활용 이외에도 기술적인 측면에서 볼 때, 현재 전체 반도체 집적회로의 대종을 이루는 고속디지털 소자의 분야에 널리 활용될 수 있는 보편적인 기술이며, 향후 새로이 민수용의 큰 시장으로 부각될 초고주파의 위성통신, 위성방송의 시스템에 소요되는 MMIC(Monolithic Microwave IC)에도 필수적으로 이용되는 기술이다. 따라서 본 연구개발 과제의 성공적인 완수는 아직 초창기에 불과한 국내 GaAs 반도체 산업을 조기 육성하는데 기폭제가 될 것이다.

## 참고문헌

1. "GaAs Technolgy and Its Impact on Circuits and Systems," ed. by D. Haigh and J. Everard (1989, Perter Peregrinus Ltd., London) p.186.
2. K. Asahi et al., Int. Symp. GaAs and Realated Compounds, 533 (1981).
3. M. Ino et al., IEEE GaAs IC Symp., 2 (1982).
4. N. Yokoyama et al., ISSCC, 144 (1984).
5. T. Mizoguchi et al., IEEE GaAs IC Symp., 117 (1984).
6. Y. Ishii et al., IEEE GaAs IC Symp., 121 (1984).
7. 1989 Product Data Book, GBL Co.
8. 1989 Product Data Book, Vitesse Semiconductor Corp.
9. C. Vogelsang et al., 1988 IEEE GaAs IC Symp., p. 75.
10. Private communication with Technical Manager in Airtron Inc.
11. S. P. Kowk, J. Vac. Sci. Technol. B 4, 1388 (1986).
12. S. Asai et al., Extended Abs. 18th Conf. Solid State Dev. and Matr. Tokyo, 1986, p.383.
13. N. Matsunaga et al., 1987 IEEE GaAs IC Symp., p.129.
14. G. A. Baraff and M. Schluter, Phys. Rev. Lett., Vol. 55, 1327 (1985)
15. Mark E. Greiner and James F. Gibbons, J. Appl. Phys., Vol 57, 5181 (1985).
16. L. J. Vieland, J. Phys. Chem. Solids, Vol. 21, 318 (1961).
17. M. B. Panish, J. Electrochem. Soc., Vol. 113, 1226 (1966).

18. K. H. Lee, D. A. Stevenson, and M. D. Deal, to be published in J. Appl. Phys.
19. M. D. Deal, S. E. Hansen, and T. W. Sigmon, IEEE Trans. CAD., Vol. 9 939 (1989).
20. J. Lindhard, M. Scharff, and H.E. Schiott, K. Dan Vidensk. Selsk., Vol.33, 1, 1963.
21. R. Anholt, P. Balasingam, S. Y. Chou, T. W. Sigmon, and M. D. Deal, J. Appl. Phys., Vol.64, 3492 (1988).
22. G. R. Srinivasan, IEEE IEDM, 687 (1989).
23. J. F. Gibbons, IEEE Electro. Dev., Vol. ED-60, 1062 (1972).
24. M. Rocchi, Physica, Vol.12, 119 (1985).
25. S. S. Gill and B. J. Sealy, J. Electrochem. Soc. Vol. 133, 2590 (1986).
26. T. Onuma, T. Hariano, and T. Sugawa, J. Electrochem. Soc., Vol. 129 837 (1982).
27. J. Gyulai, J.W. Mayer, and I.V. Mitchel, Appl. Phys. Lett., Vol. 17, 332 (1970).
28. R. Anholt and T. W. Sigmon, IEEE, Electro. Dev. Vol. ED-36, 250 (1989).
29. M. Oasa, T. Kanyama, H. Tanoue, and T. Tsurushima, The 16th Symp. On Ion Implantation and Submicron Fabrication AGAKU KENKYUSHO, 145(1985).
30. T. Egawa, Y. Sano, H. Nakamura, T. Ishida, and K. Kaminish, ibid.

153 (1985).

31. M. Kuzuhara and T. Nozaki, J. Appl. Phys., Vol. 59, 3131 (1986).
32. S. Shiram and M. B. Das, IEEE Electro. Dev., Vol. ED-30, 586 (1983).
33. G. A. Baraff and M. Schluter, Phys. Rev. Lett., Vol. 55, 1327(1985).
34. A. Bindal, K.L. Wang, S.J. Chang, and M.A. Kallel, J. Appl. Phys., Vol. 65, 1246(1989).
35. T. Hiramoto, Y. Mochizuki, and T. Ikona, Japan. J. Appl. Phys., Vol. 25, L830(1986).
36. T. Otsuki, J. Appl. Phys., Vol. 61, 928(1987).
37. L.A.Christel and J.F. Gibbons, J. Appl. Phys., Vol. 52, 5050(1981).
38. K.R.Elliot, D.E. Holmes, and C.G. Kirkpatrick, Appl. Phys. Lett., Vol. 40, 898(1982)20. C.W.Farley, T.S.Kim, B.G.Streetman, J.of Electronic Meterials, Vol. 16, 79(1987).
39. J.H.Zhao, Z. Fang, L. Shan, T.E. Schlesinger, and A.G. Miles, Appl. Phys., Vol. 66, 5440(1989).
41. D.W. Hess, J. Vac. Sci. Technol., A2, 244(1984).
42. O.A. Shams and W.D. Brown, Microelect. J., 20, 49(1989).
43. A.R. Reinberg, J. Elect. Mat., 8, 345(1979).
44. C. Blaauw, J. Electrochem. Soc., 131, 1114(1984).
45. H. Dun, P. Pan, F.R. White, and R.W. Douse, J. Electrochem. Soc., 128, 1555(1981).
46. R. Chow, W.A. Lanford, K.M. Wang, and R.S. Rosler, J. Appl. Phys., 53, 5630(1982).

47. A.K. Sinha and E. Lugujo, *Appl. Phys. Lett.*, 32, 245(1978).
48. M. Maeda and Y. Arita, *J. Appl. Phys.*, 53, 6852(1982).
49. W.R. Knolle, J.W. Osenbach, and A. Elia, "Proc. of the symposium on silicon nitride and silicon dioxide thin insulation films", V.J. Kapoor and K.T. Hankins eds., p.237, The Electrochemical Society Inc., Pennington, 1987.
50. B. Odekirk and J. Sheets, "Proc. of the symposium on compound semi-conductors", V.J. Kapoor, D.J. Connolly, and Y.H. Wong eds., p.274, The Electrochemical Society Inc., Pennington, 1987.
51. A.K. Sinha, H.J. Levinstein, T.E. Smith, G. Quintana, and S.E. Haszko *J. Electrochem. Soc.*, 125, 601(1978).
52. M.A. Khaliq, O.A. Shams, W.D. Brown, and H.A. Naseem, *J. Elect. Mat.*, 17, 355(1988).
53. W.A.P. Claassen, W.G.J.N. Valkenburg, M.F.C. Willemsen, and W.M.v.d. Wijgert, *J. Electrochem. Soc.*, 132, 893(1985).
54. R. Gereth and W. Scherber, *J. Electrochem. Soc.*, 119, 1248(1972).
55. R.S. Rosler, W.C. Benzing, and J. Baldo, *Solid State Technol.*, 18(6), 45(1976).
56. P.M. Campbell, O.Aina, and B.J. Baliga, *Appl. Phys. Lett.*, 45, 95 (1984).
57. K.S. Seo, S. Dhar, and P.K. Bhattacharya, *Appl. Phys. Lett.*, 47, 500 (1985).

58. A. Kiermasz, A. McQuarrie, and J. Bhardwaj, *Semicond. Int.*, Nov.1987  
 , p.107.
59. S.P.Kwok, *J. Vac. Sci. Technol.*, Vol. B4, 1388 (1986).
60. H. Yamagishi, *Jpn. J. Appl. Phys.*, Vol.23, L895 (1984).
61. N. Uchitomi ,M.Nagaoka, K.Shimada, T.Mizoguchi, and N.Toyoda, *J. Vac  
 Sci. Technol.*, Vol. B4, 1392 (1986).
62. N. Ucitomi ,MNagaoka, and N.Yoyoda , *J. Appl. Phys.*, Vol. 65, 1743  
 (1989).
63. A.E.Geissberg, R. A.Saddler, F.A.Leynaar and M.L.Balzan, *J.Vac. Sci.  
 Technol.*, Vol. A4, 3091 (1986).
64. K.M.Yu, J.M.Jaklevic, E.E.Haller, S.K.Cheung and S.P.Kwok, *J.Appl.  
 Phys.*, Vol. 64, 1284 (1988).
65. J.Y.Josefowicz, D.B.Rensch and R.E.Lundgren, 1986 IEEE GaAs IC Symp.  
 Digest of Technical Papers, p.43, 1986.
66. T.N. Jackson and J.F. DeGelormo, *J. Vac. Sci. Technol.*, Vol. B3, 1676  
 (1985).
67. S.Takatani, N. Matsuoka, J. Shigeta, and N. Hashimoto, *J. Appl. Phys.*, Vol.  
 61, 220 (1987).
68. K. Onodera, M. Tokumitsu, S. Sugita, Y. Yamane, and K. Asai, *IEEE Electron De  
 vice Letters*, Vol.9, 417 (1988).
69. 과학기술처 특정과제 1988 최종 연구보고서 "GaAs 초고속 집적회로  
 공정기술 개발에 관한 연구". 한국전자통신연구소 수행, 8SM33003922  
 20-F

70. J.S.Lee, C.S.Park, J.W.Yang, J.Y.Kang, and D.S.Ma, J.Appl. Phys. 67, 1134 (1990).
71. J.S.Lee, C.S.Park, J.Y.Kang, D.S.Ma, and J.Y.Lee, J. Vac. Sci. Tech. to be published (1990 Aug/Sept issue).
72. C.S.Park, J.S.Lee, J.W.Yang, K.H.Shim, J.H.Lee, Y.K.Choe, J.Y.Kang, D.S.Ma, and J.Y.Lee, Proc. 1989 Int.Conf.VLSI CAD, 408 (1989)
73. H.Sugahara and S.Ohfuji, 信學技報, ED-85-61,1(1985)

## 제 2 편 위탁연구 개발과제

- I. GaAs MESFET 특성 분석용 프로그램 제작에 관한 연구
- II. GaAs MESFET 2차원 수치해석 package의 개발에 관한 연구



# I. GaAs MESFET 특성 분석용 프로그램 제작에 관한 연구



## 차례

제 1 장 서론	129
제 2 장 MESFET 소자 동작 특성 및 입자 시뮬레이션	131
제 2-1 절 MESFET 의 특성	132
제 2-2 절 입자 시뮬레이션	136
제 3 장 전자의 시뮬레이션 결과 및 고찰	152
제 3-1 절 파동 벡터의 분포	152
제 3-2 절 계곡점유율의 변화	154
제 3-3 절 시간에 따른 전자 속도의 변화	157
제 3-4 절 전계에 따른 전자 속도의 변화	160
제 4 장 MESFET 시뮬레이션의 결과 및 고찰	162
제 4-1 절 시뮬레이션 되는 소자의구조	162
제 4-2 절 게이트 길이에 따른 파동벡터의 분포	165
제 4-3 절 포화 포텐셜 에너지분포와 전계분포	167
제 4-4 절 입자 속도	175
제 4-5 절 시간에 따른 드레인 전류	178
제 4-6 절 게이트 길이에 따른 전류와 변위 전류	182

제 4-7 절 전류 - 전압 특성 곡선	188
제 5 장 결 론	195
참고 문헌	197

## 그림 차례

그림 (2-1)	GaAs 에서의 세개의 전도대 계곡	137
그림 (2-2)	$\Gamma$ 계곡에서의 산란을	140
그림 (2-3)	L 계곡에서의 산란을	141
그림 (2-4)	X 계곡에서의 산란을	142
그림 (2-5)	소자 시뮬레이션을 위한 MC 방법의 흐름도	143
그림 (2-6)	산란각도의 관계	149
그림 (2-7)	Cloud-In-Cell 방법에 의한 입자배열	151
그림 (3-1)	파동벡터 K의 분포	153
그림 (3-2)	$10^{23}/\text{m}^3$ 도핑시 $3\text{MV}/\text{m}$ 에서의 계곡점유율	155
그림 (3-3)	순수 GaAs $1.5\text{MV}/\text{m}$ 에서의 계곡점유율	156
그림 (3-4)	순수 GaAs 에서의 전자속도 변화	158
그림 (3-5)	$10^{23}/\text{m}$ 로 도핑시 GaAs 에서의 전자속도 변화	159
그림 (3-6)	전계에 대한 전자속도의 변화	161
그림 (4-1)	시뮬레이션되는 소자의 구조 (3-Dimension)	163
그림 (4-2)	시뮬레이션되는 소자의 구조 (2-Dimension)	164
그림 (4-3)	파동벡터의 분포	166
그림 (4-4)	게이트 길이의 변화에 따른 포화포텐셜에너지 분포	168
그림 (4-5)	전자분포 ( $V_{GS}=0.0\text{V}$ , $V_{DS}=2.0\text{V}$ )	170
그림 (4-6)	소오스로 부터의 거리에 따른 채널에서의 전계분포	172
그림 (4-7)	게이트길이에 따른 게이트의 드레인쪽의 전계분포	174
그림 (4-8)	게이트길이의 변화에 따른 입자속도	176
그림 (4-9)	소오스로 부터의 거리의 따른 속도	177
그림 (4-10)	시간에 따른 드레인으로 바진 입자수	179

그림 (4-11) 시간에 따른 전자이동 그림	180
그림 (4-12) 게이트 길이의 변화에 따른 전류밀도	183
그림 (4-13) 게이트 길이의 변화에 따른 MESFET 소자의 입자분포	184
그림 (4-14) 시간에 따른 변위전류의 크기	186
그림 (4-15) 도핑농도에 따른 드레인 전류	187
그림 (4-16) 전류-전압 특성 곡선	189
그림 (4-17) 게이트의 드레인 쪽에서의 포텐셜에너지	190
그림 (4-18) 게이트바이어스와 길이에 따른 포화 전류	192
그림 (4-19) $V_G = -1.0V$ 일때의 포텐셜에너지 분포	193
그림 (4-20) 게이트 전압에 따른 게이트 캐패시턴스	194

## 제 1 장 서 론

III-V 족 화합물 반도체인 GaAs는 속도와 소비 전력면에 있어서의 우수한 성질 때문에 최근 많이 연구되고 있는 추세이다. GaAs의 장점은 현재 쓰이고 있는 Si에 비해서 약 5 배의 속도를 가지고 있고, 실리콘 보다 방사선의 영향을 덜 받을 뿐 아니라 작은 소비전력을 갖고 있다는 것이다.

그러나, 재료의 높은 가격과 공정상의 여러가지 문제점 때문에 특수한 경우를 제외하고는 거의 쓰이지 않는 실정이라서 현재 전체 반도체의 약 0.5% 정도의 점유율에 지나지 않는다.

그럼에도 불구하고, GaAs는 높은 양자효과와 반도체 레이저로의 활용가능성으로 인하여 많이 연구되어 왔고, 최근의 공정기술의 급속한 발전은 GaAs를 미래의 반도체 소자재대로 사용하게 될 것이 예상된다[1].

이중 GaAs 반도체의 응용소자로서 널리 이용되는 능동소자인 MESFET은 1970년에 소개된 이래, 고속이며 저소비 전력 등 그 우수한 특성으로 실리콘 응용 소자가 당하기 어려운 초고주파 이상의 시스템에서 중요한 역할을 해왔다.

GaAs의 집적회로 디자인 또한 이 추세에 맞추어 많이 연구되고 있다. 따라서 디자인을 쉽게 해주고 수율을 극대화 하여 비용 절감과 시스템의 신뢰도를 높이기 위해서는 CAD 환경이 필수적이게 되었다. 이에 공정 시뮬레이션과 소자 시뮬레이션 설계용 도구들이 개발되고 있는데 특히 소자시뮬레이션은 회로시뮬레이션을 위한 소자 파라미터의 추출을위해기본 물리적 모델을 이용하여 활발히 연구되고 있다[2].

소자 시뮬레이션은 회로 모델과 물리적 모델로 나눌 수 있는데 물리적 모델은 전체회로에 근본적인 영향을 미치므로 매우 중요하며, 맥스웰 방정식, 슈뢰딩거

방정식은 파동 방정식으로서 소자 크기가  $1000\text{\AA}$  이하로 작아질때 유용하나 막대한 계산시간 (70 / lps, cray x-mp) 등으로 인해 아직 실용화 되지 못하는 단계이다 [4][5]. 맥스웰 방정식은 포아손 방정식을 풀어서 해결하며 볼츠만 방정식은 슈뢰딩거 방정식과는 달리 파동성이 아닌 입자성을 고려한 방정식이다. 이 볼츠만 방정식을 풀기 위해서 DD (Drift - Diffusion) 모델 [2][3], 몬테 카를로 모델, 수력학적 (Hydro dynamic) 모델 등이 제시되어 왔는데, DD 모델은 비정상상태의 속도 오버슈트 등을 고려하지 못하는 단점이 있어, 소자가 작아짐에 따라 Hot - carrier 효과가 크게 나타나는 GaAs 디바이스 등에는 어긋나는 모델이 된다 [8]. 수력학적 모델은 비정상상태의 소자를 에너지 보존법칙, 모멘텀 보존 법칙, 입자 보존 법칙 등을 사용하여 해석하는 방법으로서 DD 모델과는 달리, 확산 계수와 이동도를 에너지의 함수로 본다. 이 모델은 비정상상태의 소자 해석에 매우 적합하며, CPU time 이 적게 걸린다는 장점으로 CAD tool 구현에 유용하나, 이 해석에 필요한 파라미터를 추출하기 위해서는 몬테 카를로 방법을 먼저 사용하여야 한다.

따라서 몬테 카를로 방법을 사용하여 직접 device 를 해석하는 편이 유리하며, 본 연구에서는 이러한 필요성에 의하여 몬테 카를로 방법을 사용한 서브마이크로 게이트 MESFET 의 모델을 제시 하였다. 몬테 카를로 방법은 Kurosawa에 의해 1966년에 처음 반도체 재료와 소자 특성 연구를 위한 이용가능성이 처음 보고되고 1968년에 Rees에 의해 자기산란 개념이 도입되어 MC 시뮬레이션 연구에 활력이 불어 넣어 졌으며, 그 후 각종 산란 계산 방법이 꾸준히 연구 되어 시뮬레이션의 정확함에 기여 하였다. 이 몬테 카를로 방법은 볼츠만 전송방정식의 해를 제공하는 통계적 모델을 구하는 것으로서 현재 비정상상태가 지배적인 집적 회로에서 소자 시뮬레이션에 그 활용의 범위를 넓혀가고 있다 [9].

제 2 장에서는 시뮬레이션되는 MESFET의 배경으로서 MESFET 소자 동작 특성 및 입자시뮬레이션 에 대해서 정리하고 제 3 장에서는 소자 시뮬레이션을 위한 전 단계로서 벌크에서의 전자 속도 시뮬레이션 결과 및 고찰을 하였다.

제 4 장에서는 MESFET 소자의 시뮬레이션을 하였으며, 구조와 도핑 농도에 따른 여러가지 특성등을 조사하였다. 5 장에서는 앞에서 결과와 고찰에 대한 결론을 맺었다.

## 제 2장 MESFET 소자 동작 특성 및 입자 시뮬레이션

GaAs 물 이용한 소자는 타 소자에 비해 볼때 빠른 속도등의 잇점이 있으나 비싼 제조단가와 오랜 제조기간으로 인해 그 제조기술이 크게 발전하지 못하였다.

따라서 효율적인 소자의 제조와 그 소자의 회로에의 정확한 적용을 위해서, 컴퓨터 시뮬레이션이 필수적이게 되었다. 컴퓨터 시뮬레이션은 공정 시뮬레이션과 소자 시뮬레이션으로 나누어 지는데, 공정 시뮬레이션은 복잡성등으로 인해 아직 개발되지 못하는 단계이다. 소자 시뮬레이션은 HEMT (High Electron Mobility Transistor), MESFET 등을 중심으로 활발히 연구되어 왔으며, 최근에는 HBT(Hetero-junction Bipolar Transistor), 와 양자 효과 트랜지스터의 시뮬레이션도 활발히 연구되는 추세이다[2].

제 2 장에서는 앞으로 중요하게 쓰이리라 예상되는 MESFET의 물리적 배경과 분석적 모델을 제시하였으며 또한, Monte-Carlo Device Modeling의 기초가 되는 Monte-Carlo 입자 시뮬레이션도 제시하였다.

## 제 2-1 절 GaAs MESFET 의 특성

이 절에서는 입자 시뮬레이션을 위한 GaAs MESFET 의 해석적인 모델을 제시하였다 [10].

GaAs MESFET(Metal Semiconductor Field Effect Transistor)는 oxide 층이 있는 MOSFET 와는 동작원리가 다르며, 고농도 불순물층인 active 영역과, 소오스(source)와 드레인(drain)쪽의 ohmic 접촉 그리고 게이트(gate) 쪽의 쇼트키 접촉으로 이루어져 있다.

또한 MESFET는 다수 캐리어 소자로서 게이트 전압에 의한 공핍 영역의 두께로 소오스-드레인 전류를 조절한다. 해석적 모델로는 shockley 가 제시한 'gradual channel' 근사법을 사용하여 금속-반도체 접합에서 1차원 방정식을 풀어서 게이트 밑의 공핍영역의 두께를 구한다.

이 근사법은 채널방향의 전계의 미분치가 채널에 수직인 방향의 전계의 미분치보다 매우 작을 때 정확하다.

GaAs MESFET 의 구조적인 모델은 그림 2-1에 나타나있다. 이 모델에서 채널의 각 점에서의 공핍영역의 두께는 1차원 포아슨 방정식을 풀어서 구한다.

1 차원 포아슨 방정식은[5]

$$\frac{dE_y}{dy} = \frac{d^2V}{dy^2} = \frac{\rho(x)}{\epsilon_0\epsilon_r} = \frac{qN_D}{\epsilon_0\epsilon_r} \quad \text{식(2-1)}$$

공핍 영역의 두께  $A_d(x)$  는

$$A_d(x) = \left[ \frac{2\epsilon_0\epsilon_r(v(x) + v_{bi} - v_G)}{qN_D} \right]^{1/2} \quad \text{식(2-2)}$$

이다.

여기서  $\epsilon_r$  은 반도체의 유전율 이고  $v(x)$ 는 채널 전위차,  $v_G$ 는 게이트 전압,  $v_{bi}$  는 built-in 전압이다. Constant 이동도 모델을 사용하면 채널 전위차의 변화는 다음과 같다.

$$dV = I_{ds} \cdot dR = \frac{I_{ds} dx}{q \mu_n N_d W (A - A_d(x))} \quad \text{식(2-3)}$$

여기서  $I_{ds}$  는 채널 전류이고,  $dR$  은 채널 저항 증분이다.

식(2-1)을 식(2-3)에 대입하고 채널길이  $x=0$  에서  $x=L$  까지 적분하면 MESFET의 소오스-드레인 전류식을 구할 수 있다[10].

$$I_{ds} = g_0 \left\{ V_D - \frac{2[(V_D + v_{bi} - v_G)^{3/2} - (v_{bi} - v_G)^{3/2}]}{3V_{po}^{1/2}} \right\} \quad \text{식(2-4)}$$

여기서  $g_0$  는 채널 콘덕턴스로서  $g_0 = q \cdot \mu_n \cdot N_d \cdot W \cdot A / L$  이고  $L$ 은 게이트 길이,  $V_{po} = q N_d A^2 / 2\epsilon$  는 핀치 오프 전압이다.

포화 상태의 전류는

$$(I_{ds})_{sat} = \beta(V_g - V_T)^2 \quad \text{식(2-5)}$$

여기서 transconductance 파라미터는

$$\beta = \frac{2\epsilon \cdot \mu \cdot V_s \cdot W}{A(\mu \cdot V_{p0} + 3V_s \cdot L)} \quad \text{식(2-6)}$$

이고  $V_T = V_{bi} - V_{p0}$  이다.

Intrinsic 소자 transconductance 는

$g_{m0} = d(I_{ds})_{sat}/dV_g = 2\beta(V_g - V_T)$  이므로 최대 콘덕턴스는

$$g_m = g_{m0} \frac{1}{1 + 3V_s \cdot L / \mu \cdot V_{p0}} \quad \text{식(2-7)}$$

이 되며, 게이트의 길이에 비례한다.

높은 핀치 오프 전압을 갖는 소자의 경우에는 소오스-드레인 포화전류가 다음과 같다.

$$(I_{ds})_{sat} = \frac{\beta(V_g - V_T)^2}{1 + b(V_g - V_T)} \quad \text{식(2-8)}$$

소오스와 드레인 사이의 저항  $R_s$ ,  $R_d$  또한 중요한 파라미터이다[11][12]. 이  $R_s$ ,  $R_d$  는 포화 전류식에  $V_g = V_{gs} - (I_{ds})_{sat} R_s$  를 대입해서 다음과 같은 식에서 구할 수 있다.

$$(I_{ds})_{sat} = \frac{1 + 2\beta R_s (V_{GS} - V_T) - [2\beta R_s (V_{GS} - V_T)]^{1/2}}{2\beta R_s^2} \quad \text{식(2-9)}$$

쇼트키 게이트 전압에 양의 순방향이 걸렸을 때는 게이트 전류 또한 중요한 파라미터가 된다[10]. 그러나 아직 게이트 전류에 대한 해석적 모델은 개발되어 있지 않다.

캐패시턴스 모델은 1982년에 Takada 등에 의해 제안되었다[13]. 그 모델에 의하면 게이트 전압이 문턱 전압보다 클때 소자 캐패시턴스는 쇼트키 게이트 캐패시턴스, ringing sidewall 캐패시턴스와 같게되고 문턱전압보다 작을 때는 내부 캐패시턴스가 fringing sidewall 캐패시턴스와 같게된다. 1985년에는 chen 과 shur 가 게이트와 드레인 전압에 의존하는 캐패시턴스 모델을 제시하였다[14].

## 제 2-2 절 입자 시뮬레이션

GaAs 의 에너지 밴드는 전자가 1.5 eV 이상의 에너지를 갖지 않는다고 가정하면 최대 세개의 계곡을 갖는 에너지 밴드로 단순화 할 수 있다. 따라서 그림 2-1 과 같이  $\Gamma$ ( $\langle 000 \rangle$ 방향), L( $\langle 111 \rangle$ 방향), 그리고 X( $\langle 100 \rangle$ 방향) 의 세개의 전도대 계곡을 설정할 수 있으며, 각 계곡의 E-k 관계식은[15]

$$E(1+\alpha_i E) = \frac{\hbar^2 k^2}{2m_i} \quad (2-10)$$

$$\alpha_i = 1/E_g (1 - m_i / m_0)^2 \quad (2-11)$$

와 같이 표현된다.

입자 시뮬레이션은 난수를 이용하는 확률론적 과정 (stochastic Process) 으로서 전자의 흐름을 대표입자(Super Particle)의 흐름으로 전체 소자내의 입자운동을 해석하는 방법이다. 이 방법은 전자의 흐름을 시간마다 관찰할 수 있으며 그에 따른 물리적, 전기적 특성을 해석하여 정확히 소자의 특성을 고찰할 수 있다는 장점이 있다.

입자 시뮬레이션을 하기 위해서는 먼저 산란을 고려해 주어야한다. 전자가 GaAs 반도체의 전도대 이동시에 발생할 수 있는 산란 기구로서는 격자의 진동수에 따라 광학적 포논(Optical Phonon) 산란, 음향적 포논 (Acoustic Phonon) 산란이, 계곡 천이에 따라 동일 계곡간 (Equivalent intervalley) 산란, 타 계곡간 (Non-Equivalent intervalley) 산란이 있으며 불순물을 넣어 도핑하였을때 불순물

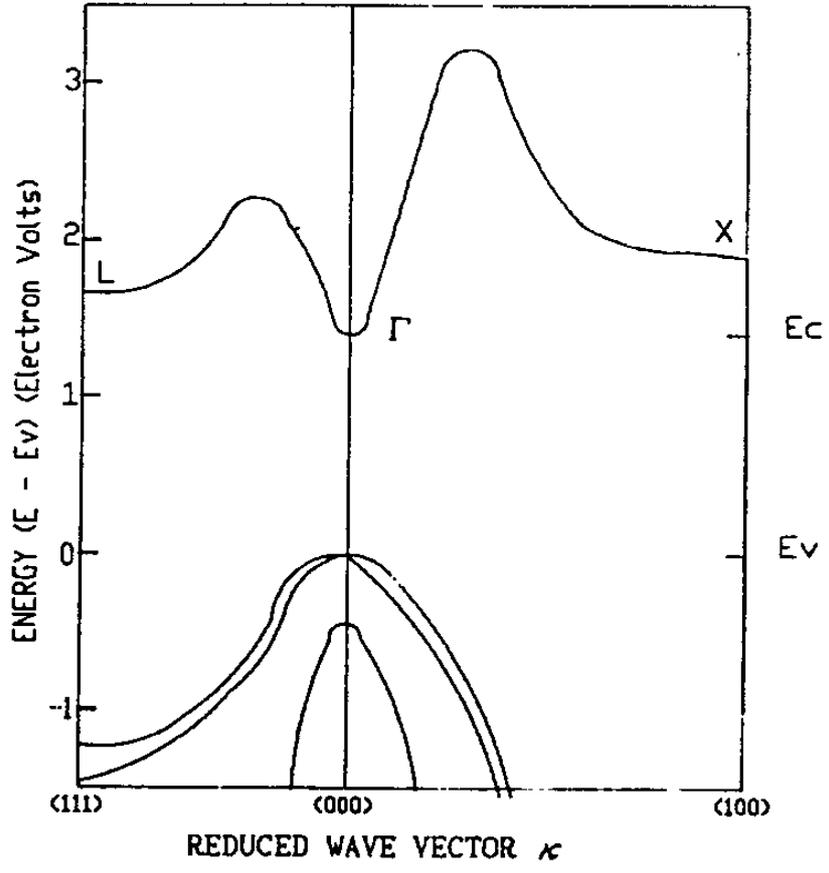


그림 (2-1) GaAs 에서의 세계의 전도대 계곡

산란을 고려하여야 한다. 또한 각 계곡에서의 산란이므로 총 28개의 산란율이 계산되며 계산한 결과를 그림 2-2, 2-3, 2-4 에 나타내었다[15][16][17].

이러한 입자 시뮬레이션을 위한 전체 흐름도는 그림(2-5)에 나타나있다.

이 내용을 과정별로 살펴보면 다음과 같다.

### 2-2-1 자유 비행 시간 결정

소자내 입자는 자유비행 중에 임의의 산란에 의하여 순간적으로 멈추게 된다. 이 때까지 비행한 시간을 자유비행 시간이라고 한다. 이는 임의의 시간  $t$  에서 산란이 발생할 확률 밀도를  $p(t)$ 라 하면 난수틀 이용하여 결정될 수 있다. 즉,

$$r = \int_0^{t_f} p(t)dt / \int p(t)dt \quad \text{식(2-12)}$$

이다. 그러나 식(2-12)에서 자유비행 시간  $t_f$ 를 결정하는 것은 매우 어려울 뿐만 아니라 상당한 시간이 소요되나 자기산란 (Self-Scattering) 개념을 이용하여  $t_f$ 를 간단히 구할 수 있다.

즉 에너지가  $E_k$  일때 총 산란율을  $\Gamma(k)$  라하면 캐리어가 자유비행중 산란이 일어날 때까지의 시간  $t+\Delta t$ 에 산란이 일어날 확률은

$$p(t)dt = \Gamma(k(t)) \exp\left(-\int_0^t \Gamma(k(t')) dt'\right) dt \quad \text{식(2-13)}$$

이때

$$\Gamma(k(t)) = \sum_i S_i(k(t)) \quad \text{식(2-14)}$$

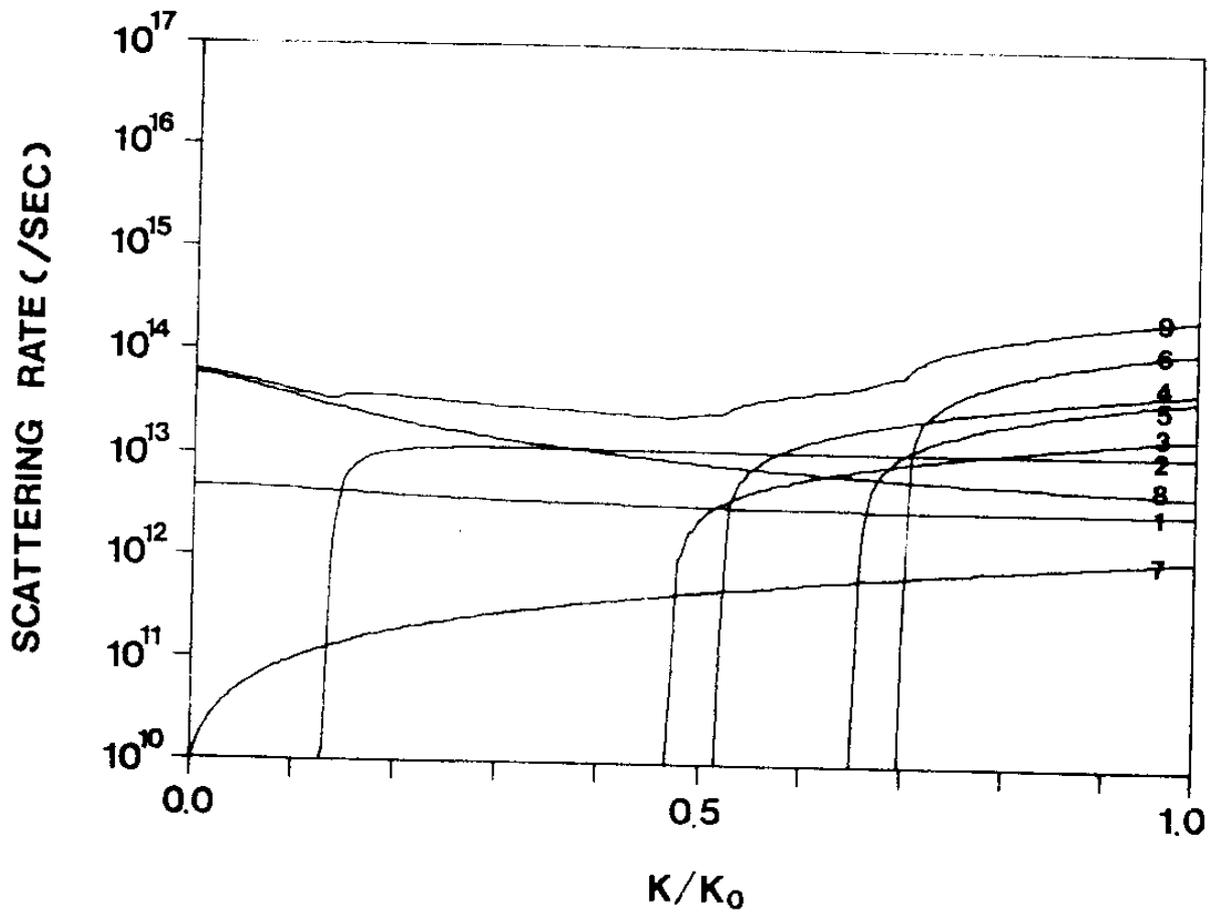
이다.

$$\Gamma(k(t)) = \sum S_i(k(t)) + S_0(k(t)) = \text{const} \quad \text{식(2-15)}$$

로하면 실제 자유 비행 시간  $t_f$ 는[19]

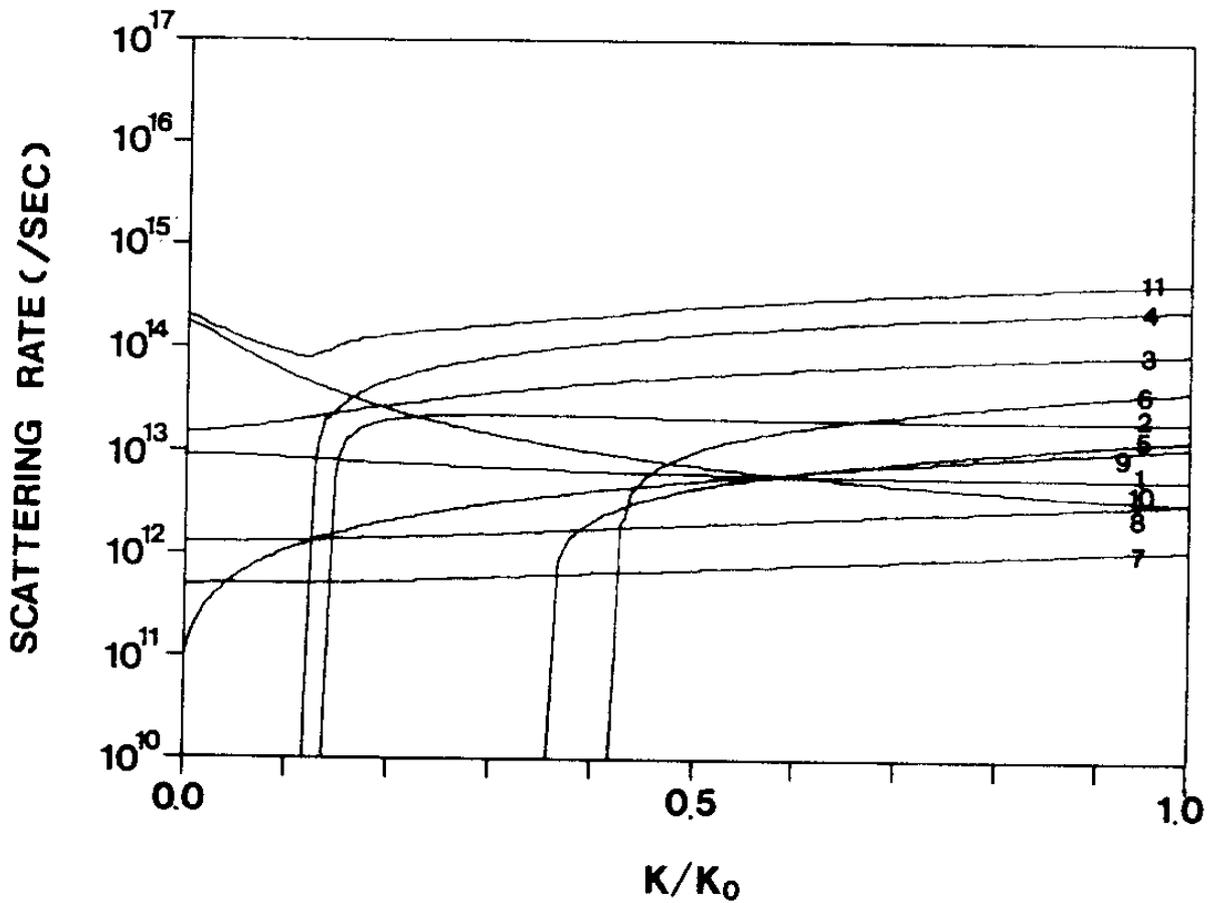
$$t_f = -\ln(r)/\Gamma \quad \text{식(2-16)}$$

가된다.



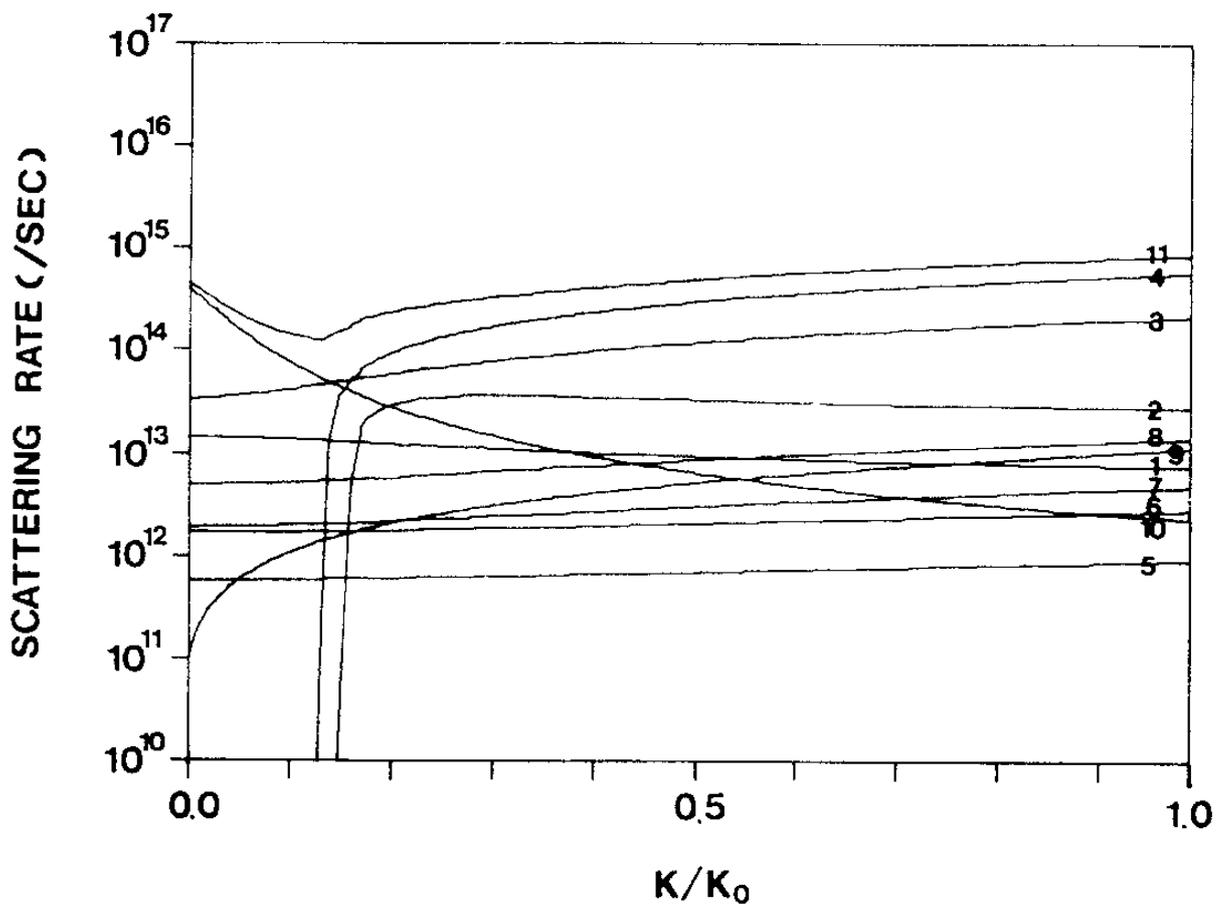
- (1) optical phonon scattering (ab.)
- (2) " (em.)
- (3) nonequivalent intervalley scattering  $\Gamma$ -L(ab.)
- (4) "  $\Gamma$ -L(em.)
- (5) "  $\Gamma$ -X(ab.)
- (6) "  $\Gamma$ -X(em.)
- (7) acoustic phonon scattering
- (8) impurity scattering
- (9) total scattering

그림 (2-2)  $\Gamma$  계곡에서의 산란율



- (1) optical phonon scattering (ab.)
- (2) " " (em.)
- (3) equivalent intervalley scattering (ab.)
- (4) " " (em.)
- (5) nonequivalent intervalley scattering L-X(ab.)
- (6) " " L-X(em.)
- (7) " " L- $\Gamma$ (ab.)
- (8) " " L- $\Gamma$ (em.)
- (9) acoustic phonon scattering
- (10) impurity scattering
- (11) total scattering

그림 (2-3) L 계곡에서의 산란율



- (1) optical phonon scattering (ab.)
- (2) " (em.)
- (3) equivalent intervalley scattering (ab.)
- (4) " (em.)
- (5) nonequivalent intervalley scattering X- $\Gamma$ (ab.)
- (6) " X- $\Gamma$ (em.)
- (7) " X-L(ab.)
- (8) " X-L(em.)
- (9) acoustic phonon scattering
- (10) impurity scattering
- (11) total scattering

그림 (2-4) X 계곡에서의 산란율

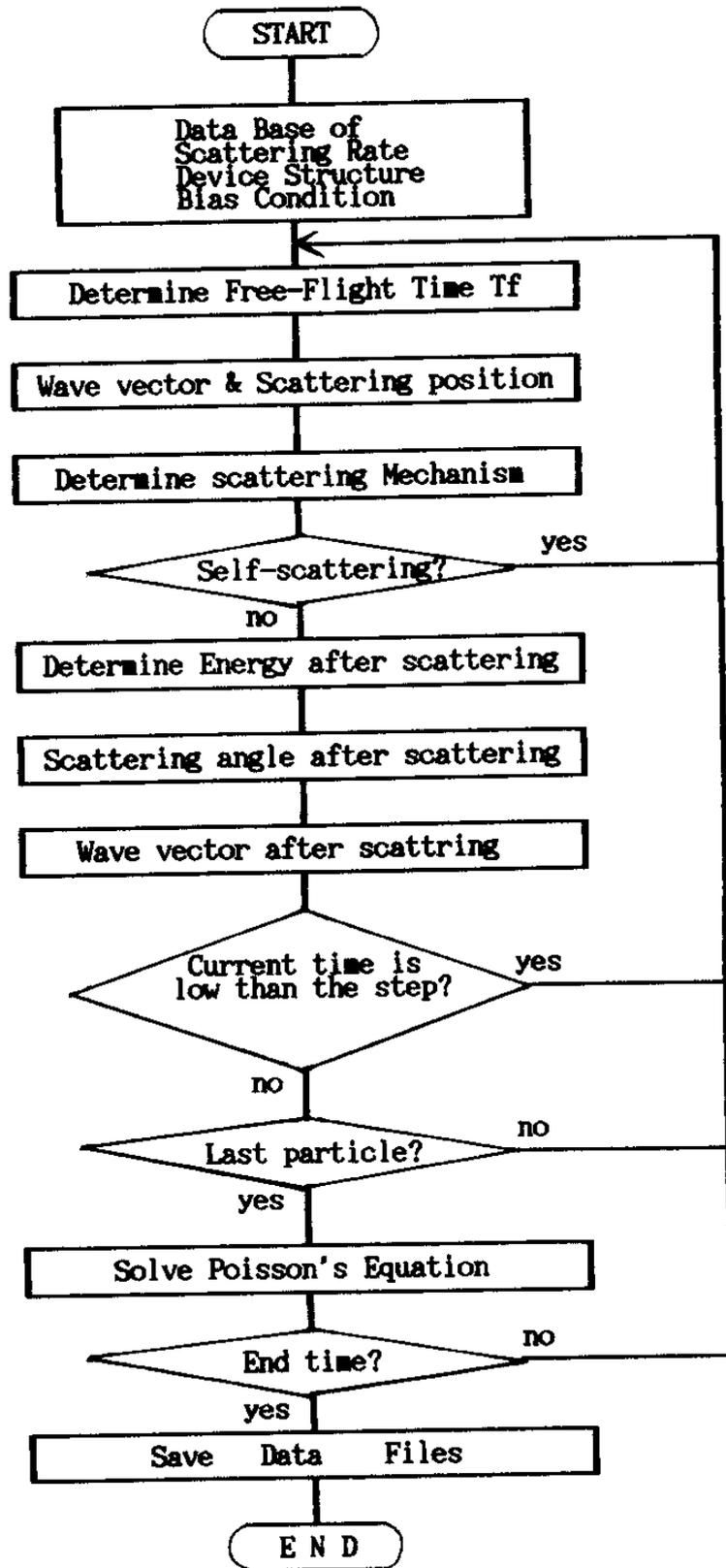


그림 (2-5) 소자 시뮬레이션을 위한 MC 방법의 흐름도

## 2-2-2 입자의 위치 결정

입자가 자유비행 시간까지 비행한 위치를 결정하기 위하여 먼저 식(2-17)에 의하여 전파 상수의 변화를 계산하여야한다[18][20].

$$\begin{aligned}k_x &= k_{x0} + eF_x t_f / \hbar \\k_y &= k_{y0} + eF_y t_f / \hbar \\k_z &= k_{z0}\end{aligned}\quad \text{식(2-17)}$$

여기서 전계는 x 방향과 y 방향만을 고려하였으며 첨자 0 는 전상태를 나타낸다. 식(2-17)에서 구한 전파상수를 이용하여 식(2-18)에서 각 입자의 위치를 결정한다.

$$\begin{aligned}x &= x_0 + eF_x t_f^2 / 2m^*(1+2\alpha) + \hbar k_x \cdot t_f / m^*(1+2\alpha) \\y &= y_0 + eF_y t_f^2 / 2m^*(1+2\alpha) + \hbar k_y \cdot t_f / m^*(1+2\alpha)\end{aligned}\quad \text{식(2-18)}$$

만일 입자가 금속 반도체 접합이 아닌 영역으로 소자를 빠져나갔을 때는 영상효과 (Image effect)에 의하여 입자의 위치를 수정하였다. 드레인을 통하여 지나간 입자는 전류-전압 특성 곡선을 유도해 내기위하여 다시 소스로 인가되도록 하였다.

### 2-2-3 산탄의 종류 결정

산탄의 종류를 결정하기 위해서는 앞에서 나온 산탄을 계산결과를 이용하여 각 산탄의 크기에 따라 동일 평면상을 구획나눈다. 그리고 난수를 발생 시켜 그 크기에 해당하는 구역의 산탄을 발생된 산탄으로 가정하여 산탄후의 상태를 결정하는 데 이용된다[21].

즉,

$$\frac{\sum_{i=1}^{n-1} \lambda_i}{\sum_{i=1}^M \lambda_i} < \lambda_{n0} \cdot r < \frac{\sum_{i=1}^n \lambda_i}{\sum_{i=1}^M \lambda_i} \quad \text{식(2-19)}$$

$\lambda_{n0}$  : 총 산탄율(각 산탄율 + 자기 산탄율)

$r$  :  $[0, 1]$ 의 난수

$n \leq M$

인 경우에 M개의 산탄중 n 번째의 산탄이 일어난다고 보는 것이다.

### 2-2-4 산탄후 에너지 변화

산탄과 이온화된 불순물 산탄의 경우는 에너지 변화가 일어나지 않으며 타 밸리간 산탄 및 밴드간 산탄의 경우는 각각 밴드 천이와 밸리 천이가 발생하므로 사용해야하는 총 산탄율도 변화되어야한다. 에너지 변화가 결정되면 식(2-20)과 식(2-21)에 의하여 산탄후 에너지와 전파상수를 구할 수 있다.

$$E' = E + \Delta E \quad \text{식(2-20)}$$

$$\hbar(k')^2/2m^* = E'(1+\alpha E') \quad \text{식(2-21)}$$

### 2-2-5 산란각도 결정

산란후 입자의 산란각도를 결정하는 데에는 산란의 각도 의존도를 나타내는 각 분포밀도함수(angular distribution density function)  $p(\theta)$ 가 사용된다. 즉,

$$p(\theta)d\theta \propto p(k,k')\cos\theta d\theta \quad \text{식(2-22)}$$

와 같은 관계를 가지며 계곡간의 천이에 의한 산란인 경우 에너지 밴드 구조가 대칭적이어서 산란각도가 임의의 적이라는 가정하에 그 각도를 난수로부터 직접 구한다.

$$\theta = \pi \cdot r_1$$

$$\phi = 2\pi \cdot r_2 \quad \text{식(2-23)}$$

$r_1, r_2$  : random number

반면에 광학적 분포, 또는 음향적 포논, 불순물 산란각도인 경우는  $\theta$ 의 확률 분포가 다음 식들과 같다[15][22].

1) 광학적 포논 산란 (Optical Phonon Scattering)

$$p(\theta)d\theta = \frac{[r^{1/2}(E)r^{1/2}(E') + \alpha EE' \cos\theta]^2 \sin\theta d\theta}{[r(E) + r(E') - 2r^{1/2}(E)r^{1/2}(E') \cos\theta]} \quad \text{식(2-24)}$$

$$r(E) = E(1 - \alpha_i E)$$

2) 음향적 포논 산란 (Acoustic Phonon Scattering)

$$p(\theta)d\theta = [1 + \alpha_i E(1 + \cos\theta)]^2 \sin\theta d\theta \quad \text{식(2-25)}$$

3) 불순물 산란 (Impurity Scattering)

$$p(\theta)d\theta = \left[ \frac{1 + \alpha_i E(1 + \cos\theta)}{2k^2(1 - \cos\theta) + \beta^2} \right]^2 \sin\theta d\theta \quad \text{식(2-26)}$$

$$\beta = \left[ \frac{q^2 \cdot N_D}{\epsilon_0 \cdot k_B \cdot T} \right] \quad \text{식(2-27)}$$

따라서 그 해석적인 해를 구한다는 것은 거의 불가능하나 두개의 랜덤넘버를 이용하는 Von Neuman 알고리즘으로 쉽게 구할 수 있으며 이로서 각 방향으로의 파동벡터를 다음식에 의해 결정하게 된다[23].

$$\begin{aligned}
 k_x &= |k| \cdot (\cos\theta \cdot \cos\theta_k - \sin\theta \cdot \sin\theta_k \cdot \cos\phi) \\
 k_y &= |k| \cdot (\sin\theta \cdot \cos\phi \cdot \cos\theta_k \cdot \cos\phi_k + \sin\theta \cdot \sin\phi \cdot \cos\phi_k + \cos\theta \cdot \sin\theta_k \cdot \sin\phi_k) \\
 k_z &= |k| \cdot (\sin\theta \cdot \cos\phi \cdot \cos\theta_k \cdot \sin\phi_k + \sin\theta \cdot \sin\phi \cdot \cos\phi_k + \cos\theta \cdot \sin\theta \cdot \sin\phi_k)
 \end{aligned}$$

식(2-28)

여기에서  $|k|$ 는 산란이 일어난 후 파동벡터의 크기이다. 또  $\theta_k$ 는 산란전 파동벡터의 x축과의  $\theta$  각도이며  $\phi_k$ 는 y 축과의  $\phi$  각도이다. 산란각도의 관계를 나타낸 그림이 다음 페이지 그림(2-6)에 나타나있다.

#### 2-2-6 입자의 분포

입자의 초기 에너지는  $3k_B T/2$ 의 열에너지로 주어지며 대표입자는 1000개를 사용하였다. 시뮬레이션의 시간간격은 최소산란시간과 오차를 고려해본 결과 0.05 psec 으로 하였다[18]. 입자는 시간간격마다 위치가 변하므로 포텐셜에너지의 변화가 일어난다. 그러므로 포텐셜 에너지의 재배열을 위하여 포아슨 방정식을 SOR(Successive-Over-Relaxation) 방법을 사용하여 풀어준다[24]. 즉,

$$\frac{\partial^2 V}{\partial X^2} + \frac{\partial^2 V}{\partial Y^2} = - \frac{\rho(X, Y)}{\epsilon} \quad \text{식(2-29)}$$

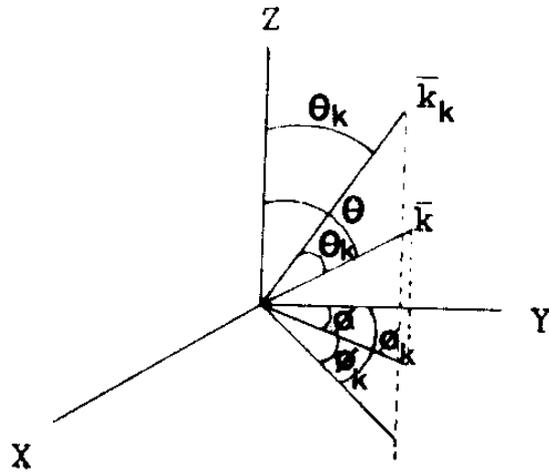


그림 (2-6) 산탄 각도의 관계

으로 표현되는 포아손 방정식을 35x50개의 요소로 나누어 유한차분법에 의하여 계산하였다[25].

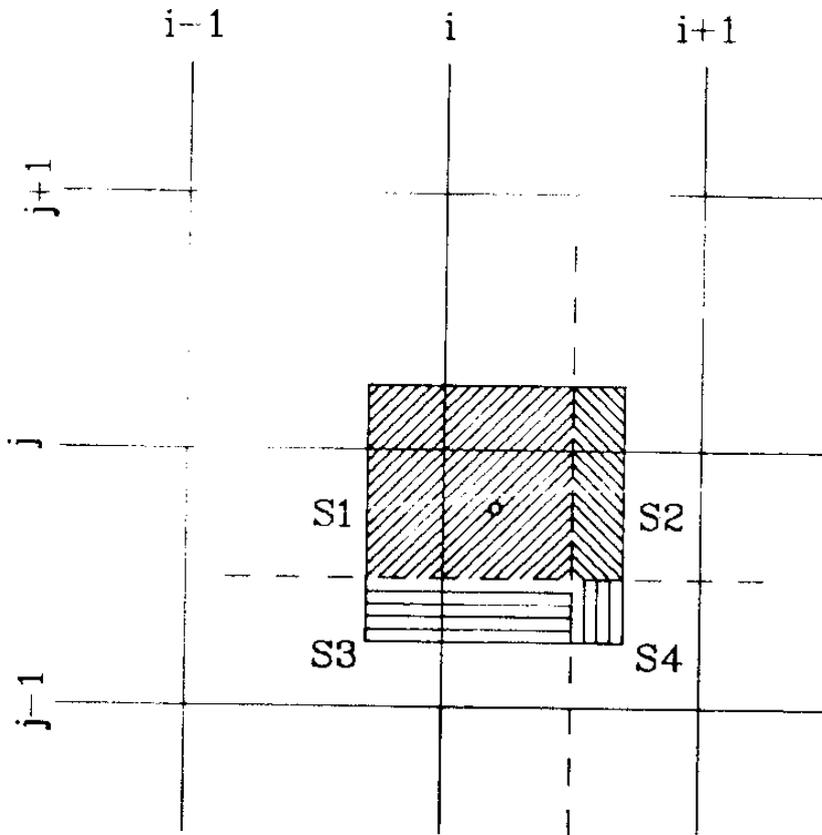
$\rho(X,Y)$  는 그림(2-7) 과 같은 Cloud-In-Cell ( CIC )방식에 의하여 각 노드에 배정된 전자밀도와 이온화된 불순물 전하의 합이다[26].

포아손 방정식을 풀때 경계에서는 해당 경계조건을 만족하도록 풀어야 한다. 미분 방정식을 풀기위한 경계조건은 Dirichlet 경계조건과 Neuman 경계조건이 있다. Dirichlet 경계조건은 구하고자 하는 함수의 미분값으로 표현된다. 즉  $\zeta$ 가 경계를 나타낸다고 할때,

$$\text{Dirichlet 경계조건} : V - V_0 = 0 \text{ on } \zeta$$

$$\text{Neuman 경계조건} : dV/dn - C = 0 \text{ on } \zeta \quad \text{식(2-30)}$$

$V_0, C$  는 상수이며  $n$  은 접합면에 수직방향이다. 소자에서 게이트 금속 접합면은 쇼트키 접촉을 하고 있으므로 게이트 전압과 쇼트키 장벽 전위가 적용되고 드레인 과 소오스 영역은 옴 접촉을 하고 있으므로 인가된 전압이 적용되도록 하는 Dirichlet 경계조건 영역이다. 쇼트키 장벽 전위는 0.8V를 사용하였다.



$$\begin{aligned}
 S &= S1+S2+S3+S4 \\
 D(i,j) &= S1/S \\
 D(i+1,j) &= S2/S \\
 D(i,j-1) &= S3/S \\
 D(i+1,j-1) &= S4/S
 \end{aligned}$$

그림 (2-7) Cloud-In-Cell 방법에서의 입자 배열

### 제3장 전자속도 시뮬레이션 결과 및 고찰

3장에서는 소자 시뮬레이션에 들어 가기전에 입자의 초기치를 결정하고 시뮬레이션의 타당함을 확인하기 위하여 시간과 전계에 관하여 전자속도의 오버슈트 현상을 나타내는지 확인하였다.

#### 제 3-1 절 파동벡터의 분포

전자의 전계에 대한 속도의 관계를 구하기 위하여 우선 각 전계에 대하여 전자의 이동속도를 시간에 대해 시뮬레이션하고 또 각 전계에서의 포화속도를 구해 정리하게된다. 여기에서는 각 입자의 초기상태가 매우 중요한데 그 상태들은 랜덤한 분포를 전계가 가해지지 않은 조건에서 20psec 동안 시뮬레이션 함으로써 구하였다. 그림 3-1 (a)는 랜덤한 분포의 파동벡터이며 그림3-1 (b)가 20psec 후의 파동벡터의 분포이다.그림에서 보듯이 일정한 범위내에 파동벡터가 존재하고 있음을 알 수 있으며 열평형상태에서 각 계곡 점유율을 시뮬레이션한 결과  $\Gamma$ ,L,X 계곡에서 99%, 0.09%, 0.01%로서 거의 모든 전자들이  $\Gamma$ 계곡에 존재하고있었다.그림 3-1(c)는 1MV/m 의 전계를 가해 주었을때의 파동벡터의 분포이다.전체적으로 전계의 방향으로 이동되어 있으며 피크를 갖는 가우시안 분포이다.

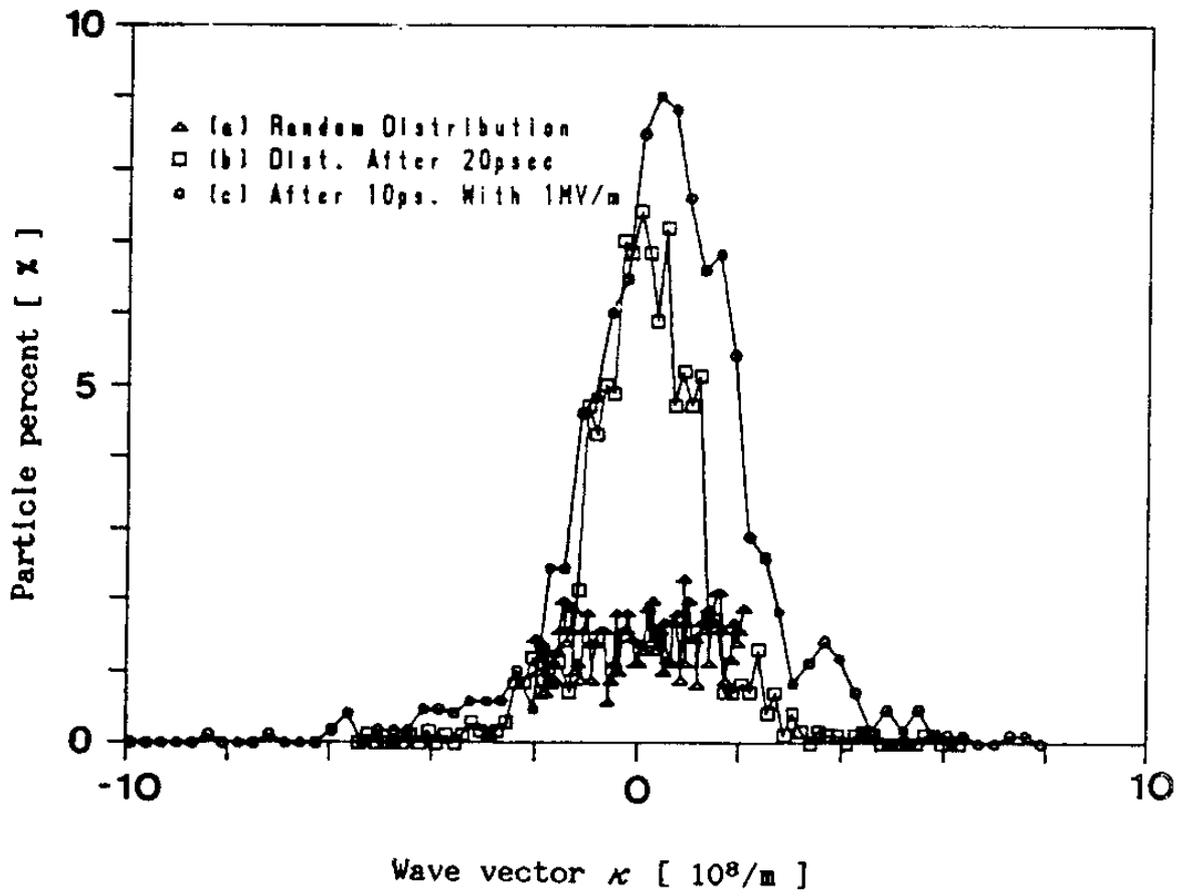


그림 (3-1) 파동벡터  $\kappa$  의 분포

### 제 3-2절 계곡 점유율의 변화

앞의 초기상태를 가지고 전계가 3MV/cm 일때 도핑 ( $10^{23}/\text{cm}^3$ ) 된 경우와 순수한 상태의 GaAs 반도체에서의 계곡 점유율의 시간에 따른 변화를 그림3-2 와 3-3에 나타내었다. 도핑에 따라 계곡 점유율이 안정상태에 이르는 시간과 그 점유율이 다르고 순수한 GaAs 경우가 도핑한 경우보다 그 시간이 짧다. 그리고 그림3-3 과 3-4를 비교해 보면 전계가 강할 수록 점유율이 일찍 안정상태에 이르는 것을 알 수 있다. 즉 불순물 산란으로 전자가 포화 에너지에 이르는 것이 방해 되며 전자가 강한 전계에서 보다 쉽게 포화상태에 도달 하게 되는 것이다.

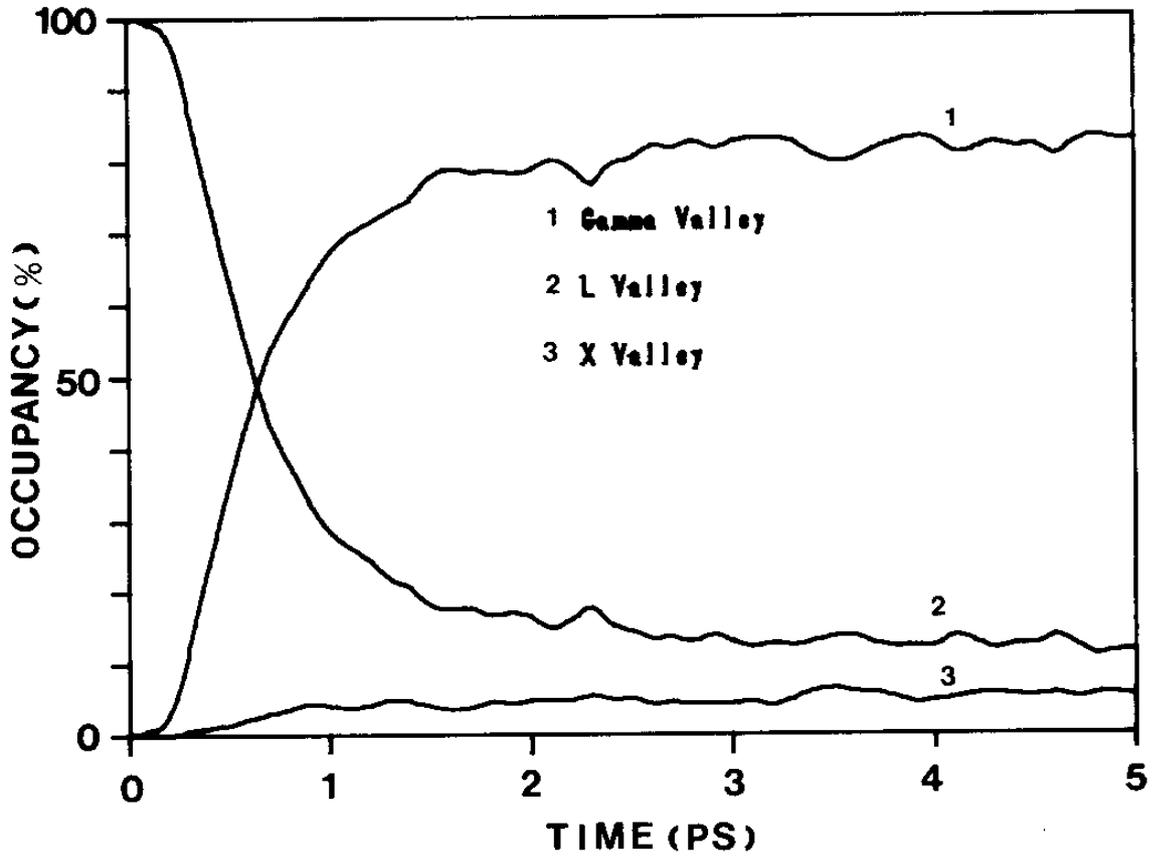


그림 (3-2)  $10^{23}/\text{cm}^3$  도핑시  $3\text{MV}/\text{cm}$  에서의 계곡점유율

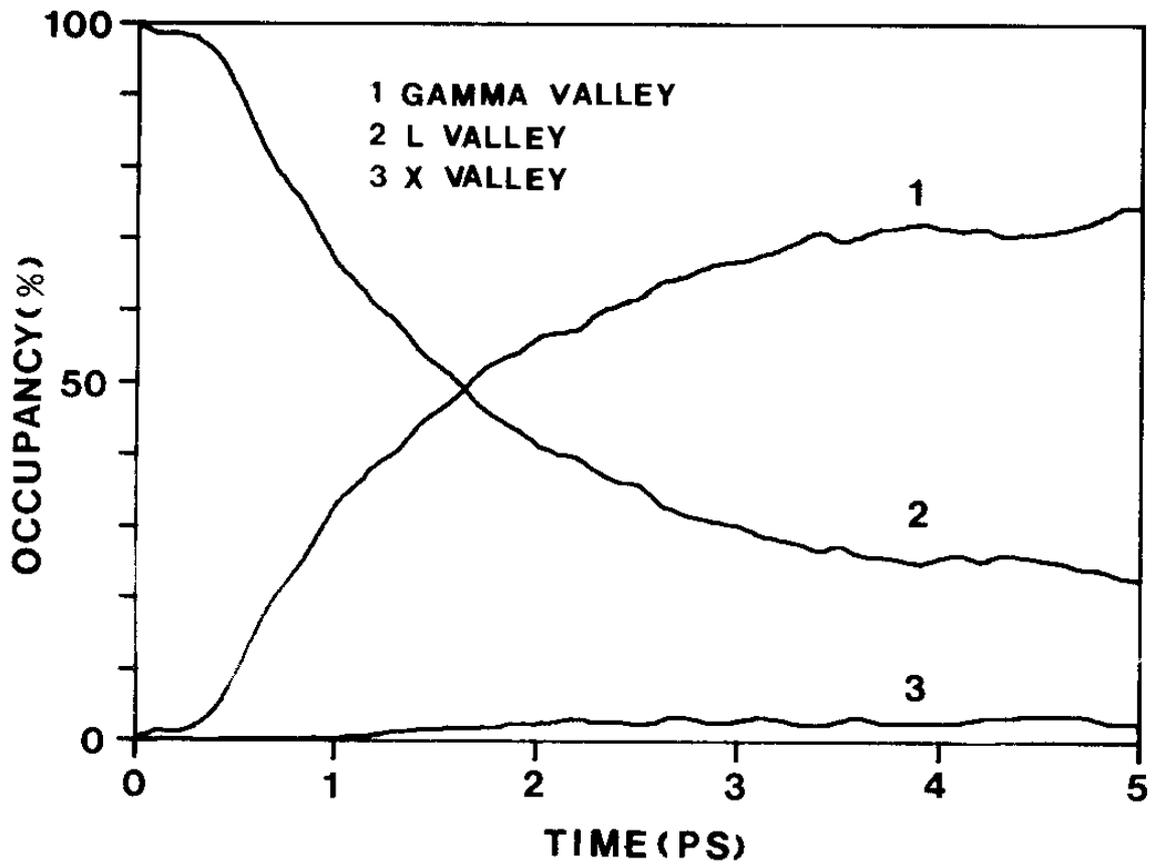


그림 (3-3) 순수 GaAs 1.5MV/cm 에서의 계곡점유율

### 계 3-3 절 시간에 따른 전자 속도

평균적인 전자 이동속도를 구하기 위하여 다음과 같은 식을 사용하였다[27].

$$v = 1/\hbar \cdot \partial E(\kappa) / \partial \kappa = \frac{\hbar \cdot \kappa}{m_i(1+2\alpha_i E)} \quad \text{식(3-1)}$$

식 (3-1)을 이용하여 시간에따른 전자속도의 변화를 전계가 1, 2, 3 MV/cm 일때의 결과를 그림3-4 와 3-5에 나타내었다. 그림3-4는 순수한 GaAs결정일때이고 그림 3-5는 도핑이  $10^{23}/\text{cm}^3$  경우의 결과 그림이다. 그림에서 보듯이 강한 전계에서 오버슈트가 강하게 일어남을 알수 있으며 순수한 GaAs가 불순물을 넣어 주었을 때 보다 강한 오버슈트가 일어나고 있다. 이 현상을 3-2절의 결과와 비교하면 전자의 계곡 천이에 의해 전자의 유효질량이 무거워져 속도가 포화상태에 이르고 있음을 알 수 있다.

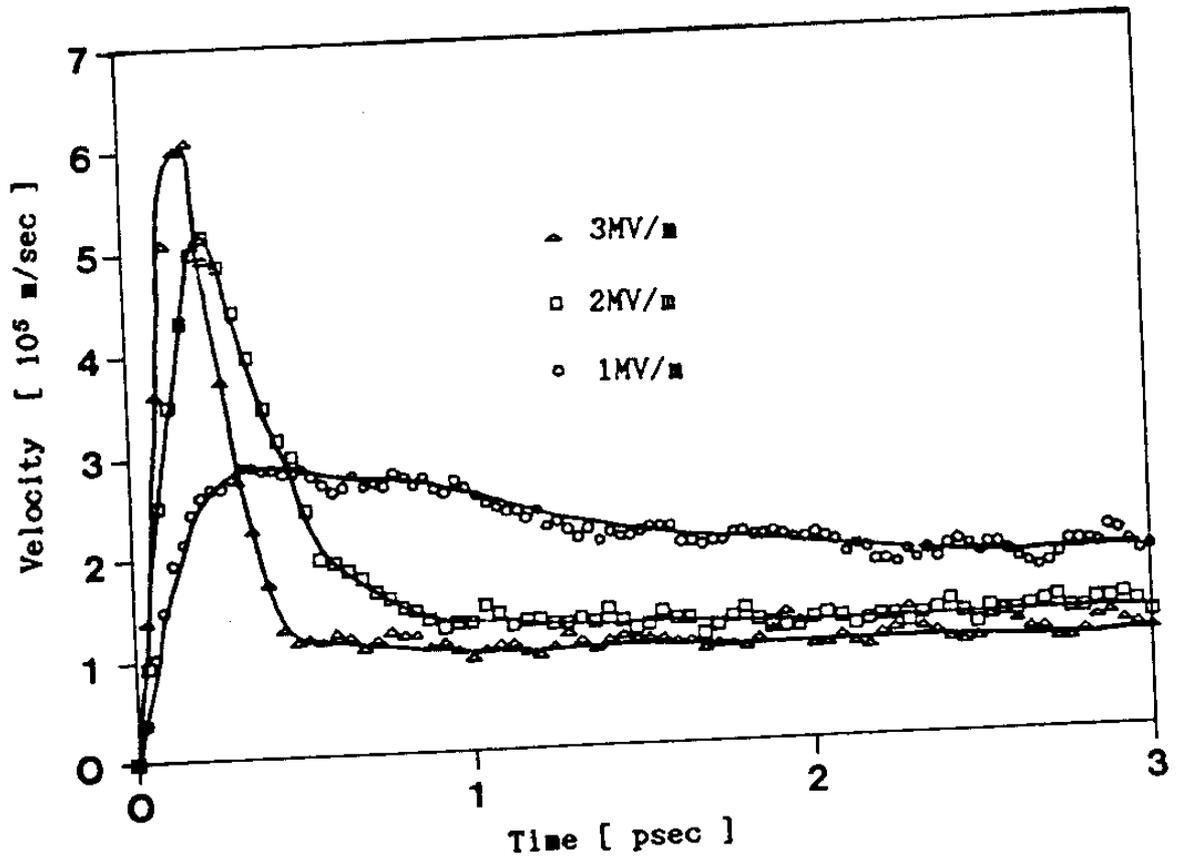


그림 (3-4) 순수 GaAs 에서의 전자속도 변화

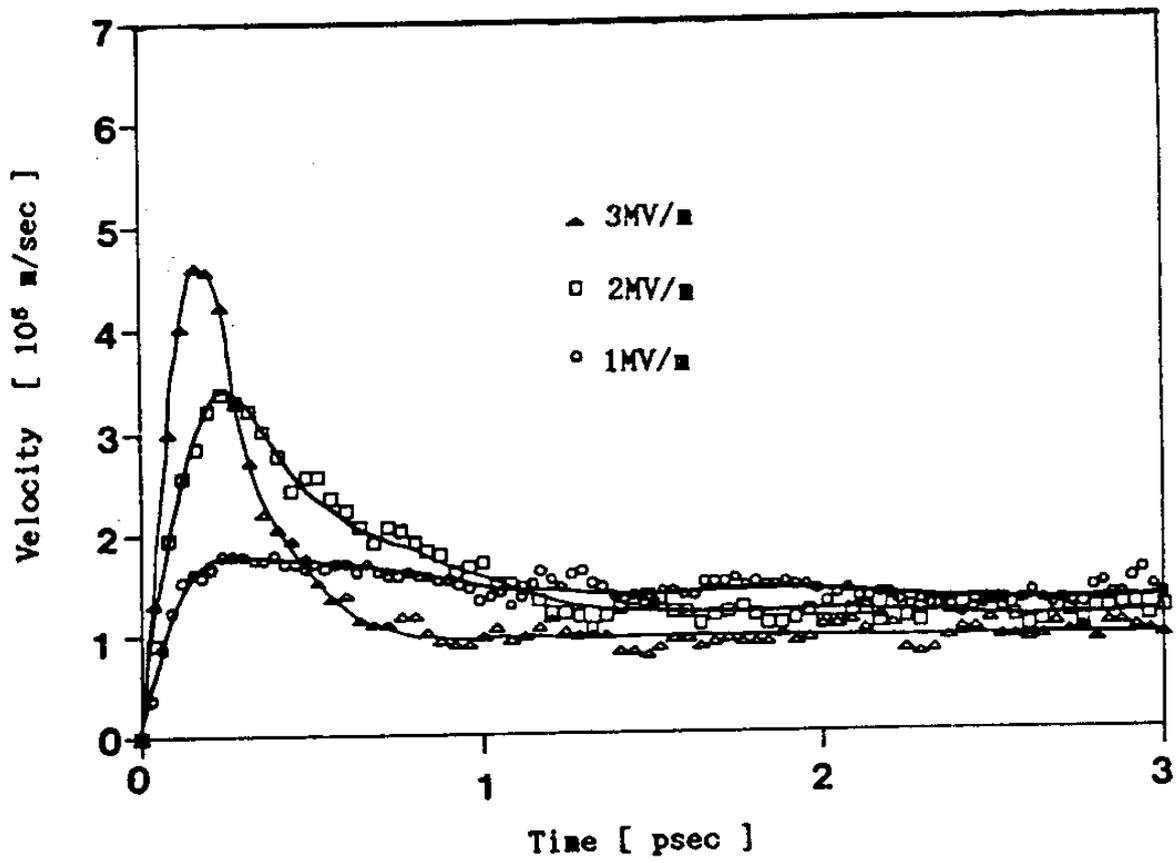


그림 (3-5)  $10^{23}/\text{cm}^3$  로 도핑시 GaAs 에서의 전자속도 변화

### 계 3-4절 전계에 따른 전자 속도의 변화

3-3 절의 시간에 관한 전자속도의 포화치를 전계에 관하여 정리하면 그림3-6과 같다. 결과는 참고문헌「11」의 결과와 비교했을때 X계곡을 계산에 넣은 것을 고려하면 상당히 일치하며 그림에서 보듯이 순수한 GaAs 가 불순물 산란이 배제된 결과로 불순물이 첨가된 경우보다 강한 피크를 보여준다. 그리고 불순물이 첨가된 경우의 피크의 위치가 순수한 경우보다 우측으로 이동된 것은 '불순물 산란' 이 큰 이유로 상위계곡으로의 천이산란이 일어나는 에너지를 얻기가 어려워지기 때문이다.

3-3절과 3-4절 결과로 부터 소자 시뮬레이션시에 시간과 전계에 대한 전자속도의 오버슈트가 반드시 고려되어야 함을 알 수 있다.

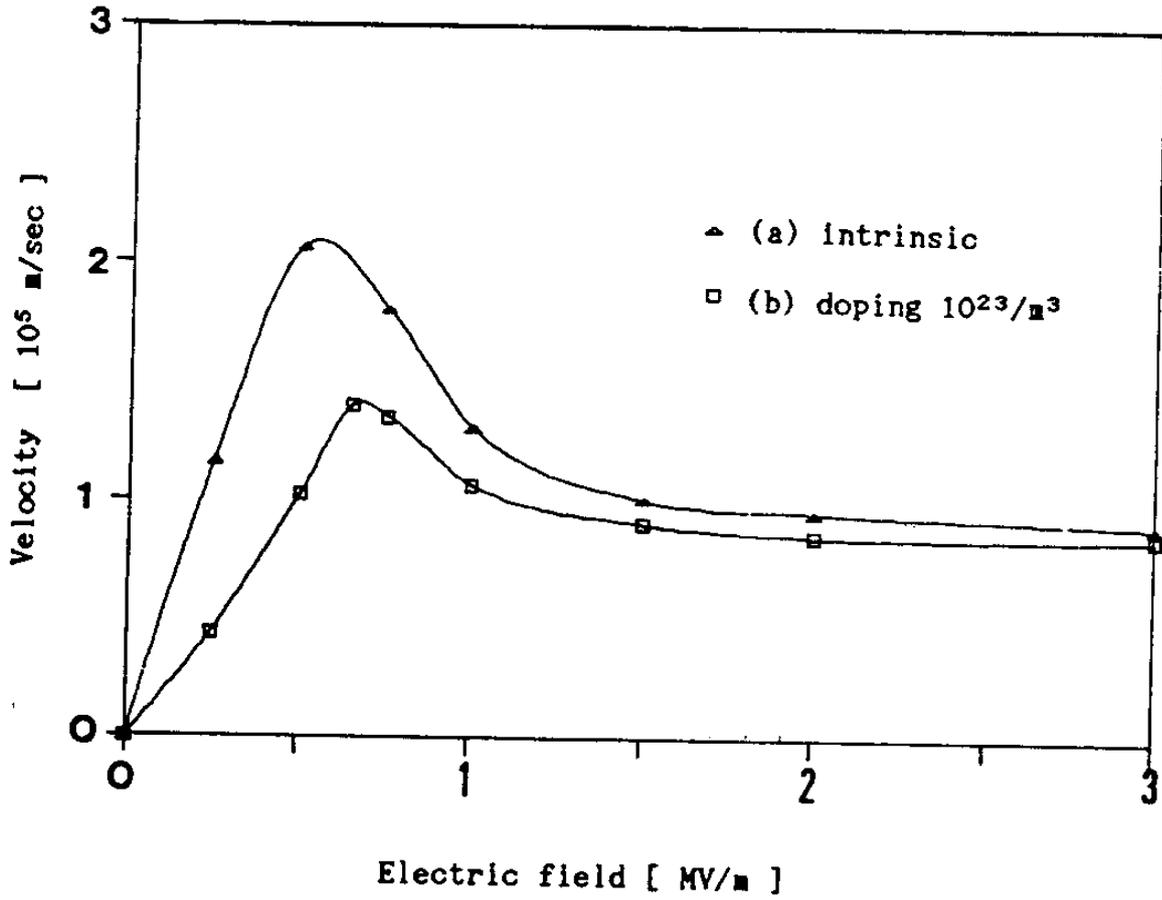


그림 (3-6) 전계에 대한 전자속도의 변화

## 제4장 MESFET 의 시뮬레이션 및 결과고찰

### 제 4-1 절 시뮬레이션되는 소자의 구조

그림(4-1) 과 그림 4-2 에 시뮬레이션되는 소자의 삼차원적인 구조를 나타내었다. 이 구조에서 게이트와 소오스, 게이트와 드레인 간의 간격은  $0.3\mu\text{m}$  에서  $0.6\mu\text{m}$  까지 변화를 주어 시뮬레이션하였다. 에피층의 두께는  $0.12\mu\text{m}$  이므로 쇼트키 효과에 의한 공핢층 두께가 약  $0.1\mu\text{m}$  임을 고려하면 거의 normally-on 상태이다. 그리고 버퍼층의 두께는  $0.4\mu\text{m}$  로서 에피층에서 주입되는 전자의 도달한계 까지를 고려하였다. 쇼트키 접촉은 Al 또는 TiPtAu 로서 하였다.

Ohmic contact 는 소자의 좌우에 붙어있는 형태로서 실제 이런구조의 소자는 제작되어 있지 않지만 소오스와 드레인 밑의  $n^+$  영역을 고려해 볼때 구조적으로 MESFET 와 차이가 없다. 그리고 이러한 형태의 구조는 시뮬레이션의 시간과 프로그램 코딩 상의 잇점, 그리고 시뮬레이션되는 범위를 최소화 할 수 있으므로, 이차원 소자 시뮬레이션에 많이 활용되고 있다. 시뮬레이션되는 구조는 이차원으로 하였는데, 원래구조는 삼차원이나, 게이트 쪽 방향으로 고려해 볼때, 구조적인 차이가 없으므로, 그림(4-2) 와 같이 이차원으로 하여도 원래의 소자와 차이가 없으며, 메모리와 시간의 절약을 할 수 있다.

## 4. MESFET 시뮬레이션의 결과 및 고찰

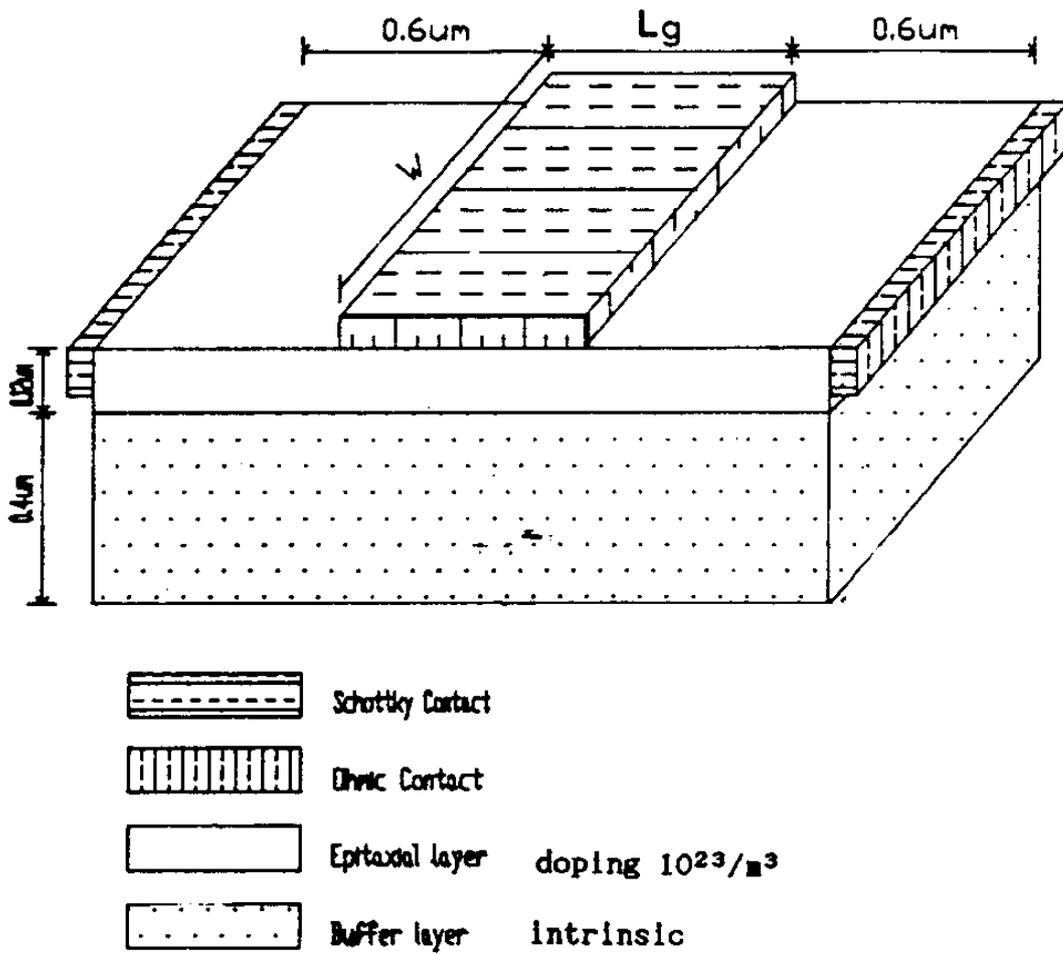


그림 (4-1) 시뮬레이션되는 소자의 구조 (3-Dimension)

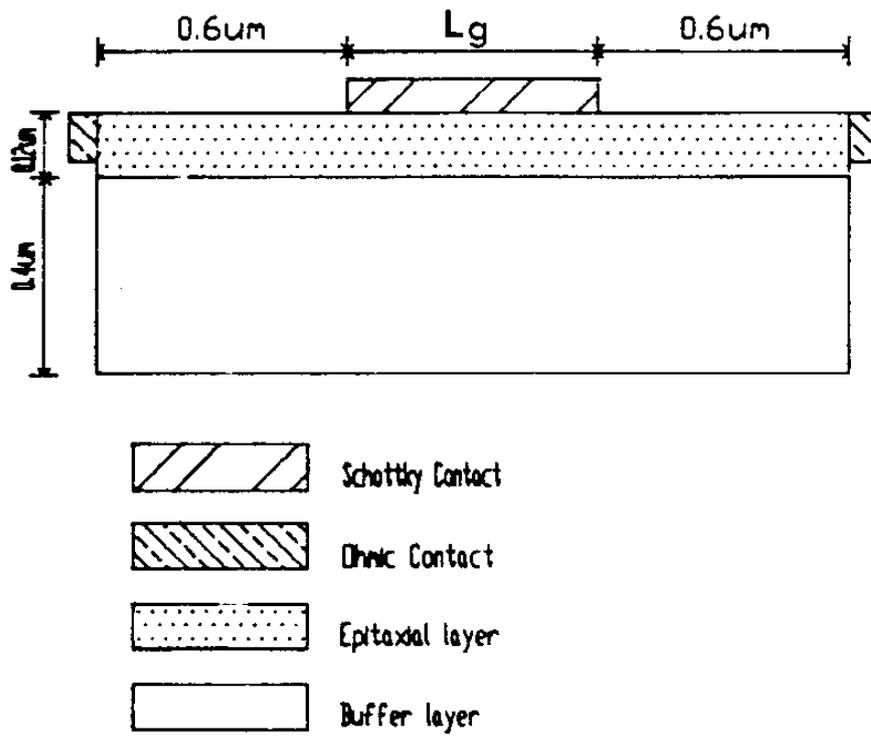


그림 (4-2) 시뮬레이션되는 소자의 구조 (2-Dimension)

#### 계 4-2 절 게이트 길이에 따른 파동벡터의 분포.

앞의 3-1 절에서 벌크 상태에서의 파동벡터의 분포를 구하였다. 이 절에서는 GaAs MESFET 소자의 게이트 길이를 변화시켜 가면서, 그 파동벡터 분포를 구하였다. 시뮬레이션되는 소자에서는 채널에 수직인 방향을 X 방향으로, 채널에 수평인 방향을 Y 방향으로 하였기 때문에 Y 방향의 파동벡터를 구하는 것이 더욱 중요하게 된다.

GaAs MESFET 소자내의 파동벡터의 분포는 그림(4-3)에 나타나있다. 이그림에서 볼때 게이트 길이가 작아짐에 따라 파동벡터의 양의 성분이 조금씩 늘어남을 알 수 있다.

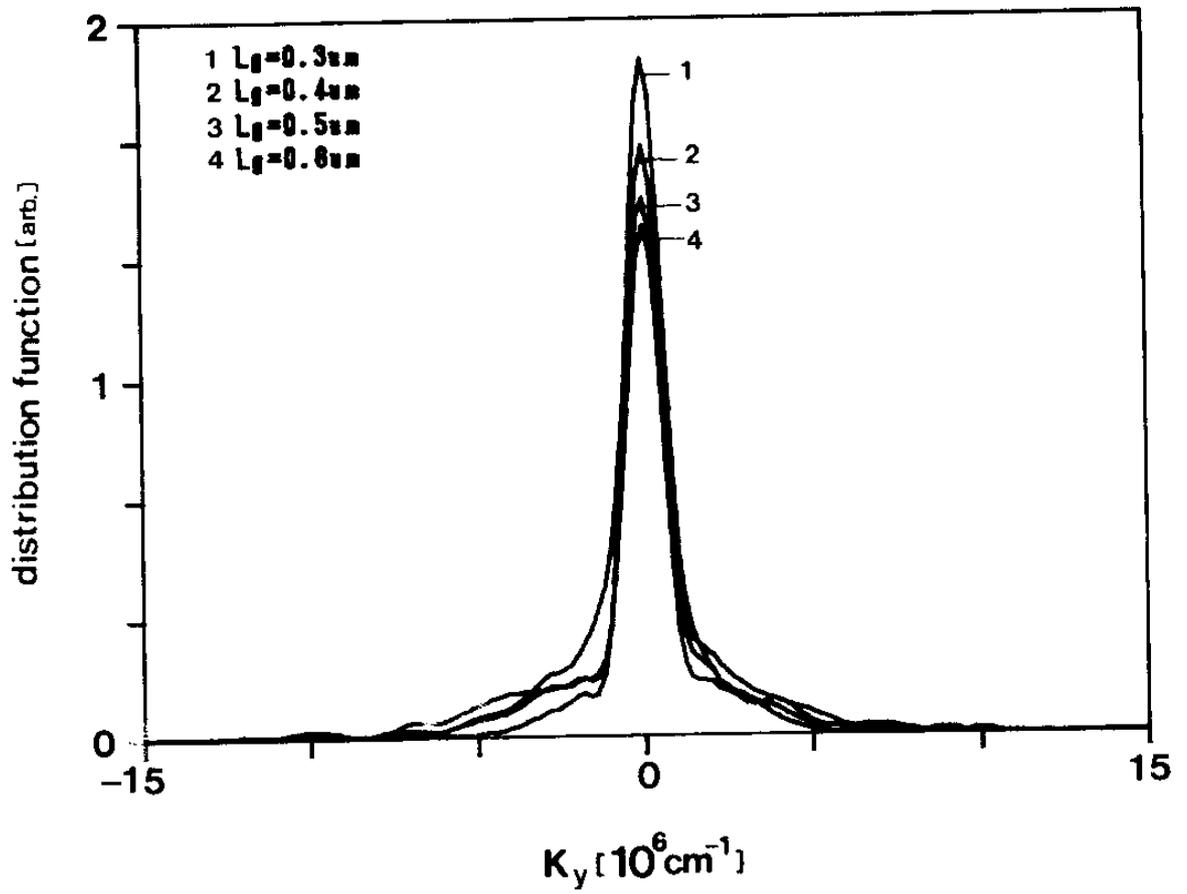


그림 (4-3) 파동벡터의 분포

#### 제 4-3 절 포화 포텐셜 에너지 분포와 전계분포.

포텐셜에너지 분포는 초기에 매우 급격한 변화를 일으키게 된다. 이러한 급격한 변화는 시간이 경과함에 따라 조금씩 감소하게 되어 어느 일정한 시간이 지나면 전체적으로 안정상태처럼 보이는 때가 있다. 이때부터는 포텐셜의 변화는 거의 없고 단지 드레인으로 바지는 전자들이 소오스로 주입되는 과정만이 반복되는 것처럼 보인다. 이 시간은 시뮬레이션 시작후 약 10 psec 정도가 지난 뒤였다. 이때의 포텐셜을 포화 포텐셜이라 한다.

그림(4-4) 는 게이트 길이의 변화에 따른 포화 포텐셜 에너지 분포이다. 이 분포는 바이어스가  $V_{GS}=0.0V$ ,  $V_{DS}=2.0V$  일때이다. 게이트길이는  $0.3\mu m$  에서부터  $0.6\mu m$  까지 약  $0.1\mu m$  씩 크기를 올려주었다. 포화 상태가 되기전에는 게이트 길이가 길어질수록 완만한 분포를 보이나, 포화 상태에서는 그림에서와 같이 게이트 폭 부분의 길이만 틀릴뿐 전반적인 포텐셜에너지의 분포는 비슷했다.

그림(4-5) 는 포화 상태에서 전자의 소자내에서의 분포를 나타낸 그림이다. 여기서, 대부분의 전자는 공집영역필의 채널을 따라 이동하고 있음을 알 수 있다. 채널의 전계분포는 포텐셜에너지 분포를 이용하여 다음식에서 구할 수 있다.

$$E_x(x,y) = - \frac{dV(x,y)}{dx} \quad \text{식(4.3)}$$

$$E_y(x,y) = - \frac{dV(x,y)}{dy} \quad \text{식(4.4)}$$

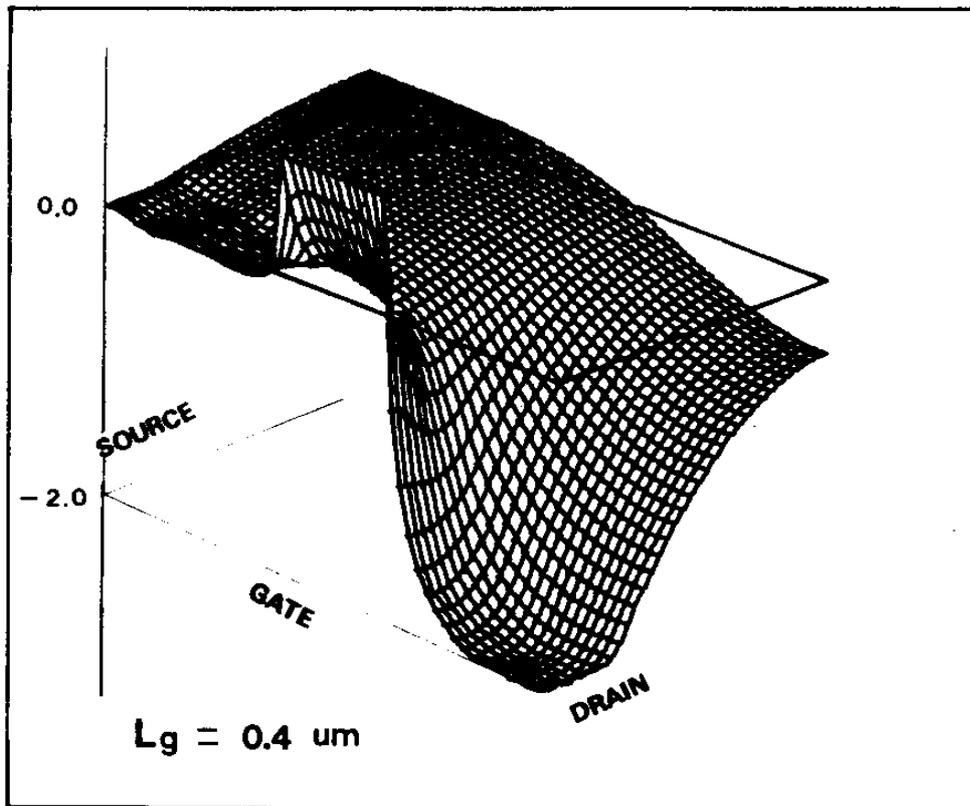
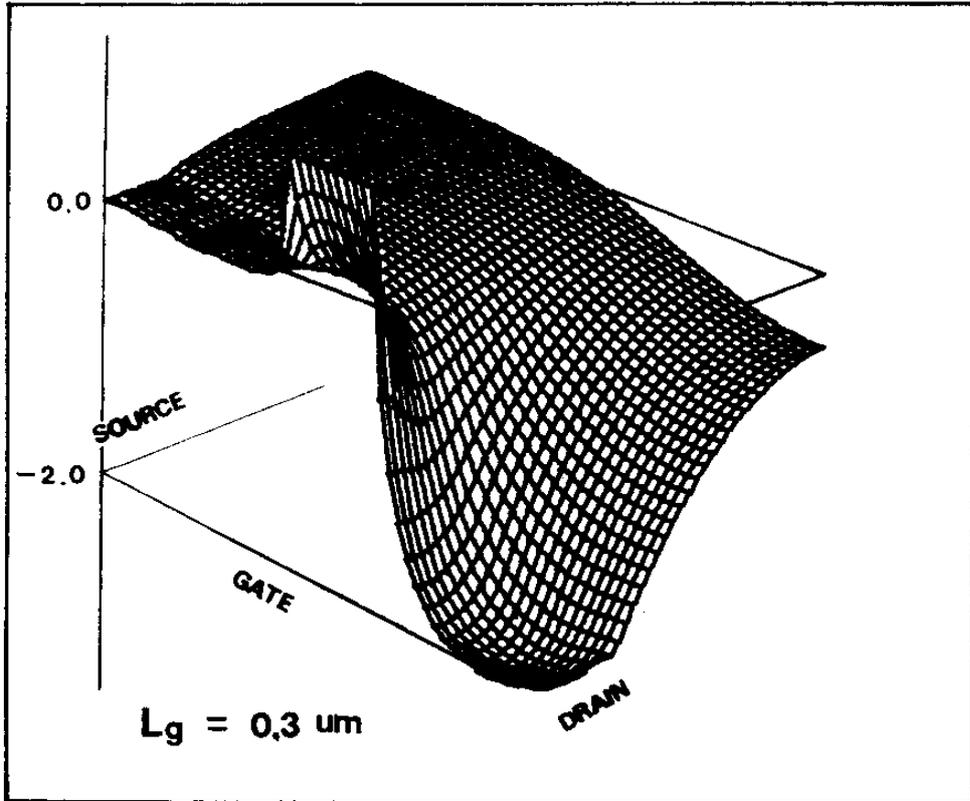


그림 (4-4) 게이트 길이의 변화에 따른 포화포텐셜에너지 분포

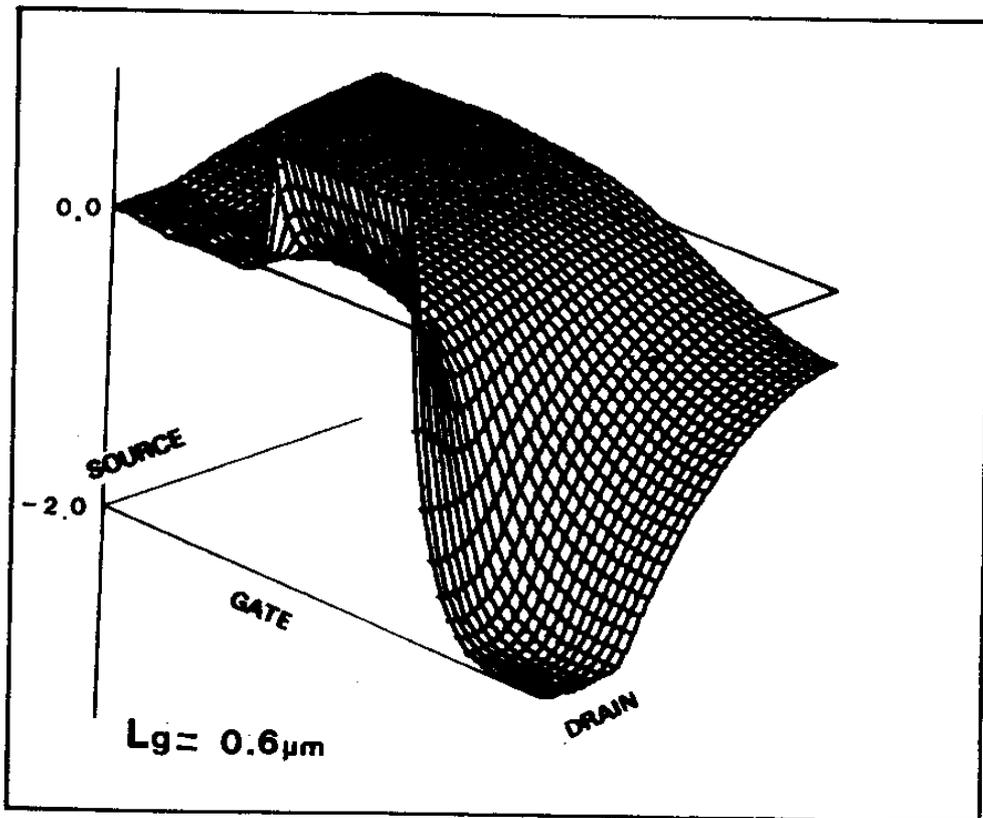
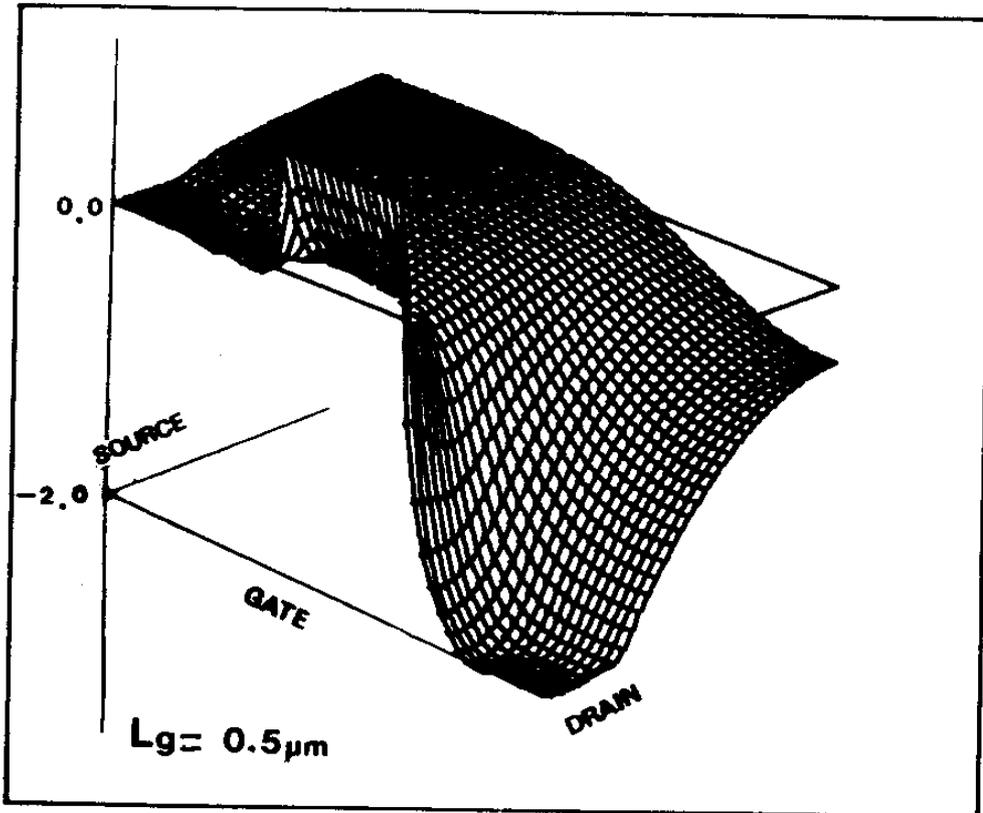
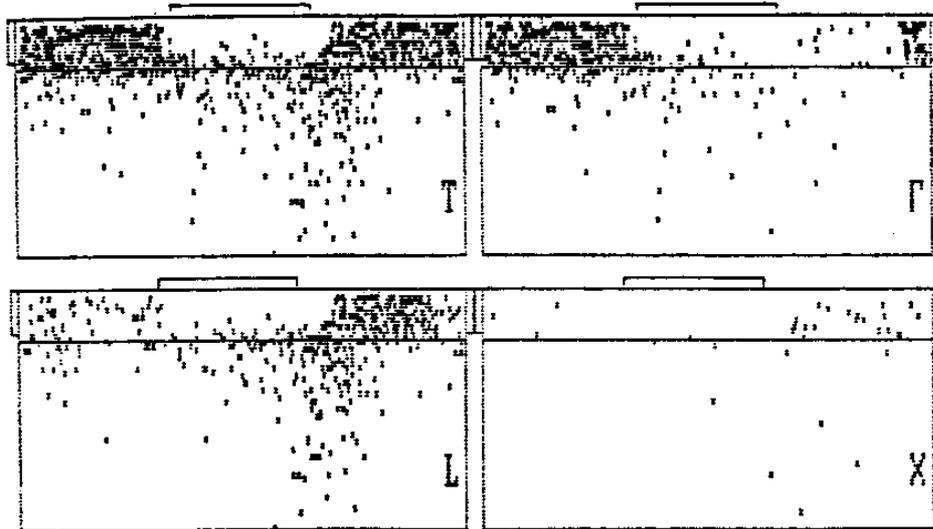
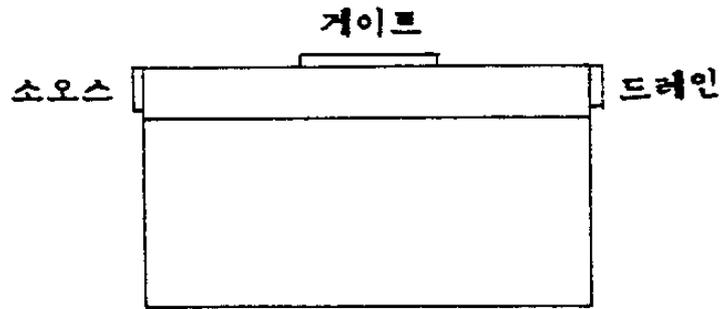


그림 (4-4) 계속

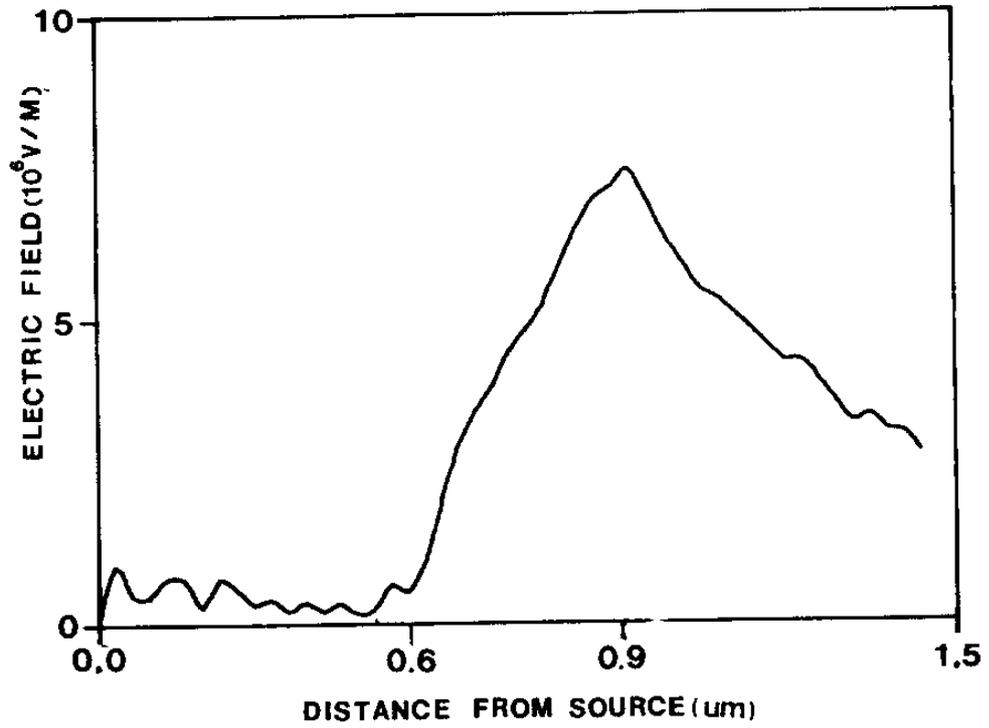


( $\Gamma, L, X$  계곡과 Total 분포)

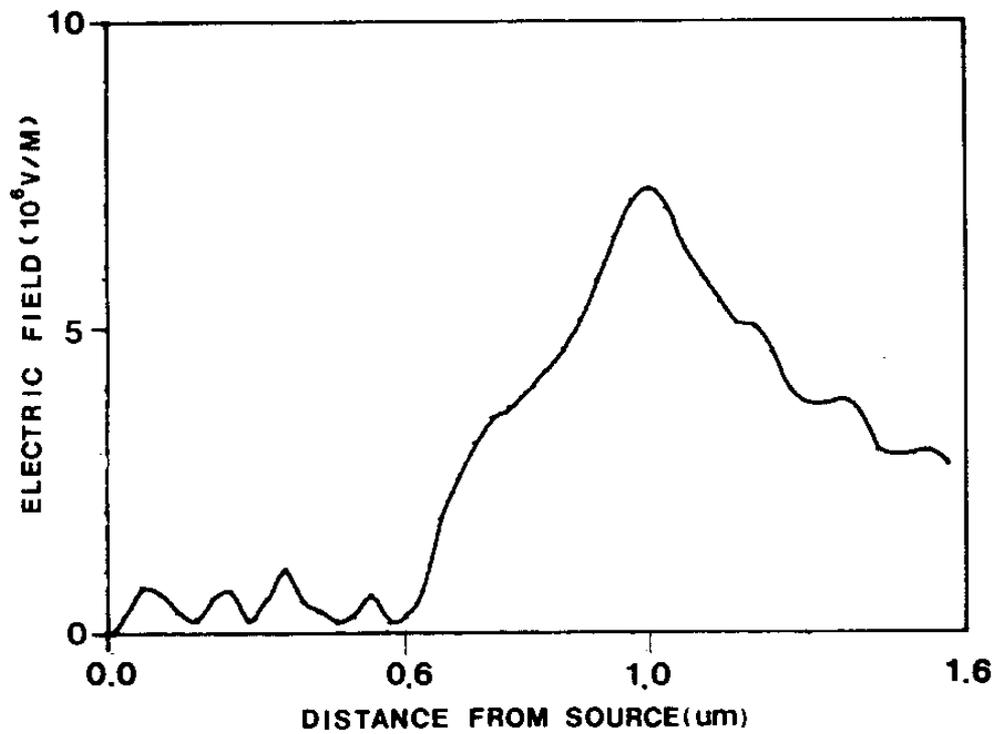
그림 (4-5) 전자 분포 ( $V_{gs} = 0.0V, V_{ds} = 2.0V$ )

포화 포텐셜에너지 상태의 채널에서의 전계분포가 그림(4-6)에 나타나 있다. 이그림에서는 게이트로부터 0.1 $\mu\text{m}$  길이에서 게이트 길이를 변화 시키면서 소오스로부터의 거리에 따른 전계의 분포를 나타냈으며 이 그림에서 보면 게이트의 드레인 쪽에서 가장 큰 전계를 가짐을 알 수 있었다.

그림(4-7)에서는 게이트 길이에 따른 게이트의 드레인 쪽에서의 전계분포인데 여기서 알 수 있는 것은 게이트 길이가 감소할수록 peak 치가 큰 전계를 갖는다는 것이다.

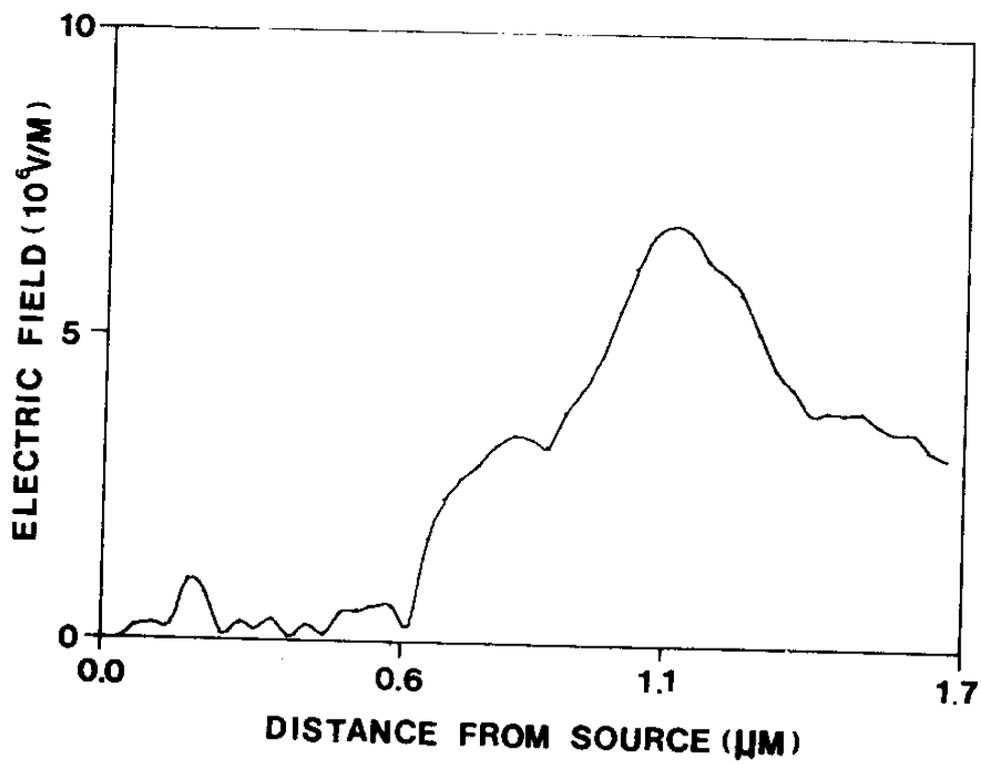


(a)  $L_G = 0.3 \mu\text{M}$

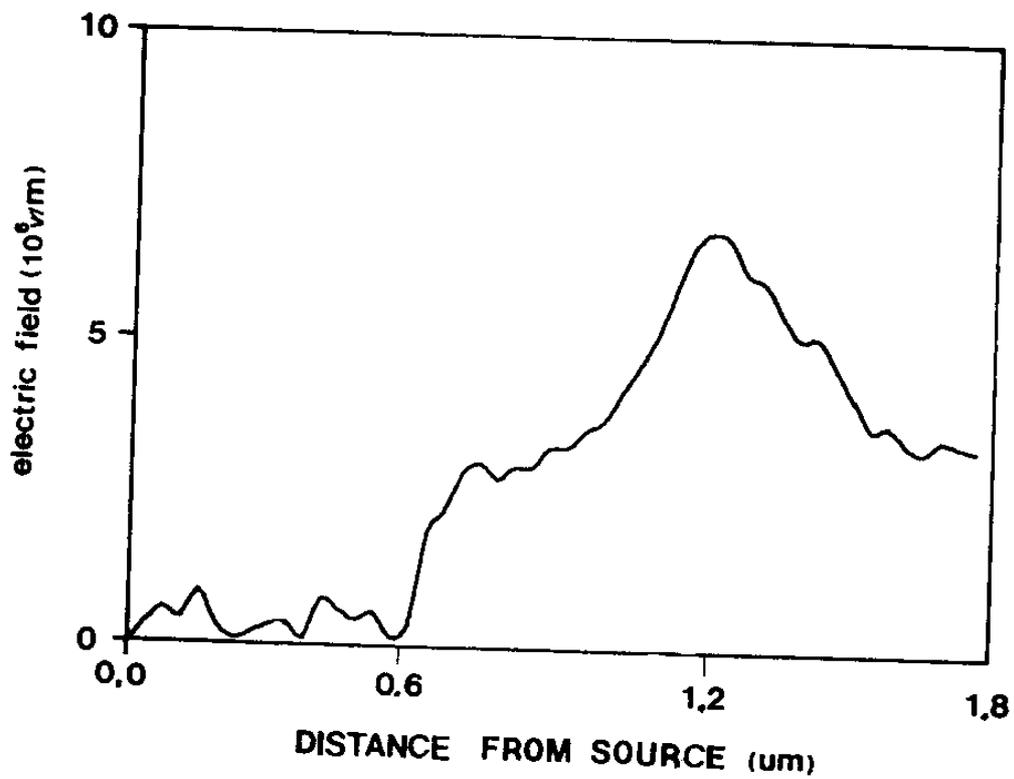


(b)  $L_G = 0.4 \mu\text{M}$

그림 (4-6) 소오스로 부터의 거리에 따른 채널에서의 전계분포



(c)  $L_G = 0.5 \mu\text{m}$



(d)  $L_G = 0.6 \mu\text{m}$

그림 (4-6) 계속

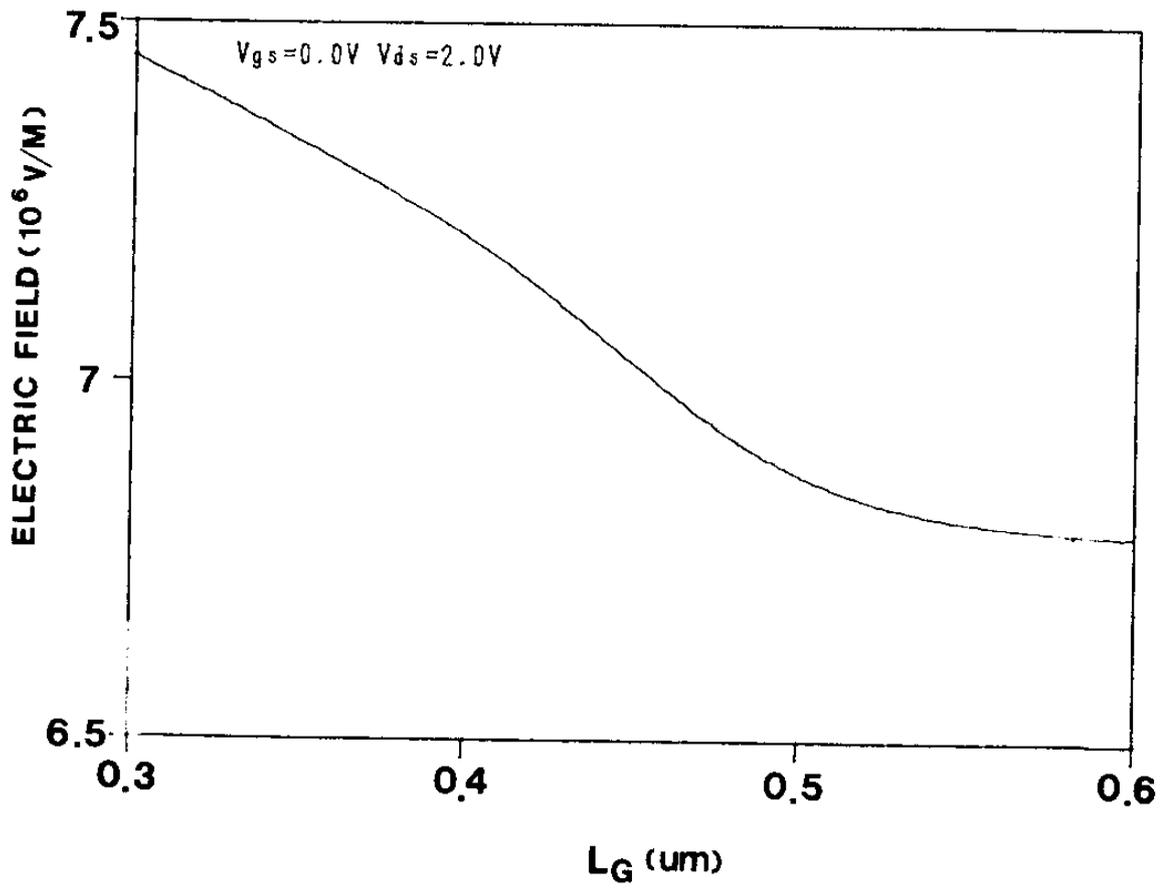


그림 (4-7) 게이트길이에 따른 게이트의 드레인쪽의 전계분포

#### 제4-4절 입자속도

앞장에서 벌크 상태의 시간, 전계에 따른 입자속도를 구한 바 있다. 이 절에서는 GaAs MESFET 의 게이트길이의 변화에 따른 평균입자속도와 소오스트로부터의 거리에 따른 입자속도를 구하였다.

그림(4-8) 에 나타난것은 게이트 길이의 변화에 따른 평균속도이다. 이 그림에서 보면 게이트길이가  $0.6\mu\text{m}$  에서  $0.3\mu\text{m}$  로 감소함에 따라 속도가 증가함을 알 수 있었다. 또한 게이트 길이가  $0.6\mu\text{m}$  일때와  $0.5\mu\text{m}$  일때의 속도 증분이 커짐도 알 수 있었다. 소오스트 부터의 거리에 따른 입자속도는 그림(4-9) 에 나타나 있는데, 게이트의 드레인쪽에서 속도가 매우 큼을 알 수 있었다. 이 그림은 게이트 길이가  $0.6\mu\text{m}$  일때로서, 게이트 밑에서의 최대속도는 약  $1.5 \times 10^5 \text{m/sec}$  정도이다.

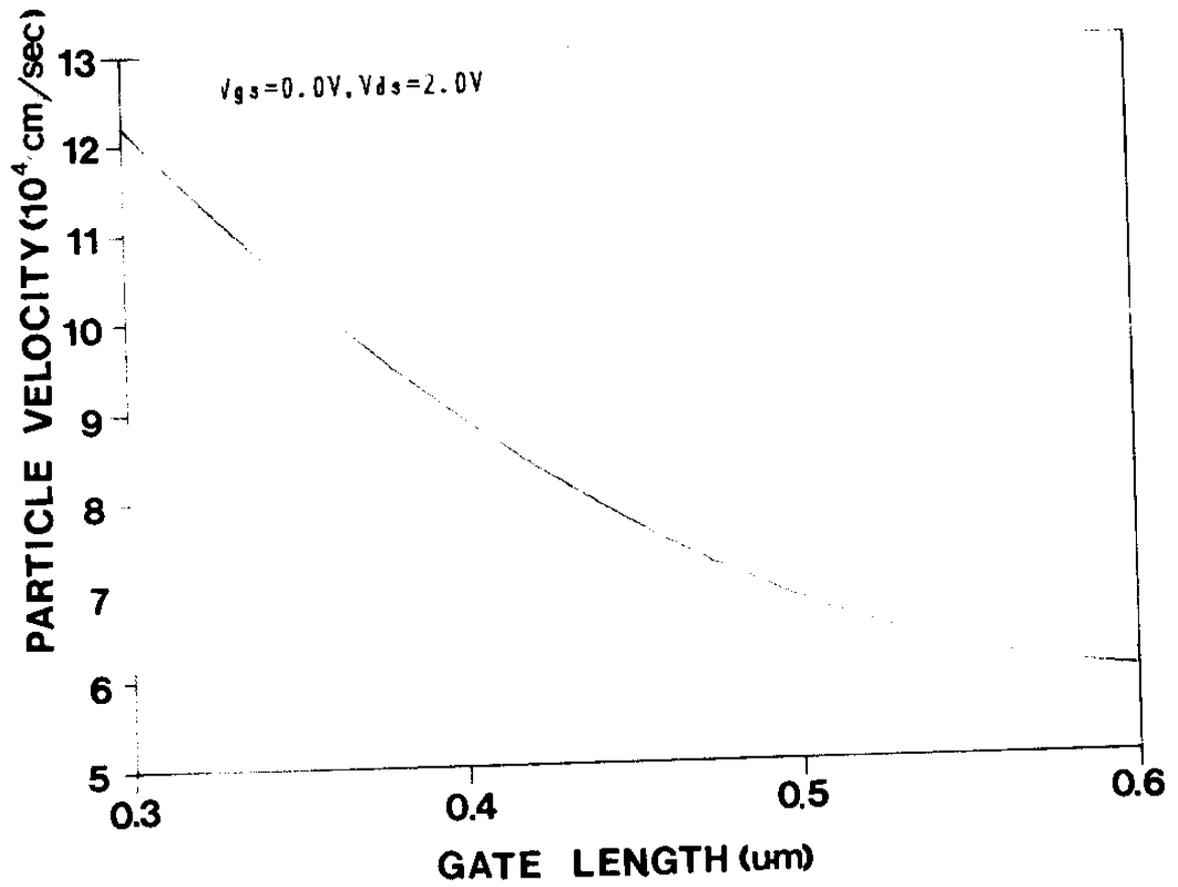


그림 (4-8) 게이트길이의 변화에 따른 입자속도

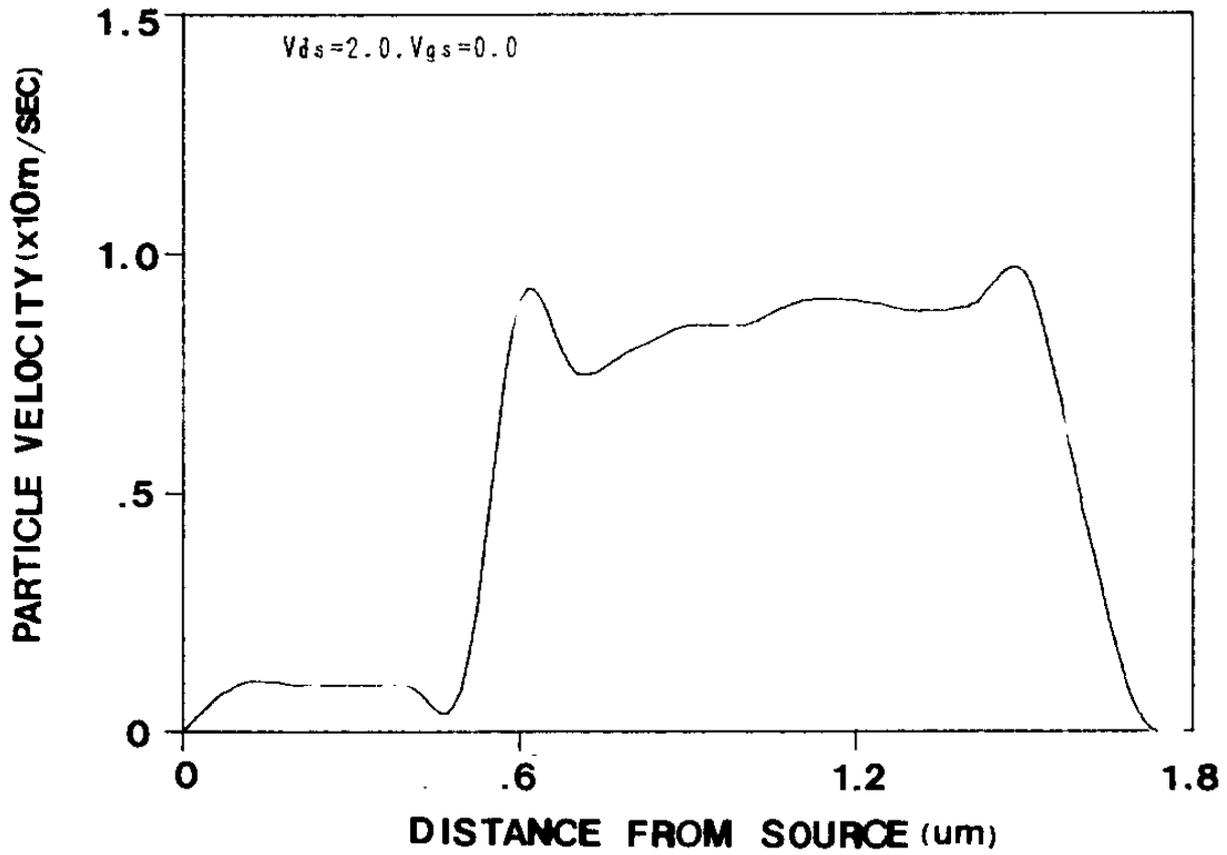


그림 (4-9) 소오스로 부터의 거리의 따른 속도

#### 계 4-5 절 시간에 따른 드레인 전류

4-3절에서와 같은 포텐셜에너지 분포와 전자 상태를 이용하여 입자들을 소오스와 게이트 사이에 두고 시간에 따른 입자들의 이동상태를 추적함으로써 MESFET 을 해석할 수 있는 자료를 얻을 수 있다. 또한 드레인으로 빠진 입자의 수를 누적시키면 그림 4-10 과 같은 결과를 얻을 수 있다. 이때 직선의 기울기가 그 시간에서의 전류가 된다. 여기서도, 게이트의 길이가 감소함에 따라 드레인으로 빠진 입자수의 기울기가 증가함을 알 수 있었다.

그림(4-11) 에서는 MESFET 내의 입자가 시간에 따라 어떻게 이동하는가를 보여주고 있다. 이 그림에서 바이어스가 결정된후에 형성된 채널을 통과하여 전자가 드레인에 이르는 과정을 시각적으로 알 수 있었으며 또한 버퍼층을 통해서도 상당수의 전자가 이동함을 알 수 있었다.

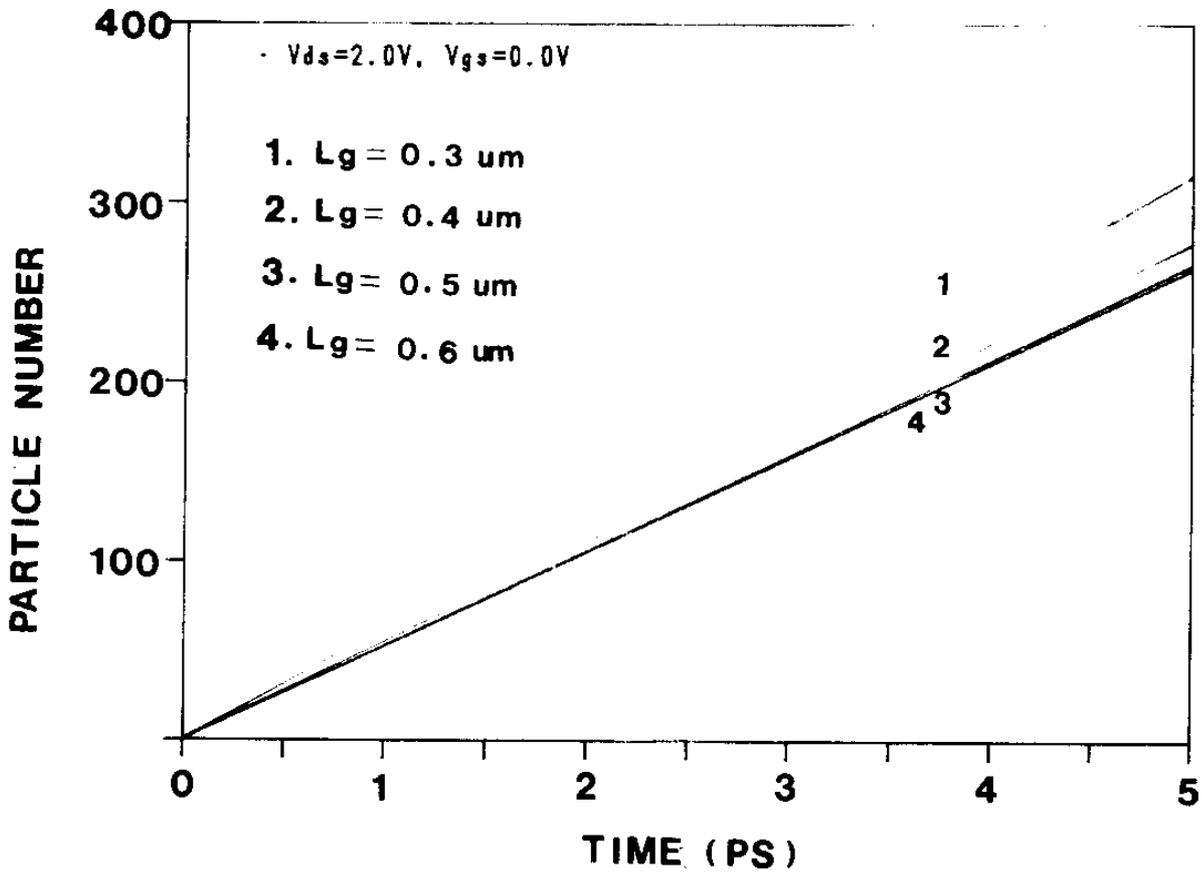
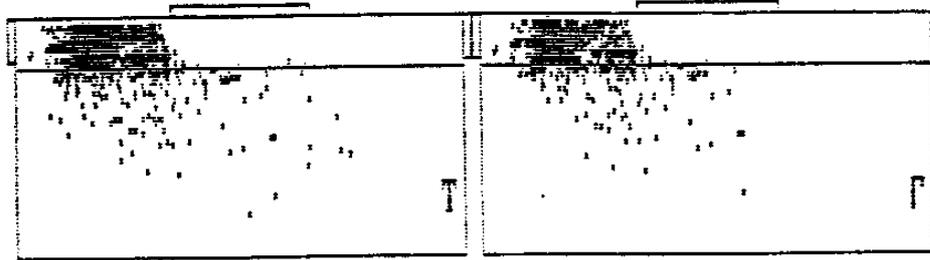
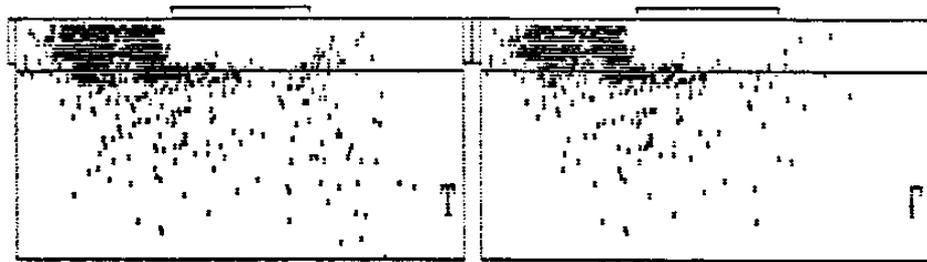


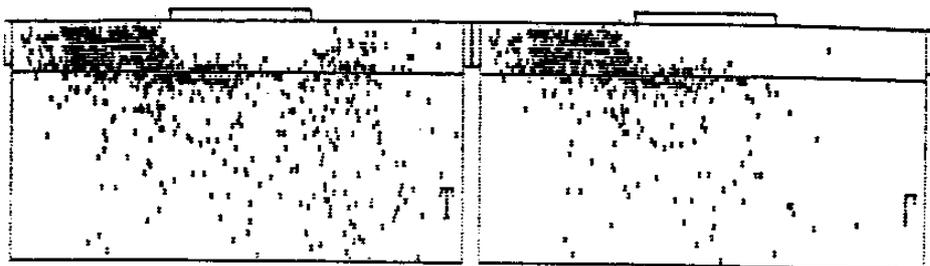
그림 (4-10) 시간에 따른 drain 으로 빠진 입자수



(3psec)

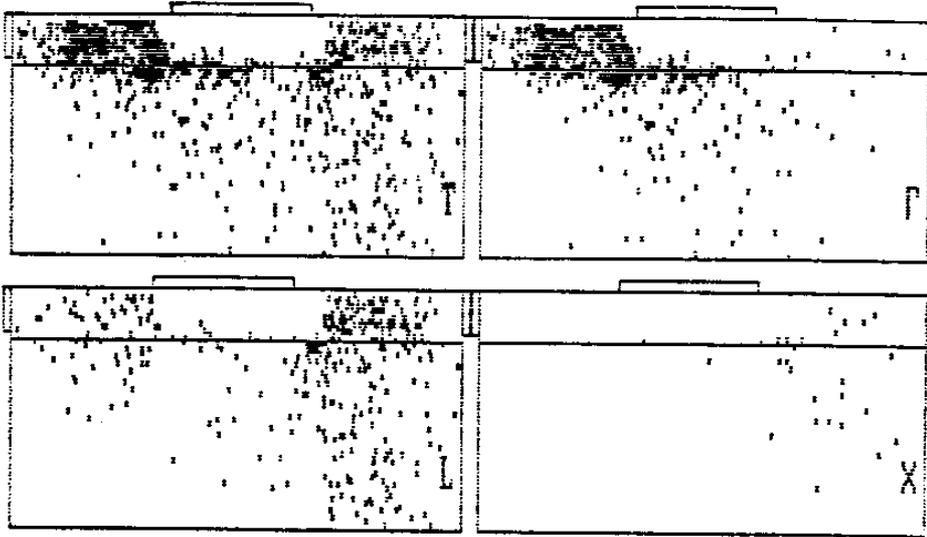


(6psec)

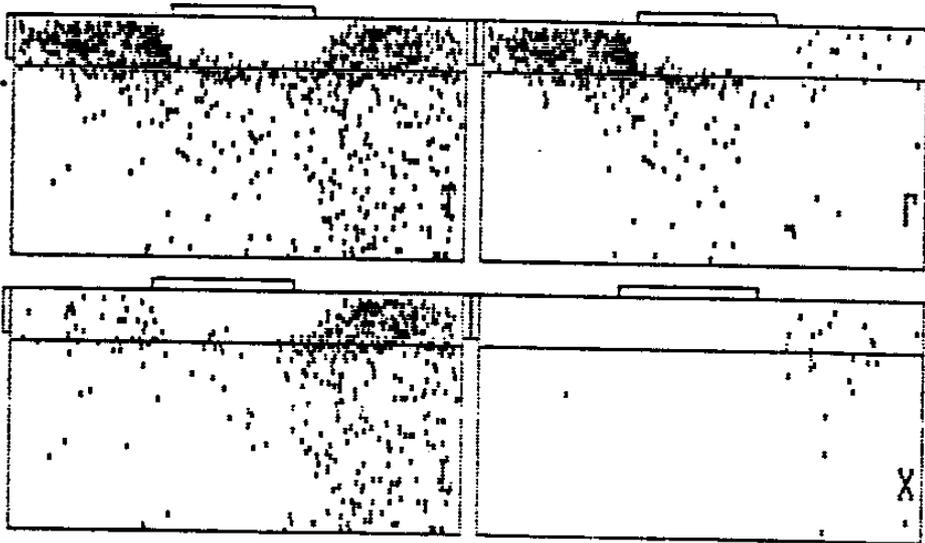


(9psec)

그림 (4-11) 시간에 따른 전자이동 그림



(12psec)



(15psec)

그림 (4-11) 계속

#### 제 4-6 절 게이트 길이와 도핑농도에 따른 전류와 변위전류

시간이 지남에 따라 채널에 흐르는 전류는 포화 상태에 이르게 되는데 이 포화 상태의 전류를 게이트의 길이에 변화에 따라 구했다.(그림(4-12)) 여기서 알 수 있듯이 게이트 길이가 감소함에 따라 포화전류가 증가 하였다. 이는 채널 밑에서의 입자 수를 고려해 볼때 게이트 길이가 짧아질 수록 입자가 고농도로 몰려있게 되며 이러한 입자의 분포가 hot carrier 현상을 보여주기 때문으로 볼 수 있다.

그림(4-13) 은 게이트 길이의 변화에 따른 MESFET 소자내의 입자 분포를 나타낸 것이다. 여기서 게이트길이가 감소할수록 채널속으로 많은 입자가 흐르고, 따라서 오버슈트 현상도 크게 됨을 예상할 수 있다. 또 한편으로 고려해야 할 것이 변위전류(Displacement current)이다. 이 변위전류는 전계의 분포 함수가 시간 종속적일때 나타난다. 이때 MESFET 소자내를 흐르는 전류는 입자의 흐름으로 인한 전류와 변위전류의 합이다. 전류밀도를 구해보면 다음식으로 표현된다.

$$J(t) = J_n + J_p + \epsilon \frac{\partial E}{\partial t}$$

여기서  $J(t)$ 는 변위전류를 포함한 전류식이고  $\epsilon \frac{\partial E}{\partial t}$  는 변위전류를 나타낸다.

MESFET 소자시뮬레이션을 할때, 초기에는 포텐셜 에너지 분포가 크게 변화하고, 따라서 전계의 변화도 심하므로 변위전류가 크게 흐르나 시간이 경과할수록 그 변화량은 급속히 줄어들고 변위전류의 양도 거의 무시할 수 있을 정도가 된다.

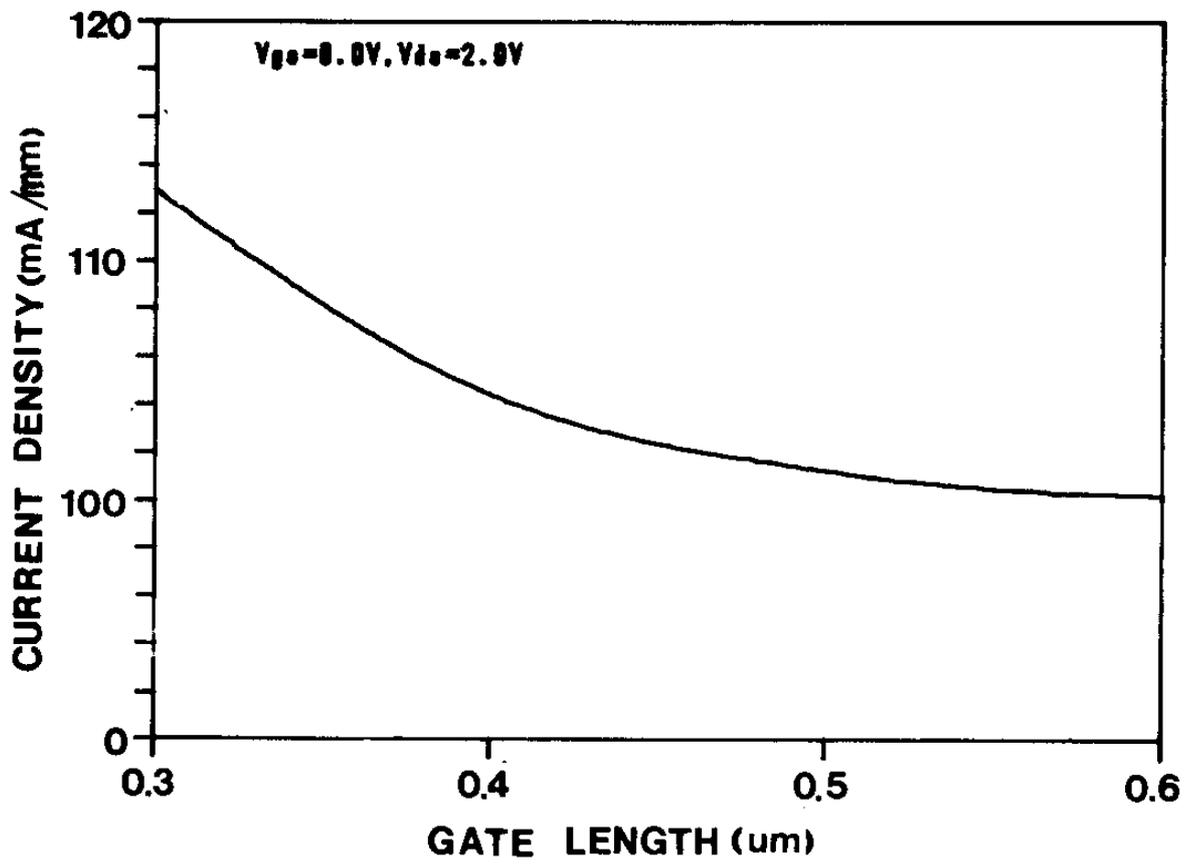
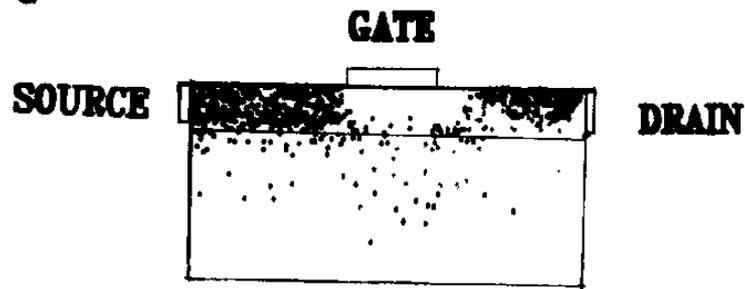
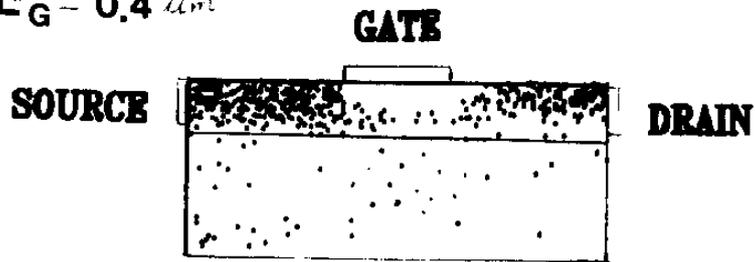


그림 (4-12) 게이트 길이의 변화에 따른 전류밀도

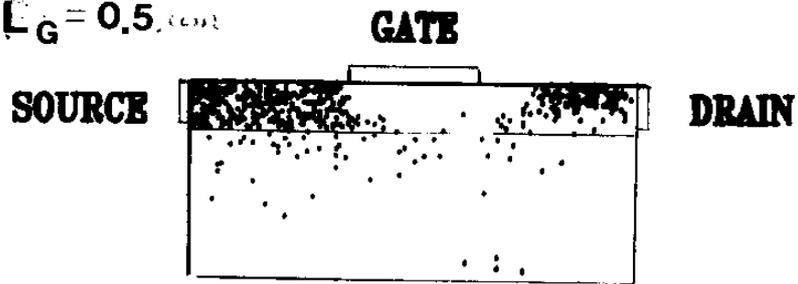
$$L_G = 0.3 \mu m$$



$$L_G = 0.4 \mu m$$



$$L_G = 0.5 \mu m$$



$$L_G = 0.6 \mu m$$

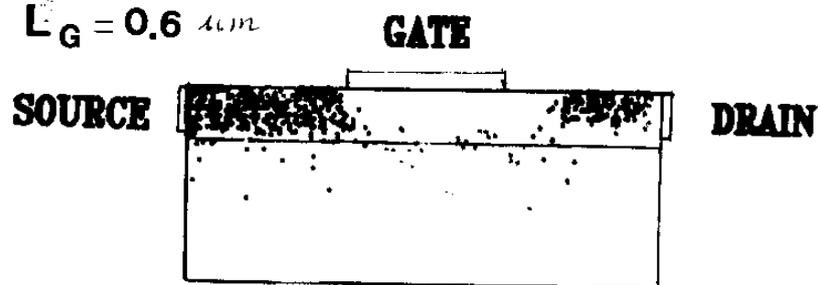


그림 (4-13) 게이트 길이의 변화에 따른 MESFET 소자의 입자분포

그림(4-14)에는 시간의 진행에 따른 변위 전류의 곡선이다. 이 그림에서 알 수 있듯이, 시간이 지남에 따라 변위 전류의 양은 급속히 줄어들었으며 이는 게이트 길이가  $0.3\mu\text{m}$ 에서  $0.6\mu\text{m}$ 로 변화 되어도 마찬가지로 결과를 나타내었다.

그림(4-15)에서는 도핑농도의 변화에 따른 전류밀도이다. 이 그림에서는 도핑농도가  $10^{24}$ 이 되면 전류가 줄어드는데 높은 도핑농도에 이르면 채널 영역에서 전자농도가 불균일하게 분포되고 이에 따라 포텐셜 에너지도 심한 변동을 일으키게 되며, 이 변동이 입자의 전달을 방해하므로 이러한 결과가 나타났음을 알 수 있다. 이 원인으로서는 입자 수가 1000개로써 한 입자당 할당되는 전자의 수가 많아지기때문인데 입자의 수를 늘림으로써 해결할 수 있을 것이라 생각된다.

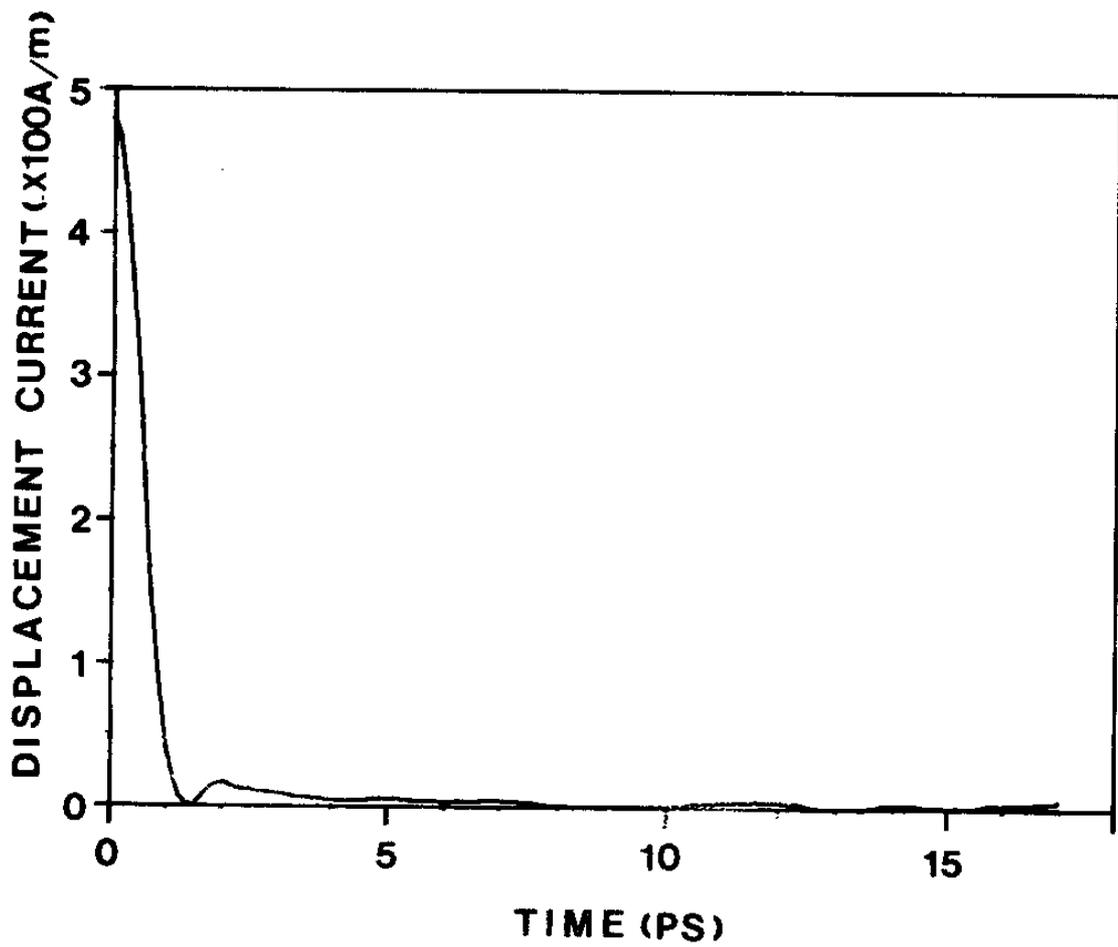


그림 (4-14) 시간에 따른 변위전류의 크기

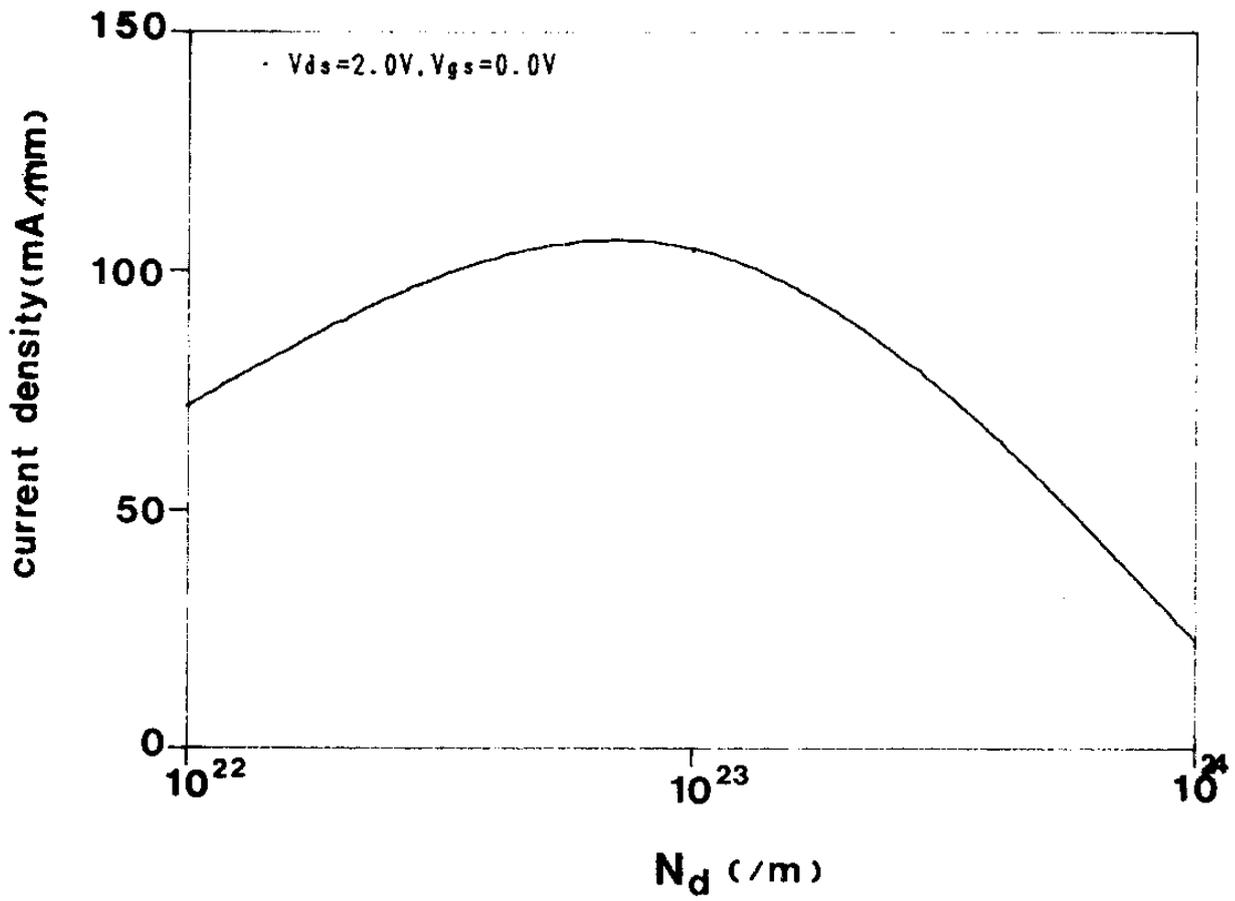


그림 (4-15) 도핑농도에 따른 드레인 전류

#### 제 4-7 절 전류 전압 특성 곡선

각 바이어스 상태에서의 정해진 기울기를 정리 하여 그림으로 나타내면 그림(4-16) 과 같은 전류 전압 곡선을 얻을 수가 있다. 이 결과를 Shockley 모델에 의한 threshold 전압식과 비교하면 다음과 같다.

$$V_T = - \frac{qN_D A^2}{2\epsilon} + V_{Bi} \quad \text{식 (4-4)}$$

$$V_{GS} = V_{DST} = V_T \quad \text{식 (4-5)}$$

$V = 0.0V$  일때  $V = 0.21V$  임을 감안하면 상당히 근사한 결과 이다. 그리고  $V$ 의 증가에 따라 전류가 포화상태에 이르지 못하는 것은 버퍼층을 통해서도 전자가 이동되기 때문이며 이의 고찰을 위해서 그림(4-17) 과 같이 게이트 바이어스를 일정하게 주고  $V_{DS}$ 를  $0.1V, 1.0V, 2.0V$  로 바꾸어주면서 게이트의 드레인 쪽에서의 포텐셜에너지 분포를 구하였다. 이 그래프에서 구한 채널의 포텐셜 길이를 이용하여 Shockley 모델식에 역으로 대입하면 유효채널의 두께를 계산할 수 있는 데  $V_{DS}=2.0V$  에서  $0.121\mu m$ ,  $V_{DS}=2.0V$  에서  $0.123\mu m$ 로서 버퍼층을 통해 전자가 이동하는 것을 유효채널의 길이가 증가하는 효과로 해석할 수 있음을 알수있다. 그림(4-18) 에는 게이트 바이어스를 변화시키면서 게이트 길이에 따른 포화전류를 구하였다. 이그림에서는 게이트 바이어스가  $-1V, -2V$  일때의 포화전류를 나타낸 것으로서, 게이트 바이어스가 음의 방향으로 가해질수록 전류가 적게흐름을 알 수

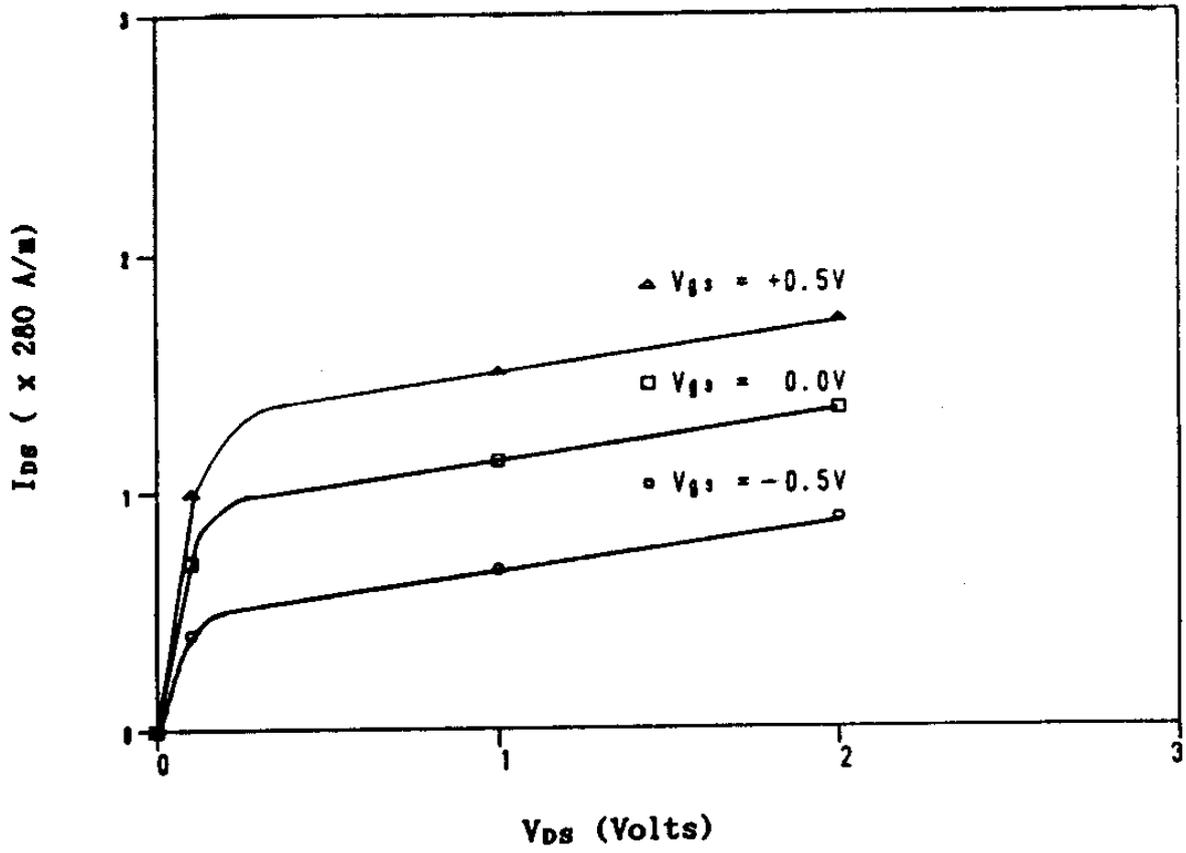


그림 (4-16) 전류-전압 특성 곡선

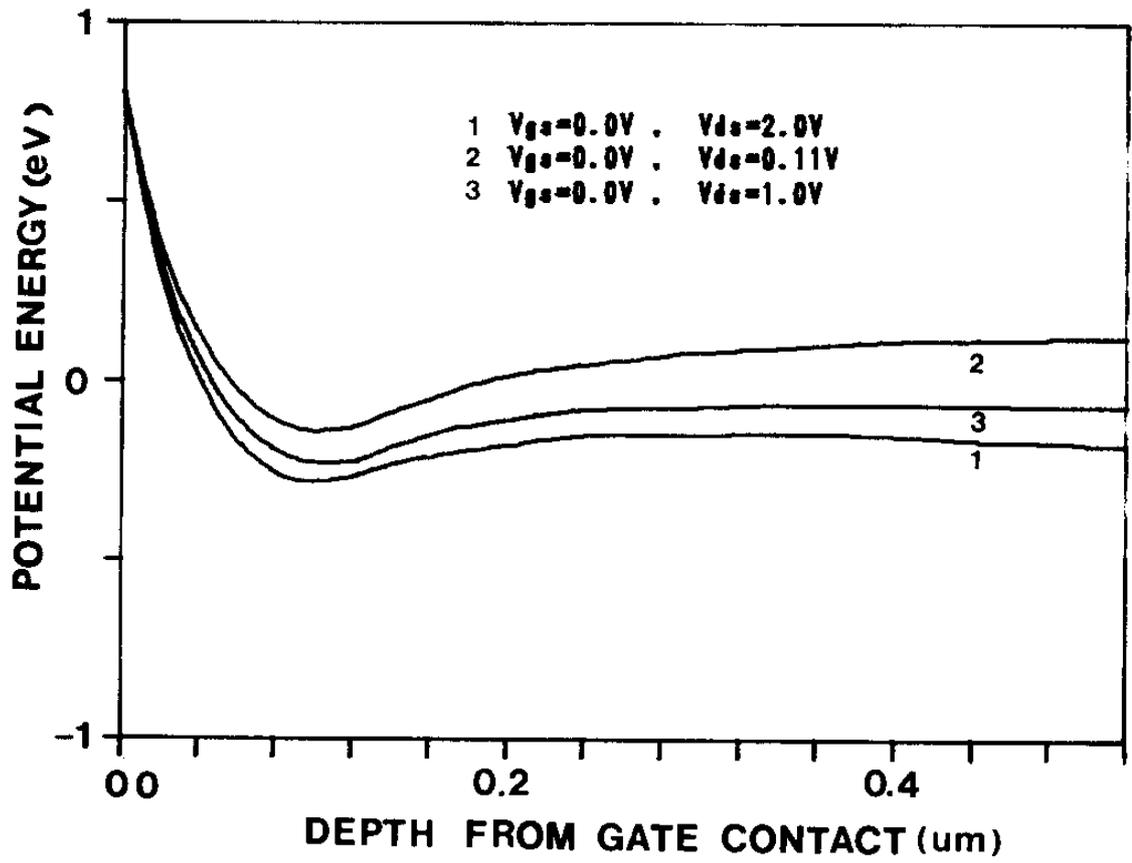


그림 (4-17) 게이트의 드레인 쪽에서의 포텐셜에너지

있다. 그 이유로는 공핍층이 증가하기 때문인데, 이를 보기위해 그림(4-19) 에  $V_G = -1.0V$  일때의 포텐셜에너지분포를 나타내었다. 여기서의 게이트 밑에 공핍영역이 크게 자리잡고 있는 모습을 볼 수 있다.

또한 게이트 바이어스가 변화되면 게이트 커패시턴스에도 영향을 미친다.

$$C_{gs} = \frac{C_{go}}{(1 - V_{gs}/V_{bi})^{1/2}} \quad \text{식(4-6)}$$

여기서  $V_{bi}$  는 built-in Voltage,  $V_{gs}$  는 게이트-소스 전압  $V_{gd}$  는 게이트-드레인 전압이고, 여기서

$$C_{go} = \frac{\epsilon W L}{2A_o} = 1/2 W L \left[ \frac{\epsilon q N_d}{2V_{bi}} \right]^{1/2} \quad \text{식(4-7)}$$

이다.

1985년에 Chen 과 Shur 가 제시한 모델에 앞에서 Monte Carlo 방법으로 파라미터를 대입하면 게이트 전압에 대한 게이트 커패시턴스를 얻을 수 있다.[14] (그림 4-17) 여기서  $V_{ds} = 2.0V$ ,  $L_g = 0.5 \mu m$  게이트 폭  $W$  는  $75 \mu m$  을 사용하였다.

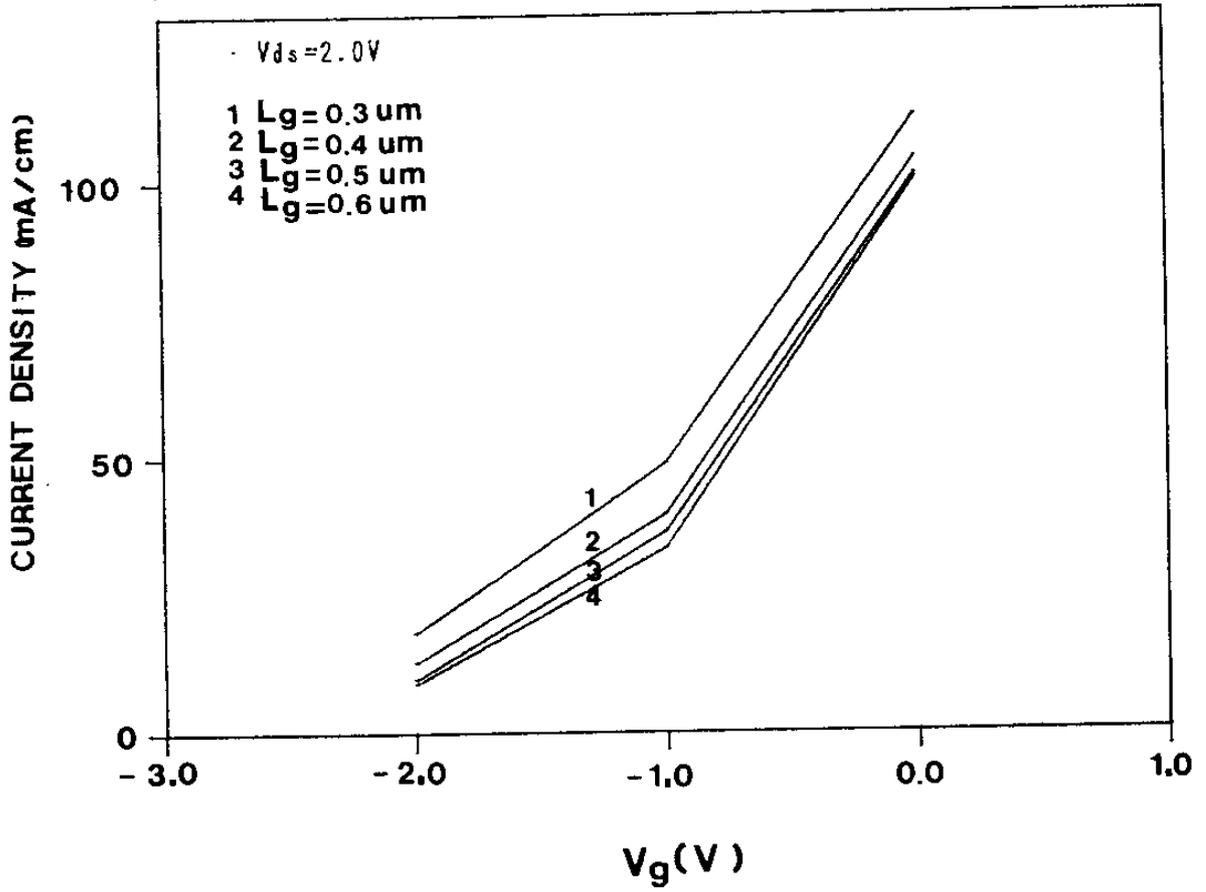


그림 (4-18) 게이트바이어스와 길이에 따른 포화 전류

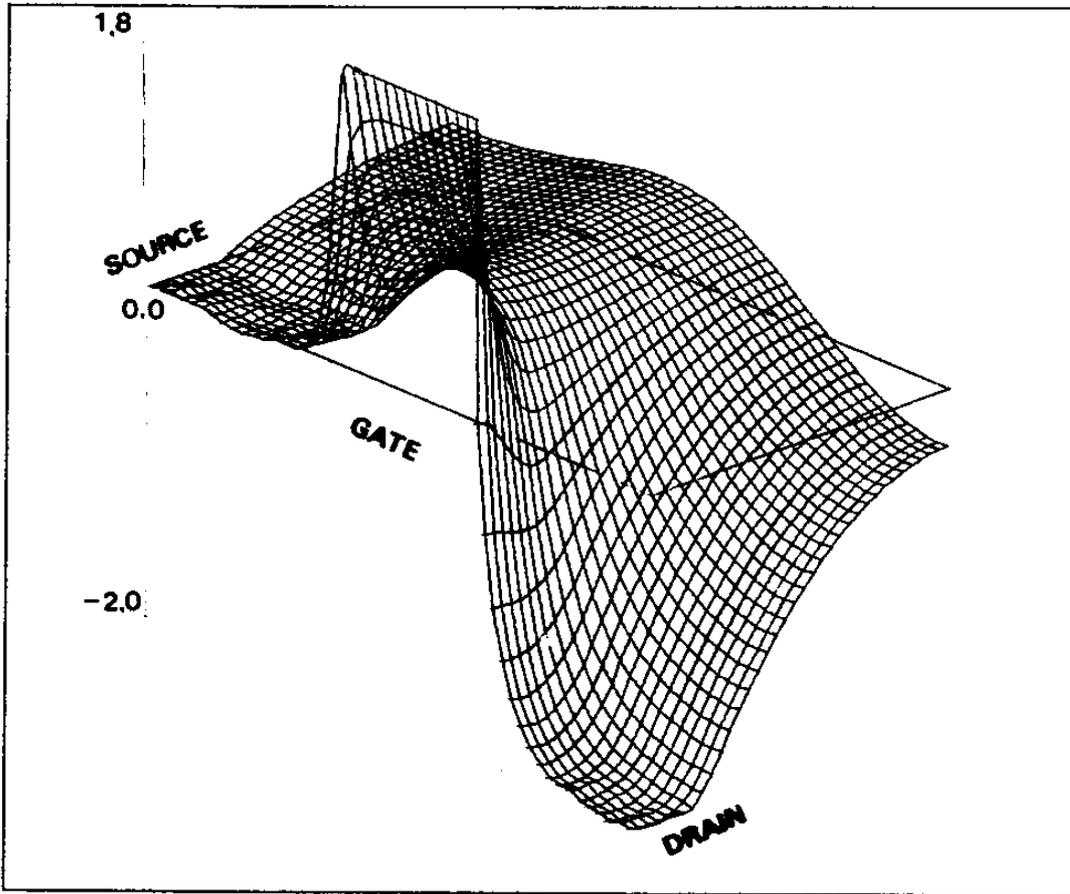


그림 (4-19)  $V_G = -1.0V$  일때의 포텐셜에너지 분포

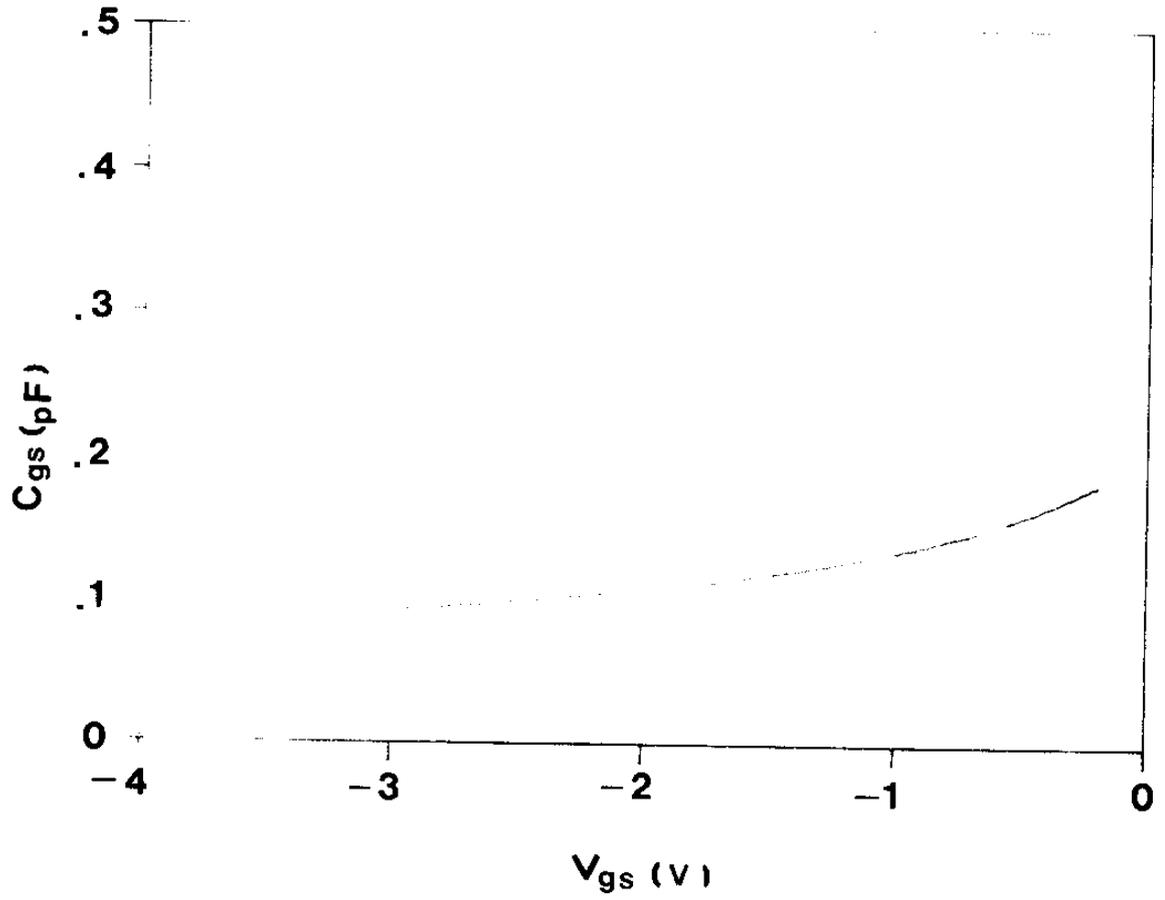


그림 (4-20) 게이트 전압에 따른 게이트 캐패시턴스

## 제 5 장 결 론

GaAs를 이용한 반도체기술이 발전함에 따라 높은 주파수 영역에서 동작하는 소자에 대한 요구가 증대하고 있다. 또한 MESFET 소자의 게이트 길이가 서브마이크론 단위로 축소되고, 이에따른 물리적, 전기적 현상에 대한 이론정립과 전자의 비정상상태에서의 전송해석의 필요성도 더욱 커지고 있다.

이에 본 연구에서는 입자 시뮬레이션을 Monte-Carlo 방법을 이용하여 행하였다. 이프로그램은 fortran 언어로 프로그래밍 하였으며 IBM PC/AT 퍼스널 컴퓨터를 이용하여 실행되었다. 궁극적으로 전류, 전압 특성을 얻기 위해 산란 횟수, 점유율, 포텐셜에너지, 전계분포, 전파상수 등을 구하였다.

그결과로 첫째, 게이트 길이가 감소함에따라 포화 소오스-드레인 전류와 입자속도가 증가함을 알 수 있었다. 또한 게이트 길이가 감소하면 채널 속으로 흐르는 입자가 많아져서 오버슈트 현상이 커짐을 예상할 수 있었다.

둘째, 시간과 전계에 대한 전자속도의 오버슈트를 확인하였으며 이현상은 계곡 점유율 변화를 보았을때 전자의 계곡 천이로 유효 질량이 무거워져 일어남을 알 수 있었다.

셋째, 채널에서의 도핑농도를 증가시킴에 따라 채널내를 흐르는 전류가 증가하나, 농도가  $10^{24}$  이상이 되면 입자수의 한계로 전류가 줄어들었다.

넷째, 소자 시뮬레이션으로 소자내의 전자분포와 포텐셜 에너지를 구하고 전자의 이동을 추적하였다. 그리고 드레인 전류를 결정하여 전류-전압 특성 곡선을 얻었으며 이모두 버퍼층에 의한 효과를 고려할 수 있었다.

다섯째, 몬테 카를로 방법을 이용해서 얻은 파라미터로 게이트 캐패시턴스를 구하였으며, 해석적 모델에의 적용 가능성을 제시하였다.

이상과 같은 결과에서 볼때 볼츠만 방정식을 확률 통계적으로 해석하는 몬테카를로 방법을 사용하여 GaAs MESFET의 전송 특성을 알 수 있었으며, 이 몬테카를로 알고리즘을 소자에 이용할 수 있는 범위는 앞으로 매우 넓어질 것이 예상된다. 그러나, 계산속도의 한계(IBM/PC 기준으로 10 psec 시뮬레이션 수행시 12 시간)와 이에따른 입자수의 한계(1000개)를 먼저 극복해야 하며 이는 보다 초고속의 컴퓨터를 사용한다면 충분히 해결될 수 있으리라 본다.

앞으로 GaAs MESFET의 수요가 많으리라 예상되므로, 회로 시뮬레이션에 이용할 수 있는 빠른 속도의 MESFET소자 시뮬레이터 개발과 이를 위한 파라미터의 추출이 요구된다.

## 참 고 문 헌

- [1] Neil Sclater, *Gallium Arsenide IC Technology*, TAB Professional and Reference Books, 1988
- [2] Giovanni Ghione etc., "Physical Modeling of GaAs MESFET's in an Integrated CAD Environment: From Device Technology to Microwave Circuit Performance," *IEEE Trans. Microwave Theory and Tech.* Vol.37, No.3, pp.457-468, 1989
- [3] D. Vernon Morgan etc., "Large Signal Modeling of GaAs MESFET Operation." *IEEE Trans. Electron Devices*, Vol.ED-30, No.12, pp.1817-1824, 1983
- [4] M.C. Yalabik etc., "Quantum Mechanical Simulation of Charge Transport in Very Small Semiconductor Structures." *IEEE Trans. Electron Device.* vol.36, no6, pp.1009-1014, 1989
- [5] Karl Hess, *Advanced Theory of Semiconductor Devices*, Prentice Hall International Edition s, 1988
- [6] C. Mogilestue, "Monte Carlo Particle Modeling of Local Heating in n-type GaAs FET," *IEE Proc.*, Vol.128, pt.I, No.4, pp.131-133, 1981
- [7] C. Mogilestue, "Monte Carlo Particle Model Study of a Microwave Photodetector," *IEE Proc.*, pt.I, No.3, pp.103-106, 1984
- [8] B. Carnev, "Modeling of Submicrometer Gate Field Effect Transistor Including Effects of Nonstationary Electron Dynamics," *J. Appl. Phys.* Vol.51, No.1, pp. 784-790, 1980
- [9] C.M. Snowden, *Semiconductor Device Modeling*, Springer-Verlag, 1989
- [10] C. M. Snowden, *Introduction to Semiconductor Device Modeling*, World Scientific, 1987
- [11] L. Yang, S.T. Long, *IEEE Electron Device Lett.* EDL-7, pp 75-77, 1986
- [12] K. W. Lee, M.S. Shur, K. Lee, T. Vu, P. Roberts, and M. Helix, *IEEE Trans. on Electron Devices*, ED-32, No.5, pp. 987-992, May 1985
- [13] T. Takada, k. Yokohama, M. Ida, and T. Sudo, *IEEE Trans. on Microwave Theory and Technique*, MTT-30, pp. 719-723, 1982

- [14] Tzu- Hung Chen and M. S. Shur, " A Capacitance Model for GaAs MESFET's", IEEE Trans. on Electron Devices, VOL. ED-12, No.5, May 1985
- [15] Michael Shur, *GaAs Devices and Circuits* , Plenum Press, 1987
- [16] B.K.Ridley, *Quantum Process in Semiconductors*, Clarendon Press Oxford, pp.,82-182,1982
- [17] B.R. Nag, *Electron Transport in Compound Semiconductors* , Springer-Verlag Berlin Heidelberg New York, pp.93-128,1980
- [18] Carlo- Jacoboni Paolo Lugli *The Monte- Carlo Method for Semiconductor Device Simulation* , Springer-Verlag Wien New-York,1989
- [19] A.D. Boardman, *Physics Programs*, Johnson Wiley & Sons , 1980
- [20] C.M.Snowden , *Semiconductor Device Modeling* , IEE Materials & Devices Series 5, pp. 174-202,1988
- [21] 남 승 현, Monte- Carlo 방법을 이용한 AlGaAs/GaAs 이차원 전자 가스층의 전달 특성 분석 , 석사학위 논문 , 연세대학교, 1987
- [22] 문 승 환 , 입자 모델을 이용한 서브마이크론 게이트 GaAs MESFET 특성의 해석, 석사학위 논문 , 연세대학교,1990
- [23] W. Fawcett ,D. A. Boardman and S.Swain, "monte-Carlo Determination of Electron Transport Properties in Gallium Arsenide," J.Phys. Chem., Solids, Vol.31,pp.1963-1999,1970
- [24] Lee W. Johnson etc., *Numerical Analysis*, Addison-Wesley, 2nd, 1982
- [25] 김 봉 열, 정 학 기 외, "유한 차분법을 이용한 MODFET 의 이차원적 해석," 전자공학회 논문지, Vol.25, No.11,1988,pp.100-106
- [26] W.L.Engl," Process and Devices Modeling.", Advanced CAD for VLSI, Nol.1,North-Holland,1986
- [27] W.L. Engl *Process and Devices Modeling*, North-Holland, 1986
- [28] Christopher M. Snowden ,Dany Loret,"Two Dimensional Hot-Electron Models for Short-Gate length GaAs MESFET's" IEEE Trans. on Electron Devices VOL .ED-34, No.2, Feb.1987

**부록 1 산탄울 계산을 위한  
GaAs 물질 파라미터**

Number of equivalent valleys	$\Gamma$	1
	L	4
	X	3
Density(g/cm <sup>3</sup> )		5.37
Sound of velocity(cm/s)		5.2 X 10 <sup>5</sup>
Static dielectric constant		12.9
Optical dielectric constant		10.92
LO phonon energy(eV)		0.0362
Acoustic deformation potential(eV)		7
Intervalley phonon energy(eV)		0.0299
Energy seperation between valleys(eV)	$\Gamma$ -L	0.33
	$\Gamma$ -X	0.52
Effective mass ( $m/m_0$ )	$\Gamma$	0.063
	L	0.17
	X	0.58
Intervalley coupling constant (10 <sup>9</sup> eV/cm)	$\Gamma$ -L	0.18
	$\Gamma$ -X	1
	L-X	0.1
	L-L	0.5
	X-X	1
Nonparabolicity(eV <sup>-1</sup> )	$\Gamma$	0.62
	L	0.5
	X	0.3
Polar optical phonon frequency(rad/s)		5.37 X 10 <sup>13</sup>
Intervalley phonon frequency(rad/s)		4.54 X 10 <sup>13</sup>

reference 10.13

## 부록 2 산 탄 율

1) 광학적 포논 산란 (optical phonon scattering)

$$\lambda_o(E) = 5.61 \times 10^{15} \left(\frac{m}{m_o}\right)^{1/2} E_o \left(\frac{1}{K_o} - \frac{1}{K_o}\right) \frac{1+2\alpha E'}{\gamma^{1/2}(E)} F_o(E, E')$$

$$\times \begin{cases} N_o & \text{(absorption)} \\ (N_o+1) & \text{(emission)} \end{cases} \quad [s^{-1}]$$

$$E_o = \hbar\omega_o/q$$

$$E' = \begin{cases} E + E_o & \text{(absorption)} \\ E - E_o & \text{(emission)} \end{cases}$$

$$\gamma(E) = E(1+\alpha E)$$

$$F_o(E, E') = C^{-1} \left\{ A \ln \left| \frac{\gamma^{1/2}(E) + \gamma^{1/2}(E')}{\gamma^{1/2}(E) - \gamma^{1/2}(E')} \right| + B \right\}$$

$$N_o = \frac{1}{\exp(\hbar\omega_o/k_B T) - 1}$$

$$A = \{2(1+\alpha E)(1+\alpha E') + \alpha[\gamma(E) + \gamma(E')]\}^2$$

$$B = -2\alpha \gamma^{1/2}(E) \gamma^{1/2}(E') \{4(1+\alpha E)(1+\alpha E') + \alpha[\gamma(E) + \gamma(E')]\}$$

$$C = 4(1+\alpha E)(1+\alpha E')(1+2\alpha E)(1+2\alpha E')$$

2) 음향적 포논 산란 (acoustic phonon scattering)

$$\lambda_a = \frac{0.499 \times 10^{18} (m/m_o)^{3/2} T E_1^2}{\rho u^2} \gamma^{1/2}(E) (1+2\alpha E) F_a(E) \quad [s^{-1}]$$

$$F_a = \frac{(1+\alpha E)^2 + 1/3(\alpha E)^2}{(1+2\alpha E)^2}$$

3) 불순물 산란 (impurity scattering)

$$\lambda_I = 4.84 \times 10^{11} (m/m_0)^{1/2} T/K_0 \frac{1+2\alpha E}{K_0[E(1+\alpha E)]^{1/2}} [s^{-1}]$$

4) 동일 계곡간 산란 (equivalent intervalley scattering)

$$\lambda_0 = 1.129 \times 10^{-5} (Z_0-1)(m/m_0)^{3/2} D_0^2/(\rho E_0) (E')^{1/2}$$

$$\times \begin{cases} N_e & \text{(absorption)} \\ (N_0+1) & \text{(emission)} \end{cases} [S^{-1}]$$

5) 타 계곡간 산란 (non-equivalent intervalley scattering)

$$\lambda_{IJ} = 1.129 \times 10^{-5} Z_J (m_J/m_0)^{3/2} D_{IJ}^2/(\rho E_{IJ})$$

$$\times \gamma^{1/2} (1+2\alpha_J E_{J'}) F_{IJ}(E_I, E_{J'}) \times \begin{cases} N_{IJ} & \text{(absorption)} \\ (N_{IJ} + 1) & \text{(emission)} \end{cases} [s^{-1}]$$

$$N_{IJ} = \frac{1}{\exp(\hbar\omega_{IJ}/k_B T) - 1}$$

$$F_{IJ} = \frac{(1+\alpha_I E_I)(1+\alpha_J E_{J'})}{(1+2\alpha_I E_I)(1+2\alpha_J E_{J'})}$$

$$E_J = E_I \pm E_{IJ} \quad , \quad E = \hbar\omega_{IJ}/q \quad [eV]$$

### 부록 3 전자위치 $r$ 의 결정

비포물성  $\alpha$  를 포함하는 E-K 관계식은

$$E(1+\alpha E) = \gamma = \frac{\hbar^2 K^2}{2m}$$

$$E = \frac{-1 + \sqrt{1+4\alpha\gamma}}{2\alpha}$$

가 되므로 속도는

$$v = \frac{\partial r}{\partial t} = \frac{1}{\hbar} \frac{\partial E}{\partial K} = \frac{\hbar K}{m(1+2\alpha E)}$$

와 같이 구할 수 있다. 그리고 전계 F와 자유비행시간  $t_f$ 일때 파동벡터는

$$K_t = K_0 + q F t_f / \hbar$$

이다.

따라서 전자의 위치  $r$  은 다음과 같이 구할 수 있다.

$$\begin{aligned} r &= r_0 + \int_0^{t_f} v dt \\ &= r_0 + \int_0^{t_f} \frac{\hbar K}{m \left[ 1 + 2\alpha \frac{-1 + \sqrt{1+4\alpha\gamma}}{2\alpha} \right]} dt \\ &= r_0 + \int_0^{t_f} \frac{\hbar K}{m \sqrt{1+4\alpha\gamma}} dt \\ &= r_0 + \frac{\hbar^2}{qFmA} \int_{K_0}^{K_0+qFt_f/\hbar} \frac{A \hbar K}{\sqrt{1+A^2 K^2}} dK \\ A &= \sqrt{2\alpha \hbar^2 / m} \\ dt &= \frac{\hbar}{qF} dK \end{aligned}$$

$$= r_0 + \frac{\hbar^2}{qF_m A} \int_{\theta_0}^{\theta_t} \frac{\tan \theta}{\sqrt{1+\tan^2 \theta}} \frac{1}{A} \sec^2 \theta d\theta$$

$$AK = \tan \theta$$

$$dK = 1/A \sec^2 \theta d\theta$$

$$\theta_t = \tan^{-1}(A(K_0 + qF_t \tau / \hbar))$$

$$\theta_0 = \tan^{-1}(AK_0)$$

$$= r_0 + \frac{\hbar^2}{qF_m} \frac{1}{A^2} [\sec \theta]_{\theta_0}^{\theta_t}$$

$$= r_0 + \frac{\hbar^2}{qF_m} \frac{1}{A^2} \sqrt{1 + A^2 K^2} \Big|_{K_0}^{K_t}$$

$$= r_0 + \frac{\hbar^2}{qF_m} \frac{1}{A^2} ( \sqrt{1 + A^2 K_t^2} - \sqrt{1 + A^2 K_0^2} )$$

$$= r_0 + \frac{\hbar^2}{qF_m} \frac{1}{A^2} ( (1 + 1/2 A^2 K_t^2) - (1 + 1/2 A^2 K_0^2) + \text{err} )$$

$$|A^2 K^2| \ll 0 \rightarrow \text{err} \approx 0 \quad ( \text{Taylor's series 2차항까지} )$$

$$= r_0 + \frac{\hbar^2}{2qF_m} \frac{1}{A^2} A^2 ( (K_0 + qF_t \tau / \hbar)^2 - K_0^2 )$$

$$= r_0 + \frac{\hbar^2}{2qF_m} ( 2qF_t \tau K_0 / \hbar + (qF_t \tau / \hbar)^2 )$$

$$= r_0 + \frac{qF_t \tau^2}{2m} + \frac{\hbar K_0 \tau}{m} \quad "$$



## II. GaAs MESFET 2차원 수치해석 package의 개발에 관한 연구



## 목 차

### 요 약 문

- (1) 제목
- (2) 연구의 필요성
- (3) 연구의 내용 및 범위
- (4) 연구 결과
- (5) Package 활용에 대한 건의

목 차	.....	207
I. 서 론	.....	209
II. 수치 해석 방법	.....	211
2.1 기본 방정식	.....	211
2.2 경계 조건	.....	215
III. Numerical method	.....	223
IV. 결과	.....	238
V. 부록	.....	242



## I. 서론

MESFET 이 2 차원적으로 어떻게 동작하는가, 또 디바이스 구조에 따라 국부적으로 전자가 어떠한 양상으로 움직이는가를 안다는 것은 디바이스 설계자 및 회로 설계자에게는 대단히 중요한 일이다. 따라서 본 연구에서는 GaAs MESFET에서 위의 효과를 규명할 수 있는 2 차원 numerical simulator를 drift-diffusion 전류 이론에 바탕을 두어서 개발되었다.

최근 들어 active channel 이 submicron 이하로 되는 디바이스가 출현하면서 submicron 디바이스에서 발생하는 물리적 현상들이 중요시 되고 있다. 즉 drift-diffusion 전류 이론은 전계, carrier 속도, carrier density 사이에 평형관계가 존재한다고 가정하는 데 비해, submicron active channel을 갖는 디바이스에서는 전자가 평형조건하에서 전송되지 않고, velocity overshoot 와 같은 nonstationary effect 가 중요시된다. 따라서, GaAs MESFET 에 대한 최근의 simulation 은 semiclassical model (Hydrodynamic Model) 을 바탕으로 하여 전류, 에너지 그리고 momentum 보존 조건을 기술하는 비선형적인 편미분 방정식의 해가 필요하게 된다. 완전한 2 차원적인 해를 구하기 위해서는 많은 어려움이 따르므로, 에너지 전송 에너지에서 간략화된 1 차원 표현식이 자주 사용되며, 또한 전자 에너지 위치에 따른 변화를 완전히 무시하기도 한다. 그러나, 이러한 에너지 전송 현상을 이용할 경우에는 hot electron 이 나타나는 Submicron Device 경우에 적용할 필요성이 있고, 그 이상되는 디바이스에서 굳이 그 필요성이 절해된다. 그 이유는 Computer time 과 관련되며 그것은 곧바로 경제성과 직결되기 때문이다. 완전한 2 차원 해석을 하지않고 간단화된 2 차원 해석을 하는 것도 Computer time 을 줄이기 위해서이다. 따라서 세밀한 물리적 현상을 나타내는 것이라고 해서 무조건 좋은 것이 아니며, 디바이스의 종류나 사용 목적에 따라, 적절히 식을 선택해서 사용하는 것도 한 방법이다.

또한 Numerical Simulation 은 크게 FDM 과 FEM 으로 나눌 수 있는데, 본 연구에서는 FDM의 성격을 가지면서 FEM의 장점을 가지고 있는 Control - Volume Formulation Method를 반도체 디바이스 시뮬레이션에 처음으로 사용하였다.

Control - Volume Formulation 은 흐르는 유동체에 대한 Simulation 의 경우(가령 공기, 물 등) 에는 FEM 보다 좋은 방법이라고 인식되고 있으며, 또한 3차원으로 확장이 용이한 것이 장점이다.

이 작업에서, SEDES-I(SEMiconductor DEVICE Simulator-I) 이 개발된다. 결국, 우리에게 문제가 되는 것이 계산 시간과 용량에 문제가 되었다. PISCES 와 같은 경우는, 용량이 UNIX 시스템 이상되는 시스템만이 실행 가능하다. 굳이 단점이라고 말할 수 있다면, 계산 시간이 많이 걸린다는 것이다. 우리가 호환성 있게 사용되는 MS-DOS 상에서는 3 차원 simulation 하기에는 문제가 있다고 본다. 그렇지만, 2 차원 반도체 소자 simulation 에서는 용량에 문제가 있기는 하지만, 매우 간단하고, 쉽게 사용하리라 본다.

## II. 수치 해석 방법

### 2.1 기본 방정식

모든 동작 조건하에서 임의의 반도체 소자를 해석하기 위해서는 Carrier Transport Eq. 를 풀어야 하는데 Drift-Diffusion Current Theory 경우의 Transport Eq. 은 Poisson 방정식과 전류 연속 방정식이다.

Poisson 방정식:

$$\nabla^2 \Psi = - \frac{q}{\epsilon} (N_d - N_a + p - n) \quad (2.1)$$

전자 전류 연속 방정식:

$$\nabla \cdot J_n - q \cdot \frac{\partial n}{\partial t} = q \cdot R(\Psi, n, p)$$

정공 전류 연속 방정식:

$$\nabla \cdot J_p - q \cdot \frac{\partial p}{\partial t} = -q \cdot R(\Psi, n, p) \quad (2.2)$$

전자 전류 방정식

$$J_n = - n \cdot q \cdot \mu_n \cdot \nabla \Psi + q \cdot D_n \cdot \nabla n$$

정공 전류 방정식

$$J_p = p \cdot q \cdot \mu_p \cdot \nabla \Psi + q \cdot D_p \cdot \nabla p \quad (2.3)$$

위 식을 풀어 n 형 GaAs MESFET 해석을 하기 위해서 다음과 같이 가정을 사용한다.

< 가 정 >

1) Charge 캐리어는 항상 격자 (Lattice) 와 열평형 상태를 이루며, Fermi 통계의 Boltzmann Approximation 이 가능하다(온도에 의한 영향을 배제한다).

즉,

$$n = n_i \exp\{ q(\Psi - \Psi_n)/kT\}$$

$$p = n_i \exp\{ q(\Psi_p - \Psi)/kT\}$$

2) 정공 전류를 무시한다. n 형 MESFET 의 Active Layer 에서 전자 의 농도는 보통 정공의 농도보다 거의 6 배나 크기 때문에 정공 전류  $J_p$  는 전자 전류  $J_n$  보다 훨씬 적다.

3) 유전율이 디바이스 전 영역에서 일정하다.

4) Einstein 관계식을 만족한다.

$$(D_n/\mu_n = V_t (\approx 0.0259 \text{ at } 300K))$$

5) 전류 연속 방정식에서 시간에 따른 농도의 변화율을 무시한다.

6) Recombination 과 Generation Rate 는 무시한다.

따라서 윗 식을 다시 쓰면 다음과 같다.

$$\nabla^2 \Psi = - \frac{q}{\epsilon} (N_d - n) \quad (2.4)$$

$$\nabla \cdot J_n = 0 \quad (2.5)$$

$$J_n = - q \cdot n \cdot \mu_n \cdot \nabla \Psi + q \cdot D_n \cdot \nabla n \quad (2.6)$$

여기에서,  $\Psi$  는 potential [V] ,  $n$  은 전자 농도 [ $1/\text{cm}^3$ ],  $N_d$  는 도핑 농도 [ $1/\text{cm}^3$ ],  $q$  는 기본 전하량 [C],  $\mu_n$  은 전자 이동도 [ $\text{cm}^2/\text{V} \cdot \text{sec}$ ] 이다.

반도체 디바이스 시뮬레이션을 함에 있어 가장 어려운 문제는 연속 방정식을 푸는 것이다. 이는 물리적인 관점에서 보았을 때 농도 분포의 변화가 심한 곳에서는 대단히 비선형적으로 변하기 때문에 이를 실제의 시뮬레이션에 어떻게 정확히 반영시킬 것인가 하는 것이 관건이 되기 때문이다. 반면에, 이를 반영 시키는 경우에는 미분 방정식을 풀 때 안정도(Stability)가 떨어지고 따라서 수렴이 잘 안되는 문제점을 갖고 있다. 결국, 이들 상반되는 2개의 요인을 적절히 조화시키는 것이 전류 연속의 방정식을 풀 때 중요하게 된다.

본 연구에서는 carrier 농도  $n$  을 변수로 사용하였다.

이 경우의 전류식은 식 (2.6) 과 같다. 이 방법은 직접 농도  $n$  을 변수로 사용한다는 의미에서 바람직하나  $n$  이 변화하는 범위가 대단히 크기 때문에 Discretization Scheme 에 상당한 주의를 기울여야 하며, 아주 작은 오차에 의해서도(-) 농도가 발생할 수 있는 가능성을 내포하고 있다. 따라서 본 연구에서는 전류 방정식으로 식(2-6)을 사용하며 Scheme 으로서는 Exact Scheme ( Power Law Scheme ) 을 사용하였다. 식(2.5) 와 식(2.6)으로 부터 최종적인 연속 방정식의 형태는 다음과 같다.

$$\nabla \cdot J_n = -q \cdot \nabla \cdot (n \cdot \mu_n \cdot \nabla \Psi - D_n \cdot \nabla n)$$

따라서

$$\nabla \cdot (q \cdot n \cdot \mu_n \cdot \nabla \Psi) = \nabla \cdot (q \cdot D_n \cdot \nabla n) \quad (2-7-a)$$

이 경우 Control Volume 의 Interface ( Grid 와 Grid 의 중간점 ) 에서의 전류값은 Scharfetter-Gummel 의 전류 방정식을 사용 하였다.

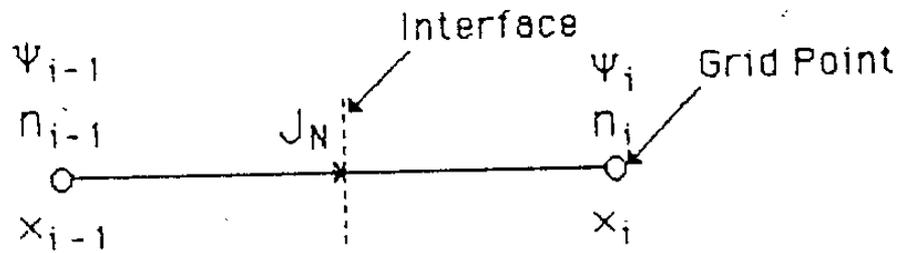


그림 2-1 1 차원 grid 구조

그림 2.1과 같은 경우를 가정 한다면 전류  $J_N$ 은 아래 식과 같다.

$$J_N = \frac{q \cdot (\Psi_i - \Psi_{i-1})}{x_i - x_{i-1}} \times \frac{[n \cdot \mu_n]_i \cdot \exp\{-q \cdot (\Psi_i - \Psi_{i-1})/kT\} - [n \cdot \mu_n]_{i-1} \cdot \exp\{-q \cdot (\Psi_i - \Psi_{i-1})/kT\}}{\exp\{-q \cdot (\Psi_i - \Psi_{i-1})/kT\}} \quad (2-7-b)$$

## 2.2 경계 조건

본 연구에서 채택한 GaAs MESFET 의 구조는 그림 2.1 과 같다. 이 때 이구조의 경계조건을 살펴보면 다음과 같다.

### 1) Source 와 Drain 의 Ohmic contact.

Ohmic contact 에서의 경계조건은 potential 과 전자 농도가 일정한 값으로 고정되는 fixed boundary condition ( or Dirichlet boundary condition ) 이 사용된다. 즉, Drain 의 경우 Poisson 방정식의 경계조건과 전류 연속 방정식의 경계 조건은 식 (2.8) 와 (2.9) 으로 된다.

Poisson 방정식의 경계 조건

$$\Psi = \Psi_D \quad (2.8)$$

전류 연속 방정식의 경계 조건

$$n = N_D \quad (2.9)$$

식 (2.8) 에서  $\Psi_D$  는 외부에서 drain 에 인가한 bias 가 된다. 또한, source 의 ohmic contact 은 ground 로서 사용됨으로 이때의 경계 조건은 아래와 같다.

Poisson 방정식의 경계 조건

$$\Psi = 0 \quad (2.10)$$

## 전류 연속 방정식의 경계 조건

$$n = N_D \quad (2.10)$$

### 2) Gate 의 Schottky contact

GaAs MESFET 의 gate 는 Schottky contact 을 형성하고 이 contact 에 bias 를 인가함으로써 current 가 흐르는 통로 (channel) 를 조절하게 됨으로 이 부분의 경계 조건을 정확히 modeling 하는 것이 MESFET 를 2 차원 수치 해석할 때 중요한 문제로 대두된다. 또한, 이부분은 외부의 인가 bias 혹은 built-in 전압에 의해 전자 농도가 미묘하게 변화하게 되는 부분이다.

본 연구에서는 이 Schottky contact 의 경계 조건을 Laux[7] 가 제안한 Mixed boundary condition 을 사용하였다.

## Poisson 방정식의 경계 조건

$$\Psi - \Psi_b - \Psi_G + \Psi_S = 0 \quad (2.11)$$

여기에서,  $\Psi_b$  : Built in Potential

$\Psi_G$  : 인가 gate 전압

$\Psi_S$  : Schottky barrier height

연속 방정식의 경계 조건

$$h = \begin{cases} \Psi_G \geq 0 & N_c \exp \left\{ \frac{q}{kT} (\Psi_G - \Psi_S) \right\} \\ \Psi_G \leq 0 & \end{cases}$$

$$N_c \exp\left(-\frac{q \Psi_S}{kT}\right) \frac{1}{14 \sqrt{\frac{q(\Psi_G - \Psi_S)}{kT} - \ln \frac{N_c}{N_D} + 1}}$$

여기에서,  $N_c$  : Conduction band 의 상태밀도

$N_D$  : Dopant density

### 3) Free Surface

Free surface 라고 하는 것은 전류의 출입이 없는 부분으로 gate 의 Schottky contact 과 source, drain 의 ohmic contact 를 제외한 모든 부분을 포함한다. 이 부분에서는 전류의 흐름이 없기 때문에 아래와 같은 free boundary condition ( Neumann 경계조건 ) 이 사용된다.

$$\nabla \cdot \mathbf{n}|_{normal} = 0 \quad (2.12)$$

$$\nabla \cdot \Psi|_{normal} = 0 \quad (2.13)$$

이것을 구체적으로 표시하면, source gate 사이 (BC), 그리고, gate 와 drain 사이 (DE) 및 buffer Layer 와 Semi-Insulate Substrate 경계 (HG) 는

$$\frac{\partial n}{\partial y} = 0 \quad (2.14.a)$$

$$\frac{\partial \psi}{\partial y} = 0 \quad (2.14.b)$$

가 되며, 경계 FG, HA 에서의 경계 조건은

$$\frac{\partial n}{\partial x} = 0 \quad (2.15.a)$$

$$\frac{\partial \psi}{\partial x} = 0 \quad (2.15.b)$$

가 된다. 그림 2.2 에 그림으로서 free boundary condition 을 도시하였다.

드리프트-확산 모델의 구체적인 시뮬레이션 과정을 Flow-Chart 로 나타내면 그림 2.4 와 같다. 이를 각 단계별로 나누어 설명하면 다음과 같다.

STEP 1 : 사용자가 지정하는 Input Deck 의 Data를 읽는다.

STEP 2 : 변수로 취하는 농도  $n$  과 포텐셜  $\psi$  의 초기값을 설정한다.

STEP 3 : Poisson 방정식을 풀어서 포텐셜과 전계의 분포를 구한다.

STEP 4 : 연속방정식을 풀어서 전자의 농도를 구한다.

- STEP 5 : STEP 2 와 STEP 3 에서 구한 포텐셜, 전계 및 전자 농도의 값을 이용하여 전류 밀도  $J_x$ ,  $J_y$  를 계산한다.
- STEP 6 : 매 Iteration 때마다 SSUM 과 SMAX 를 계산하고, 이 값을 이용하여 구하고자 하는 값이 수렴하였는지를 판단하여 수렴한 경우는 수행을 끝내고 수렴하지 않은 경우는 STEP 2 부터 다시 반복한다. 이때 SSUM 과 SMAX 는 수렴 여부를 나타내는 척도로서 SSUM 은 각 Control Volume 내에 남아 있는 전류 Flux 의 전체 합으로서 적분량의 수렴 조건을 나타내며, SMAX 는 각 Control Volume 안에 남아 있는 전류 Flux 중 최대값으로 미분량의 수렴 조건을 나타내고 있다.
- STEP 7 : 수렴을 하게 되면 사용자가 기입한 출력 화일에 출력 값들이 저장된다.
- STEP 8 : 사용자가 기입한 Plot Deck File 에서 Ploting 형식을 읽는다.
- STEP 9 : Plot Deck File 에서 읽어낸 Data 형식에 맞도록 출력 Data 를 변환시켜준다.
- STEP10 : 출력 Data들을 AutoCAD에 연결해주기 위해서 SCR 형테 화일을 형성한다.

표1. 식들에서 사용된 계수

Parameter	symbol	value
GaAs 의 유전율	$\epsilon_{\text{GaAs}}$	13.1
진공의 유전율	$\epsilon_0$	$8.854 \times 10^{-14} \text{ F/cm}^3$
Intrinsic carrier density	$n_i$	$1.76 \times 10^6 \text{ 1/cm}^3$
절대온도	T	300 K
Boltzmann 상수	k	$1.38099 \times 10^{-23} \text{ J/K}$
electric charge	q	$1.602 \times 10^{-19} \text{ C}$

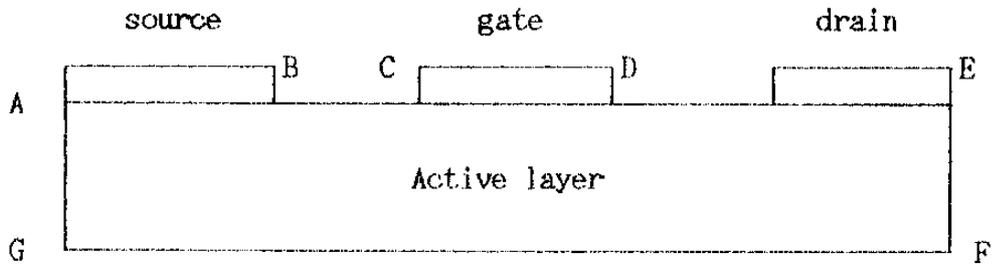
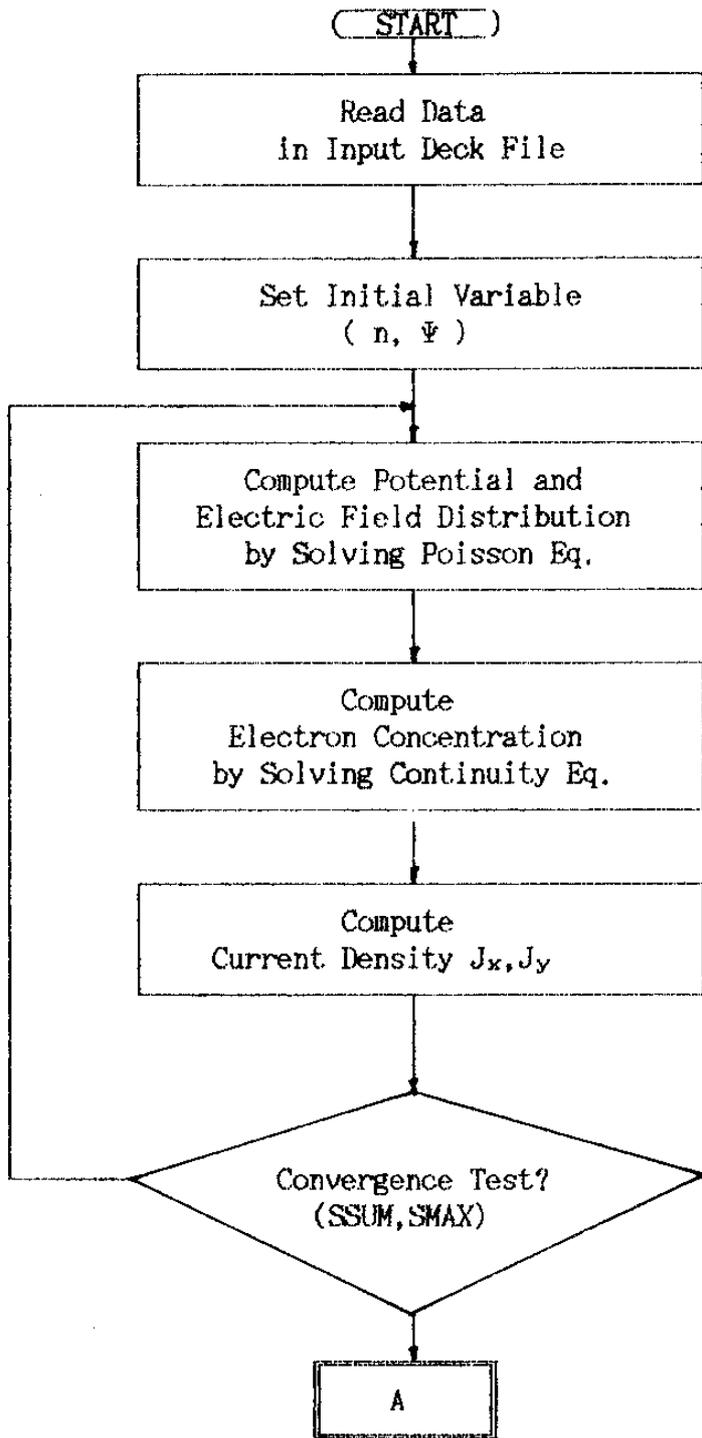


그림2.2 본 연구에서 사용된 MESFET 구조



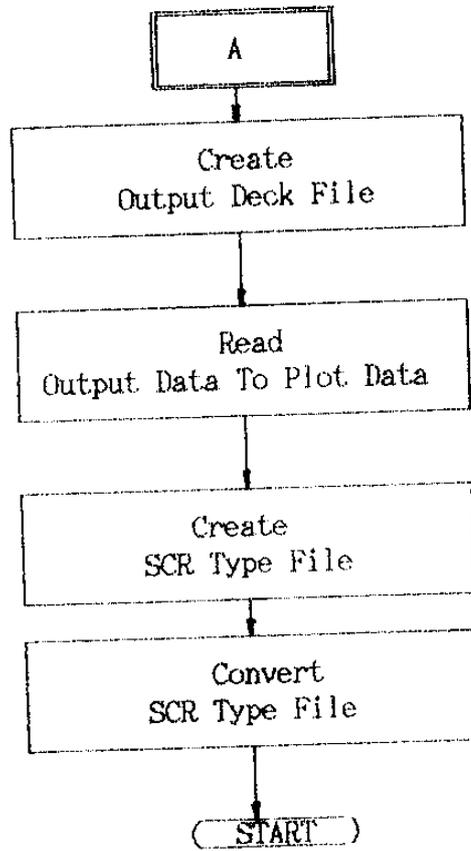


그림 2.4 본 모델을 사용하는 경우 계산 과정의 Flow-Chart

### Ⅲ. Numerical Method

#### 3.1 Control Volume Formulation 의 기본 개념

종래의 반도체 Numerical Simulation에서 사용한 Taylor-Series Formulation 이 수학적인 반면, 본 연구에서 Discretization Method 로서 사용한 Control Volume Formulation 은 물리적인 표현식이다.

Control Volume 의 근본적인 개념은 1.2절에서 설명 했으며, 여기서 다시 간략히 정리하면 다음과 같다. 전체 계산 Domain 을 Control Volume 으로 나누는데, 이때 Control Volume 은 각 Grid Point 를 둘러싸며 서로 겹치지 않는다. Discretization Equation 은 유한 Control Volume 에서 변수

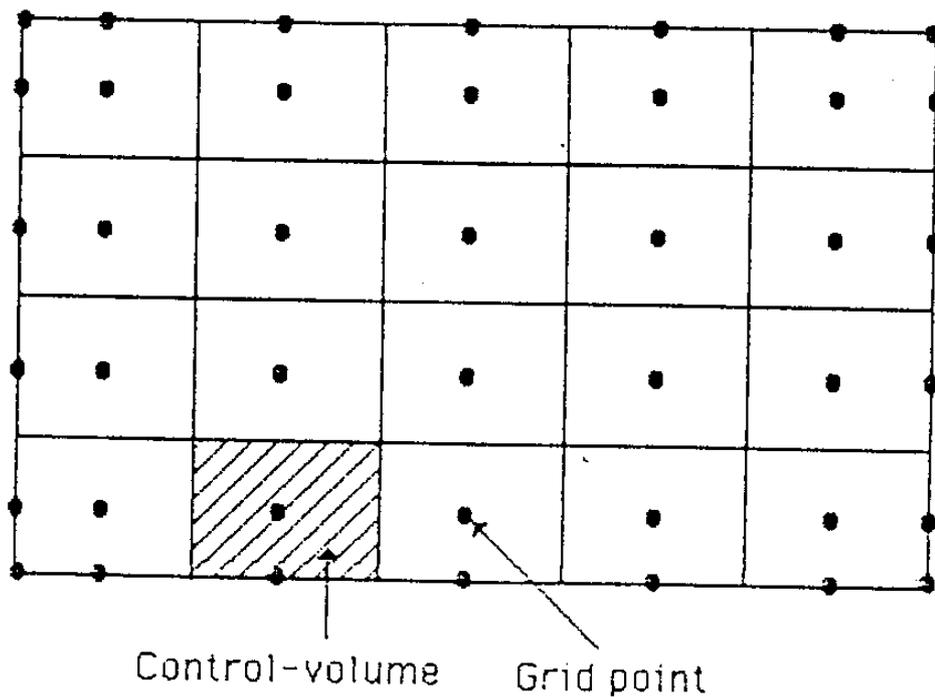


그림 3.1 Control Volume 의 기본 구조도

$\phi(\psi, n$  에 해당) 을 위한 보존법칙으로 나타낼 수 있는데 이것은 Infinitesimal Control Volume 에서 미분방정식을 표현하는 것과 유사하다. Control Volume Formulation 의 가장 뚜렷한 장점은 결과 ( $\psi, n$  등) 의 적분 보존법칙이 어떠한 Control Volume 위에서도 만족되며, 또한 전체 계산 영역에서도 만족된다. 이러한 특징은 Grid-Point 가 많고 적음에 관계없이 성립하기 때문에 Coarse-Grid-Solution 도 정확한 Integral Balance 를 이룬다.

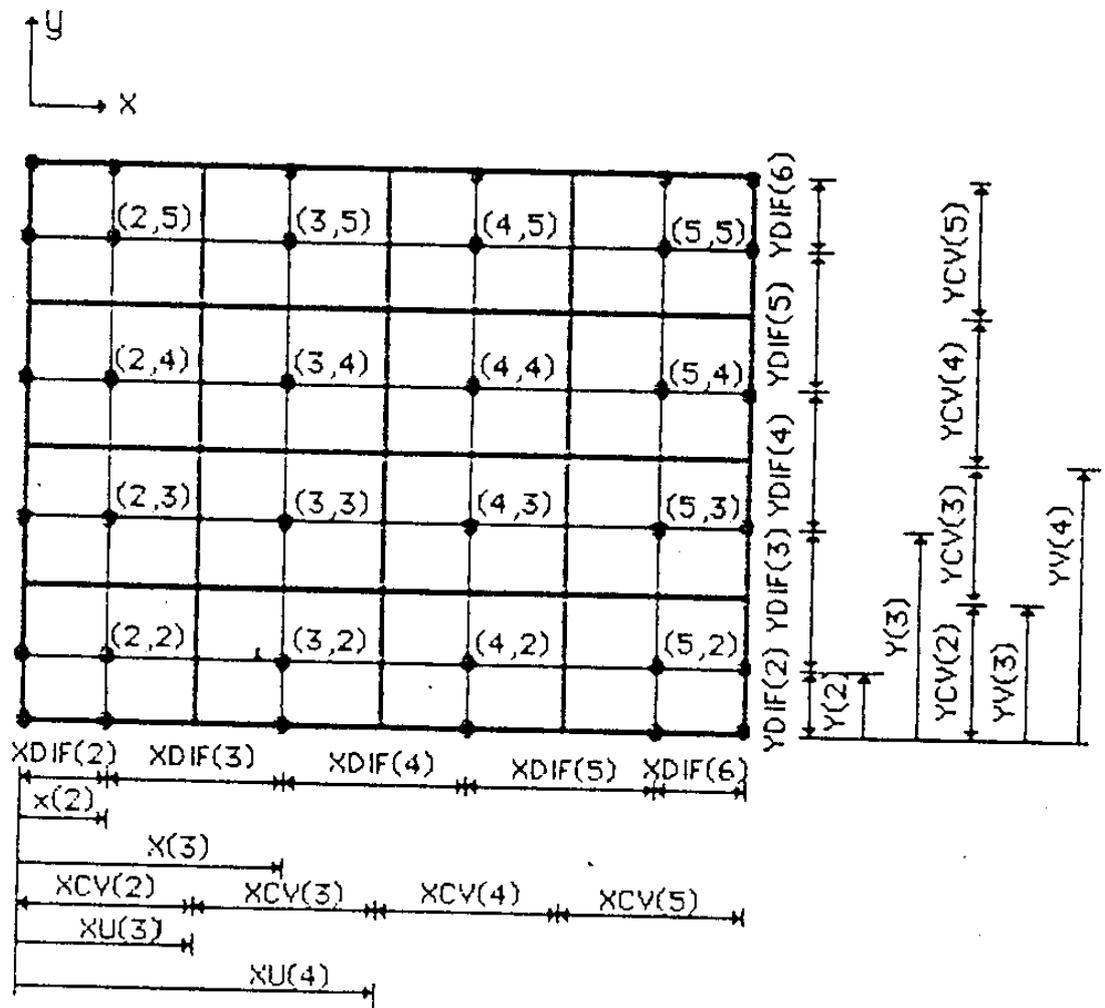


그림 3.2 Control Volume의 기본좌표

### 3.1.1 Grid 간격

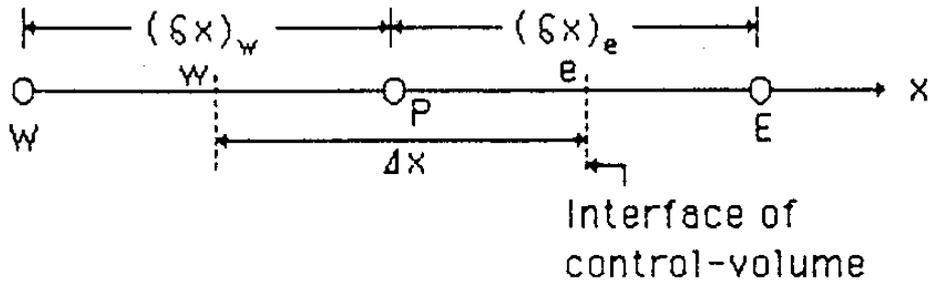


그림 3.3 1 차원 Grid Point 와 Control Volume 관계.

그림 3.3 에서  $(\delta x)_e$  와  $(\delta x)_w$  가 꼭 같을 필요는 없다. 보통 Uniform Grid 보다 Nonuniform Grid 의 사용은 Computer 를 효율적으로 사용할 수 있다는 면에서 상당히 바람직 하다. 보통 Grid Point 에 서 해의  $x$  에 대한 변화가 심한곳 에서는 Grid를 많이 자르고, 변화가 적은 곳 에서는 Grid 를 조금 자른다. Grid 자르는 기준이 될 만한 일반적인 법칙은 없고, 다만 대강의 예측과 Coarse Grid Solution 으로 부터 해  $\phi$  와  $x$  변화의 양상을 검토한 후에 적절한 Grid 를 선택한다.

### 3.2 포아송 방정식의 2 차원 이산 방정식 (Discretization Eq.)

2 차원 Control Volume 과 Control Volume 내에 존재하는 Grid 의 위치는 그림 5.4 와 같다.

2 차원 Poisson 방정식의 미분 방정식은 다음과 같다.

$$\frac{\partial}{\partial X} \left( \frac{\partial \phi}{\partial X} \right) + \frac{\partial}{\partial Y} \left( \frac{\partial \phi}{\partial Y} \right) + S = 0$$

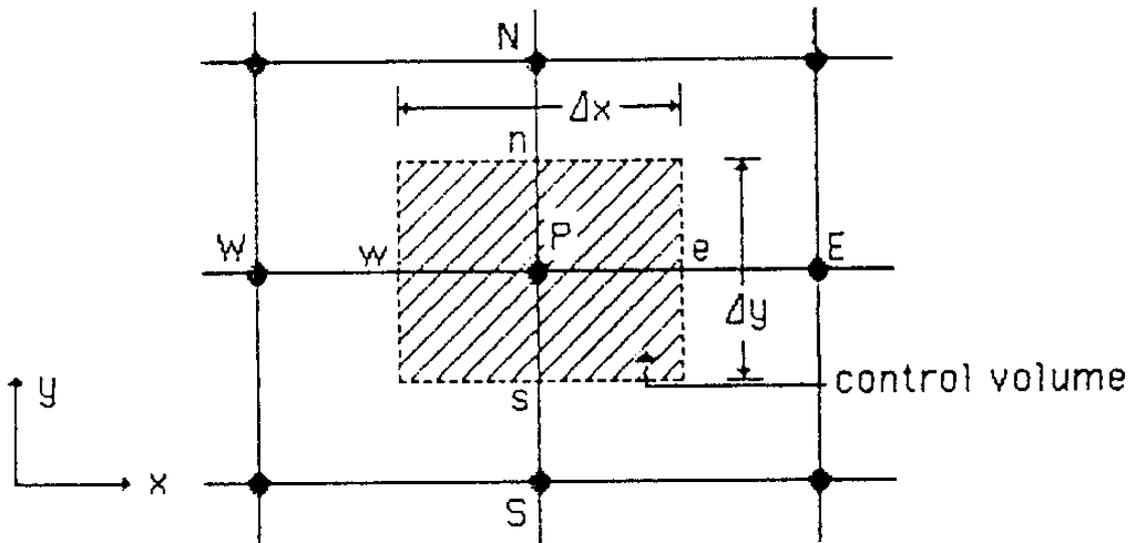


그림 3.4 2차원 상황에서의 Control Volume

여기서  $S$  는 Source 항으로 다음과 같이 표시된다.

$$S = \frac{q}{\epsilon_s} (N - n) \quad (3.2.a)$$

식 (3.2)를 그림 3.4의 2 차원 Control Volume 상에서 적분한다면, 다음과 같은 결과가 얻어진다.

$$a_p \phi_p = a_E \phi_E + a_W \phi_W + a_N \phi_N + a_S \phi_S + b \quad (3.3)$$

여기서,

$$a_E = \frac{\Delta y}{(\delta x)_e} \quad (3.4.a)$$

$$a_W = \frac{\Delta y}{(\delta x)_w} \quad (3.4.b)$$

$$a_N = \frac{\Delta x}{(\delta y)_n} \quad (3.4.c)$$

$$a_S = \frac{\Delta x}{(\delta y)_s} \quad (3.4.d)$$

$$b = S_o \Delta x \Delta y \quad (3.4.e)$$

$$a_p = a_E + a_W + a_N + a_S - S_p \Delta x \Delta y \quad (3.4.f)$$

여기에서  $\Delta x \Delta y$  는 Control Volume 의 체적이다.

### 3.3 전류 연속 방정식의 이산 방정식

전류 연속의 방정식  $\nabla \cdot \mathbf{J}_n = S$  의 2 차원 형태는 다음과 같다.

$$\frac{\partial J_x}{\partial X} + \frac{\partial J_y}{\partial Y} = S \quad (3.5)$$

여기에서 시간에 관한 항은 정상 상태라고 가정하고 무시한다. 또한  $J_x, J_y$  는 각각  $x, y$  방향의 전체(드리프트 + 확산) 전류 Flux 로서 다음과 같다.

$$J_x = -n\mu_n \frac{\partial \psi}{\partial X} + D_n \frac{\partial n}{\partial X} \quad (3.6.a)$$

$$J_y = -n\mu_n \frac{\partial \psi}{\partial y} - D_p \frac{\partial n}{\partial y} \quad (3.6.a)$$

그리고,  $\frac{\partial \psi}{\partial X}, \frac{\partial \psi}{\partial y}$  는  $x$  와  $y$  방향의 전계 성분이다. 식(3.5)를 그림 3.5 와 같은 Control Volume 에 대하여 적분 하면 식 (3.7) 과 같아 된다.

$$J_e - J_w + J_n - J_s = (S_c + S_p n_p) \Delta x \Delta y \quad (3-7)$$

여기에서 Source Term은 보충의 방법으로 선형화 되었다. 그림 3-5에서  $J_e, J_w, J_n, J_s$ 의 양은 Control Volume Interface 상에서 적분된 Total Flux 이다. 다시 말해서  $J_e = \int J_x \cdot dy$  를 나타낸다. 또한, 한개의 Control Volume 에 대하여 흘러 들어오고, 나가는 Mass-Flow Ratio 가 일정한 양을 유지한다고 가정하면 다음과 같다.

$$F_e - F_w + F_n - F_s = S_A \quad (3.8)$$

여기서  $F_e, F_w, F_n, F_s$  는 Control Volume 의 Interface 를 통해서 흐르는 Mass Flow Rate 이다.

$$F_e = \mu \left( \frac{\partial \psi}{\partial X} \right)_e \Delta y \quad (3.9.a)$$

$$F_w = \mu \left( \frac{\partial \psi}{\partial X} \right)_w \Delta y \quad (3.9.b)$$

$$F_n = \mu \left( \frac{\partial \psi}{\partial y} \right)_n \Delta x \quad (3.9.c)$$

$$F_s = \mu \left( \frac{\partial \psi}{\partial y} \right)_s \Delta x \quad (3.9.d)$$

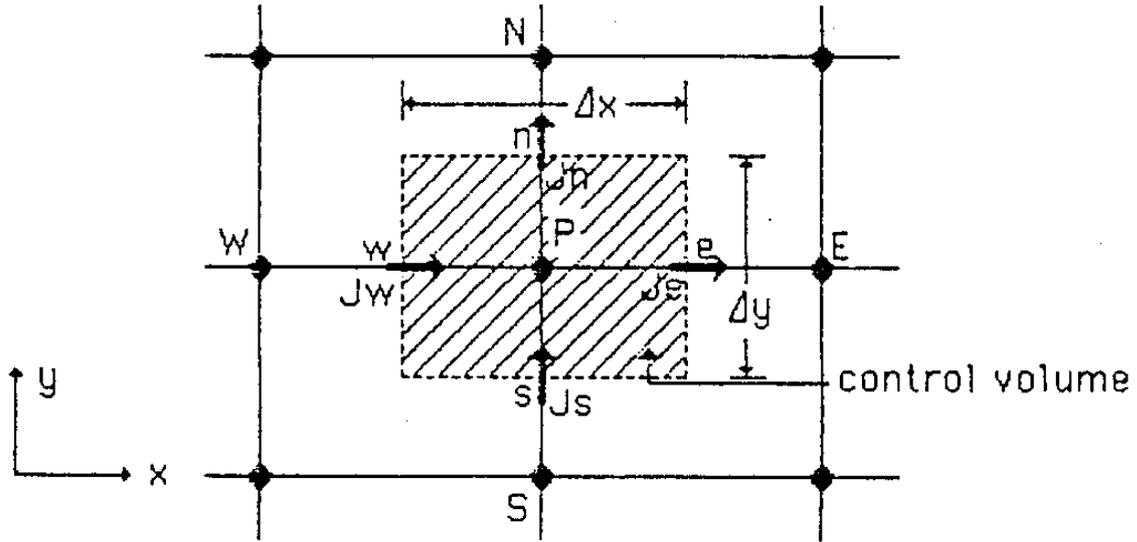


그림 3-5 2 차원 상황에서의 Control Volume

식 (3-8) 에서  $S_A$  는 Control Volume 으로 흘러 들어오는 Flux의 양과 흘러 나간 양과의 차이이다. 만약 (3-8) 에  $n_p$  (Point P 에서의 농도)를 곱하고, 식 (3-7) 로 부터 빼면 다음과 같다.

$$(J_e - F_{enp}) - (J_w - F_{wnp}) + (J_n - F_{nnp}) + (J_s - F_{snp}) \\ = (S_c + S_p n_p) \Delta x \Delta y - S_A n_p$$

$$(S_c + S_p n_p - \frac{S_A n_p}{\Delta x \Delta y}) \Delta x \Delta y \quad (3.10)$$

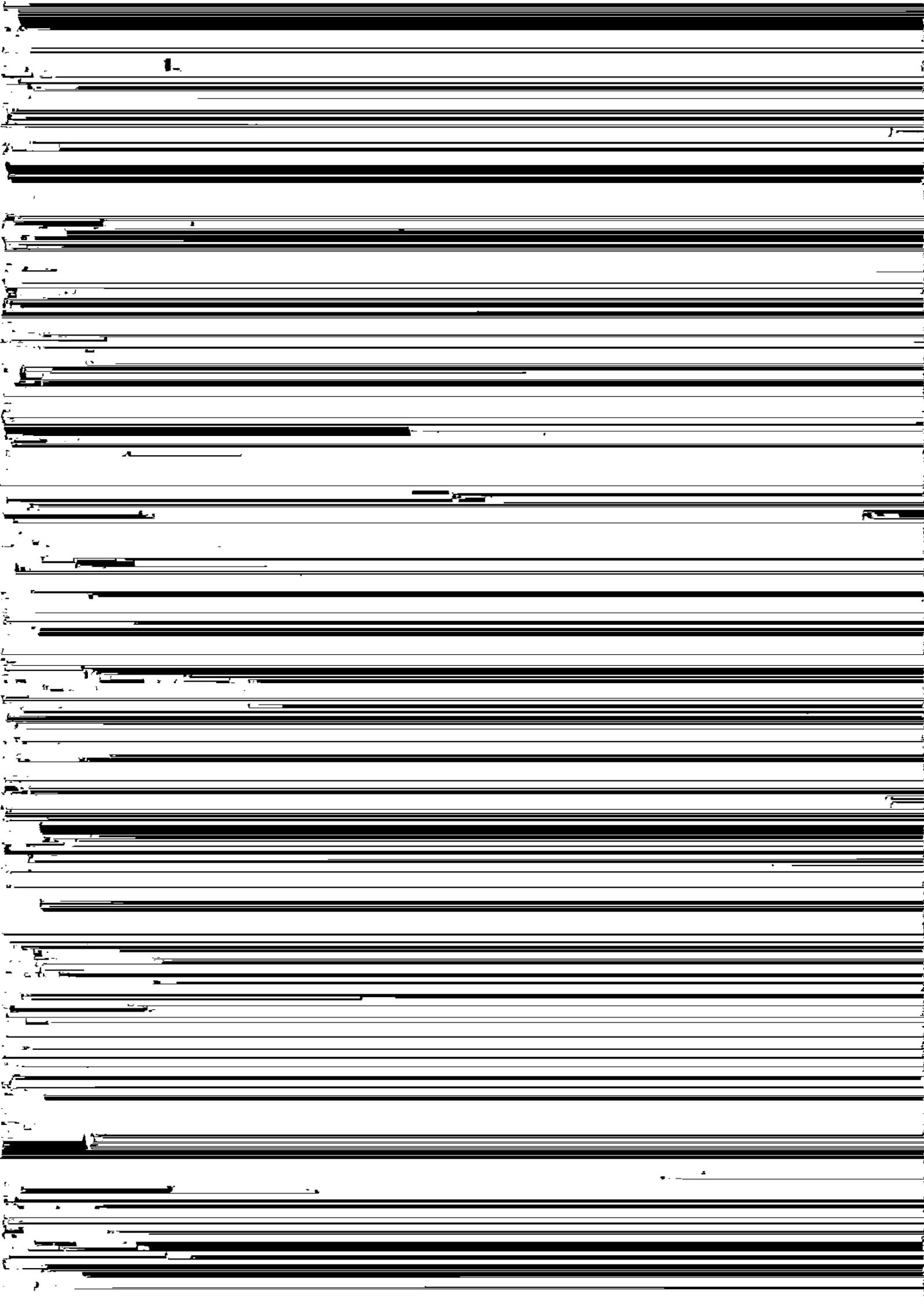
그런데,

$$J_e - F_{enp} = a_E (n_p - n_E) \quad (3.11.a)$$

$$J_w - F_{wnp} = a_W (n_w - n_p) \quad (3.11.b)$$

$$J_n - F_{nnp} = a_N (n_p - n_N) \quad (3.11.c)$$

$$J_s - F_{snp} = a_S (n_s - n_p) \quad (3.11.d)$$



이때 A(P) 는 P 값과 Numerical Scheme 에 따라서 변화하는 값으로서 Upwind Scheme 의 경우는 A(P) = 1 이고 Power-Law Scheme 의 경우

$$A(P) = [0, (1-0.1 P)] \quad (3.15)$$

이다. 여기서, [ ] 기호는 [ ] 내에 있는 변수중 큰값을 선택하라는 기호이다.

### 3-4 전류-FLUX 계산

본 연구의 특징 중의 하나는 전류 Flux 의 보존 법칙을 만족시키는 데 큰 의미를 두고있기 때문에 Control Volume 의 인터페이스에서 전류값을 정의한다. Control Volume 의 크기가 다르면 2 개의 Grid Point 사이에 위치하는 인터페이스 거리가 일정치 않기 때문에 식 (3.17)의 Schrfetter 와 Gummel 의 전류식을 본 연구의 경우에는 사용할 수 없다.

$$J_{i+1} = \frac{q \cdot (\Psi_{i+1} - \Psi_i)}{x_{i+1} - x_i} \times \frac{[n \cdot \mu_n]_{i+1} \cdot \exp\{-q \cdot (\Psi_{i+1} - \Psi_i)/kT\} - [n \cdot \mu_n]_i}{\exp\{-q \cdot (\Psi_{i+1} - \Psi_i)/kT\} - 1} \quad (3.17)$$

식(3.17) 은 드리프트-확산 모델에서의 전류식이다. 식(3.17)의 Scharfetter-Gummel 의 전류식은 전류가 정의되는 위치가 오직 Grid Point 와 Grid Point 의 절반 (1/2) 위치에서 정의되어야만 하기 때문에 그림3.12에서 보는 바와 같이 본 논문의 경우에는 어긋난다.

따라서 본 논문에서는 Numerical Scheme 을 고려하여 2개의 Grid Point 사이의 어느 위치에 Control Volume 의 인터페이스가 존재하더라도 전류값을 구할 수 있는 다음과 같은 방법을 사용하였다.

먼저 식(2.7)의 방정식으로 부터 식(3.17)의 경계 조건 적용하여 농도 n에 대하여 풀면 식(3.18)과 농도 profile 식이 유도된다.

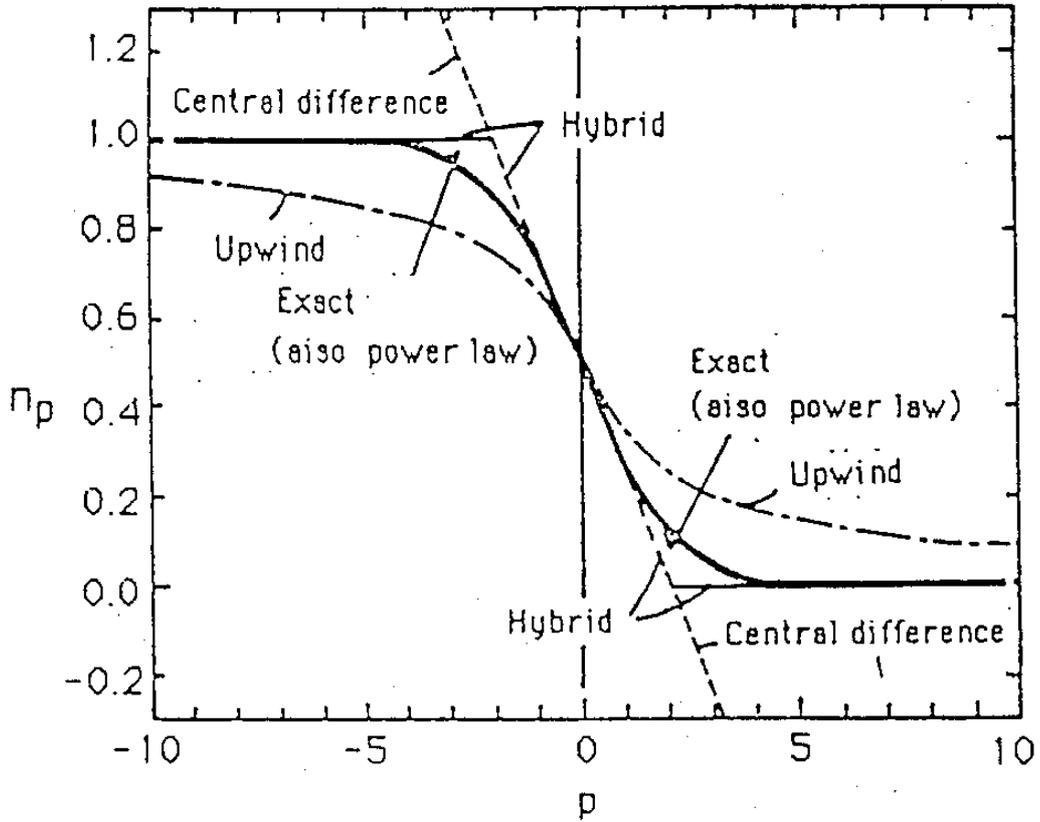


그림3.6 Peclet Number P 와 Scheme 에 따른 농도의 변화

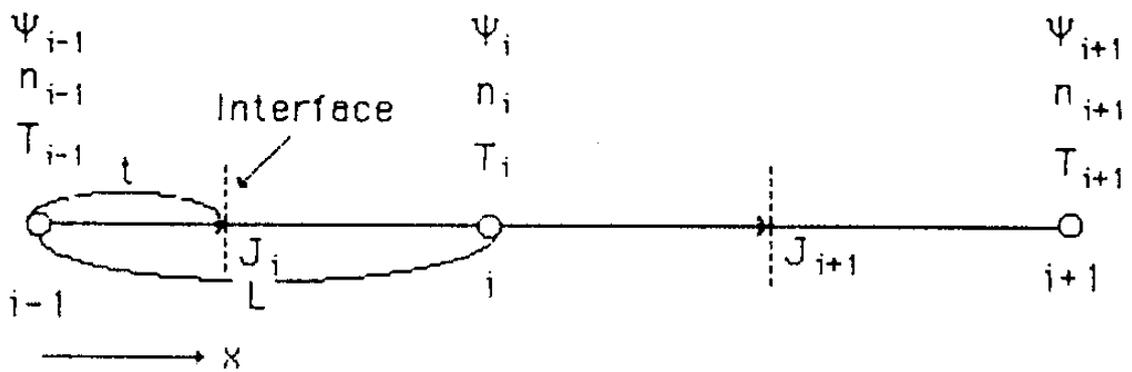


그림3.7 Control Volume 과 전류 Flux 와의 관계

경계 조건:

$$\text{if } x = i - 1, \quad n = n_{i-1}$$

$$\text{if } x = i, \quad n = n_i$$

$$n(x) = n_{i+1} \frac{e^P - e^{\frac{P}{L}x}}{e^P - 1} + n_i \frac{e^{\frac{P}{L}x} - 1}{e^P - 1} \quad (3.18)$$

여기서,  $P = \frac{\mu \frac{\partial \Psi}{\partial n} L}{D}$  을 나타낸다. 이때 P 는 Peclet Number 이다.

한편, 농도의 기울기는 식(3.18)을 X에 대해 미분하면 다음과 같다.

$$\frac{\partial n}{\partial x} = \frac{P}{L} \cdot \frac{e^{\frac{P}{L}x}}{e^P - 1} \cdot (n_i - n_{i+1}) \quad (3.19)$$

전류식  $J = qn\mu V\Psi + qD \cdot \nabla n$  에서  $V\Psi$  는 두 Grid Point 사이에는 일정하고,  $n$  은 식(3.18)에서 구할 수 있고,  $\mu$  와  $D$  은 interpolation 을 사용하면 되기 때문에 전류식을 구하는데 있어 가장 중요한 것은 기울기  $\frac{\partial n}{\partial x}$  을 구하는 것이다.

따라서, 식(3.19) 을 사용하면 인터페이스의 위치가 어디에 위치하던지 간에 실제의 Scheme 을 고려하여 전류값을 구할 수 있다.

최종적으로 그림3.7에서 식(3.18), 식(3.19) 을 사용한 전류 값  $J_i$  는 식(3.20) 과 같이 Control Volume 의 인터페이스를 정의된다.

$$J_i = -q \cdot \left[ \left\{ n_{i+1} \cdot \frac{e^P - e^{(P/L)t}}{e^P - 1} + n_i \cdot \frac{e^{(P/L)t} - 1}{e^P - 1} \right\} \right. \\ \left. \left\{ u_{i-1} \cdot \frac{t}{L} + u_i \cdot \left(1 - \frac{t}{L}\right) \right\} \cdot \frac{\Psi_i - \Psi_{i-1}}{L} \right. \\ \left. + \left( \frac{1 - \frac{t}{L}}{D_{i-1}} + \frac{\frac{t}{L}}{D_i} \right)^{-1} \cdot \frac{P}{L} \cdot \frac{e^{(P/L)t}}{e^P - 1} (n_i - n_{i-1}) \right] \quad (3.20)$$

만약, 인터페이스의 위치가 Grid Point 사이의 1/2 위치라고 하면 이 위치에서의 농도의 기울기는 식(3.21) 과 같다.

$$\left. \frac{\partial n}{\partial x} \right|_{x=\frac{L}{2}} = \frac{P}{L} \cdot \frac{e^{\frac{P}{L}x}}{e^P - 1} \cdot (n_i - n_{i+1}) \quad (3.21)$$

따라서, 농도의 기울기로서 식(3.21)을 사용하는 전류식은 결국 Scharfetter-Gummel의 식에서 취한 Bernoulli함수를 사용한 것과 같게 된다.

### 3.5 TDMA ( Tri-Diagonal Matrix Algorithm ) 방법

TDMA 혹은 Thomas Algorithm 은 방정식의 계수를 썼을 때 Matrix 의 0이 아닌 모든 계수가 3개의 주대각선(Diagonal)을 따라서 정렬한다는 사실에서 사용한 이름이다.

1차원인 경우 그림3.8에서 Grid Point를 1,2,3,...,N 이라고 하고, Point 1 과 Point N 을 Boundary Point 라하면 일반 이산 방정식은 다음과 같다.

$$a_i \Psi_i = b_i \Psi_{i+1} + c_i \Psi_{i-1} + d_i \quad (3.22)$$

for  $i=1,2,3,\dots,N$

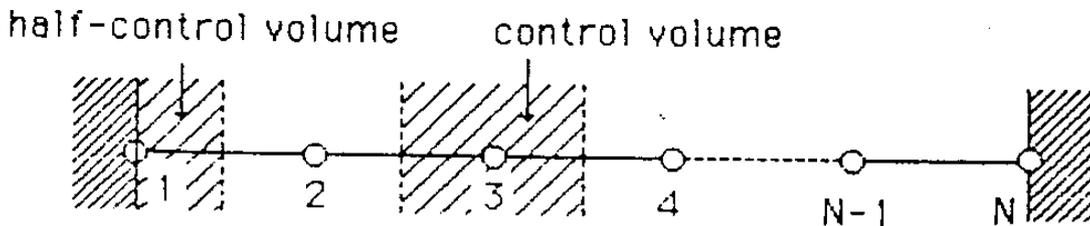


그림3.8 Boundary Point 와 Internal Point

따라서 Center point 의 Potential  $\Psi_i$ 는 이웃한 Potential  $\Psi_{i+1}$ 와  $\Psi_{i-1}$ 의 영향을 받게 된다. 또한 Potential  $\Psi_0$ 와  $\Psi_{N+1}$ 이 의미있는 역할을 갖지 않게 하기 위해서

$$c_1 = 0 \quad \text{and} \quad b_n = 0 \quad (3.23)$$

으로 한다. 만약 Boundary Potential  $\Psi_1$ 이 주어졌다면 식(3.22)에서  $i+1$  인 경우  $a_1=0, b_1=0, c_1=0, d_1=\Psi_1$ 의 형태로 된다. 그 다음  $i=2$  일 때 방정식은  $\Psi_1$ 과  $\Psi_2, \Psi_3$ 의 관계인데 이미  $\Psi_1$ 이  $\Psi_2$ 의 관점에서 표현될 수 있기 때문에 이들 관계는  $\Psi_2$ 와  $\Psi_3$ 의 관계로 줄어들게 되며 결과적으로  $\Psi_3$ 는  $\Psi_2$ 의 관점에서 나타낼 때까지 계속된다. 그러나  $\Psi_{N+1}$ 이 의미있는 해를 갖지 않기 때문에 실제로 이 단계에서  $\Psi_N$ 의 Numerical 값을 얻을 수 있다.  $\Psi_N$ 을 구해졌으면 이번에는 반대로 "Back-Substitution"과정을 취하는데 이는  $\Psi_N \rightarrow \Psi_{N-1}, \Psi_{N-1} \rightarrow \Psi_{N-2}, \dots, \Psi_3 \rightarrow \Psi_2, \Psi_2 \rightarrow \Psi_1$ 으로 치환하는 과정이다. 이 방법이 TDMA 방법이다.

Forward-Substitution 과정에서, 다음과 같은 관계를 갖는다.

$$\Psi_i = P_i \Psi_{i+1} + Q_i \quad (3.24)$$

이때 이미 다음과 같은 관계가 성립한다고 하면

$$\Psi_{i-1} = P_{i-1} \Psi_i + Q_{i-1} \quad (3.25)$$

식(3.24)과 식(3.22)로부터 식(3.26)과 같은 결과를 얻는다.

$$a_i \Psi_i = b_i \Psi_{i+1} + c_i (p_{i-1} \Psi_i + Q_{i+1}) + d_i \quad (3.26)$$

따라서, 식(3.26)과 식(3.24)을 비교하면

$$p_i = b_i/a_i - c_i p_{i-1} \quad (3.27.a)$$

$$Q_i = d_i + c_i Q_{i-1} / (a_i - c_i p_{i-1}) \quad (3.27.b)$$

이때

$$p_i = \frac{b_i}{Q_i} \quad \text{and} \quad Q_i = \frac{d_i}{a_i} \quad (3.28)$$

$$\Psi_N = Q_N$$

< Algorithm 의 요약 >

- i) 식(3.28)로 부터  $P_1$  과  $Q_1$  를 계산한다.
- ii)  $i=2,3,\dots,n$  에 대하여 식(3.28)를 사용하여  $P_i$ 와  $Q_i$ 를 계산한다.
- iii)  $\Psi_N = Q_N$  이라 놓는다.
- iv)  $i=N-1, N-2,\dots, 3, 2, 1$  일때 식(3.24)로 부터  $\Psi_{N-1}, \Psi_{N-2}, \dots, \Psi_2, \Psi_1$  을 구한다.

이 TDMA Algorithm은 대단히 강력한 Program Solver 인데 특히 대수 방정식이 식(3.22)와 같은 형태로 쓰여졌을때 아주 유용하다. 일반적인 Matrix-Program 이 원소의 Column 혹은 Row 의 갯수가  $N$  일때 Computer Storage 가  $N^2$  혹은  $N^3$  에 비례하는데 비해 TDMA는  $N$ 에 비례하기 때문에 적은 Computer Memory 와 적은 Computer Time을 요한다.

## IV. 결과

### 1. 파라메타 설정

본 연구에서 개발된 Package는 우리가 손쉽게 사용할 수 있다는 것이, 다양한 Parameter를 주어, 직접 실행해본 결과 입증되었다. 우리가 사용한 Package는 IBM PC/AT에서 계산 시간이 대략 30분 정도 걸렸다. 우리는 소자의 길이, 농도의 변화 및 contact의 위치등 여러가지 parameter를 변화시켜 우리가 사용하고자 하는 소자가 합당한가를 검토할 수 있었다.

### 2. Package 내부 설명

이 Package는 PC의 메모리의 제한이 있기 때문에, 최대의 grid의 수는 X 축으로 37개, Y 축으로 30개를 자를 수 있도록 되어 있다. 그리고, 반드시 이 Package는 Math-Coprocessor가 있는 시스템에서 사용 가능하다.

앞에서 말한 바와 같이, 이 Package를 사용하는 시스템은 AutoCad가 Install 되어 있어야 하며, AutoCAD의 SCRIPT 명령어를 사용하여, PLOT DECK에 사용된 각 출력 형태를 시각적으로 표현할 수 있다.

### 3. Package에서 개선 되어야 할 과제

#### 3-1. Doping Profile

우리는 doping concentration의 초기치가 주어질 때, 계단형으로 주어졌고, 우리가 해야할 과제는 doping concentration을 가우스 분포로 주어질 수 있어야 하겠다.

#### 3-2. 미숙한 Input Deck 형식

우리의 알고리즘 부족과 FORTRAN이라는 컴퓨터 언어의 풍요성의 결핍의 이유로 Input Deck 형식이 아직 미숙한 상태이다.

### 3-3. I-V 특성의 복잡

우리가 사용하는 소자의 I-V 특성을 보기 위해서는, 각 바이어스마다 전류값이 하나씩 출력되기 때문에, 완전한 I-V 특성을 보기 위해서는 여러번 반복해 실행시켜야한다. 우리가 좀더 연구하여 I-V 특성이 나오도록 연구하는 것이 우리의 과제이다.

참고문헌

- [1] R.K.Cock and J.Frey, " Two-Dimensional numerical simulation of energy transport effects in Si and GaAs MESFET's."IEEE Trans. Electron Devices, ED-29, No.6, pp.979-977, 1982.
- [2] Y.K.FENG, A.HINTZ, " Simulation of submicrometer GaAs MESFET's Using a Full Dynamic Transport Model."IEEE Trans. on Electron Devices vol.35, No.9, pp.1419-1431, 1988.
- [3] K.BLOTEKJAER, " Transport Equations for Electrons in Two-Valley Semiconductors."IEEE Trans. on Electron Devices, vol. ED-17, No.1, pp.38-47, 1970.
- [4] D.J.WIDIGER et al, " Two-Dimensional Transport Simulation of an Idealized High Electron Mobility Transistor."IEEE Trans. on Electron Devices, vol. ED-32, No.6,
- [5] T.J.Maloney, J.Frey " Transient and Steady-state electron transport properties of GaAs and InP." J.Appl.Phys., 48, pp.781-787, 1977.
- [6] S.V.Patakar, " Numerical Heat Transper and Fluid Flow." McGrow Hill, 1980.
- [7] 손 상희, "GaAs MESFET 의 Numerical Simulation 에 관한 연구." 한양대학교 박사학위 논문, 1988.
- [8] S.E.LAUX, " Two-Dimensional Simulation of Gallium-Arsenide MESFET's USING the Finite Element Method." Disertation, University of Michigan, 1981.

- [9] K.Yamaguchi, "Field effect mobility model for two-dimensional numerical analysis of MOSFET's." IEEE. Trans. Electron Devices, vol. ED-26, pp.1068-1074, 1979.
- [10] M.Hirose, J.Yoshida, N.Toyoda, " An Improved Two-Dimensional Simulation Model ( MEGA ) for GaAs MESFET applicable to LSI Design." IEEE. Trans. on Computer-Aided Design, vol.7, No.2 pp.225-290, 1988.
- [11] C.M.Snowden and D.Loret, " Two-Dimensional hot electron models for short-gate-length GaAs MESFET's." IEEE Trans. on Electron Devices, vol. ED-34, No.2, pp.212-223, 1987.
- [12] Mark R. Pinto, Conor S. Raffety, and Robert W. Dutton,  
" PISCES-II User's Manual " Stanford Electronics Laboratories  
Department of electrical Engineering Stanford University,  
Stanford Ca 94305

## V. 부록

본 연구에서 개발된 Package는 PC상에서 Math-Coprocessor가 있는 상태에 있는 AT 이상 시스템에서 실행된다. 이 Package는 부수적인 프로그램으로써 AutoCAD가 필요하다. 물론 Simulation 프로그램이기 때문에, 계산 속도가 빠른 시스템일수록 좋게 마련이다. 만약 30×20 grid인 경우, AT에서 실행했을 때 simulation 상황에 따라 다를 수도 있지만, 대략 30분 정도 소모된다.

이 Package의 이름은 SEDES-I(SEMiconductor DEvice Simulator-I)이고, 사용자는 커서상에서 SOMES를 치면 실행된다. 다음으로 사용자는 Input Deck 이름, Output Deck 이름, Plot Deck 이름을 기입하면 된다. 그러면 아래와 같은 화면이 나오게 된다.

보기 V-1. Package 의 실행의 한 예

C:\FORTRAN\WSMA>MES

.ENTER INPUT DECK FILE NAME : MESFET1.DAT

.ENTER OUTPUT DECK FILE NAME : MESFET.OUT

.ENTER PLOT DECK FILE NAME : PLOT.DAT

```
I
I
I      Simulator for MESFET      I
I
I      HanYang University      I
I
I      Semiconductor Lab.      I
I
I      Ver. 1.0 1990           I
I
I
I=====I
I
I      Wait for a moment, please      I
I
I=====I
```

```
I
I                               Plot Program for MESFET                               I
I
I                               HanYang University                               I
I
I                               Semiconductor Lab.                               I
I
I                               Ver. 1.0   1990                               I
I
I
I
I=====I
I
I                               Wait for a moment, please                               I
I
I=====I
```

Execution terminated : 0

위의 보기 V-1 에서 INPUT DECK FILE NAME 과 PLOT DECK FILE NAME 은 사용자가 작성해야 하고, OUTPUT DECK FILE NAME 은 사용자가 기입한 화일 이름으로 출력 값들이 기억된다. 만약 OUTPUT DECK FILE NAME 을 기입하지 않았을 경우 출력화일을 형성하지 않고, INPUT DECK FILE NAME 이나 PLOT DECK FILE NAME 을 기입하지 않았을 경우 에러 메시지가 발생하게 된다.

그러면, 이 메뉴얼에서는 INPUT DECK FILE 과 PLOT DECK FILE 을 작성하는 요령을 기술하겠다.

### 1. Input Deck Manual

본 연구에서 사용된 Package의 Manual을 작성하기 위해서 그림 1.1 과 같은 간단한 소자를 예로 들었다.

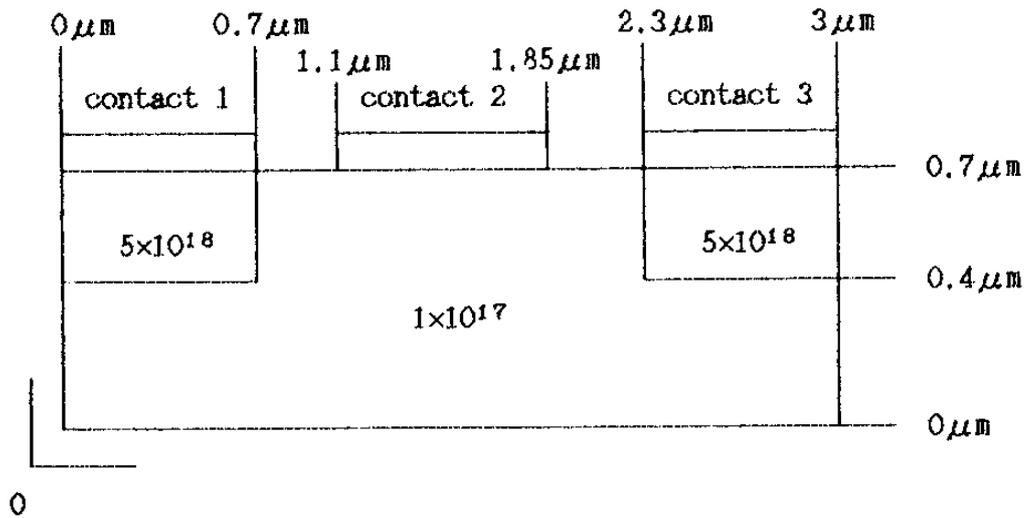


그림 1.1 본 연구에서 사용한 MESFET

```

'EPMA'
13.18      1.76E6  4.7E17
'LAST'
50
'RELAX'
.5 .5
'SIZE'
3E-6      0.7E-6  35  20
'GRIDX'
0.         0.7E-6  1   5   1.
'GRIDX'
0.7E-6    1.15E-6  6   10  0.7
'GRIDX'
1.15E-6   1.85E-6  16  5   1.
'GRIDX'
1.85E-6   2.3E-6  21  10  1.3
'GRIDX'
2.3E-6    3E-6    31  5   1.
'GRIDY'
0.         0.4E-6  1   10  0.8
'GRIDY'
0.4E-6    0.7E-6  11  10  0.8
'CONTACT'
0.         0.7E-6  0.7E-6  0.7E-6  'OHMIC'  0.
'CONTACT'
1.1E-6    1.85E-6  0.7E-6  0.7E-6  'SCHOTTKY' 0.8
'CONTACT'
2.3E-6    3E-6    0.7E-6  0.7E-6  'OHMIC'  0.
'ELECT'
0.         0.7E-6  0.7E-6  0.7E-6  0.
'ELECT'
1.1E-6    1.85E-6  0.7E-6  0.7E-6  0.
'ELECT'
2.3E-6    3E-6    0.7E-6  0.7E-6  0.
'DOP'
0.         3E-6    0.0E-0  0.4E-6  1.E17
'DOP'
0.7E-6    2.3E-6  0.4E-6  0.7E-6  1.E17
'DOP'
0.         0.7E-6  0.4E-6  0.7E-6  5.E18
'DOP'
2.3E-6    3E-6    0.4E-6  0.7E-6  5.E18
'MOB'
1000.

```

보기 1.1 본 연구에서 사용한 Input Deck 예

보기 1.1에서 보는 바와 같이, 문자는 ' '안에 기입하고, 숫자는 줄을 바꾸어서 기입하여야 한다. 그리고 숫자는 column과 상관없이 사용자가 편한 column에 기입해도 좋다. 그리고 각 숫자들이 의미하는 것은 1.1이하에 기입한 것과 같다.

### 1.1 EPMA-문

'EPMA'문의 사용되고 있는 소자들의 재료 특성을 나타내는 문이다. 물론 소자들의 재료마다 특성을 다룰 것이며, 표 1에 나타내고, 형식은 <형식 1-1>에 나타냈다.

<형식 1-1>

'EPMA'		
$\epsilon_r$	$n_i$	$N_c$
(실수형)	(실수형)	(실수형)

표 1.1 300 K에서 Ge, Si, 및 GaAs의 특성

특성	Ge	Si	GaAs	SiO <sub>2</sub>
Dielectric constant	16	11.8	13.1	9.9
Effective density of states:				
Conduction band $N_c$ , cm <sup>-3</sup>	1.04×10 <sup>19</sup>	2.8×10 <sup>19</sup>	4.7×10 <sup>17</sup>	
Intrinsic carrier concentration $n_i$ , cm <sup>-3</sup>	2.4×10 <sup>13</sup>	1.5×10 <sup>10</sup>	1.8×10 <sup>6</sup>	

물론, 본 연구에서 사용된 재료는 GaAs이고, 표 1.1에서 해당되는 Parameter를 사용하면 된다. 본 연구에서는 보기 1-1과 같다.

'EPMA'		
13.8	1.76E6	4.7E17

보기 1-1. 재료의 특성을 나타내는 문

겉으로 보기에 본 연구에서 사용된 알고리즘이 굉장히 복잡하나, 오히려 이것은 화합 반도체 (예, AlGaAs, InP, AlAs, ... 등)에서는 표 1.1에 사용된 Parameter와 다르기 때문에, 사용자 임의로 Input Deck에서 바꾸어서 사용할 수 있다. 만약에 재료 이름만 기입하고, 표 1.1의 값들을 프로그램내에서 Default 값으로 계산하게 된다면 PC의 메모리의 한계에 부딪힐 수도 있다.

## 1-2. LAST 문

LAST 문은 프로그램의 끝을 나타내는 Iteration 문이다. 만약에 각의 값들이 수렴을 하지 않는다면, 프로그램은 무한히 실행될 것이다. 그러한 경우, 사용자가 강제로 끝내 주어야 한다. 형식은 <형식 1-2>와 같다.

### <형식 1-2>

'LAST' 마지막 iteration 수치 (정수형)
-------------------------------------

LAST 문에서 주의할 점은 0 이하의 수치를 사용해서는 안된다는 점인데, 만약 0 이하의 수치를 사용했을 경우는 프로그램이 실행되자마자 끝나게 된다. 그러나, 다른 수치를 사용했을 경우, 그 수치보다 먼저 수렴이 되면, 그와 동시에 끝나게 되지만, 수렴이 되지 않는다면, iteration 이 그 수치와 같아질 때 끝나게 된다. 본 연구에서는 보기 1-2 와 같다.



```

'RELAX'
.5 .5

```

보기 1-3 RELAX 문의 사용예

1-4. GRID 문

'GRID' 문은 이 Package 의 알고리즘의 대부분을 차지한다. 종전에 사용되었던 uniform 한 Grid 형식을 사용자가 사용하기 편하도록 uniform 하게 Grid 를 자를 수도 있으며, nonuniform 하게 자를 수도 있다. 이 'GRID' 문은 'GRIDX'문과 'GRIDY' 문으로 구별된다.

1-4-1. GRIDX 문

'GRIDX' 문은 X 축으로 Grid 를 자르게 되는 문이다. 여기서는 사용자가 이해하기 편하도록 그림을 통해서 설명하겠다. 형식은 <형식 1-4-1>과 같다.

<형식 1-4-1>

```

'RELAX'
X축시작 size X축끝 size 시작Grid 번호 Grid 갯수 Grid ratio
(실수형) (실수형) (정수형) (정수형) (정수형)

```

사용자의 이해를 돕기 위하여 그림 1-4-1에 나타난 그림으로 grid를 설명하겠다.

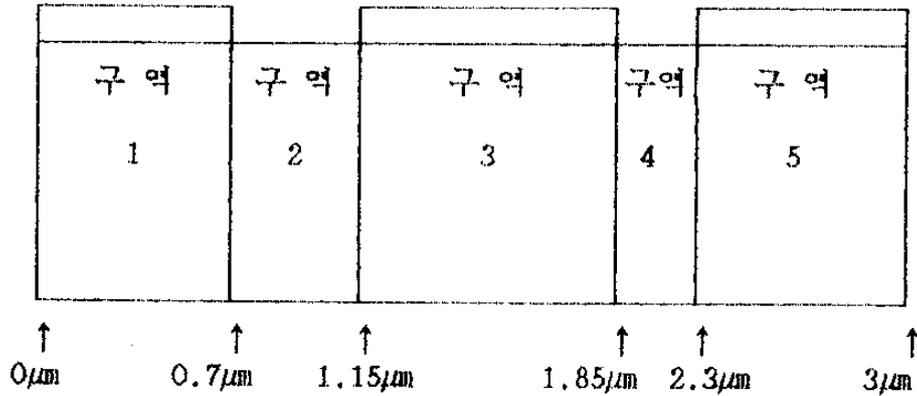


그림 1-4-1 구역 1로 나눈 GRIDX 문의 한예

그림 1-4-1을 사용하여 GRIDX 문의 예를 들어 보기 1-4-1에서 grid를 잘라보겠다.

#### 보기 1-4-1

##### ◦ 구역 1

X축 시작 size는 0  $\mu$ m 이고, 축 끝 size 는 0.7  $\mu$ m 이다.

시작 Grid 번호는 1번부터, Grid 갯수가 5개이다. 그리고 Grid ratio 는 1.이다. 즉, 2번째 Grid size 는 1번째 Grid size 의 1.배가 된다. 즉, Uniform 한 grid 가 된다. 그러면 그림 1-4-1-1과 같이 된다.

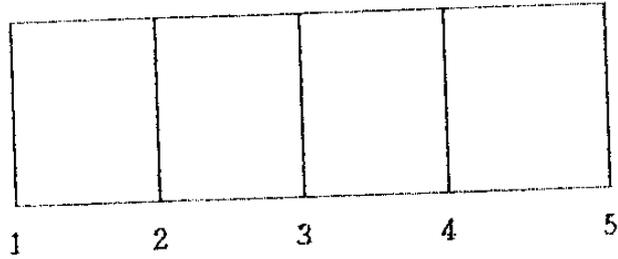


그림 1-4-1-1 구역 1에서의 Uniform 한 Grid

그러면, 이러한 경우는 다음과 같이 작성한다.

'GRIDX'				
0.	0.7E-6	1	5	1

구역 2

X 축 시작 size 는  $1.15\mu\text{m}$  이다. 시작 Grid 번호는 구역 1 에서 5 번으로 끝났기 때문에 6 번부터 시작하고, Grid 갯수는 10 개이다. 그리고 Grid Ratio 는 0.7 이다. 즉, 2 번째 Grid Size 는 1 번째 Grid Size 의 0.7 배가 된다. 즉, non-uniform 한 grid 가 된다. 그러면, 그림1-4-1-2 와 같이된다.

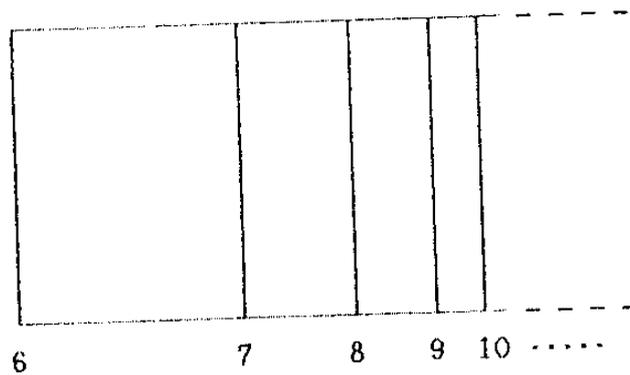


그림 1-4-1-2. 구역 2 에서의 non-uniform 한 Grid

그러면, 이러한 경우는 다음과 같이 작성한다.

'GRIDX'				
0.7E-6	1.15E-6	6	10	0.7

◦ 구역 3

X 축의 시작 size 는 1.15  $\mu\text{m}$  이고, X 축의 끝 size 는 1.85  $\mu\text{m}$  이다. 시작 Grid 번호는 구역 2 에서 15 번으로 끝났기 때문에 16 번 부터 시작하고, grid 갯수는 5 개이다. 그리고 Grid Ratio 는 1. 이다. 역시 구역 1 과 같이 uniform 한 Grid 가 된다. 그러면, 그림 1-4-1-1 과 같은 형태가 된다. 이러한 경우 다음과 같이 작성한다.

'GRIDX'				
1.15E-6	1.85E-6	16	5	1

◦ 구역 4

X 축 시작 size 는 1.85  $\mu\text{m}$  이고, X 축 끝 size 는 2.3  $\mu\text{m}$  이다. 시작 Grid 번호는 구역 3 에서 20 번으로 끝났기 때문에 21 번부터 시작하고, grid 갯수는 10 개이다. 그리고 Grid Ratio 는 1.3 이다. 즉, 2 번째 Grid size 는 1.3 배가 된다. 즉, non-uniform 한 Grid 가 된다. 그러면, 그림 1-4-1-3 과 같이 된다.

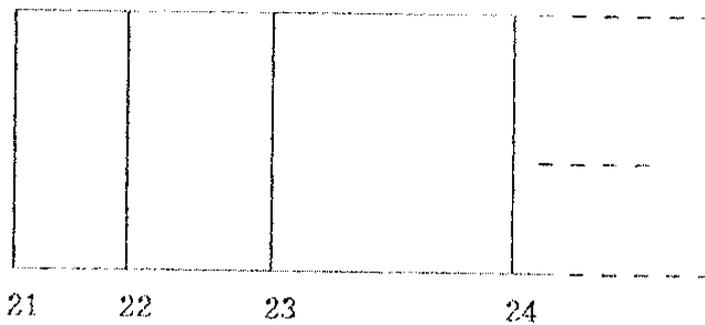


그림 1-4-1-3. 구역 4 에서의 non-uniform 한 Grid  
이러한 경우, 다음과 같이 작성한다.

'GRIDX'				
1.85E-6	2.3E-6	21	10	1.3

• 구역 5

X 축 시작 size 는  $2.3 \mu\text{m}$  이고, X 축 끝 size 는  $3 \mu\text{m}$  이다. 시작 Grid 번호는 구역 4 에서 30 번으로 끝났기 때문에 31 번부터 시작하고, grid 갯수는 5 개이다. 그리고 Grid Ratio 는 1. 이다. 역시 구역 1 과 같이 uniform 한 Grid 가 된다. 그러면, 그림 1-4-1-1 과 같은 형태가 된다. 이러한 경우 다음과 같이 작성한다.

'GRIDX'				
2.3E-6	3E-6	31	5	1.

1-4.1. GRIDY 문

'GRIDY' 문은 Y 축으로 Grid 를 자르게 되는 문이다. 여기서도 'GRIDX' 문에서와 마찬가지로 그림을 통해서 설명 하겠다. 형식은 <형식1-4-2> 와 같다.

<형식 1-4-2>

'GRIDY'				
Y축시작 size (실수형)	Y축끝 size (실수형)	시작Grid 번호 (정수형)	Grid갯수 (정수형)	Grid ratio (정수형)

Y 축으로 Grid 자르게 위해서 그림 1-4-2 에 나타난 것처럼 구역을 나누었다.

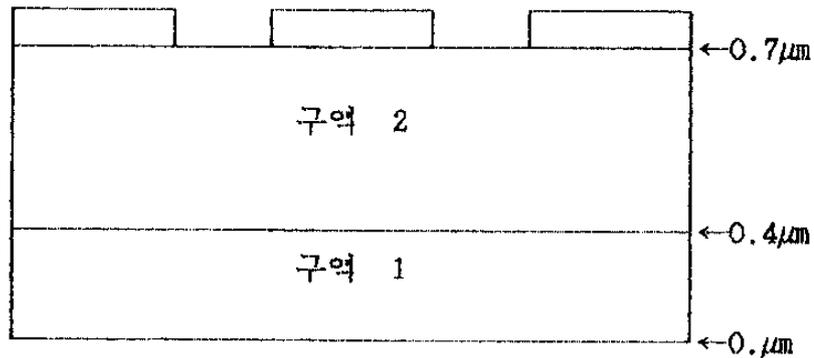


그림 1-4-2. 구역 2 로 나는 GRIDY 문의 한 예

그림 1-4-2 를 사용하여 GRIDY문의 예를 들어, 보기 1-4-1 에서  
를 잘라 보겠다.

• 구역 1

Y 축 시작 size 는  $0 \mu\text{m}$  이고, Y 축 끝 size 는  $0.4 \mu\text{m}$  이다.  
시작 grid 번호는 1 번 부터, grid 갯수는 10 개 이다. 그리고 grid  
ratio 는 0.8 이다. 즉 2 번째 grid size 는 1 번째 grid size 의  
0.8 배가 된다. 즉, non-uniform 한 grid 가 된다. 그러면, 그림  
1-4-2-2 과 같이 된다.

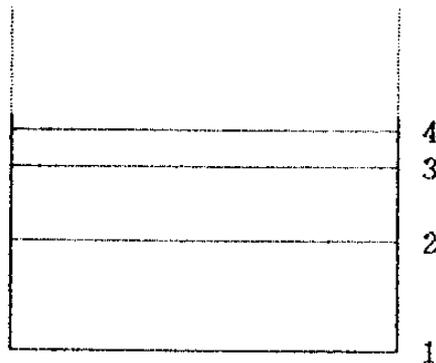


그림 1-4-2-2. 구역 1 에서의 non-uniform 한 grid

그러면 이러한 경우 다음과 같이 작성한다.

'GRIDY'				
0.	0.4E-6	1	10	0.8

◦ 구역 2

Y 축 시작 size 는 0.4  $\mu\text{m}$  이고, Y 축 끝 size 는 0.7  $\mu\text{m}$  이다. 시작 grid 번호는 구역 1 에서 10 에서 끝났기 때문에 11 번 부터 시작하고, grid 갯수는 10 개 이다. 그리고 grid ratio 는 0.8 이다. 즉 2 번째 grid size 는 1 번째 grid size 의 0.8 배가 된다. 즉, non-uniform 한 grid 가 된다. 그러면 1-4-2-1 의 형태가 된다. 그러면, 이러한 경우 다음과 같이 작성한다.

'GRIDY'				
0.4E-6	0.7E-6	11	10	0.8

GRID 문에서 특히 주의할 점은, 'GRIDX' 나 'GRIDY' 는 마찬가지로 구역 순서가 맞게 작성해야 한다. 예를 들면 구역 1 과 구역 2 가 순서가 바뀌어서 작성되서는 안된다.

#### 1-5. CONTACT 문

'CONTACT' 문 역시 이 package 의 알고리즘의 대부분을 차지하는 부분이다. 형식은 <형식 1-5> 와 같다.

<형식 1-5>

'CONTACT'			
X축시작 size (실수형)	X축끝 size (실수형)	Y축시작 size (실수형)	Y축끝 size (실수형)
Contact 종류 (문자형)	Barrier Height (실수형)		

그림 1-1 에서 contact 1 에서 Y 축 시작 size 와 Y 축 끝 size 는 같게 되고, 값은 0.7  $\mu\text{m}$  이다.

contact 종류는 'SCHOTTKY' 와 'OHMIC' 두 종류가 있다. contact 종류는 ' ' 안에 기입해야 하며, 대문자로 기입해야 한다.

Barrier Height 는 'SCHOTTKY' 의 경우 그 contact 의 barrier height 를 기입하고, 'OHMIC' 의 경우 0 을 기입한다.

그림 1-1 에서 사용된 contact 의 예를 보기 1-5-1 에 작성한다.

◦ contact 1 인 경우 (source 부분)

'CONTACT'						
0	0.7E-6	0.7E-6	0.7E-6	'OHMIC'	0.	

◦ contact 2 인 경우 (gate 부분)

'CONTACT'						
1.1E-6	1.85E-6	0.7E-6	0.7E-6	'SCHOTTKY'	0.8	

◦ contact 3 인 경우 (drain 부분)

'CONTACT'						
2.3E-6	3E-6	0.7E-6	0.7E-6	'OHMIC'	0.	

보기 1-5-1. 그림 1-1 에 사용된 contact 의 한 예

보기1-5-2 는 contact 가 양 측면에 있는 경우이다.

'CONTACT'						
0.	0.	0.	0.7E-6	'OHMIC'	0.	
'CONTACT'						
3E-6	3E-6	0.	0.7E-6	'OHMIC'	0.	

보기 1-5-2. contact 가 양 측면에 있는 경우.

보기1-5-3 는 contact 가 밑면에 있는 경우이다.

'CONTACT'						
0.	3E-6	0.	0.	'OHMIC'	0.	

보기 1-5-2. contact 가 양 측면에 있는 경우.

1-6. ELECT 문

'ELECT' 는 contact 의 전압을 인가해 주는 문이다. ELECTRODE 문 은 CONTACT 문의 모든 size 가 일치해야 한다. 형식은 <형식 1-6> 과 같다.

<형식 1-6>

'ELECT'	X축시작size (실수형)	X축끝size (실수형)	Y축시작size (실수형)	Y축끝size (실수형)	인가 전압 (실수형)
---------	-------------------	------------------	-------------------	------------------	----------------

모든 size 는 CONTACT 문과 같고, 우리가 자주 변화시켜 주어야 하는 것이 인가 전압이다. 그림5-1에 사용된 electrode의 예를 보기5-6에 작성한다.

◦ source = 0 V, gate = 0 V, drain = 0 V일 때

'ELECT'	0.	0.7E-6	0.7E-6	0.7E-6	0.
'ELECT'	1.1E-6	1.85E-6	0.7E-6	0.7E-6	0.
'ELECT'	2.3E-6	3E-6	0.7E-6	0.7E-6	0.

◦ source = 0 V, gate = 0 V, drain = 0.5 V 일 때

'ELECT'	0.	0.7E-6	0.7E-6	0.7E-6	0.
'ELECT'	1.1E-6	1.85E-6	0.7E-6	0.7E-6	0.
'ELECT'	2.3E-6	3E-6	0.7E-6	0.7E-6	0.5

◦ source = 0 V, gate = 0.1 V, drain = 0.5 V 일 때

'ELECT'	0.	0.7E-6	0.7E-6	0.7E-6	0.
'ELECT'	1.1E-6	1.85E-6	0.7E-6	0.7E-6	0.2
'ELECT'	2.3E-6	3E-6	0.7E-6	0.7E-6	0.5

보기 1-6. 그림 1-2 에 사용된 electrode 의 한 예

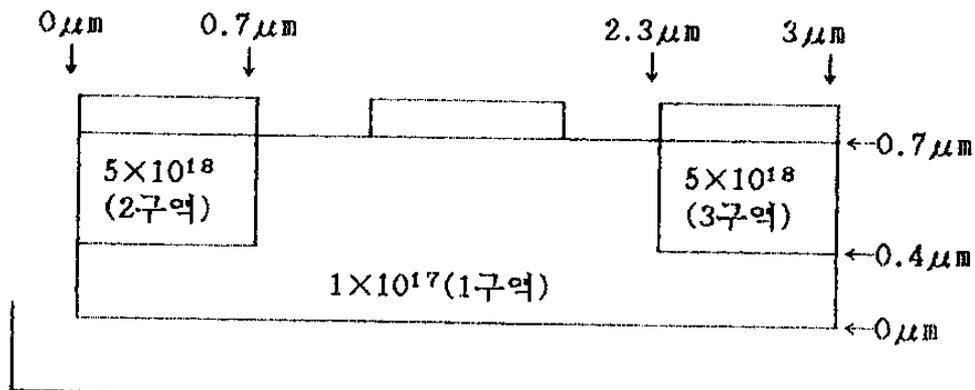
1-7. DOP 문

'DOP' 문은 어느 특정한 구역에 doping concentration 을 부여하는 문이고, 'DOP' 문을 기입하는 방법은 매우 쉽다. 형식은 <형식 1-7> 과 같다.

<형식 1-7>

'DOP'				
X축시작size (실수형)	X축끝size (실수형)	Y축시작size (실수형)	Y축끝size (실수형)	도핑농도 (실수형)

그림 1-1 을 그림 1-7 과 같이 4 구역으로 나누었다.



0

그림 1-7. 4 구역으로 나눈 도핑 농도 영역

그림 1-7 의 예를 보기 1-7 에서 작성한다.

• 1 구역에서

'DOP'				
0.	3E-6	0.	0.7E-6	1E17

◦ 2 구역에서

'DOP'					
0.	0.7E-6	0.4E-6	0.7E-6	5E18	

◦ 3 구역에서

'DOP'					
2.3E-6	3E-6	0.4E-6	0.7E-6	5E18	

보기 1-7. 그림 1-7 에서 주어진 농도의 예

1-8. MOB 문

'MOB' 문은 각 재료의 electron mobility 을 기입하는 문이다. 형식은 <형식 1-8> 과 같다.

<형식 1-8>

'MOB'
electron mobility

각 재료의 mobility 값은 표 1-8 과 같다.

표 1-8. 300 K 에서 Ge, Si, 및 GaAs 의 mobility

	Ge	Si	GaAs	SiO <sub>2</sub>
Intrinsic mobility:				
Electron, cm <sup>2</sup> /V · S	3900	1500	8600	
Hole, cm <sup>2</sup> /V · S	1900	450	400	

GaAs 를 사용할 때는 보기 1-8 과 같다.

'MOB'  
8600

보기 1-8. GaAs 에서의 electron mobility

1-9. READ 문

'READ' 문은 전에 simulation data 를 계속 사용하느냐를 구분하는 문이다. 형식은 <형식 1-9> 와 같다.

<형식 1-9>

'READ'

'READ' 문이 있으면 data 를 계속 사용하고, 없으면, 다시 새롭게 시작하는 것을 의미한다.

## 2. PLOT Deck Manual

본 연구에서 사용된 plot program 은 simulation 을 통해 추출된 potential 및 concentration 등을 시각적으로 표현하기 위해 AutoCad 와 연결해 주는 SCR 화일을 생성시키는 프로그램이다. 이 프로그램은 간단한 명령어으로써 사용할 수 있지만, 사용자의 의도에 맞도록 사용하기 위해서 상세히 이 manual 을 읽을 필요가 있다.

### 2-1. XDIR 문

'XDIR' 문은 X 축 크기를 지정하는 문이다. 이것은 AutoCad 에 표시 되는 화면 크기에 맞추기 위한 것이고, default 값으로 150 이 들어가 있고, 이것보다 크게 하거나, 작게 한다면, 'XDIR' 문을 기입한 다음, 수치를 기입해 주면 된다. 형식은 <형식 2-1> 과 같다.

#### <형식 2-1>

'XDIR' X 축 크기의 수치 (실수형)
-------------------------------

default 값보다 크거나, 작을 때, 보기 2-1 에서 예를 들어 본다.

- 150 보다 클 때

'XDIR' 200.
----------------

- 150 보다 작을 때

'XDIR' 100.
----------------

보기 2-1. XDIR 문에서 default 값 보다 클 때와 작을 때의 예

## 2-2. YDIR 문

'YDIR' 문은 Y 축 크기의 배수를 지정하는 문이다. 이 문은 'XDIR' 문과 약간 다르다. 'XDIR' 문이 크기를 지정하는 문이라면, 'YDIR' 문은 배수를 지정하는 문이라 볼 수 있다. 이 문의 default 값은 1 로 되어 있고, 형식은 <형식 2-2> 와 같다.

### <형식 2-2>

'YDIR' Y 축 크기의 배수 (실수형)
-------------------------------

배수가 1 배 보다 크거나 작을 때, 보기 2-2 에서 예를 들어 본다.

#### ◦ 1 배 보다 클 때

'YDIR' 2.
--------------

#### ◦ 1 배 보다 작을 때

'YDIR' 0.5
---------------

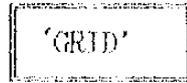
보기 2-2. YDIR 문에서 default 값 보다 클 때와 작을 때의 예

'XDIR' 문과 'YDIR' 문은 가능하다면, 기입하지 않고 사용하는 것이 편하다.

### 2-3. GRID 문

'GRID' 문은 소자의 grid 와 contact 을 그려내는 문이다. 'GRID' 문은 어떤 형식이 있는 것이 아니라, 'GRID' 문이 있으며, grid 를 그려내고, 없으면 그려내지 않는다. 형식은 <형식 2-3> 과 같다.

<형식 2-3>



보기는 그림 2-3 과 같다.

그림 2-3. 'GRID' 문의 한 예



#### 2-4. 3DPOT 문

'3DPOT' 문은 potential 의 크기를 3 차원으로 그려내는 문이다.  
이 문도 'GRID' 문과 마찬가지로, 형식은 <형식 2-4> 와 같다.

<형식 2-4>

'3DPOT'

보기는 그림 2-4 와 같다.

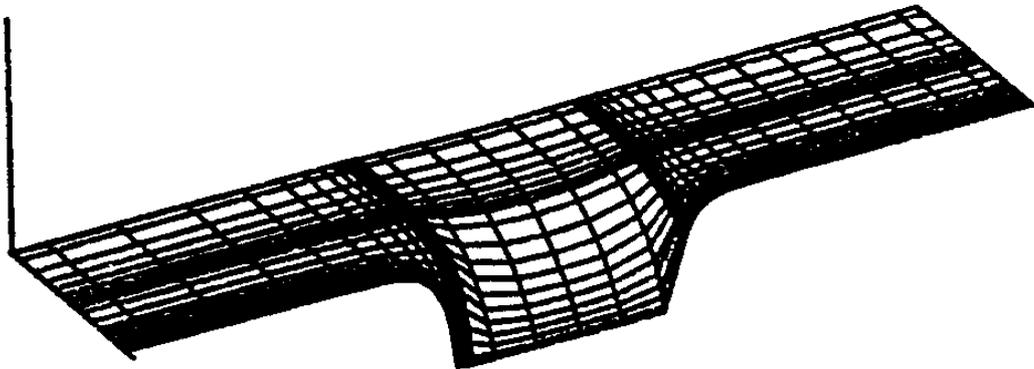


그림 2-4. '3D POT' 문의 한 예

2-5. 3DCON 문

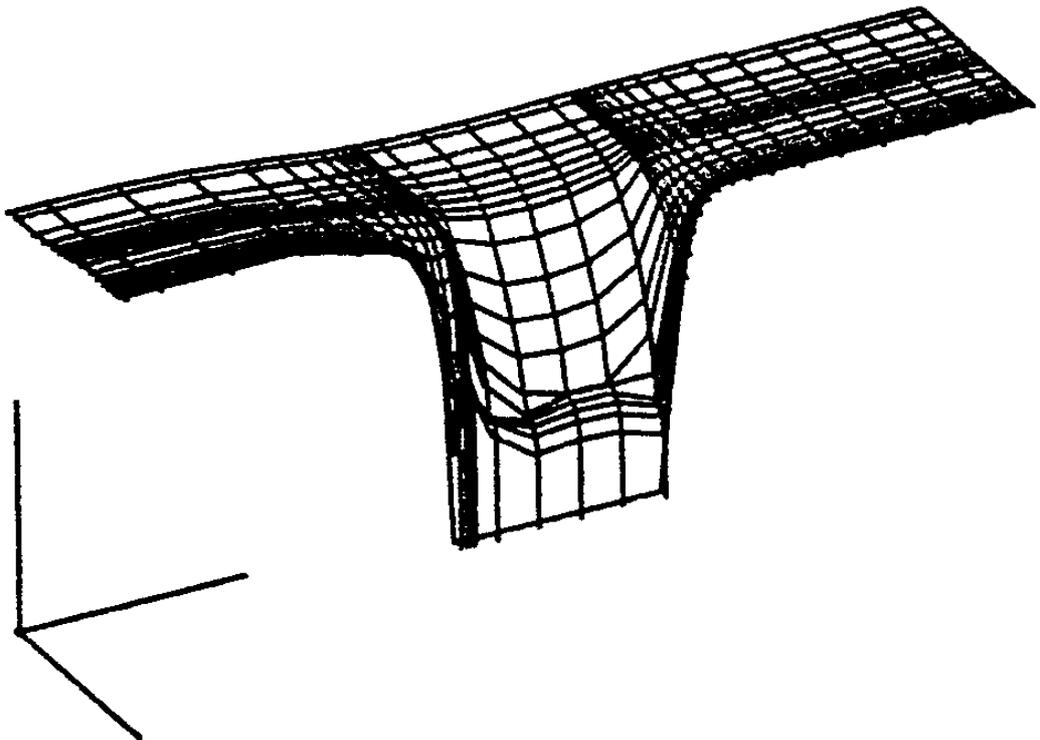
'3DCON' 문은 concentration 의 크기를 3 차원으로 그려내는 문이다. 이 문도 '3DPOT' 문과 마찬가지로, 형식은 <형식 2-5> 와 같다.

<형식 2-5>

'3DCON'

표기는 그림 2-5 와 같다.

그림 2-5. '3D CON' 문의 한 예



## 2-6. 2DPOT 문

'2DPOT' 문은 potential 분포를 2 차원으로 그려내는 문이다. 이 문은 사용자가 원하는 contour 를 기입할 수 있으며, contour 마지막 은 9999. 를 기입하여야 한다. 형식은 <형식 2-6> 과 같다.

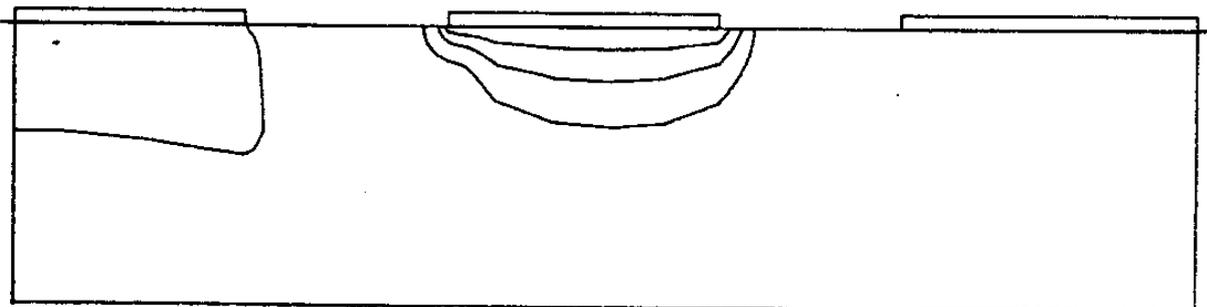
### <형식 2-6>

'2DPOT' contour 수치 (실수형) 9999.
---

만약, 사용자가 원하는 potential 의 그림을 그릴 때, 한 예를 들면, 0 V, 0.5 V, 1 V 를 원할 때, 보기 2-6 과 같다.

'2DPOT' 0. 0.5 1. 9999.
-------------------------------------

보기 2-6. Potential 0 V, 0.5 V, 1 V 를 그린 한 예



2-7. 2DCON 문

'2DCON' 문은 concentration 분포를 2 차원으로 그려내는 문이다. 이 문도 '2DPOT' 문과 마찬가지로 사용자가 원하는 contour 를 기입할 수 있으며, contour 마지막에는 9999. 를 기입하여야 한다. 형식은 <형식 2-7> 과 같다.

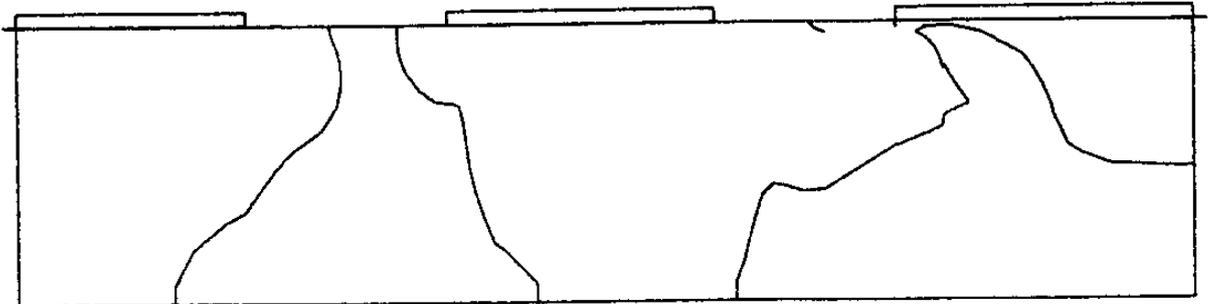
<형식 2-7>

```
'2DCON'  
contour 수치  
(실수형)  
9999.
```

이것은 '2D POT'와 달리 로그 단위이기 때문에, contour 의 값을 승 단위로 기입하여야 한다. 한 예를 들면, 17 승, 18 승, 19 승을 원할 때, 보기 2-7 과 같다.

```
'2DCON'  
17.  
18.  
19.  
9999.
```

보기 2-7. concentration 17 승, 18 승, 19 승을 그린 한 예.



## 2-8. CURVEC 문

'CURVEC' 문은 current 를 vector 로 나타내는 문이다. 형식은 'GRID' 문과 같고, <형식 2-8> 과 같다.

<형식 2-8>

'CURVEC'

```
'2DPOT'  
_4999  
_3  
_2  
_1  
_0001  
-12  
-14  
-16  
-179999  
9999.  
'2DCON'  
16.0001  
17.0001  
9999.  
'GRID'  
'3DPOT'  
'3DCON'
```

## 주 의

1. 이 보고서는 과학기술처에서 시행한 특정연구 개발사업의 연구보고서 이다.
2. 이 연구개발 내용을 대외적으로 발표할 때에는 반드시 과학기술처에서 시행한 특정연구 개발사업의 연구결과임을 밝혀야 한다.