



차세대 화합물 반도체 재료의 결정성장기술

Advanced Crystal Growth Technology of the Compound
Semiconductor Materials

연구기관
한국과학기술연구원

寄贈	
과학기술처 과학기술 연구소 본	一九八九年 十一月 十日

과 학 기 술 처

제 출 문

과학기술처장관 귀하

본 보고서를 “차세대 화합물 반도체 재료의 결정성장기술”
사업의 최종보고서로 제출합니다.

1989. 6.

주관연구기관명 : 한국과학기술연구원
연구기관명 : 한국과학기술연구원
총괄연구책임자 : 민석기 (한국과학기술연구원 반도체재료연구실장)
연구책임자 : 민석기 (한국과학기술연구원 반도체재료연구실장)
연구원 : 김무성 (한국과학기술연구원 선임연구원)
 김현수 (한국과학기술연구원 선임연구원)
 김용태 (한국과학기술연구원 선임연구원)
 김은규 (한국과학기술연구원 선임연구원)
 박승철 (한국과학기술연구원 연구원)
 한철원 (한국과학기술연구원 연구원)
 박용주 (한국과학기술연구원 연구원)
 조훈영 (한국과학기술연구원 연구원)
 김 용 (한국과학기술연구원 연구원)
 엄경숙 (한국과학기술연구원 연구원)
 김성일 (한국과학기술연구원 연구원)
 김춘근 (한국과학기술연구원 연구원)
위촉연구원 : 심광보 (한국과학기술연구원 반도체재료연구실)
 윤주훈 (고려대학교대학원 물리학과)

요 약 문

I. 제 목

차세대 화합물 반도체 재료의 결정성장기술

II. 연구개발의 목적 및 중요성

GaAs는 동작속도가 매우 빠르고 수광 및 발광특성을 가지고 있을 뿐 아니라 방사선에 강하고 300℃의 고온에서도 동작이 가능하며 전력소모가 작고 잡음도 적은 특성 등 Si에 비해 여러가지 장점을 가지고 있으므로 광통신용 고속소자, 컴퓨터용 고속연산소자, 레이저 다이오드(LD), MMIC, OEIC 등 여러가지 광전소자에 쓰이며 응용범위도 계속 확대되는 한편 신기능을 가지는 새로운 소자도 개발되고 있는 매우 유망하고도 중요한 화합물 반도체 재료이다. 따라서 GaAs를 주로하는 III-V 화합물 반도체의 기술은 첨단소자 산업의 핵심이며 광정보산업, 군수산업, 우주통신산업으로 확대되어 차세대를 이끌 주요 기술중의 하나가 될 전망이다. 미·일 등 선진국에서는 이 분야에 대한 꾸준한 연구가 계속되어 왔으며 전략산업기술로 다루어 기술독점화를 추진중에 있다.

GaAs의 이러한 독특한 장점에도 불구하고 아직 소자응용이 일반화되지 못한 이유는 GaAs 기판 단결정의 성장기술이 Si 단결정 성장기술에 훨씬 못미치고 있어서 양질의 대직경 GaAs 단결정 성장이 어렵기 때문이다. 현재 GaAs 단결정을 성장시키는 방법으로는 수평 Bridgman 법과 LEC 법이 이용되고 있으나 저결함

화와 대직경 원형화의 요구를 만족시키지 못하고 있으며 최근 개발되기 시작한 VGF(vertical gradient freeze)법이 이러한 두 측면을 모두 해결할 수 있는 기술로 관심을 모으고 있다.

한편, GaAs-on-Si 이종접합기술은 Si과 GaAs의 장단점을 서로 보완하고 각 소재의 기능을 동시에 이용할 수 있어서 광전 집적회로 소자제조에 활용될 수 있으며 신기능 소자응용을 위한 필수 핵심기술이다.

이러한 기술들은 선진국에서도 아직 성숙단계에 도달하지 못한 첨단기술이므로 본 연구실에서 지금까지 축적된 Czochralski Si 및 HB GaAs 단결정 성장기술과 MOCVD, VPE의 에피 성장기술을 기반으로 하여 이 분야기술을 개발함으로써 선진국과의 기술 경쟁기반을 구축함을 목적으로 이 연구사업에 착수하였다.

Ⅲ. 연구개발의 내용 및 범위

본 연구개발의 범위는 다음과 같다.

첫째, 독특한 idea로 제작하여 HB 방법에 이용한 바 있는 DM(direct monitoring) 전기로를 사용하여 VGF 결정 성장장치를 제작하고, 이를 이용 직경 1인치의 undoped GaAs 단결정을 시험성장하여 장치를 개선하며 성장조건을 연구한다.

둘째, 기존의 MOCVD 장치를 개선하고 GaAs-on-Si 에피성장 기술을 연구하여 성장최적 조건을 찾고 기판방향, 에피층 두께, 성장온도가 에피층의 결정성에 미치는 영향을 연구한다.

셋째, Hall 효과측정, DLTS 및 ICTS 측정, X-선 회절 분

광측정, PL 측정, SEM, TEM, 화학부식을 이용한 전위밀도 측정등을 하여 성장된 결정의 특성을 평가하고 GaAs의 물성을 연구한다.

IV. 연구개발 결과 및 활용에 대한 건의

먼저 bulk 단결정 성장분야에서는 DM(direct monitoring) 전기로를 이용하여 독특한 VGF 결정성장장치를 제작하였다. 이 장치의 특징은 첫째, programmable temperature controller를 이용하여 결정성장 전과정의 온도제어를 자동화한 점, 둘째로 고온부위에 DM전기를 사용함으로써 고온가열 및 냉각반응 속도를 단축시키고 결정성장시간을 단축시킨 점, 셋째 결정성장시 성장로의 내부를 직접 관찰할 수 있는 점등이다. 이 장치를 이용하여 직경 1인치 길이 10 cm의 <111> undoped GaAs 원형 단결정을 성장시켰다. 결정성장은 봉합된 석영반응관 내에서 약 1 기압의 As 분위기를 유지시키며 8 ~ 2.25 mm/hr의 성장속도로 하였다. 성장초기 seed 결정으로부터 shoulder 부분까지의 안정된 계면이동이 특히 중요하며 이 과정의 온도제어 program을 변화시켜 양질의 VGF GaAs 단결정을 얻을 수 있었다. 또한 결정성장이 끝난 후에도 700 °C까지는 서서히 냉각시킴으로써 성장후 급냉에 따른 부분적인 폭발이나 전위의 생성을 제거하였다.

성장된 결정의 특성평가는 화학부식을 이용한 전위밀도 측정과 Hall 효과측정을 이용한 전기적 특성 측정, 또 DLTS, PL 등의 측정을 하였다. 전위밀도는 약 5000 개/cm² 이하로 LEC GaAs는 물론 HB GaAs 보다도 더 양질의 단결정으로 나타났으며 비

저항은 $3.2 \times 10^{-2} \sim 2.2 \times 10^{-3} \Omega \cdot cm$, 전자이동도는 $3910 \sim 2940 cm^2/V \cdot sec$, 그리고 carrier 농도는 $5 \times 10^{16} \sim 9.5 \times 10^{17} cm^{-3}$ 의 분포를 보였다.

또 undoped 및 In-doped GaAs 시료를 사용하여 열처리 및 플라즈마 수소화 전후의 DLTS 및 ICTS 측정으로 deep level 을 조사하였으며 photocapacitance quenching 효과와 열회복 현상을 연구하였다. 이들 실험을 통하여 $V_{As}As_iV_{Ga}AS_{Ga}$ 과 $V_{As}V_{Ga}AS_{Ga}$ 의 EL2 및 EX2 준위 model 을 확인하고 EL8 과 EL10 준위의 모형으로 $V_{As}AS_{Ga}$ 와 $V_{As}V_{Ga}$ 을 제안할 수 있었다.

한편, 이중접합 연구에서는 MOCVD 법에 의해 실리콘 기판위에 GaAs 에피결정을 성장하고 GaAs 에피결정의 표면상태, 결정구조 및 결정결함등을 현미경, X-ray diffraction, transmission electron microscopy(TEM), KOH 용액 etching 등의 방법으로 측정하였다.

[011] 방향으로 3° off 된 (100) 실리콘 기판위에 거울면을 보이는 GaAs 에피층을 MOCVD 법으로 성장하였는데 이때의 최적 성장조건은 $950^\circ C$ 에서 20 분간 열처리한 후 $450^\circ C$ 에서 2.5 분간 GaAs 를 성장시키고 마지막으로 $750^\circ C$ 에서 As:Ga ratio 를 50 으로 하여 두께 $1 \sim 5.5 \mu m$ 의 GaAs 층을 성장시켰다. 두께가 두꺼워지면서 표면 roughness 는 좋아지는 경향을 보였으며 두께 $5.5 \mu m$ 인 시료에서는 표면에 microcrack 들이 나타났다.

한편 측정되어진 두께 범위에서, 계면에 수직인 방향과 수평한 방향에서의 GaAs 격자상수는 각각 5.6473 \AA 및 $5.6745 \sim$

5.6639 Å로 측정되어졌으며 3° 기울어진 실리콘 기판위에 성장된 GaAs 에피층의 <001> 결정방향은 표면에 수직한 방향과 기판의 <001> 방향사이에 위치하고 있으며, 두 방향사이의 각도 (misorientation)는 0.05°로 측정되어졌다. 그리고 단면 TEM 및 plan view TEM 측정으로부터 GaAs 층의 표면근처에서 전위밀도가 10^8 order 정도가 됨을 알 수 있었다.

이와같은 결과들은 본 연구사업의 1차 목표를 충분히 만족하는 좋은 결과들로 평가된다. 앞으로 계속적인 연구를 통해 VGF 기술의 경우 불순물 첨가연구 및 성장 최적조건을 찾고, 이종접합 연구에서도 양질의 에피층 성장조건을 확립한 후 MESFET등의 소자제작을 해볼 계획이며 이를 위해 국내외 관련 연구기관과의 긴밀한 협조관계를 지속시키고 국내 GaAs 반도체 기술의 토착화에 이바지하고자 한다. 또 지금까지의 연구개발결과의 활용과 계속적인 기술발전을 위해 정부주도의 지속적인 지원이 요망되며 본 연구사업 수행을 위해 협조해 주신 MOST, KIST 관계관 여러분과 국내 학계의 교수님들, 연구원들께 깊은 감사를 드린다.

여 백

SUMMARY

I. Title

Advanced Crystal Growth Technology of the Compound Semiconductor Materials.

II. Purpose and Significance of the Study.

GaAs compound semiconductor material has faster operating speed than silicon in the device applications. Moreover, comparing with silicon, it has the low power consuming and low noise characteristics and relatively high operating temperature, 300°C , as well as the light emitting and absorbing capability. It also can effectively resist the radioactivity. Owing to these properties, GaAs semiconductor material is used for detectors in optical communications, high speed devices for computers, laser diode (LD), MMIC, and OEIC etc.. Accordingly, III-V compound semiconductor materials, mainly GaAs, are considered as an essential materials for the manufacture of high-tech. electronic industries related to the optical communication, military, space communication industries. The further developed countries such as U.S.A. and Japan have been steadily researched in this area and planned to monopolize it as a strategic industrial technology.

The device applications of GaAs are still not generalized in spite of its particular characteristics. Because the growth of GaAs single crystal with good quality and large diameter is very difficult. For the growth of GaAs from the melt there are two main methods presently employed: The horizontal Bridgman (HB) technique and the liquid encapsulated Czochralski (LEC) technique. But no method can satisfy the demands of low defect, large diameter circular shape, and undoped semi-insulating property for the device application, simultaneously. In recent years, VGF (vertical gradient freeze) method have been noticed as the advanced technique for the GaAs crystal growth which could satisfy the demands.

In the another hand, materials engineering has also combined GaAs with Si; a thin epitaxial layer of GaAs on a Si wafer. The GaAs-on-Si wafers have the same mechanical strength, thermal conductivity and large size as a Si wafer. From a device point of view, GaAs-on-Si wafers combine the high speed and optoelectronic capabilities of GaAs with the structural and thermal benefits of Si. Therefore, these wafers not only are good candidates to replace bulk GaAs wafers for IC applications, but will also enable the monolithic integration of Si-based and photonic devices on a single chip.

The VGF and GaAs-on-Si heteroepitaxy techniques are not

well-established even in the further developed countries. The purpose of our research is to support the firm establishment of the GaAs technology and to increase the competitive power of the domestic semiconductor industries through the development of those advanced crystal growth technologies.

III. Scopes of the research.

The scopes of this research are as follows. First, the VGF crystal growth system is constructed with the in-house design. In this system, the DM (direct monitoring) furnace, which was developed for the horizontal Bridgman system in our lab, is adapted as high temperature zone. Through the test-run of GaAs crystal growth with the VGF system, the improvement of the system is performed and the growth conditions of VGF GaAs are studied. Second, The present MOCVD system is improved in reactor part. In the experiments of GaAs-on-Si heteroepitaxial growth, the best growth condition is studied and the effects of the substrate orientation, the thickness of epi-layer, and the growth temperature on the crystallinity of GaAs-on-Si are also studied. Finally, the properties of the grown GaAs bulk and epi crystals are investigated by the Hall effect, DLTS, ICTS, DCX, PL, SEM, TEM, and the chemical etching techniques.

IV. The result of study and proposition of application

The VGF system was designed and constructed to obtain low-defect circular GaAs wafers. There are three major improvements made by the newly designed VGF system: First, the temperature control over the whole growing process was automatized with the aid of programmable controller; Second, the duration of crystal growth was reduced through minimizing the freezing and heating time by utilizing the DM furnace within a high temperature zone; Third, as described previously, the whole growing process of the GaAs crystals could be directly observed with one's naked eye.

Using the VGF system, 1 inch diameter and 10cm long (111) undoped GaAs single crystals were grown. The growth was processed in the sealed quartz ampoule with the growth rate of 2.25-8 mm/hr in As ambient. At the beginning of the growth, it is very important that the interface proceeds in stable condition from the seed to the shoulder. With the variation of the temperature control program at the initial growth process, the good quality VGF GaAs single crystals were obtained. In addition, the partial explosion and the dislocation generation at post cooling were eliminated by lowering the cooling rate to 700°C.

The grown crystals were characterized by EPD, Hall effect,

DLTS, and PL measurements. The dislocation density of the VGF GaAs was less than 5000 cm^{-2} which is much smaller than HB and LEC GaAs. From Hall effect measurement of VGF GaAs, the resistivity was $3.2 \times 10^{-2} - 2.2 \times 10^{-3} \Omega \cdot \text{cm}$, mobility was $3910-2940 \text{ cm}^2/\text{V} \cdot \text{sec}$, and carrier concentration was $5 \times 10^{16} - 9.5 \times 10^{17} \text{ cm}^{-3}$.

We also investigated the behaviour of deep levels in undoped and In-doped GaAs before and after hydrogenation. The photocapacitance quenching effect and the thermal recovery phenomena were also studied by DLTS and ICTS measurements. With these experiments, models of EL2 and EX2 levels were confirmed to $V_{\text{As}} \text{As}_i V_{\text{Ga}} \text{As}_{\text{Ga}}$ and $V_{\text{As}} V_{\text{Ga}} \text{As}_{\text{Ga}}$ and models of EL8 and EL10 levels were proposed to $V_{\text{As}} \text{As}_{\text{Ga}}$ and $V_{\text{As}} V_{\text{Ga}}$, respectively.

In the other hand, GaAs-on-Si heteroepitaxy was investigated. One to $5.5 \mu\text{m}$ thick GaAs layers with mirror surfaces were grown on Si(100) substrates oriented 3° off from (100) toward [011] by metal-organic chemical vapor deposition (MOCVD), and the characteristics of these GaAs layers were determined by Nomarski microscope, X-ray diffraction, Transmission electron microscopy (TEM).

The surface becomes smoother with increasing thickness of the GaAs layer on Si, but thin cracks appear in the $5.5 \mu\text{m}$ thick GaAs layers. The grown GaAs layers etched with molten

KOH show no evidence of anti-phase domains, and the etch pit density of these layers is $(1-2) \times 10^4/\text{cm}^2$.

The measured lattice constants normal and parallel to the interface are 5.6473 \AA and $5.6639 - 5.6745 \text{ \AA}$, respectively. The GaAs $\langle 001 \rangle$ lattice vector is directed between the surface normal and the $\langle 001 \rangle$ orientation of the Si substrate, and the magnitude of the relative tilt between the GaAs and Si $\langle 001 \rangle$ directions is about 0.05° .

In conclusion, the results are evaluated to satisfy the first goal of this research project. Our next research will be concentrated on the impurity doping and the best growth condition in the VGF technology. In the area of heteroepitaxy, we will develop the growth condition of high quality epi-layer and the fabrication of MESFET.

The purpose of this research project is to contribute to the development of the semiconductor technology in this country

The continuous assists of government is very important for the application of the developed results and for the further research and we would like to thank the officers at MOST and KIST for their support to this project.

CONTENTS

Chapter 1. Introduction	27
Section 1. Development objectives and scopes	27
Section 2. Background and justification	28
Section 3. Report structure	31
Chapter 2. VGF crystal growth system	32
Section 1. Introduction of VGF method	32
Section 2. Theory and procedure of VGF method	36
Section 3. Design and construction of VGF system ...	49
Section 4. FICS-11	61
Chapter 3. Growth and characterization of VGF GaAs crystal	71
Section 1. Growth of VGF GaAs crystal	71
Section 2. Characterization of VGF GaAs crystal	94
Chapter 4. Study of bulk GaAs properties	125
Section 1. RTA effect of dislocation free GaAs:In crystal	125

Section 2. Photocapacitance quenching and thermal recovery of EL2	133
Section 3. Hydrogenation effect of deep levels in GaAs	142
Section 4. Deep levels in bulk GaAs	151
Chapter 5. Study of GaAs-on-Si heteroepitaxy	154
Section 1. GaAs-on-Si technology	154
Section 2. Epitaxial growth of GaAs-on-Si by MOCVD..	164
Section 3. Structural properties of GaAs-on-Si	181
Chapter 6. Conclusions and recommendations	202
Section 1. Conclusions	202
Section 2. Recommendations	204
References	206
Appendix	219

목 차

제 1 장 서 론	27
제 1 절 연구개발의 목적과 범위	27
제 2 절 연구사업 수행의 배경	28
제 3 절 보고서의 구성	31
제 2 장 VGF 결정성장 장치	32
제 1 절 VGF 결정성장법의 개요	32
제 2 절 VGF 결정성장원리 및 방법	36
제 3 절 VGF 결정성장로의 설계 및 제작	49
제 4 절 FICS-11	61
제 3 장 VGF 법에 의한 GaAs 단결정 성장 및 특성평가	71
제 1 절 VGF GaAs 단결정 성장	71
제 2 절 VGF GaAs 단결정의 특성평가	94
제 4 장 Bulk GaAs의 물성연구	125
제 1 절 무전위 GaAs:In의 급속열처리 효과	125
제 2 절 EL2 준위에 대한 Photocapacitance Quenching 과 열회복 현상	133

제 3 절	GaAs 내의 Deep Level에 대한 수소화 효과	142
제 4 절	Bulk GaAs내의 Deep Level들과 그들 사이의 관련성	151
제 5 장	GaAs-on-Si 이종접합연구	154
제 1 절	GaAs-on-Si 기술	154
제 2 절	MOCVD 법에 의한 GaAs-on-Si 성장	164
제 3 절	GaAs-on-Si의 결정구조특성	181
제 6 장	종합적 결론 및 건의사항	202
제 1 절	종합적 결론	202
제 2 절	건의사항	204
참 고 문 헌	206
부 록	219

그 립 목 차

그림 2-1. VGF 결정 성장의 온도분포	38
그림 2-2. Ga-Aa계의 상태도	40
그림 2-3. 액상 곡선과 평형을 이루고 있는 As, As ₂ , As ₄ , Ga 기상들의 온도에 따른 평형분압의 변화	42
그림 2-4. PBN의 기계적, 열적, 전기적 성질의 이방성	46
그림 2-5. VGF 단결정 성장장치	51
그림 2-6. VGF 결정 성장장치의 개요도	53
그림 2-7. VGF 전기로의 열선 구성	55
그림 2-8. VGF 결정 성장장치의 배선 개요도	57
그림 2-9. 반응관의 장입 및 회전장치	59
그림 2-10. FICS-11의 개략도	62
그림 2-11. 본 연구실에 설치한 FICS-11 장치의 모습	63
그림 3-1. VGF 법에 의한 bulk GaAs 단결정 성장 process	72
그림 3-2. VGF 단결정 성장에 사용된 석영 반응용기의 규격...	73
그림 3-3. Sand blast 용 air gun	75
그림 3-4. 진공봉합이 끝난뒤의 석영 반응관	79
그림 3-5. VGF 결정성장로에서의 set point에 따른 온도 분포곡선.....	81
그림 3-6. VGF 결정성장로에서의 GaAs 단결정 성장시의 온 도 구배변화	83

그림 3-7. VGF 결정성장로의 시간축에 따른 각 zone의 온도 도가열 및 냉각곡선	84
그림 3-8. GaAs 결정성장시의 성장계면	86
그림 3-9. GaAs 결정성장이 끝난뒤의 석영 반응관	87
그림 3-10. VGF 법에 의해 성장된 undoped GaAs 잉고트	89
그림 3-11. VGF 법에 의해 성장된 undoped GaAs 잉고트	90
그림 3-12. 결정 성장시에 예상되는 성장계면의 이동	93
그림 3-13. KVG 90404의 polishing된 원형 웨이퍼 모습	95
그림 3-14. (111) Ga 면에 나타난 terraced etch pit	97
그림 3-15. g 값에 따른 EPD의 변화	98
그림 3-16. 전위밀도의 radial 분포 ($g = 0.2$)	100
그림 3-17. g 값에 따른 carrier 농도분포	105
그림 3-18. g 값에 따른 비저항의 변화	106
그림 3-19. g 값에 따른 전자이동도의 변화	107
그림 3-20. carrier 농도와 mobility로부터 구한 compensation ratio	108
그림 3-21. As partial pressure에 따른 carrier 농도와 compensation ratio의 변화	110
그림 3-22. g 값에 따른 ionized donor 농도의 변화	112
그림 3-23. KVG 90404의 DLTS 스펙트럼	114
그림 3-24. g 값에 따른 깊은 준위 농도의 변화	115
그림 3-25. PL 측정장치의 개략도	120
그림 3-26. g 값에 따른 PL 스펙트럼	121
그림 3-27. g 값에 따른 emission linewidth의 변화	123

그림 4-1.	n형 HB-GaAs : In의 전형적인 DLTS 신호모습. 여기서 실선은 비교를 위해 undoped HB-GaAs 에서 얻은 결과를 나타내었다.....	127
그림 4-2.	열처리온도에 따른 DLTS 신호모습들. 이때 열처리 시간은 10 초로 고정하였다.	128
그림 4-3.	고정된 열처리온도 (750 °C, 850 °C, 950 °C)에서 열처 리시간에 따른 EL2 준위의 농도변화.	130
그림 4-4.	RTA 장치로 850 °C에서 열처리한 시료에서 나타난 photocapacitance quenching 모습	135
그림 4-5.	준안정상상태로부터 안정상태로 열회복되는 모습	137
그림 4-6.	온도에 따른 회복율의 Arrhenius 그림	138
그림 4-7.	Photocapacitance quenching과 열회복 현상에 대한 EL2 준위의 configuration coordinate diagram.	140
	(a) $h\nu_1$ 의 광에너지에 의해 준안정상상태로 전이되는 모습.	
	(b) 열에너지와 $h\nu_2$ 의 광에너지 ($<h\nu_1$)에 의해 열회복되는 모습	
그림 4-8.	수소화와 열처리에 따른 donor 농도의 구배. 여 기서 열처리는 500 °C에서 5분동안 수행하였다.	144
그림 4-9.	Undoped HB-GaAs 내의 deep level들에 대한 수소화 효과	146

그림 4-10. 수소화된 HB-GaAs 내의 deep level 들의 농도 구배	148
그림 4-11. Undoped HB-GaAs 의 수소화후 열처리에 따른 deep level 농도의 변화. 여기서 열처리는 RTA 법으로 10초동안 수행하였다.	149
그림 4-12. 열처리 및 수소화에 따른 EL2 group과 EL6 group deep level 들의 농도변화	152
그림 5-1. GaAs-on-Si 성장을 위한 전형적인 기판온도 변화	160
그림 5-2. MOCVD 법에 의해 GaAs-on-Si 을 성장하기 위한 구조들	161
그림 5-3. MOCVD 장치의 개략도	165
그림 5-4. Angle lapping 한 표면의 현미경 사진 ($\times 75$).....	172
그림 5-5. GaAs-on-Si 의 as-grown 표면사진	172
(a) (100) Si 기판사용	
(b) [011] 방향으로 3° off 된 (100) Si 기판사용	
그림 5-6. GaAs-on-Si 의 surface morphology 비교($\times 600$)..	173
(a) (100) Si 기판사용	
(b) [011] 방향으로 3° off 된 (100) Si 기판사용	
그림 5-7. Nucleation step 시간에 대한 $1\mu\text{m}$ 두께의 GaAs-on-Si 층의 surface morphology 변화 ($\times 1,500$)	175
Nucleation step 시간 : (a) 1분, (b) 2.5분 (c) 5분 (d) 7.5분	

그림 5 - 8 . GaAs 층의 두께에 대한 surface morphology 변화	177
GaAs 층의 두께 (a) 1 μ m, (b) 2 μ m, (c)(d) 5.5 μ m 배율 : (a)(b)(c) : 1500 배 (d) 75 배	
그림 5 - 9 . GaAs-on-Si 을 용액 KOH 에 에칭한 표면현미경 사진 ($\times 600$)	179
GaAs 층 두께 : (a) 1 μ m, (b) 2 μ m, (c) 5.5 μ m	
그림 5 - 10 . Double crystal X-ray(DCX) 회절장치의 개략도	183
그림 5 - 11 . GaAs-on-Si 으로부터 얻은 전형적인 DCX rocking curve	185
그림 5 - 12 . 반대방향의 입사 X - 선에 의해 GaAs-on-Si 시료의 (400) 면에서 반사된 X - 선 rocking curves.	188
그림 5 - 13 . GaAs-on-Si 시료의 (511) 및 ($\bar{5}11$) 비대칭 반 사에 대한 X - 선 rocking curves.	189
그림 5 - 14 . GaAs-on-Si 계면에서의 misorientation 의 개 략적인 모형	192
그림 5 - 15 . 두께 1.2 μ m, GaAs-on-Si 시료의 단면 TEM 사진	195
그림 5 - 16 . 두께 5.5 μ m GaAs-on-Si 시료의 단면 TEM 사진	196
그림 5 - 17 . GaAs-on-Si 계면에서의 전자회절 패턴	197

그림 5-18. GaAs-on-Si 시료표면에서의 TEM plan view	
측정사진.	199
GaAs 층의 두께 (a) 1, (b) 2, (c) 5.5 μm	
그림 5-19. 두께 5.5 μm 인 GaAs-on-Si 시료에서 발생한	
crack 들의 TEM plan view 사진	201

표 목 차

표 2-1. Fused quartz 의 대표적인 잔유 불순물 (wt ppm) (GE type 214) (Ref.20)	44
표 2-2. Pyrolytic boron nitride의 spectroscopic analysis(Very Very Fine Trace \leq 0.0001 %, High \geq 10 %, ND = Not Detected) (Ref.21)	45
표 2-3. Fused quartz와 PBN과의 성질비교	47
표 2-4. 반절연 GaAs의 SIMS에 의한 화학분석 ($\times 10^{15}$ atoms \cdot cm ⁻³)	48
표 2-5. VGF 결정 성장장치 각 부품의 사양	60
표 3-1. Ga과 As의 산화물의 종류	77
표 3-2. VGF 성장로를 사용하여 실험한 GaAs 단결정의 성장조건	85
표 3-3 VGF 법을 이용한 GaAs의 EPD 비교	101
표 3-4 Electrical properties of GaAs ingot.....	103
표 3-5 GaAs : In 단결정의 전기적 성질	103
표 4-1 Bulk GaAs 내의 깊은 준위들	153
표 5-1 GaAs-on-Si 결정성장조건	169
표 5-2 X-선 회절법에 의해 측정된 GaAs-on-Si 시료의 결정구조특성	182

여 백

제 1 장 서 론

제 1 절 연구개발의 목적과 범위

GaAs는 광특성 및 고속응답성 등 독특한 특성으로 크게 주목을 받고 있으나 아직 소자응용이 활발하지 못한 실정이다. 이의 주된 이유는 아직도 GaAs 기판 단결정의 성장기술이 Si 단결정 성장기술에 훨씬 못미치고 있어서 양질의 대직경 GaAs 단결정 성장이 어렵기 때문이다.

현재 GaAs 단결정을 성장시키는 방법으로는 결함도가 작지만 대직경 원형화가 곤란한 수평 Bridgman 법과 대직경 원형이지만 결함도가 큰 LEC 법이 주로 이용되고 있으며 이들 단점을 보완하기 위한 연구가 계속 진행되고 있다. 최근에는 장치기술의 발달과 더불어 독특한 아이디어로 개선된 VGF(vertical gradient freeze) 법의 연구결과가 나오기 시작하고 있으며 이 기술이 확립되고나면 저결함화와 대직경 원형화의 양측면을 모두 만족시켜 줄 것으로 기대되어 관심이 집중되고 있다.

한편, GaAs-on-Si 이종접합 기술은 Si 과 GaAs 의 장단점을 서로 보완하고 각 소재의 기능을 동시에 이용할 수 있는 새로운 기술로서 광전집적회로 소자제조에 활용될 수 있으며 신기능 소자응용을 위한 필수 핵심기술이다.

이러한 기술들은 선진국에서도 아직 성숙단계에 도달하지 못

한 첨단기술이므로 본 연구실에서 지금까지 축적된 Czochralski Si 및 HB GaAs 단결정 성장기술과 MOCVD, VPE의 에피성장 기술을 기반으로 하여 이 분야기술을 개발함으로써 선진국과의 기술경쟁 기반을 구축함을 목적으로 이 연구사업에 착수하였다.

본 연구의 범위는 VGF 결정성장장치의 제작과 이를 이용한 원형 GaAs 단결정의 성장 연구, MOCVD 방법을 이용한 GaAs-on-Si 이종접합 연구, 특성 측정 및 물성연구를 수행함에 있다.

제 2절 연구사업수행의 배경

GaAs 화합물 반도체 재료기술은 선진국에서 이미 50년대 중반부터 연구가 시작되었으나 기술적인 어려움과 경제성등 여러 측면에서 Si 반도체와 비교하여 그 실용화가 불투명하였으며 단지 이 재료의 독특한 특성으로 인해 군수용 및 특수소자 용도의 일부 영역에서 소규모로 진행되어 왔다. 그러나 점진적인 재료기술의 발전과 더불어 광전자 소자 및 GaAs IC, 초고속소자등 다양한 신기능 소자가 개발되고 80년대 광전자 산업 및 정보통신 산업의 급신장과 함께 GaAs의 중요성이 부각되면서 이 분야의 연구가 활발히 진행되고 있으며 1993년경 GaAs IC market만 약 12억 \$이 예상되는 차세대 반도체시장을 선점하기 위해 치열한 기술경쟁을 벌이고 있다.

GaAs 반도체 재료기술은 단결정 성장기술, 에피층 성장기술, 특성측정 및 소자제조기술로 크게 나누어 볼 수 있다. 단결정 성

장기술로는 수평 Bridgman 방법과 LEC법이 주로 이용되고 있는데 수평 Bridgman법으로 성장된 GaAs 단결정은 1cm²당 2000개 미만의 낮은 전위결함도와 균질성이 좋은 장점이 있어 광전자 소자용으로 이용되고 있으나 3인치 이상의 대직경 원형의 결정을 얻기 어렵고 반절연성의 전기적 특성을 얻기 위해서는 Cr 등의 불순물을 첨가해야하는 단점이 있다.

LEC 방법은 최근 직경 4인치의 원형 결정성장이 이루어지고 불순물첨가 없이 반절연성을 얻을 수 있기 때문에 IC용 기판재료로 유리하나 1cm²당 50,000개 이상의 높은 전위결함도를 아직 해결하지 못하고 있다.

1986년 AT & T Bell lab의 Gault 등의 연구를 시작으로 주목을 끌게된 VGF 방법은 저결함과 대직경 원형화 또 반절연성 등 결정성장분야의 모든 필요를 만족시켜 줄 것으로 예상되어 최근 2~3년 동안 미국의 AT & T, Bertram Lab., CSI사, 일본의 NT & T 등에서 연구되어 좋은 결과가 보고되고 있다.

한편, 에피택시 기술의 발전으로 시도된 GaAs-on-Si 이종접합 기술은 Si를 기판재료로 쓰기 때문에 기계적 충격에 강하고 열전도성이 좋으며 대직경의 원형웨이퍼를 GaAs보다 훨씬 저렴한 가격에 구할 수 있다는 장점으로 시작되었다. 이 기술로 Si 기판위에 양질의 GaAs 에피층을 성장시키게 되면 Si의 구조적 및 열역학적 장점위에 GaAs의 광전특성이 가미된 복합소자를 만들 수 있고 다양한 신기능 소자에의 응용이 예상된다.

미국 Kopin사의 연구결과에 의하면 GaAs-on-Si 웨이퍼를

이용하여 Gigabit Logic 을 만들어 본결과 mobility 만 약간 낮을 뿐 bulk GaAs 와 거의 비슷한 특성을 보였으며 1 μ m gate MESFET 의 경우 LEC 기판을 사용한 경우와 유사한 I-V 특성을 얻었다.

그러나 GaAs 와 Si 의 두 물질간의 격자상수, 열팽창 계수등 물성의 차이가 크기 때문에 GaAs-on-Si 을 이용한 소자의 장시간 신뢰도가 부족한 것등이 해결되어야 할 것이다.

국내에서는 한국과학기술연구원의 본 연구실에서 이 분야의 중요성을 인식하고 UNDP 반도체 재료개발사업의 지원과 과학기술처의 국책과제로 1980 년부터 GaAs 반도체 재료기술개발의 연구사업을 수행하여 이 분야를 선도해 왔으며 수평 Bridgman 방법을 이용한 직경 2 인치 GaAs 단결정 성장기술을 개발하고 독자적인 설계로 Direct Monitoring(DM) 결정성장로를 제작하여 저결함 GaAs 단결정성장 기술을 개발한 바 있다. 또 VPE 및 MOCVD 에피성장 기술을 개발하여 GaAs 및 AlGaAs, InGaAs 에피층등의 초격자 구조성장기술을 확립하고 AlGaAs laser diode 제조기술 개발연구가 진행중이다. 또한 80 년대 중반부터는 국내학계 및 산업계에서도 이 분야에 대해 관심을 돌리게 되어 여러 대학 및 연구소, 기업체에서 연구개발이 시작되고 진행중에 있어 앞으로 발전이 예상된다.

이 연구사업은 과학기술처의 국책과제로서 본 연구실에 축적된 수평 Bridgman GaAs 단결정 성장기술과 Czochralski Si 단결정 성장기술, MOCVD 및 VPE 에피성장기술을 바탕으로 1-14)

VGF 법에 의한 GaAs 단결정 성장 및 MOCVD 에 의한 GaAs-on-Si 이종접합 기술연구에 선진국과 거의 비슷한 시기에 착수하게 됨으로써 차세대 반도체 산업에서 우리나라 기술수준의 위상을 정립하는데 중요한 초석이 될 것이다.

제 3 절 보고서의 구성

본 보고서는 요약문과 본문 그리고 참고문헌과 부록으로 구성되어 있으며, 본문은 총 6 장으로 구성되어 있다. 제 1 장은 서론으로 연구개발의 목적과 범위 및 연구사업 수행의 배경에 관해 기술하였고, 제 2 장과 3 장에서는 VGF 결정성장장치의 제작 및 이를 이용한 GaAs 성장연구와 특성평가, 제 4 장에서는 DLTS 및 ICTS 를 이용한 bulk GaAs 단결정의 물성연구, 제 5 장에서는 GaAs-on-Si 이종접합 연구를 기술하였다. 제 6 장은 결론 부분으로서 본 연구사업의 종합적 결론과 건의사항을 기술하였다. 그리고 부록으로는 FICS-11 장치의 결정성장 자동화 프로그램을 수록하였다.

제 2 장 VGF 결정성장 장치

제 1 절 VGF 결정성장법의 개요

GaAs device는 GaAs 기판위에 Epitaxy 기술로써 필요한 박막층을 형성시키거나, GaAs wafer에 직접 diffusion 혹은 ion implantation 함으로써 제작되는데, 어느 경우에도 device 기판의 모체인 Bulk GaAs 단결정의 특성은 매우 중요하다. 즉 micro 파 소자의 경우 불순물 doping의 정밀제어, LED 나 laser의 경우 저결함 밀도, 그리고 IC 제조의 경우 웨이퍼의 균질성이 특히 요구되어 이들 소자제조에 적합한 특성을 갖는 양질의 GaAs 단결정이 필요하다.^{1,2)} 따라서 GaAs 단결정성장 기술은 GaAs device와 IC 기술의 초석의 된다고 볼 수 있다.

현재, GaAs 단결정 wafer는 HB법 혹은 LEC법으로 산업적으로 제조되고 있으며, 이들 기술은 반절연 ($\geq 10^7 \Omega \cdot cm$) GaAs 단결정 wafer를 얻는데 중요한 기술로 평가되고 있다. 최근 광전자 장치의 GaAs 기판은 균질성, 반절연성, 저결함 특성을 가지면서 직경이 2-3인치 정도되는 원형 GaAs wafer를 필요로 하므로, 이러한 특성을 갖는 GaAs wafer를 얻기위해 HB법이나 LEC법의 수정 및 보완^{3,4)} 혹은 새로운 방법^{5,6)}을 도입함으로써 연구가 행해지고 있다.

HB법에 의한 GaAs 단결정 성장은 합성된 GaAs 용융액으

로부터 직접 단결정을 성장시키는 방법으로써, GaAs 용융액의 한 쪽 끝을 종자결정과 접촉시켜 액상-고상계면을 형성한 후, 전기로를 수평으로 이동, 종자결정으로부터 용융액쪽으로 계면이 이동하여 결정성장이 진행되도록 하는 방법이다.

이 결정성장법은 비교적 장치가 간단할 뿐 아니라, 결정의 stoichiometry 조절이 용이하고 성장온도구배가 비교적 작기 때문에 10^3 cm^{-2} 이하의 전위결함을 갖는 GaAs 단결정을 얻을 수 있다.

그러나, HB 성장법은 주로 $\langle 111 \rangle$ 방향으로의 결정성장만이 용이하기 때문에 (100) wafer를 얻기 위해서는 경사절단을 해야 하고, 반응용기인 석영 Boat로부터의 Si 불순물 유입이 문제가 되며, 수평성장이기 때문에 wafer 단면이 반원형이고 3인치 이상의 대직경의 GaAs 단결정을 성장시키기 어려운 단점이 있다.

또한, HB 법은 성장로의 이동에 따른 이동공간의 확보와 이동장치의 정밀한 제어 (수 mm/hr)가 기계적인 문제로 남게 되며, 성장로의 이동으로 인해 As 영역의 온도가 변화하여 용융액의 stoichiometry를 유지하기 위한 온도보정이 필요하다.

LEC 법에 의한 GaAs 단결정 성장기술은 $\langle 100 \rangle$ 방향으로 결정성장이 가능하고, PBN 도가니를 사용함으로써 도가니 내부의 온도를 균일하게 유지할 수 있는 한편, 불순물의 유입을 방지할 수 있으며^{5),6)} 특히, 4인치 이상의 대직경 원형 GaAs 단결정을 성장시킬 수 있다.

그러나, GaAs 용융온도에서 As 원소의 해리압인 1기압 정도

로 결정의 stoichiometry를 조절하기 위해서 GaAs 용융액을 액상 B₂O₃로 눌러주어야 하므로 장치가 복잡하고, 이때 야기되는 응력으로 HB법 보다 많은 전위결함 ($> 10^4 \sim 10^5 \text{ cm}^{-2}$)을 갖으므로 광전소자의 기관으로 사용되지 못하고 있다. GaAs 단결정내의 전위결함은 결정성장시 혹은 성장된 결정의 냉각시에 받는 열응력에 의한 slip 현상에 의해 발생될 수 있는데, 이 열응력은 성장과정 동안 발열체와 단열재의 기하학적형태, 결정의 중심에서 방사방향으로의 열전달 방해요소 그리고 냉각속도등에 의존하여 형성되는 결정축방향과 방사방향의 온도구배 때문에 생긴다. 즉, LEC 단결정의 상대적으로 높은 결정결함은 고상-액상계면의 축방향 혹은 방사방향 온도구배가 높은 것에 기인한다.

결정내의 결함을 줄이기 위해서는 결정성장시 고상-액상 계면의 축방향 혹은 방사방향의 온도구배를 줄이거나, 결정내에 불순물을 도입함으로써 CRSS(critical resolved shear stress)를 증가시키는 방법이 제시되고 있다.⁷⁾

LEC법에 의한 GaAs 단결정 성장에서 낮은 온도 구배를 이용하면, 결정결함을 $4 \sim 6000 \text{ cm}^{-2}$ 정도로 줄일 수 있는 반면에 결정 ingot의 직경조절이 어려워져, GaAs 단결정의 형상과 길이를 제한하는 요소로써 작용한다.⁸⁾

또한, GaAs 결정내에 In 원소를 $10^{19} \sim 10^{20} \text{ cm}^{-3}$ 정도로 불순물로써 첨가할 때 impurity hardening에 의한 결함감소효과를 얻을 수 있다. H.M.Hobgood 등은 LEC 방법으로 GaAs에 In을 첨가하여, 웨이퍼 직경의 75%가 400 cm^{-2} 의 전위밀도를 갖는 3

인치 직경의 GaAs ingot을 얻을 수 있었고⁹⁾, A.G.Elliott 등은 낮은 온도구배 및 $3 \times 10^{19} \text{ cm}^{-3}$ 의 In을 첨가한 LEC 방법으로 전위밀도가 500 cm^{-2} 인 GaAs 단결정을 얻을 수 있었다고 보고한 바 있다.⁸⁾ 그러나 GaAs에 In을 첨가하면, 격자상수를 변화시키기 때문에 후속공정인 Epitaxy 성장에서 격자간 misfit가 문제로 남게 된다.¹⁰⁾ 결국 LEC 법에 의해 양질의 단결정을 얻는데는 결정성장 축방향과 방사방향의 온도구배의 크기 및 도입되는 불순물의 양이 각각 상대적인 효과를 나타내므로 이들을 적절히 조절해야 한다.

따라서, 결정결함도가 작지만 대직경 원형화가 곤란한 HB법과 대직경 원형이지만 결함도가 큰 LEC법의 단점을 보완, 저결함화와 대직경 원형화의 양측면을 모두 만족할 수 있는 방법으로써 VGF(vertical gradient freeze)법에 의한 GaAs 단결정 성장에 관한 연구가 시작되었다.

1973년 S.E.Blum과 R.J.Chicotka¹¹⁾ 등은 LEC법에 의한 GaP 단결정 성장을 수정 개선한 LE-VGF법을 제시하였으나 재현성 있게 GaP 단결정을 얻는데 성공하지 못하였고, 1974년 C.E.Chang¹²⁾ 등은 HGF법을 수직적으로 적용하여 $1 \text{ cm } \phi$ GaAs 단결정 성장을 시도하였으나 좋은 결과를 얻지 못하였다.

1976년 H.H.Woodbury¹³⁾의 VGF에 대한 연구로 이 제안이 높은 해리압력을 갖는 용융액으로부터 단결정을 성장시키는 데 유용하다고 보고되었다.

VGF 방법에 의한 III-V 반도체 단결정 성장에 관한 연구는

W.A.Gault¹⁴⁾ 등에 의해 1980년대 이후 지속적으로 연구되었는데, 반절연성, 저결함특성을 갖는 큰 직경의 원형 GaAs wafer를 재현성 있게 제조하는 기술로서 보고된 바 있다. 그후 1987년 C.R.Abernathy¹⁵⁾ 등은 HGF 법을 VGF 법에 응용하여 결정결함 $EPD = 2 \sim 6 \times 10^3 \text{ cm}^{-2}$ 인 1inch ϕ GaAs 단결정을 얻는데 성공하였다.

VGF 공정을 결정축방향 및 방사방향의 낮은 온도구배, 느린 결정성장속도를 이용하고, 결정성장후 냉각시 전위발생의 항복점 (yield point) 아래의 열응력 상태를 유지하도록 냉각속도를 정확히 조절함으로써 열응력에 의해 야기되는 전위발생을 최소화하여 양질의 GaAs 단결정을 얻을 수 있다. 또한, HB 법과는 달리 고정된 위치에 있는 여분의 As 영역의 온도를 정확히 조절할 수 있고, As 증기상의 교환이 이루어지는 용융액의 표면적이 좁아지므로 평형유지 상태가 개선되어, 연속적으로 용융액 stoichiometry를 유지할 수 있는 잇점이 있다.

제 2 절 VGF 결정성장원리 및 방법

melt로부터 GaAs bulk 단결정을 성장시키는데에는 여러가지 방법이 알려지고 있는데, 이들 방법들은 결정성장시에 공통적으로 다음과 같은 문제점을 안고 있다. 첫째, GaAs melt의 stoichiometry를 유지하기 위하여 반응관내는 약 1atm의 As 압력을 유지하여야 한다. 둘째로, As은 반응성이 강하므로 cruci-

ble의 재료선택에 제한이 따르며, crucible과 melt간의 반응으로 인한 오염때문에 VPE나 LPE로 성장시킨 에피층과 같이 낮은 carrier 농도와 높은 전자이동도를 갖는 bulk 단결정을 얻기가 힘들다. 셋째로, GaAs는 결정구조상 zinc blende 구조를 갖고 있으므로 응고시에 부피팽창을 일으켜 crucible 벽면으로부터 응력을 받게됨을 고려해야 한다.

1. VGF 결정성장원리

VGF 법에 의한 GaAs 단결정 성장원리는 그림 2-1에서 보는 바와 같다. 그림 2-1은 성장장치(그림 2-6참조)의 고온부에서 적절한 온도구배에 놓여진 다결정 GaAs를 담은 용기를 보여주고 있다. 2 영역으로 나뉘어진 열원에 전압을 가하여 온도를 올려 종자결정과 다결정의 접촉부분에 고상-액상 계면이 생기도록 a선과 같은 온도구배를 형성한다.

이 온도구배에서 충분한 시간을 유지하여 용융액이 안정하게 되면, 계획된 프로그램에 의한 자동온도조절장치를 이용하여 적절한 냉각속도(0.05~10 °C/h)로 온도구배를 변화토록 하면(그림 2-1의 b선), 고상-액상 계면이 위로 이동하게 되어 결정성장을 하게 된다. 이때 결정성장속도와 고상-액상 계면 형상은 고상-액상 계면의 축방향 및 방사방향의 온도구배와 그 온도구배의 변화속도에 의존하여 최적성장조건을 결정할 수 있다.

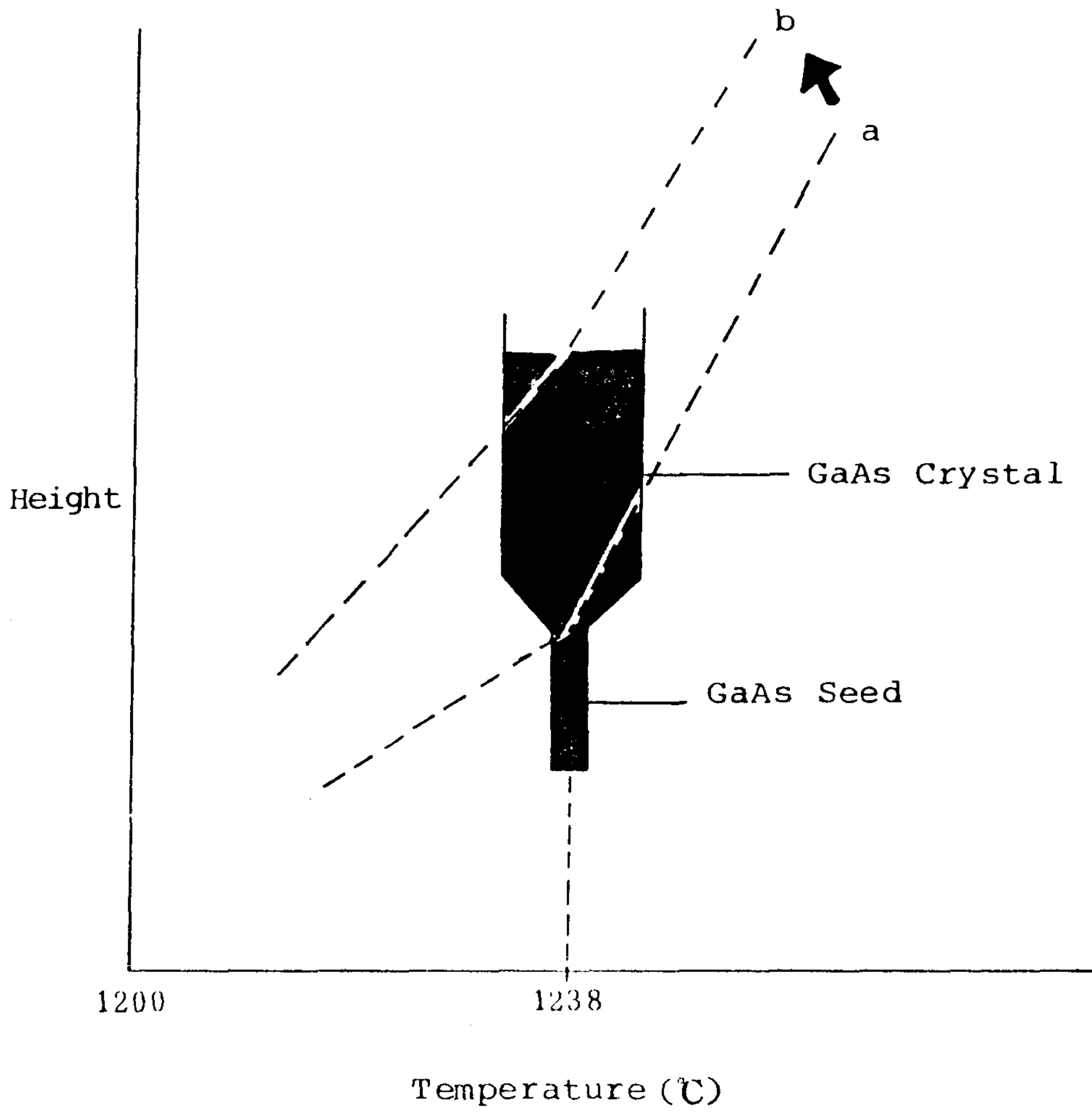


그림 2-1. VGF 결정성장의 온도분포.

2. Ga-As 상태도 및 온도압력곡선

GaAs는 용융점인 1238 °C에서 Ga 원소의 증기압이 2×10^{-4} atm 정도로 거의 무시할 수 있는 반면, As 원소의 해리압은 0.976 atm 정도이다.

따라서, GaAs 단결정 성장을 위해서는 상태도의 liquidus 곡선을 따라 휘발성 성분인 As의 증기압이 온도와 화학성분에 따라 어떻게 변화하는지를 아는 것이 매우 중요하다.

Ga-As의 상태도에 관해서는 Köster와 Thoma¹⁶⁾, van den Boomgaard와 Schol¹⁷⁾의 연구가 있으며 Ga:As=1:1의 조성을 갖는 GaAs가 1238 °C의 용융점을 갖는다고 하였다. Thurmond¹⁸⁾는 Ga-As계의 liquidus 곡선을 완성하였으며 810 °C에서 2.4 at % Ga의 공정조성이 존재하며 As와 GaAs 용융점은 817 °C와 1238 °C라고 하였다. 그림 2-2에 Ga-As의 상태도를 나타내었다. 그림 2-2에서 GaAs 좌측의 용액(liquid)은 Ga-rich 용액을 나타내며, liquidus 곡선과 온도와의 교차점으로부터 임의의 온도에서의 평형상태의 용액성분을 알 수 있다. 마찬가지로 GaAs 우측의 용액은 As-rich 용액을 나타내고 있다.

liquidus 곡선은 기상(vapor phase)들의 평형압력을 구하는데 기초가 되는 자료로 Thurmond¹⁸⁾는 다음과 같은 계산에 의해 liquidus 곡선을 이끌어 냈다. Regular 용액과 평형을 이루고 있는 liquidus 곡선은 상호작용에너지(interaction energy) α 로 표시될 수 있다.

$$\alpha = - \frac{RT}{2(0.5-x)^2} \left[\ln 4x(1-x) + \frac{\Delta S^F}{R} \left(\frac{T_M}{T} - 1 \right) \right] \dots (2-1)$$

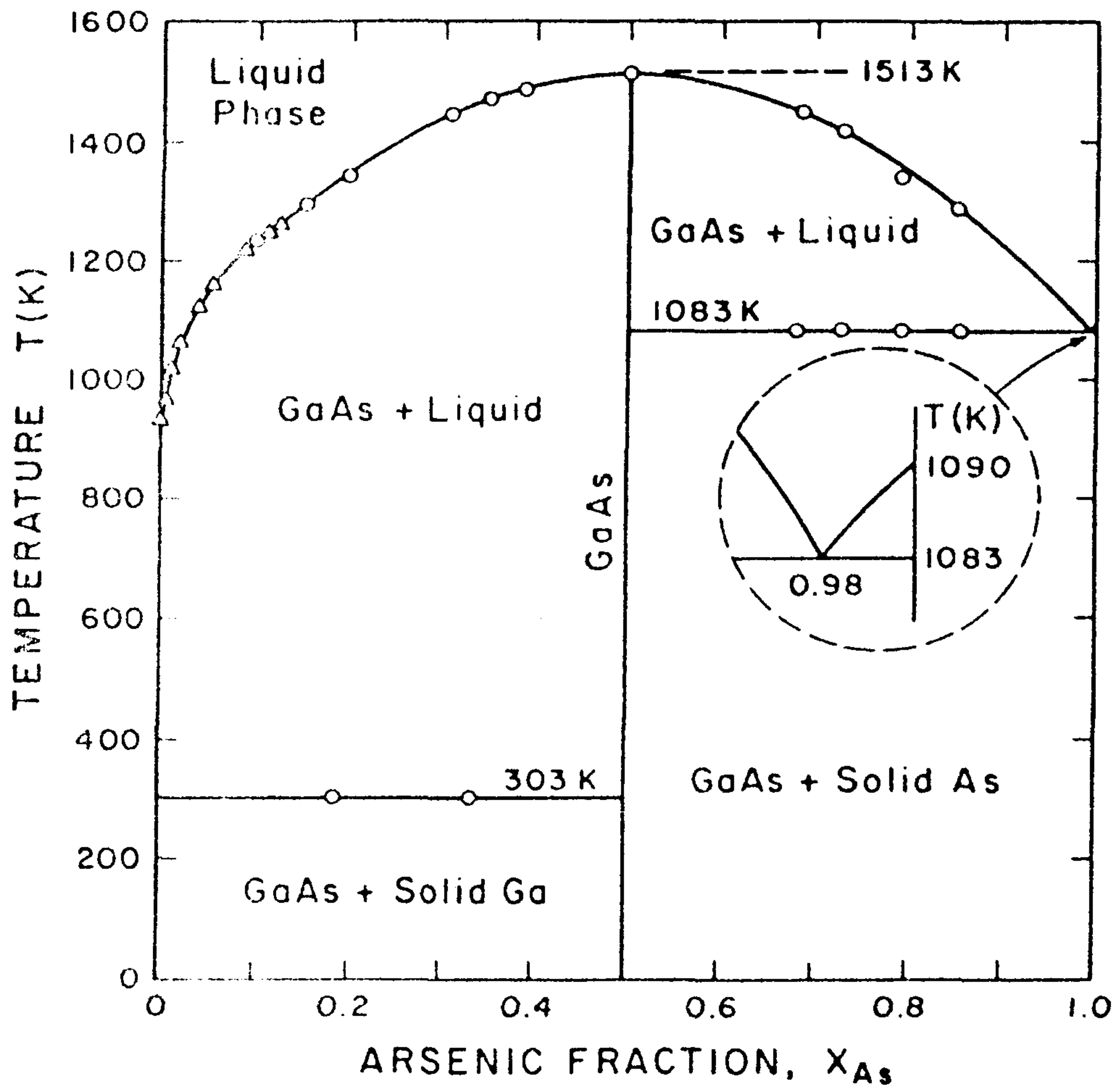


그림 2-2 . Ga-As 계의 상태도

여기서 x 는 포화용액에서의 As의 원자분율 (atom fraction), ΔS^F 는 화합물 1 mole의 용융엔트로피 (entropy of fusion), T_M 은 용융점을 나타낸다. Regular 용액에서 α 는 온도와 조성에 무관하지만 실제의 Ga-As계는 regular 용액이 아니므로, 실험자료들에 의해 아래와 같이 표시된다.

$$\alpha = 5160 - 9.16T \dots\dots\dots (2-2)$$

따라서, ΔS^F 가 온도에 무관하다고 가정하고 16.64 e.u.mole⁻¹의 값을 대입하여 식 2-2로부터 liquidus 곡선을 구할 수 있다.

그림 2-2에 윗식에서 구한 liquidus 곡선을 나타내었다.

GaAs_(s)와 평형을 이루고 있는 AS_(g), AS_{2(g)}, AS_{4(g)}, Ga_(g)와 같은 기상들의 각각의 평형압력에 관하여는 많은 연구결과가 있으나 Arthur¹⁹⁾의 자료가 가장 믿을만한 것으로 많이 인용되고 있다. 그림 2-3에 GaAs의 liquidus 곡선에서 서로 평형을 이루고 있는 기상들의 분압을 온도에 따라 나타내었다. 임의의 온도에서 서로 평형을 이루고 있는 상들은 GaAs_(s), Ga-As 용액, Ga_(g), AS_(g), AS_{2(g)}, AS_{4(g)}이며 Ga-rich liquidus와 As-rich liquidus의 두가지 경우가 있다. 그림 2-3의 윗부분은 Ga-rich liquidus와 평형을 이루고 있는 각각의 기상들의 분압이며, 아래부분은 As-rich liquidus와 평형을 이루고 있는 기상들의 분압이다. GaAs의 용융점에서는 P_{AS₄}가 0.648atm, P_{AS₂}가 0.328 atm의 압력을 가진다.

이러한 P-T 곡선은 단결정 성장 또는 제조공정에 사용되는

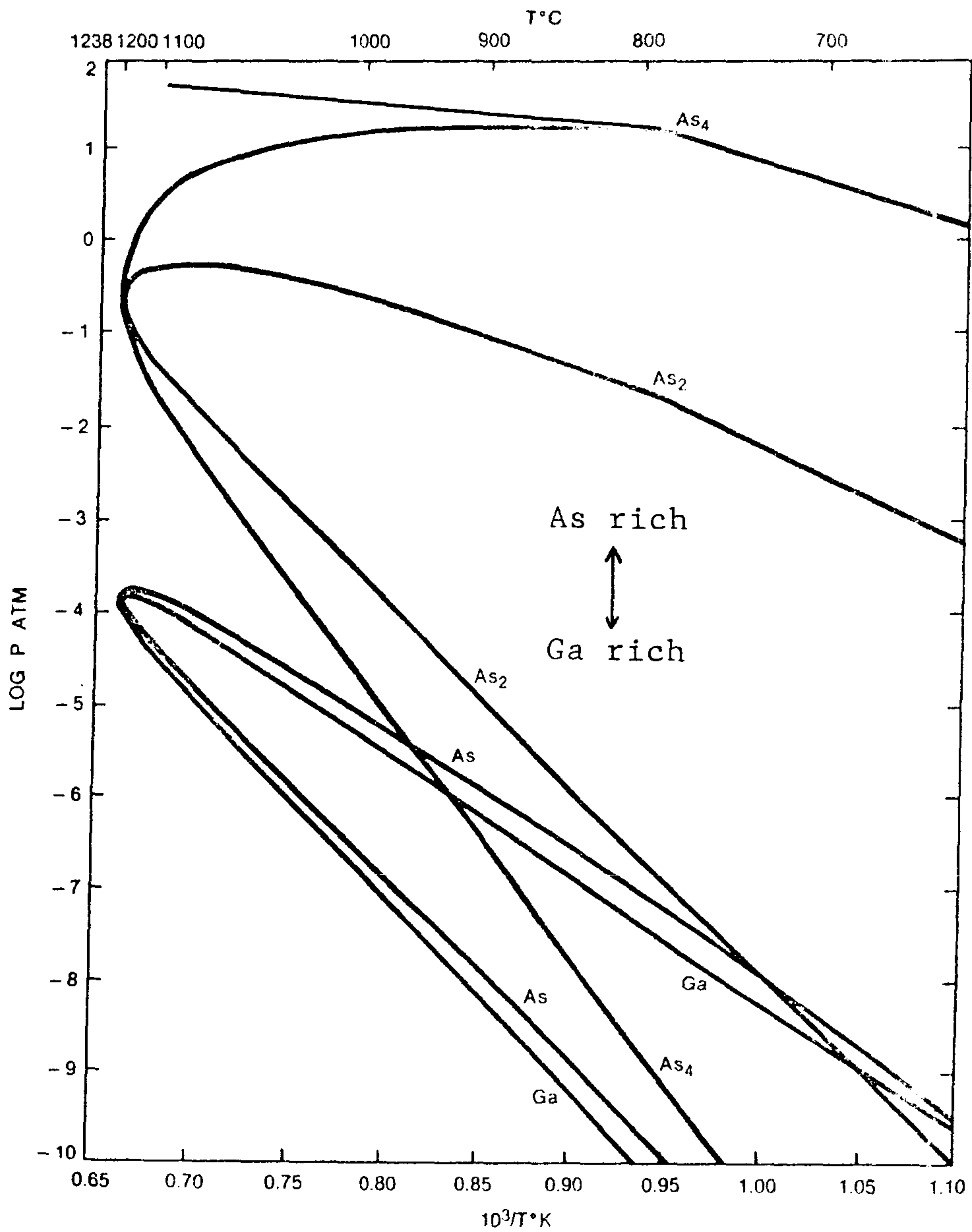


그림 2-3. liquidus 곡선과 평형을 이루고 있는 As , As_2 , As_4 , Ga 기상들의 온도에 따른 평형 분압의 변화.

온도에서 각각의 기상들의 분압을 나타낼 뿐 아니라, 화합물 반도체의 Stoichiometry를 유지시키기 위한 기상들의 분압영역을 나타내고 있기 때문에 매우 중요하다.

3. Fused quartz와 PBN crucible의 비교

VGF 법은 crucible 내의 melt를 밑에서부터 응고시켜 단결정을 얻는 방법으로서, 사용되는 crucible은 결정성장온도에서 melt와 반응을 하지않고 열팽창계수, 열전도도등이 결정성장에 적합하여야 한다. 또한, VGF 법에서는 Czochralski 법과는 달리 액상-고상간의 계면이 crucible과 접하게 되므로 wetting 등에 의해 heterogeneous 핵생성이 일어나 twin 또는 다결정이 생성될 수 있다. GaAs 결정성장에 사용되는 crucible 재료로는 sand blasted quartz, pyrolytic boron nitride 등이 있다.

Fused quartz와 PBN의 조성 및 열적성질을 비교해 보면, 우선 투명한 fused quartz의 조성은 순수한 SiO_2 , 즉 silica이며 원재료 및 제조방법에 따라 fused quartz와 fused silica의 두 가지로 나뉘어 진다. 자연상태로 존재하는 quartz crystal (모래 또는 암석)을 melt 또는 fusion 하여 제조할 경우 이를 fused quartz라고 하며 인공적으로 SiO_2 를 합성하여 제조하는 경우는 fused silica라 한다. 본 실험에서 사용된 quartz는 Electro melt process에 의해서 제조된 General Electric의 type 214 fused quartz이다.

Fused quartz에 내재하는 불순물의 총량은 50wt ppm 미

만이며 SiO_2 의 순도는 99.995wt% 정도이다. 주된 불순물은 alumina(Al_2O_3)이며 그 외에 Na_2O , Fe_2O_3 , CaO , TiO_2 , K_2O , Li_2O 등의 불순물이 표 2-1에서 보듯이 미량 존재하고 있다.

표 2-1. Fused quartz의 대표적인 잔류불순물 (wt ppm)(GE type 214)(Ref. 20)

Al	20.3	Mg	0.5
Ca	1.8	Mn	0.1
Fe	1.9	Na	1.3
K	< 3.0	Ti	1.4
Li	1.0	Zr	2.4
		OH	< 5

Pyrolytic boron nitride(PBN)은 화학증착법으로써 1700℃ 이상에서 graphite 모형위에 증착시켜 만들어지며 hexagonal 결정구조를 가지며 증착방향에 따라 기계적, 열적, 전기적성질의 이방성을 가지고 있다. 순수한 PBN의 잔류불순물은 표 2-2에서와 같으며 전체불순물의 양은 100 ppm 미만이며 이중 금속불순물은 10 ppm 미만이다. 고온에서 증착된 PBN은 hexagonal layer 격자가 표면을 따라 평행하게 되어있어 그림 2-4에서 보는 바와같이 a방향의 열전도도가 c방향에 비해 40 배 정도의 큰 값을 갖는다. c방향의 열전도도는 fused quartz의 열전도도 정도의 값을 갖는다. 이러한 PBN을 crucible이나 boat로 사용할 경우 crucible 내부의 온도를 균일하게 유지시켜줄 수 있는 장점이

표 2-2. Pyrolytic boron nitride의 spectroscopic analysis
 (Very Very Fine Trace $\leq 0.0001\%$, High $\geq 10\%$,
 ND = Not Detected) (Ref. 21)

Ag	ND	Hf	ND	Re	ND
Al	"	Hg	"	Rh	"
As	"	Ho	"	Ru	"
Au	"	In	"	Sb	"
B	H	Ir	"	Si	VVFT
Ba	ND	K	"	Sm	ND
Be	"	La	"	Sn	"
Bi	"	Li	"	Sr	"
Ca	VVFT	Lu	"	Ta	"
Cd	ND	Mg	"	Tb	"
Ce	"	Mn	"	Te	"
Co	"	Mo	"	Th	"
Cr	"	Na	"	Ti	"
Cs	"	Nb	"	T	"
Cu	VVFT	Nd	"	Tm	"
Dy	ND	Ni	"	U	"
Er	"	Os	"	V	"
Eu	"	Pb	"	W	"
Fe	"	Pd	"	Y	"
Ga	"	Pr	"	Yb	"
Gd	"	Pt	"	Zn	"
Ge	"	Rb	"	Zr	"

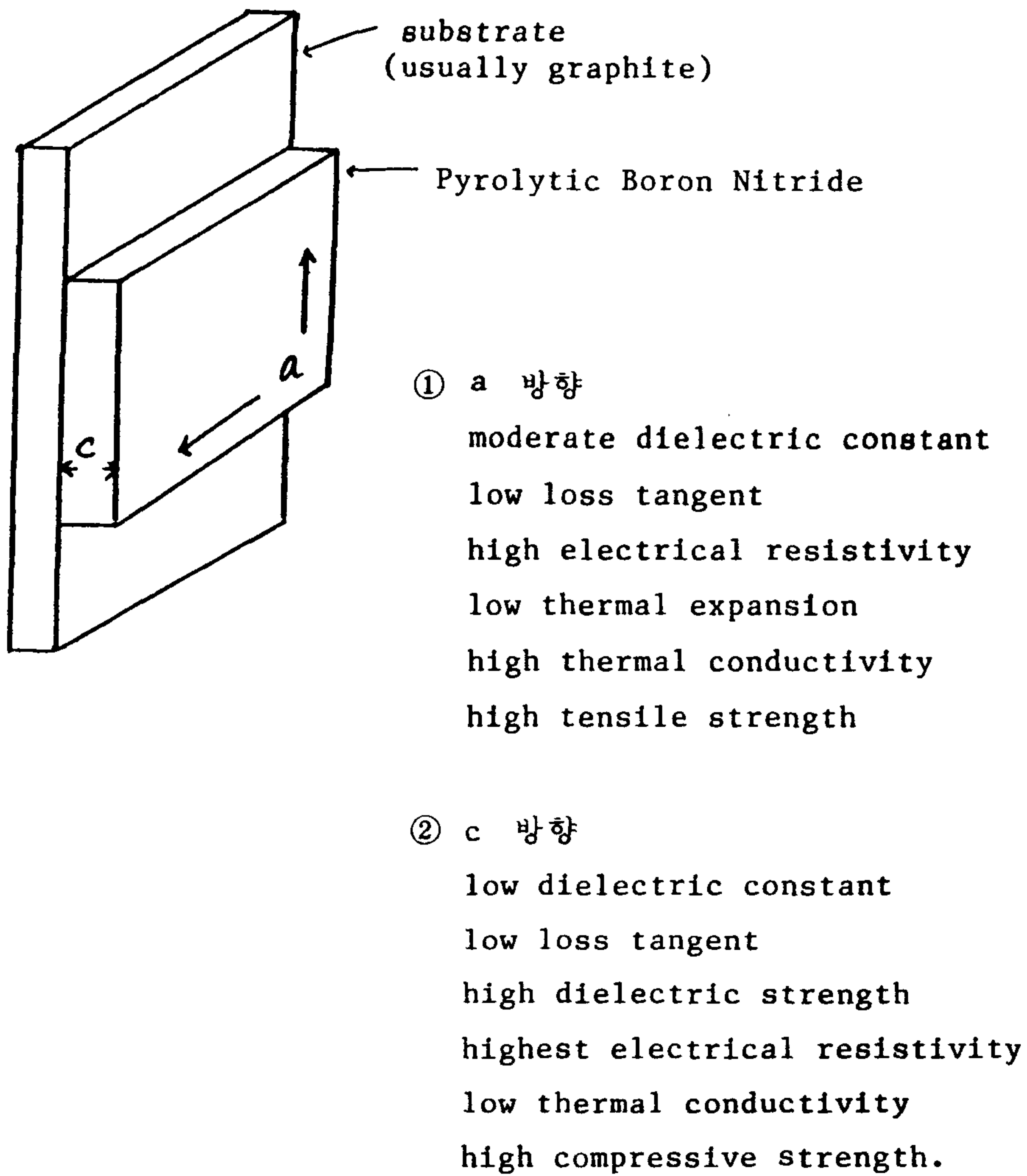


그림 2-4. PBN의 기계적, 열적, 전기적 성질의 이방성

표 2-3. Fused quartz와 PBN과의 성질비교

	fused quartz	PBN
Density (g/cc)	2.2	2.15
Tensile Strength (psi)	7,000	6,000
"a" direction at RT		15,000
"a" direction at 2200°C		
Compressive Strength(psi)	160,000	
"a" direction at RT		34,000
Young's modulus	10.5 x 10 ⁶ psi	
"a" direction at RT		3 x 10 ⁶
Poisson's ratio	0.17	
"a" direction at RT		0.25
Thermal conductivity		
(cal/cm.sec.deg) RT	0.0033	
"a" direction at RT		0.15
"a" direction at 800°C		0.15
"c" direction at RT		0.0037
"c" direction at 800°C		0.007
Thermal expansion coeff.		
(cm/cm.deg)	5.5 x 10 ⁻⁷ (20-320°C)	
"a" direction at 260°C		-1.92 x 10 ⁻⁶
"a" direction at 1100°C		2.6 x 10 ⁻⁶
"c" direction at 1100°C		36 x 10 ⁻⁶
Softening point	1683°C	
Annealing point	1215°C	

표 2-4. 반절연 GaAs의 SIMS에 의한 화학분석 ($\times 10^{15}$ atoms \cdot cm $^{-3}$)

Sample	Si	Cr	Mg	S	Mn	Fe	B
undoped R2/C F*	0.81	0.39	3.1	2.1	0.86	1.0	0.42
undoped R2/C T*	1.0	1.2	5.6	2.9	1.7	4.0	0.70
R7/C F**	1.3	0.17	1.3	3.2	<0.5	2.1	0.62
R7/C T**	2.4	0.19	3.2	6.3	0.82	2.3	3.4
Cr-doped R4/C F*	0.63	11	3.6	1.4	1.5	1.9	1.2
Cr-doped R4/C T*	1.2	48	2.8	3.9	2.4	1.1	0.38
doped R5/M F*	0.94	12	0.56	1.1	0.80	6.0	0.56
R5/M T*	1.3	36	0.44	4.0	0.54	5.8	1.2
Bridgman XS 4033 F*	12	2.4	0.39	1.2	0.35	2.5	<0.1
Bridgman XS 4033 T*	4.9	20	0.27	4.2	<0.5	3.0	0.18
Bridgman KAIST*	0.4	0.3	0.5	0.2	0.6	10	0.02

* Ingot from SiO₂ crucible or boat
F ; front, T ; tail

** Ingot from PBN crucible

있어 LEC 법에서는 GaAs melt의 crucible로서 많이 이용되고 있다. (표 2-3) 수평 Bridgman 법에서는 PBN boat의 사용으로 온도의 균일성을 얻을 수 있으나 온도 기울기를 급격하게 만들고자 하는 경우에는 PBN boat에 의해 그 효과가 감소되어지는 단점이 있다.²²⁾ PBN이 가지고 있는 다른 하나의 장점은 불활성이고 대부분의 molten material에 대해 wetting이 일어나지 않는다는 점이다. 따라서 PBN을 사용할 경우에는 석영 boat로 부터의 GaAs melt 내로의 Si 유입과 같은 문제점이 일어나지 않아 결정내의 잔류불순물을 표 2-4에서 보는바와 같이 낮출 수 있는 장점이 있다.²³⁾

제 3 절 VGF 결정성장로의 설계 및 제작

VGF 법에 의해서 GaAs 단결정을 성장시키려면 우선, 석영반응관내에 장입한 crucible 속에서 GaAs seed 결정과 GaAs 용융액을 접촉시켜 형성된 고-액상 계면을 편평하게 유지시키면서 정밀한 온도제어에 의해 계면을 수직상방으로 이동시켜야 완전한 GaAs 단결정을 얻을 수 있다.

실제적으로 HB(horizontal Bridgman) 법이나 LEC(liquid encapsulated Czochralski) 법등에 의한 결정성장시 전위 결함생성을 유발시키는 가장 지배적인 요인은 결정성장 과정중의 계면 불안정에 따른 것이며 용융액과 seed 결정접촉시에 용융액의 표면장력에 의해 seed 결정이 둘러싸이고 급히 응고되면 그 부위

로부터 미세한 twin이나 전위결함이 생성되므로 seed 결정접촉의 완벽성이 결정결함제거의 관건이라 할 수 있다. 따라서, 성장과정중에 계면을 관찰하는 것이 매우 중요하다. 이를 위해서 성장로에 구멍을 내어 view-port를 설치하거나, 여러개의 열전대를 장착하여 성장계면의 온도를 정밀하게 측정하는 방법, 광섬유를 이용하여 관찰하는 방법등이 있으나, 완전한 해결책이 되지 못하고 몇가지 보완이 필요하다. 24)

본 실험실에서는 고-액상의 계면을 육안으로 직접 관찰할 수 있는 direct monitoring 전기로를 고안하여 horizontal Bridgman 법에 적용하고 GaAs 단결정 성장에 관한 know-how를 토대로하여 VGF 법에 direct monitoring 전기로를 응용하여 VGF 단결정 성장장치를 설계 제작하였다.

그림 2-5는 본 실험실에서 제작한 VGF 단결정 성장장치의 실제 모습이다. 이 장치의 특색 및 기존의 결정성장장치에 비해 개선된 점을 살펴보면, 첫째, programmable temperature controller를 이용하여 결정성장 전과정의 온도제어를 자동화 하였다. 둘째, 고온부위에 DM 전기로를 사용하여 고온가열 및 냉각시간을 감소시켜 결정성장시간을 줄여줄 수 있다. 셋째, DM 전기로를 사용함으로써 결정성장시 성장로의 내부를 직접관찰할 수 있는 잇점이 있다.

또한, 성장장치내에 보다 정확한 온도제어를 위해서 Eurotherm사 FICS-11 programmable controller를 도입, 자동정밀제어가 가능하도록 하는 연구가 진행중이다.

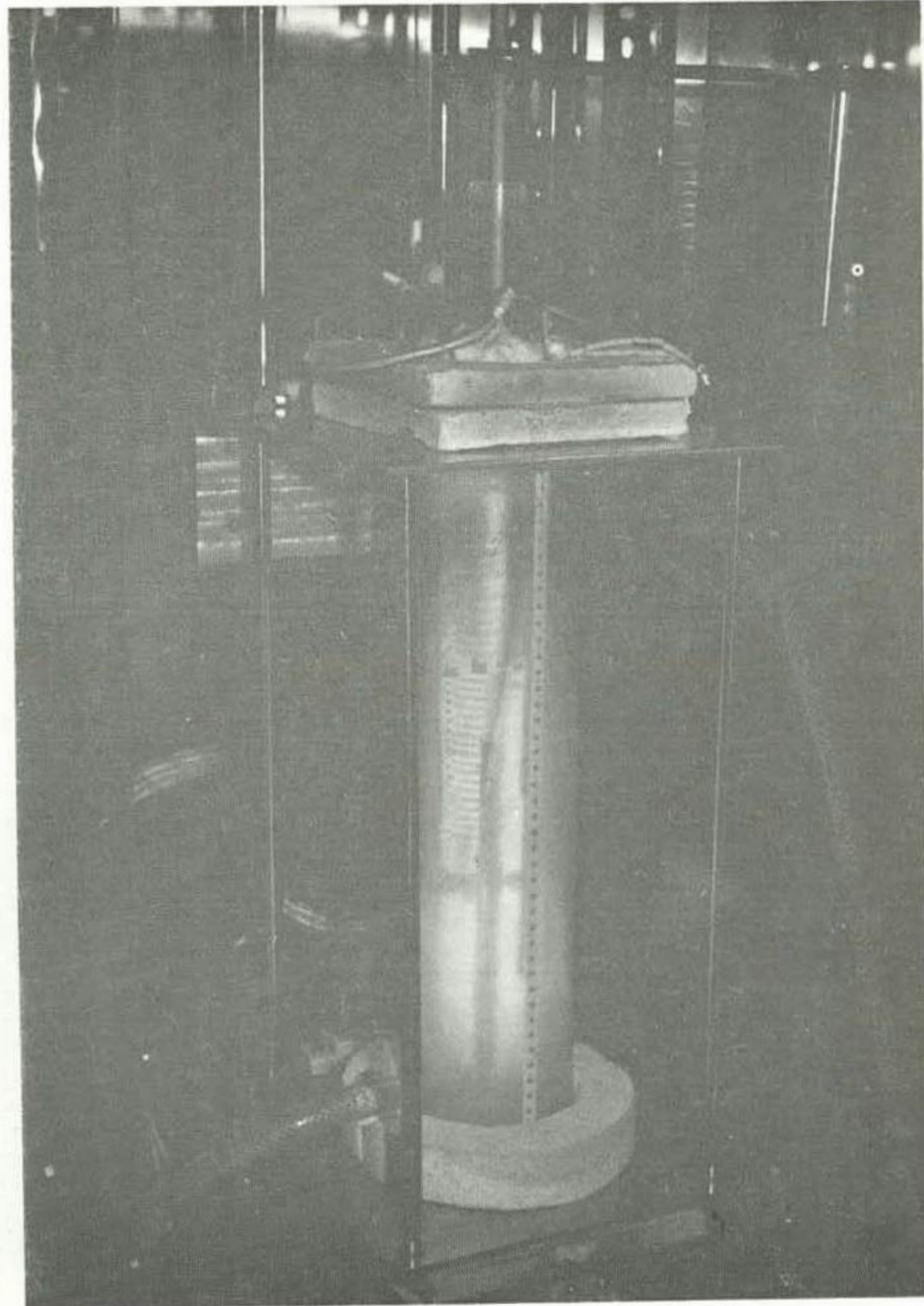


그림 2-5. VGF 단결정 성장장치

VGF 결정성장 장치는 크게 결정성장로, 온도조절장치, 반응관의 장입 및 회전장치등으로 나뉘어진다.

1. 결정성장로의 제작

본 실험실에서 제작한 결정성장로는 그림 2-6에서 보여준 바와 같이 다결정 GaAs의 용융과 실제로 성장이 이루어지는 1238 °C 이상의 고온부위와 휘발성 원소인 As의 증기압을 조절하는 저온부위로 구성하여 고온부위와 저온부위의 2개의 전기로를 연결한 형태이다.

고온부위에 사용할 전기로는 석영관을 이중관으로 초자가공하여 냉각수가 순환할 수 있도록 하고, 석영관 내벽은 금막액을 입힌후 대형전기로속에 넣어 530 °C, 30분동안 유지시켜 완전히 소부시켰다. 소부된 금막은 가열시에 적외선의 대부분을 반사하여 충분한 단열효과를 보이는 열절연체 역할을 하며, 열집속력이 강하여 전기로의 방사방향 및 성장축 방향으로의 균일한 온도구간을 넓히는데 유리하며, 특히 적외선은 반사하고 가시광선은 부분적으로 투과하여 결정성장시 전기로 내부에 장입되어 있는 GaAs의 고-액상계면의 형상을 육안으로 직접 들여다 볼 수 있는 장점이 있다. 금막을 소부한 석영이중관 내부에는 또 다른 원통형의 보호석영관을 넣었는데, 이것은 열선을 가열하였을 때에 적외선을 일차적으로 흡수하여 금막이 직접 가열되는 것을 방지하기 위함이다. 열선은 Kanthal A-1 wire를 사용하여 3영역으로 하고 DM 전기로내의 총 power는 12 KW였다. 또한, 열선간의 접촉을 방지하기 위하여

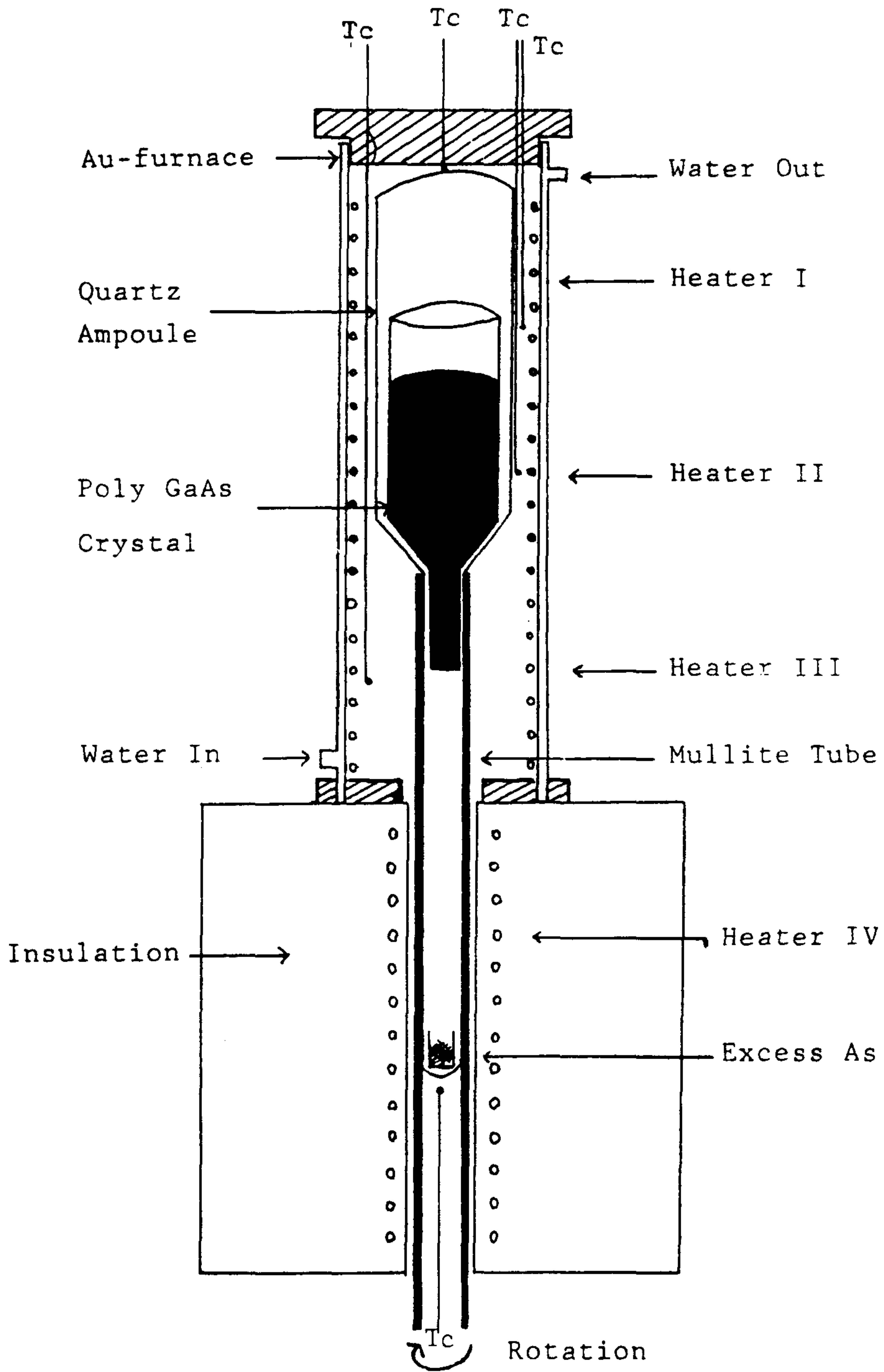
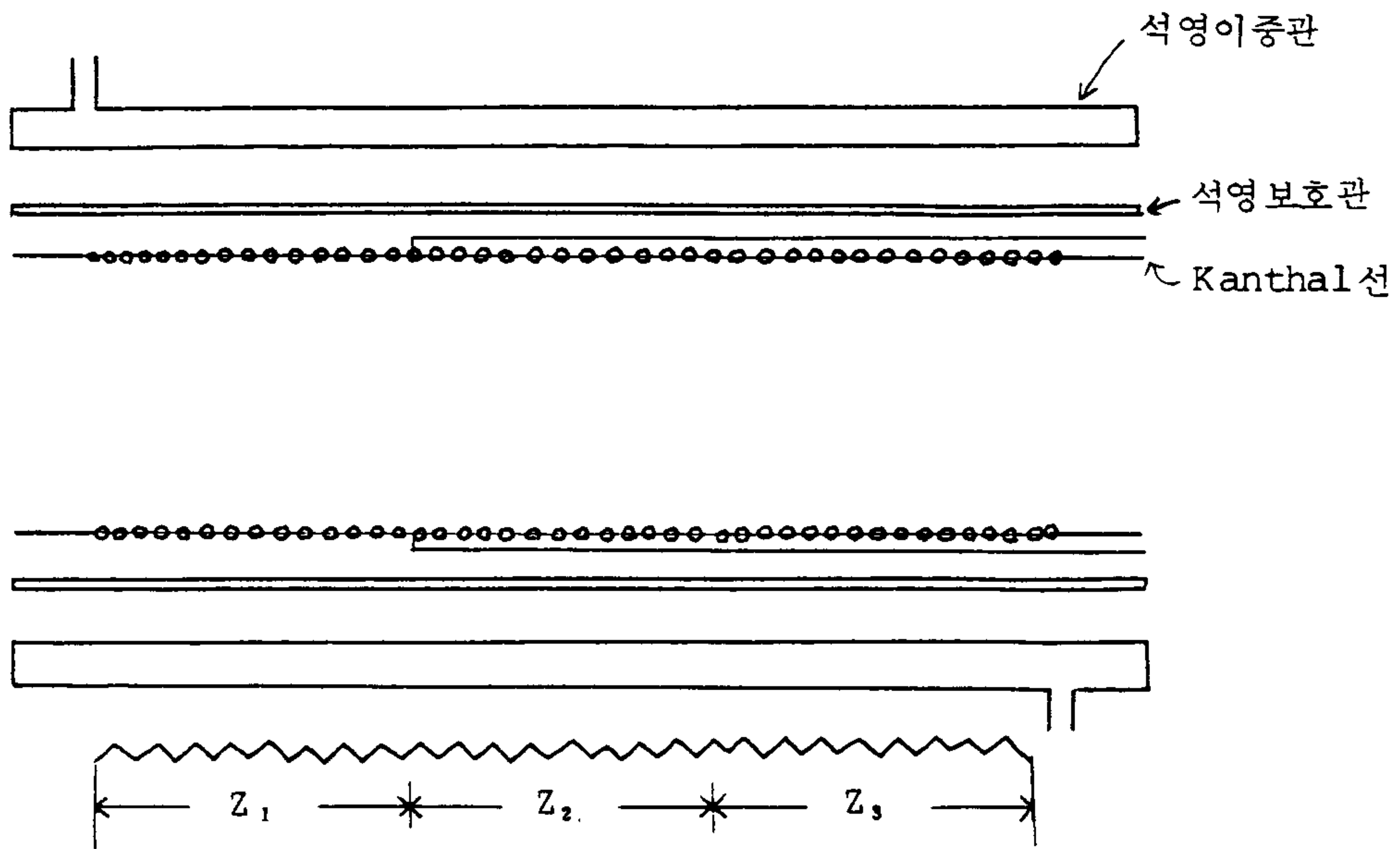


그림 2-6. VGF 결정성장 장치의 개요도

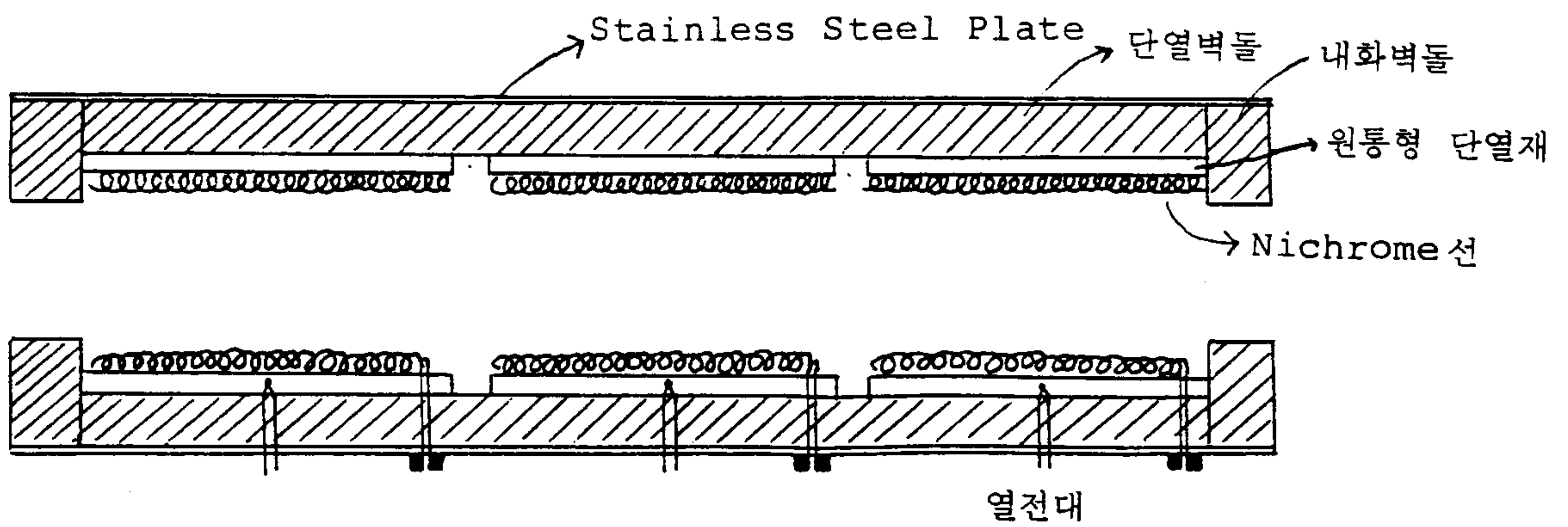
알루미나 간극으로 120° 간격으로 지지하고 이들 간극들은 alumina tube로 일렬로 배열한 후, 고온에서도 열선의 모양이 제대로 유지할 수 있도록 ceramic 접착제로 고정시켰다. 열선내경의 크기는 최대 1인치 단결정 성장이 가능하도록 하였고, 열선의 lead 선은 서로간의 단락을 방지하기 위해서 석영이중관의 아랫부분에 한쌍의 lead 선, 윗부분에 두쌍의 lead 선이 외부전원과 연결되도록 하였다. 석영이중관의 아랫부분은 석영이중관의 하중과 가열시 온도에 견딜 수 있도록 내화벽돌을 가공하여 지지하는 동시에 저온부 전기로와 정교하게 끼워져 열손실을 방지하도록 하고, 윗부분은 열의 방출을 막기 위하여 내화벽돌을 가공하여 틀어 막았다. 저온부위 ($600 \sim 950^\circ\text{C}$) 에 사용할 전기로는 3-zone으로써 독립된 3개의 zone을 임의로 조합하여 10 cm 이상 길이 범위에서 일정한 온도를 가지면서 원하는 온도구배를 얻을 수 있도록 500 W 용량의 nichrome wire 3개를 원형내화 열판에 고정시켰으며, 외곽은 단열벽돌 (isolite)을 가공하여 단열시켰다. 이때 각 온도부위 전기로의 열선구성은 그림 2-7에 개략적으로 도시하였다. 각부분의 온도를 제어하고 확인하기 위하여 고온부위 3개, 저온부위 1개의 측정용 R-type (PR 13%) 열전대를 설치하였다.

2. 온도조절장치

본 실험실에서 제작한 control rack의 하단에는 furnace의 heating elements에 전원을 공급하는 power part로서 transformer와 thyristor들이 있으며 상단에는 실질적인



(1) Hot-zone 로



(2) Cold-zone 로

그림 2-7. VGF 전기로의 열선구성

온도제어가 이루어지는 control part로서 programmable temperature controllers, temperature recorder로 이루어져 있다. 각 온도영역에서의 온도조절은 고온 및 저온부의 전기로에 부착된 R-type(PR 13%) 열전대에서 나온 기전력을 고온부위는 RKC사의 model REX-P100 series에 저온부위는 같은 RKC사의 model PS-962C의 programmable controller에 입력되게 하여 여기서 나오는 gate pulse로 transformer와 열선에 직렬로 연결되어 있는 thyristor를 동작시키는데 zone 1,2,3는 110 V, 75A triac을 동작시키도록 되어있고 저온부위 zone 4 전기로도 열선에 직렬로 연결된 triac에 의해 독립적으로 제어되게 하였다. 공급되는 교류전원은 zone 1,2,3는 각기 75V, 70V, 65V를 zone 4는 110V AC를 직접연결하여 공급하였다.

실제 poly GaAs가 녹는 고온부위는 약 1250 °C로 유지되도록 하였고 GaAs 용융액 - seed의 성장계면 부근의 온도구배는 7~10 °C/cm로 As source의 온도는 610~630 °C까지 조절할 수 있도록 하였다. 각 zone의 setting point에서의 온도는 측정용 R-type(PR 13%)의 기전력을 Yokogawa사의 Model 4156 Recorder로 기록함으로써 알 수 있는데, 이는 각 zone의 온도가 동시에 직접 display되어 결정성장시 온도 fluctuation을 쉽게 확인할 수 있는 장점을 가지고 있다. VGF 결정성장장치의 배선개요도는 그림 2-8에 나타내었다.

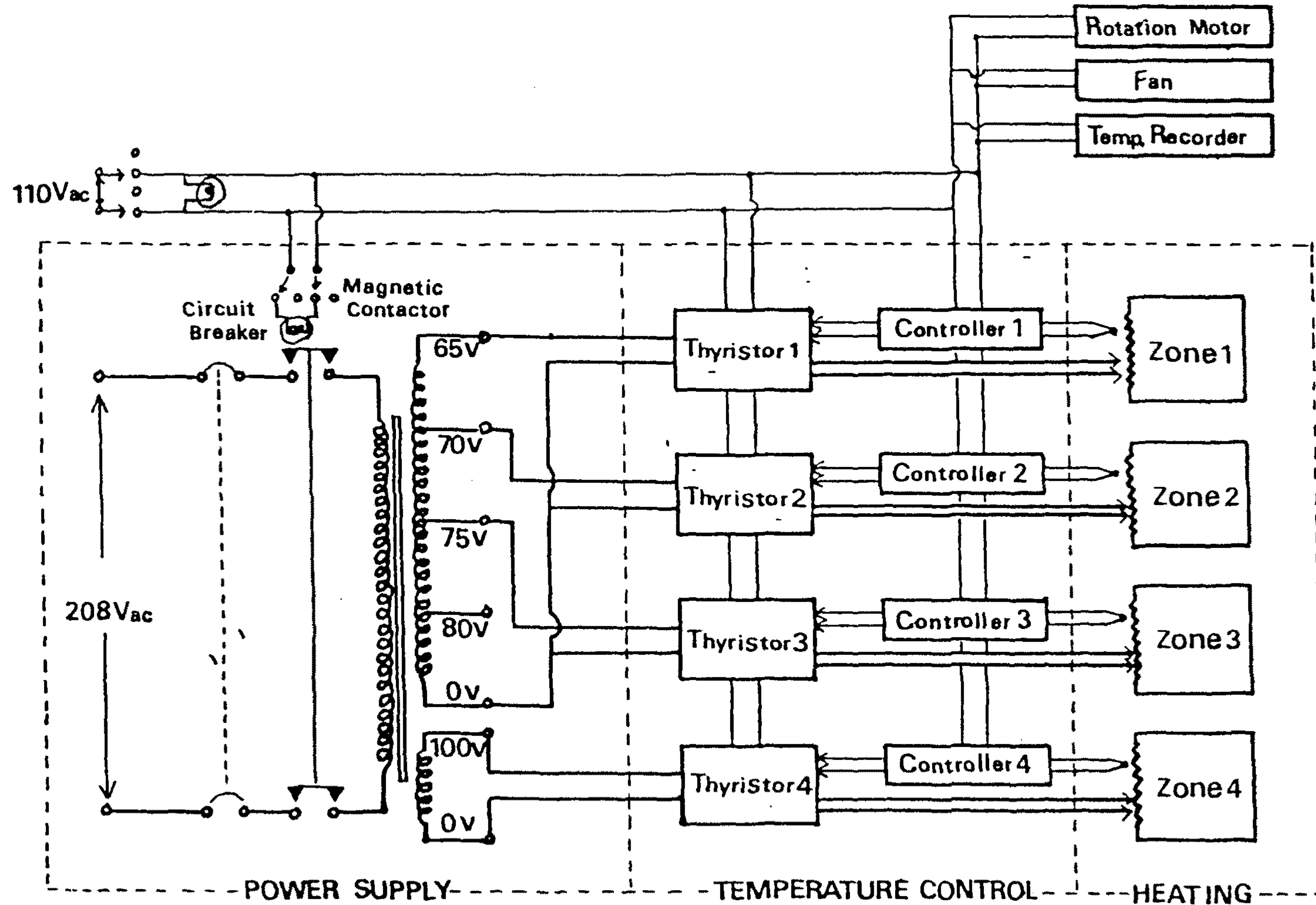


그림 2-8. VGF 결정성장장치의 배선 개요도.

3. 반응관의 장입 및 회전장치

이 장치는 hot zone(DM) furnace와 As-zone furnace를 frame에 고정시키면서 DM furnace만을 수직상방으로 이동시킬 수 있는 장치와 각 zone의 furnace 내부의 수직온도구배에 따라 적절한 위치에 poly GaAs 결정과 excess As을 담고있는 석영반응관을 장입하고 회전할 수 있는 장치로 구성된다.

우선, DM 전기로를 지지해주기 위해서 상하에 구멍($13\text{ cm}\phi$)이 뚫린 5 mm 두께의 두랄루민판($20 \times 30\text{ cm}$)에 석영이중관을 끼워 놓았고, 이 판은 그림 2-5에서 보는 바와 같이 가공된 linear bearing에 고정되어 수직상하운동을 할 수 있게 하였다.

또한, 로내 수직온도구배에 위치할 석영반응관을 고정하기 위해서, 그림 2-9에서 보는 바와 같이 최소한 $1250\text{ }^\circ\text{C}$ 에서 견디고 열충격에 강한 Mullite Tube($24\text{ ID}, 30\text{ OD}$)로 석영반응관을 받쳐 주었다. 석영관을 받쳐든 Mullite tube는 정밀하게 가공된 stainless steel holder에 끼워져 3개의 나사로 고정되며, 이 holder는 회전장치 shaft에 연결된다. 석영반응관에 $3 \sim 20\text{ rpm}$ 의 회전속도를 주기 위하여 DC motor의 구동력을 chain belt로 shaft에 동력을 전달한다.

본 실험에서 제작한 VGF 결정성장장치의 사양은 표 2-5에 열거하였다.

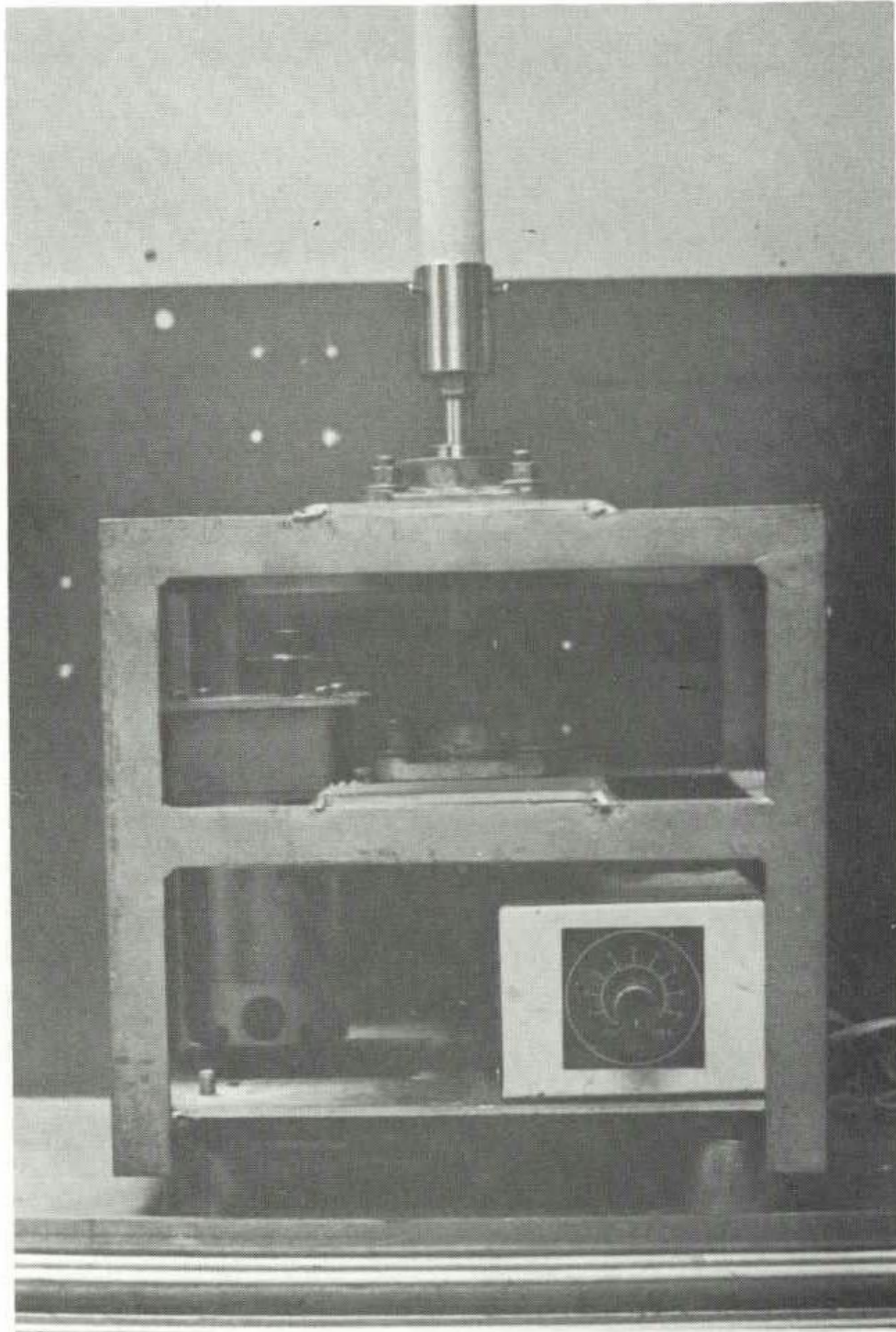


그림 2-9. 반응관의 장입 및 회전장치

표 2-5. VGF 결정성장장치 각 부품의 사양

분류	품목	사양	비고
Furnace	Heating element	Kanthal A-1(3-zone) Nichrome wire	국내 제작
	Quartz tube	O.D.110xI.D.85xL.450(mm) O.D.75xI.D.70xL.470(mm)	"
Power part	Magnetic contactor	208 V x 100 A	금성 계전
	Circuit breaker	208 V x 75 A	"
	Transformer	power:14 Kw primary:220 V secondary:80,75,70,65 V	국내 제작
	Thyristor	110 V, 70 A 110 V, 25 A	한양 전자
Control part	Temperature controller	1) programmable,PID control Model REX-P100 Input:R-type T/C 2) programmable,PID control Model PS-962 Input:R-type T/C	RKC INSTRUM.INC. "
	Temperature recorder	Model 4156-100-12 110 V,60 HZ,6 point dot printing.100 mm	YOKOGAWA
Rotation part	DC magnetic motor	90 V Input,3-60 rpm.	KOKUSAN DENKI CO.
	Rotation support	Stainless steel, bearing.	국내 제작

제 4 절 F I C S - 1 1

1. FICS-11의 구성

FICS-11(furnace integrated control system)은 여러 개의 zone 들을 단 하나의 system으로써 programmable control 할 수 있는 매우 유용한 control 장치인데 본 연구실에서는 결정성장에 이를 이용하도록 하였다. FICS-11을 구성하고 있는 module 은 6 개로써 그 개략도와 system이 각각 그림 2-10, 11에 표시되어 있다.

각 module 별 기능을 살펴보면 다음과 같다.

1) Main controller

이 system의 심장부로서 주된 microprocessor를 가지고 있으며 동작 program이 EPROM에 저장되어 있다. 이 main controller는 다음과 같은 4개의 buses를 통해 다른 module들과 communication을 하게 되어 있다.

i) control panel bus ii) system내의 모든 analogue acquisition module들과 교신되는 M-bus(measurement bus) iii) 그외 다른 모든 digital based module들과 교신되는 L-bus(logic communications bus) iv) 그리고 RS-232나 RS-422 접속에 의한 외부 교신들이다.

특히 IBM(혹은 호환 기종) PC를 이용한 FICS-11의 programming language인 FOPS-11(FICS-11 offline progra-

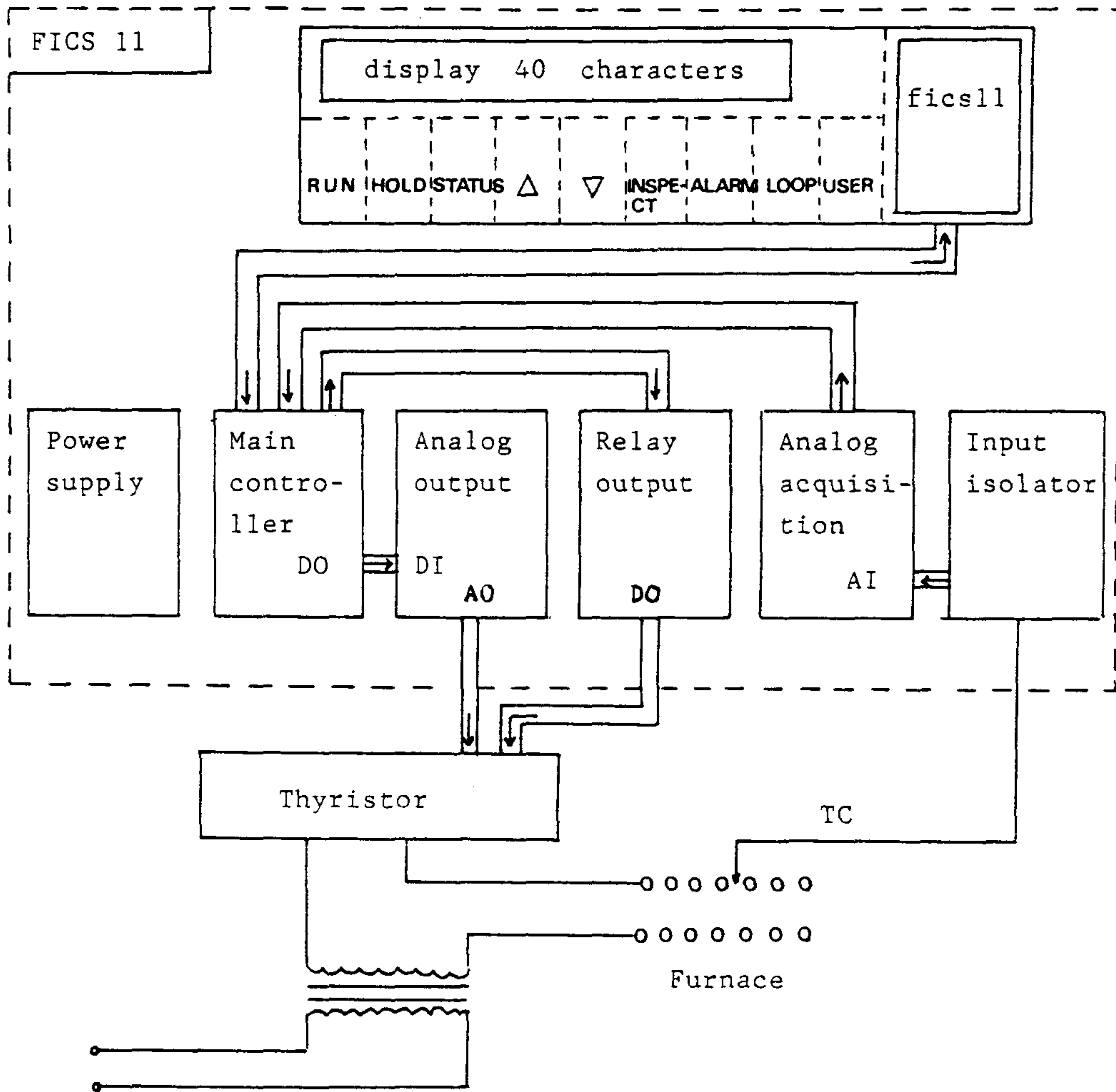


그림 2-10. FICS-11의 개략도

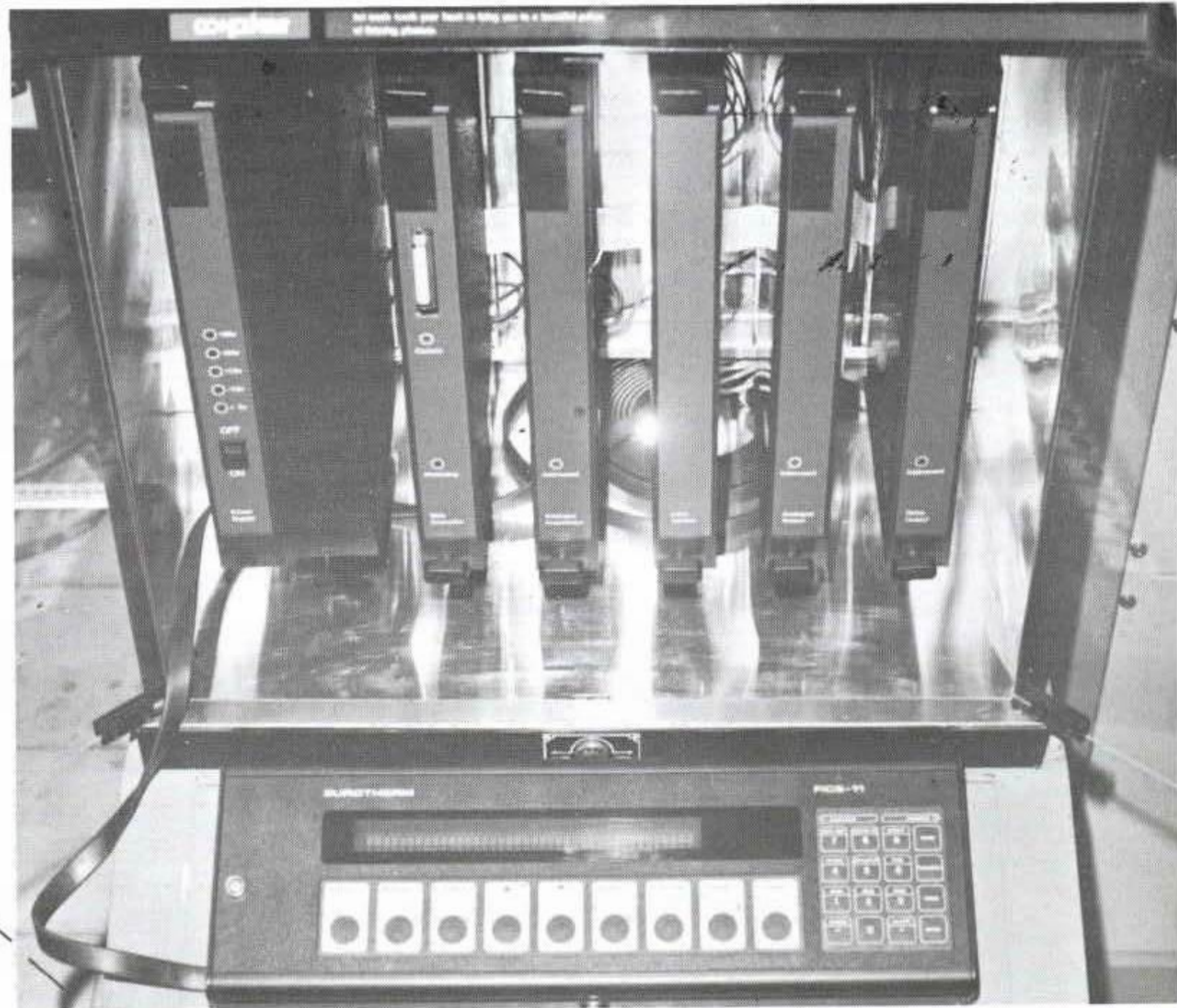


그림 2-11. 본 연구실에 설치한 FICS-11 장치의 모습

mming station)을 사용하면 특정의 program들을 임의로 만들어 system에 저장하여 다양하게 쓸 수 있다.

2) Power supply unit

FICS-11의 모든 module들에 power를 공급해 준다. 출력 전압으로는 DC +5 Volt, +15 Volt, -15 Volt, +24 Volt, +38 Volt 등이다.

3) Analogue acquisition

0-10V 혹은 0-1V인 16개의 analogue 신호를 입력할 수 있으며 이 module 내에 있는 microprocessor가 A/D converter를 제어한다. 입력된 analogue 신호들은 digital 신호들로 변형되어 M-bus를 통해 main controller로 전송된다. FICS-11 system에는 이 analogue acquisition module을 최대 3개까지 설치할 수 있으며 control loop는 16개까지 가능하다.

4) Analogue output

이 module에는 8개의 analogue 출력들과 8개의 digital 입력을 시킬 수 있다. main controller에서 제어된 signal들을 0-10V 혹은 0-20 mA의 analogue 신호로 thyristor에 보낸다.

5) Input isolator

한 module 당 4개의 low level signal들을 입력시킬 수 있다. 입력된 신호들은 0-10 V dc의 규격화된 신호로 증폭되어 analogue acquisition module로 보내진다.

6) Relay output

8개의 relay들을 가지고 있으며 main controller로부터 제어된 digital output들에 의해 작동된다.

7) Control panel

이 control panel은 최대 40개의 문자가 표시되는 display unit와 9개의 operator key, 그리고 16개의 system key들로 이루어져 있다. control panel에 있는 microprocessor는 screen display를 규격화시켜 주며 programming package FOPS-11에 의해 만들어진 program들은 EPROM이나 EEPROM에 저장시킬 수 있도록 되어 있다. ribbon cable을 통해 이 control panel과 main controller의 communication이 이루어진다.

2. FICS-11 program의 구성

FICS-11에 내장된 EPROM에는 UC054a라고 하는 3 step의 original base line program (부록 I 참조)이 기억되는 있는데 이것은 i) ramp-up ii) checking-temperature

iii) ready iv) growth v) ramp-down vi) check temp low vii) end of program 등의 7 state들로 구성되어 있으며 이들 각 state 별 기능은 FICS 10의 base line program과 동일한 것으로 본 연구실의 보고서에 언급되어 있다. 25)

한편 이 original program은 8개의 recipe version이 가능하여 각 recipe에 있는 state들을 변화시켜 다양한 조건을 가지고 결정성장할 수 있도록 되어 있으나 EPROM에 저장되어 있는 UC 054 a의 base line program이 3-step만으로 이루어져 있을 뿐 아니라 이미 지정된 set point를 결정 성장중에는 임의로 바꿀 수 없기 때문에 온도기울기의 dynamic한 변화가 요구되는 gradient freeze 결정 성장법의 적용에는 어려운 점이 있다.

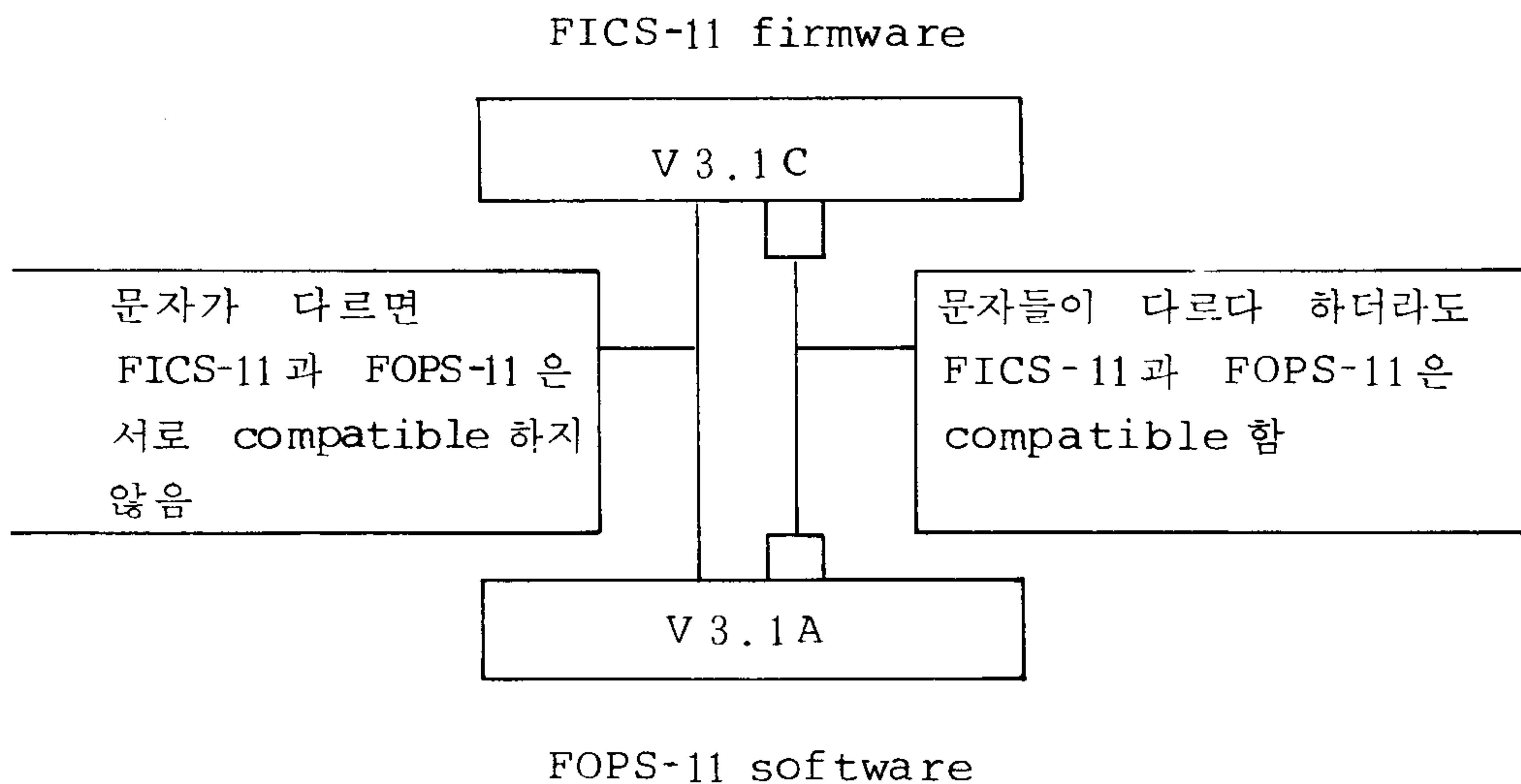
3. FOPS-11

위와 같은 단점을 해결하기 위해서는 기존의 3-step base line program을 필요에 따라 4 step 이상의 program으로 바꾸어 주어야 하는데 IBM PC를 사용하여 FICS-11 control system을 programming 할 수 있도록 한 것이 FOPS-11 (FICS-11 offline programming station)이다. 그러므로 FOPS-11의 사용은 gradient freeze 단결정 성장법에 있어서 매우 중요한 도구가 된다. 본 연구보고서에는 FOPS-11 software의 설치에 필요한 몇가지 사항들에 대해서만 간단히 언급하고자 한다.

1) IBM-PC 요구조건들

IBM PC와 호환성이 있는 기종으로써

- i) RS-232 COM1 또는 COM2가 달려있는 MGA, CGA 또는 EGA adapter
- ii) 최소 256 kByte RAM
- iii) 최소 10MByte의 Hard-Disk 등을 가져야 하며
- iv) FICS-11 firmware와 FOPS-11 software는 서로 compatible해야 한다. 즉 FICS-11 firmware V3.1C인 경우 FOPS-11 software는 아래와 같이 compatible한 것을 사용해야 한다.

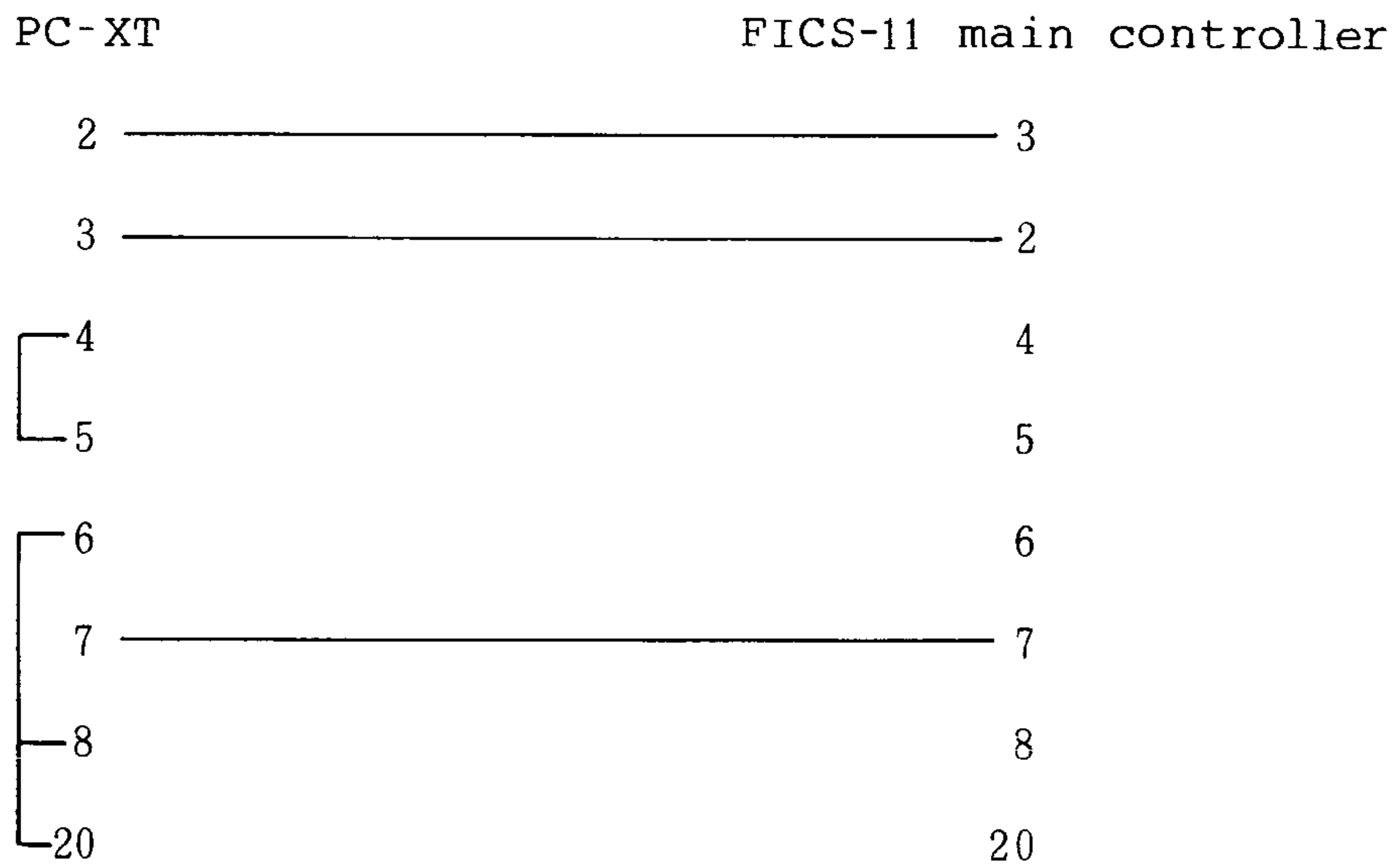


2) FICS-11과 PC의 연결

먼저 main controller에 TC 5564 PL-15 혹은 HM 6264 LP-15형의 RAM을 그리고 control panel에 XICOR X2864 AP

-35 형의 EEPROM 을 설치해야 한다. 그리고 FICS-11 main controller 전면부에 달려있는 25 pin plug 에 communication port(RS-232) 를 아래와 같이 연결하고 computer 에 FOPS-11 file 들을 install 하여 사용하면 된다.

PC-XT with 25 pin plug



3) FOPS-11 의 file 들

IBM PC 에 install 되는 FOPS-11 의 file 들에 대한 layout 은 다음과 같다.

File layout

FICS-11

====FOPS-11

EC	EXE
ETM	EXE
ETP	EXE
EK	EXE
EDE	EXE
EPE	EXE
EI	EXE
EUD	EXE
ERM	EXE
ERP	EXE
EDUM	EXE
EKI	EXE
EPA	EXE
HELP	BAT = F1
COMP-SCR	BAT = F2
COMP-NOL	BAT = F3
COMP-FIL	BAT = F4
DOWNLOAD	BAT = F5
PROMPROG	BAT = F6
CONFIG	BAT = F7
REPORT	BAT = F8
EDIT	BAT = F9
FDEBUG	BAT = F10
TESTCOMS	COM
HISTORY	COM
ECTEXT	DTX
ECINDB	FDB
MS	EXE
MS	HLP
MS	MAC
xxxxxxx	PDF

====PROG

EXAMPLE

└ EXAMPLE FIC

====LIB

PROGHEAD	DEF
HARDWARE	DEF
VARIABLE	DEF
CONNECT	DEF
COND	DEF
SECTION	DEF
CTRL-SEC	DEF

====FOPS-11

BAT

EC	EXE	Compiler
ETM	EXE	Main Controller Translator
ETP	EXE	Panel Translator
EK	EXE	Text echo
EDE	EXE	Download to RAM
EPE	EXE	Download to EPROM programmer
EI	EXE	Configuration editor
EUD	EXE	Dictionary dump
ERM	EXE	Main Controller reporter
ERP	EXE	Panel reporter
EDUM	EXE	Dump intermediate files
EKI	EXE	Key initialisation
EPA	EXE	Path Addition Tool
DOWNLOAD	BAT	Download to FICS-11 RAM
PROMPROG	BAT	Download to programmer
REPORT	BAT	Report the program
FDEBUG	BAT	Generates debug information
EDIT	BAT	Edit the program
COMP-SCR	BAT	Compile, listing to screen
COMP-NOL	BAT	Compile, listing to nowhere
COMP-FIL	BAT	Compile, listing to program.LST
HELP	BAT	Function key initialisation
CONFIG	BAT	Initialise FICS-11 and FOPS-11
TESTCOMS	COM	Communication port check
HISTORY	COM	History back function
ECTEXT	DTX	Config text file
ECINDB	FDB	Intermediate file
MS	EXE	MicroStar executable editor
MS	HLP	MicroStar on-line help
MS	MAC	MicroStar sample macros
*	PDF	MicroStar printer files
PROGHEAD	DEF	Standard head of a FICS-11 program
HARDWARE	DEF	Standard hardware definitions (cards)
VARIABLE	DEF	Standard variable definitions (types)
CONNECT	DEF	Standard connect definitions (CONNECT)
COND	DEF	Example condition definitions
SECTION	DEF	Example section
CTRL-SEC	DEF	Example control section

제 3 장 VGF 법에 의한 GaAs 단결정성장 및 특성평가

제 1 절 VGF GaAs 단결정 성장

VGF 법으로 GaAs 단결정을 성장하는 과정은 크게 5가지 단계로 구분되며 세부적으로 그림 3-1의 flow chart와 같다.

가. 사전처리과정

나. 진공 baking 및 석영반응관의 봉합

다. 반응관의 가열

라. 결정성장과정

마. 반응관의 냉각

1. 사전처리 과정

사전처리 과정이란 석영재료의 세척과 석영 crucible의 s-and blasting 및 세척, seed 결정의 준비등을 말하며, 본 실험에서 사용한 석영반응관, 석영 crucible, As reservoir 및 plug의 모양과 규격은 그림 3-2와 같다.

가. 석영재료의 세척

석영 crucible을 제외한 나머지 석영재료들의 세척과정은 다음과 같다.

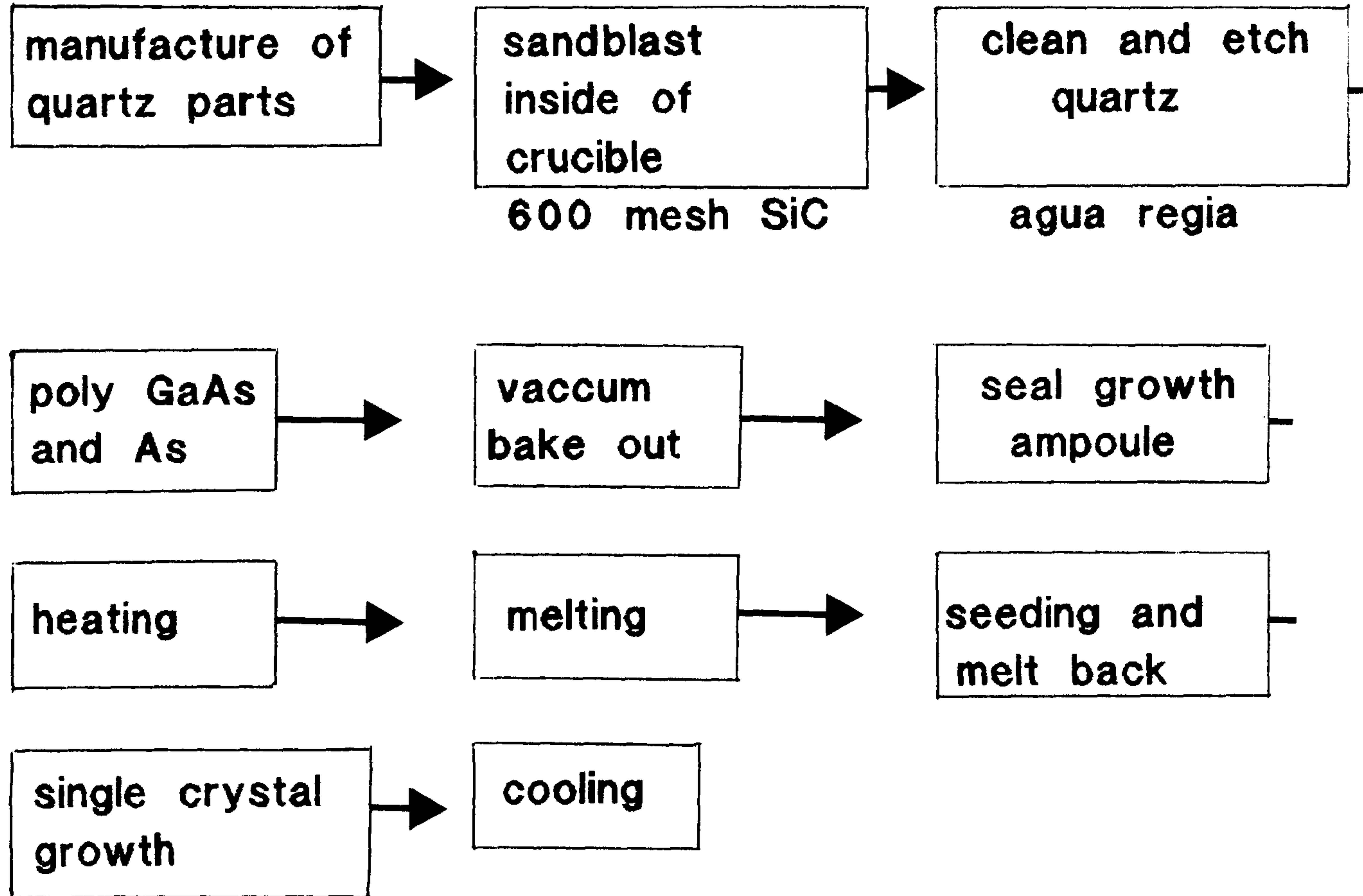


그림 3-1. VGF 법에 의한 bulk GaAs 단결정 성장 process

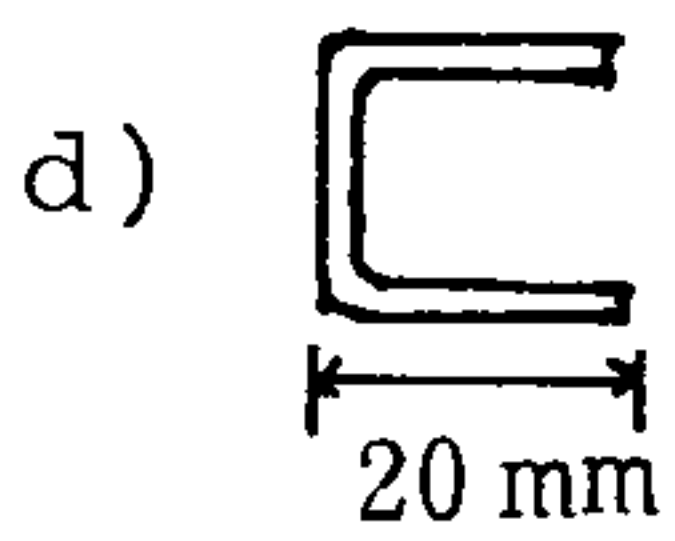
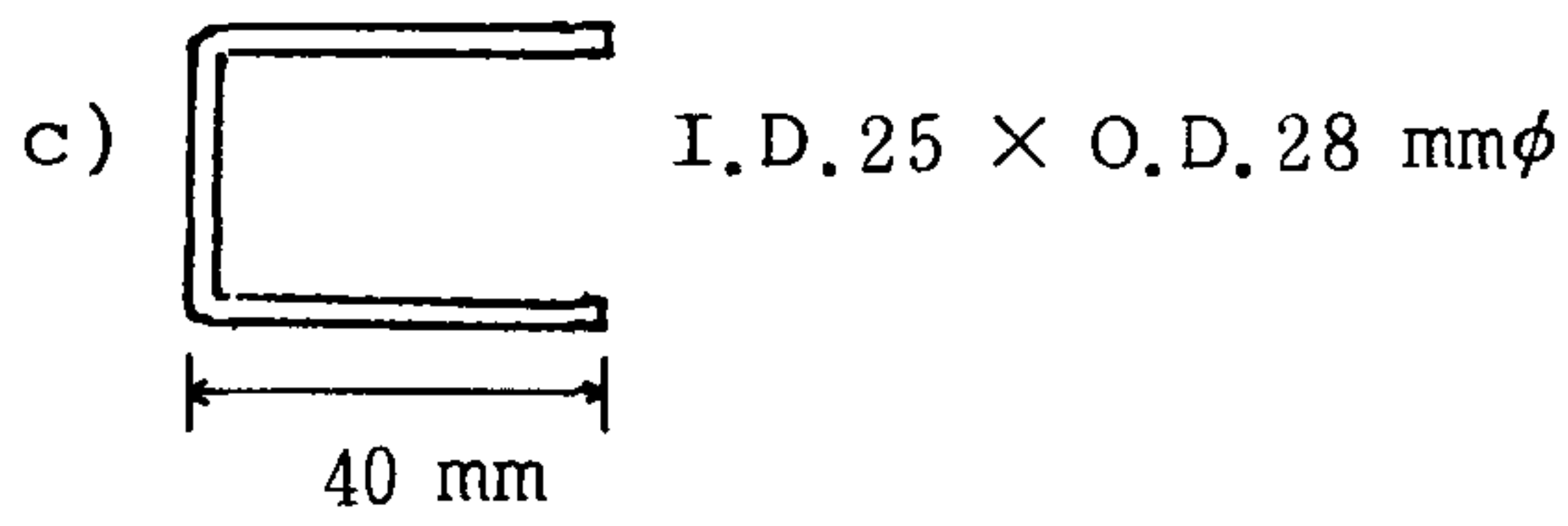
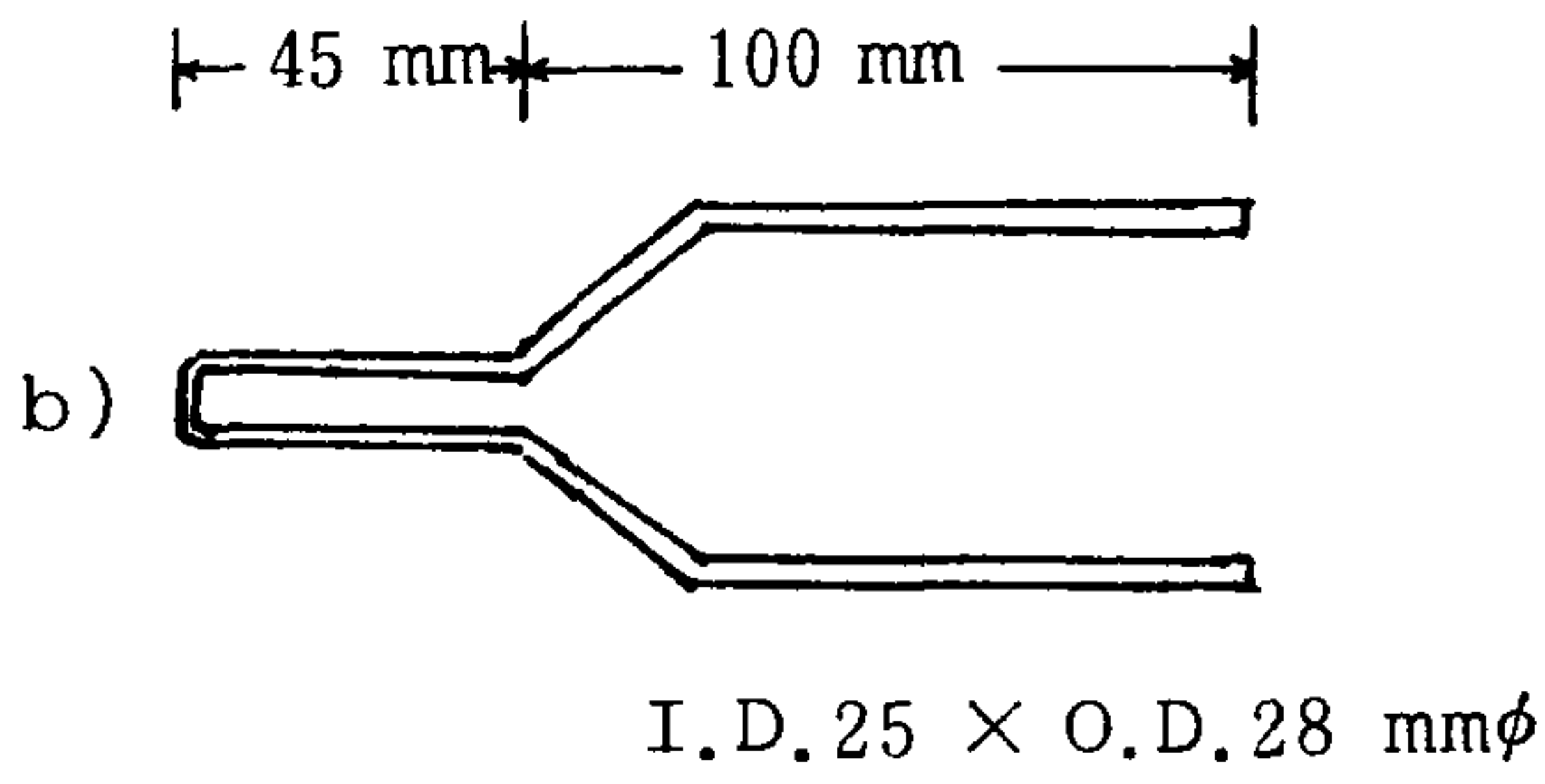
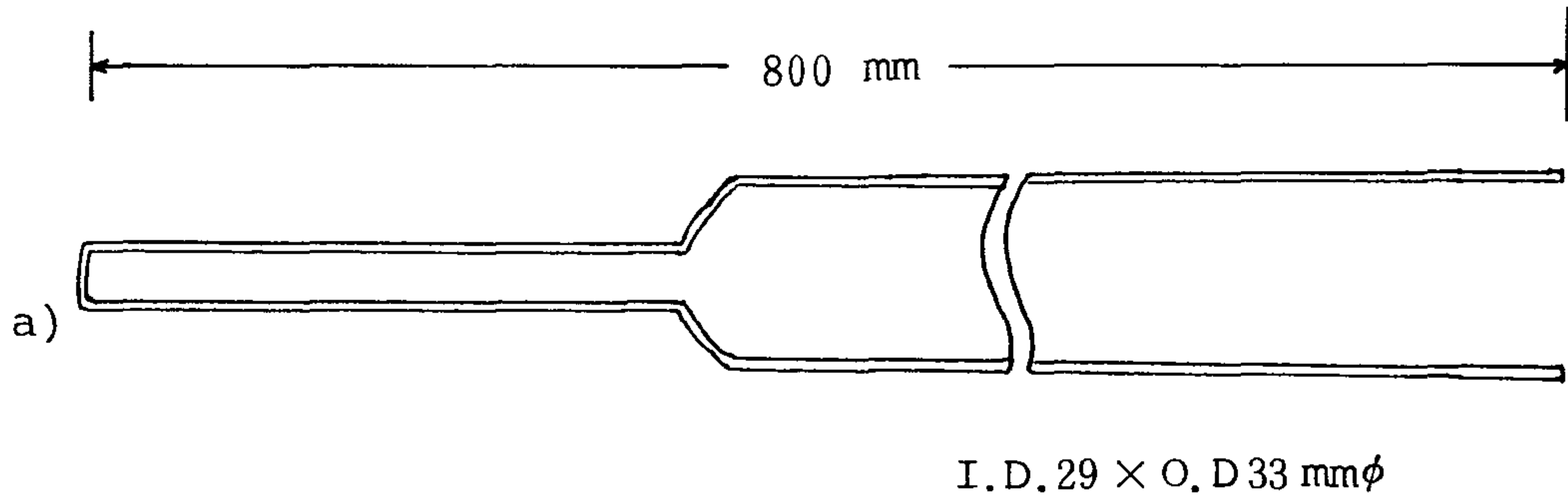


그림 3-2. VGF 단결정성장에 사용된 석영반응용기의 규격

- a) 석영반응관
- b) 석영 crucible
- c) seal plug
- d) As reservoir

- 1) 청정제 Alconox 용액에 sponge 로 문질러 닦은 후 15 분~30 분간 담가 놓는다.
- 2) DI water 로 충분히 헹군다.
- 3) 3 HNO₃ : 2HCl : 15H₂O 용액에 30 분~1 시간 담가 놓는다.
- 4) DI water 로 충분히 헹군다.
- 5) 반응관은 거꾸로 세워 공기중에서 말리고 다른 용기들은 질소 gas 로 건조시킨다.

나. 석영 crucible 의 sand blast 처리 및 세척

수평 Bridgman 방법에서는 GaAs 용융액과 boat 가 직접 접촉하게 되며 이들간의 반응에 의한 wetting 현상이 결정성장에 장애가 되기 때문에 이를 방지하기 위해서는 sand blast, 세척 등 석영 crucible 의 처리과정이 매우 중요하다.

현재까지 알려진 wetting 의 방지기구는 GaAs 용융액과 석영 crucible 간의 화학반응으로 인하여 결정성장 온도근방에서 석영 crucible 내벽에 α -cristobalite 라는 구형의 결정이 생성되어 이 물질이 표면 energy 를 감소시켜 주는 것으로 알려져 있으며 이 α -cristobalite 의 생성반응은 sand blast 처리에 의해 활성화 되어진다.

본 실험에서의 sand blast 처리는 그림 3-3 과 같은 간단한 air gun 을 제작하고 600 mesh 의 미세한 sic powder 를 압축 공기를 사용하여 석영 crucible 내면에 충돌시켜서 하였다.

Sand blast 는 crucible 내면 전체에 고르게 되어야 하

며 GaAs 용융액과의 접촉시간이 비교적 짧은 seed well 부분에 특히 주의를 기울여야 한다. sand blast 처리가 끝난 석영 crucible의 세척은 wetting 방지의 측면에서 보면, 가능한한 화학용액에 의한 처리를 최소화하여 sand blast에 의해 형성된 boat 내면의 활성화 상태를 그대로 유지해야 하나 불순물 유입의 방지를 위해서는 화학처리의 완전한 배제는 불가능하다. 이제까지의 실험 경험에 의해 채택된 boat의 세척과정은 다음과 같다.

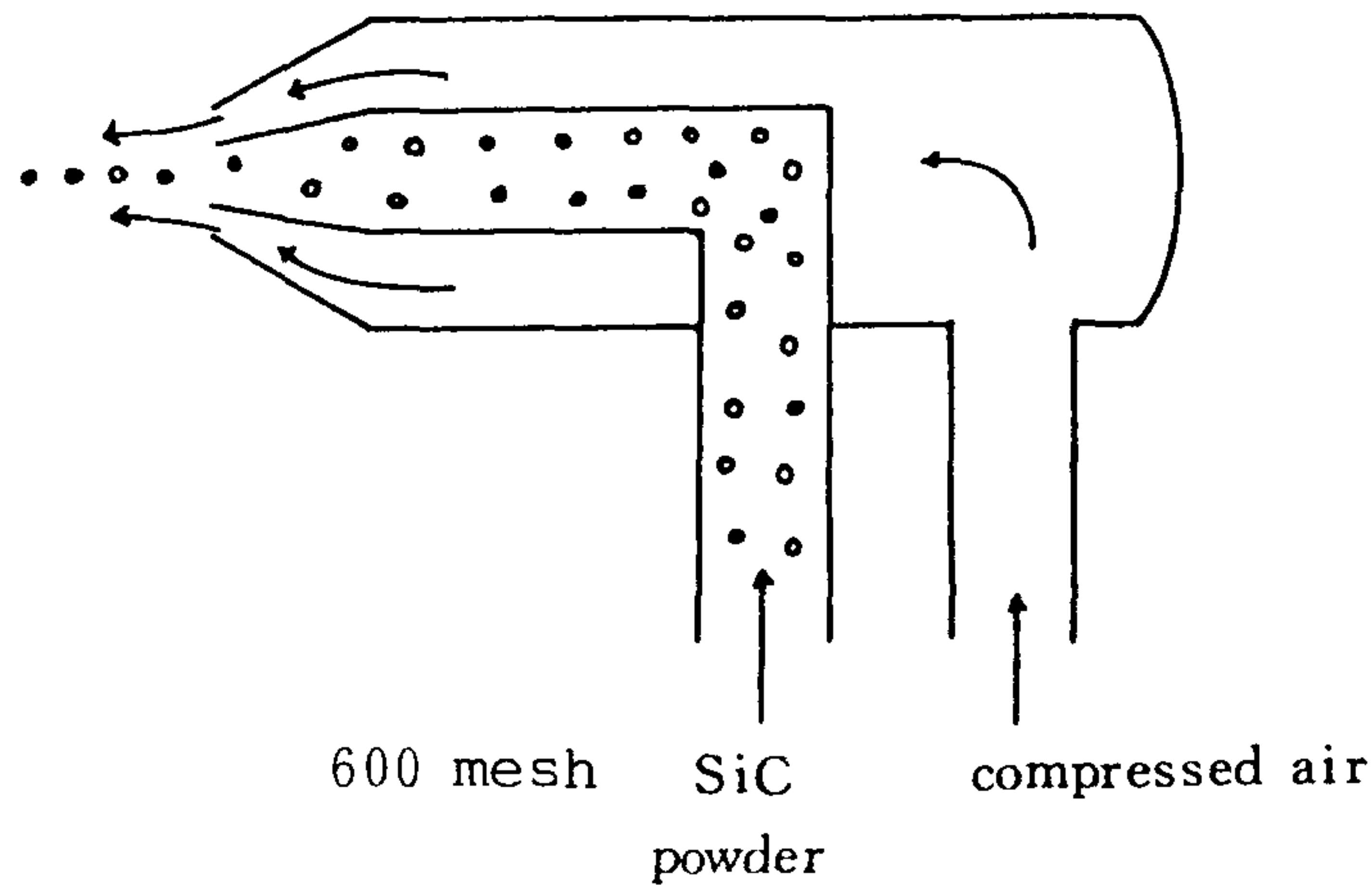


그림 3-3. Sand blast용 air gun

- 1) 청정제 Alconox 용액에 담가 부드러운 솔로 문지른 후 초음파 세척을 10 분간 한다.
- 2) DI water 로 충분히 행군다.
- 3) 왕수 ($3\text{HCl}:\text{HNO}_3$)에 30 분간 담가 놓는다.
- 4) DI water 로 충분히 행군다.
- 5) 질소 gas 로 건조시킨다.

위의 과정을 통해 sand blast 시에 boat 내벽에 붙은 미

세한 SiC powder 에 함유되어 있는 Fe 등의 불순물을 제거하였으며 poly GaAs 를 장입하기 직전에 다시한번 질소 gas blowing 을 하였다.

다. Seed 결정의 준비

실험에 사용된 seed 는 이미 성장시킨 undoped 단결정에서 전위밀도가 10^3 cm^{-2} 정도로 비교적 작은 부분을 택해 wire saw 를 사용해서 잘라내었다. 결정방향은 X-ray Laue 법으로 쉽게 알 수 있으며 VGF 결정성장시의 seed 의 방향은 $\langle 111 \rangle_B$ 로 하여 직경 $6 \text{ mm}\phi$ 길이 3 cm 크기로 만들었다. 이렇게 자른 seed 결정의 처리과정은 다음과 같다.

- 1) 각면을 모두 $10 \mu\text{m Al}_2\text{O}_3$ 로 lapping 하고 seed well 의 모양에 맞추어 밑면의 모서리를 둥글게 갈아낸다.
- 2) DI water, TCE, Acetone, Methanol, DI water의 순으로 각각 5분씩 초음파세척을 한다.
- 3) $3\text{H}_2\text{SO}_4 : 1\text{H}_2\text{O}_2 : 1\text{H}_2\text{O}$ 용액으로 10분간 etching 한다.
- 4) DI water 로 세척한 다음 질소 gas 로 건조시킨다.

Seed 의 절단 및 연마시에 생긴 damaged layer 및 표면에 붙은 연마제가 완전히 제거되어야 하므로 위의 과정은 세심히 다루어져야 하며 필요하면 시간을 늘린다.

2. 진공 baking 및 석영반응관의 봉합

VGF 법에 의한 GaAs 단결정성장은 CSI 301 수평 Bridg-

man 결정성장로를 사용하여 미리 성장시킨 undoped GaAs 다결정과 반응관 내부를 1기압으로 유지하는데 필요한 excess As을 사용하였다. 이를 원재료들은 장입과정중에 산화 및 수분함유가 이루어지므로 이들 산화물과 잔류 불순물중의 일부는 진공 baking 과정을 통하여 제거시킨다. 대표적인 Ga 과 As의 산화물의 종류는 표 3-1에 나타내었다.

본 실험에서 사용한 석영 crucible의 체적은 약 55 cc 이고 크기는 O.D.28 × I.D.25 × L.145 mm이며 장입한 undoped GaAs 다결정은 130 ~ 150 g이었으며, 반응관 내의 stoichiometry를 유지하기 위한 excess As의 양은 이상기체 방정식을 적용한 다음과 같은 식을 이용하였다.

표 3-1. Ga 과 As의 산화물 종류

이름	화 학 식	분자량	특 징
Gallium oxide, sub	Ga ₂ O	155.44	brown-black powder subl. > 500 °C
Gallium oxide, sesqui(α)	Ga ₂ O ₃	187.44	white
Gallium oxide, sesqui(β)	Ga ₂ O ₃	187.44	white
Gallium oxide, sesqui	Ga ₂ O ₃ ·H ₂ O	205.46	white
Arsenic oxide, tri (arsenolite)	As ₂ O ₃ (or As ₄ O ₆)	197.82	colorless cubic or fibrous, subl. 193 °C
Arsenic oxide, tri (claudetite)	As ₂ O ₃ (or As ₄ O ₆)		monoclinic colorless subl. 193 °C
Arsenic oxide, tri (amorphous or vitreous)	As ₂ O ₃	197.82	amorphous or vitreous
Arsenic oxide, penta	As ₂ O ₅ (or As ₄ O ₁₀)	229.82	amorphous white decompose 315 °C

$$\Delta W_{As} = \frac{M_{As_4} \cdot P \cdot \pi D^2}{4R} \int_0^{\ell} \frac{x}{T(x)} dx$$

As 는 기체상태에서 As₄가 대부분이므로 As₄의 분자량 M_{As₄} 를 쓰게 되며 P는 반응관 내의 압력, P, l은 반응관의 직경 및 길이, R은 기체상수 T(x)는 반응관의 위치에 따른 절대온도이다. 반응관의 직경이 2 cm ϕ 길이 70 cm, 온도구배가 600 ~ 1,250 °C로 직선적이라 한다면 ΔW_{As}는 윗식으로 부터 약 0.729 g으로 산출된다.

준비된 undoped GaAs 다결정과 excess As, seed 결정을 석영반응관에 장입한 다음 장입된 상태에서 10⁻⁶ Torr 이하로 진공배기 한후 반응관을 봉합한다. 봉합위치는 성장로의 온도구배에 맞추어 석영반응관의 끝부분에서 60 cm인 위치에서 석영 plug를 사용하여 산소·수소 불꽃으로 봉합하였다. 그림 3-4은 봉합이 끝난 뒤의 석영반응관의 모습이다.

3. 반응관의 가열

Baking 과 진공봉합 과정이 끝나면 VGF 결정성장로의 석영 liner tube 에 석영반응관의 중심을 유지하면서 성장온도구배에 맞는 위치로 밀어 넣는다. GaAs 성장온도인 1,238 °C와 As zone 의 617 °C로 가열하는 방법은 Ga-As system pressure-temperature diagram 에 기초를 두고 있다. 가열하는 방법은 첫째로 GaAs seed 결정을 GaAs 의 용융온도인 1,238 °C 이하에서 녹이지 않도록 As dissociation pressure 에 해당하는 ambient

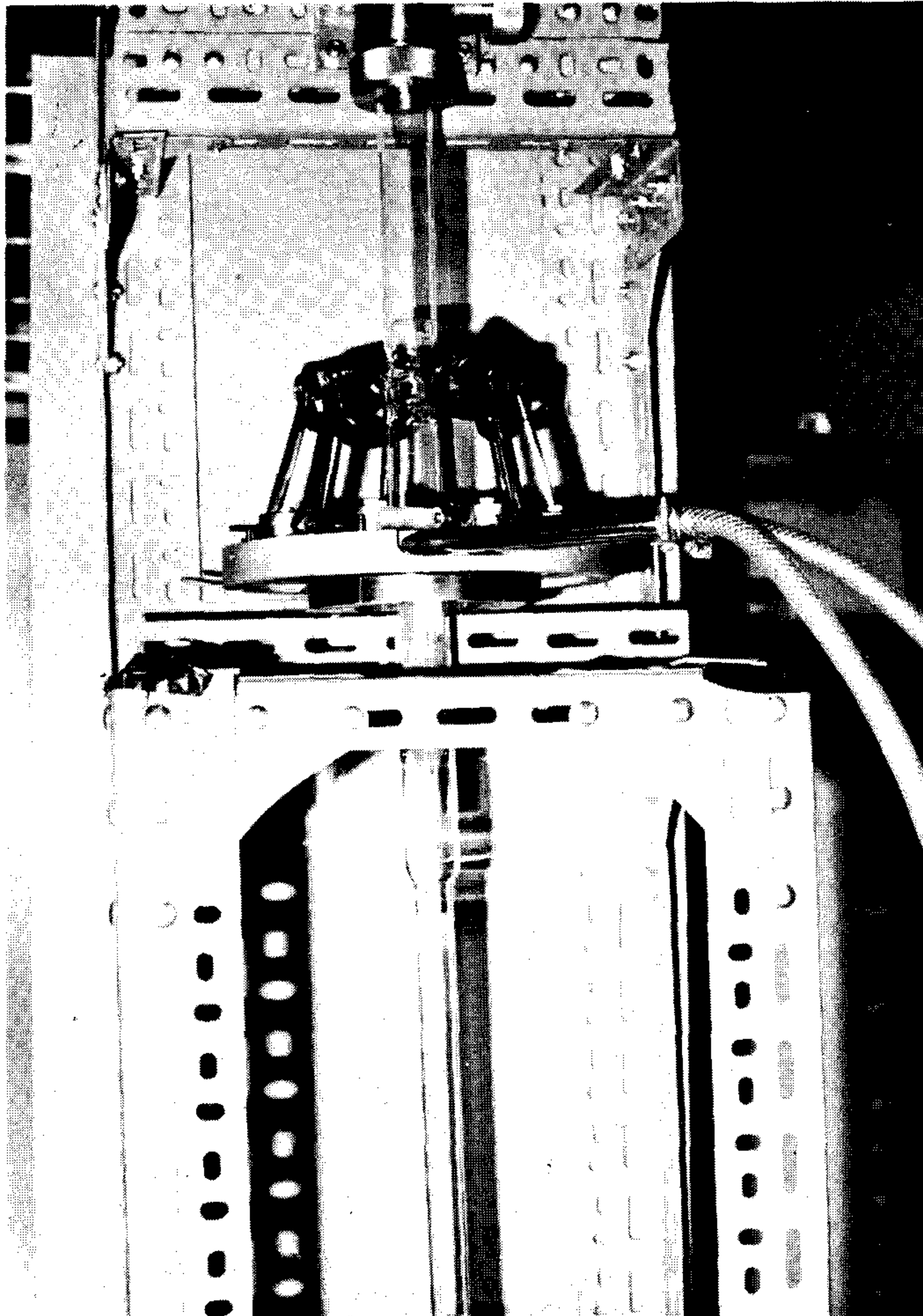


그림 3-4. 진공봉합이 끝난 뒤의 석영반응관

arsenic pressure 를 유지하도록 하는 것이며, 둘째로 Ga과 As 조성이 stoichiometry 를 이루어 1,238 °C의 용융점을 갖는 Ga-As 용융액을 생성유지토록 하는 것이다.

이와같은 원리에서 실제 결정성장시에 요구되는 온도분포곡선을 얻기 위해 VGF 결정성장로에서의 온도 profile 을 조사하여 보았다.

성장로의 각 zone 1, 2, 3, 4는 programmable 온도조절장치 (RKC REX-P100) 에 의해 각기 독립적으로 제어됨으로써 이루어지며 이때 측정되는 온도는 각 zone 의 R-type thermocouple 에 연결되어 있는 6 point dot printing 온도기록계 (측정범위 0 ~ 1,760 °C) 에 자동으로 기록된다.

따라서 GaAs 단결정성장시의 1,238 °C 이상의 고온부위와 excess As 이 위치한 저온부위 사이에서 ~10 °C/cm 정도의 온도구배와 결정성장시 고-액상의 계면위치를 선정하기 위하여 각 zone 에 대한 임의의 Set point 를 설정·입력하여 VGF 결정성로에서 위치에 따른 온도 profile 을 조사하여 본 결과 그림 3-5 와 같이 나타났다.

4. 결정성장

반응관의 가열이 끝난상태에서의 seed 결정의 온도는 1,238 °C, As zone 의 온도는 617 °C 에 고정하여 유지하였으며 약 1 시간 정도의 stabilize time 을 두었다. 용융점 이상으로 온도를 높여 GaAs 다결정이 완전히 용융상태가 되도록 한다. 일단 AaAs

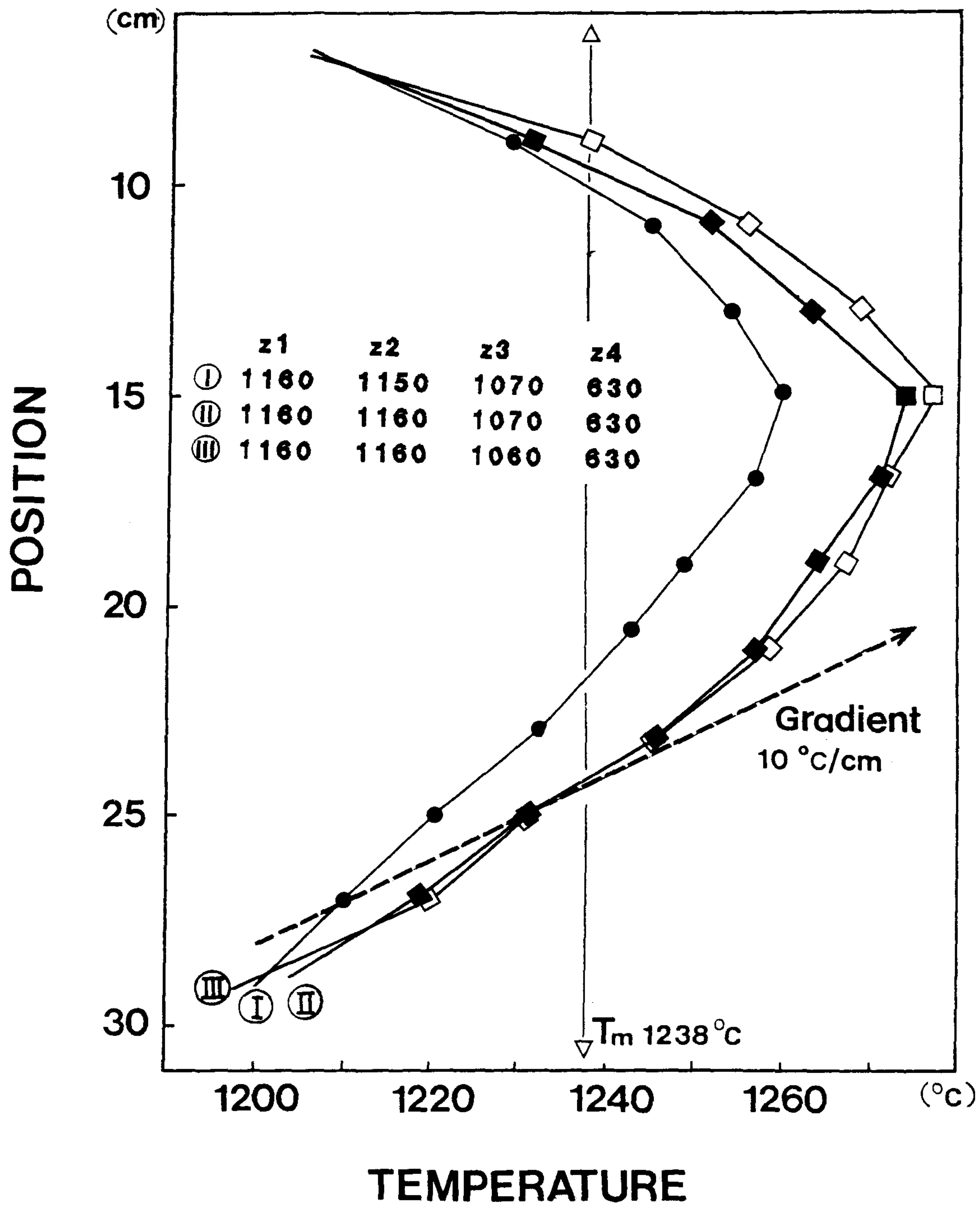


그림 3-5. VGF 결정성장로에서의 set point 에 따른 온도분포곡선

용융상태가 되면 자연히 seed 결정과 접촉하게 되어 계면이 형성되어진다. 이때 가장 이상적인 seeding은 용융액과의 접촉부분에서 약 1 cm 가량 녹아 들어간 위치에서 GaAs 용융액과 seed 결정이 열평형상태를 이룬 가운데 계면이 형성되는 것이 좋으므로 고온부위 zone의 set point를 조절하여 편평한 계면을 형성시킨다. 이를 위하여 실제 결정성장시 seeding 위치를 crucible의 neck 부분에 설정하기 위하여 석영반응관이 장입되지 않은 상태에서 zone 3의 set point를 1,150 °C에서 부터 10 °C씩 내리면서 그때의 온도변화를 측정하여 보면 그림 3-6 에서와 같이 zone 3가 10 °C씩 떨어짐에 따라 seeding 위치의 온도는 전체적으로 4 °C씩 내려감을 볼수 있었다.

이와같이 구한 VGF 결정성장로에서의 온도구배를 근거로하여 실제 결정성장시의 온도기울기는 $\sim 10 \text{ }^{\circ}\text{C}/\text{cm}$ 범위내로 정하였고 성장속도는 8 ~ 2.25 중의 시간에 따른 각 zone 1,2,3,4의 가열 및 냉각속도의 개략적인 과정 그림 3-7 과 같으며 성장이 진행되는 동안에 저온부위의 As zone의 온도는 $\pm 0.5 \text{ }^{\circ}\text{C}$ 이하로 일정하게 유지하였다.

Undoped GaAs 단결정 성장은 모두 5회에 걸쳐 행하였으며 각 성장실험의 성장조건은 표 3-2 에 서술한바와 같다. 한편 결정성장시의 성장계면의 초기 형성과정은 VGF 결정성장로의 고온부위에 사용한 DM 전기로를 통하여 그림 3-8 에서 보는 바와같이 육안으로 관찰할 수 있었으며, 전체 성장과정이 끝난뒤의 석영반응관은 그림 3-9 와 같으며 반응관의 중심부위에 성장된 undoped Ga-

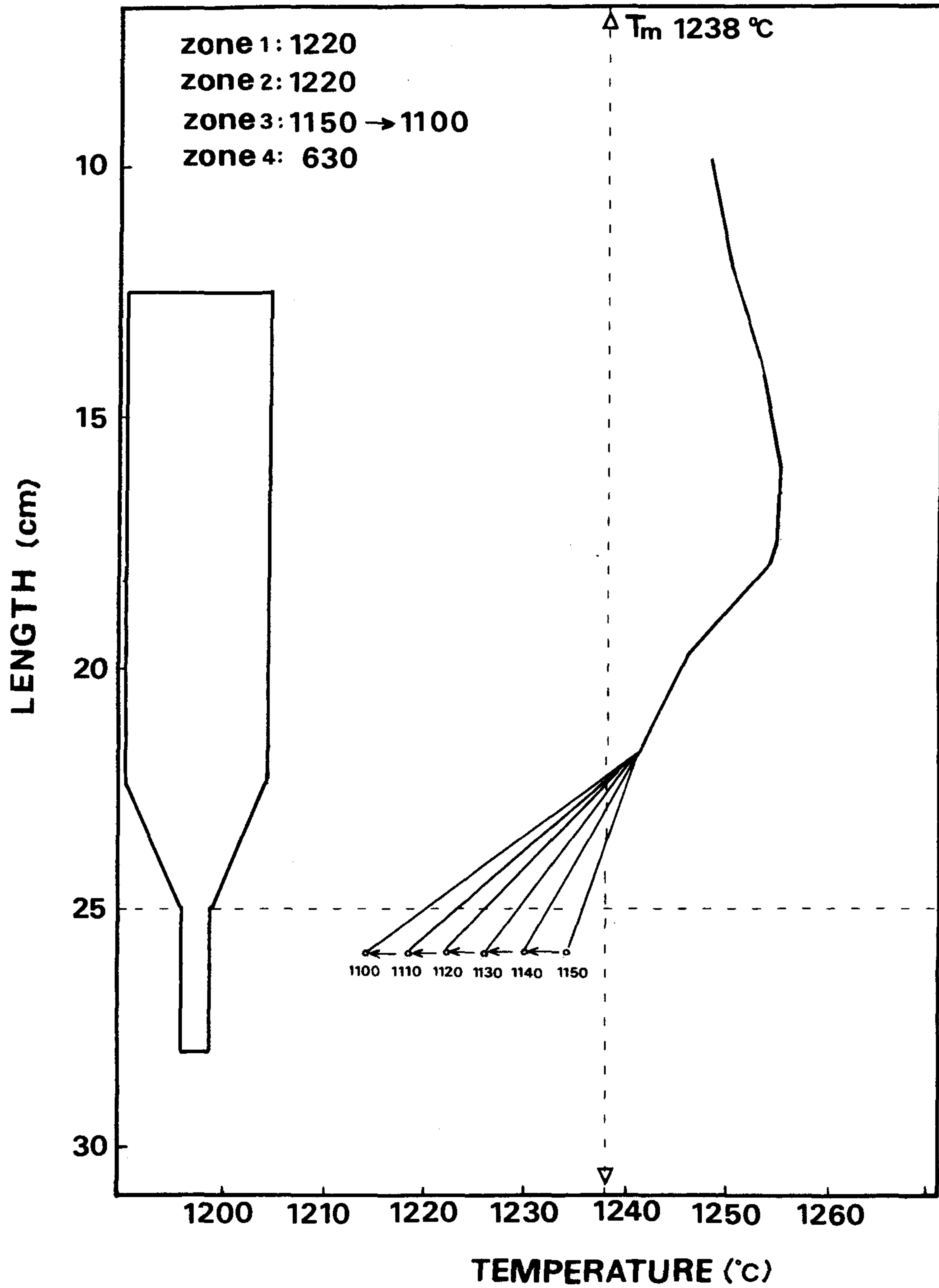


그림 3-6. VGF 결정성장로에서 GaAs 결정성장시의 온도구배 변화

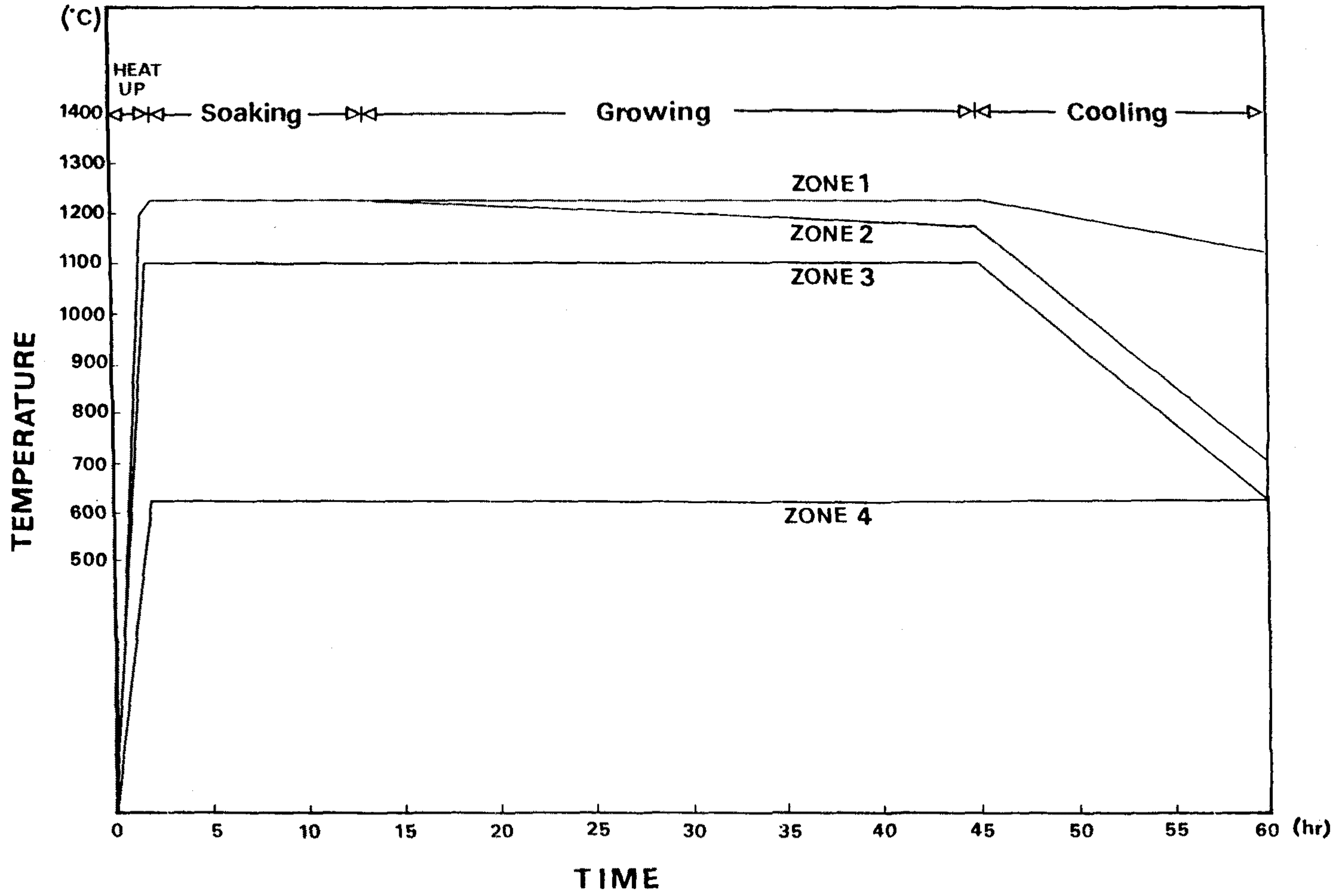


그림 3-7. VGF 결정성장로의 시간축에 따른 각 zone의 온도가열 및 냉각곡선

표 3-2. VGF 성장로를 사용하여 실험한 GaAs 단결정 성장조건.

Ingot No. (KVG)	90201	90202	90303	90404	90405
Seed Direction	<111>B	<111>B	<111>B	<111>B	<111>B
Dopant (C, cm)	Non	Non	Non	Non	Non
Boat Volume (cc)	55	55	55	55	55
Boat Length (cm)	15	15	15	15	15
Charge Weight GaAs (poly)	150	131	140	140	140
As (g)	0.729	0.729	0.729	0.729	0.729
Ampoule Length (cm)	80	80	80	80	80
Growth Time (hrs)	10	30	30	30	25
Growth Rate (mm/hr)	8.5	2.0	2.25	2.25	2.25
Temp. of As (C)	630	630	630	630	625
Cooling Rate (C/hr)					
1200-1000 C				20	20
1000-700 C				38	30
700-R.T.				700	700
Results	explosion wetting poly	explosion poly	Arsenic leak poly	single partly twinned	single

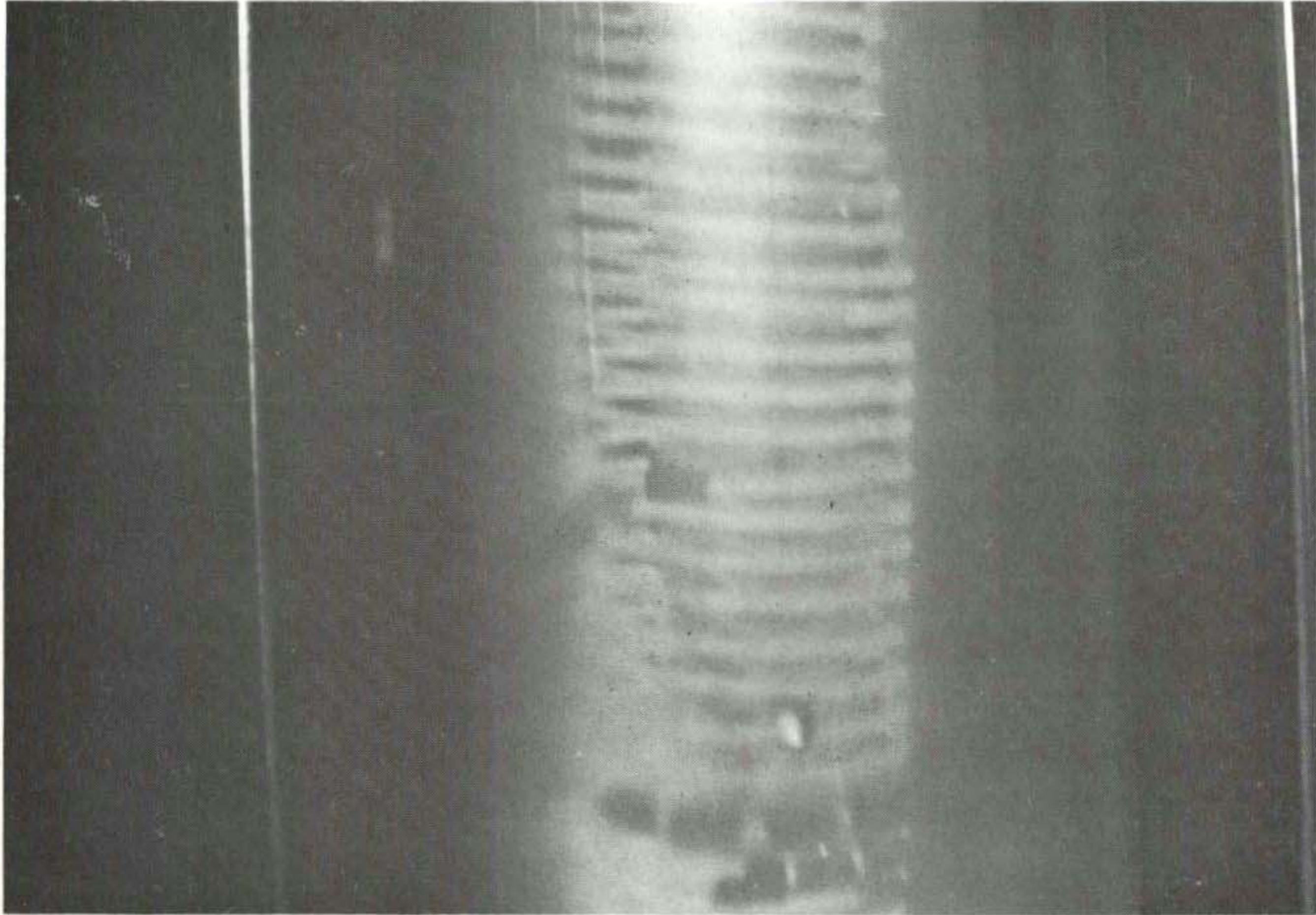


그림 3-8. GaAs 결정성장시 성장계면

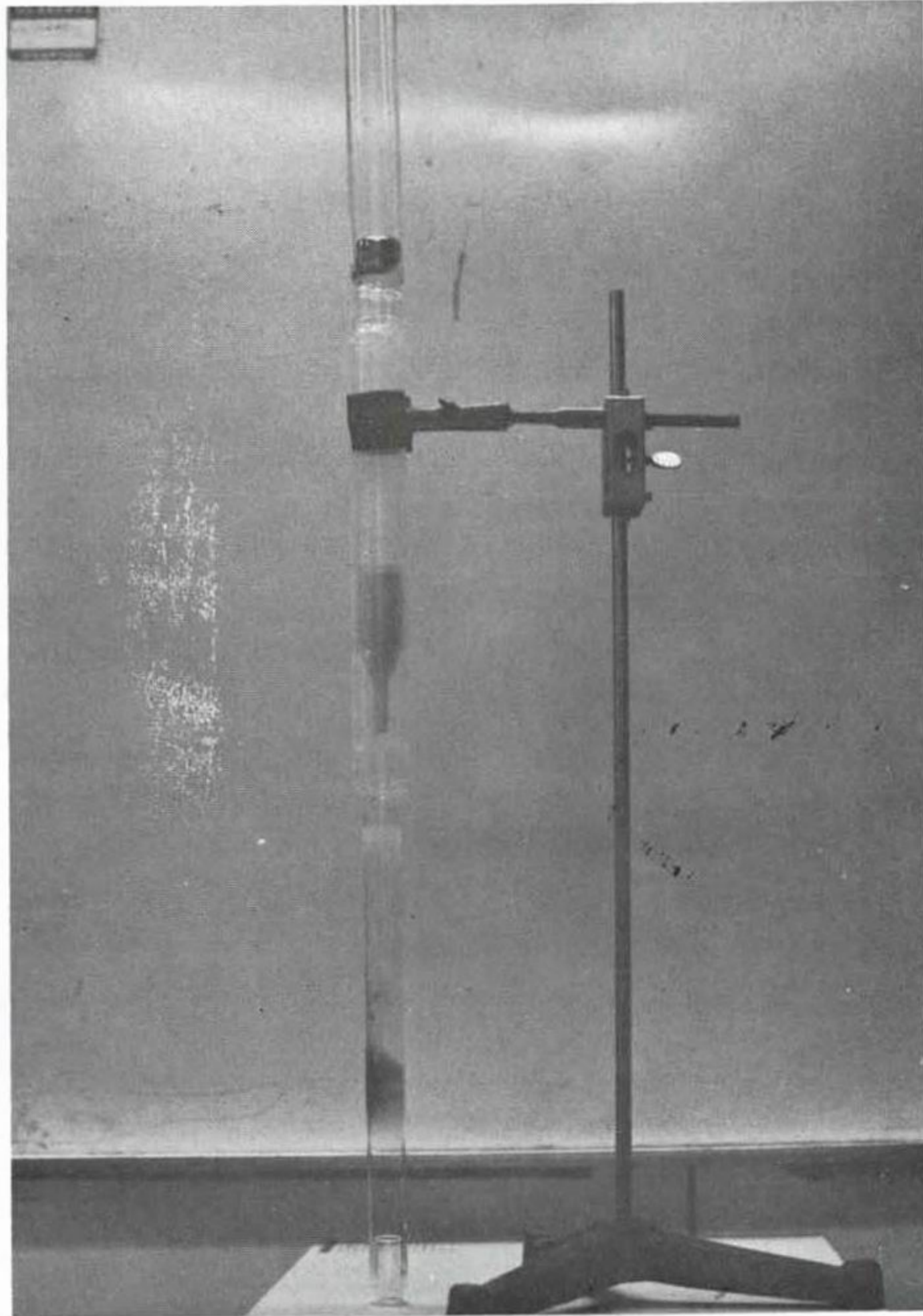
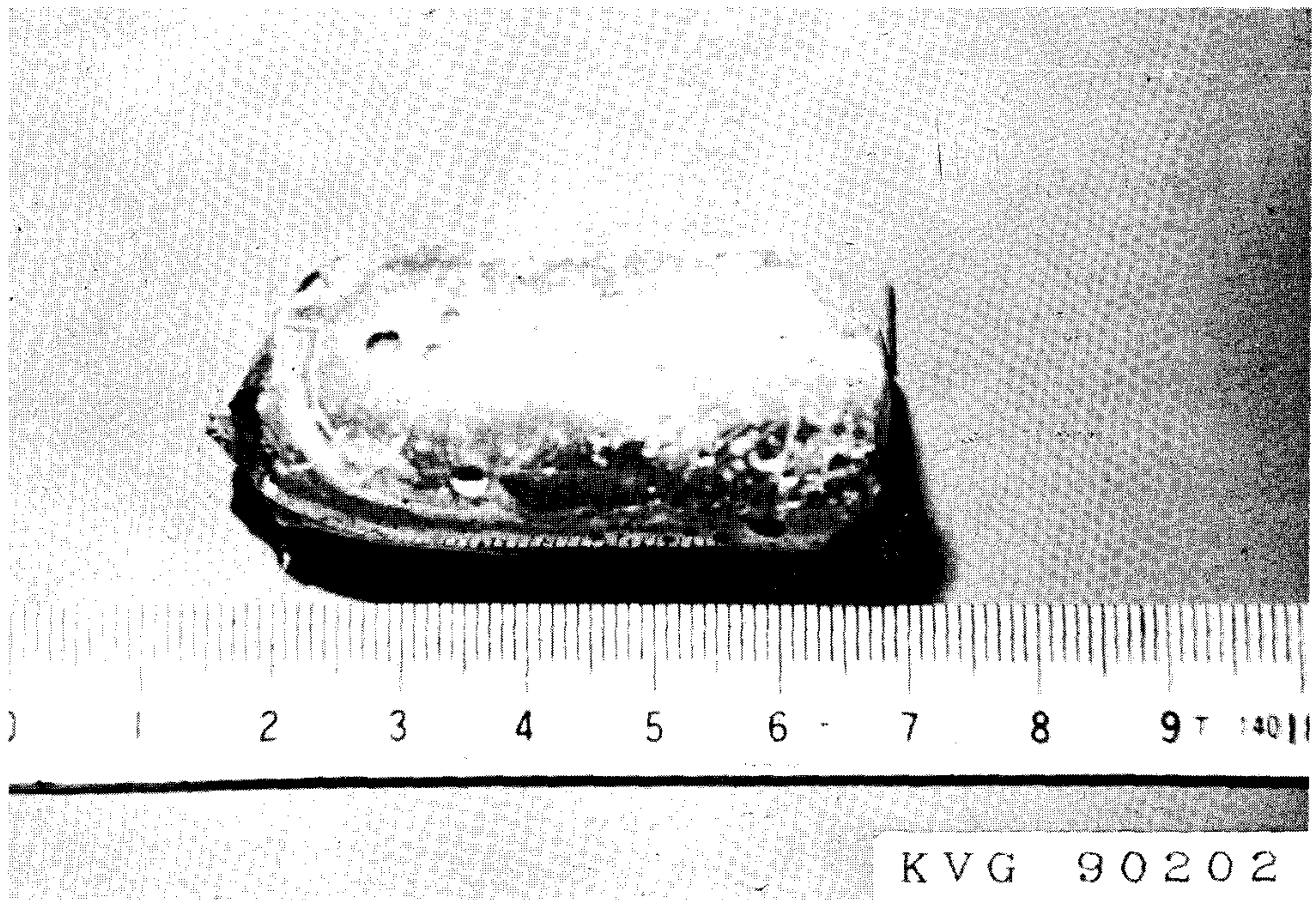


그림 3-9. GaAs 결정성장이 끝난뒤의 석영반응관

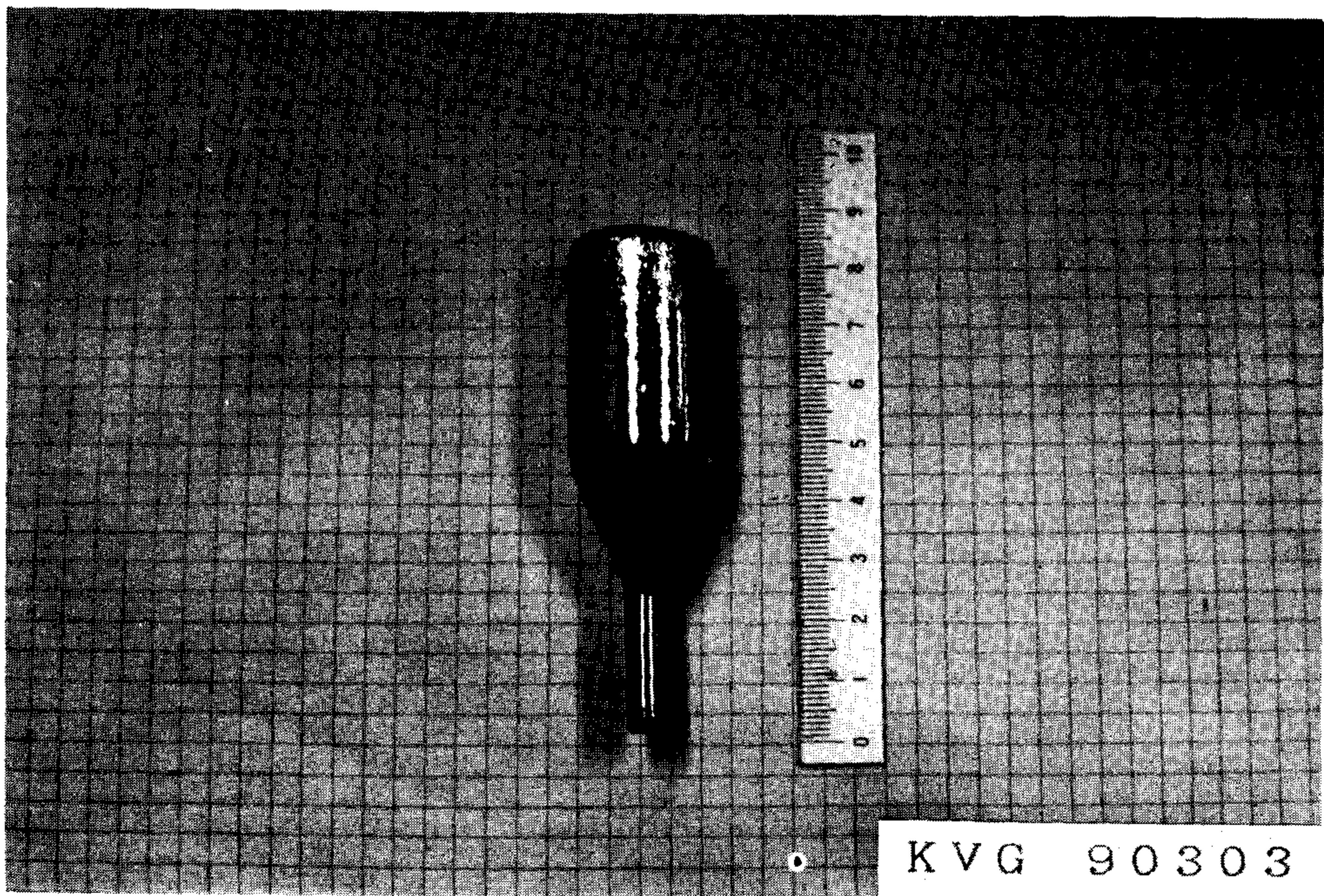
As 단결정을 볼 수 있다.

실제로 GaAs가 용융상태로부터 응고하기 시작하는 온도는 GaAs의 용융점인 $1,238\text{ }^{\circ}\text{C}$ 보다 $3\sim 6\text{ }^{\circ}\text{C}$ 가 낮은 $1,232\sim 1,235\text{ }^{\circ}\text{C}$ 근방이었으며 이는 supercooling의 영향때문이라고 생각되어지며 따라서 충분히 응고가 끝난 뒤에 반응관을 냉각시켜야 한다. crucible 끝까지 결정성장이 끝나지 않은 상태에서 다음 단계인 냉각과정으로 들어가면 GaAs 용융액이 supercooling에 의해 응고가 되므로 As 증기압력이 갑자기 증가하면서 석영반응관이 폭발하거나 GaAs 결정자체가 깨어지게 된다. 또한 성장이 끝난뒤에도 고온상태의 GaAs 단결정을 급격히 냉각시키게 되면 열응력에 의한 전위결함이 생기게 되므로 가능한한 서서히 냉각시켜야 한다.

그림 3-10 3-11는 위와같은 성장실험을 통하여 얻은 undoped GaAs 잉고트로서 그림 3-10(a)의 KVG 90202 GaAs 잉고트를 보면 표면에 작은 구멍이 패인것이 보이는데 이는 석영반응관내에 원료를 장입하고 진공으로 뽑아줄때 진공의 정도가 충분치 않은 반응관 내부에 잔존해 있던 수분 및 gas 등이 결정성장중 GaAs 용융액 밖으로 빠져나오지 못했기 때문에 생긴 것으로 이후의 성장실험시에 진공도를 10^{-6} torr 정도로 높여서 진공 baking 한 결과 이런 현상은 곧 없어지고 매끈한 단면을 가진 GaAs 잉고트를 얻을 수 있었다. 또한 실제 성장이 진행되어가면 응고잠열이 VGF 결정성장법 성격상 응고잠열의 대부분이 이미 성장된 결정 쪽으로 빠져나오게 됨에 따라 set point에 의해 측정되어지는 온도구배 값보다 더 큰 온도기울기를 갖게 된다. 따라서 20°C/hr

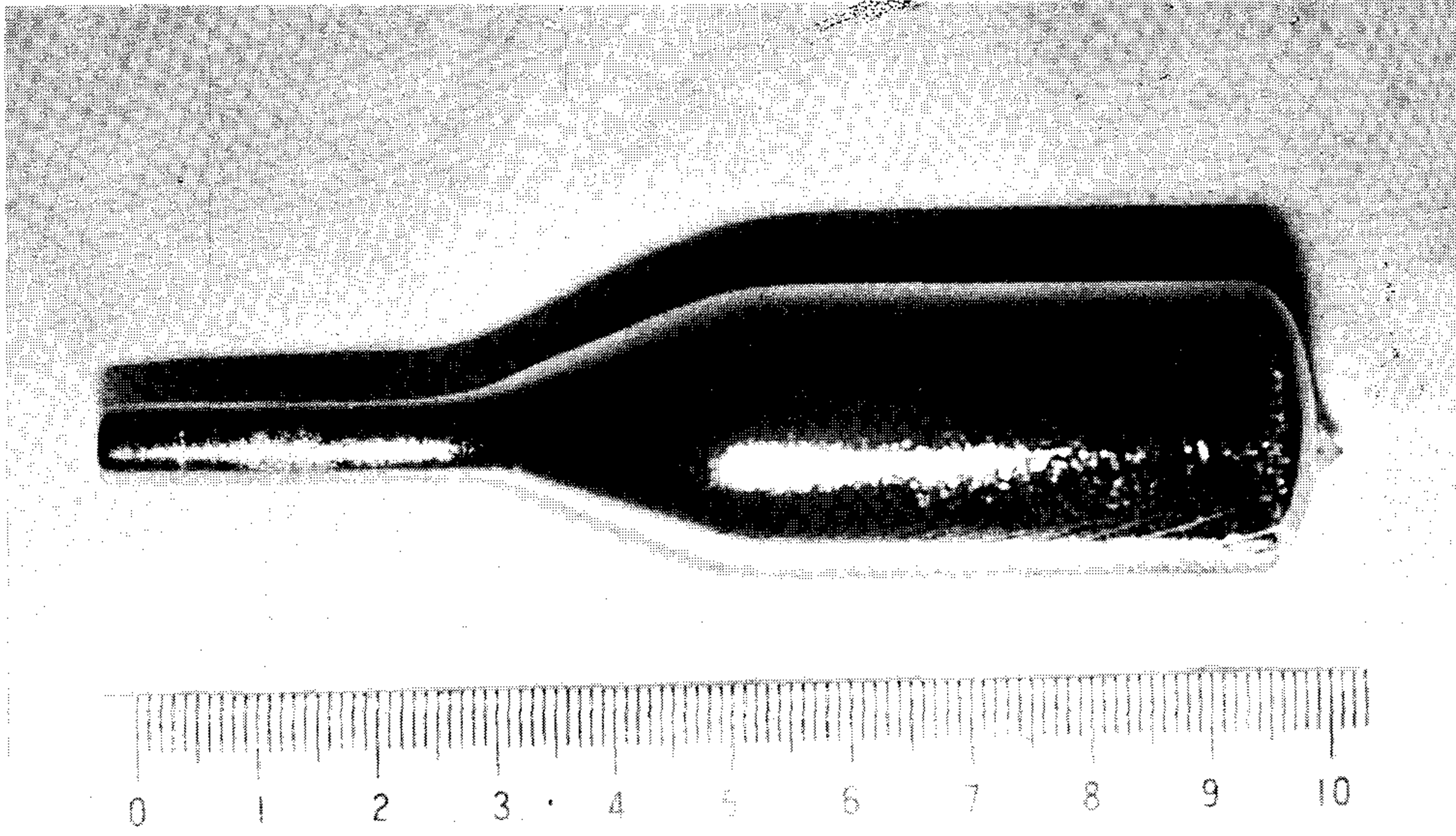


a)



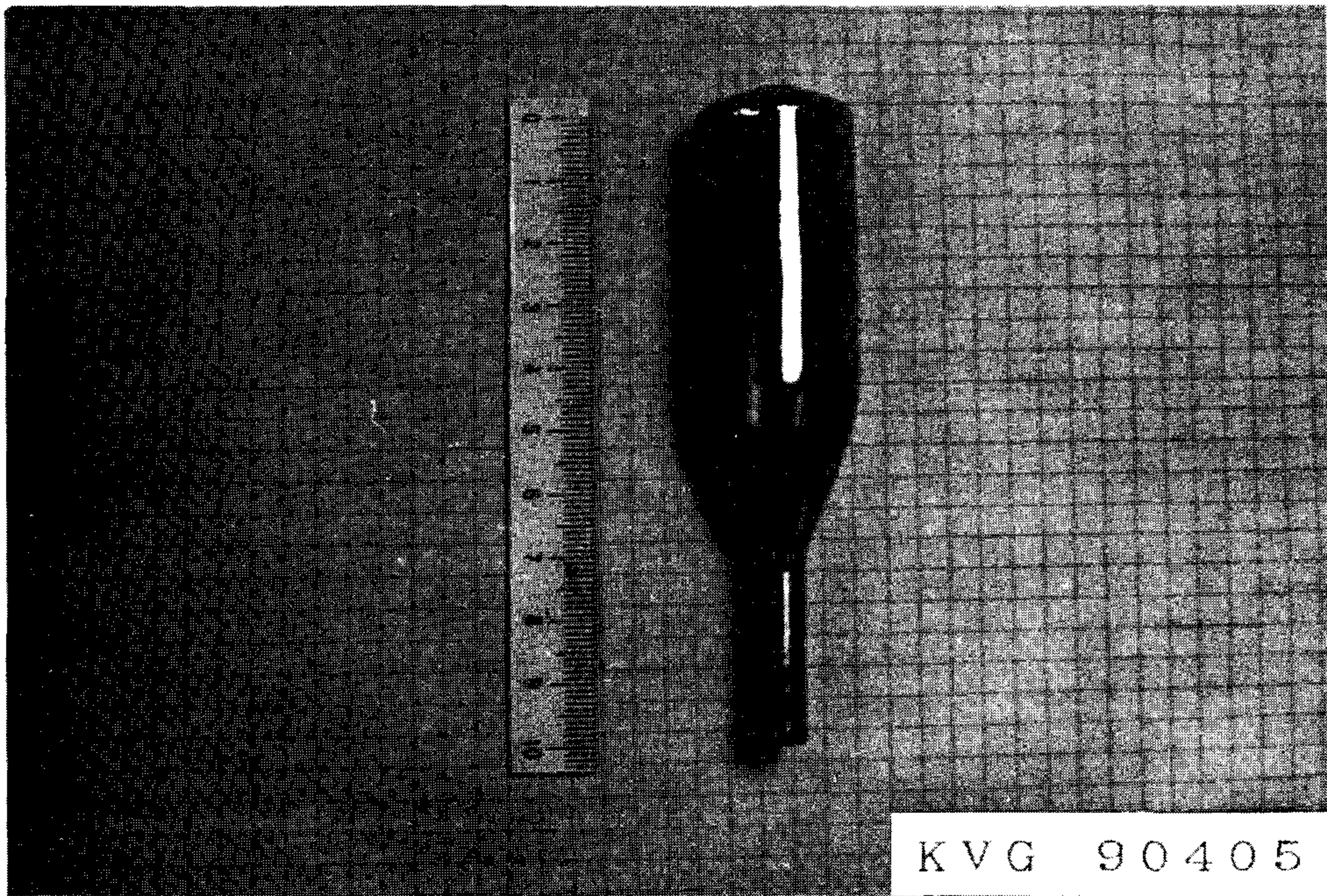
b)

그림 3-10. VGF 법에 의해 성장된 undoped GaAs 잉고트
 a) KVG 90202 b) KVG 90303



KVG 90404

a)



KVG 90405

b)

그림 3-11. VGF 법에 의해 성장된 undoped GaAs 잉고트

a) KVG 90404 b) KVG 90405

이상의 빠른 냉각속도에서는 용융액의 표면으로 갈수록 온도구배가 커져 GaAs 용융액의 표면이 중심보다 빨리 식게 되어 미처 응고되지 못한 중심부위의 GaAs 용융액이 갑자기 응고됨에 따른 부피팽창하는 분출력에 의해 GaAs 결정이 폭발하면서 석영 반응관도 함께 깨어졌다. 이와같은 현상은 1, 2차 결정성장시에 모두 발생하였으며 1차 성장의 경우에는 wetting 현상까지 발생하여 GaAs 결정의 일부가 소실되어졌다.

따라서 KVG 90303 GaAs 잉고트의 결정성장때 부터는 결정 성장이 끝난 다음에 석영반응관의 냉각과정을 3단계의 온도 구간으로 나누어 행하였는데 1,200 ~ 1,000 °C의 고온구간에서는 20°C/hr, 1,000 ~ 700 °C의 중간온도구간에서는 30 °C/hr, 700 °C에서 상온까지는 700 °C/hr 정도로 서냉한 결과 GaAs 잉고트가 자체 폭발하거나 석영 반응관이 깨어지는 것은 방지할 수 있었다. 이같이 진공 baking 과 성장뒤의 냉각과정을 수정보완하여 결정성장한 3, 4,5 차의 성장결과인 KVG 90303, 90404, 90405 의 GaAs 잉고트의 경우에는 그림 3-10(b), 3-11 에서 보는 바와같이 결정자체의 손상이나 석영 용기와의 wetting 현상이 일어나지 않은 깨끗한 표면의 GaAs 단결정을 얻을 수 있었다.

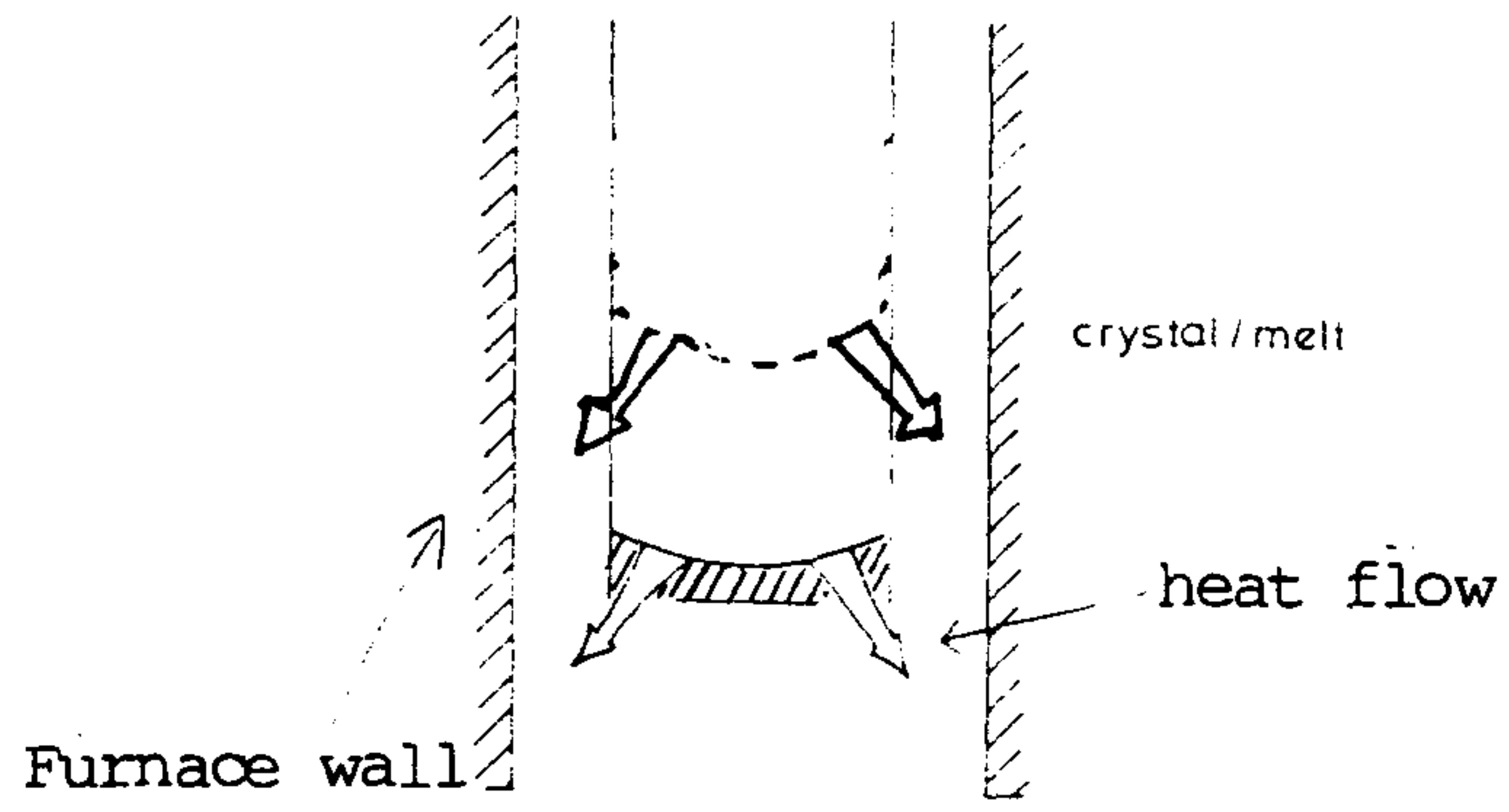
또한 성장된 undoped GaAs 잉고트의 끝부분의 응고된 형태를 보게되면 원형의 GaAs 잉고트에서 중심 부분이 볼록하게 솟아오른 것을 볼수 있다.

따라서 VGF 결정성장로 내부에서 결정의 중심부위의 온도가 주변보다 낮게 유지되어 결정성장중에 성장계면의 형태가 convex

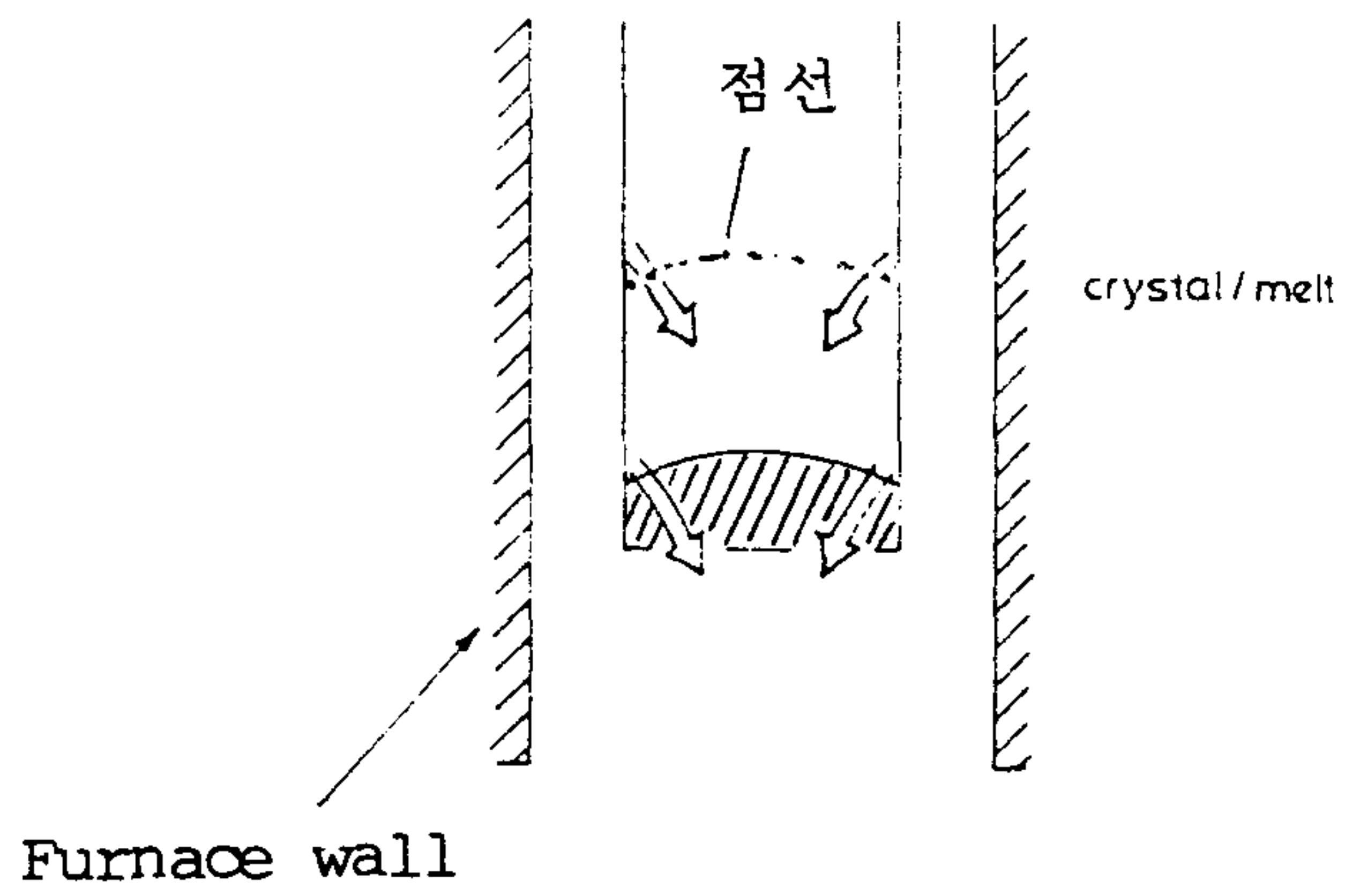
하게 진행된 것임을 알수 있다. 이러한 성장계면을 유지하기 위해서는 1) 결정성장시 결정잉고트내에서의 일정한 결정성장속도 2) 결정성장로에서의 온도기울기 3) 반경방향으로의 온도분포의 균일성 등 여러가지 성장변수가 서로 상호보완 되어야만 한다.

그림 3-12 에서와 같이 결정성장속도가 빠르거나 결정성장시 부위에 따라 다른 결정성장속도를 가지게 되면 계면은 convex하거나 flat 하지 않고 성장되는 결정에 대해 concave 해진다. 또 결정성장속도가 빠르거나 부위에 따라 다르면 극심한 Radial heat flow 에 의한 국부적인 strain 을 유발하여 결정내에 많은 전위결함을 생성시키거나 반응용기와의 접촉계면에서 새로운 핵의 생성에 의해 다결정이 생성되거나 (111) 면으로써 twinning 이 일어나게 된다. 따라서 본 실험에서 성장한 KVG 90404, 90405 Ga-As 단결정들로부터, VGF 법에 의한 결정성장시 반경방향으로의 온도구배는 균일하였고 성장계면은 그림 3-12 와 같이 convex하게 진행된 것임을 확인할 수 있다.

이상의 실험결과들로부터 보면 본 실험실에서 제작한 VGF 결정성장로를 이용하여 직경 1 인치의 GaAs 단결정을 성장시킬 경우에는 최고온부는 1,250 °C 근방, 또 계면에서의 온도기울기가 ~10 °C/cm 범위내일때의 성장속도는 2.25 mm/hr인 성장조건하에서 가장 양질의 GaAs 단결정이 성장됨을 알았다.



a)



b)

그림 3-12. 결정성장시에 예상되는 성장계면의 이동

a) concave b) convex

제 2 절 VGF GaAs 단결정의 특성평가

VGF(vertical gradient freeze) 법으로 성장한 undoped GaAs 단결정의 특성평가로써 화학 부식방법으로 전위밀도를 측정하였고 van der Pauw 방법을 이용한 Hall 효과 측정으로 비저항, 전자이동도, carrier 농도 등의 전기적 특성을 보았으며 DLTS(deep level transient spectroscopy) 측정으로 조사하였다.

VGF GaAs 단결정의 특성평가를 하기 위해 $\langle 111 \rangle$ 방향으로 성장된 KVG-90404 단결정을 (111)면으로 slicing 하여 seed 로 부터 tail 까지 7 개의 wafer 들($g = 0.04, 0.08, 0.20, 0.41, 0.56, 0.76, 0.83$) 을 취하여 준비하였다. slicing 은 각각의 wafer 가 두께 $700 \mu\text{m}$ 정도가 될 수 있도록 Tokyo semiconductor 사의 수직형 ID slicing machine(model 200 A) 으로 sample 에 damage 를 입지 않도록 느린 속도 (8.8 mm/min) 로 slicing 하였다. 이와같이 slicing 하여 취한 7 개의 웨이퍼들을 $10 \mu\text{m}$ 입자크기의 알루미나 파우더로 lapping 한후 Buehler 사의 ECOMET IV model 의 polishing machine 으로 연마하여 시료준비를 하였는데 이때 연마는 $0.5 \mu\text{m}$ 와 $0.03 \mu\text{m}$ 크기의 알루미나 입자들로 mechanical polishing 을 한후 $1\text{NH}_4\text{OH}:700 \text{H}_2\text{O}_2$ 의 용액으로 chemomechanical polishing 을 한 것이다. 그림 3-13 은 특성평가를 위해 이와같은 과정으로 polishing 하여 최종적으로 준비된 원형 wafer 들의 모습이다.

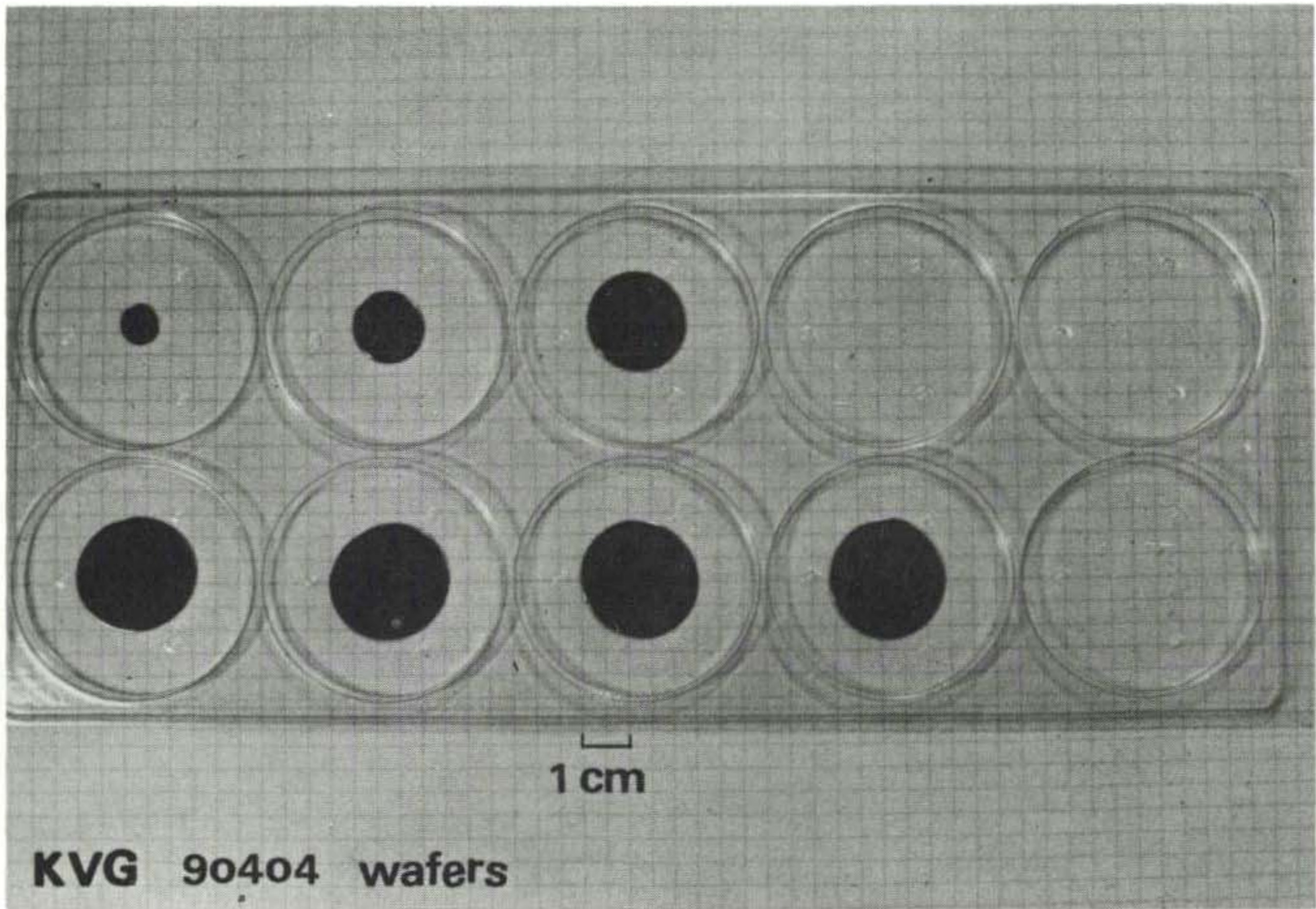


그림 3-13. KVG 90404의 polishing된 원형 웨이퍼 모습.

1. 전위 밀도 측정

(111) 면으로 slicing하여 경면 처리된 VGF GaAs 웨이퍼의 전위 밀도는 T.C.E-Acetone-Methanol-D.I.water-N₂ blowing의 organic 세척을 한후 3H₂SO₄:1H₂O₂:1H₂O의 에칭 용액으로 약 1분간 상온에서 에칭하여 Nomarski 광학 현미경으로 조사하였다. 3H₂SO₄:1H₂O₂:1H₂O 에칭용액에 대한 (111) Ga-As 웨이퍼의 에칭율은 5.0 μm/min이다.¹⁾

그림 3-14는 (111) Ga 면에 나타난 terraced etch pit의 모습으로 고화율 (solidified mass fraction) g값에 따른 전위밀도 형태이다. 사진에 보이는 etch pit 1개는 EPD(etch pit density) ~ 500 cm⁻²에 해당되는 것으로 ingot의 seed 부분부터 tail 부분까지 EPD가 1,000개/cm² 미만에서 부터 8,000개/cm² 정도까지 증가되고 있음을 볼 수 있다. 그림 3-15은 이같은 EPD의 증가모습을 g값에 따라 나타낸 것으로 ingot의 성장방향으로 전위밀도가 증가하고는 있지만 일반적인 LEC(liquid encapsulated czochralski) 성장법의 EPD가 10⁴ ~ 10⁵cm⁻²나 HB(horizontal Bridgman) 법의 EPD가 10³ ~ 10⁴cm⁻²인 것에 비하면 본 연구실에서 VGF 법으로 성장된 결정의 질이 상당히 양호한 것임을 알 수 있다. 특히 GaAs의 광소자나 고속소자등의 응용에 있어서 전위가 미치는 악영향이 매우 심각하기 때문에 가능한 낮은 전위밀도를 갖는 단결정을 성장해야 한다는 점을 고려하면 주목할 만한 결과로 평가된다.

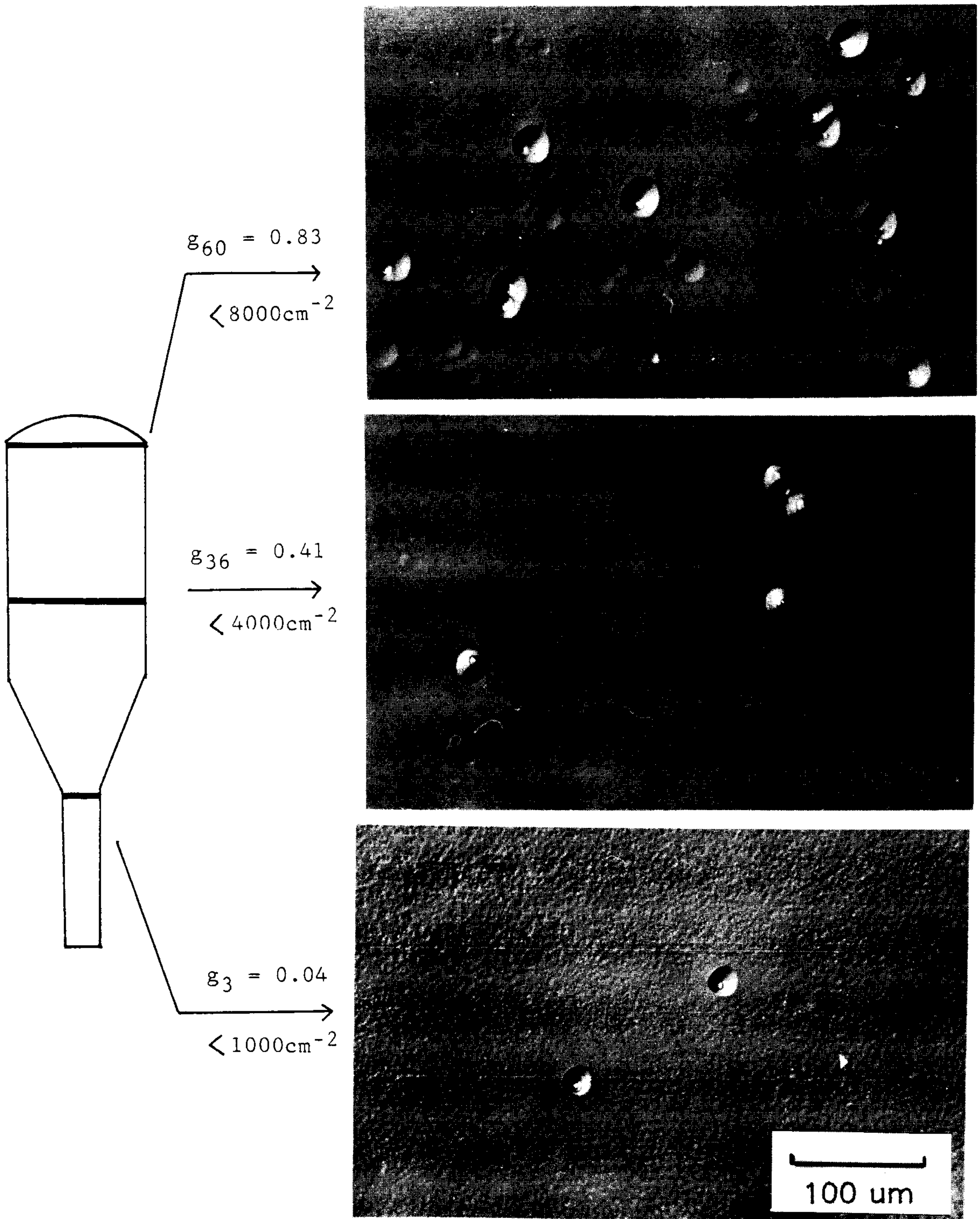


그림 3-14. (111) Ga 면에 나타난 terraced etch pit

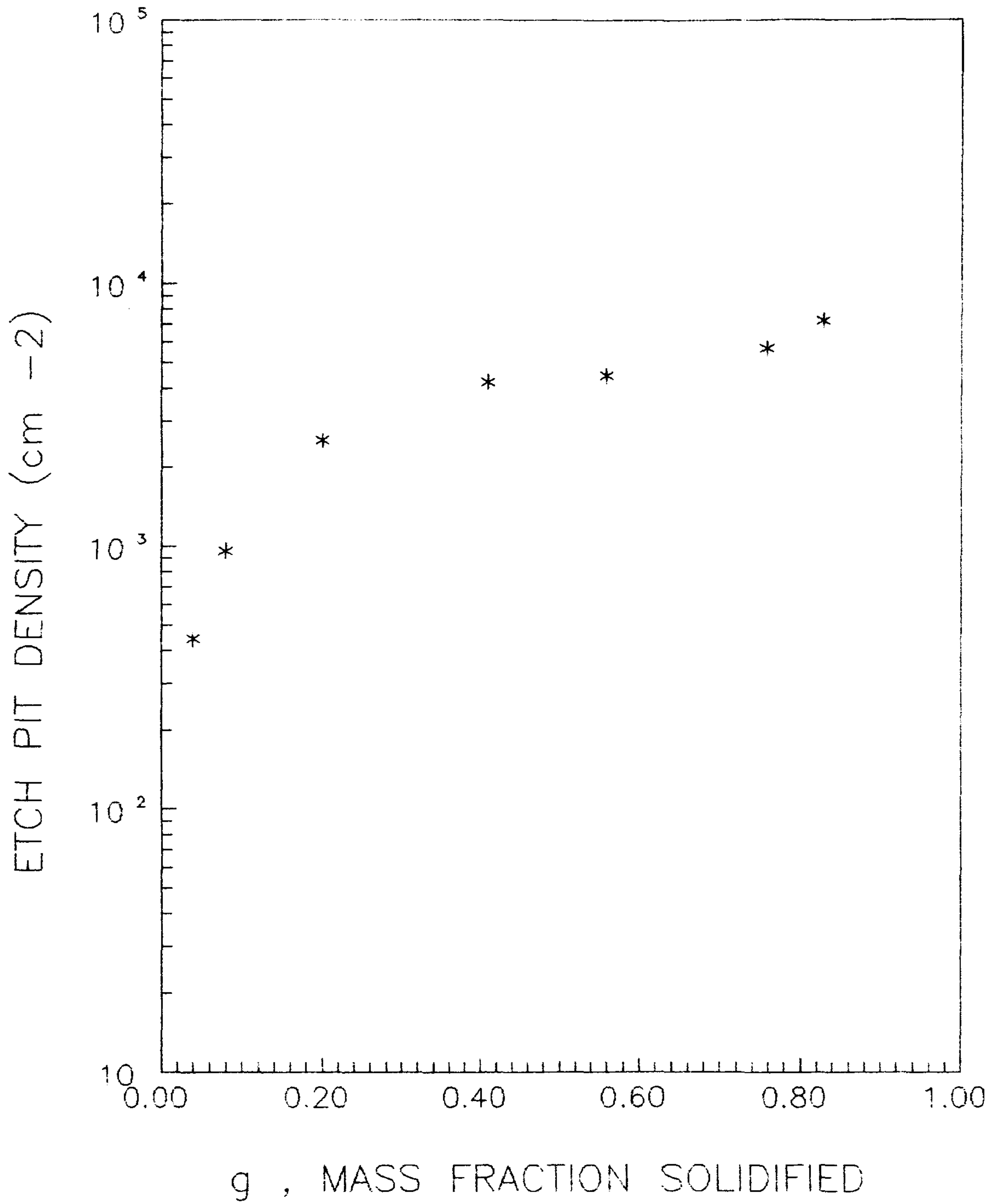


그림 3-15. g값에 따른 EPD의 변화

그림 3-16는 $g = 0.2$ 의 웨이퍼에서 radial 방향의 전위밀도 분포를 나타낸 것이다. 웨이퍼 중심에서 바깥쪽으로 감에 따라 EPD가 점차 증가하는 경향이 있으며 일반적인 LEC GaAs 웨이퍼에서 나타나는 EPD의 symmetric pattern은 보이지 않고 있다. 일반적으로 LEC GaAs 웨이퍼에서 볼수 있는 EPD의 symmetric pattern은 결정성장시 받게 되는 과도한 열응력에 기인되는 것으로 이미 잘 알려져 있다.²⁴⁾ 이같은 점에서 VGF 법에 의해 성장된 GaAs 웨이퍼는 LEC 성장법과 같이 과도한 열응력을 받지 않는다는 것을 알 수 있다. 실제 결정성장시 온도구배 $dT/dx \sim 10 \text{ }^\circ\text{C}/\text{cm}$ 와 성장속도 $\sim 2 \text{ }^\circ\text{C}/\text{hr}$ (2.25 mm/hr 에 대응) 그리고 느린 냉각속도(표 3-2 참조)를 고려하면 이는 당연한 결과이기도 하다.

한편 ingot의 성장방향에 따라 EPD가 seed 부분부터 tail 부분까지 $450 \text{ 개}/\text{cm}^2$ 에서 $8,000 \text{ 개}/\text{cm}^2$ 로 증가하였는데 이와 관련하여 AT & T group이 VGF 법을 이용하여 성장한 GaAs 단결정의 EPD와 비교하여 표 3-3에 나타내었다. 표 3-3에서 보면 KAIST 결정과 AT & T Bell Lab의 결정이 seed로부터 tail로 갈수록 EPD가 증가된 반면 AT & T Tech.Inc.의 결정은 2번결정을 제외하고 seed에서 tail 부분으로 갈수록 EPD가 줄어드는 것을 볼 수 있다. 이것은 dopant인 silicon의 impurity hardening 효과 때문이며 doping을 하지 않은 경우에는 일반적으로 tail 부분으로 갈수록 EPD가 늘어남을 알 수 있다.

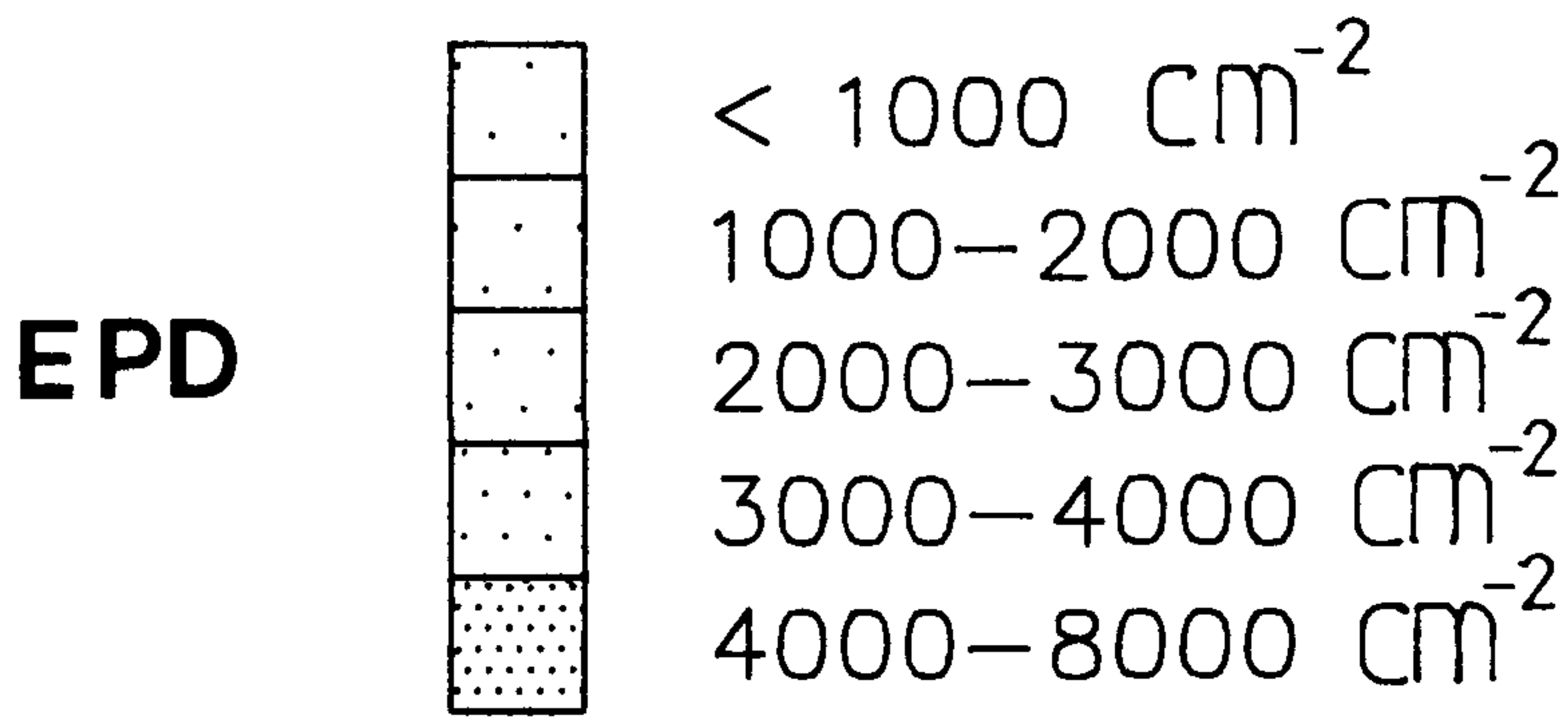
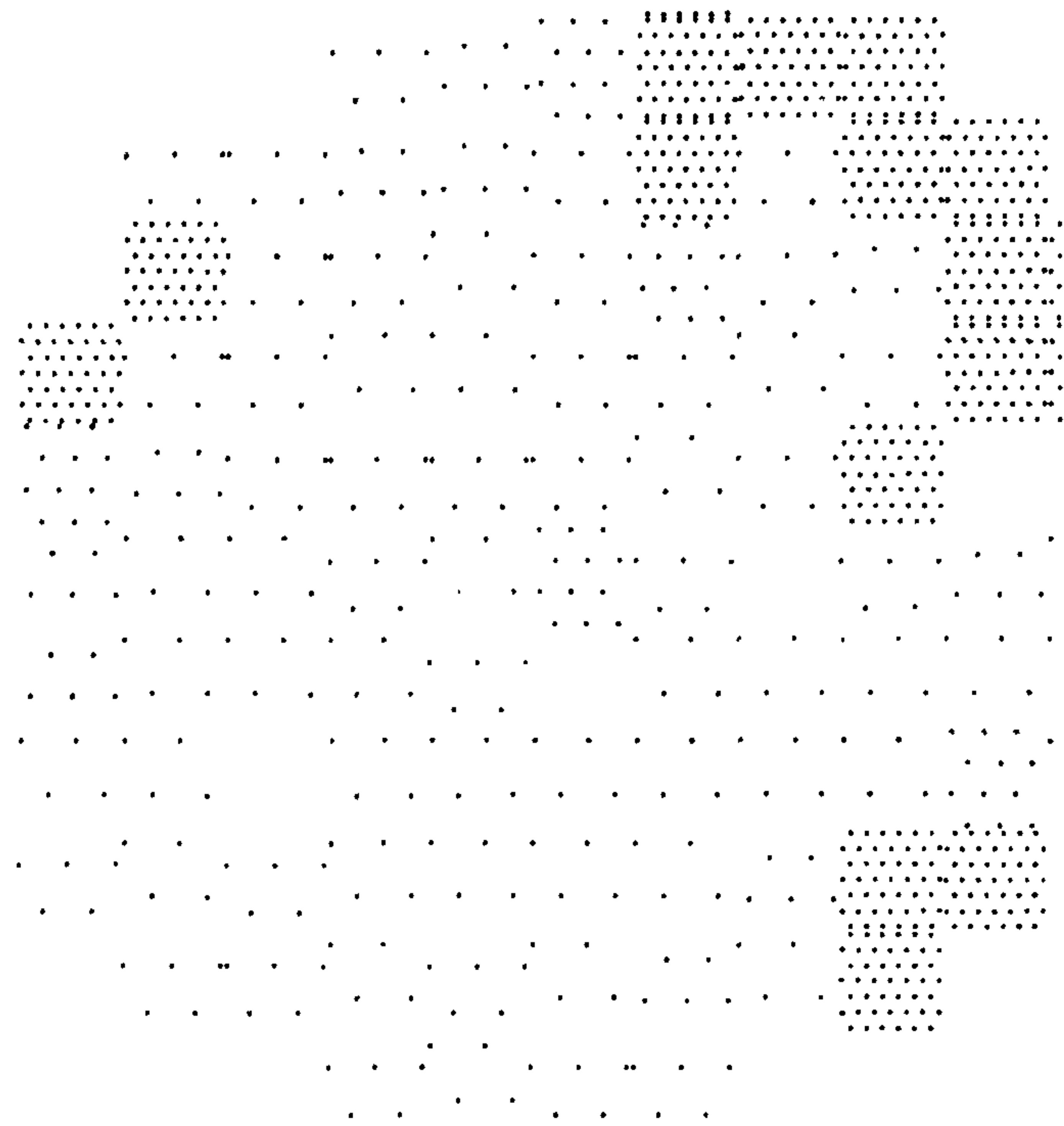


그림 3-16. 전위밀도의 radial 분포 ($g = 0.2$)

표 3-3. VGF 법을 이용한 GaAs의 EPD 비교

Laboratory.	average EPD (cm^{-2})			dopant	cooling rate ($^{\circ}C/hr$)
	seed	middle	tail		
KAIST VGF	450	4000	8000	non	1200-1000 $^{\circ}C$: 20 1000- 700 $^{\circ}C$: 30 700- R.T. : 100
AT&T Tech.Inc.	1	337	248	Si	70
Gault et al.	2	800	17000		100
[5]	3	1200	350		14
AT&T Bell Lab. Abernathy et al. [6]	2000		6000	oxygen	<100
NTT LSI Lab. Hoshikawa et al.* [7]	13000	8000- 18000	5000- 40000	non	300

* Grown by LE-VB(liquid encapsulated vertical Bridgman) method.

한편 LE-VB(liquid encapsulated vertical Bridgman) 법으로 성장한 NTT group의 결정을 보면 seed로 부터 tail 부분까지 EPD 약 $5,000 \sim 40,000 cm^{-2}$ 정도의 분포를 보이고 있어 VGF 법에 의한 것보다 비교적 큰 전위밀도를 가지고 있다. 이는 결정성장시 LE-VB 법이 VGF 법에 비해 다소 큰 열응력을 받은 것으로 생각된다.

VGF 법으로 결정성장을 하는 경우처럼 열응력을 크게 받지 않

는 조건하에서는 전위형성 mechanism이 point defect condensation의 형성에 좌우되어 결정성장이 진행됨에 따라 성장방향으로 전위 생성이 증가하게 된다. 8)9) 그리고 본 연구실에서 성장한 GaAs ingot이 tail 부분에서 EPD가 8,000개/cm로 AT & T group에 비해 다소 증가한 것은 아마도 비록 크지는 않지만 열응력에 의한 것이 아닌가 추정되는데 이는 온도구배가 $dT/dx \sim 10 \text{ }^\circ\text{C/cm}$ 인 결정성장 조건하에서는 Jordan 등이 제안한 열탄성적 해석 2)(thermoelastic analysis)으로 결정성장시 받게 되는 열응력을 산정해 볼때 대략 $\sigma_{tot} \sim 4 \times 10^7 \text{ dyn/cm}^2$ 로써 undoped GaAs의 $\sigma_{eff} \sim 3.2 \times 10^7 \text{ dyn/cm}^2$ 에 비해 거의 비슷한 값을 갖게 되어 열응력에 의한 전위생성을 완전히 배재할 수 없기 때문이다. 10) 결정성장의 후반부로 생각할 수 있는 $g \geq 0.76$ 부분에서의 실제 온도구배는 전반부에 비해 커지는 경향이 있다(그림 3-6 참조).

2. 전기적 성질

van der Pauw 방법을 이용한 Hall 효과 측정으로 비저항, 전자이동도, carrier 농도를 조사하였는데 시료는 경면처리된 (111)GaAs 웨이퍼를 $5 \text{ mm} \times 5 \text{ mm}$ 로 절단하여 네 모퉁이를 indium으로 ohmic 접점을 형성하고 $450 \text{ }^\circ\text{C}$ 에서 3분간 annealing하여 ohmic contact를 시켰다. 이때의 ohmic contact여부는 curve tracer로 확인하였고 keithley 300과 computer로 자동화시킨 Hall 측정기기를 사용하여 상온에서 전기적 성질을 조사하였다.

표 3-4. Electrical properties of GaAs Ingot.

KVG 90404

solidified fraction	resistivity ($\Omega \cdot \text{cm}$)	mobility ($\text{cm}^2/\text{V} \cdot \text{sec}$)	carrier conc. (cm^{-3})
0.04	3.4×10^{-2}	3680	5.0×10^{16}
0.08	3.2×10^{-2}	3910	5.0×10^{16}
0.20	3.5×10^{-2}	3570	5.0×10^{16}
0.41	3.6×10^{-2}	3190	5.5×10^{16}
0.56	1.1×10^{-2}	3790	1.4×10^{17}
0.76	4.2×10^{-3}	3220	4.6×10^{17}
0.83	2.2×10^{-3}	2940	9.5×10^{17}

표 3-5. GaAs : In 단결정의 전기적 성질

Wafer no.	Resistivity ($\Omega \cdot \text{cm}$)	Mobility ($\text{cm}^2/\text{V} \cdot \text{sec}$)	Carrier Concentration (cm^{-3})
5	2.1×10^{-2}	3500	8.2×10^{16}
15	2.4×10^{-2}	3700	7.1×10^{16}
25	2.1×10^{-2}	3300	8.8×10^{16}
35	2.4×10^{-2}	3200	8.2×10^{16}

표 3-4 은 KVG 90404 GaAs 단결정의 전기적 성질을 요약한 것이다. 성장된 단결정의 비저항은 seed 부분에서 tail 부분에 걸쳐 $3.2 \times 10^{-2} \sim 2.2 \times 10^{-3} \Omega \cdot cm$ 의 분포를 보이고 있고, 전자 이동도는 $3910 \sim 2940 cm^2/V \cdot sec$ 의 분포를 그리고 carrier 농도는 $5.0 \times 10^{16} \sim 9.5 \times 10^{17} cm^{-3}$ 까지의 분포를 보이고 있다. 이것은 고화율 $g \leq 0.41$ 범위 (seed 부분부터 약 41% 이내) 내에서는 본 연구실에서 HB 법으로 성장된 undoped GaAs 단결정의 전기적 성질이나 표 3-5의 indium doped GaAs 단결정의 전기적 성질¹⁰⁾과 유사한 것인데 비해 고화율 $g > 0.41$ (seed 부분부터 약 41% 이상) 영역에서는 carrier 농도가 급격하게 증가하는 경향을 보이고 있다. 이것을 그림 3-17에 g 값에 대한 carrier 농도분포로 나타내었다. 그림 3-17에서 보인바와 같이 seed 부분부터 $g \leq 0.41$ 까지는 거의 일정한 carrier 농도를 유지하고 있는 반면 $g \geq 0.41$ 부터 tail 부분까지는 급격히 증가하여 $g = 0.83$ 부근에서 carrier 농도가 약 $1 \times 10^{18} cm^{-3}$ 정도에 달하여 본 연구실에서 성장한 undoped HB GaAs의 그것에 비해 한차수 높은 값을 갖고 있음을 볼 수 있다. 한편 g 값에 따른 비저항과 전자이동도는 각각 그림 3-18, 19에 나타내었다.

이들 Hall data와 관련된 compensation ratio와의 관계를 그림 3-20에 보였다. 여기서 θ 는 $\theta = N_A^- / N_D^+$ 로 정의되는 compensation ratio이고¹¹⁾ 점선으로 표시된 것이 이론치이며 실험치는 *표로 나타내었다. (그 옆의 숫자는 고화율 g 값을 나타냄). 이때 N_A^- 와 N_D^+ 는 각각 ionized acceptor와 donor의

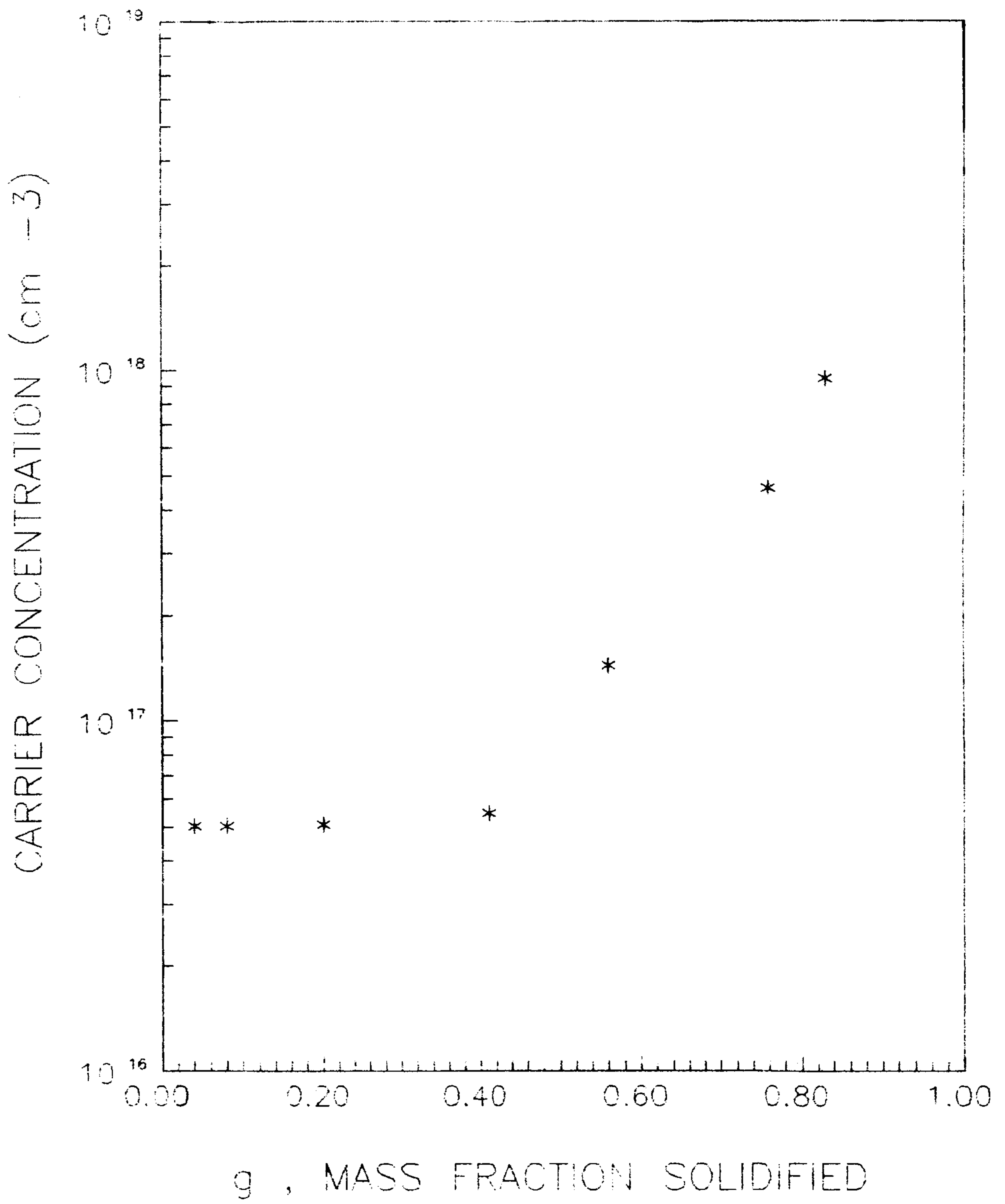


그림 3-17. g값에 따른 carrier 농도 분포

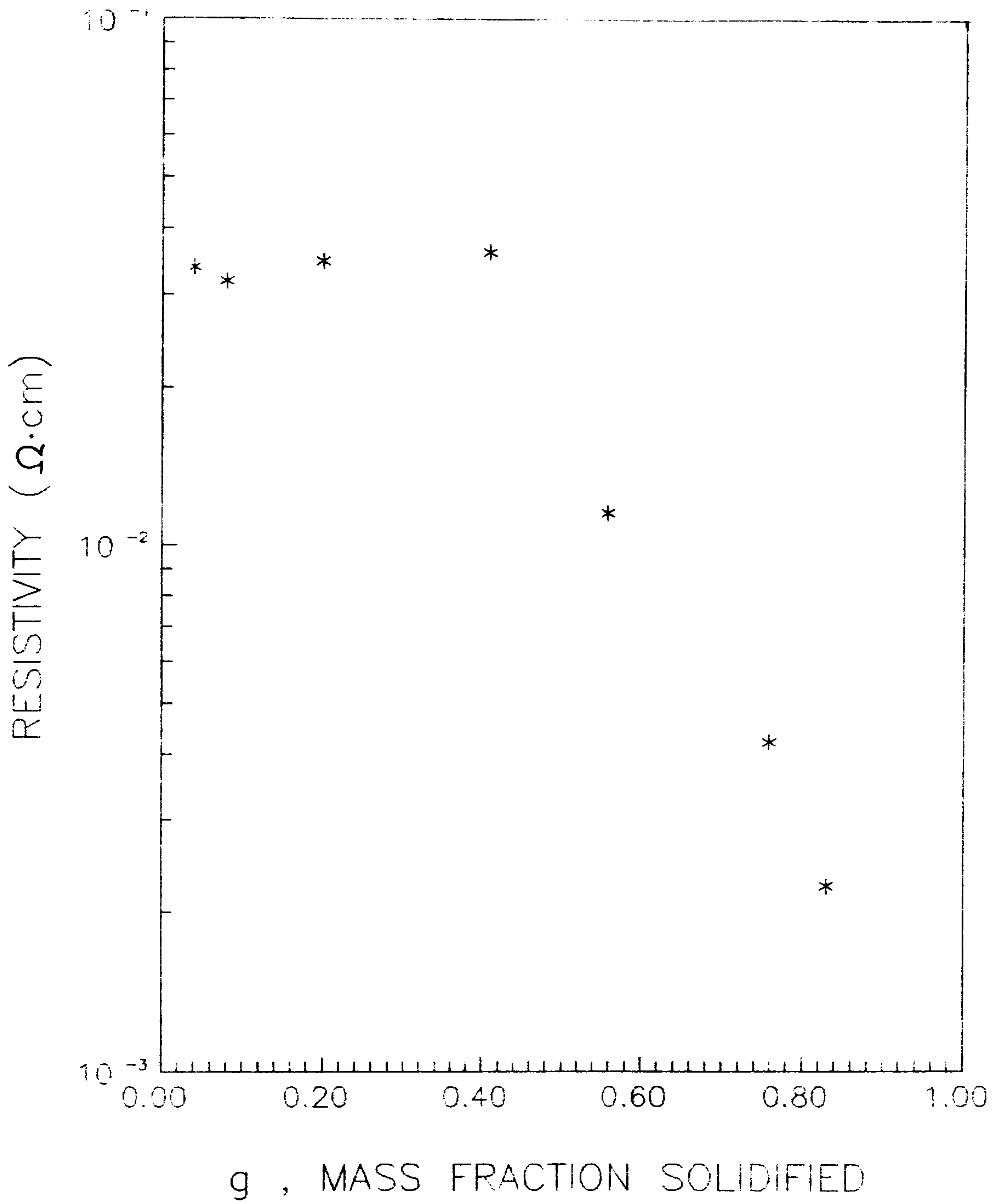


그림 3-18. g 값에 따른 비저항의 변화

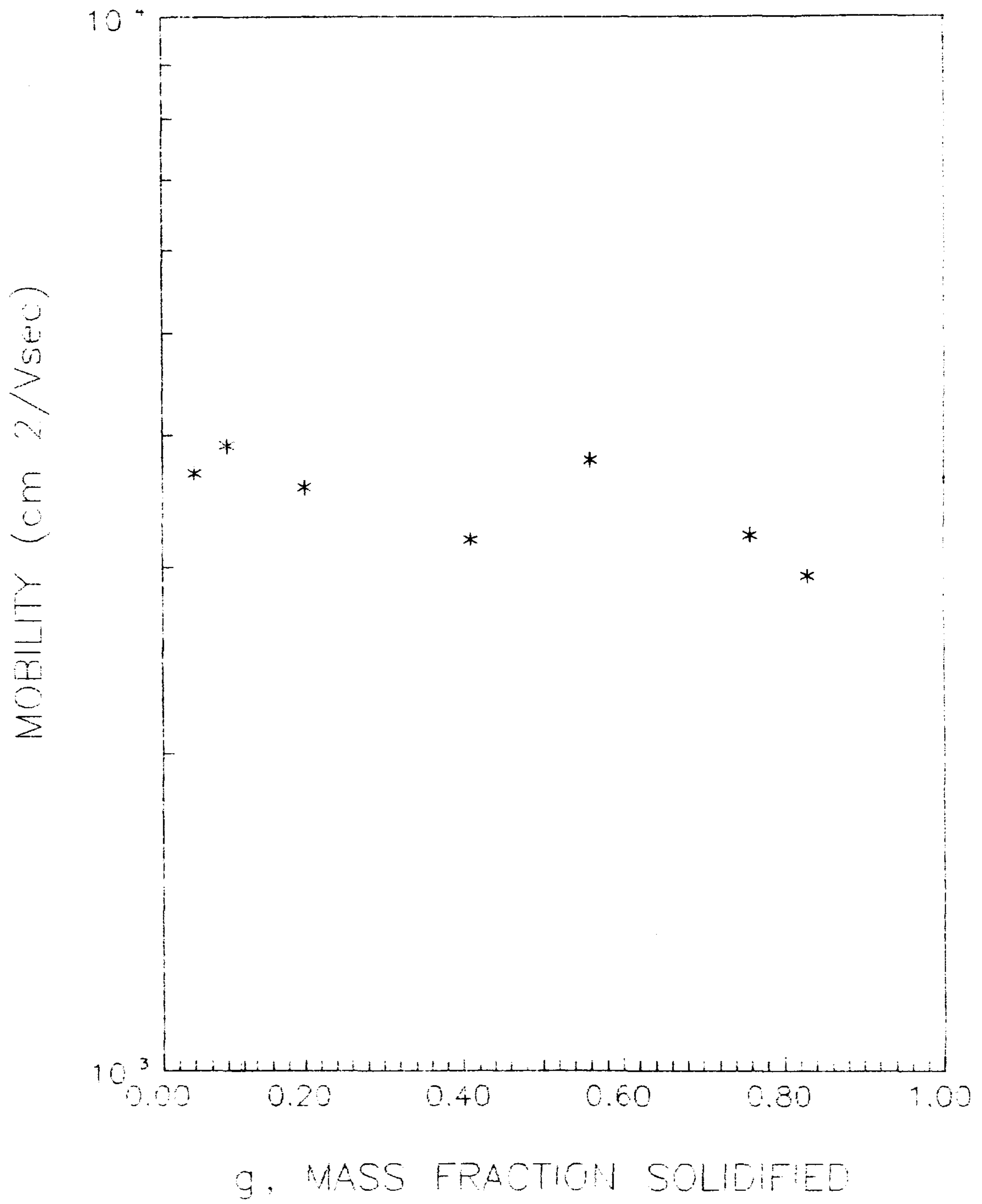


그림 3-19. g 값에 따른 전자이동도의 변화

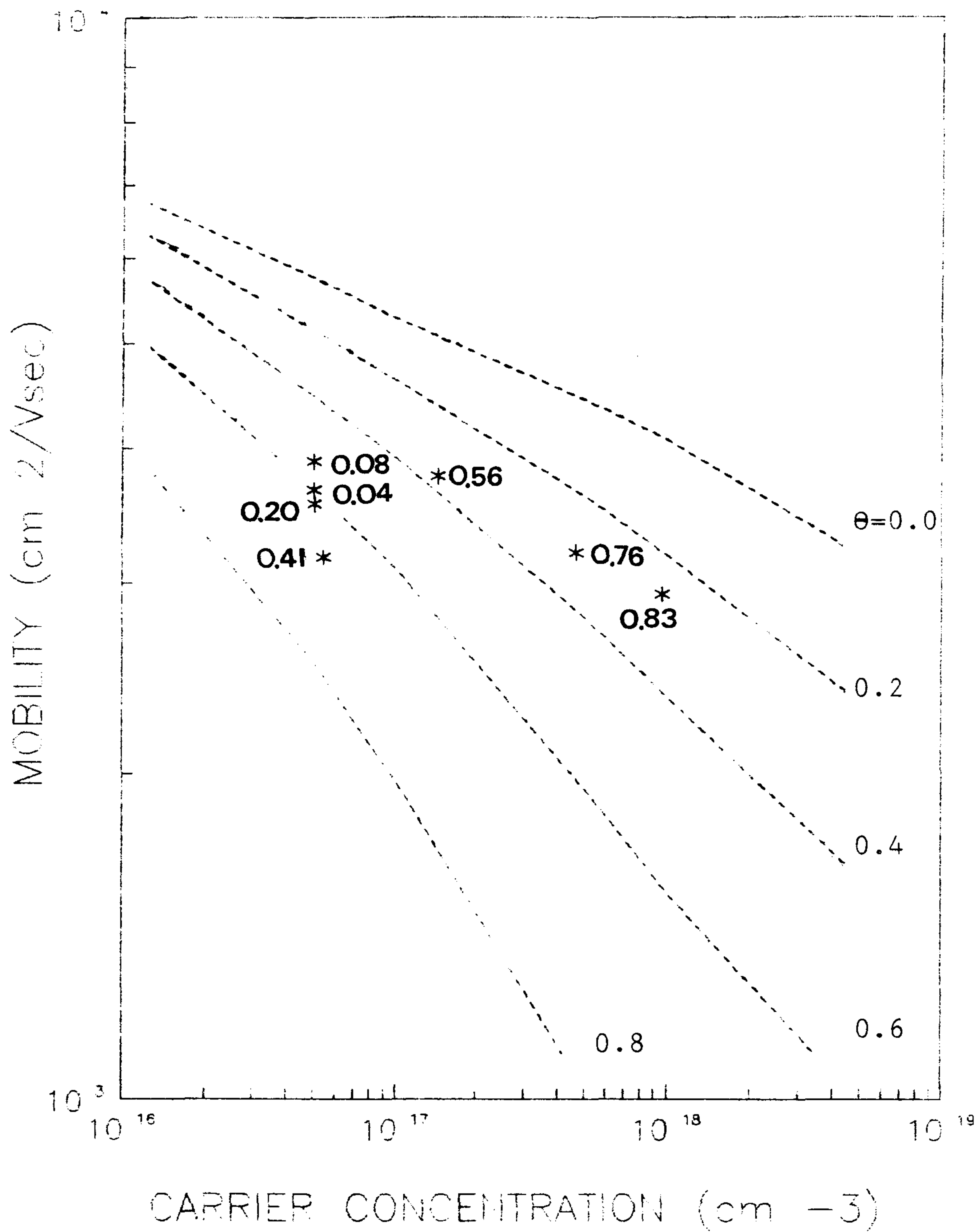


그림 3-20. carrier 농도와 mobility로 부터 구한 compensation ratio

농도이다. 본 연구실에서 성장시킨 KVG-90404 결정은 seed 부분에서부터 약 41%까지는 compensation ratio 값이 약 0.5~0.7 사이의 값을 갖고 있으며 결정의 41% 이상되는 부분에서는 그 값이 급격하게 감소하여 약 0.2~0.4의 값을 갖고 있다. 이것은 J.M. Parsey 등¹²⁾이 보고한 arsenic partial pressure에 따라 free carrier 농도가 변화하고 compensation ratio도 변화한다는 실험결과(그림 3-21 참조)에 비추어 arsenic의 partial pressure에 대한 효과일 가능성도 생각해 볼 수 있다. 즉 결정성장중 arsenic 부위의 온도가 일정하게 유지되다가 약 41% 정도의 melt가 고화된 다음부터 arsenic 부위의 온도 변화가 있었을 가능성이 있다는 것이다. 따라서 $g = 0.41$ 이상되는 부분부터 carrier 농도가 급격히 증가하고 compensation ratio 값이 떨어지는 등의 실험결과를 설명할 수도 있을 것이다. 그러나 만일 impurity 농도 변화에 따른 효과를 배제하고 arsenic partial pressure에만 관계된 효과라고 한다면 ionized된 donor 농도는 결정의 고화율에 따라 residual impurity의 분포곡선인 $C_s = C_0 k_E (1 - g)^{k_E - 1}$ 의 관계식을 만족해야 할 것이다. 그런데 여기서 $\theta = N_A^- / N_D^+$ 와 free carrier 농도 $n = N_D^+ - N_A^-$ 의 관계로부터 ionized donor 농도 N_D^+ 를 구해보면 그림 3-22와 같이 g 값에 따라 증가하게 되는데 이를 residual impurity 중에서 Si의 분포곡선과 비교해 볼때 ingot의 중간부분까지는 거의 일치되지만 tail 부분에서 벗어나 있음을 볼 수 있다. 이때 Si의 유효 분포계수는 $k_E = 0.1$ 이고 GaAs melt에

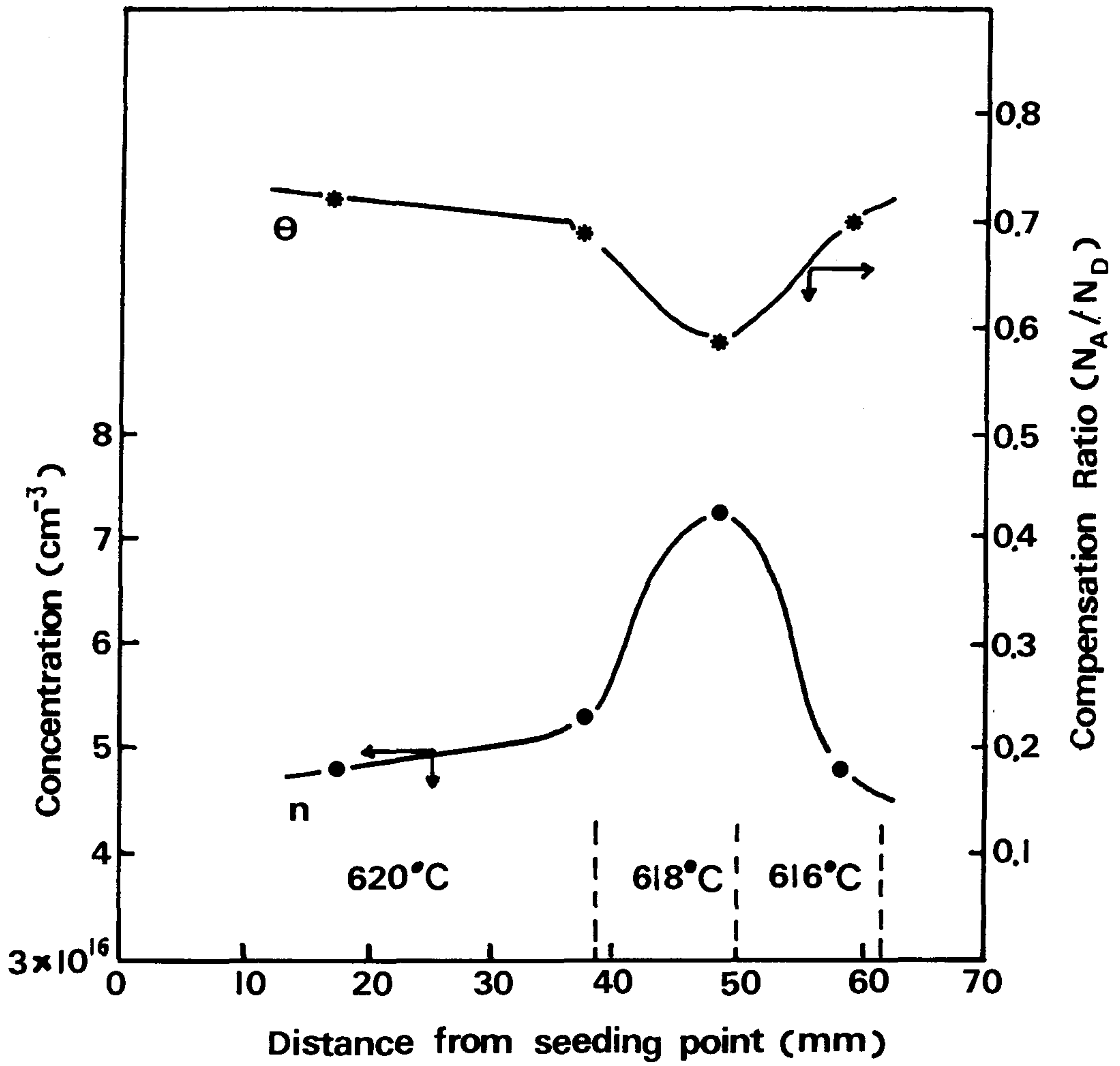


그림 3-21. Arsenic partial pressure 에 따른 carrier 농도와 compensation ratio 의 변화 [12]

서의 초기농도는 $C_0 = 1.15 \times 10^{18} \text{ cm}^{-3}$ 로 하였다 (점선으로 표시된 부분). 그림 3-22 에서 보는 바와 같이 분포곡선 보다 donor 농도가 더 증가한 것은 arsenic partial pressure 에 의한 영향일수도 donor impurity 농도변화에 의한 영향일수도 있으나 arsenic 부위의 온도 유지를 programmable controller로써 $625 \pm 0.1 \text{ }^\circ\text{C}$ 정도로 편차를 최소화 시킨 결정성장조건을 고려할때 arsenic partial pressure 에 의한 효과라기 보다는 donor impurity 농도변화에 따른 효과가 더 설득력이 있음을 알 수 있다.

결정성장시 아무런 impurity도 첨가하지 않은 KVG-90404 시료의 전기적 성질이 이와같은 unintentional donor impurity 에 의해 균일하지 않게된 것은 결정성장시 결정성장 전기로의 고온 부위에서 GaAs melt 가 담겨있는 석영 crucible 을 석영 반응관의 maximum working temperature ($1,280 \text{ }^\circ\text{C}$) 에 가까운 높은 온도하에서 장시간 유지시킴으로 인하여 silicon 이 GaAs melt 내로 유입되어 생긴 결과로써 이해된다.

3. Deep level

DLTS (deep level transient spectroscopy) 측정장치는 HP 226 microcomputer 를 이용하여 측정장치의 제어 및 신호 분석을 하였으며, 장치의 구성은 1MHz capacitancemeter (HP4280) 와 pulse generator(HP8011A), 그리고 sample 의 온도를 80 K 에서 450 K 까지 변화시킬 수 있는 cryostat로 이루어져 있다. DLTS 측정은 80 K 에서 450 K 의 온도범위에서 -3V

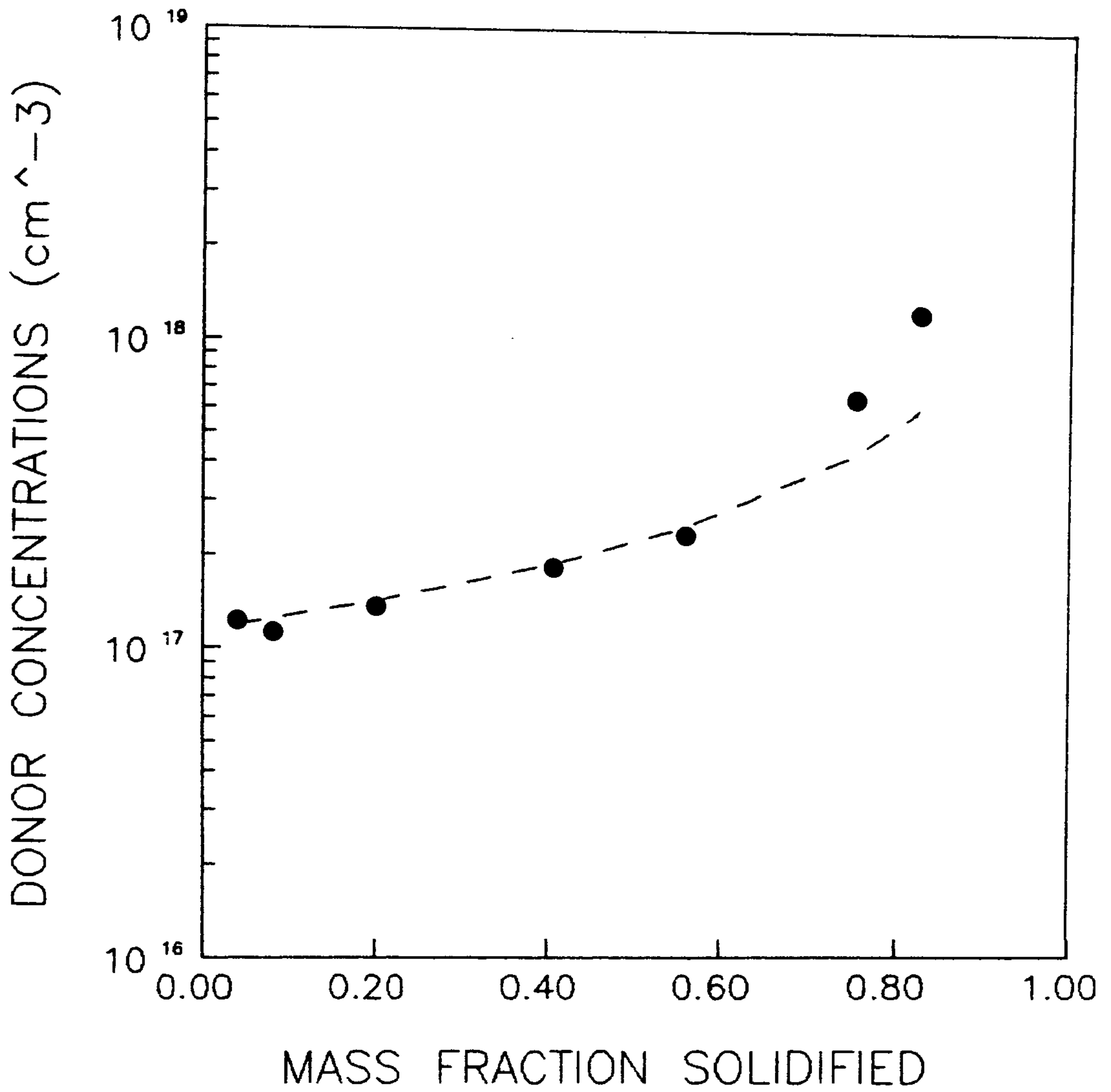


그림 3-22. g값에 따른 ionized donor 농도의 변화

의 reverse bias voltage를 유지하고 filling pulse 폭과 크기는 각각 1msec와 3V로 하였다. bias pulse 후 capacitance transient의 reading time duration은 10msec로서 16번 읽도록 하였다. 일단 computer로 읽은 값은 적절한 t_1 과 t_2 의 선택에 따른 rate window의 변화와 함께 DLTS 신호로서 분석할 수 있게 하였다.

그림 3-23은 이와같이 하여 얻은 VGF GaAs 단결정의 DLTS 스펙트럼 모습이다. 고화율 $g \leq 0.56$ 영역에서는 본 연구실에서 성장된 HB undoped GaAs의 스펙트럼과 유사한 것으로 주된 깊은 준위가 EL2 ($E_c \sim 0.81 \text{ eV}$) trap인것을 볼수 있다. 그러나 $g = 0.76$ 과 $g = 0.83$ 에서는 EL2 준위가 감소하여 상대적으로 EL6 ($E_c \sim 0.35 \text{ eV}$) 준위보다 낮아진 것을 볼 수 있는데 이를 고화율 g 값에 따른 trap 농도로 그림 3-24에 나타내었다. EL2 준위 농도는 $g \leq 0.56$ 영역에서 $3 \sim 4 \times 10^{15} \text{ cm}^{-3}$ 로써 일반적인 LEC GaAs의 EL2 준위 농도 ($\geq 1 \times 10^{16} \text{ cm}^{-3}$)에 비해 비교적 낮은 값을 갖으며 HB GaAs의 그것과는 거의 같은 값을 갖는다. 그리고 $g > 0.56$ 영역에서는 EL2 준위의 농도가 $\sim 6 \times 10^{15} \text{ cm}^{-3}$ 이하로 급격히 감소하였다. 이와는 대조적으로 EL6 준위 농도는 g 값의 증가에 따라 $4 \sim 5 \times 10^{14} \text{ cm}^{-3}$ 에서 $\sim 1.5 \times 10^{15} \text{ cm}^{-3}$ 로 증가하는 모습을 보이고 있는데 이는 Au schottky diode에 의한 C-V 측정결과 얻은 donor 농도의 증가 추세와 같은 경향임을 볼수 있다. 이들 trap 농도의 변화양상은 EL2 준위와 EL6 준위간에 상호 연관성이 있음을 나타내 준다.

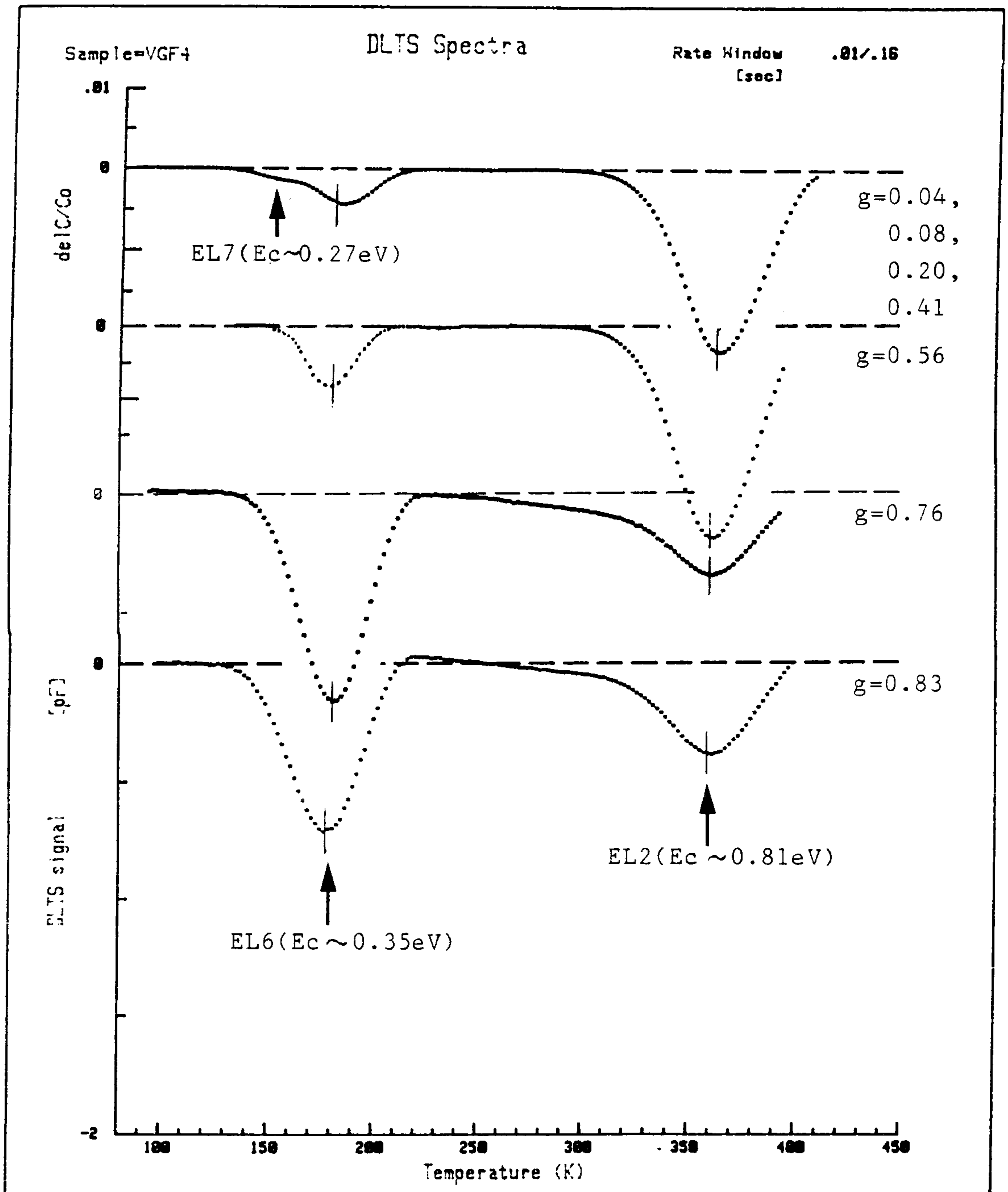


그림 3-23. KVG 90404 의 DLTS 스펙트럼

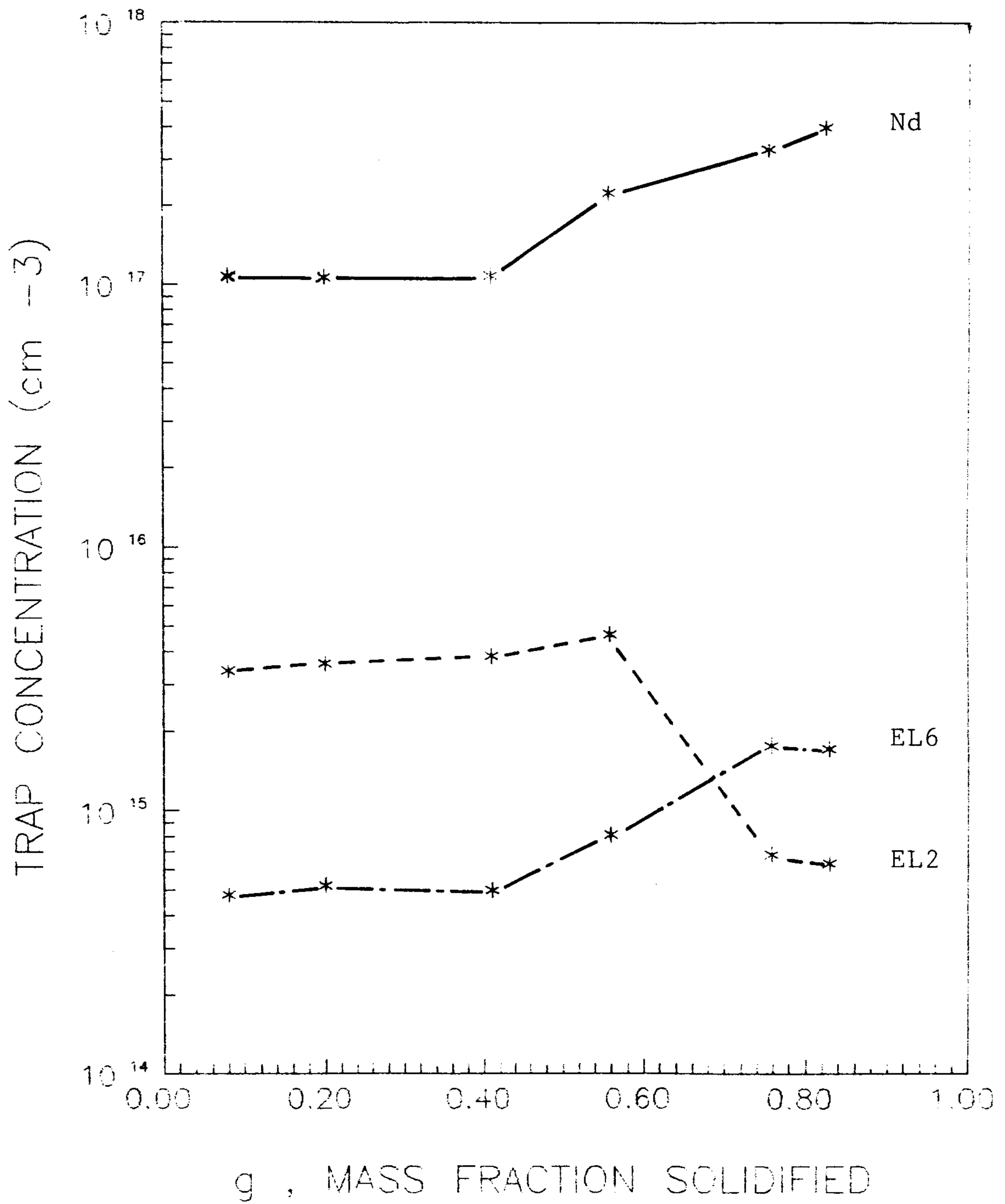


그림 3-24. g 값에 따른 깊은준위 농도의 변화

먼저 bulk GaAs 단결정 성장시 EL2 준위형성과정에 있어서 중요한 요소는 stoichiometry와 thermal environment이다.⁹⁾ stoichiometry의 경우 As/Ga의 ratio가 클수록 EL2 준위 농도는 증가하고 Ga-rich 분위기에서 성장된 GaAs 단결정에서는 나타나지 않으며 near stoichiometric 분위기에서는 EL2 준위 농도가 일정한 값을 갖게 된다. 따라서 그림 3-24에서 보는 바와 같이 EL2 준위 농도가 g값에 따라 일정하지 않고 급격히 감소한 원인이 결정성장시 As-rich 분위기가 변한 때문이라고 생각할 수 있다. 그러나 결정성장시 programmable temperature controller를 이용하여 arsenic 부위의 온도를 $625\text{ }^{\circ}\text{C} \pm 0.1\text{ }^{\circ}\text{C}$ 로 정확히 유지한 것을 고려하면 stoichiometry의 변화에 의한 효과로 설명하기에는 합당하지 않으며 더구나 starting material로 미리 합성된 고순도의 poly GaAs를 장입한 후 ampoule 내를 1기압으로 유지시켜 주기위한 추가적인 arsenic을 사용하였기 때문에 arsenic partial pressure에 따른 EL2 준위 농도 감소효과는 거의 무시해도 좋을 것이다. Thermal environment의 경우 VGF GaAs 단결정에서의 EL2 준위 농도가 일반적인 LEC 결정성장법에서의 그것보다 낮은 이유가 바로 이 thermal environment의 영향으로서 여기에는 결정성장시의 온도구배와 결정성장후의 cooling process가 중요한 요소가 된다. 본 연구실의 VGF 결정성장 장치는 온도구배가 비교적 큰 ($dT/dx \sim 20 \sim 150\text{ }^{\circ}\text{C}/\text{cm}$) LEC 성장법과는 달리 낮은 온도구배 ($dT/dx \sim 10\text{ }^{\circ}\text{C}/\text{cm}$) 하에서 결정성장이 진행되므로 LEC 성장법에서 쉽게 찾

아 볼수 있는 symmetric pattern의 EL2 준위 농도 분포는 나타나지 않는다. 이는 낮은 열응력하에서의 VGF 법에 의한 결정성장시 열응력에 따른 전위 밀도분포와 그와 관련된 EL2 준위 농도 분포와의 관련성을 추정케 하는 LEC 법과는 양상이 다른 것이며 다만 낮은 열응력 (결정 성장시 낮은 온도구배)에 의한 결정성장조건이 낮은 전위밀도를 갖게 할 뿐만 아니라 비교적 낮은 EL2 준위 농도를 형성할 수 있는 것이다 (그림 3-14, 그림 3-24 참조). 한편 결정성장후의 cooling process와 관련된 defect interaction을 통해 EL2 준위 형성에 있어서 중요한 As antisite defect의 형성과정을 보면 다음과 같이 나타낼 수 있다. 13)



여기서 AS_{As}^x 은 As 자리에 있는 neutral As을 말하고 V_{Ga}^- 은 ionized Ga vacancy이며 AS_{Ga}^{++} 는 ionized antisite defect이다. 그리고 V_{As}^+ 은 ionized As vacancy이다. 반응식 3-1에 대한 mass action은

$$K = \frac{[AS_{Ga}^{++}] [V_{As}^+] [n]^4}{[V_{Ga}^-]} \dots\dots\dots 3-2$$

로 표현되는데 여기서 $[n]$ 은 free-electron concentration이다. 그리고 ionized antisite defect $[AS_{Ga}^{++}]$ 은 3-2 식으로 부터

$$[As_{Ga}^{++}] = K \frac{[V_{Ga}^-]}{[V_{As}^+]} [n]^{-4} \dots\dots\dots 3-3$$

이 된다. 결국 As antisite defect를 포함하는 EL2 준위농도는 $[V_{Ga}^-]/[V_{As}^+]$ 의 비에 따라 달라질 것이며 free-electron concentration에 따라서도 변화될 것이 예상된다. 그런데 uncompensated shallow donor N_D^* ($N_D^* = N_D^+ - N_A^-$)와 free electron concentration n 은

$$n = N_D^*/2 + [N_D^{*2}/4 + n_i^2]^{1/2} \dots\dots\dots 3-4$$

로 주어지므로 3-3 식과 3-4 식으로 부터 N_D^* 에 따른 $[As_{Ga}^{++}]$ 의 변화를 알 수 있게 된다. 여기서 n_i 는 intrinsic carrier concentration으로 $n_i = 8 \times 10^{16} cm^{-3}$ 일 경우 Lagowski 등의 계산 결과를 비교해 보면 13) $N_D^* \sim 10^{17} cm^{-3}$ 에서 EL2 준위농도가 급격하게 감소하게 되는데 이것은 그림 3-24의 EL2 준위 농도가 급격히 감소한 $g > 0.56$ 영역에서의 carrier concentration이 $1.4 \times 10^{17} cm^{-3}$ 인 본 연구실의 실험결과와 일치하는 것이다. 한편 $n_i = 8 \times 10^{16} cm^{-3}$ 의 값은 온도 1025 K 일때의 GaAs intrinsic carrier concentration에 대응되는 것으로 14) EL2 준위와 밀접한 관련이 되는 As antisite defect $[As_{Ga}^{++}]$ 의 형성과정이 Ga-As 용융점 (1,238 °C) 보다 낮은 약 780 °C 부근에서 일어난다는 것을 말해준다. 이같은 실험결과로 부터 EL2 준위는 shallow donor들에 의해 annihilation 되는 것으로 판단되며 결정성장시 반응용기로써 석영 crucible을 사용한 점을 고려하면 이들

shallow donor 들은 silicon 이 GaAs 로 유입되어 형성된 것으로 생각된다.

EL2 준위 농도 변화에 대한 EL6 준위 농도변화의 실험결과 (그림 3-24 참조)로 부터 EL2 준위와 EL6 준위는 어떤 직접적인 상관관계를 유지하고 있는 것을 알수 있는데 특히 EL6준위의 경우 shallow donor 에 의해 annihilation 되는 EL2준위와는 상반되는 현상을 보이고 있다. 즉 antisite defect인 AS_{Ga} 의 감소가 EL6준위 형성을 촉진시킨 것으로 보아 이 역시 AS_{Ga} 과 밀접한 관련이 있는 것으로 생각된다.

EL6 trap 은 EL2 trap 과 마찬가지로 atomic model이 아직 밝혀져 있지 않은바 계속적인 연구가 진행되어야 할 것이다.

4. PL (photoluminescence) 측정

PL 측정을 위한 시료는 그림 3-13 과 같이 polishing 된 웨이퍼를 고화율 g 값에 따라 $g = 0.08, 0.41, 0.56, 0.76$ 인 4개의 시료를 적당한 크기로 잘라 ($4 \times 4 \text{ mm}^2$ 이하) 준비하였다.

그림 3-25 은 PL 측정장치의 개략도이다. 준비된 시료는 cryogenic system (Air product, Displex(SA-202))의 sample holder 에 cryocon grease 로 부착하였고 광원으로는 파장 6328\AA 의 He-Ne laser 를 사용하였다. 그림 3-25 과 같이 laser 광을 lens 로 집속하여 시료를 여기 시키고 시료에서 나오는 luminescent emission spectrum 을 시료에서 반사되는 laser 광을 피하여 lens 로 집속하였다. 집속된 광은 0.75m Spex sin-

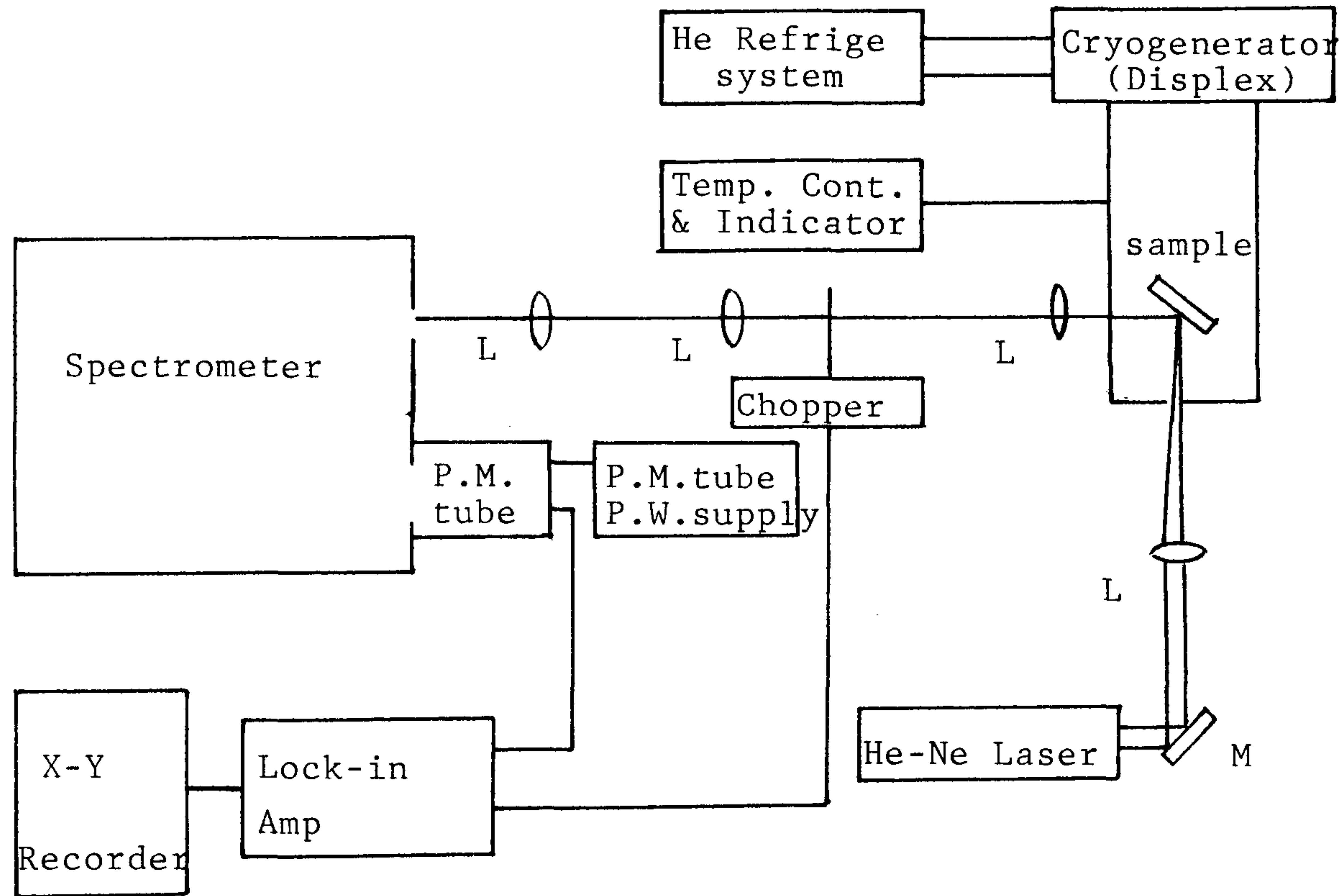


그림 3-25. PL 측정장치의 개략도

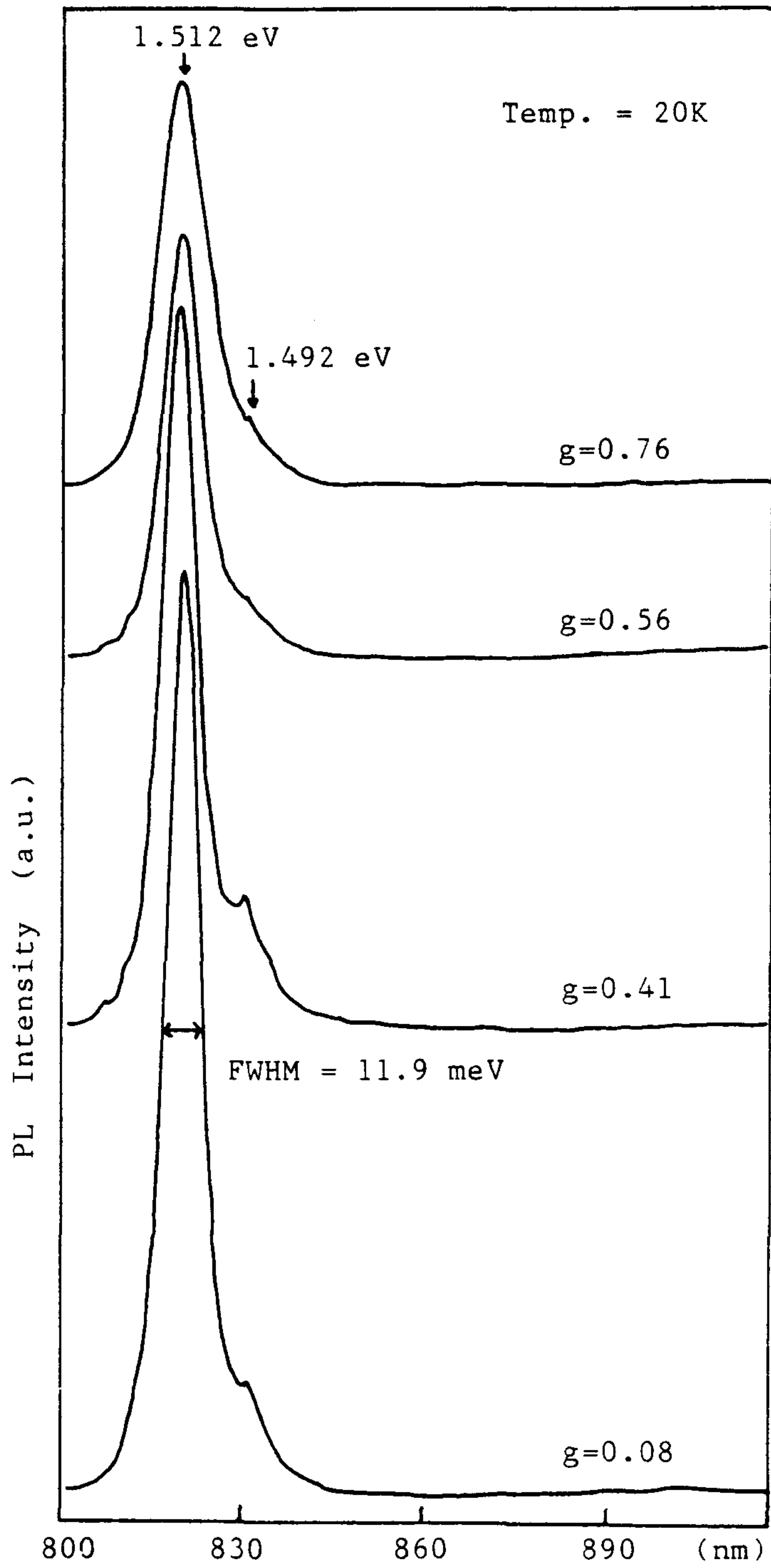


그림 3-26. g 값에 따른 PL 스펙트럼

gle grating monochromator 에서 분광하고 S-1 photomultiplier(RCA 7102) 로 검출하여 Lock-in Amp 로 증폭한후 X-Y Recorder 로 기록하였다. PL 측정은 20 K 온도에서 실시하였다. 이와 같이하여 얻은 PL 스펙트럼이 g 값에 따라 그림 3-26에 표시되었다. 스펙트럼상에 나타난 peak 는 undoped GaAs 의 전형적인 PL 스펙트럼으로써 1.512 eV 의 강한 emission peak 와 1.492 eV 의 미약한 peak 가 나타났다. 1.512 eV 의 강한 emission peak 는 bound exciton 에 의한 것이며 1.492 eV 의 peak 는 결정성 장시 잔유불순물인 carbon 이 GaAs melt 로 유입되어 생긴 shallow acceptor, C_{As} 에 기인된 것으로 여겨진다. 15)

한편 bound exciton 에 의한 1.512 eV peak 만을 고려할때 g 값이 증가함에 따라 FWHM(full width at half maximum) 이 점차 증가하는 것을 볼수 있는데, 그림 3-27에 g 값에 따른 line width 의 변화를 나타내었다. g 값이 커짐에 따라 상온에서의 Hall 효과 측정으로부터 구한 carrier 농도가 증가한 것을 고려하면 (그림 3-17 참조) 20 K 에서 1.512 eV emission linewidth 는 carrier 농도가 증가함에 따라 커지는 것을 알 수 있다. J. I Pankove 16) 등에 의하면 emission line width 는 carrier 농도의 증가에 따라 커진다고 하였는데 이는 본 실험결과와 잘 일치하고 있다. 즉 emission line width 가 $g = 0.08$ 과 0.41 에서 11.9 meV 로 일정하다가 g 값이 0.56 과 0.76 에서는 14.1 meV 와 17.3 meV 로 각각 증가한 것은 g 값에 따라 증가하는 carrier 농도 (그림 3-17 참조) 의 변화 양상과 대응된다. carrier 농도의

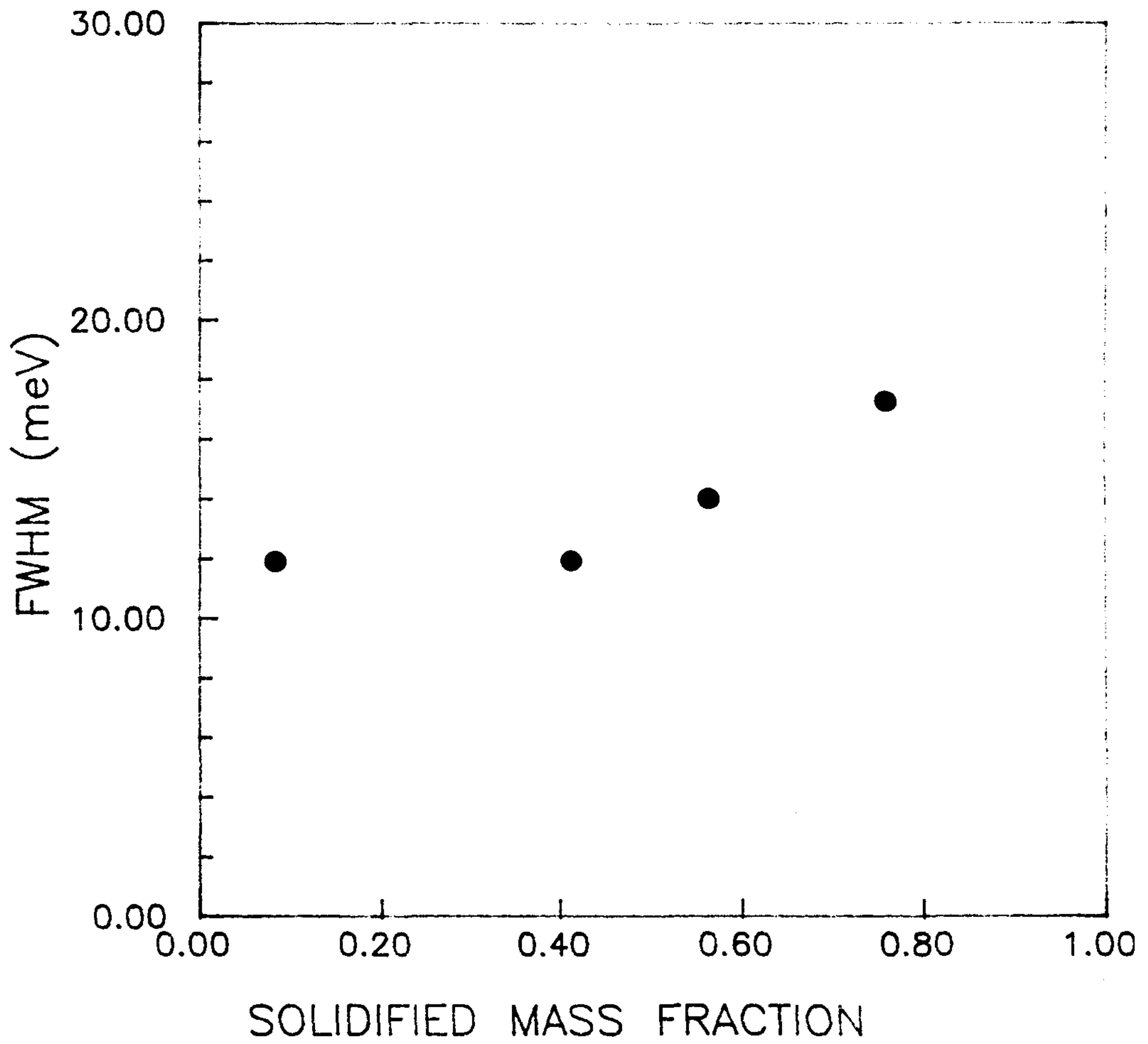


그림 3-27. g 값에 따른 emission linewidth의 변화

증가에 따라 emission line width가 커지는 것은 impurity 농도가 증가함에 따라 donor band가 broad 해져서 나타나는 결과로 생각된다.

또한 stoichiometry의 변화에 따른 C.M.H.Driscoll의 PL 측정 결과를 17) 고려해 볼때 본 연구실에서 성장한 VGF Ga-As는 atomic weight %가 약 52 정도의 arsenic rich 분위기에서 성장된 것임을 예측할 수 있다.

제 4 장 Bulk GaAs 의 물성연구

제 1 절 무전위 GaAs:In 의 급속열처리효과

화합물 반도체인 GaAs는 결정의 전위결함이 Si에 비해 아주 높아, 10^2 cm^{-2} 이하의 낮은 전위밀도가 요구되는 집적소자의 응용은 활발하지 못한 실정이다. 따라서 저결함 GaAs 단결정 성장 기술에 대한 연구가 최근 급속하게 진행되고 있다. 현재 bulk-GaAs 단결정성장은 주로 HB (horizontal Bridgman) 방법과 LEC (Liquid Encapsulated Czochralski) 방법을 이용하는데, LEC 법으로 성장된 GaAs의 경우는 전위 밀도 (dislocation density)가 $10^4 \sim 10^5 \text{ cm}^{-2}$ 이상으로 상당히 높은 편이나, HB법으로 성장된 것은 $10^3 \sim 10^4 \text{ cm}^{-2}$ 이하로 비교적 낮다. 한편, GaAs의 전위결함은 불순물의 첨가에 의해 억제될 수 있으며, 일례로 GaAs에 Si 이나 isoelectronic dopant인 In 을 첨가하여 10 cm^{-2} 이하로 전위밀도를 줄일 수 있다는 것이 많이 보고되어 있다.¹⁾

반도체 재료내의 깊은 준위는 반도체 소자의 전기적 성질에 상당한 영향을 미치므로 이들에 대한 연구는 많은 연구자들의 관심의 대상이 되어왔다.²⁻⁴⁾ 그러나 In 이 첨가된 GaAs의 경우 In 이 깊은 준위에 미치는 영향에 대해서는 아직도 연구가 미진한 상태이며 특히 HB법으로 성장된 시료의 경우에는 더욱 그러하다. 이러한 관점에서 In 이 $2 \times 10^{19} \text{ cm}^{-3}$ 이상 첨가되면 전위밀도

가 10cm^{-2} 이하로 되어 무전위 단결정을 얻을 수 있는데 ⁵⁾ 최근 이러한 무전위 결정 내에 존재하는 깊은 준위의 연구는 흥미의 대상이 되고 있다. ⁶⁻⁷⁾ 따라서 본 연구에서는 GaAs : In 내에 존재하는 깊은 준위를 DLTS(deep level transient spectroscopy) 방법으로 조사하여 undoped GaAs의 경우와 비교하여 보았다. 그리고 GaAs : In의 열처리에 따른 깊은 준위의 거동을 조사하였으며, 이 결과를 EL2 준위의 원자구조적 모형으로 논의하였다.

그림 4-1은 n형 HB-GaAs:In 시료에 대한 전형적인 DLTS 신호모습으로 이 시료의 In 농도는 $2.3 \times 10^{19}\text{cm}^{-3}$ 이다. 이 그림에서 실선으로 표시된 신호는 HB 법으로 성장된 undoped GaAs 시료에 대한 DLTS 신호 모습인데, 전형적인 깊은 준위들인 EL2 ($E_c - 0.81\text{eV}$), EL3 ($E_c - 0.53\text{eV}$)와 EL6 ($E_c - 0.35\text{eV}$) 준위를 볼 수 있다. 이때 비율창문은 18.48sec^{-1} 으로 고정되었으므로 같은 온도에서 최대 신호가 나타난 것으로 생각할 수 있다. 그러므로 In이 첨가된 시료에서 나타난 신호들은 undoped GaAs와 비교하면 EL2와 EL6 준위에 해당함을 알 수 있고, 다만 이들의 신호크기는 약 1/5로 감소되었음을 볼 수 있다. 그러나 EL3준위 위치의 신호크기는 아주 미약하여 이 연구에서는 주로 HB-GaAs : In 시료내의 주된 전자덫인 EL2와 EL6 준위를 연구의 대상으로 하였다. 한편, LEC 법으로 성장시킨 GaAs:In의 경우에 나타나는 깊은준위의 연구결과에서는 EL2, EL3, EL5($E_c - 0.43\text{eV}$)와 EL6 준위가 주된 전자덫으로 관측됨이 보고된 바 있다. ⁶⁾

그림 4-2는 GaAs:In 시료의 열처리 ⁸⁾ 온도에 따른 깊은 준

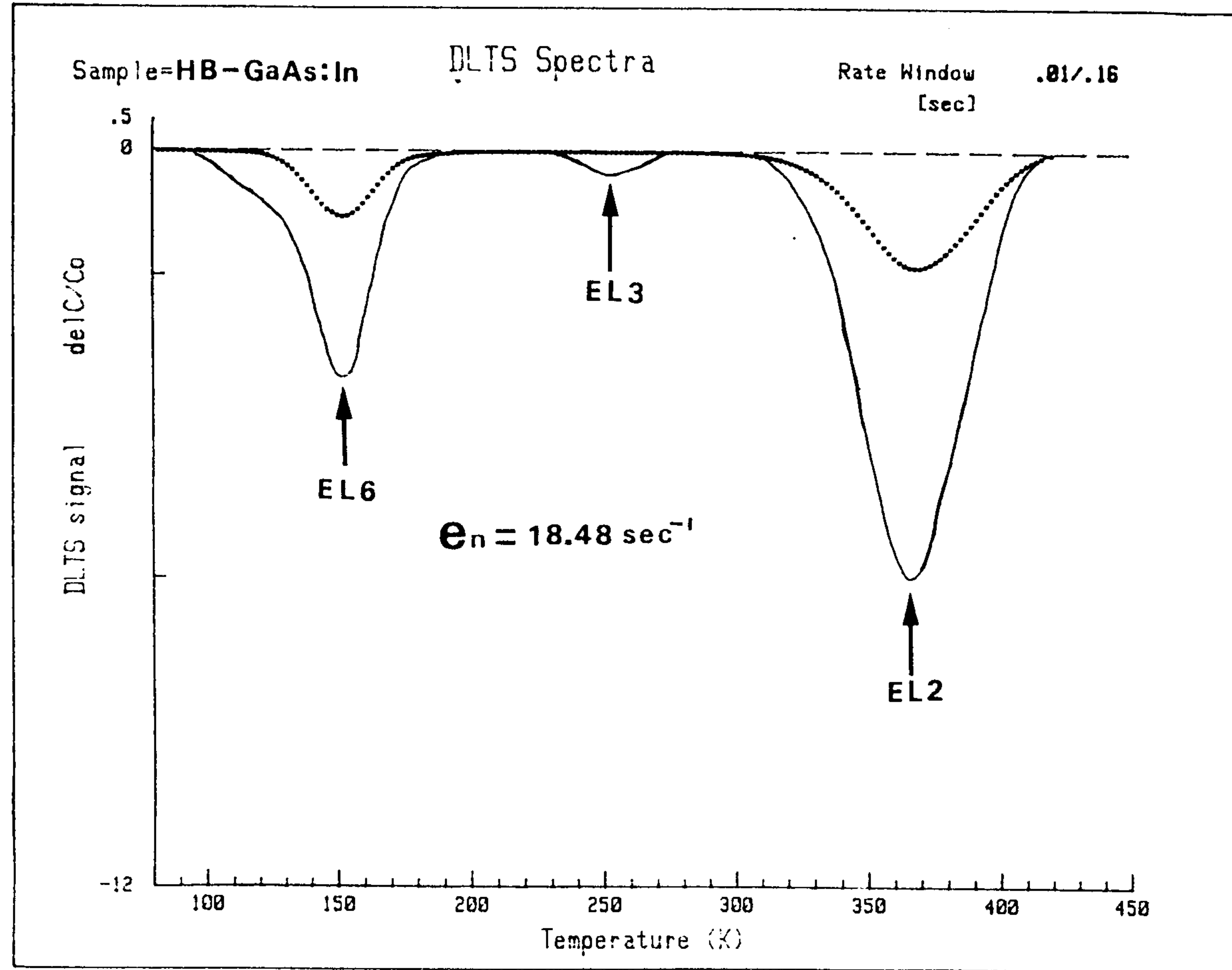


그림 4-1. n형 HB-GaAs:In의 전형적인 DLTS 신호모습
 여기서 실선은 비교를 위해 undoped HB-GaAs
 에서 얻은 결과를 나타내었다.

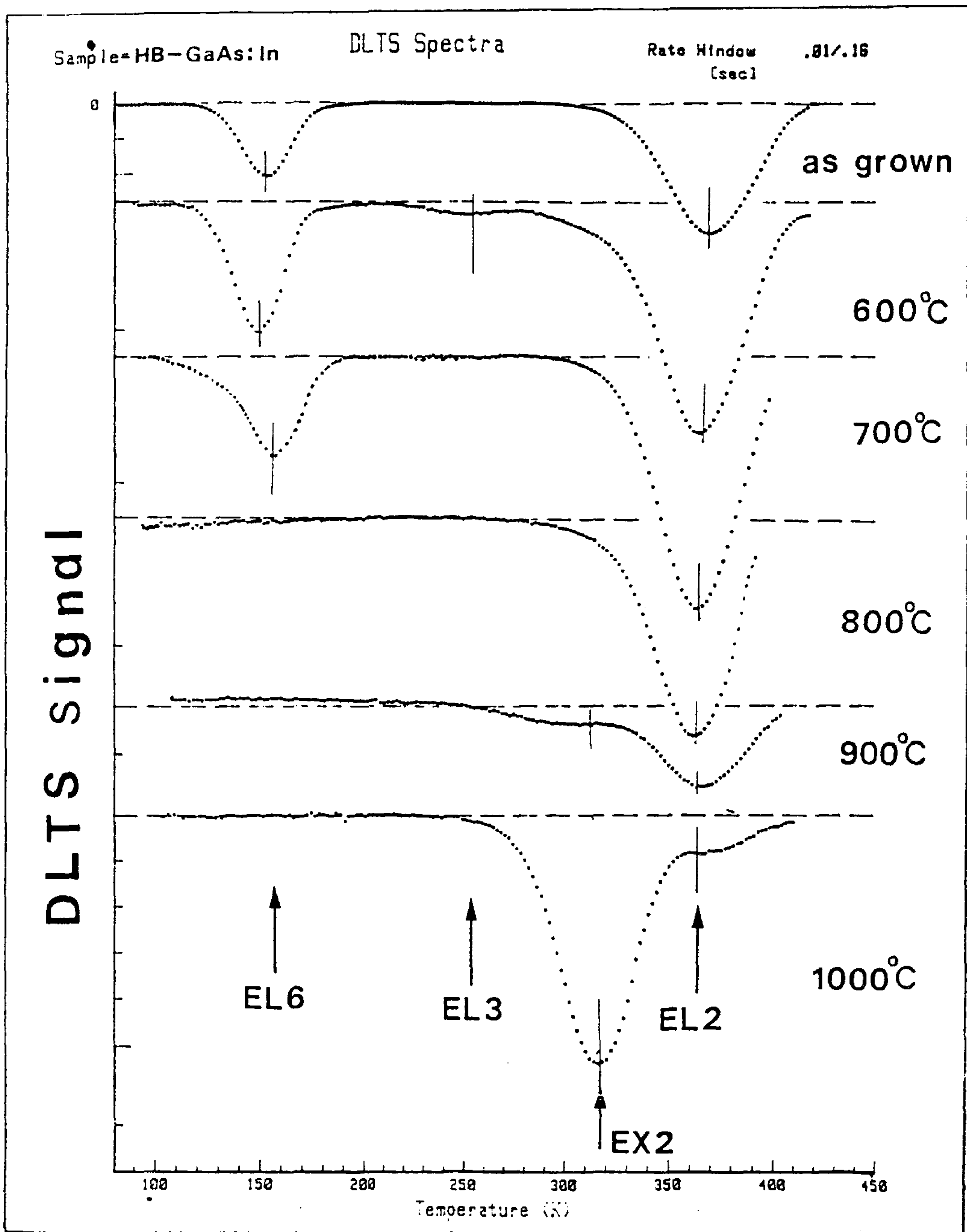


그림 4-2. 열처리온도에 따른 DLTS 신호모습들 이때 열처리 시간은 10 초로 고정하였다.

위의 거동을 조사한 DLTS 신호모습이다. 이 때 열처리 시간은 10 초로 고정하였고 그의 시료준비 과정은 동일한 조건하에서 수행하였다. 이 그림에서 EL2 준위는 900 °C 이상에서 급격한 감소를 나타내며 새로운 준위가 형성됨을 볼 수 있는데 이 준위는 이미 보고된 문헌에 의하면⁹⁻¹²⁾ EL2 group 중의 하나인 EX2($E_c - 0.73\text{eV}$) 준위임을 알 수 있었다. 한편 EL6 준위의 농도는 800 °C 이상에서는 거의 관측하기 힘들 정도로 감소되었음을 볼 수 있다.

위의 열처리 온도변화에서 나타난 EL2 준위 농도의 변화 모습으로부터 800 °C 부근의 농도 변화 현상을 상세히 고찰하기 위해 열처리 온도를 750 °C, 850 °C 그리고 950 °C로 고정시킨 후 열처리 시간을 10 초 부터 50 초까지 변화시켜 열처리한 시료들에서 측정된 EL2 준위의 농도 변화 모습은 그림 4-3 과 같다. 750 °C의 경우 EL2 준위의 농도는 40 초까지는 거의 변화가 없다가 50 초에서는 약간 증가된 반면, 850 °C에서 열처리하였을 때 30 초까지는 EL2 준위의 농도가 증가하다가 열처리 시간이 길어짐에 따라 감소하였다. 그러나 950 °C에서는 열처리 시간이 증가함에 따라 급격하게 감소하는 경향을 나타내었다. 그런데 undoped HB-GaAs 시료의 경우 850 °C에서 15 초간 열처리하였을 때 EL2 준위의 농도는 급격하게 감소됨이 보고되었다.¹²⁾ 이 현상과 비교하면 In이 첨가된 시료의 경우 In의 영향으로 깊은 준위의 행동에 변화가 있음을 알 수 있다. 즉 GaAs에 In을 첨가하면, 850 °C 30 초 이하의 열처리는 오히려 EL2 준위를 형성시키며 30 초 이상의 열처리에 의

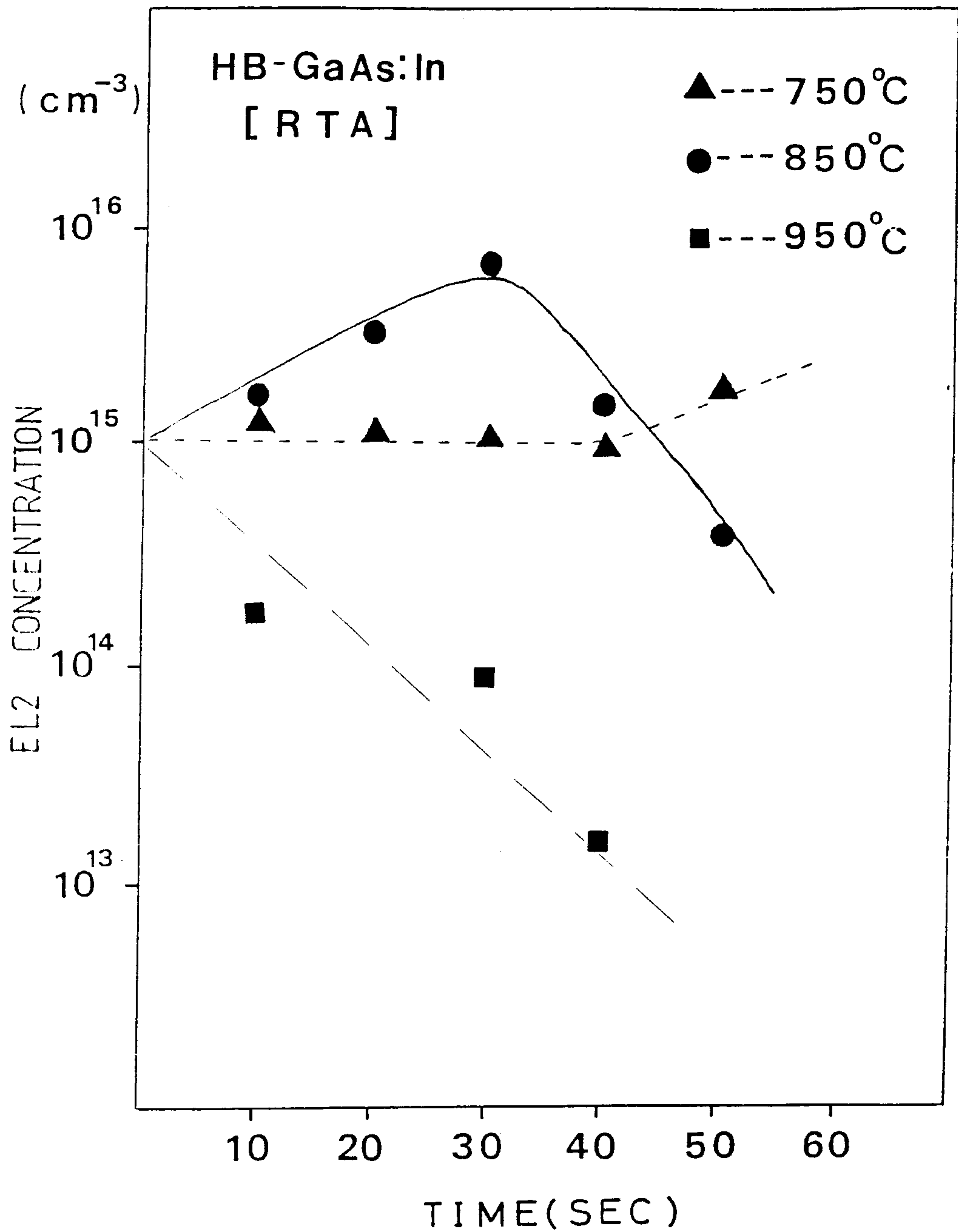


그림 4-3. 고정된 열처리온도 (750 °C, 850 °C, 950 °C) 에서 열처리시간에 따른 EL2 준위의 농도변화

해 undoped 시료에서와 같은 농도감소 효과를 보였다. 따라서 EL2 준위의 농도증가와 감소부분을 나누어 논의해 보고자 한다. 우선, 농도감소부분을 undoped 시료에 대해 연구보고된 결과와 같이 EL2의 outdiffusion으로 고려하였는데, 이때 나타난 확산계수는 약 $6 \times 10^{-9} \text{cm}^2/\text{s}$ 로서 undoped 시료에서 얻은 $1.02 \times 10^{-8} \text{cm}^2/\text{s}$ 보다 약 2배 작은 값이었다. 물론 이 경우는 측정 data 수가 작기 때문에 계산상오차는 상당히 클 수 있다. 같은 방법으로 EL2 농도증가부분에서 얻은 결과는 $2 \times 10^{-12} \text{cm}^2/\text{s}$ 로 나타났다.

한편, In이 첨가된 GaAs의 열처리에 따른 In 원자의 outdiffusion 현상을 연구한 보고에 따르면 전기로에서 700°C 로 30분 동안 열처리한 후에 In 원자의 대부분이 시료의 표면쪽으로 이동된다고 보고하였다.¹³⁾ 따라서 본 연구에서 나타난 EL2 준위의 농도변화 모습은 In 원자의 이동과 관련이 있을 것으로 기대된다. 일반적으로 GaAs에서 In 원자는 Ga 위치를 치환하여 In_{Ga} 를 형성하게 되는데, 열처리에 의해서 In 원자가 시료 표면으로 outdiffusion 되면 시료 표면내부에서는 V_{Ga} 이 형성될 것이다. 그런데, V_{Ga} 의 확산계수는 850°C 에서 약 $8 \times 10^{-13} \text{cm}^2/\text{s}$ 로 보고되었다. 이것은 EL2 농도증가부분에서 얻은 확산계수보다 약 2배 작은 값이긴 하지만, 이들 결과로부터 EL2 준위의 농도증가는 In 원자의 outdiffusion 즉, V_{Ga} 의 indiffusion에 기인된 것으로 생각해 볼 수 있겠다.

그런데 GaAs 내의 주된 전자궤인 EL2 준위는 원자 구조적 모형에서 아직도 많은 논쟁이 있는 실정인데 vacancy와 관계된

모델을 살펴보면 $V_{Ga}V_{As}AS_{Ga}$ ¹⁴⁾와 $V_{As}AS_{I}V_{Ga}AS_{Ga}$ ⁹⁻¹⁰⁾를 들 수 있
 고 이 모델들을 고려하면 750 °C에서 40 초 이상 열처리했을 때와
 850 °C에서 30 초 이하의 열처리를 나타나는 EL2 농도의 증가현
 상은 Ga 위치의 In 원자가 outdiffusion 됨에 따라 In_{Ga} 이 In
 과 V_{Ga} 으로 되어 V_{Ga} 의 증가에 의한 것으로 설명될 수 있다.
 한편, GaAs 시료의 열처리에 따른 EL2 준위의 농도감소 현상은 AS_{I}
 (interstitial arsenic)의 outdiffusion 으로 보고된 바 있
 는데,^{9,15)} 850 °C 40 초 이상의 온도와 시간에서 열처리된 시료에
 서 나타나는 EL2 준위의 농도감소 현상은 이와같이 AS_{I} 의 out-
 diffusion 현상으로 설명될 수 있다. 또한 900 °C 이상에서 10
 초 동안 열처리한 시료에서 나타나는 EX2 ($E_c - 0.73eV$) 준위의 생
 성은 $V_{As}AS_{I}V_{Ga}AS_{Ga}$ 의 EL2 모형에서 AS_{I} 이 outdiffusion 됨
 에 따라 EX2 준위의 원자구조적 모형인 $V_{As}V_{Ga}AS_{Ga}$ 로 변화되는
 것으로 설명되어진다.⁹⁾ 그러므로, 열처리 온도와 시간변화에 따른
 EL2 준위의 농도변화와 900 °C 이상의 온도에서 10 초간 열처리
 한 후의 새로운 EX2 준위의 생성현상은 EL2 준위의 원자 구조
 적 모형을 $V_{As}AS_{I}V_{Ga}AS_{Ga}$ 으로 고려할 때 잘 설명된다.

그러나, EL2 준위의 명확한 원자구조적 모형을 알아내기 위
 해서는 GaAs:In 시료에 대한 photocapacitance quenching¹⁶⁾
 등의 실험을 통해 EL2 준위의 준안정 상태 연구와 열처리실험에
 의한 In_{Ga} 원자의 정확한 확산계수측정 등이 필요하다 하겠다.

제 2 절 EL2 준위에 대한 Photocapacitance Quenching 과 열회복 현상

GaAs 내에 주된 전자덫 (electron trap) 으로 존재하는 EL2 준위에 대한 많은 연구결과가 보고되어 왔으나, 아직까지도 그 근원에는 많은 논란이 있다. EL2 준위의 특성인 photocapacitance quenching 효과는 반도체 시료내에 존재하는 deep level 이 안정상태 외에 준안정상태를 가짐으로써 나타나는 현상으로, (17,18) 준안정상태의 존재확인에 많이 이용되고 있다. EL2 준위의 준안정상태에 대한 연구결과는 최근까지도 보고되고 있으나, (19-26) EL2 family 에 대한 연구보고는 드문 실정이다. 이와같은 EL2 준위의 준안정상태는 열 및 광 에너지에 의해 안정상태로 회복되는데, 최근에 이 회복과정을 multi-thermal recovery 과정으로 설명하였다. (19, 20, 24)

EL2 준위의 준안정상태 존재는 여러가지 원자적 구조 모형으로 설명되고 있는데, 최근에 제안된 $AS_{Ga}-As_I$ 모형 (15) 에서는 next 인접 격자위치의 interstitial As가 최인접 격자위치로 이동함으로써 준안정상태가 형성되는 것으로 설명하였다. 그러나, Van Vechten 에 의해 제안된 (14,27) 또다른 모형인 $V_{As}V_{Ga}AS_{Ga}$ 에서는 광 에너지에 의해 V_{Ga} 의 hopping 즉, $V_{As}AS_{Ga}V_{Ga}$ 로 원자적 배치가 바뀌므로써 준안정상태로 변화는 것으로 설명하고 있다. 본 연구는 EL2 group 의 준안정상태 존재확인과 EL2 준위의 준안정상태에서 안정상태로의 열회복과정을 조사하였으며, 이때의 열 회복

에너지를 측정하였다. 또한, 이러한 실험결과를 종합하여 본 연구실에서 제안한 바 있는 EL2 준위의 원자적구조 모형에 의한 해석을 하였다.

그림 4-4는 77K의 온도하에서 $1.15\ \mu\text{m}$ 의 He-Ne laser에 의해 측정된 photocapacitance quenching 모습들이다. 이 그림은 열처리 전후의 HB-GaAs 시료에 대한 결과인데, $850\ ^\circ\text{C}$ 에서 열처리시간 변화에 따라 quenching 모습에 다소의 변화가 있음을 볼 수 있다. 또한, 열처리시간이 100 초의 경우는 quenching 현상이 거의 나타나지 않았는데, 이것은 EL2 농도의 급격한 감소 ($N_T / N_D < 10^{-3}$)에 기인된 것으로 생각된다.

이상의 quenching 결과를 quenching 시간에 대한 $\ln [C(t) - C(\infty)]$ 의 plot 기울기로 부터 quenching 률을 구할 수 있는데, 열처리 전의 시료는 single exponential transient 모습을 나타낸 반면, 열처리시간이 20 초와 30 초의 시료에서는 single exponential transient로 plot할 수 없었다. 그런데, 이들 시료에 대한 DLTS와 ICTS 측정결과를 고려해 보면, 열처리 전의 시료는 EL2 준위 ($E_c - 0.81\ \text{eV}$)가 주된 신호로 나타났으나 $850\ ^\circ\text{C}$ 에서 RTA 방법으로 열처리시간 20 초와 30 초의 시료에서는 각각 EX2 ($E_c - 0.73\ \text{eV}$)와 EL2, EX1 ($E_c - 0.87\ \text{eV}$)과 EX2 준위가 주된 신호로 변화되어 나타났다. 또한, 40 초 동안 열처리한 후에는 거의 EX1 신호만이 주된 신호로 나타났다. 따라서 열처리시간이 20 초와 30 초인 시료에 대한 quenching 모습은 두개의 준위에 의한 효과가 중첩된 것으로 생각된다. 즉, 서로 다른 두개의 quen-

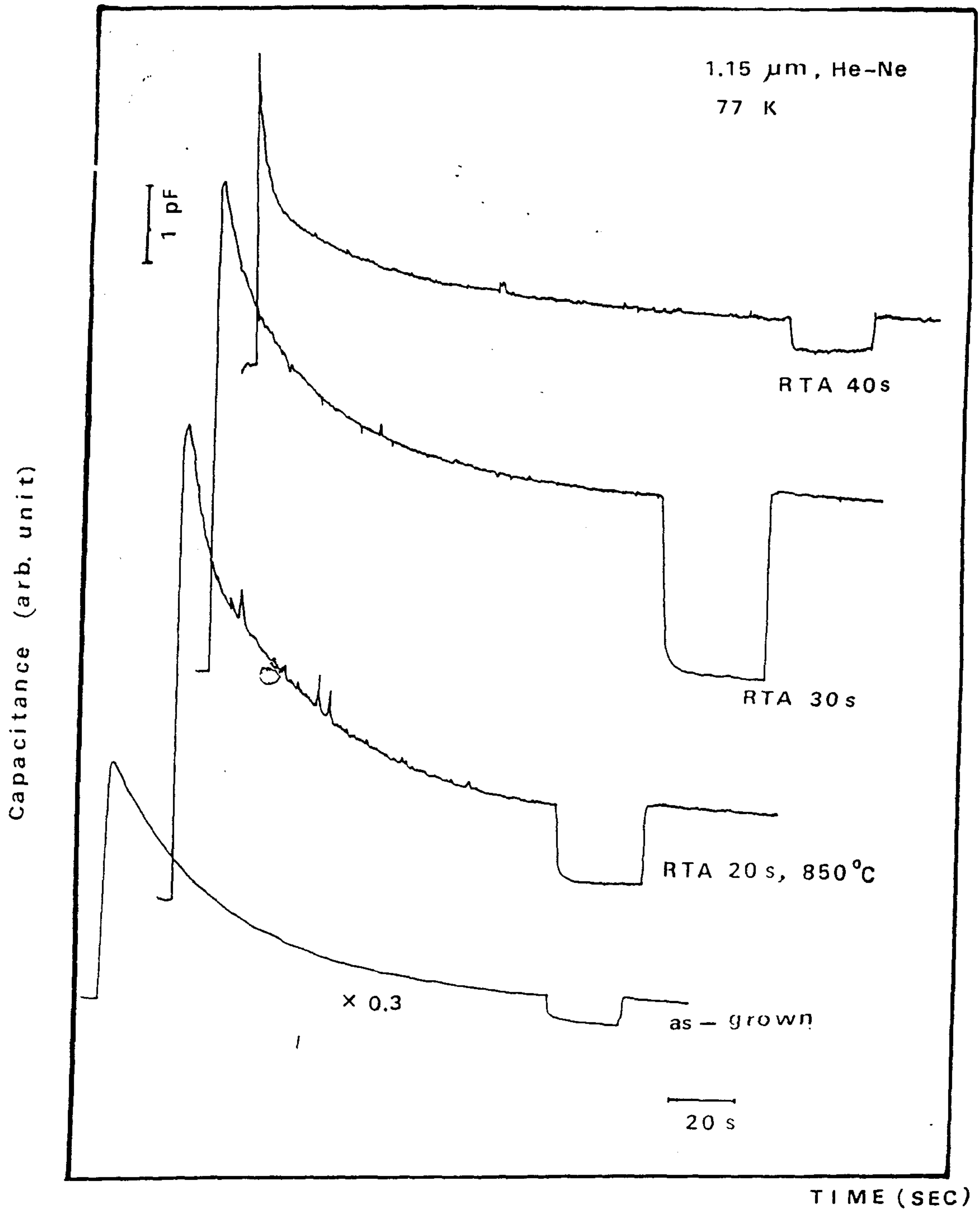


그림 4-4. RTA 장치로 850 °C에서 열처리한 시료에서 나타난 photocapacitance quenching 모습

ching 률이 포함하는 것으로써 생각하여 빠른 quenching 부분과 느린 quenching 부분으로 나누어 고려하였다. 이와 같은 방법으로 EL2 family 즉, EL2, EX2, 그리고 EX1 준위의 quenching 률을 얻었다. 이결과 EL2 준위와 EX1 준위의 quenching 률은 약 0.3 sec^{-1} 로서 유사하게 보였으며, EX2 준위는 0.2 sec^{-1} 의 quenching 률을 나타내었다.

그림 4-5 는 열처리전의 시료에 대해 150 K 이하의 고정된 온도하에서 측정한 photocapacitance quenching 모습들이다. 여기서 충분한 quenching 후 빛을 차단하였을때 나타난 capacitance 변화모습이 120 K의 온도를 기준으로 서로 다름을 볼 수 있다. 즉, 암상태인 Δt 구간에서의 capacitance 변화모습이 120 K 이하의 온도에서는 감소하는 모습을 보였으나, 120 K 이상의 온도에서는 capacitance 값이 다시 증가되는 경향을 관측할 수 있었다. 한편, 빛을 차단한후 Δt 시간후에 다시 빛을 조사했을때 나타나는 photocapacitance quenching 회복량과 초기의 quenching 량을 이용하여 회복률을 얻을 수 있는데, 각 온도에서 얻은 회복률을 Arrhenius plot 으로 그림 4-6 에 도시하였다. 이 그림의 기울기로부터 얻은 회복에 필요한 활성화 에너지는 120 K 이하의 온도에서 150 meV, 120 K 이상에서는 300 meV 로 나타났다.

이와같은 두 단계의 회복과정은 다음과 같이 두가지의 가능한 모형으로 설명할 수 있다. 그 중 하나는 EL2 group 의 존재로 인한 서로다른 준안정상태의 존재에 의한 것으로, 예를들면 EL2 준위와 EX2 준위의 존재로 인한 EL2와 EX2 의 준안정상

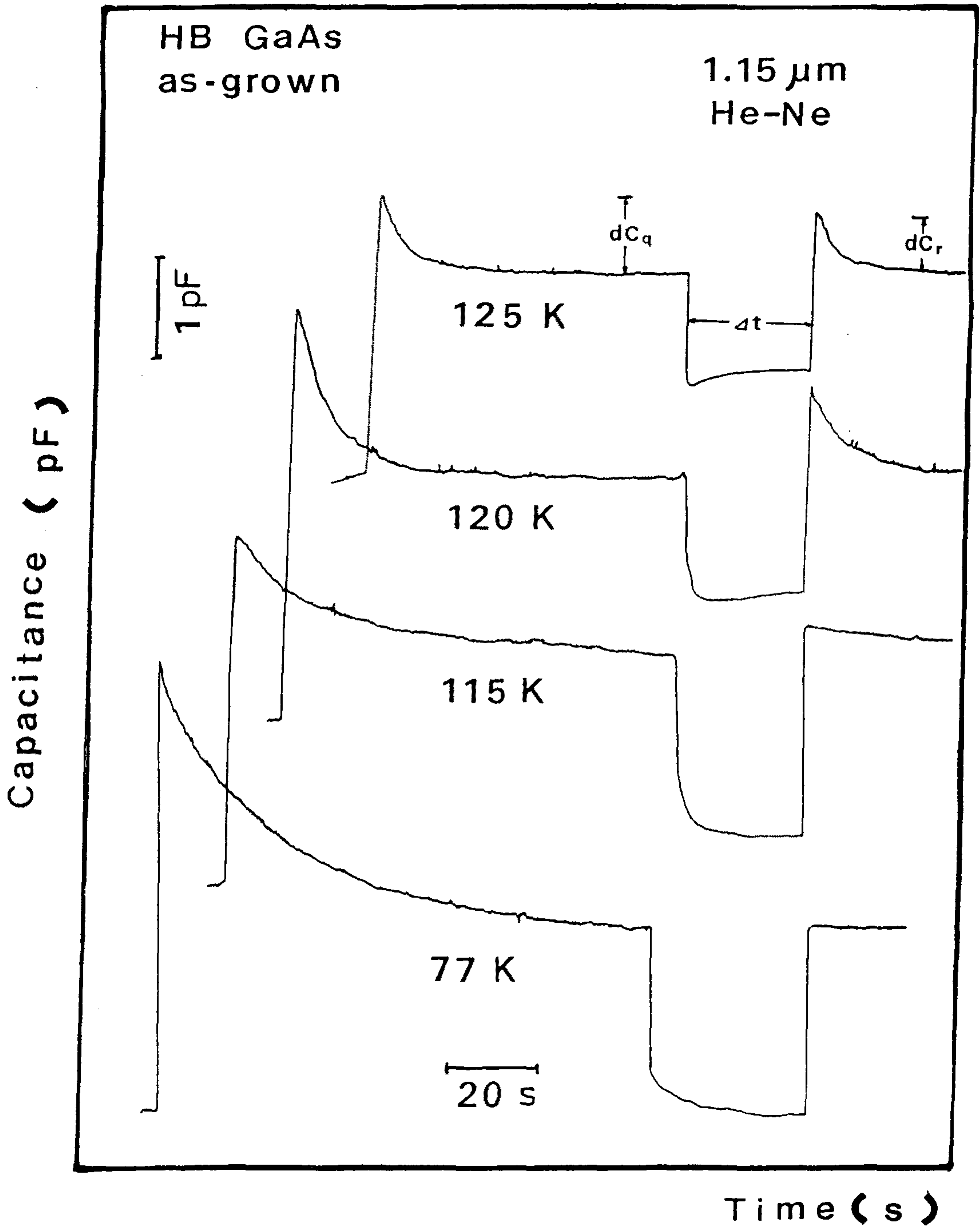


그림 4-5. 준안정상태로부터 안정상태로 열회복되는 모습

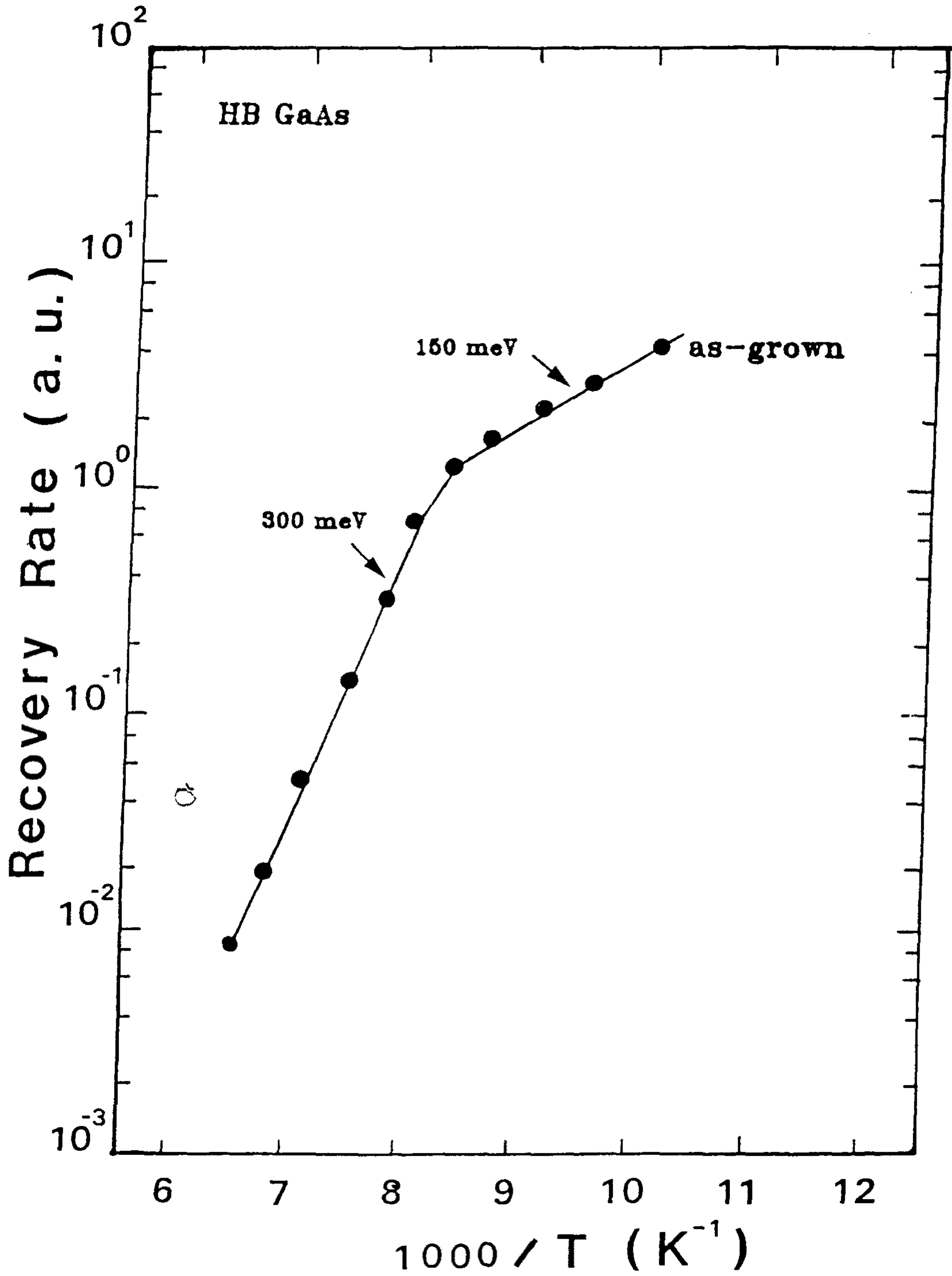
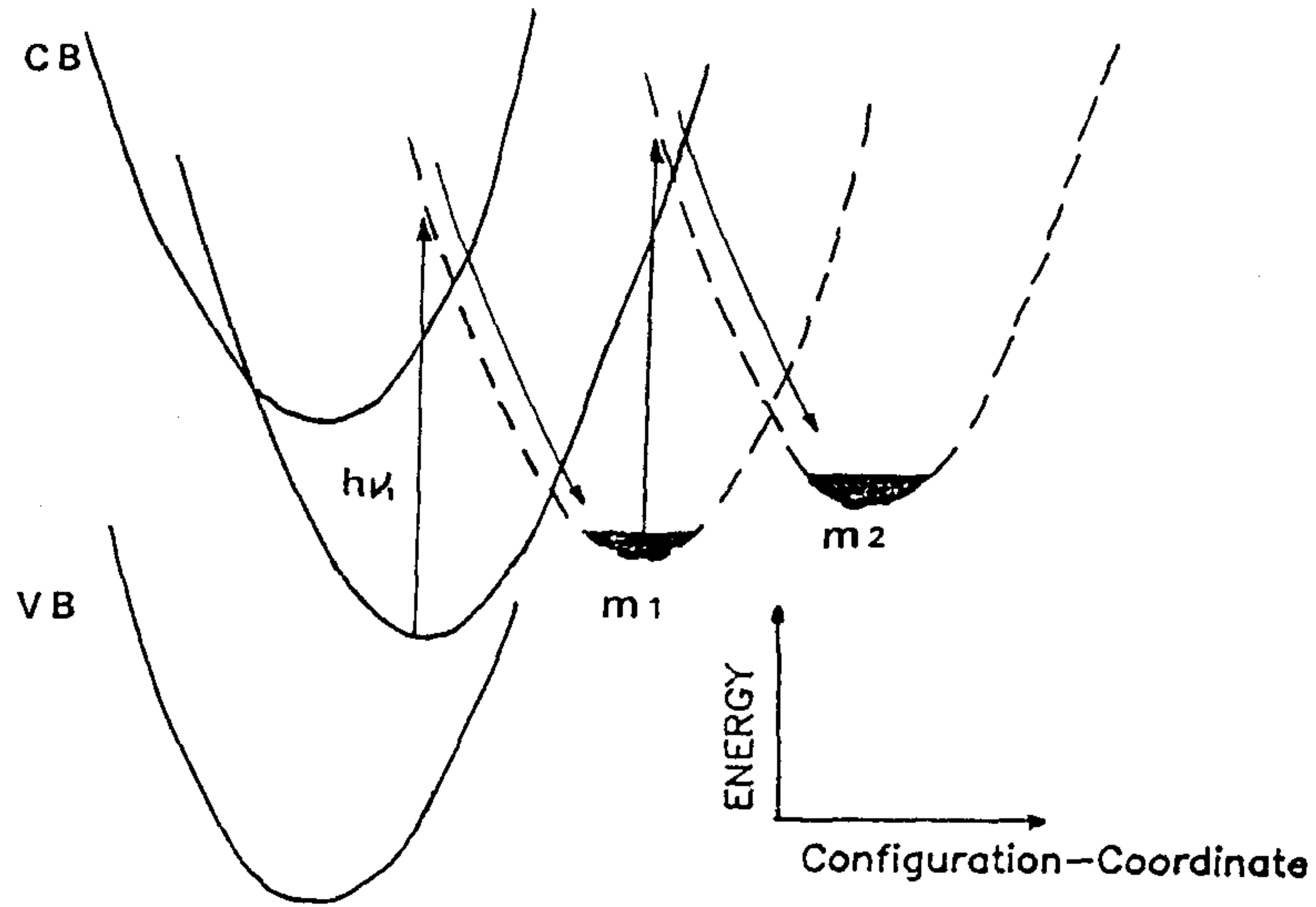


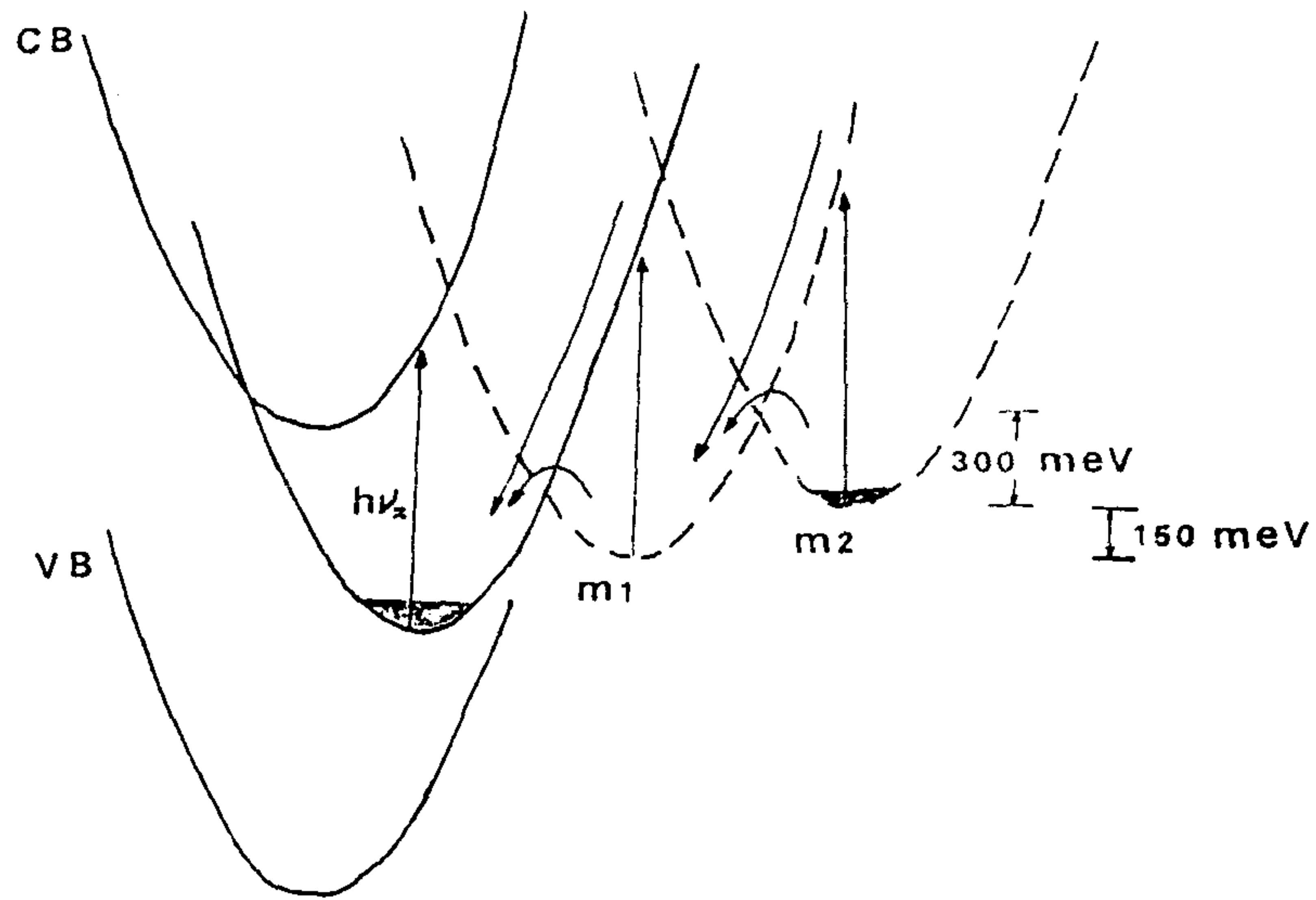
그림 4-6. 온도에 따른 회복율의 Arrhenius 그림

태가 그것이다. 즉, 이들의 준안정 상태에서 안정상태로의 열회복과정은 서로 다른 활성화에너지를 가질 것이기 때문이다. 또하나의 가능성은 EL2 준위 자체가 두단계의 열회복 과정을 가지는 경우로서, EL2 준위는 두개의 준안정상태를 가지는 것으로 보는 것이다. 예를들어 EL2 준위의 안정상태를 $V_{As}As_iV_{Ga}AS_{Ga}$ 로 생각하면^{9,12)} 광에너지에 의한 V_{Ga} 의 hopping^{29,30)}에 의해 준안정상태인 $V_{As}As_iAS_{Ga}V_{Ga}$ 는 다시 열회복과정을 거쳐 안정상태로 돌아오게 되는데, 이 과정을 다음과 같은 두 단계를 거치는 것으로 설명할 수 있다. 즉, EL2*인 $V_{As}As_iAS_{Ga}V_{Ga}$ 는 120 K 이하의 온도에서 150 meV의 활성화에너지에 의해 AS_{Ga} 에 인접한 격자 위치의 As 원자가 이웃의 Ga vacancy를 채워 AS_{Ga} 를 형성한 $V_{As}As_iAS_{Ga}-V_{As}AS_{Ga}$ 의 과정을 거친 후, 120 K 이상의 온도에서는 다시 300 meV의 활성화에너지로 앞선 과정에서 형성되었던 AS_{Ga} 의 As 원자가 V_{As} 자리로 이동되어 $AS_{As}-V_{Ga}$ 를 이룸으로써 안정상태인 $V_{As}As_iV_{Ga}AS_{Ga}$ 로 되돌아오는 과정으로 해석될 수 있다.

그림 4-7은 EL2 준위에 대한 photocapacitance quenching 모습과 열회복 과정을 설명하기 위해 EL2 준위를 configuration coordinate로 도시한 것이다. 그림 4-7(a)는 안정상태에 있던 전자들이 1.05 eV (1.15 μm)의 광에너지 ($h\nu_1$)에 의해 준안정상태로 넘어가는 모습을 나타낸다. 그림 4-7(a)와 그림 4-7(b)에 대해 EL2 준위의 모형들 가운데 앞서 논의한 $V_{As}As_iV_{Ga}AS_{Ga}$ 의 모형을 예로 하여 각각 설명하면 다음과 같다. 즉, 그림 4-7(a)의 경우는 두개의 준안정상태를 포함한 것으로서 광에너지에 의한 V_{Ga}



(a) Photoquenching process



(b) Recovery process

그림 4-7. Photocapacitance quenching과 열회복현상에 대한 EL2 준위의 configuration coordinate diagram

(a) $h\nu_1$ 의 광에너지에 의해 준안정상태로 전이되는 모습

(b) 열에너지와 $h\nu_2$ 의 광에너지 ($< h\nu_1$)에 의해 열회복되는 모습

(Ga vacancy)의 hopping에 의해 $-V_{Ga}AS_{Ga}$ 가 $-AS_{Ga}V_{Ga}$ 의 구조로 바뀌는 것으로 준안정상태를 설명하는데, 이때 필요한 에너지는 atomic migration에 대한 ballistic model(BM)^{29,30)}로 계산된 결과에 따르면 0.96 eV로서 1.05 eV의 광에너지에 의해 이 현상은 충분히 진행 가능하다. 이와같은 V_{Ga} 의 hopping에 의한 준안정상태의 설명은 EX2 준위 ($V_{As}V_{Ga}AS_{Ga}$)^{9,10)}의 경우도 가능하다. 따라서, quenching 현상은 EL2 준위가 두개의 준안정상태를 갖거나, 각각 서로 다른 준안정상태를 갖는 EL2 group 중 두개가 포함된 경우의 두가지로 해석될 수 있다. 한편, 그림 4-7(b)는 준안정상태에서 안정상태로의 열회복과정을 도시한 것인데, EL2 준위가 두개의 준안정상태를 가지는 경우 다음과 같이 설명된다.^{31,32)} 즉, 충분한 quenching에 의한 준안정상태 (m_2)는 1.05 eV 보다 작은 광에너지 ($h\nu_2$)에 의해서도 다시 회복되며, 150K(활성화에너지 300 meV에 해당함) 이상의 열에너지에 의해서도 회복된다. 이들 사이의 에너지장벽은 하나의 준안정상태를 갖는 경우에서와 같이 300 meV 장벽을 넘어 m_1 상태로 된 후, 다시 150 meV의 장벽을 넘어야 안정상태에 도달될 것이다. 따라서, 두 단계의 회복과정에 의해 두개의 활성화에너지가 나타나는 것으로 설명될 수 있다. 물론, 서로다른 준안정상태를 갖는 EL2 group의 존재를 가정할 경우도 두개의 회복과정에 대한 설명이 가능하다.

이상과 같이 EL2 준위에 대한 열회복 현상은 EL2 group의 존재 또는 multi-metastable state 존재 의해서도 설명이 가능하다. 그러나, 이상의 두가지 가능성 가운데 보다 근접된 모형

을 얻기 위해서는 EX2 나 EX1 의 열 회복 실험결과와 이론적접근이 필요하다 하겠다.

제 3 절 GaAs 내의 Deep Level에 대한 수소화효과

글로우 방전에 의해 만들어진 수소 원자는 반도체내의 여러 가지 결함이나 불순물 준위들을 효과적으로 감소시키므로써 반도체 소자들의 전기적 광학적 특성에 영향을 주는 것으로 알려져있다.³³⁻³⁹⁾ GaAs 내에 존재하는 deep level 들에 대한 수소화효과는 이미 EL2 ($E_c - 0.81$ eV), EL3 ($E_c - 0.53$ eV), 그리고 EL6 ($E_c - 0.35$ eV) 준위에 대하여 보고되어 있다.³⁹⁻⁴¹⁾ 수소화에 의해 감소된 deep level 들은 500°C 열처리까지 다시 회복되지 않는다.³⁸⁾ 이는 shallow level 불순물들의 회복 온도 보다 수백도 높은 온도이므로^{38, 41)} deep level 은 제거되고 원하는 shallow level 만을 얻을 수 있는 온도영역이 존재한다. 수소화에 의한 GaAs내의 deep level 생성은 보고된 바 없으며, 몇몇 보고에서 이 가능성을 배제하여 왔으며, 아직도 수소화된 GaAs내의 deep level 들의 열적 회복과 새로운 deep level 형성에 대해서는 논란이 많다. 수소 원자에 의한 deep level 들의 passivation 현상은 명확하나,³³⁻³⁹⁾ 수소원자와 deep level 과 사이에 반응모습의 미세구조 기원은 아직 알려져있지 않으며, 그것으로 인한 새로운 deep level 생성은 보고된바 없다.⁴²⁾

본 연구에 사용된 시료는 수평 Bridgman 방법으로 성장시킨 n-type GaAs로서, undoped($1.4 \times 10^{16} \text{cm}^{-3}$)와 si-doped GaAs($2.0 \times 10^{17} \text{cm}^{-3}$)이었다. 수소화는 250°C PECVD 반응로에서 수행되었으며, 이때 수소 압력은 0.57 Torr이며 플라즈마 power density는 0.06 W/cm^2 이었다. 수소화된 시료는 주어진 온도에서 10 초 동안 급속 열처리법(RTA)으로 annealing하였다. 처리된 시료는 Schottky diode를 제작하기 전에 표면손상층을 제거하기 위하여 표면으로부터 약 $0.5 \mu\text{m}$ 의 표면을 에칭하였다. Au-Schottky diode는 $0.5 \mu\text{m}$ 의 지름을 가지는 mask를 이용하여 thermal evaporator로써 제작하였다. HP 310 microcomputer로 제어되는 DLTS 장치를 이용하여 deep level들의 포획단면적과 활성화에너지를 얻었다. 이 장치는 1 MHz capacitance meter(HP 4280 A)와 pulse generator(HP 8011A)로 구성되어 있다.

Undoped HB-GaAs 내의 donor 농도분포를 수소화와 그 후 열처리에 따라 조사한 결과를 그림 4-8에 나타내었다. 250°C 에서 3 시간 동안 수소화한 시료의 농도분포는 as-grown 시 보다 약 10 배 가량 줄어들음을 알 수 있다. 이 그림으로부터 위 조건에서 수소화된 시료일 경우 그 효과는 시료 표면으로부터 약 $3 \mu\text{m}$ 깊이까지 영향을 미침을 알 수 있다. 수소화된 시료를 gold furnace를 이용하여 열처리 한 후 donor 농도분포 변화를 점선으로 표시하였다. 열처리한 후 시료의 donor 양은 다시 $\sim 10^{16} \text{cm}^{-3}$ 로 회복되었다. 이것은 그로우방전에 의해 만들어진 수소 원자가 carrier들의 passivation에 기여 하며, 열처리과정에서 수소 원

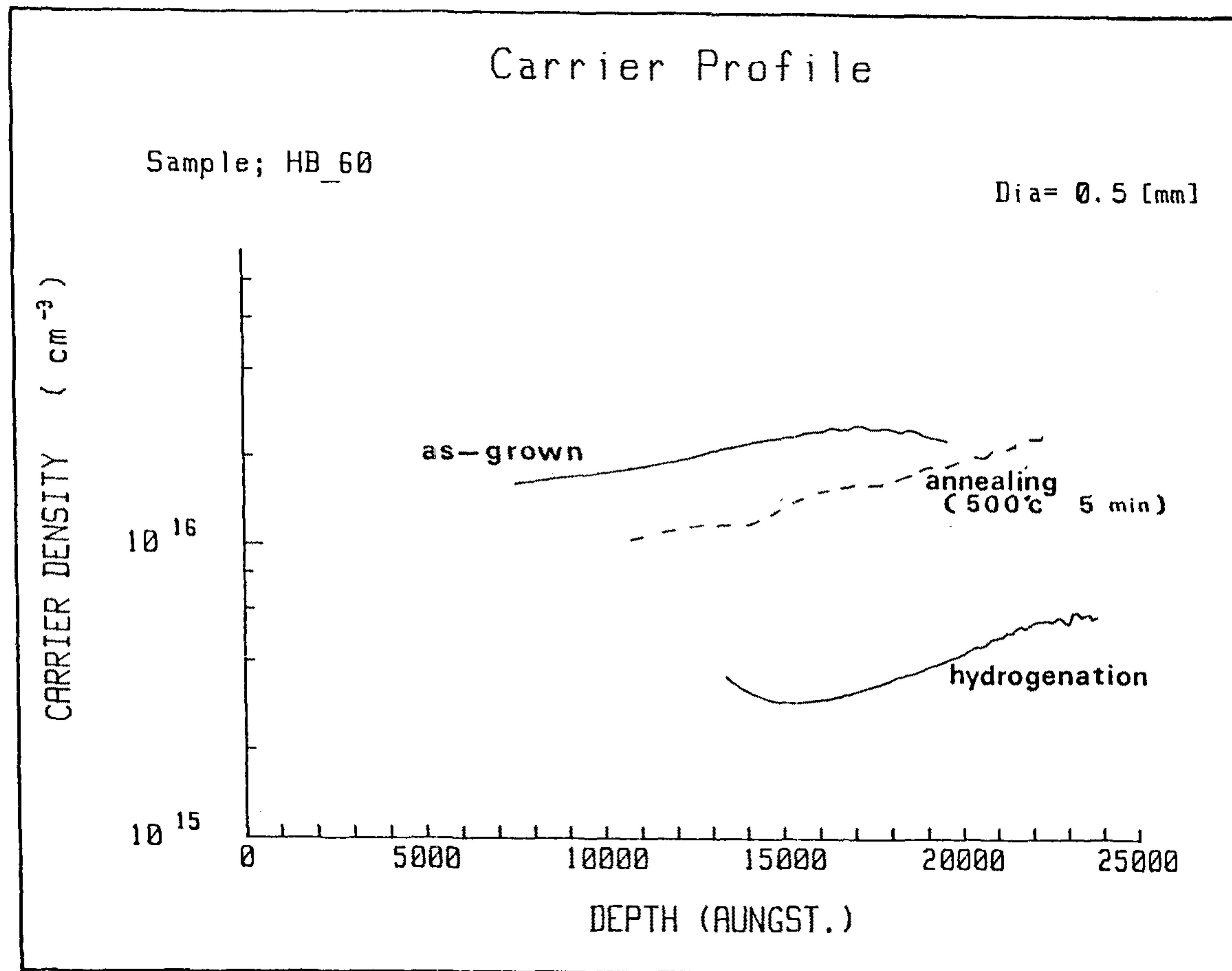


그림 4-8. 수소화와 열처리에 따른 donor 농도의 구배
여기서 열처리는 500°C 에서 5분동안 수행하였다.

자의 outdiffusion에 의하여 carrier들이 원래 양으로 회복된 것으로 해석된다.

그림 4-9는 수소화가 deep level에 미치는 영향을 조사하기 위해 본 연구실에서 성장된 HB-GaAs와 Sumitomo사 시료들을 수소화한 후 rate window(t_1/t_2)가 0.01/0.16 초에서 측정된 DLTS 결과이다. 이 그림에서 as-grown 시료에서는 GaAs의 전형적인 deep level인 EL2($E_c-0.81$ eV), EL3($E_c-0.53$ eV), 와 EL6($E_c-0.35$ eV)들이 나타난 반면에, 수소화한 경우 asgrown 시료에서 전형적으로 나타나는 EL group deep level들의 양이 10배 가량 감소하였다. 이런 현상은 본 연구실에서 성장한 시료뿐 아니라 상업적인 시료에서도 동일하게 나타나고 있다. 수소화 시간이 증가할수록, 새로운 deep level들은 더욱 현저하게 나타났으며 기존하는 EL group의 양은 더욱 감소하였다. 특히 EL2, EL3, 그리고 EL6들의 양은 as-grown 시 5-8 $\times 10^{15} \text{cm}^{-3}$ 이었으며 250 $^{\circ}\text{C}$ 에서 3시간 동안 수소화한 후 그들의 양은 5-9 $\times 10^{14} \text{cm}^{-3}$ 로 감소하였다. 또한 165 K의 DLTS 신호에서 나타나는 EL6는 수소화 후 175 K에서 중첩된 신호로써 보여진다. 이 신호는 DLTS 신호 분석법에 의해 두개의 중첩된 신호로 확인되었으며, 이들의 활성화에너지와 포획단면적은 각각 $E_c-0.35$ eV, $1.3 \times 10^{-15} \text{cm}^2$ 그리고 $E_c-0.43$ eV, $5.3 \times 10^{-15} \text{cm}^2$ 이었다. 0.35 eV 준위는 이미 알려져 있는 EL6 준위이므로 0.43 eV 준위의 deep level은 새롭게 생성된 EN3 준위로 정의하였다. 또한 285 K에서 나타나는 새로운 준위를 EN2 준위($E_c-0.56$ eV)로 정의하였으며^{43,44)} 이것은 EL2

HYDROGEN PLASMA 250°C, 3 hr

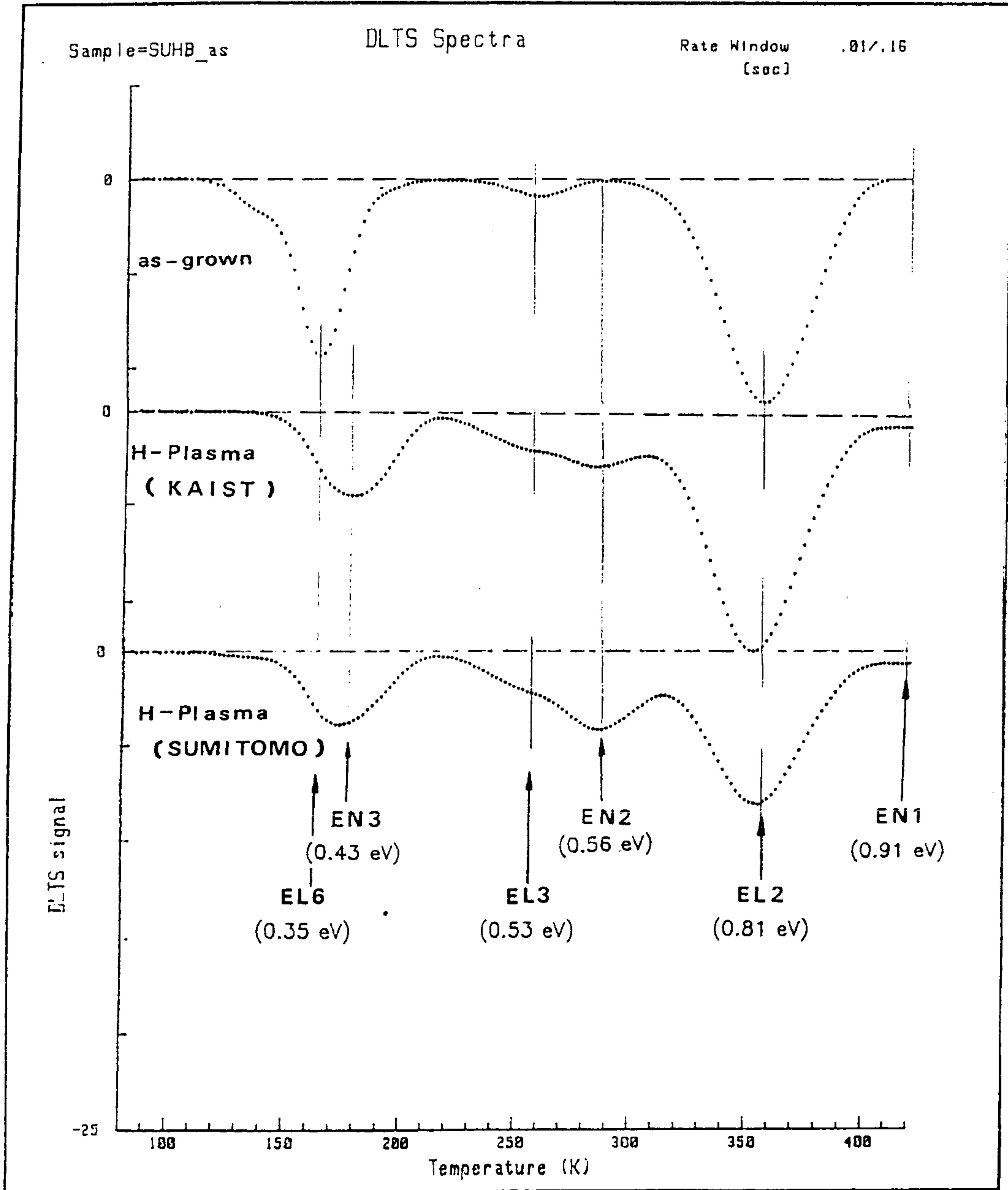


그림 4-9. Undoped HB-GaAs 내의 deep level 들에 대한 수소화 효과

group 의 하나인 EX2($E_c-0.73\text{ eV}$)와는 다르다.⁹⁻¹²⁾ 410 K에서 신호도 상대적인 크기는 작지만 새롭게 생성된 것으로 보여지며 EN1($E_c-0.91\text{ eV}$)로 정의했다. 결국 250 °C에서 3시간동안 수소화한후 HB-GaAs에서 나타나는 deep level 들은 EN1, EN2, 그리고 EN3 이었다. 그러나 Si 이 도핑된 HB-GaAs($> 5 \times 10^{17}\text{ cm}^{-3}$) 내에서는 이러한 새로운 deep level 들을 측정 한계상 관측할 수 없었다.

수소화이후 deep level 들의 깊이에 따른 분포를 조사하기 위한 방법으로 pulse 크기를 2V로 고정하고 역 bias를 변화시켜 측정하였다. 역 bias를 증가시키면서 측정 한 경우 새로운 deep level 들과 EL3 준위는 점차 감소하나 EL2와 EL6 준위는 거의 변화가 없는것을 확인할 수 있었다. 이 결과는 수소화에 의해 새롭게 생성된 EN group과 EL3 준위는 표면에서 부터 깊이에 따라 감소함을 나타내주며, EL3 준위가 기계적인 표면손상에 의한 deep level로 알려져 있기때문에 EN group deep level 들은 수소화에 의한 효과라고 생각된다. 이 결과들을 계산하여 깊이에 따른 deep level 분포를 그림 4-10에 도시하였다.

250 °C에서 3시간동안 수소화한 시료에서 EL group deep level 들은 빠르게 passivation 되었고, 특히 EL2 준위는 표면으로 부터 1.5 μm 까지 10배 감소하며, 상대적으로 EN group 들은 1.5 μm 이내에서 큰양이 존재하며 깊이에 따라 감소하는 경향을 보인다.

그림 4-11은 수소화한 시료를 급속 열처리법(RTA)을 이용하여 passivation된 deep level 들의 열적 회복효과를 조사하기

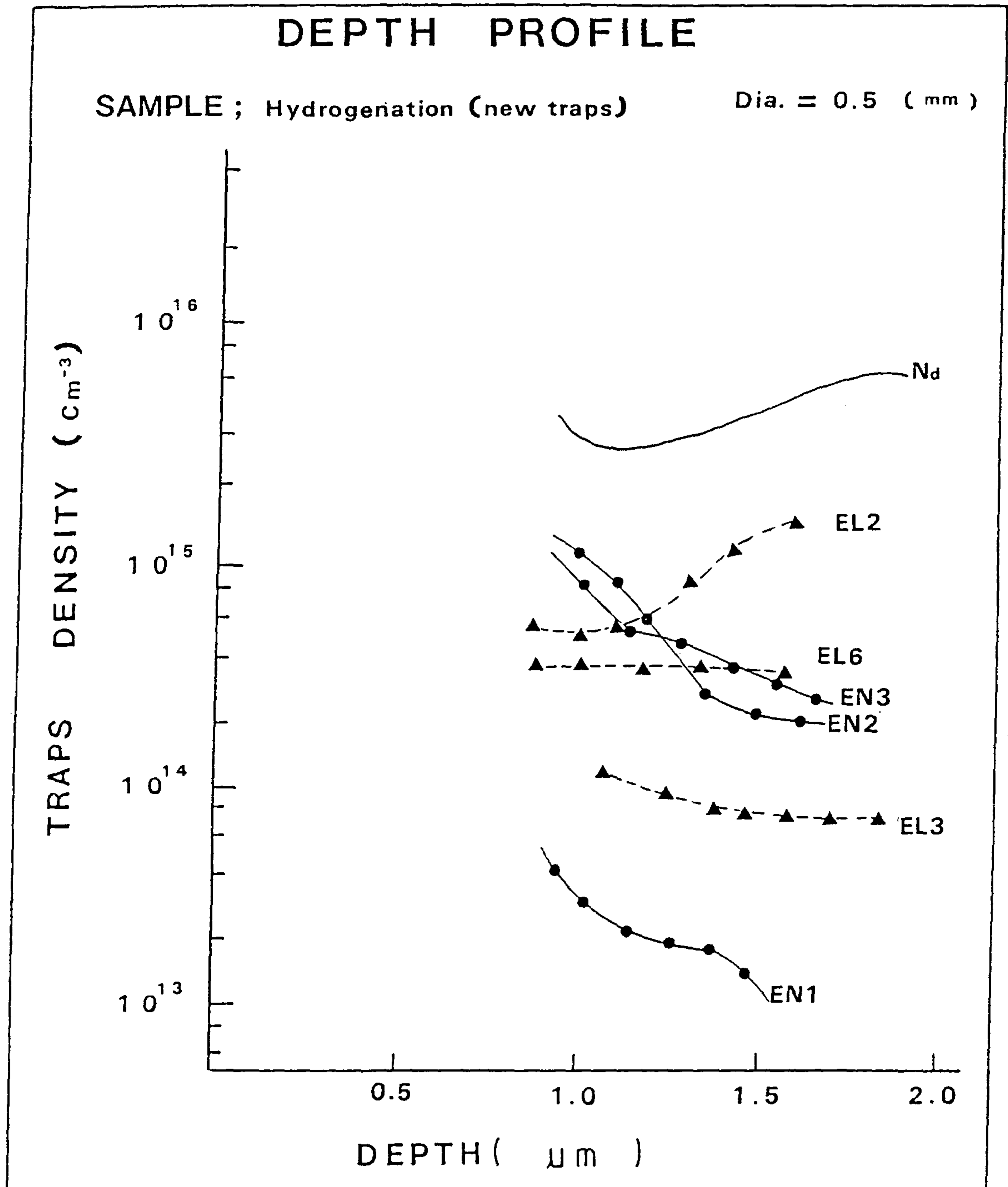


그림 4-10. 수소화된 HB-GaAs 내의 deep level 들의 농도구배

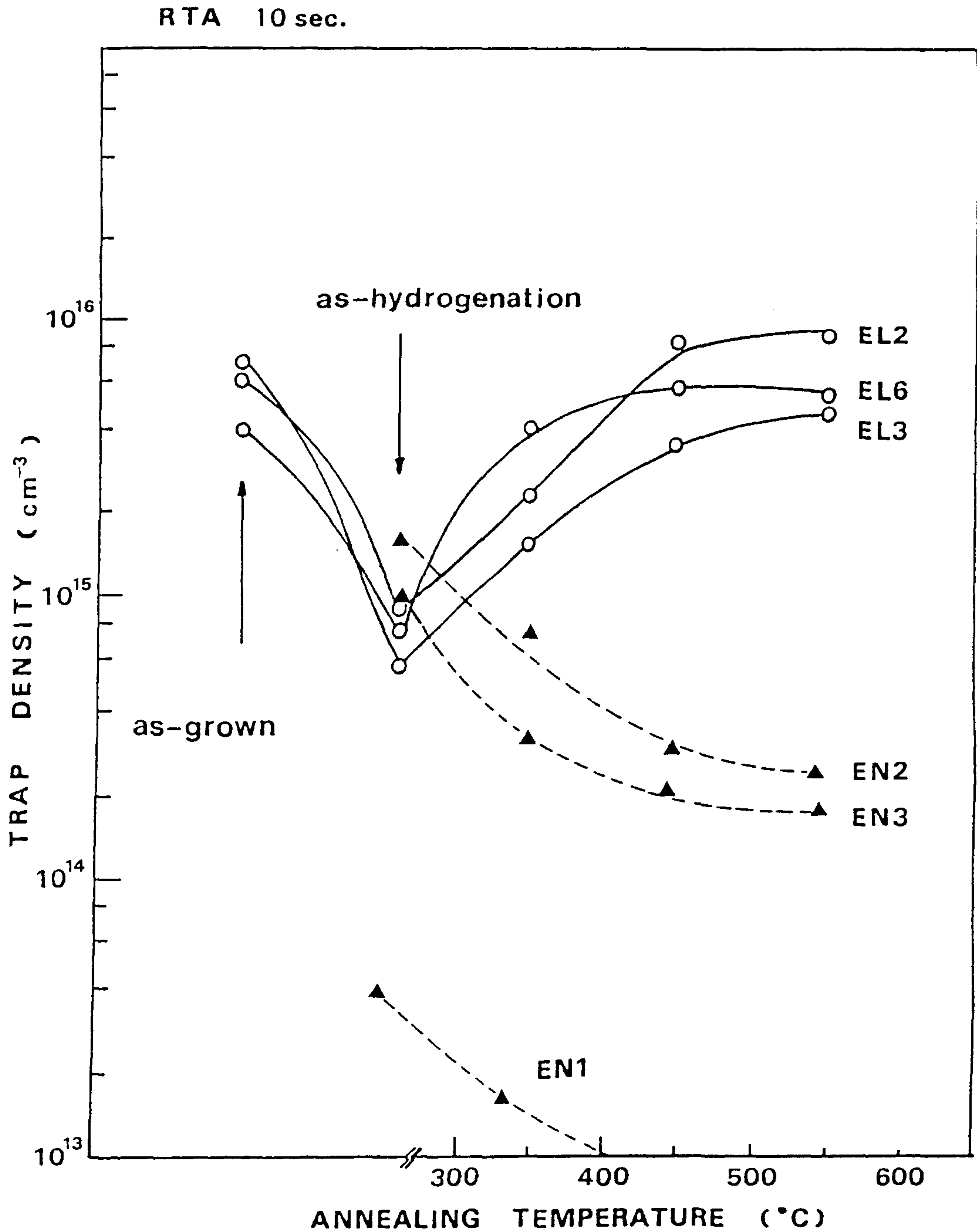


그림 4-11. Undoped HB-GaAs의 수소화후 열처리에 따른 deep level 농도의 변화, 여기서 열처리는 RTA 법으로 12초동안 수행하였다.

위한 실험결과이다. 이 그림에서 550 °C, 10 초동안 열처리한 경우 수소화후 새롭게 생성된 deep level 들이 거의 제거되었다. 500 °C까지 열처리되는 과정에서 EN group 들이 점차 감소하는 반면에 감소되었던 EL2, EL3, 그리고 EL6 준위들은 수소화 이전의 양으로 회복하였다. 우리는 수소화와 열처리에 따라 EN group 과 EL group 들이 서로 상대적으로 변화하는 모습을 관찰했으며 Si-doped 시료에서는 이러한 거동을 관찰할 수 없었다.

일반적으로 수소화에 의해 새롭게 생성된 deep level 들은 플라즈마 발생시 생기는 표면손상에 의한 결함으로도 생각할 수 있으나 질소 플라즈마에 의해 이런 deep level 들은 관측되지 않았으며, 낮은 플라즈마 강도 (0.06 W/cm^2) 와 처리후 표면손상층 제거 ($0.5 \mu\text{m}$) 등을 고려해볼때, 새롭게 생성된 deep level 들은 수소화 원자와 기존하는 deep level 들과의 작용으로부터 생성되었다고 믿어진다. 또한 HB-GaAs 에 존재하는 기존의 deep level 들의 passivation 은 그들의 활성화상태를 수소원자가 중성화함으로써 나타나는 현상이며, 특히 EL2 의 원자구조가 우리가 제안한 $V_{As}As_iV_{Ga}AS_{Ga}$ 구조라면, EL2 의 passivation 은 EL2 구조중 unsaturated interstitial $As_i(-As_i-)$ 와 antisite ($-AS_{Ga}$) 들이 수소원자와 결합하여 나타나는 현상으로 생각된다. 이런 EL2 구조를 고려해볼때 새로운 deep level 들은 수소화를 통해 기존하던 deep level 들과 수소원자간의 결합에 의해 생성되었으며, 열처리에 의한 deep level 들의 회복과 감소는 결합된 수소원자의 outdiffusion 에 인한 것으로 설명할 수 있다.

수소화후 새로운 deep level 들의 생성에도 불구하고 총 deep level 양은 거의 10 배 감소하며, 이 시료로 제작된 schottky diode 에서 leakage 전류가 10 배 감소하였다. 이 결과들은 Ga-As 소자응용에 효과적일 것으로 기대된다. 또한 수소화에 의한 deep level 들의 거동으로부터 deep level 에 대한 더욱 많은 정보를 얻을 수 있을 것으로 기대한다.

제4절 Bulk GaAs 내의 Deep Level 들과 그들 사이의 관련성

본 연구실에서 성장시킨 bulk GaAs 내에 존재하는 deep level 들을 전체적으로 요약하면 표 4-1 과 같다. 즉, 열처리전후에 나타나는 EL2 group, EL3, EL6 group⁹⁻¹²⁾ 과 수소화후에 나타난 EN group^{43,44)} 으로 분류된다. 이들중 EL2 group 과 EL6 group 은 열처리 및 수소화에 따라 그들사이의 관련성이 있음을 나타내었다.⁴⁵⁾ 그림 4-12 는 RTA 법으로 850 °C에서 열처리후에 나타난 이들 두 group 의 수소화효과를 보여주는 그림이다. 수소화전의 EL6 group 은 그림의 작은 네모안에 표시한 바와 같은 농도변화를 보였으나, 열처리후 250 °C에서 3 시간 동안 수소화시킨 후에는 이 group 은 완전히 소멸되어 나타나지 않았다. 반면에, EL2 group 의 농도는 수소화에 의해 약 1/10 으로 감소되었다. 그러나, 이들 준위들의 특성은 수소화에 의해서도 변화되지 않았으며 group 의 특성을 가지고 있었다. 이와같은 실험결과는 EL6 group 이 EL2 group 보다 쉽게 수소화 되어 deactivation 됨을 보여주고 있다.

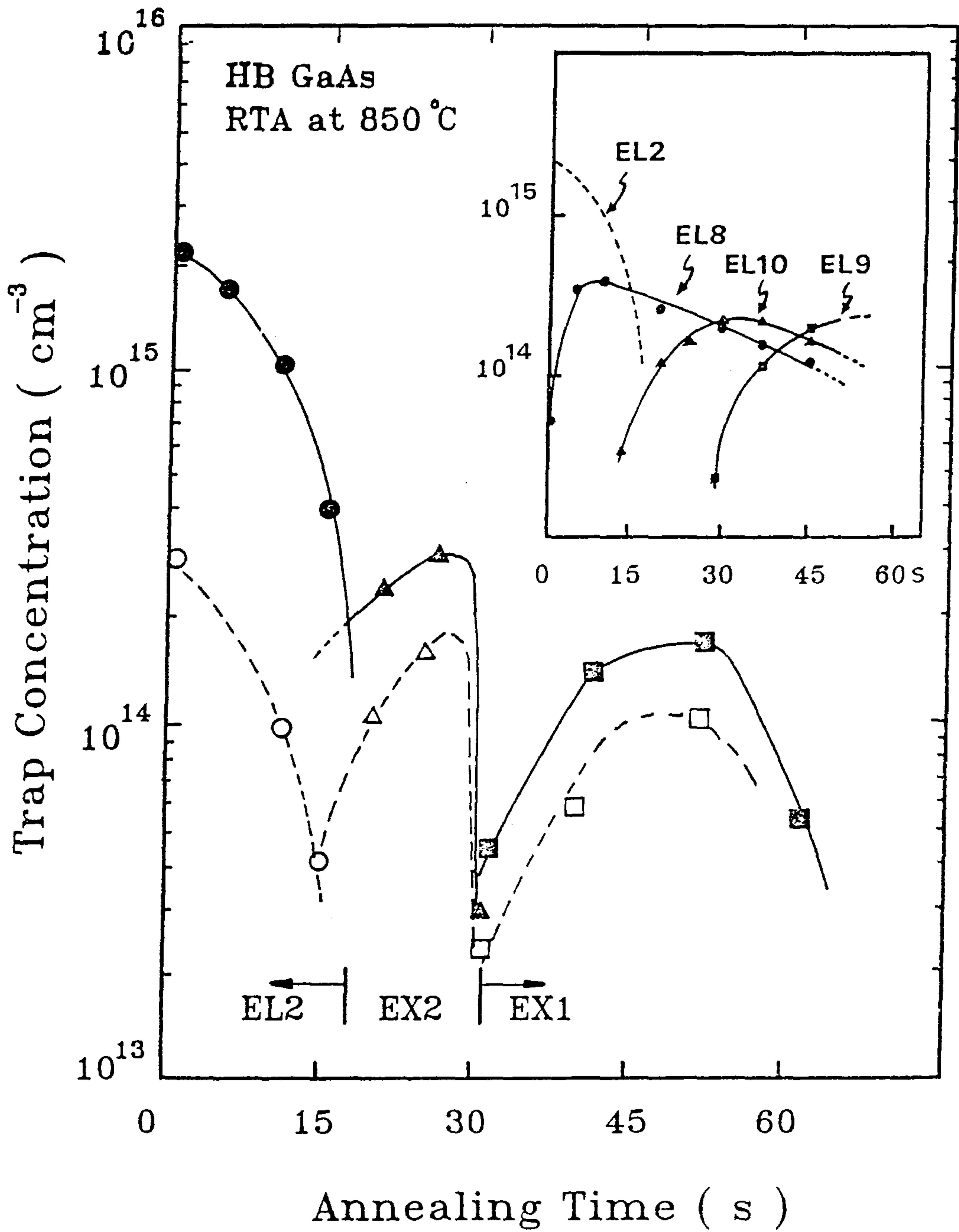


그림 4-12. 열처리 및 수소화에 따른 EL2 group과 EL6 group deep level 들의 농도변화

표 4-1. Bulk GaAs 내의 깊은 준위들

Trap		Activation energy Et (eV)	Capture cross section σ_t (cm ²)
EL2 Group	EX1	0.86	4.67×10^{-13}
	EL2	0.81	3.61×10^{-13}
	EX2	0.73	7.02×10^{-14}
EL3		0.53	9.40×10^{-14}
EL6 group	EL 6	0.35	1.67×10^{-13}
	EL 8	0.27	6.81×10^{-15}
	EL 9	0.22	1.79×10^{-15}
	EL 10	0.18	5.84×10^{-16}
New traps	EN1	0.91	1.08×10^{-13}
	EN2	0.56	4.72×10^{-14}
	EN3	0.43	3.06×10^{-15}

이상의 실험결과와 열처리에 따른 group의 생성 및 유사한 농도변화 경향으로부터 그들사이의 원자적 구조에 관련성이 있음을 추정할 수 있다. 따라서, 지금까지 앞절에서 설명된 바와같이 EL2와 EX2 준위의 원자적 모형을 각각 $V_{As}AsI$ $V_{Ga}ASGa$ 와 $V_{As}V_{Ga}ASGa$ 라 하면, EL8과 EL10 준위의 모형은 $V_{As}ASGa$ 와 $V_{As}V_{Ga}$ 로 각각 제안할 수 있다. 그러나, 보다 정확한 근원 연구와 이들이 제작된 GaAs 반도체 소자에 미치는 영향등에 대해서는 보다 많은 연구가 필요하다 하겠다.

제 5 장 GaAs-on-Si 이종접합연구

제 1 절 GaAs-on-Si 기술

1. GaAs-on-Si 구조의 장점 및 문제점

반도체 재료 및 소자분야에 있어서 실리콘 및 GaAs은 각 재료의 특성을 이용하여 서로 다른 방향의 응용을 위해 급격히 발전해 오고 있다. 즉, 실리콘 반도체 재료는 고집적도를 가지는 전자소자에 주로 응용되어지고 있으며 GaAs 반도체 재료는 광전소자, 고속소자 및 마이크로 웨이브 소자에 주로 응용되어지고 있다. 한편 최근에 들어서서 그 응용에 있어 큰 잠재력을 가지고 있는 GaAs-on-Si 에피 성장기술에 대해 많은 관심이 모아지고 있다. 특히 GaAs-on-Si 이종접합에 의해 실리콘과 GaAs 재료의 장·단점을 서로 보완함으로써 광전소자와 전자소자를 2차원 혹은 3차원으로 집적시킬 수 있는 큰 가능성을 보이고 있다. 실리콘 기판위에 GaAs 단결정을 성장시키기 위하여 새로운 에피성장 기술로 각광받고 있는 MBE¹⁾⁴⁾ 및 MOCVD⁵⁾²¹⁾ 방법이 사용되어지고 있다.

실리콘을 기판으로 이용함으로써 다음과 같은 여러가지 잇점을 가질 수 있다. 실리콘에 비해 GaAs는 잘 부스러지며 이것은 소자 제조공정에서 웨이퍼 취급시 웨이퍼가 쉽게 깨어짐으로서 수율의 감소요인이 되며 웨이퍼 직경이 커질수록 더욱 심화될 것이

다. 즉, 실리콘의 경도 (hardness)가 GaAs에 비해 약 50% 정도가 높아 실리콘 기판위에 GaAs를 성장시킴으로서 제조공정중 웨이퍼 취급 부주의에 의한 수율의 감소를 크게 줄일 수 있다. 한편 실제 소자들이 사용되어지는 온도범위에서 실리콘의 열전도도가 GaAs보다 4배 정도 높아 power FET나 레이저 다이오드와 같은 high power density 소자들로부터 열을 분산시키는데 커다란 잇점을 준다.

위에서 살펴본 바와 같이 좋은 성질을 가지고 그 기술이 잘 발달된 값싼 대면적의 실리콘을 기판으로 사용함으로써 얻어지는 장점이 있는 반면에, 이종접합을 함으로서 야기되는 문제점, 즉 격자 부정합 (lattice mismatch), 열적 부정합 (thermal mismatch) 그리고 화학적 부정합 (chemical mismatch) 들을 해결하여야만 한다. 이들 문제점들을 자세히 살펴보면 다음과 같다.

가. 격자 부정합 (lattice mismatch)

격자상수가 각각 a_1 및 a_2 인 두 재료의 격자부정합은 $a_1 < a_2$ 일때 $2(a_2 - a_1)/(a_1 + a_2)$ 로 정의되어지며 실리콘과 GaAs간의 격자부정합은 4% 정도로 비교적 큰 격자부정합을 가지고 있어 양질의 GaAs 에피층을 실리콘 기판위에 성장시키는 것이 용이하지 않다는 것을 알 수 있다. 이러한 격자부정합은 두 물질의 계면에 응력을 유발시키며 이 응력은 계면 근처에서 수많은 부정합 전위를 생기게 함으로서 완화되어 진다. 즉, 이들 전위들은 면에 따라 대칭성을 가지고 서로 교차하는 grid 모양을 가지며 격

자상수가 더 작은 쪽의 재료에 여분의 half-plane 들을 만듦으로서 이중접촉면을 따라 격자상수의 변화를 보상하게 된다. 한편 전위결함간의 거리 P는 다음식과 같이 표현되는데

$$P = \frac{ab}{(b-a)} \dots\dots\dots (5-1)$$

여기서 a와 b는 작은 격자상수를 가지는 재료와 다른 한 재료에 대한 계면에서의 격자간 거리들을 나타낸다. 위와 같은 방법으로 계산된 실리콘과 GaAs 계면에서의 전위간 거리는 $0.009 \mu\text{m}$ 정도이며, 실제 TEM 관측에 의한 계면근처의 부정합간 거리는 대략 100 \AA 정도이고 그 밀도가 $\sim 10^{12} / \text{cm}^2$ 인 것으로 보고되고 있다.¹⁹⁾

나. 열적 부정합 (thermal mismatch)

격자부정합과 함께 이중접합층의 성질에 크게 영향을 주는 것이 두 재료간의 열적 부정합이다. 비록 상온에서 두 재료의 격자상수가 같을 지라도 열팽창계수가 다를 경우에는 고온에서 격자부정합이 생길 수 있다. 즉 시료를 고온에서 낮은 온도로 식힐때 전위가 발생하게 된다. 열적 부정합이 심할 경우 성장된 층의 cracking 혹은 peeling off가 발생되어 질 수도 있다. 실리콘과 GaAs의 열팽창계수가 상온에서 각각 $2.44 \times 10^{-6} / \text{K}$, $6.0 \times 10^{-6} / \text{K}$ 로서²²⁾ 두 물질간의 열팽창계수의 차이가 55% 이상이 되며, 실제 직경 2인치 실리콘 웨이퍼위에 두께 $4 \mu\text{m}$ 의 GaAs를 성장시켰을때 응력에 의해 약 $50 \mu\text{m}$ 의 bow가 생긴다고 보고 되었다.²³⁾

다. 화학적 부정합 (chemical mismatch)

화학적 부정합에 의해 발생하는 문제점으로 두 반도체 재료의 원자들이 상대물질로 확산되어지는 interdiffusion과 III-V 화합물 반도체를 실리콘등에 증착시킬때 생기는 antiphase disorder(APD)를 생각할 수 있다. 특히 실리콘 원자가 GaAs 쪽으로 확산되어 들어가면 dopant 역할을 하여 전기적 성질에 영향을 주는데, 낮은 온도에서 성장하거나 buffer layer를 만들어 줌으로써 이러한 interdiffusion 영향을 최소화 할 수 있다.

한편 GaAs와 같은 극성물질 (polar material)을 실리콘과 같은 비극성물질 (non-polar material)위에 성장시킴으로서 생기는 APD는 다이아몬드 구조를 가지는 실리콘과 zincblende 구조를 가지는 GaAs가 두개의 FCC sublattice를 가지기 때문에 발생된다. 원칙적으로 (100)면은 두 FCC sublattice의 하나만 포함하고 있지만 실제로 (100)표면은 step들을 가지고 있으며, 이들 step간의 높이가 원자층간 높이의 홀수배가 될때 그 표면은 두 sublattice에 있는 원자들을 같이 포함하게 된다. 이러한 실리콘의 표면위에 GaAs를 성장시킬 경우 APD가 생기게 된다. 즉 AsH_3 분위기에서 성장전 열처리 및 cool-down을 하는 동안 Si-As bond가 생기면서 GaAs 성장이 시작되는데, 이러한 경우 GaAs는 홀수배의 원자층 높이를 가지는 step들의 양편에 각각 생성되어 antiphase boundary를 형성하면서 함께 성장하게 된다. 반면에 (100)결정방향에 대해 모든 step들이 짝수배의 원자층간 높이를 가지고 처음 실리콘 원자들에 같은 종류의 (Ga

혹은 As) 원자들이 생성되면 이 문제가 해결되어질 수 있다. 그리하여 성장전 실리콘 표면의 처리는 APD가 없는 GaAs 층을 실리콘 위에 성장시키는데 중요한 과정이 되며, 실리콘 기판을 높은 온도에서 열처리함으로써 좋은 결과를 얻고 있다. 표면구조가 two-domain(100) 2×1 인 실리콘을 1,000 °C에서 20 분간 열처리하여 single-domain 2×1 구조를 가지는 실리콘 표면을 얻을 수 있으며²⁴⁾ 이러한 결과는 홀수배의 원자층간 높이를 가지는 step들의 짝수배의 원자층 높이를 가지는 step들로 변하는 것을 의미한다.

한편, 실리콘 표면의 결정방향을 (100)로부터 약간 기울인 경우에는 표면에 존재하는 step들 간의 거리가 서로 가까워져 재배열을 위한 원자들의 이동거리가 짧아지게 되기 때문에 재배열하는데 필요한 온도가 낮아지게 된다. 그 외에 (211) 결정방향을 가지는 실리콘 웨이퍼를 사용함으로써 표면재배열을 위한 고온 열처리를 피할 수 있지만 비등방성을 가지는 여러 종류의 실리콘 소자 제조공정들이 (211) 결정방향에 대해 새로이 정립되어야 하는 어려움을 내포하고 있다.

이상에서 살펴본 바와 같은 GaAs-on-Si의 문제점들을 효과적으로 해결하고 양질의 GaAs 에피층을 실리콘위에 성장시키기 위하여 많은 연구자들에 의해 활발하게 연구되어지고 있다.

2. MOCVD 법에 의한 GaAs-on-Si 성장

근년에 들어 고품질의 화합물 반도체 재료 에피결정을 성장

사키는데 MOCVD 법 (유기금속 화학증착법) 이 중요한 방법으로 사용되어지고 있다. MOCVD 법에서 Ga source로서 trimethylgallium(TMg) 혹은 triethylgallium(TEG)가 사용되어지고, As source로서 AsH₃가 사용되어지며, TMG 혹은 TEG는 AsH₃과 기체상태로 섞여지며 열분해에 의해 분해된 원자 및 분자들이 뜨거워진 (650 ~ 750 °C) 기관위에서 GaAs로 결합한다.

MOCVD 법에 의해 실리콘 기관위에 단결정 GaAs를 성장시키는 기술은 1983년부터 보고되어지고 있다.¹⁹⁾ 일반적으로 MOCVD 반응관은 수직 및 수평반응관, barrel type 등이 있으며 대기압 혹은 저기압 (~ 100 Torr)에서 GaAs가 성장되어진다. MOCVD 법에 의한 기본적인 성장과정은 실리콘 기관 준비과정, 산화물 제거 및 표면 재배열을 위한 고온열처리 과정, 생성과정 혹은 중간층 성장과정 그리고 top GaAs층의 성장과정 등으로 구성되며 전형적인 기관온도 변화가 그림 5-1에 나타나 있다. 사용되는 실리콘 기관의 결정방향은 주로 [011] 방향으로 2 ~ 5° 정도 tilt시킨 (100) 방향이며, 유기용제에 의해 유기물을 제거하고 HF에 dip한후 반응관에 장입한다. 고온 열처리과정은 H₂ + AsH₃ 분위기로 온도 850 ~ 950 °C에서 10분정도로 하며, 다시 온도를 낮추어 450 °C 근방에서 아주 얇은 (100 ~ 200 Å) GaAs층을 증착하는 것이 생성과정이 된다. 이때 마지막으로 성장될 GaAs층의 품질을 좋게하기 위해 그림 5-2에서와 같이 GaAs/AlAs, GaAs/GaAlAs, Gap / GaAsP 등의 초격자들을 중간층으로 하여 성장하는 방법도 있으나 그렇지 않는 경우에는 통상의 GaAs 성장조건과 같은 조건으로

TYPICAL SEQUENCE OF SUBSTRATE TEMPERATURE

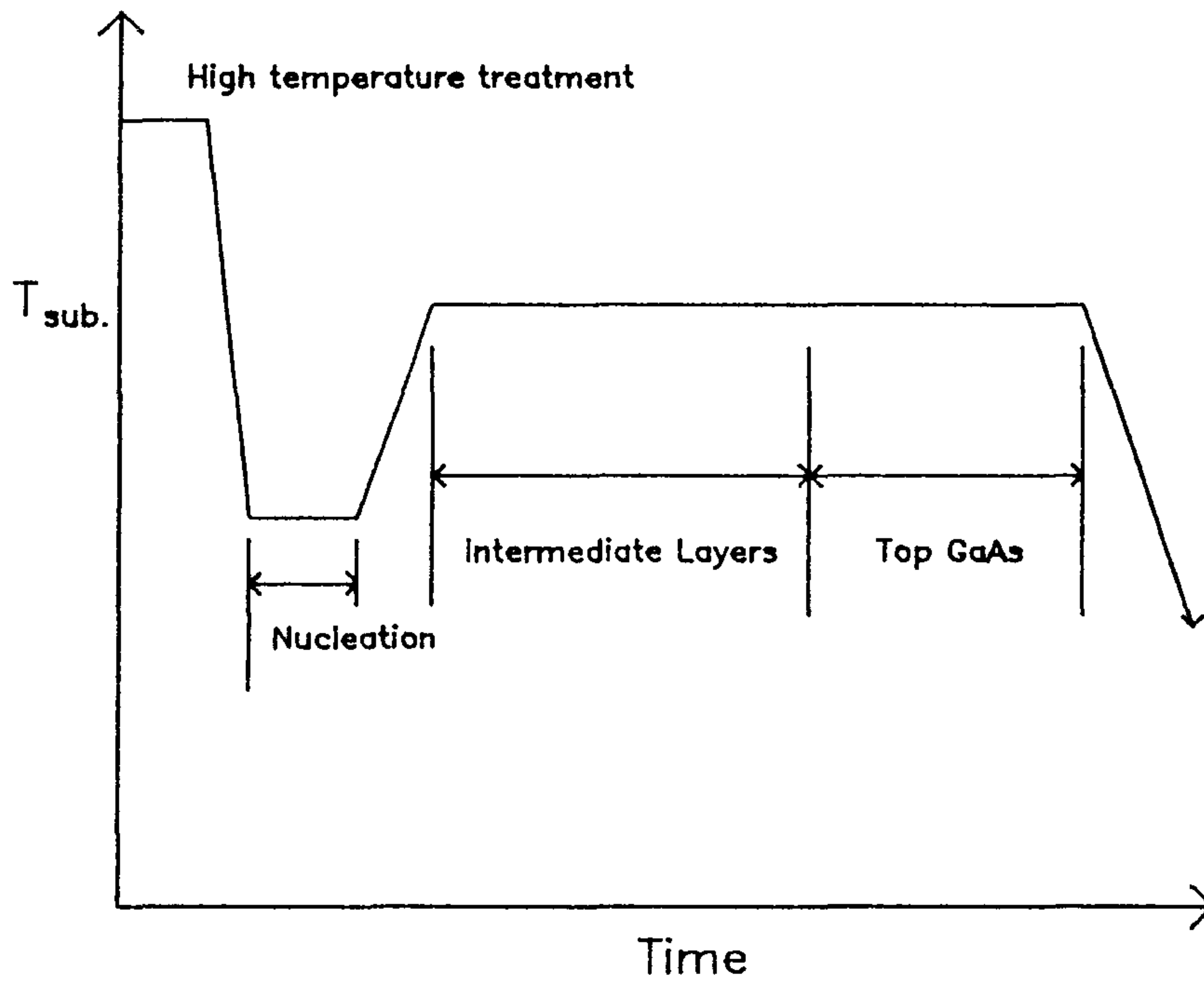


그림 5-1 . GaAs-on-Si 성장을 위한 전형적인
기판 온도 변화

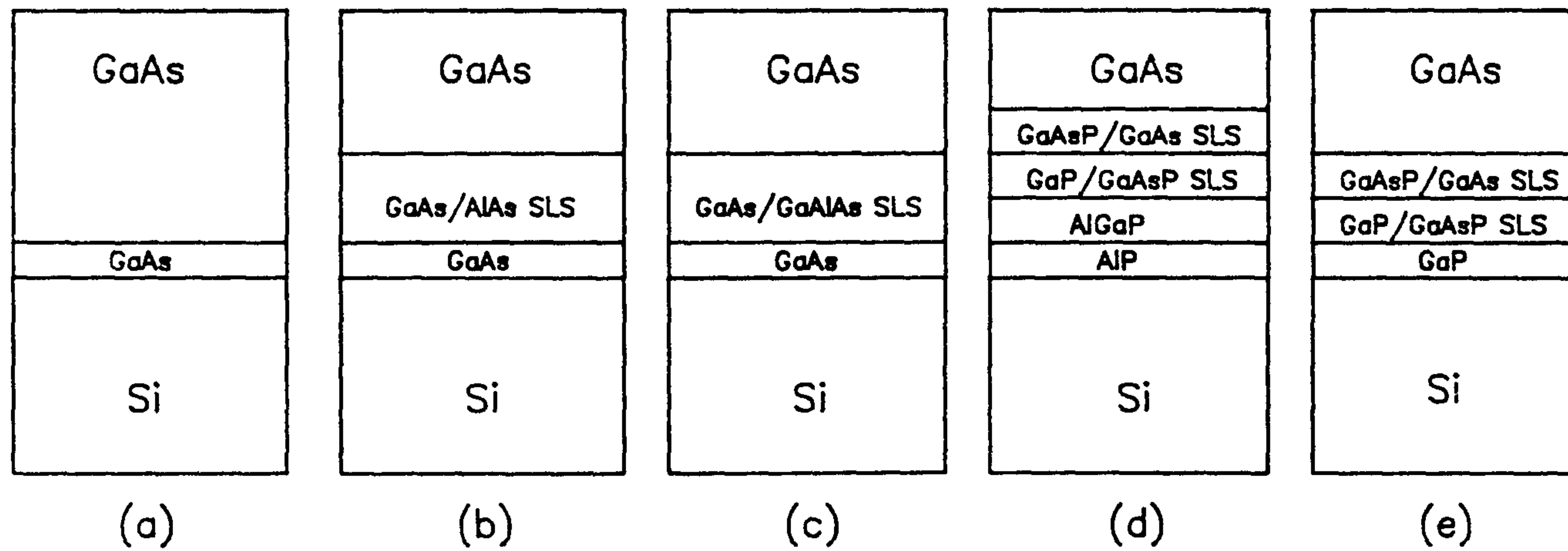


그림 5-2 . MOCVD 법에 의해 GaAs-on-Si 을 성장하기 위한 구조들

top GaAs 를 성장하게 된다. 이와 같은 성장방법을 two step 성장 방법이라고 하며 그 성장기구는 다음과 같다. 400 ~ 450 °C의 낮은 온도에서 얇은 (~ 150 Å) GaAs buffer 층을 성장한 후 top GaAs 층을 성장하기 위해 기판의 온도를 올려 annealing 하는 동안 solid phase epitaxy(SPE)에 의한 재성장이 일어난다. 이때 실리콘과 GaAs 간의 격자부정합에 의해 응력이 생기며, 이러한 응력은 수많은 부정합 전위를 발생하면서 완화된다. 이와 같은 SPE 과정을 자세히 살펴보면, 처음 GaAs 층은 GaAs 자신의 격자 상수를 가지면서 증착되어 진다. 이 단계에서 비교적 실리콘의 격자와 정합되는 영역과 부정합한 영역으로 나누어지며 annealing 하는 동안 SPE 재성장이 일어난다. 이때 비교적 격자가 정합된 영역이 종자역할을 하면서 윗쪽과 측면방향으로 재성장이 일어나며 격자부정합에 의한 응력은 일정한 영역으로 응집된다.

위에서 살펴본 바와 같이 GaAs-on-Si 성장의 시작단계인 고온 열처리와 first GaAs 층의 성장 및 annealing은 마지막으로 성장되어지는 top GaAs의 품질에 결정적인 영향을 준다. 이들 과정의 성장조건(온도, 분위기, 시간 등)들은 대략적으로 확립되어 있으나 사용되는 MOCVD 반응관의 상태에 따라 민감하게 변하게 되어 고품질의 GaAs-on-Si을 성장하기 위해서는 각 반응관에 알맞는 최적 성장조건을 찾아내야 할 것이다.

3. GaAs-on-Si의 특성 측정

실리콘 기판위에 성장된 GaAs 에피층의 특성 측정으로서

surface morphology, crystallinity, 구조결함, 화학적 특성, 전기적 특성, 광학적 특성 등이 조사되어지며, 기계적 성질이 서로 다른 두 재료를 접합함으로써 생기는 기계적 특성과 열적 안정성 등이 측정되어진다. surface morphology는 주로 광학 현미경 및 전자현미경등으로 관측되어지며 crystallinity는 X-ray diffraction과 Rutherford backscattering(RBS)등으로 측정된다. 그리고 구조적 결함(antiphase domain 및 전위결함등)을 조사하기 위해 주로 용액 KOH 혹은 Wright etching을 사용하지만 정밀한 측정을 위해서는 transmission electron microscope(TEM)을 이용하여 세밀하게 분석을 하여야 한다. 한편 Auger analysis 및 SIMS(secondary ion mass spectroscopy)등에 의해 화학적 특성을 측정할 수 있으며 I-V, C-V, deep level transient spectroscopy(DLTS), Hall effect 측정등으로 전기적 특성을, 그리고 photoluminescence(PL), electroluminescence(EL), electroreflectance등으로 광학적 성질을 측정한다. 전기적 특성으로는 주로 GaAs 층에서의 mobility, carrier concentration 분포, 비저항, deep level 등이 조사되어지며, 광학적 특성으로 band gap energy 변화, 불순물들의 영향, stress에 의한 영향등이 조사되어진다. 그 외에 GaAs/Si 에피층에서의 응력, 열처리 효과등에 관해서도 조사되어진다.

제 2 절 MOCVD 법에 의한 GaAs-on-Si 성장^{25,26)}

1. 실험방법

가. MOCVD 장치²⁷⁾

본 연구에 사용한 실험장치의 개략도는 그림 5-3 과 같으며 feed system, reactor system, exhaust system의 3 부분으로 나누어져 있다. Feed system 및 reactor system은 CSI (Crystal Specialty Inc.) model 421 을 대폭 개조하여 사용하였으며, exhaust system은 자체 제작하였다. 이들 각 부분을 간단히 설명하면 다음과 같다.

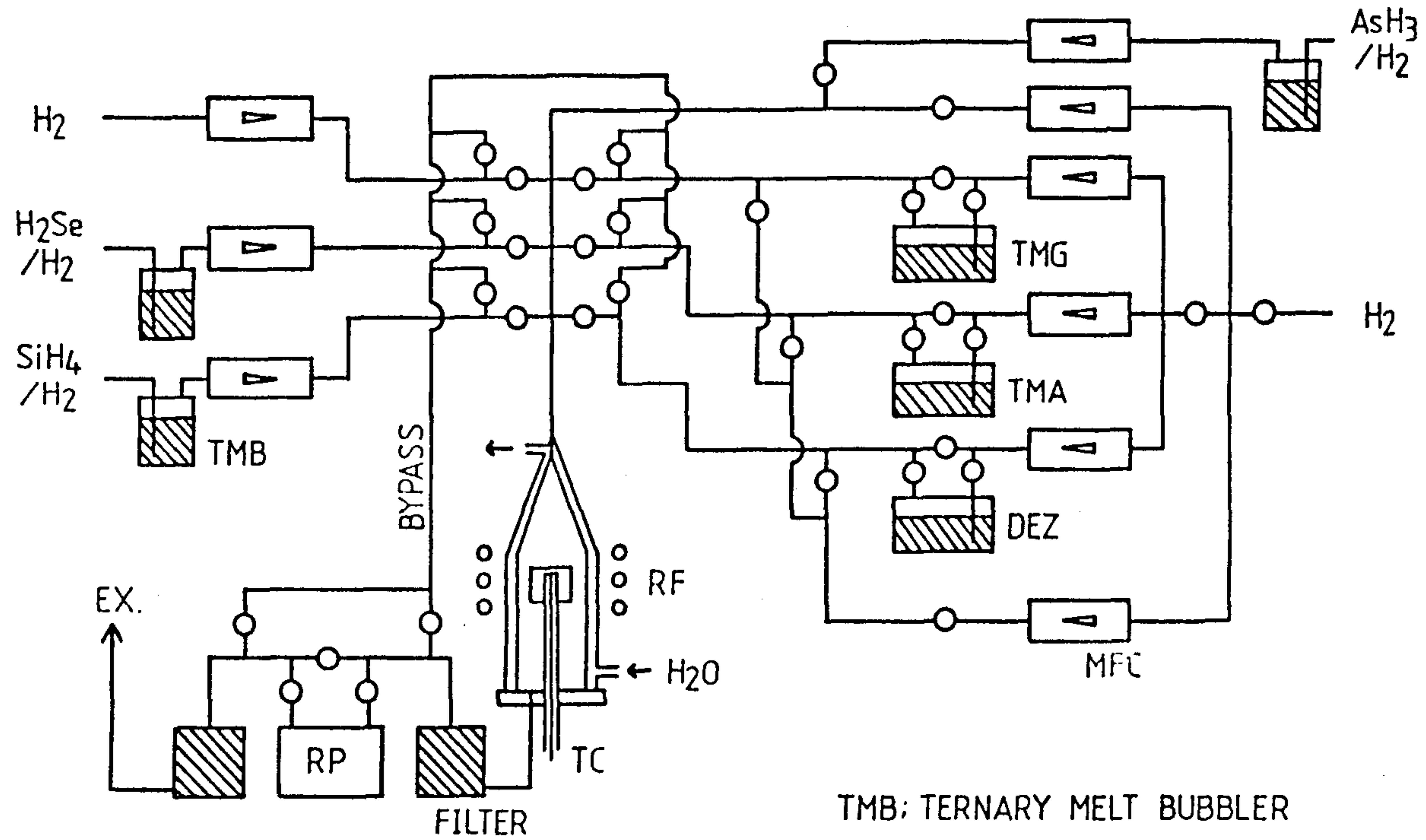
① Feed system

각종 반응가스 및 운반가스를 반응관으로 보내주는 feed system의 모든 배관은 316 stainless steel 1/4 inch tubing 을 사용하였다. 사용되어진 밸브는 air activated bellows 밸브이며 전기적으로 개폐가 가능하고 마이크로프로세스에 의해 실험과정을 자동으로 진행할 수 있다. 각 반응가스들의 유량은 MFC(mass flow controller)로 조절하였으며 metalorganic source는 저온용 temperature controller ($-5^{\circ}\text{C} \sim 30^{\circ}\text{C}$)를 사용하여 일정한 온도로 유지되도록 하였다.

② Reactor system

본 연구에서 사용한 반응관은 수직형태로서 내경 60 mm 길이 400 mm의 석영관을 사용하였으며 susceptor는 지름 40 mm 높이

SCHEMATIC DIAGRAM OF MOCVD REACTOR



165

그림 5-3 MOCVD 장치의 개략도

50 mm의 graphite를 사용하였고, RF generator (450 kHz, 20 kw)로 유도 가열하였다. 한편 시편장착시 외부공기의 접촉을 최소로 줄이기 위해 load-lock 장치를 제작하여 사용하였다.

③ Exhaust system

Exhaust system은 반응관에서 생긴 반응 생성물을 처리하는 부분으로서 AsH_3 이 분해되어 생긴 arsenic 가루를 포집하는 arsenic powder trap과 반응하지 않은 여분의 AsH_3 이나 기타 가스를 제거하는 AsH_3 trap, rotary pump, burning chamber 등으로 구성되어 있다. Exhaust system 배관은 arsenic powder에 의해 막히지 않도록 1/2 inch stainless steel tubing을 사용하였다.

나. 반응기체

GaAs 결정 성장에 사용한 gas source는 H_2 와 10% AsH_3 의 혼합가스, TMG(trimethylgallium : $(CH_3)_3 Ga$)이다. 운반가스인 H_2 는 순도 99.999% (5N)의 국산가스를 pd-purifier로 재 정제하여 사용하였으며, 특히 H_2 와 10% AsH_3 혼합가스는 Ga-In-Al ternary melt bubbler를 이용하여 H_2O 나 O_2 불순물들을 제거하여 사용하였다. Metalorganic 화합물은 Alfa ventron Co.의 것을 사용하였고, AsH_3 gas는 대한특수 주식회사로부터 공급받은 것을 사용하였다. Purge용 가스로는 순도 99.999%의 argon을 Ti-purifier로 재정제하여 사용하였다.

Metalorganic 화합물인 TMG는 $-5^\circ C$ 로 유지시켰고, H_2

운반가스로 bubbling시켜 이들의 증기를 반응관으로 보냈다. 이들의 증기압은 다음식에 의해 결정하였다.

$$\text{TMG} : \log p \text{ (mmHg)} = 8.070 - 1,703/T \text{ (}^\circ\text{K)} \quad \dots\dots\dots (5-1)$$

다. 실리콘 시편의 전처리

실리콘 기판으로 본 연구실에서 boron을 doping한 (비저항 : 2 ~ 3 ohm-cm) p-type 실리콘 웨이퍼를 사용하였으며, 이들 시료의 결정방향은 (100)와 [011]방향으로 2 ~ 4° off된 (100)이다.

1 × 1 cm 크기를 가지는 실리콘 시편을 TCE - acetone - methanol 순으로 탈지한 후 N₂ 가스를 불어 건조시키고 20% HF에 dip한후 N₂에 의해 완전히 건조시킨 다음 바로 반응관에 장입하였다.

라. 에피 결정 성장과정

전 처리한 실리콘 기판을 반응관에 장입한 후 argon으로 purge하여 공기를 제거하고 H₂ 가스를 유입시킨다. H₂ 가스를 4 ℓ/min로 20분 이상 흘린 다음, RF generator를 이용하여 susceptor를 가열하였다. Susceptor의 온도가 400 °C 정도일때부터 AsH₃ 가스를 유입시켜 susceptor에 증착되어 있는 Ga As로부터 As이 해리되는 것을 방지하였다. Susceptor의 온도를 950 °C 근처까지 올려 10 ~ 30분 동안 열처리하여 실리콘 표면으

로부터 산화물등을 날려보낸 다음, 다시 온도를 450 °C 근처로 내려 GaAs first layer의 성장준비를 한다. 온도가 450 °C 근처로 안정되었을때 metalorganic 화합물들의 증기를 반응관에 유입시키는데 이때 약 10 분간 이 증기를 bypass시켜 유량을 안정시킨 다음 유입시켜 일정한 결정성장 속도로 얻도록 하였다.

First GaAs 층의 성장시간을 1 ~ 10 분으로 변화시키면서 top GaAs 층의 특성의 변화를 비교하였다. First GaAs 층의 성장이 끝나면 다시 온도를 750 °C로 올려 10 분동안 annealing 하여 SPE 재성장이 일어나도록 한 후 TMG를 다시 장입하여 top GaAs 층을 성장하였다. 성장된 GaAs의 두께를 변화하기 위해 성장시간을 30 분, 1 시간, 2 시간 등으로 하여 두께가 1 ~ 5.5 μm 의 GaAs 층을 실리콘 위에 성장시켰다. 모든 성장이 끝나면 TMG의 유입을 다시 bypass로 한 다음 AsH_3 은 계속 유입시키면서 5 분간 열처리한 후 온도를 내린다. Susceptor의 온도가 400 °C이하로 되면 AsH_3 의 유입을 멈추고, 100 °C 이하의 온도가 되면 argon으로 반응관내의 수소를 제거한 다음 시편을 꺼냈다.

에피결정을 성장시키지 않을 때에도 반응관에 항상 H_2 가스를 흘려서 반응관내의 분위기가 변하지 않도록 하였다. 한편 표5-1에 본 연구에서 행해진 GaAs-on-Si 성장실험 조건들을 요약하였다.

마. GaAs-on-Si 에피층의 특성조사

본 연구에서는 GaAs 에피 결정층의 surface morpholo-

표 5-1. GaAs-on-Si 결정 성장조건

Process	Parameter	Range
High temp. treatment	ambient	H ₂ + AsH ₃
	temperature	900 ~ 950 °C
	time	10 ~ 30 min
	H ₂	4 ℓ / min
	AsH ₃	6 ~ 10 SCCM
1st GaAs layer	temperature	420 ~ 450 °C
	time	1 ~ 10 min
	H ₂	4 ℓ / min
	AsH ₃	10 SCCM
	TMG	0.2 SCCM
Top GaAs layer	temperature	750 °C
	time	30 ~ 120 min
	H ₂	4 ℓ / min
	AsH ₃	10 SCCM
	TMG	0.2 SCCM
Total pressure		1 atm.

gy, KOH 용액 etching 및 TEM 관측에 의한 결정 결함, X-ray diffraction에 의한 crystallinity 등이 조사되었으며 이들 각각에 대한 것은 나중에 자세하게 설명되어질 것이다.

2. 실험결과

가. GaAs-on-Si 에피층의 두께측정

실리콘 기판위에 성장된 GaAs 에피층의 두께는 중요한 변수로서 정확하게 측정되어야 한다. 얇은 에피층의 두께측정방법은 angle lapping 및 staining 방법, 비파괴적으로 측정할 수 있는 infrared interference 등 여러가지 방법이 있으나 본 연구에서는 angle lapping 법에 의해 두께를 정확하게 측정할 수 있었다. 보통의 경우 angle lapping 후 stain을 함으로서 계면이 관측되나 GaAs-on-Si의 경우 GaAs와 실리콘의 mechanical 특성이 판이하게 다르기 때문에 단지 angle lapping에 의해서도 쉽게 계면을 관찰할 수 있었다. 그림 5-4는 각각 성장시간이 다른 시료들에 대해 $2^{\circ}52'$ 의 각도로 angle lapping한 표면의 현미경 사진이다. 그림 5-4의 (a), (b), (c)는 각각 30분, 1시간, 2시간동안 top GaAs를 성장시킨 시료이며 각각의 두께가 $1\mu\text{m}$, $2\mu\text{m}$, $5.5\mu\text{m}$ 로 측정되어 top GaAs의 성장속도가 $2\sim 2.7\mu\text{m/hr}$ 가 됨을 알 수 있었다.

나. Surface morphology

[011] 방향으로 3° off 된 (100) 실리콘 기판위에 거울면을 보이는 GaAs 에피층을 성장시킬 수 있었다. 그림 5-5는 (100) 결정방향을 가지는 실리콘 기판과(a), [011] 방향으로 3° off 된 (100) 실리콘 기판(b) 위에 성장시킨 top GaAs 층의 표면사진이다. 이들 시료들의 성장조건은 똑같이 450°C 에서 2.5 분동안 first GaAs 층을 성장시키고, As : Ga ratio를 50 으로 하여 750°C 에서 한시간 동안 top GaAs 층을 성장시켰으며 top GaAs 층의 두께는 둘 다 $2\mu\text{m}$ 이다. (100) Si 기판을 사용했을 경우 약간 회색빛의 표면을 보이고 있으며 tilt시킨 실리콘 기판위에 성장된 GaAs는 거울면을 가지고 있다. 이들 시료들의 surface morphology를 살펴보면 더욱 분명하게 비교된다. 그림 5-6은 같은 시료의 현미경 사진으로서 surface morphology의 차이가 심하다는 것을 알 수 있다. 즉 그림 5-6 (a)의 경우 분명한 domain boundary들이 보이며 그림 5-6 (b)은 평탄한 surface morphology를 보여준다. 결국 같은 성장조건에서 [011] 방향으로 약간 tilt시킨 (100) 실리콘 기판위에 GaAs 에피층을 성장시키는 것이 (100) 실리콘 기판을 사용하는 것보다 쉽다는 것을 의미한다. 그리하여 전술한 바와 같이 실리콘 웨이퍼를 (100) 방향에서 약간 tilt 함으로서 짝수배의 원자층간 높이를 가지는 step 들로만 형성된 표면을 쉽게 얻을 수 있다. 그렇게 함으로서 그림 5-5 (b) 및 5-6 (b)와 같이 domain boundary가 없는 평탄한 거울면을 가지는 GaAs 에피층을 실리콘 표면위에 성장시킬 수 있게 되는 것이다.

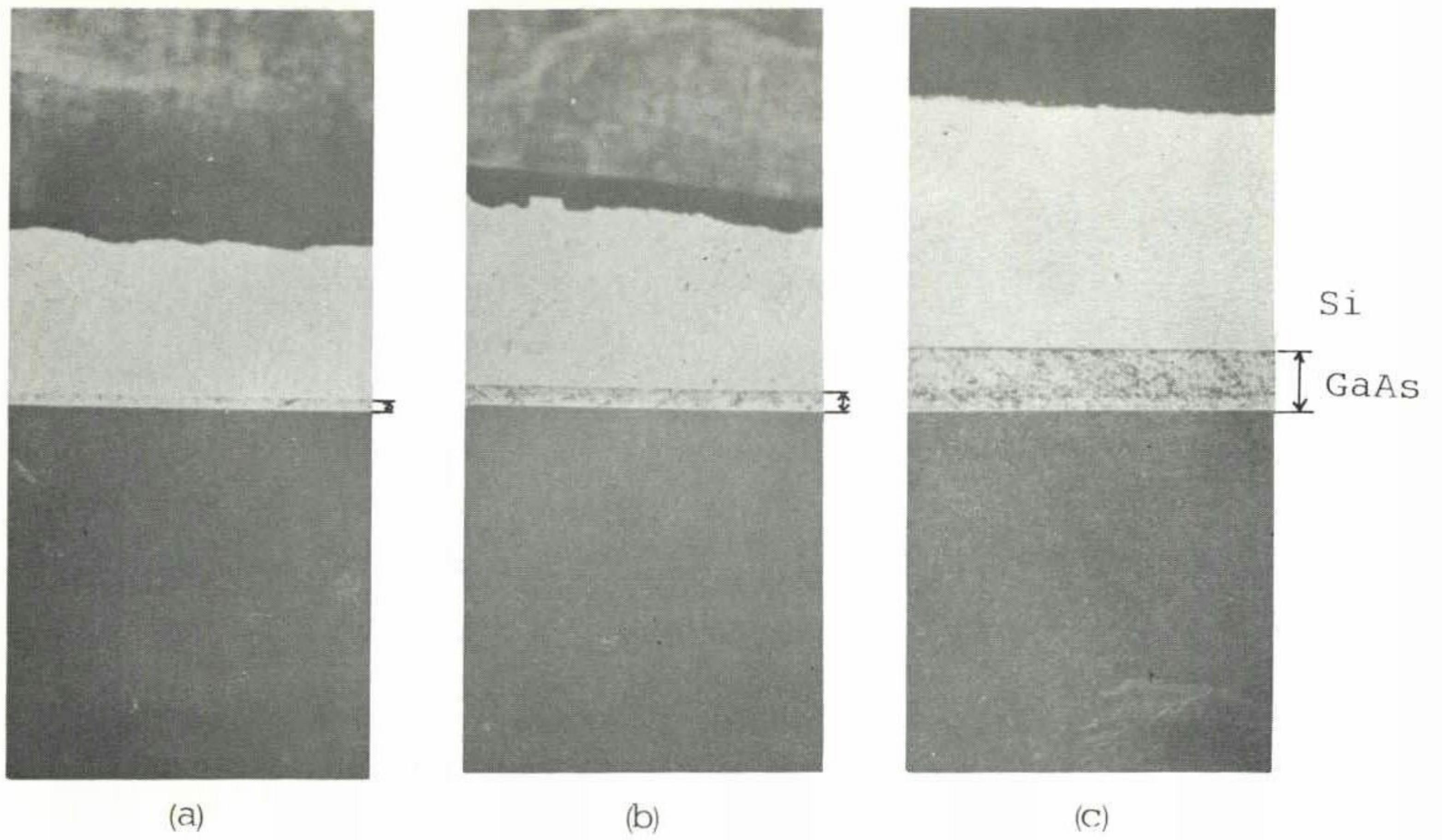


그림 5-4 Angle lapping 한 표면의 현미경 사진 ($\times 75$)

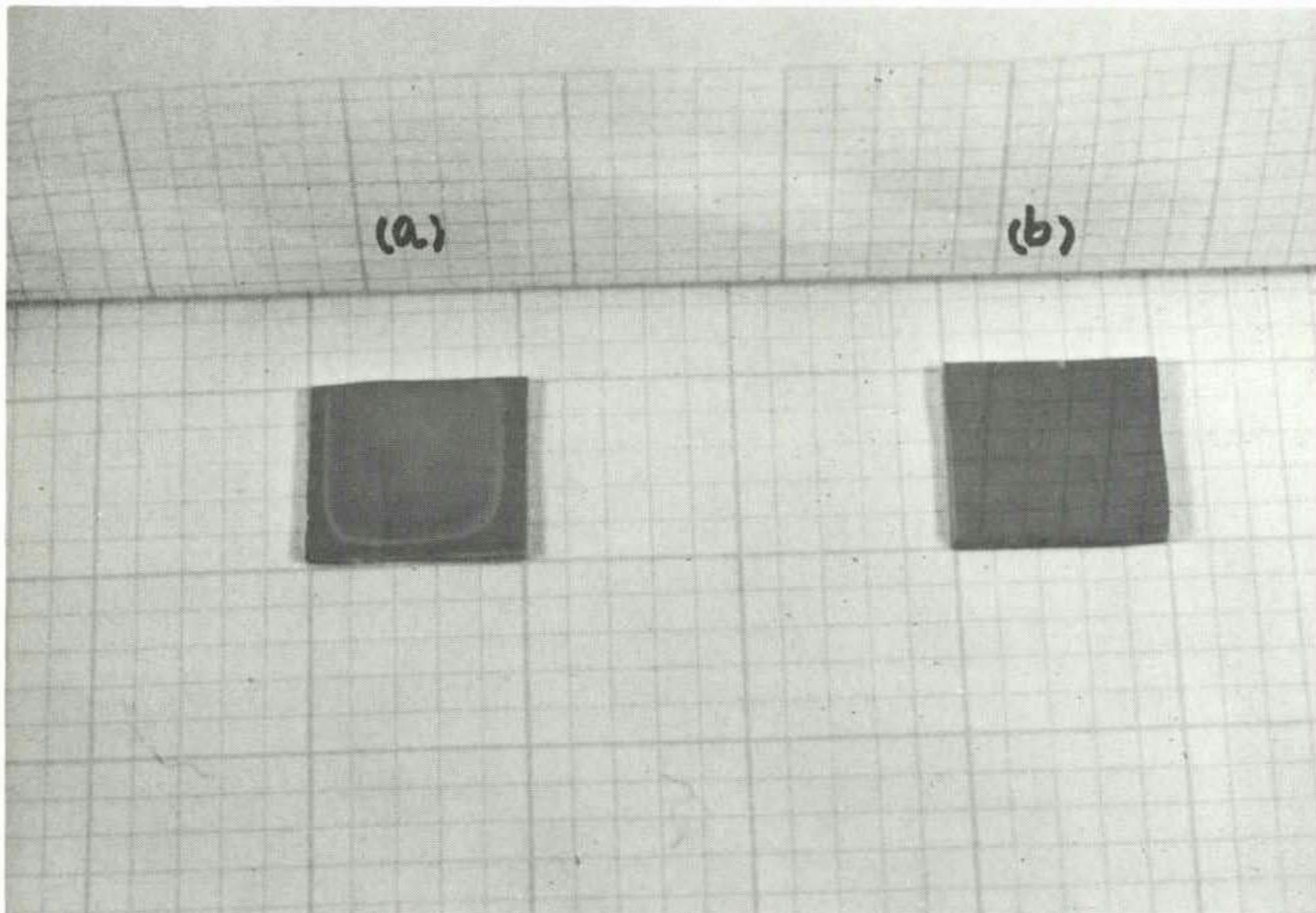
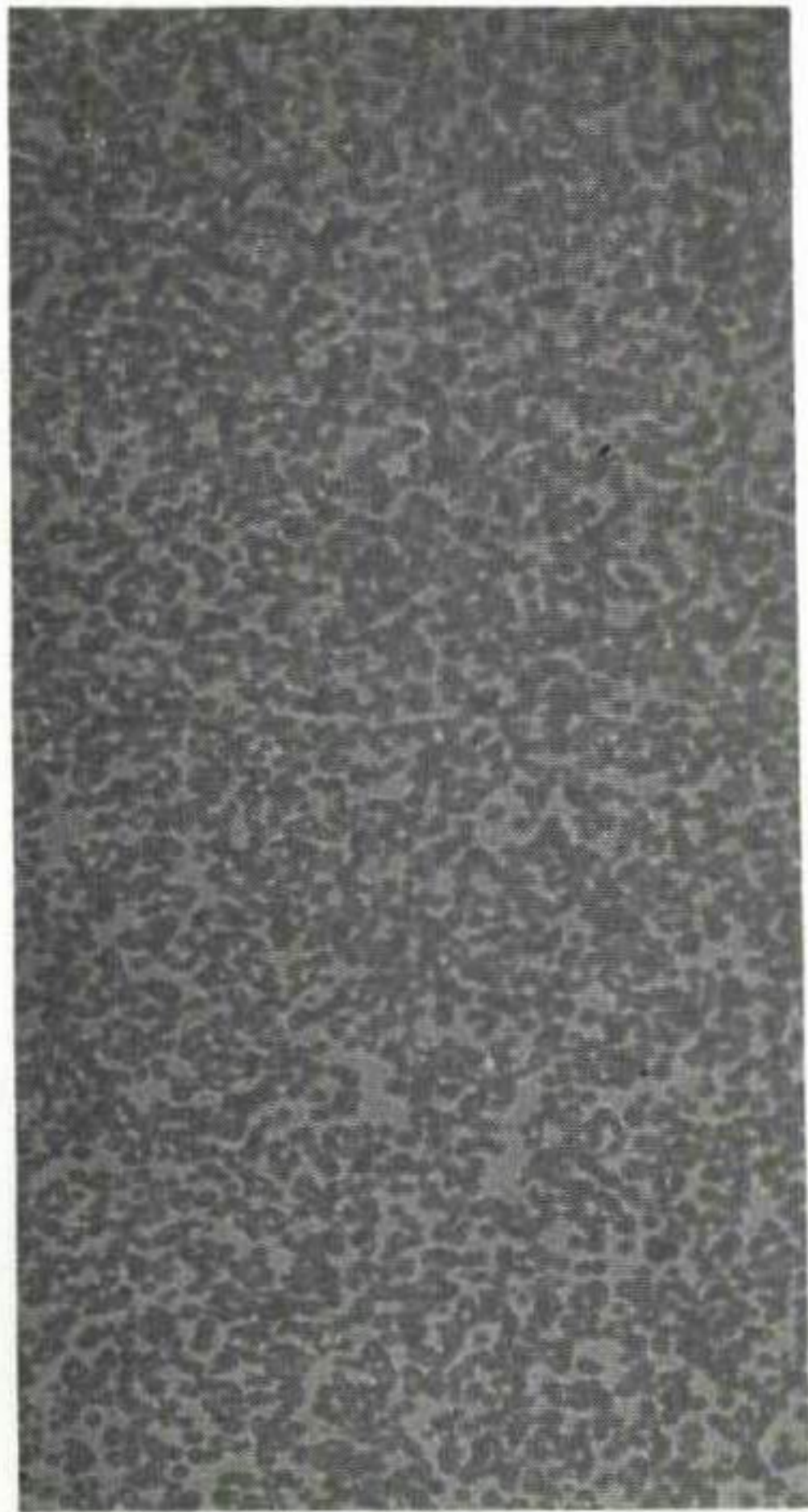
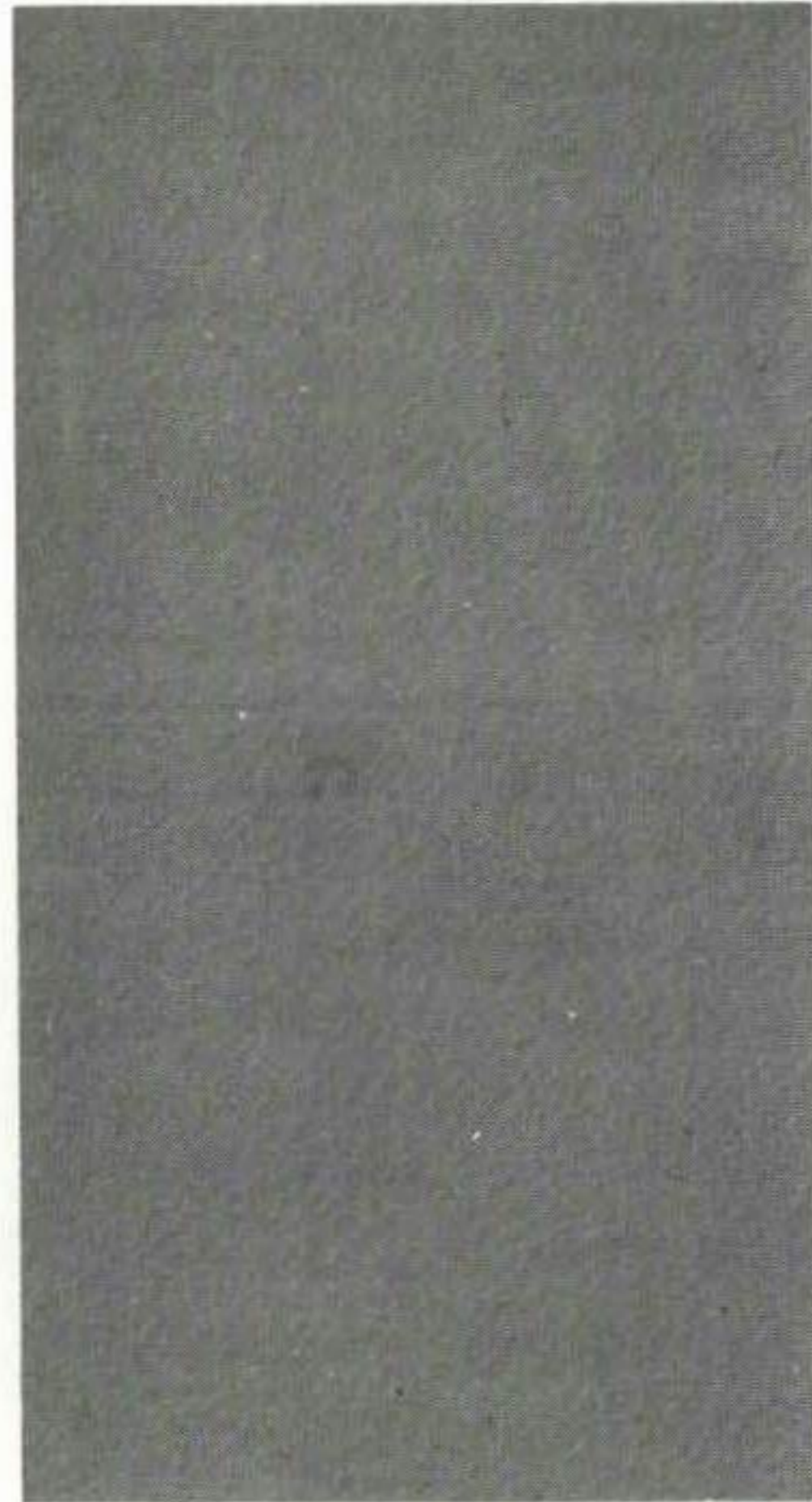


그림 5-5 GaAs-on-Si 의 as-grown 표면사진

(a) (100) Si 기판사용 (b) (011) 방향으로 3° off 된
(100) Si 기판사용



(a)



(b)

그림 5-6 GaAs - on - Si 의 surface morphology 비교 (x600)

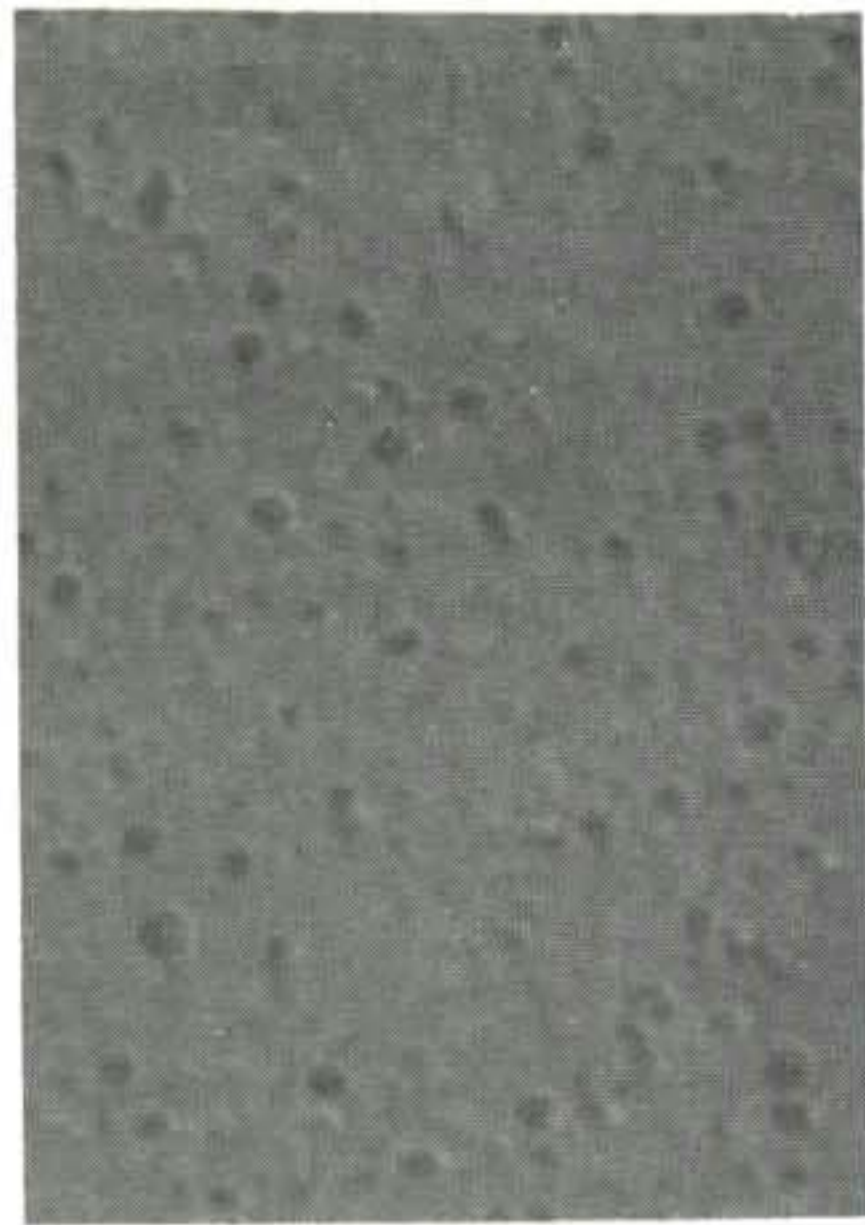
(a) (100) Si 기판사용

(b) [011] 방향으로 3° off 된 (100) Si 기판사용

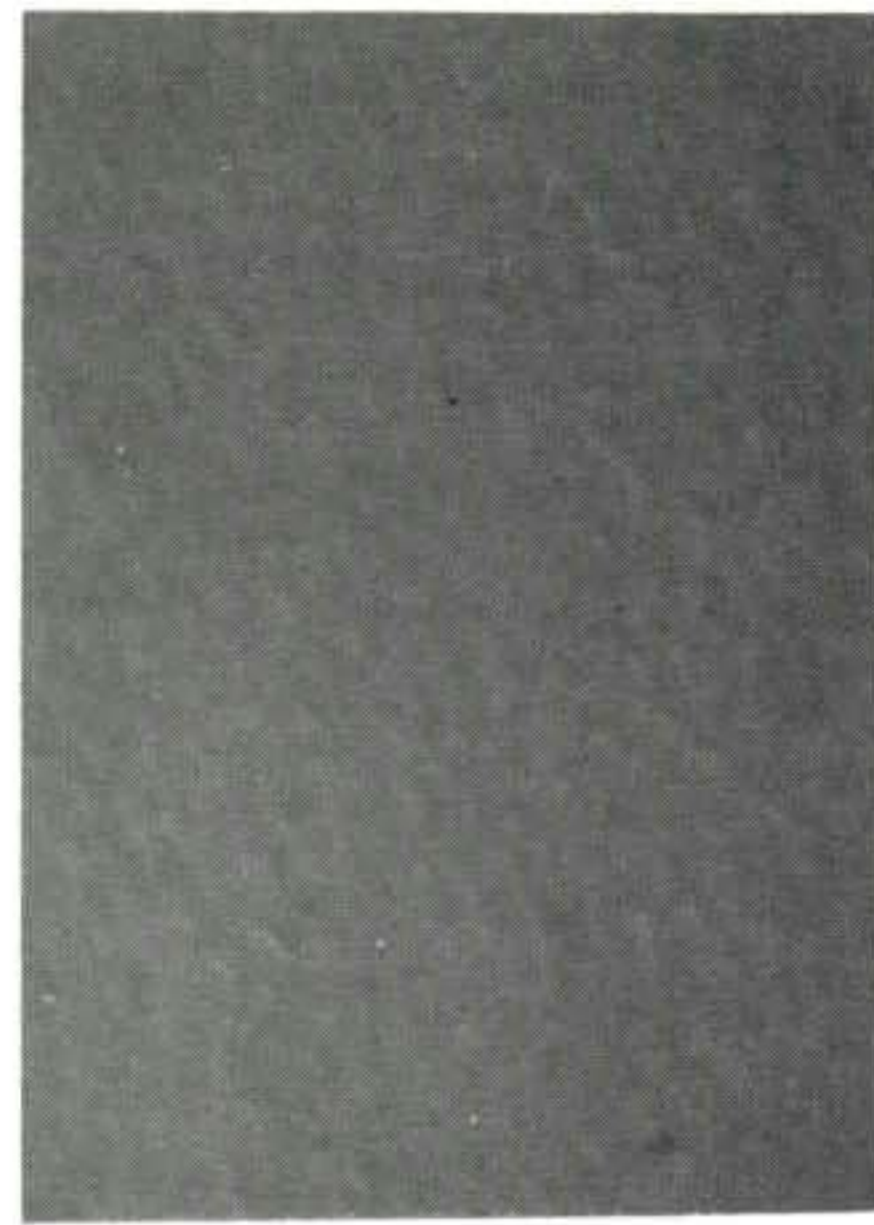
GaAs-on-Si 성장과정이 처음 몇 원자층에서의 원자배열에 아주 민감하기 때문에, 고품질의 GaAs-on-Si 을 얻는데 매우 중요한 저온에서의 nucleation step을 자세히 조사하였다. 이 단계에서 성장시간을 1, 1.5, 2.5, 5, 7.5, 10 분으로 변화하면서 top GaAs 층을 성장시켜 top GaAs의 surface morphology를 비교함으로써 가장 좋은 조건을 찾아 보았다. 이때 성장온도는 450 °C로 고정하였으며 As : Ga ratio는 50으로 하였다.

위와 같은 성장조건으로 nucleation step시간을 각각 다르게 하여 750 °C에서 두께 1 μm로 top GaAs 층을 성장시킨 시료들의 대표적인 surface morphology들이 그림 5-7에 비교되어졌다. 그림 5-7의 (a)는 1분동안 nucleation step을 거친 것이며 (b), (c), (d)는 각각 2.5분, 5분, 7.5분 동안 nucleation step을 거쳐 top GaAs 층을 성장시킨 시료들의 표면 현미경 사진이다. 이들로부터 nucleation step시간을 2.5분으로 하였을때 가장 좋은 surface morphology를 얻을 수 있다는 것을 알 수 있다. 실제 450 °C에서 2.5분간 실리콘 위에 GaAs를 성장시킨 시료에 대한 GaAs 층의 두께를 Ellipsometry에 의해 측정해본 결과 약 150 Å 정도 되었다.

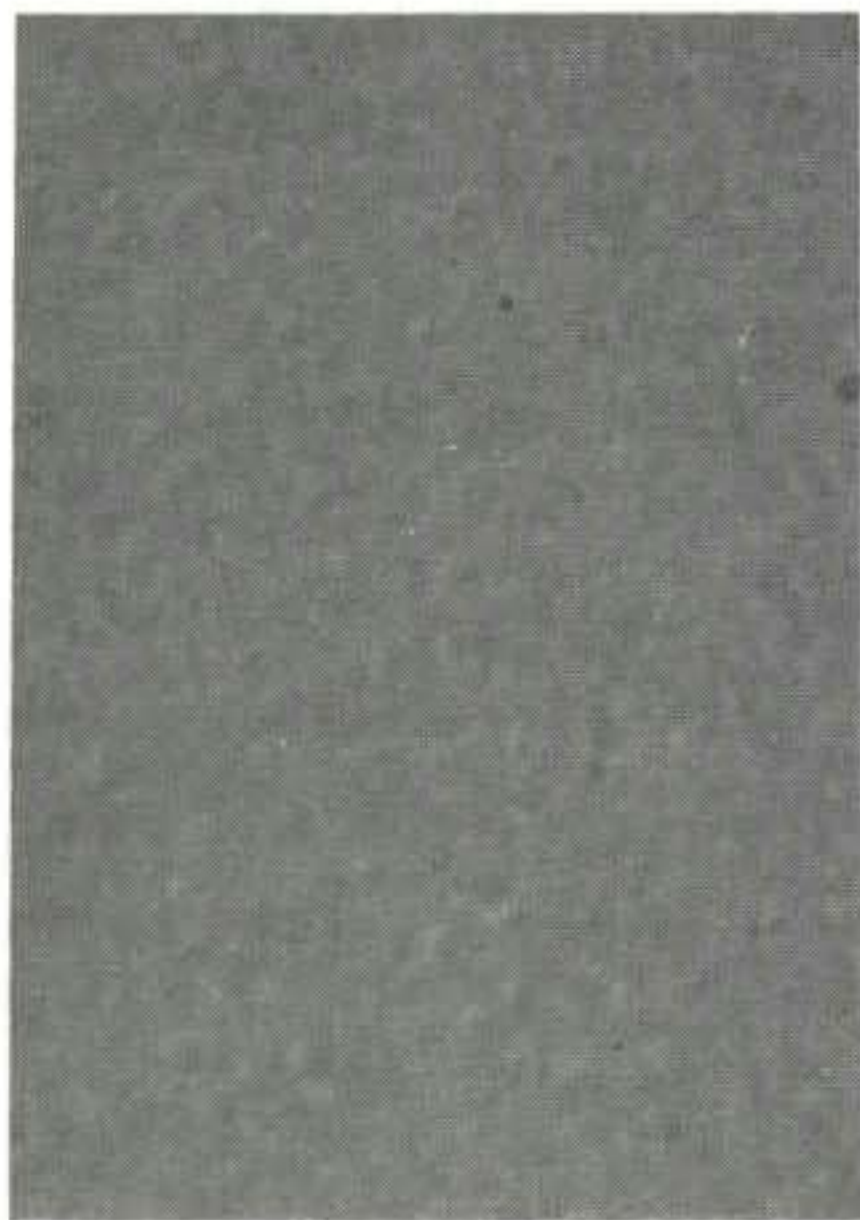
GaAs를 위와 같이 낮은 온도에서 성장하면 성장 표면에서의 원자들의 움직임이 활발하지 못하여 성장된 층은 매우 적은 크기를 가지는 많은 domain들을 가지고 있을 것으로 생각된다. 그리하여 이 first layer에서의 원자들은 annealing하는 동안 쉽게 재배열을 할 수 있을 것이다. 반면에 높은 온도에서 first



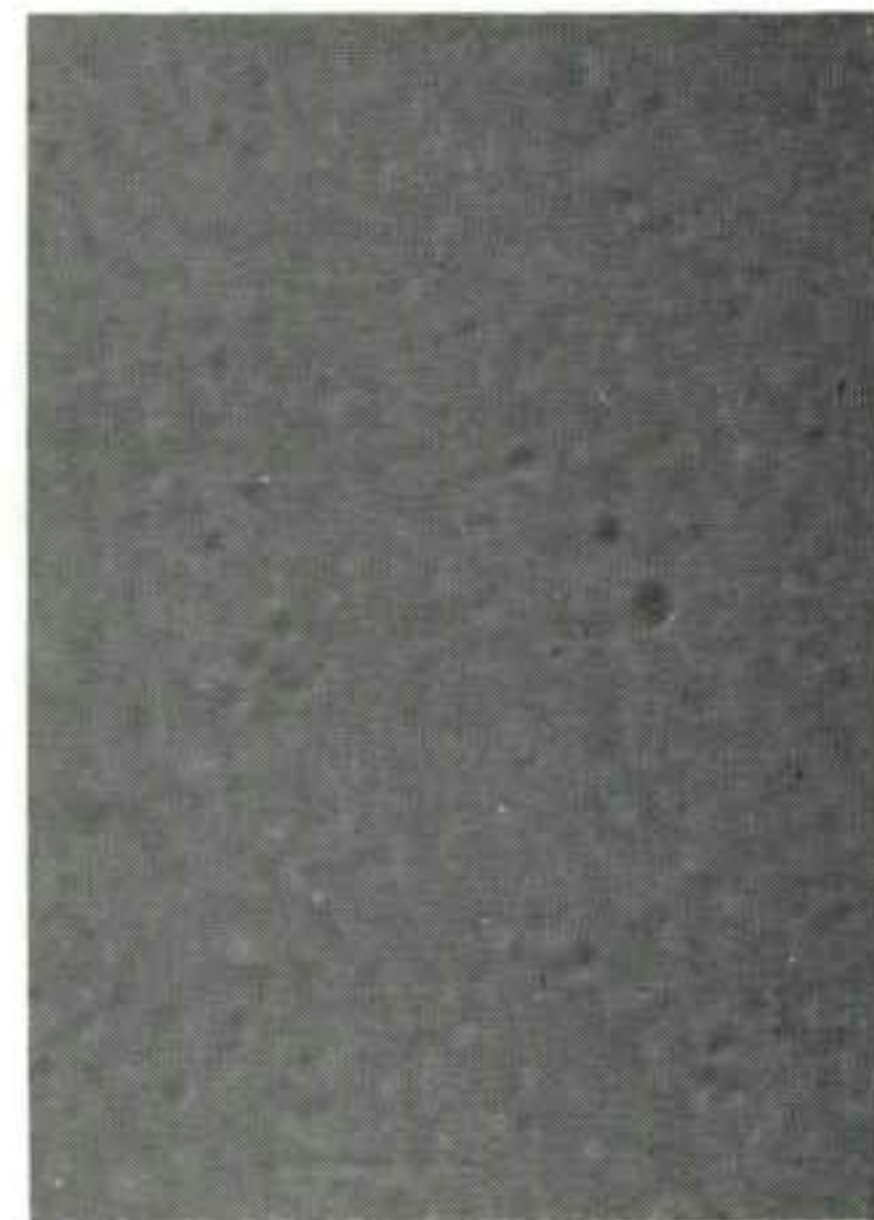
(a)



(b)



(c)



(d)

그림 5-7 Nucleation step 시간에 대한 $1 \mu\text{m}$ 두께의 GaAs-on-Si 층의 surface morphology 변화 ($\times 1500$)

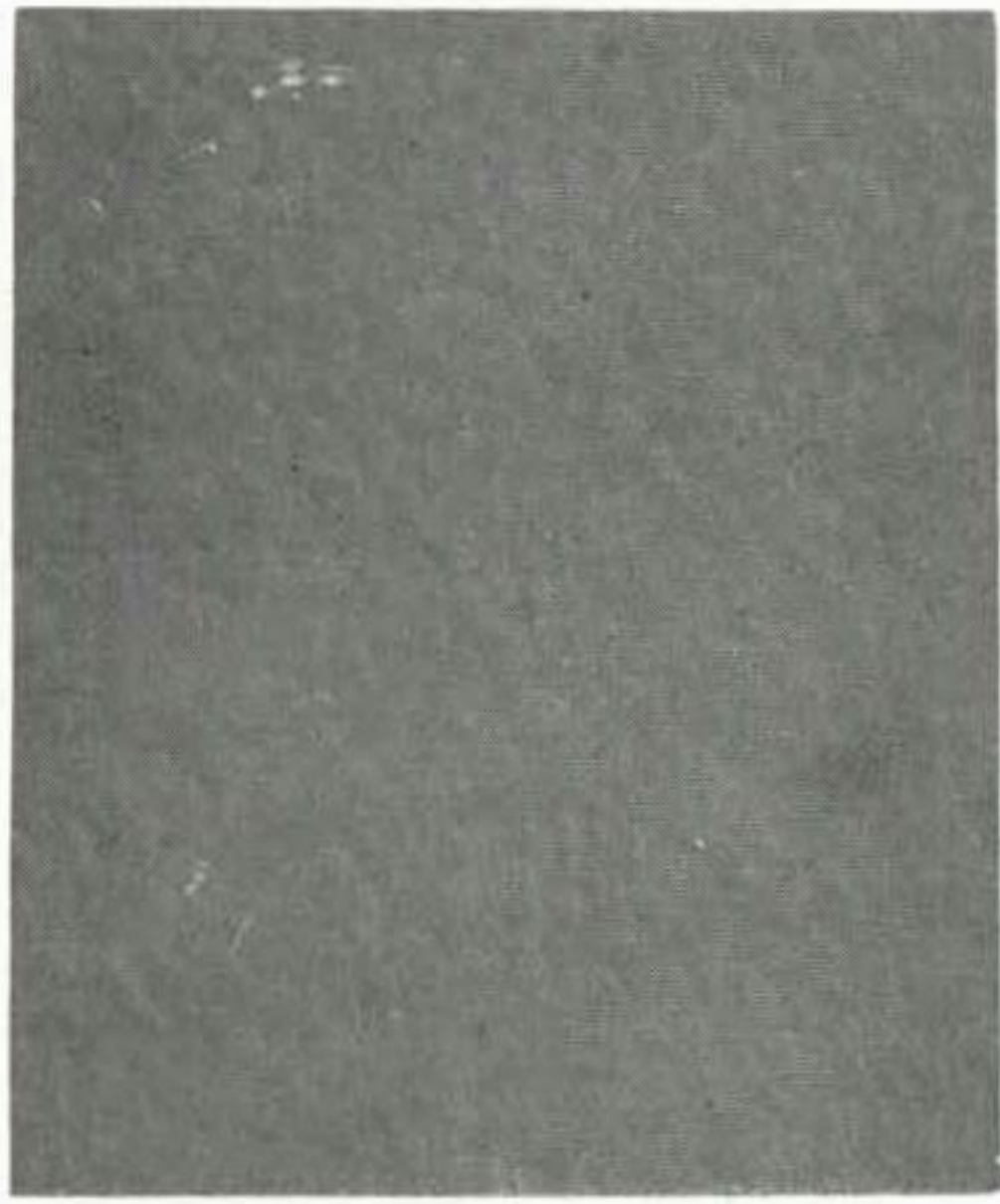
Nucleation step 시간: (a) 1 분 (b) 2.5 분 (c) 5 분 (d) 7.5 분

layer을 성장했을 경우에는 이들 domain들의 크기가 너무 크게 되어 원자들이 재배열되기가 어려워지며 비록 낮은 온도에서 성장할지라도 layer의 두께가 두꺼워지면 기판의 결정방향 때문에 역시 재배열되기가 어렵게 된다. 따라서 nucleation step에서 first layer는 낮은 온도에서 아주 얇게 성장되어야 하는 것이다.

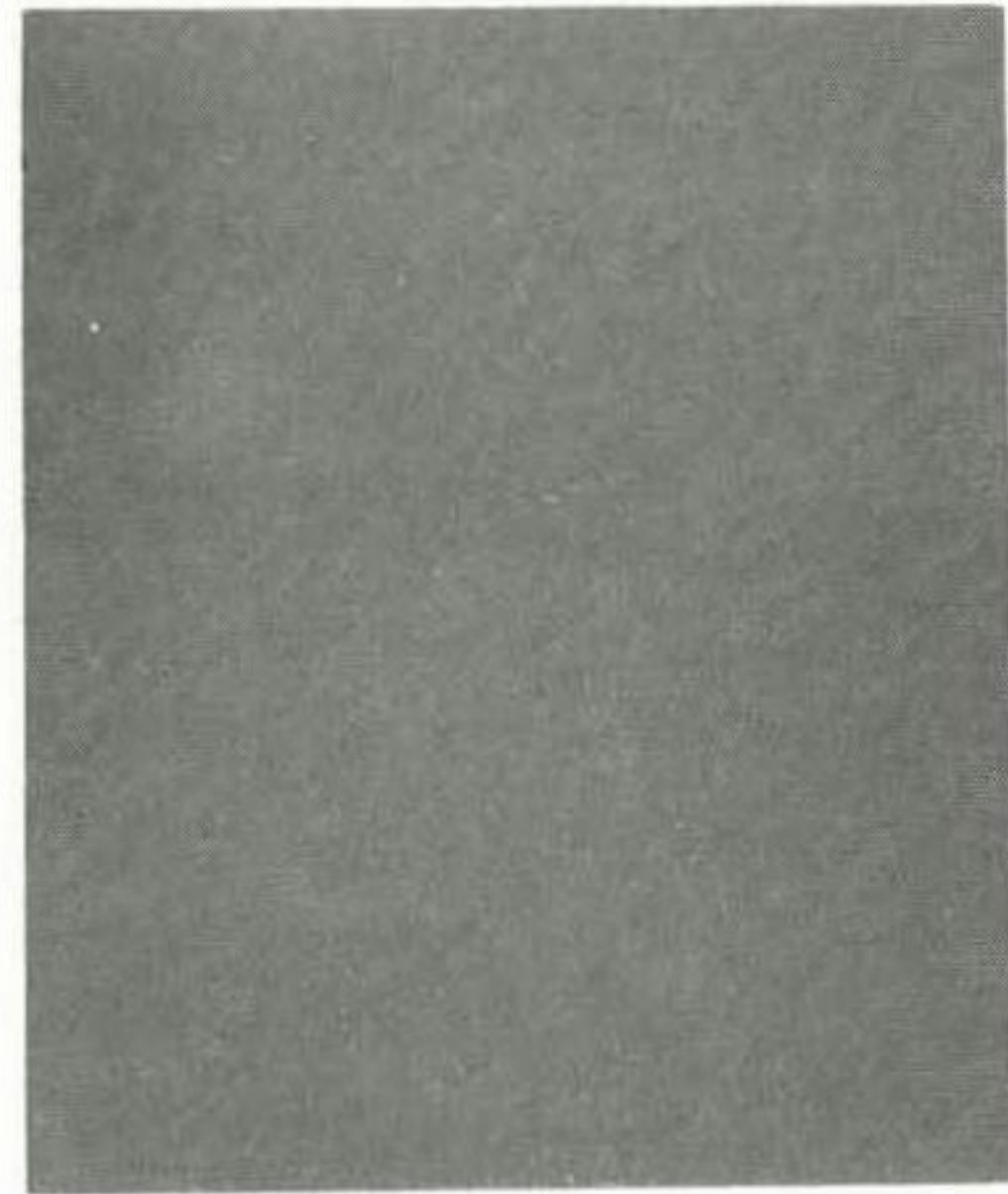
실리콘 기판위에 성장된 GaAs 층의 두께의 변화에 따라 surface morphology가 변하는 것을 관측할 수 있다. 그림 5-8은 두께가 각각 $1\mu\text{m}$ (a), $2\mu\text{m}$ (b), $5.5\mu\text{m}$ (c, d)인 GaAs-on-Si 시료들의 현미경 사진들을 보여준다. 두께가 두꺼워짐에 따라 표면 구조가 커지며 surface roughness가 좋아지는 것을 관측할 수 있으나, 두께 $5.5\mu\text{m}$ 인 시료의 표면에서는 thin crack들을 발견할 수 있다. 이들 crack들은 그림 5-8(c), (d)에서 화살표에 의해 표시되어져 있는 것처럼 $\langle 110 \rangle$ 방향으로 평행하게 존재하며 이들의 간격은 일정하지가 않지만 그 밀도는 $12/\text{mm}$ 정도로 측정되었다. 이들 crack들은 실리콘과 GaAs의 열팽창계수의 차이 때문에 생기는 것으로 두께 $4\mu\text{m}$ 의 GaAs-on-Si 시료에서도 생긴다는 것이 보고되고 있다.²¹⁾ 한편 이들 crack들은 as-grown 표면에서는 주의깊게 관측함으로써 발견할 수 있지만 표면을 etching 함으로써 분명하게 발견할 수 있다.

다. KOH etching

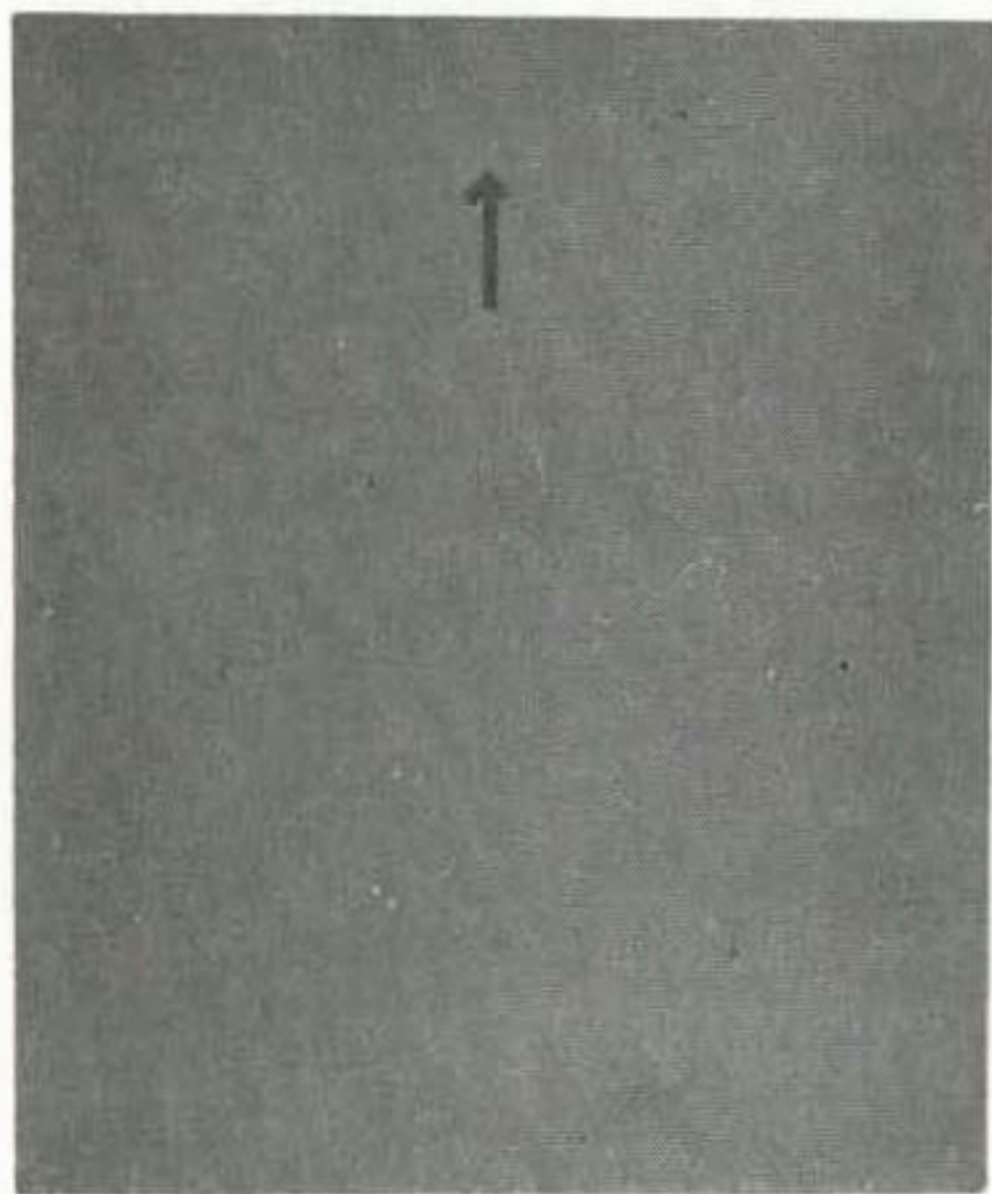
실리콘 위에 성장된 GaAs 층의 domain 성질과 결함들을 조



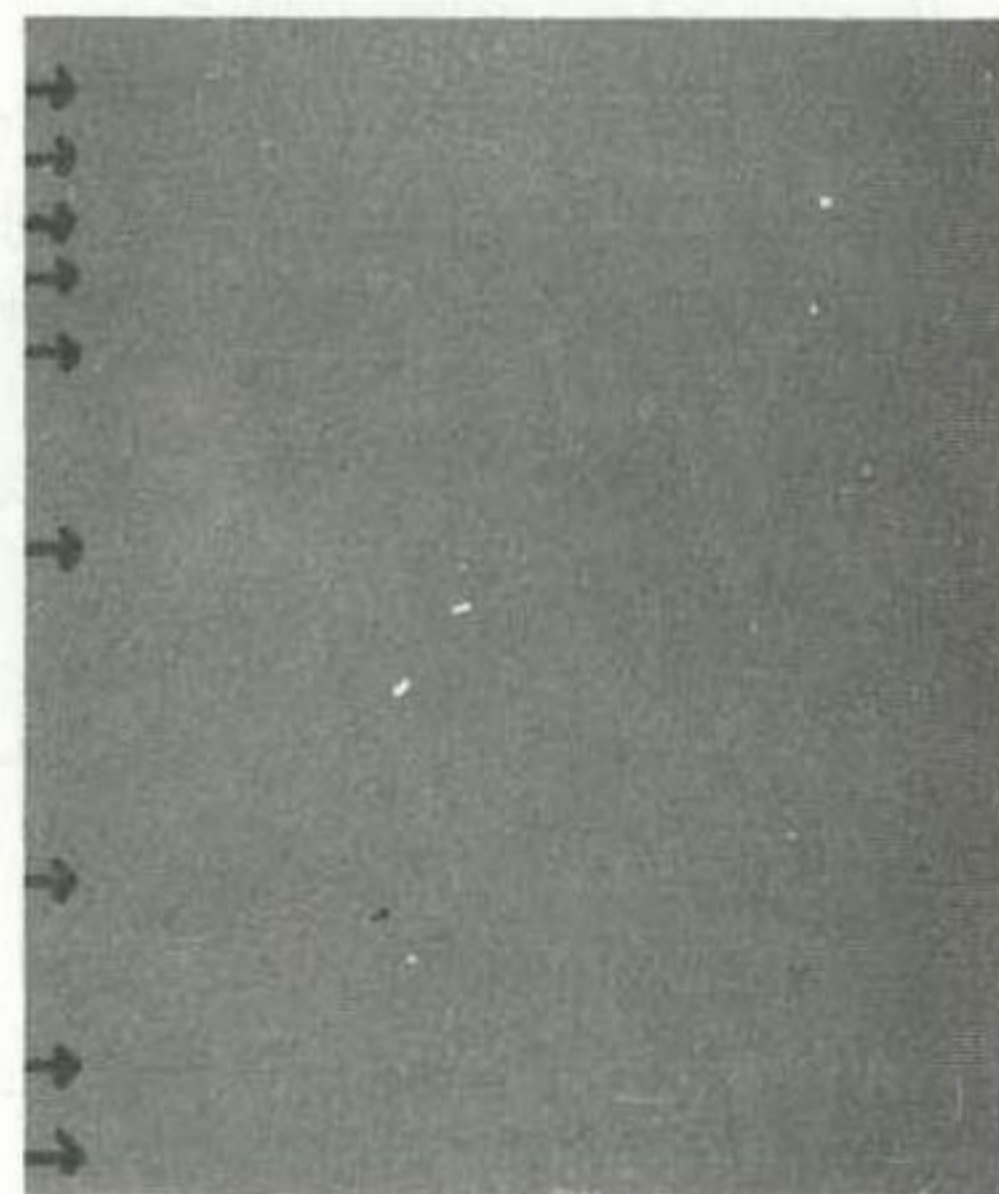
(a)



(b)



(c)



(d)

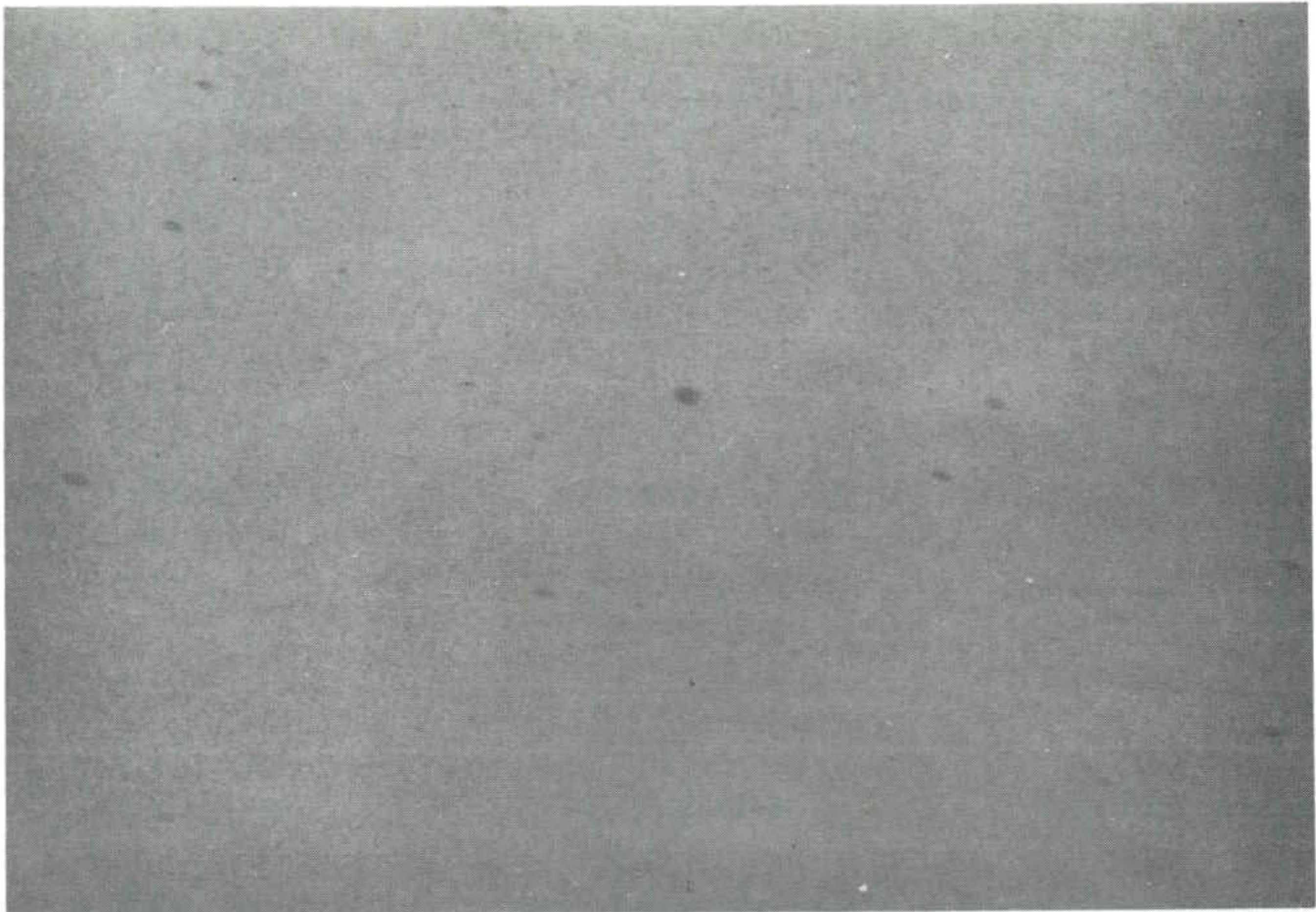
그림 5-8 GaAs 층의 두께에 대한 GaAs-on-Si 의 surface morphology 변화. GaAs 층의 두께 : (a) : $1 \mu\text{m}$, (b) : $2 \mu\text{m}$ (c) (d) : $5.5 \mu\text{m}$
배율 : (a)(b)(c) : 1500 배, (d) : 7.5 배

사하기 위해 용액 KOH etching 을 하였다. 고체상태의 KOH 를 30 g 정도 준비하고 etching 용 furnace 의 온도를 325 °C 까지 올려 온도가 안정되었을때 백금도가니에 KOH 를 넣어 furnace 에 장착하고 30 분 정도 용융시킨 후 시편을 백금 wire basket 에 넣어 용융액에 담가 1 분 정도 etching 하였다. 하나의 시편을 etching 한 후 다른 시편을 etching 할 때는 다시 새로운 etchant 를 준비하였다.

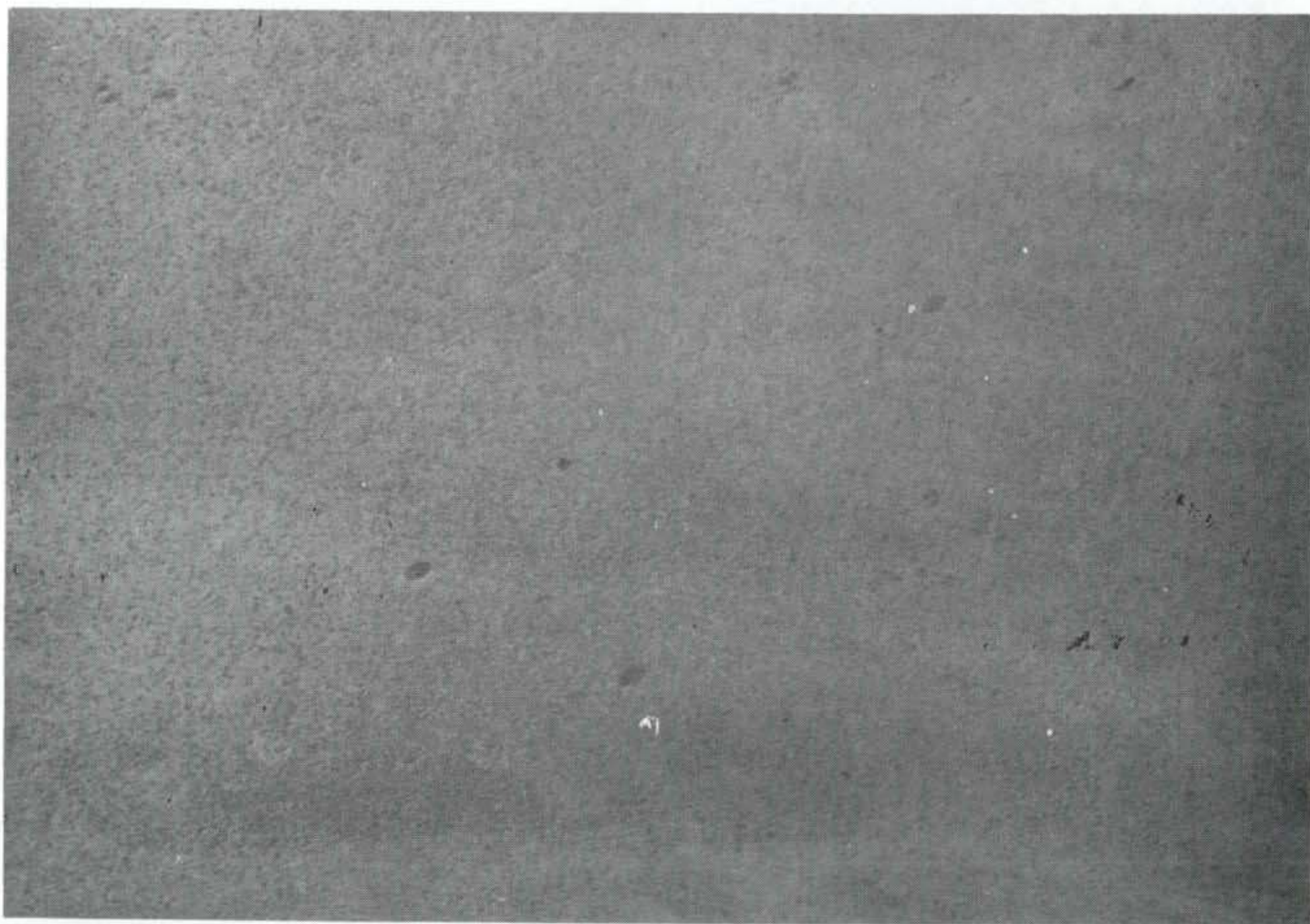
Etching 용 furnace 는 KAIST 보고서 27) 에 자세히 기술 되어 있으며 시편 및 백금도가니의 세척방법은 다음과 같다. 에칭 하기전에 GaAs 시편 및 백금도가니, 백금 wire basket 을 DI water 와 아세톤으로 씻어내고 methanol 과 isopropanol 에 2 ~ 3 분 정도 담가두었다가 N₂ 가스로 건조시킨다. 한편 에칭을 하고난 후 325 °C 에서 유지되고 있는 molten etchant 에서 시편이 들어있는 백금 wire basket 을 꺼내어 즉시 ethylene-glycol 에 넣어 시편의 표면이 산화에 의해 손상되는 것을 방지하고 시편표면에 묻어있는 KOH 의 etchant 를 씻어낸다.

그림 5-9 는 용액 KOH 로 에칭한 GaAs-on-Si 표면의 현미경 사진으로서 etch pit 들과 (a), (b) crack line (c) 을 보여준다. 그림 5-9 (a) 는 GaAs 층의 두께가 1 μm 인 시료이며 (b), (c) 는 각각 2 μm , 5.5 μm 이다.

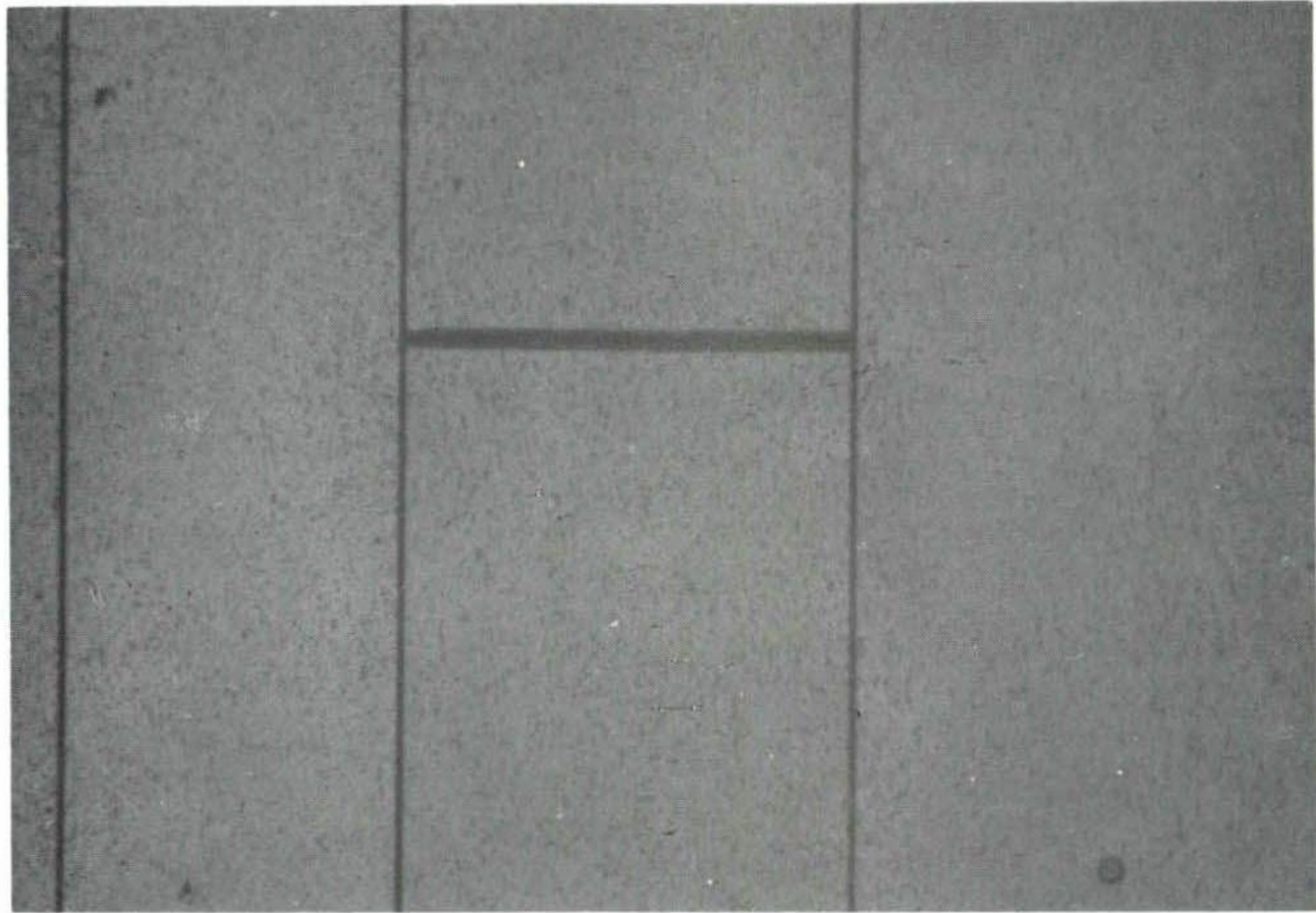
지금까지 통상 GaAs-on-Si 시료에 대한 antiphase boundary (APB) 들을 조사하는데 용액 KOH 의 etching 표면을 관찰하여 APB 들의 존재 여부를 결정하고 있어 그림 5-9 에서 볼



(a)



(b)



(c)

그림 5-9 GaAs - on - Si 을 용액 KOH 에 에칭한 표면 현미경 사진 ($\times 600$)

GaAs 층두께 : (a) : $1\mu\text{m}$ (b) : $2\mu\text{m}$ (c) : $5.5\mu\text{m}$

수 있듯이 APB가 없는 것을 확인할 수 있다. 그러나 전위결함을 조사하기 위한 방법인 용액 KOH 에칭에 의해서는 APB들을 정확하게 조사할 수 없으며 세밀한 TEM 측정분석에 의해서만 APB들을 명확하게 확인할 수 있다는 주장도 있다.¹⁹⁾ 한편 이들 시료들의 용액 KOH 에칭에 의해 etch pit 밀도는 $(1\sim 2)\times 10^4/cm^2$ 로 계산되어졌으며 GaAs 층의 두께가 두꺼워짐에 따라 etch pit 밀도가 점점 감소함을 알 수 있었다.

제 3 절 GaAs-on-Si의 결정구조특성

1. Double crystal X-ray(DCX) 회절측정²⁸⁾

결정구조결함을 감지할 수 있는 X선 회절방법은 GaAs-on-Si의 결정성질을 점검하는데 이상적인 도구로 사용되어지고 있으며 특히 에피층에서의 격자변형이나 다른 결정학적 영향에 대한 특성측정에 아주 적합한 방법임이 확인되고 있다. 에피층과 기판사이의 격자부정합 정도가 적을 경우에는 얇은 에피층에서 tetragonal distortion으로 알려진 탄성변형을 통하여 부정합이 보상되어지며, 에피층에서의 unit cell의 distortion은 X선 회절방법에 의해 주로 측정되어지고 있는데 이 방법을 응용하여, GaAs 기판위에 성장된 $Al_xGa_{1-x}As$ 와 $In_xGa_{1-x}As$ 에피층에서의 AlAs 및 InAs의 조성결정에 관한 것은 이미 보고한 바 있다.^{29,30)} 위와 같은 에피층에서의 unit cell distortion 측정외에 X선 회절방법은 에피층과 기판사이의 misorientation 각도를 측정하

표 5-2. X선 회절법에 의해 측정된 GaAs-on-Si 시료의 결정구조 특성

Sample	Thickness (μm)	a^{\perp} (\AA)	a^{\parallel} (\AA)	Misorientation (deg.)	FWHM (arcsec)	D (cm^{-2})
1	1	5.6474	5.6745	0.05	430	6×10^7
2	1*	5.6465	5.6700	0.03	500	8×10^7
3	2	5.6473	5.6671	0.05	350	4×10^7
4	2**	5.6469	5.6669	0.00	350	4×10^7
5	5.5	5.6474	5.6639	0.07	300	3×10^7

* : without 950 $^{\circ}\text{C}$ pre-annealing process

** : direct(100)Si substrate

는데 매우 유용한 것으로 알려지고 있다.

그리하여 여기서는 MOCVD 방법에 의해 (100) 실리콘 기판위에 성장된 GaAs 에피층의 결정구조 특성중 DCX 회절측정으로 격자상수, misorientation 및 rocking curve의 반치폭등을 조사하였다.

가. DCX 회절장치

DCX 회절장치의 개략도는 그림 5-10 과 같다.

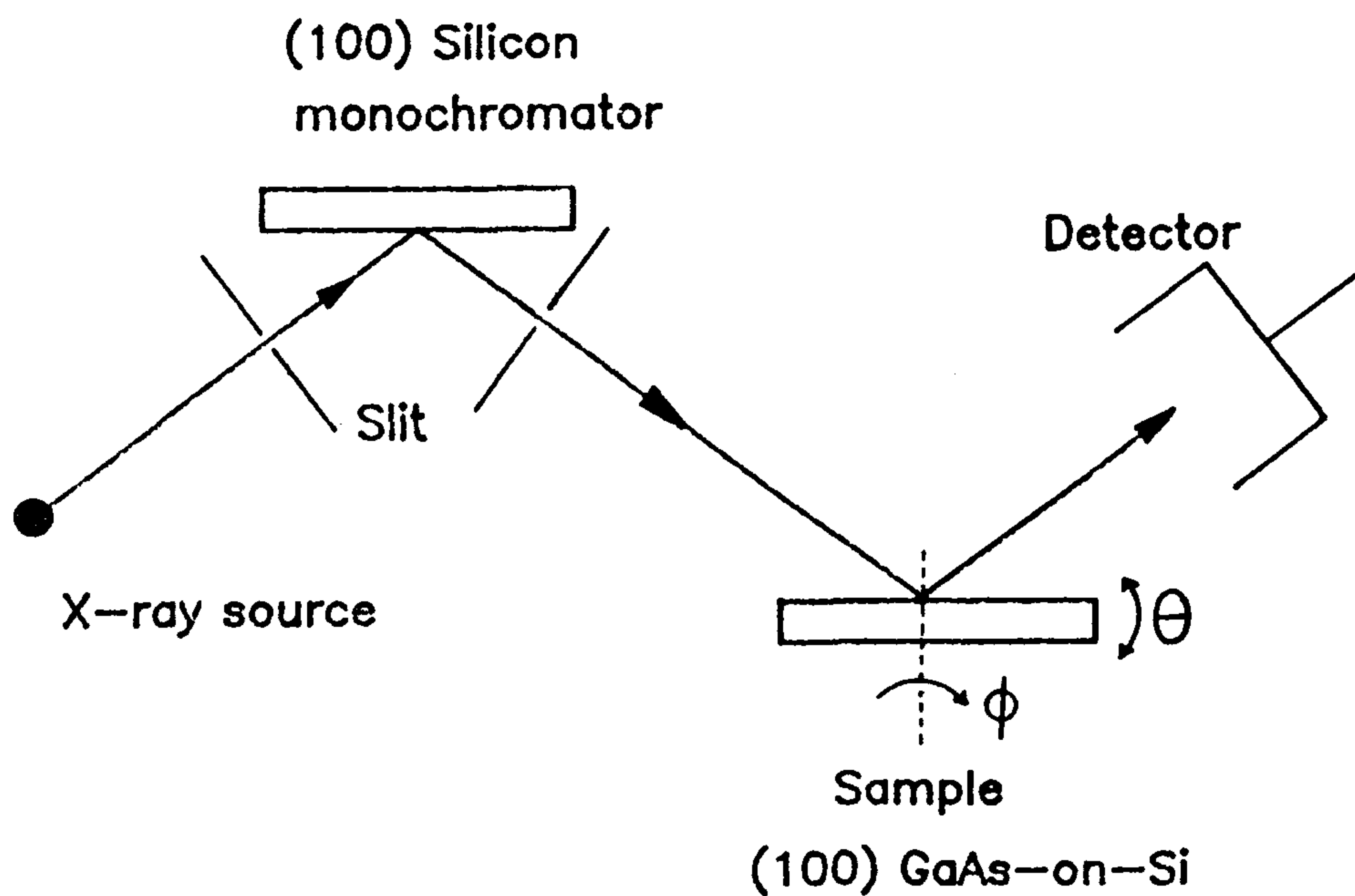


그림 5-10 . Double crystal X-ray(DCX) 회절장치의 개략도

전위가 없는 (100) 실리콘의 (400) 반사를 이용하여 단색광의 X 선을 얻었으며, 이 X 선이 회절각 (θ) 및 방위각 (ϕ) 에 따라 회전하는 GaAs-on-Si 시료에 조사되어진다. 그리하여 CuK α 선의 GaAs-on-Si 시료에 대한 (400), (511), ($\bar{5}11$) 반사로서 rocking curve 들을 얻었으며, 계면에 수직한 방향의 격자상수 및 misorientation 은 (400) 반사에 대한 rocking curve 들로부터 구했고 계면에 수평한 방향의 격자상수는 (511) 및 ($\bar{5}11$) 반사들에 대한 것들로부터 구하였다.

나. 측정결과 및 분석

단단한 기판위에 성장된 에피층은 두 물질 사이의 격자 부정합이나 열팽창계수의 차이 때문에 탄성 변형의 영향을 받을 수 있는데, 에피층의 계면에너지가 어떤 임계값을 넘어서면 부정합 전위 및 misorientation 을 형성하면서 격자변형이 이완되어진다. GaAs-on-Si 의 경우 그 임계두께는 몇 원자층의 범위이고³¹⁾ GaAs 와 실리콘 사이의 부정합이 크기 때문에 수천 Å 이상의 두께를 가지는 에피층에는 두 물질간에 탄성적 결합 (elastic coupling) 이 사실상 없을 것이다.³²⁾ 이와 같은 사실은 GaAs-on-Si 시료의 계면근처의 단면을 TEM 으로 관찰해봄으로서 확인할 수 있다.

한편 그림 5-11 은 3° 기울어진 (100) 실리콘 기판위에 성장된 GaAs 에피층으로부터 얻어진 전형적인 (400) rocking curve 를 보여 주는데, GaAs 층에 대한 Bragg peak 의 반치폭이

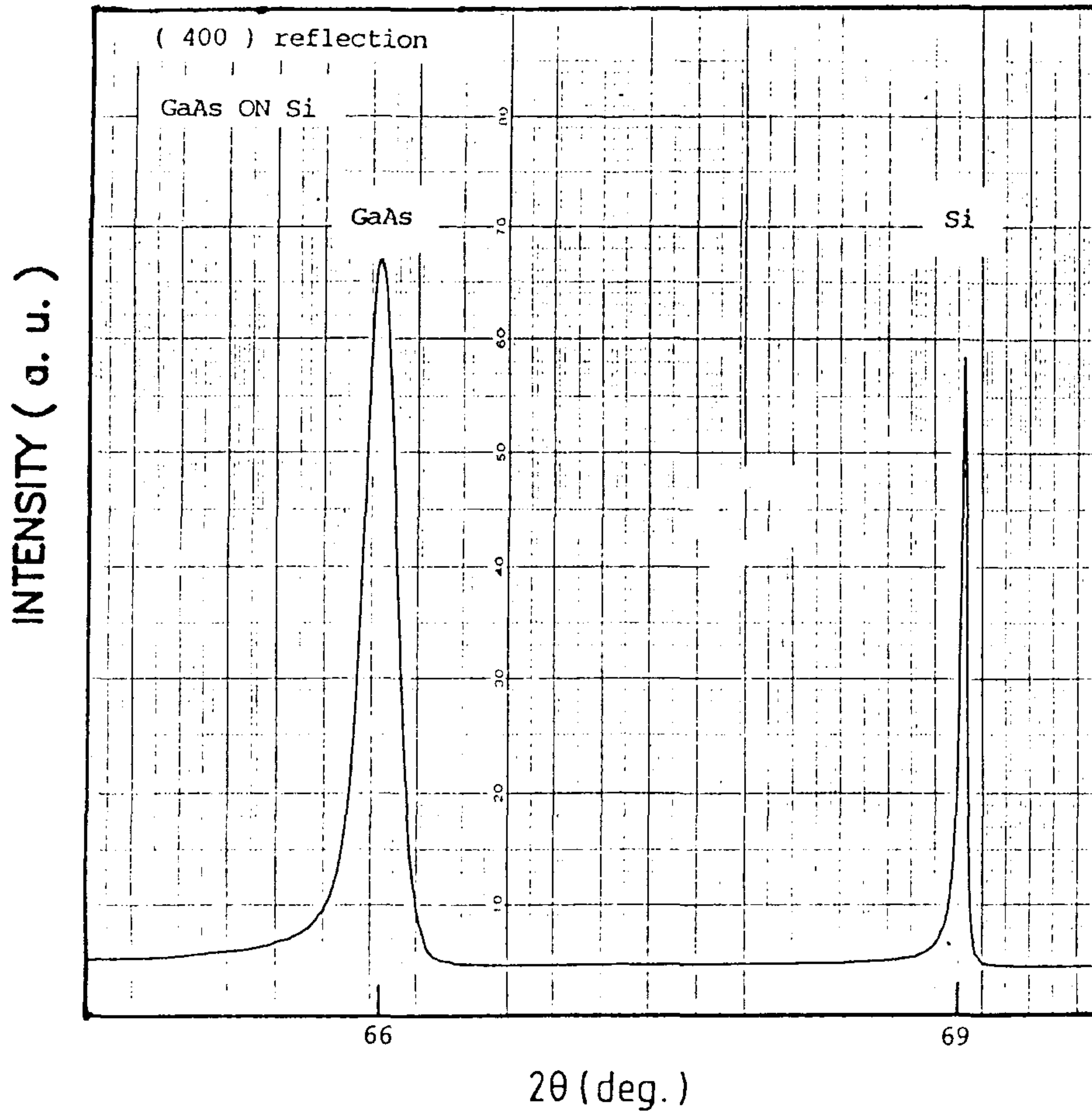


그림 5-11 . GaAs-on-Si 으로부터 얻는 전형적인
DCX rocking curve

350 arcsec 정도이며 이 값은 양질의 GaAs 기판으로부터 얻을 수 있는 반치폭 (~ 30 arcsec)에 비해 아주 커 에피층에 많은 결함이 존재한다는 사실을 예측할 수 있다. 그리고 실리콘 기판에 대한 반치폭 역시 에피층의 그것에 비해 한자리수가 줄어든다. 그런데, X선 파장분산 (wavelength dispersion) 및 빔 크기와 시료의 휨 등은 instrumental broadening ($\alpha_{\text{instrumental}}$)의 원인이 된다. 이 instrumental broadening은 측정된 실리콘의 반치폭으로부터 완전한 실리콘 단결정에 대한 반치폭 (5 arcsec)을 제거한 값으로 하였다.

만약 에피층이 low-angle boundary 들로 구성된 균일한 mosaic structure를 가진다고 가정하면 에피층에서의 전위밀도를 아래 식으로부터 구할 수 있다.³²⁾

$$D = \alpha^2 / 9 b^2 \quad \dots\dots\dots (5-2)$$

여기서 α 는 instrumental broadening ($\alpha^2 = \alpha^2_{\text{measured}} - \alpha^2_{\text{instrumental}}$)을 보정한 rocking curve 반치폭 (radian)이며 b 는 전위에 대한 Burgers 벡터의 크기로 60° 전위에 대해 $b = a\sqrt{2}$ 의 값을 가진다. 여기서 $a = 5.653 \text{ \AA}$ 로서 GaAs의 격자상수이며 350 arcsec의 반치폭을 갖는 GaAs 에피층에서의 전위밀도 $D = 4 \times 10^7 \text{ cm}^{-2}$ 로 계산되어진다. 그런데, 여기서 고려되어야 할 사항으로 식 (5-2)에 의해 구해진 전위밀도는 근본적으로 전체 에피층의 평균 값을 나타내어 표면에서의 전위밀도보다 큰 값을 가질 것이며 따라서 전위밀도의 대략적인 상한값 계산에 위 식이 사용

되어 진다는 것이다.

한편 실리콘 기판에 대한 GaAs 층의 misorientation은 $\langle 100 \rangle$ 방향을 축으로 한 시료의 회전 (rotation angle ϕ) 에 대한 (400) 반사의 의존성을 측정함으로써 구해진다. 그리하여 그림 5-12 에 GaAs-on-Si 시료의 (400) 반사에 대한 극단적인 두 경우의 각 분리 (angular separation) $\Delta\theta$ 가 비교되어져 있다. 방위각을 회전하는 동안 실리콘 기판의 (400) peak 위치에 대한 GaAs (400) peak 위치의 변화는 기판과 에피층이 서로 misorientation 되어 있음을 의미하며, unit cell distortion에 의한 $\Delta\theta$ 의 변화와 misorientation에 의한 $\Delta\theta$ 에의 영향을 서로 분리할 수 있다.^{31,32)} 즉 $\Delta\theta_{\max}$ 와 $\Delta\theta_{\min}$ 를 각각 GaAs 및 실리콘 (400) 반사 사이의 최대 및 최소 각 간격 (angular spacing) ($\Delta\theta = \theta_{\text{Si}} - \theta_{\text{GaAs}}$) 이라 할 때 기판과 에피층간의 misorientation β 는 아래 식으로 주어진다.³²⁾

$$\beta = (\Delta\theta_{\max} - \Delta\theta_{\min})/2 \quad \dots\dots\dots (5-3)$$

반면에 계면에 수직한 방향에서의 GaAs 격자상수는 다음 식으로 계산되어진다.

$$a^{\perp} = a_{\text{Si}} \{ \sin\theta_{\text{Si}} / \sin(\theta_{\text{Si}} + \Delta\theta_{\text{d}}) \} \quad \dots\dots\dots (5-4)$$

$$\Delta\theta_{\text{d}} = (\Delta\theta_{\max} + \Delta\theta_{\min})/2 \quad \dots\dots\dots (5-5)$$

한편 그림 5-13 은 GaAs-on-Si 의 (511) 및 $(\bar{5}11)$ 비대칭 반사

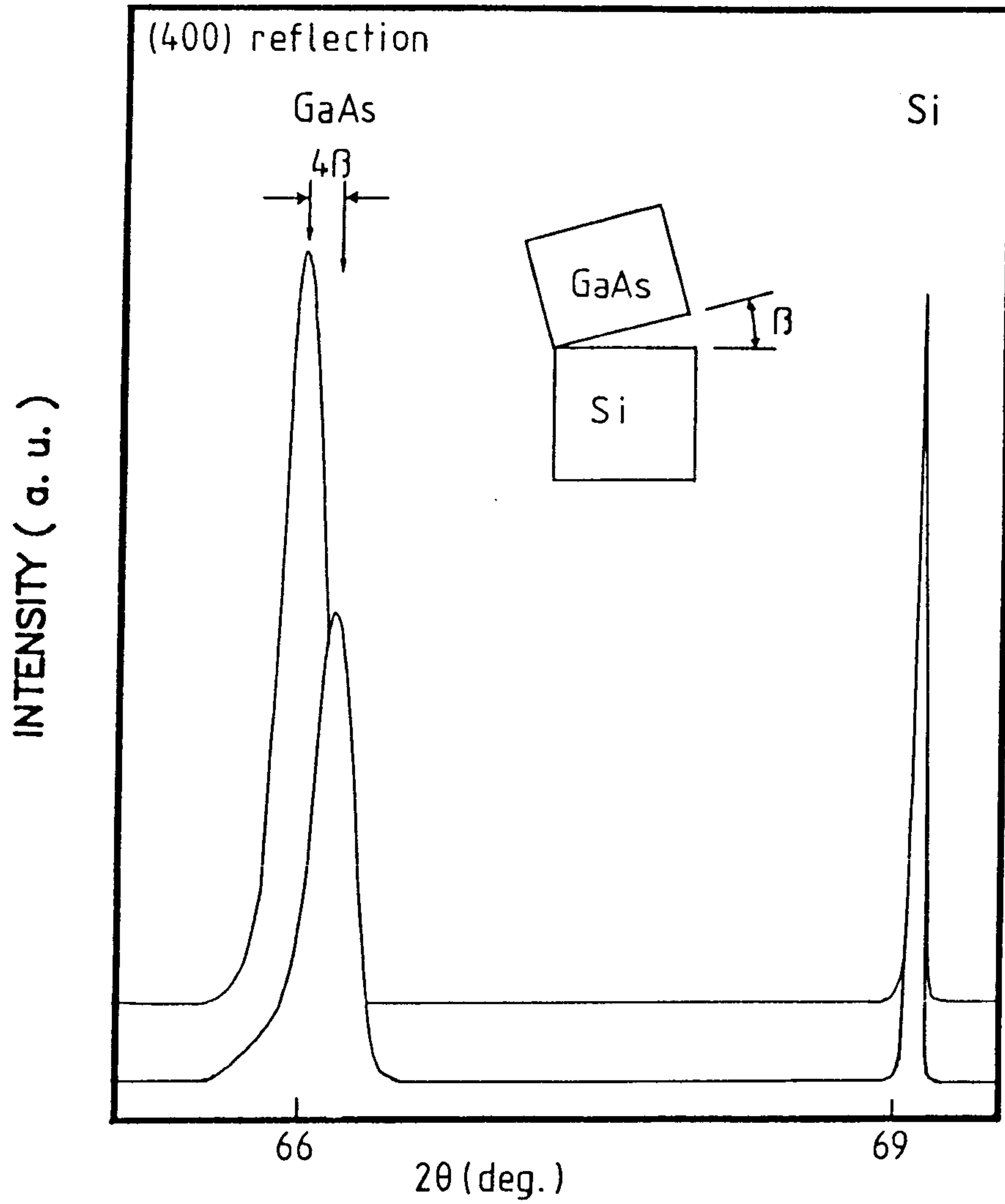


그림 5-12 . 반대방향의 입사 X - 선에 의해 GaAs-on-Si 시료의 (400) 면에서 반사된 X - 선 rocking curves

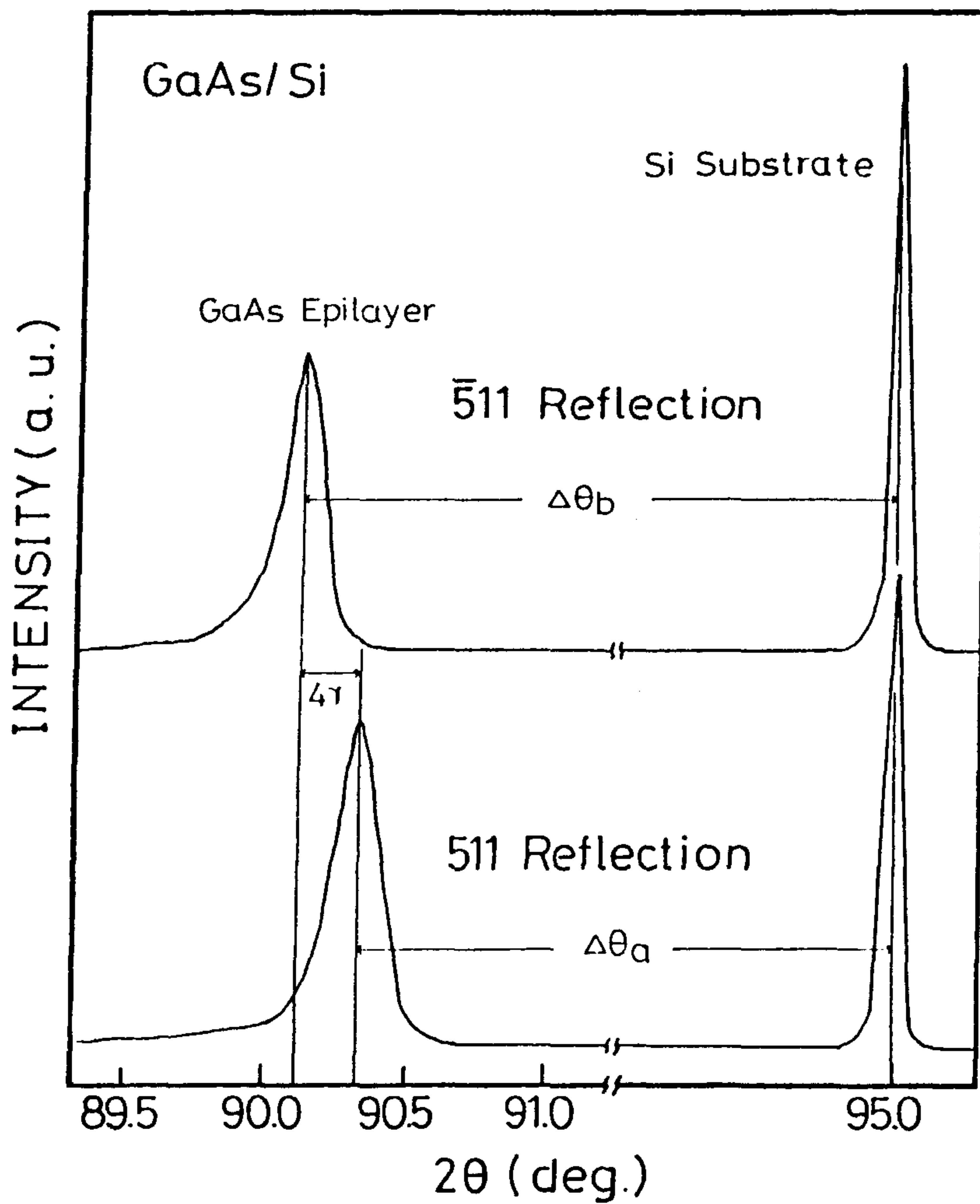


그림 5-13 . GaAs-on-Si 시료의 (511) 및 ($\bar{5}11$) 비대칭 반사에 대한 X-선 rocking curves

에 대한 rocking curve 들을 보여주는데, GaAs 에피층의 (511) 혹은 $(\bar{5}11)$ 격자면과 실리콘 기판의 부합되는 격자면 사이의 각을 γ 라 할 때 γ 는 아래 식에 의해 구해진다. 33)

$$\gamma = (\Delta\theta_a - \Delta\theta_b)/2 \quad \dots\dots\dots (5-6)$$

여기서 $\Delta\theta_a$ 와 $\Delta\theta_b$ 들은 각각 실리콘 및 GaAs의 (511)과 $(\bar{5}11)$ 면들의 반사에 의해 얻어진 rocking curve에서의 각 분리 (angle separation)를 나타낸다. 그리고 γ 와 격자상수비 a''/a^\perp 는 다음과 같은 관계를 가지고 있으며 33)

$$\begin{aligned} a''/a^\perp &= 1 - \gamma [(k^2 + l^2)^{1/2}/h] \operatorname{cosec}^2 \{ \arctan \\ &\quad [(k^2 + l^2)^{1/2}/h] \} \\ &= 1 - 3.81832 \gamma \quad \dots\dots\dots (5-7) \end{aligned}$$

여기서 $h = 5$, $k = 1$, $l = 1$ 로서 관련된 반사면의 Miller index를 나타낸다.

그리하여 위와 같은 방법으로 X선 측정에 의해 구해진 결정구조에 대한 각종 변수들이 표 5-2에 요약되어져 있으며 이들 각각을 살펴보면 다음과 같다.

두께 $1 \sim 5.5 \mu\text{m}$ 범위의 GaAs 에피층에서 모든 경우 a'' 이 a^\perp 보다 큼을 알 수 있는데 이것은 GaAs와 실리콘간의 열팽창계수의 차이 때문에 GaAs 층이 biaxial tensile strain의 영향하에 있다는 것을 의미한다. 측정된 a^\perp 값은 $5.6473 \pm 0.0006 \text{ \AA}$ 이며 error 범위내에서 두께에 따른 변화는 거의 없어,

MBE 로 성장된 GaAs-on-Si 에 대해 최근에 측정된 ^{31,32)} 결과와 일치하고 있다. 그러나 수평방향의 격자상수 (a'') 는 두께가 두꺼워짐에 따라 $5.6745 \pm 0.0007 \text{ \AA}$ 에서 $5.6639 \pm 0.0007 \text{ \AA}$ 로 점점 작아지는 것으로 측정되어, $610 \text{ }^\circ\text{C}$ 에서 MBE 로 성장된 GaAs 층에 대한 a'' 가 두께에 따라 변하지 않는다는 Stolz 등의 결과 ³¹⁾ 와 다르다.

이와 같은 차이는 성장방법 및 성장과정의 차이에서 비롯된 것으로 생각된다. 즉 MOCVD 시료에서는 MBE 시료에 비해 GaAs/Si 계면에서 전위를 비롯하여 microtwin 들과 적층결함 등이 발생되기 쉬우며, 성장온도가 높기 때문에 에피층의 두께가 두꺼운 시료 ($\geq 4 \mu\text{m}$) 는 얇은 crack 들을 가지고 있어, (511) 및 ($\bar{5}11$) 비대칭 반사들로부터 격자상수 (a'') 를 측정하는데 이들 결함들이 영향을 줄 것으로 사료된다. 그리하여 얇은 에피층 ($\sim 1 \mu\text{m}$) 에 대한 측정은 주로 계면근처의 결함들에 의해 영향을 받고 두꺼운 에피층 ($5.5 \mu\text{m}$) 에 대한 것은 계면근처의 결함들 뿐만 아니라 얇은 crack 들에 의해서도 영향을 받을 것이다.

다음으로 misorientation 에 대해 살펴보면, 예상대로 정확한 (100) 실리콘 기판위에 성장시킨 경우를 제외한 모든 경우에 대해 그림 5-14 에서 개략적으로 보여진 바와 같이, GaAs 의 $\langle 001 \rangle$ 방향이 표면에 수직인 방향과 실리콘 기판의 $\langle 001 \rangle$ 방향 사이에 위치하고 있다. 실리콘과 GaAs 의 $\langle 001 \rangle$ 방향 사이의 각은 약 0.05° 로 측정되어지며 에피층의 두께와 성장과정에 따라 조금 변한다. 정확한 (100) 기판위의 성장과 같이 대칭성이 높은 경우에

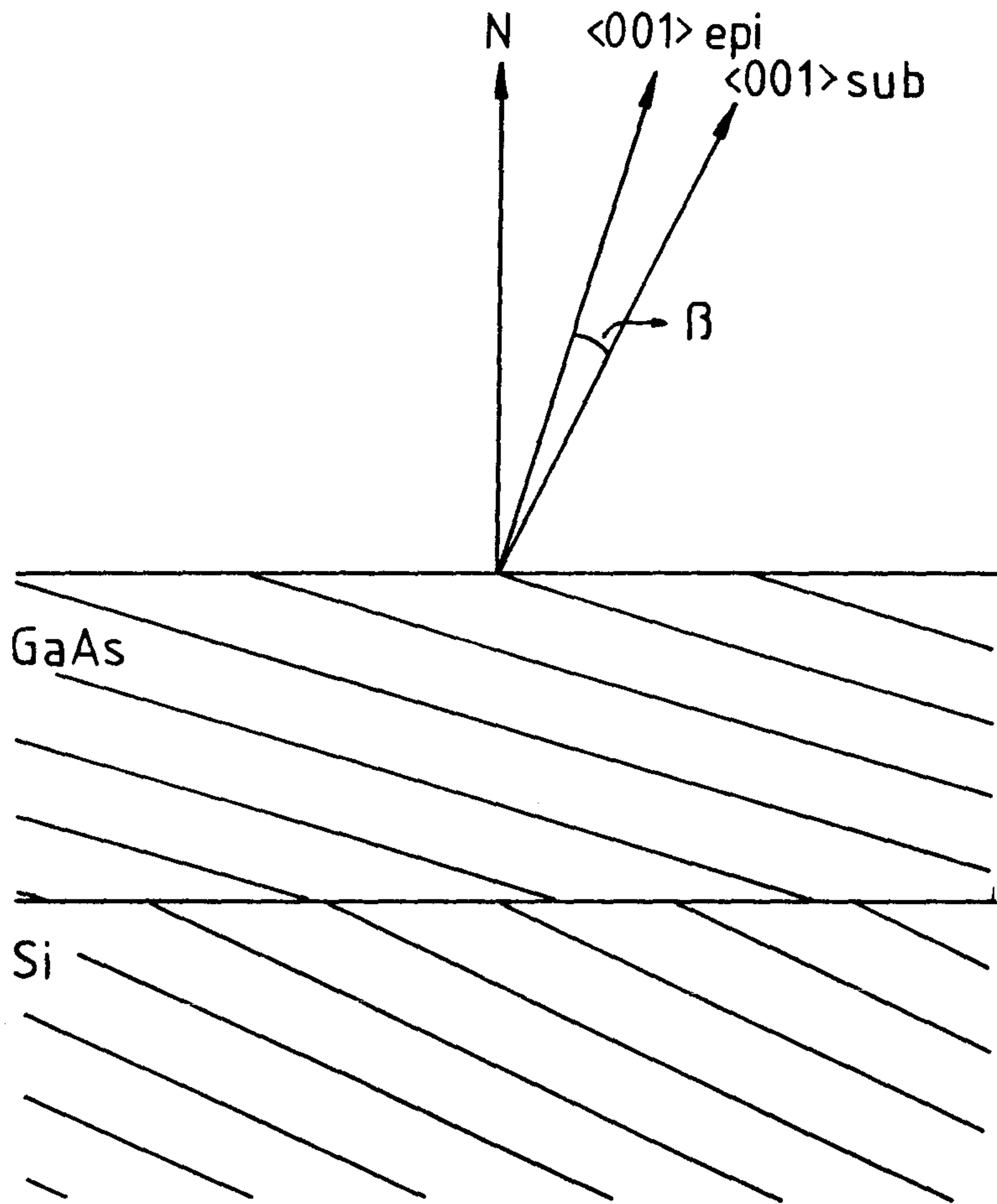


그림 5-14 . GaAs-on-Si 계면에서의 misorientation의 개략적인 모형

는 기판과 에피층의 (100)면들이 서로 평행하게 되나 대칭성이 낮은 경우 기판과 에피층의 결정면들이 상대적으로 기울어질 수 있다. Nagai³⁴⁾는 기울어진 GaAs 기판위에 InGaAs 에피층을 성장시켰을 때 misorientation이 발생한다고 보고하였으며 Kawamura 등³³⁾도 InP (100) 기판위에 격자 부정합을 가지는 InGaAs 에피층을 성장함으로써 이러한 현상을 관측하였다. 그리고 이러한 현상을 기판표면의 step 가장자리에서 monolayer scale로 격자가 정합하려는 영향으로 분석하였다.³⁴⁾ 그러나 기울어진 실리콘 기판위에 성장된 GaAs 격자의 misorientation은 위와 같은 영향에 의해 발생된다고 볼 수 없다. 왜냐하면 GaAs-on-Si의 경우 두 물질간의 격자 부정합이 워낙 커서, TEM 관측에 의해 확인할 수 있듯이, 계면에서 수많은 부정합 전위들이 발생하고 따라서 monolayer-scale로 격자가 정합하려는 영향이 거의 없을 것으로 판단되기 때문이다. 그리하여 GaAs/Si 계면에서 관측되어지고³²⁾ 경사진 Burgers 벡터를 가지는 전위들의 영향에 의해 생기는 low-angle boundary들의 존재가 GaAs-on-Si에서 misorientation의 원인이 될 것으로 여겨진다.

마지막으로, DCX 회절에 의해 측정된 GaAs-on-Si의 반치폭은 300~450 arcsec 범위이며 실리콘 위 GaAs 에피층의 두께가 두꺼워짐에 따라 줄어드는 경향을 보인다. 이것은 에피층의 두께가 두꺼울수록 전위와 같은 결정구조 결함들의 수가 줄어든다는 것을 의미한다. 바꾸어 말하면 측정되어지는 에피층의 두께가 두꺼워질수록 계면근처에 존재하고 있는 수많은 결함들이 반치폭 측정

에 더 적은 영향을 미친다는 것이다. 반면에 시료 #2는 950 °C의 고온 열처리 과정을 거치지 않고 성장한 것인데 그 반치폭의 값이 500 arcsec로 크게 측정되어졌으며 이 시료의 표면상태는 다른 시료들에 비해 나빴다.

2. GaAs-on-Si 시료의 TEM 관측

GaAs-on-Si 시료에 대해 GaAs와 실리콘과의 계면에서의 결정구조 및 GaAs층에서의 결정결함등을 정확하게 측정하기 위하여 TEM이 사용되고 있다. 그러나 전자가 투과하기 위해서는 시료가 아주 얇아야 하기 때문에 특히 단면 TEM의 경우 그 시료준비가 매우 까다롭다. Ion thinning 방법으로 TEM 시료를 준비하였으며 JEOL 200CX TEM 장비에 의해 관측되어졌다. 한편 단면 TEM 측정을 위한 자세한 시료준비방법이 참고문헌 (35)에 잘 기술되어 있다.

그림 5-15와 5-16은 각각 두께가 1.2, 5.5 μm 인 GaAs-on-Si 시료에 대해 비율이 다른 단면 TEM 사진이다. 두 그림을 비교해 보면 두께에 관계없이 서로 비슷한 양상을 보이고 있음을 알 수 있다. 즉 GaAs와 실리콘의 계면에서 수많은 부정합 전위들이 발생하며 이들 전위들은 계면근처 5,000 Å 이내에서 서로 엉켜 소멸되어지고 그 중 일부가 GaAs 표면으로 전파되어 가는 것을 볼 수 있다. 표면 근처에서의 defect 밀도가 $10^7 \sim 10^8 / \text{cm}^2$ 로 대략 측정되어진다.

한편 그림 5-17은 GaAs/Si 계면에서의 전형적인 전자회절

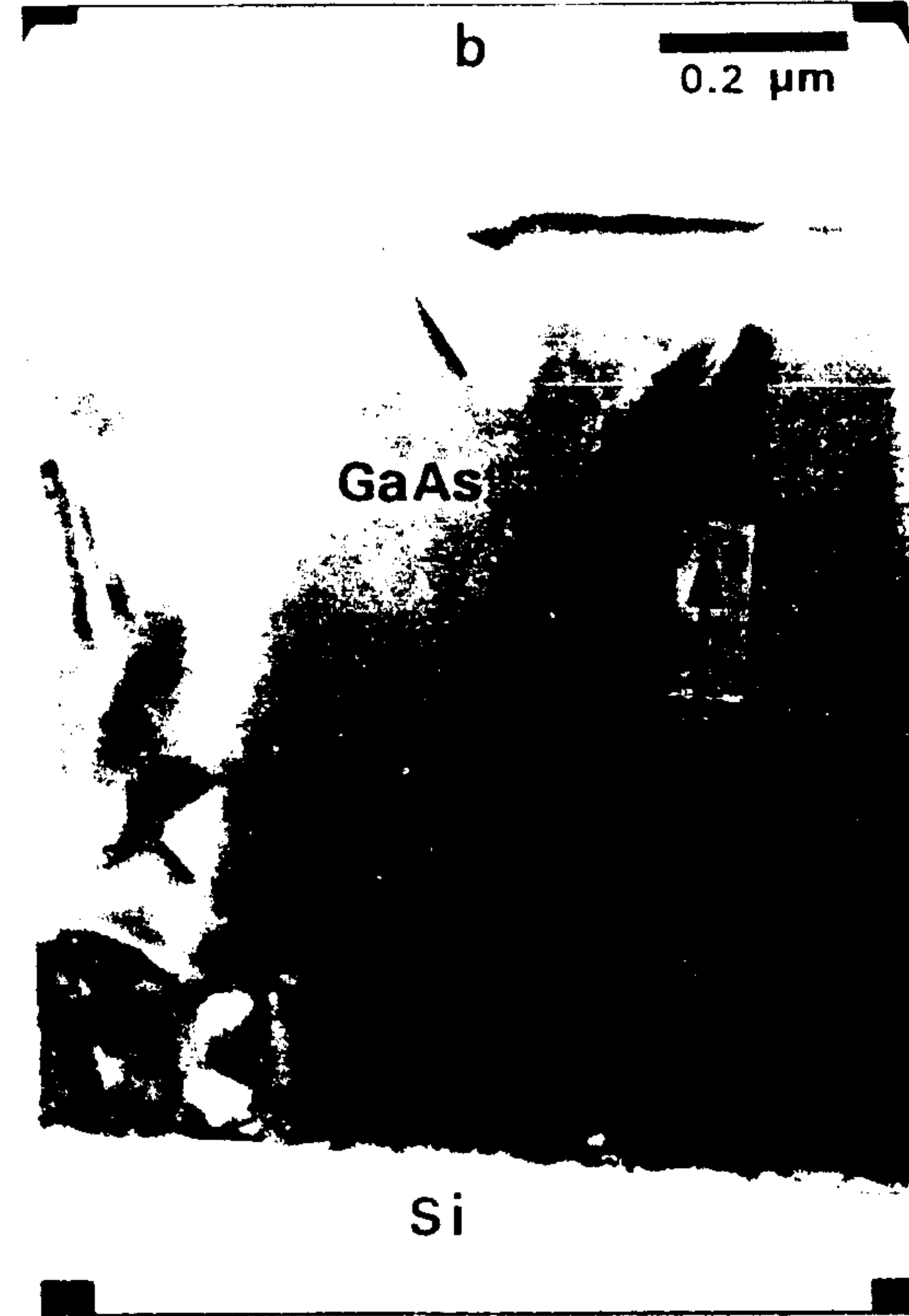


그림 5-15 . 두께 1.2 μm GaAs-on-Si 시료의 단면 TEM 사진

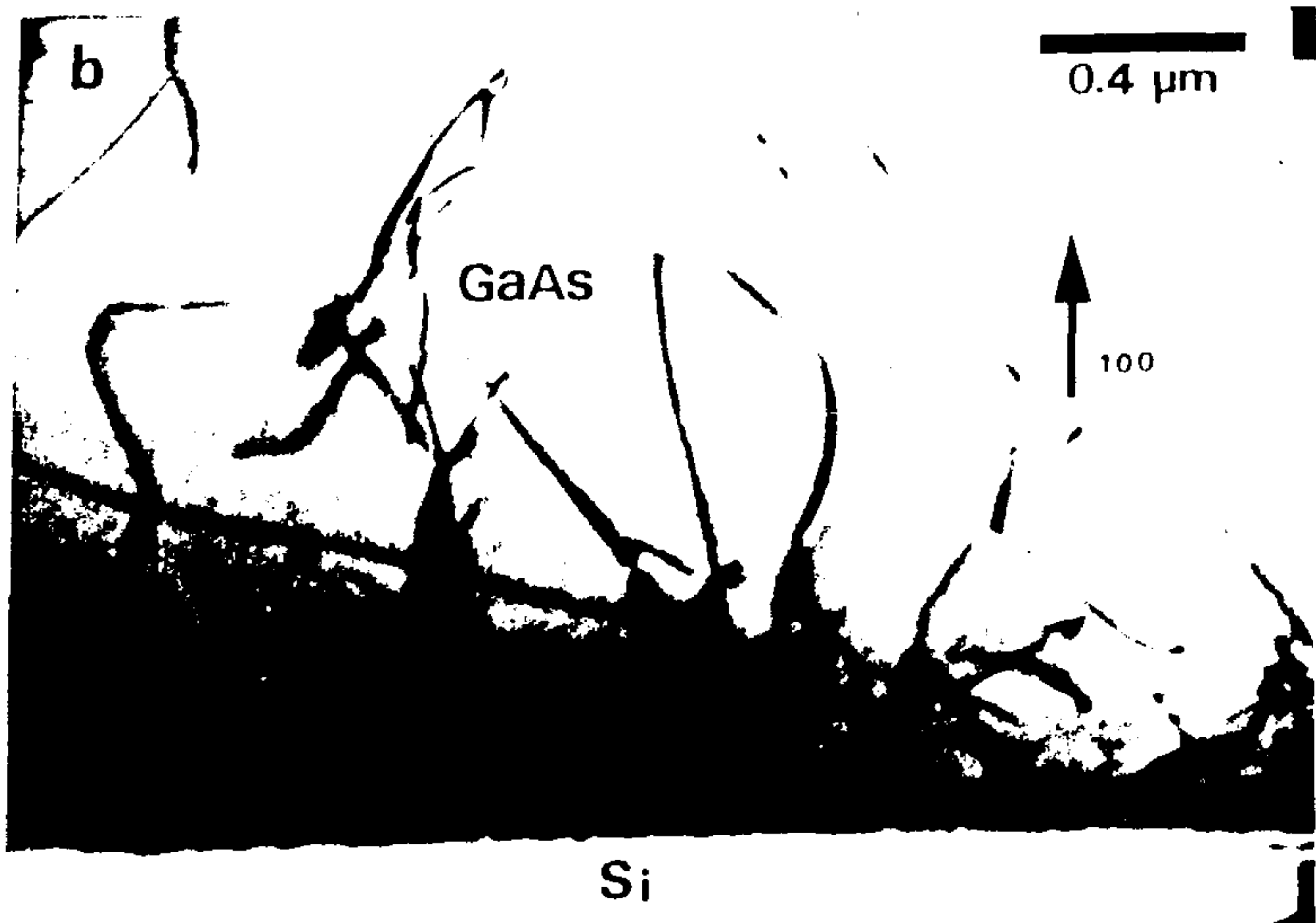
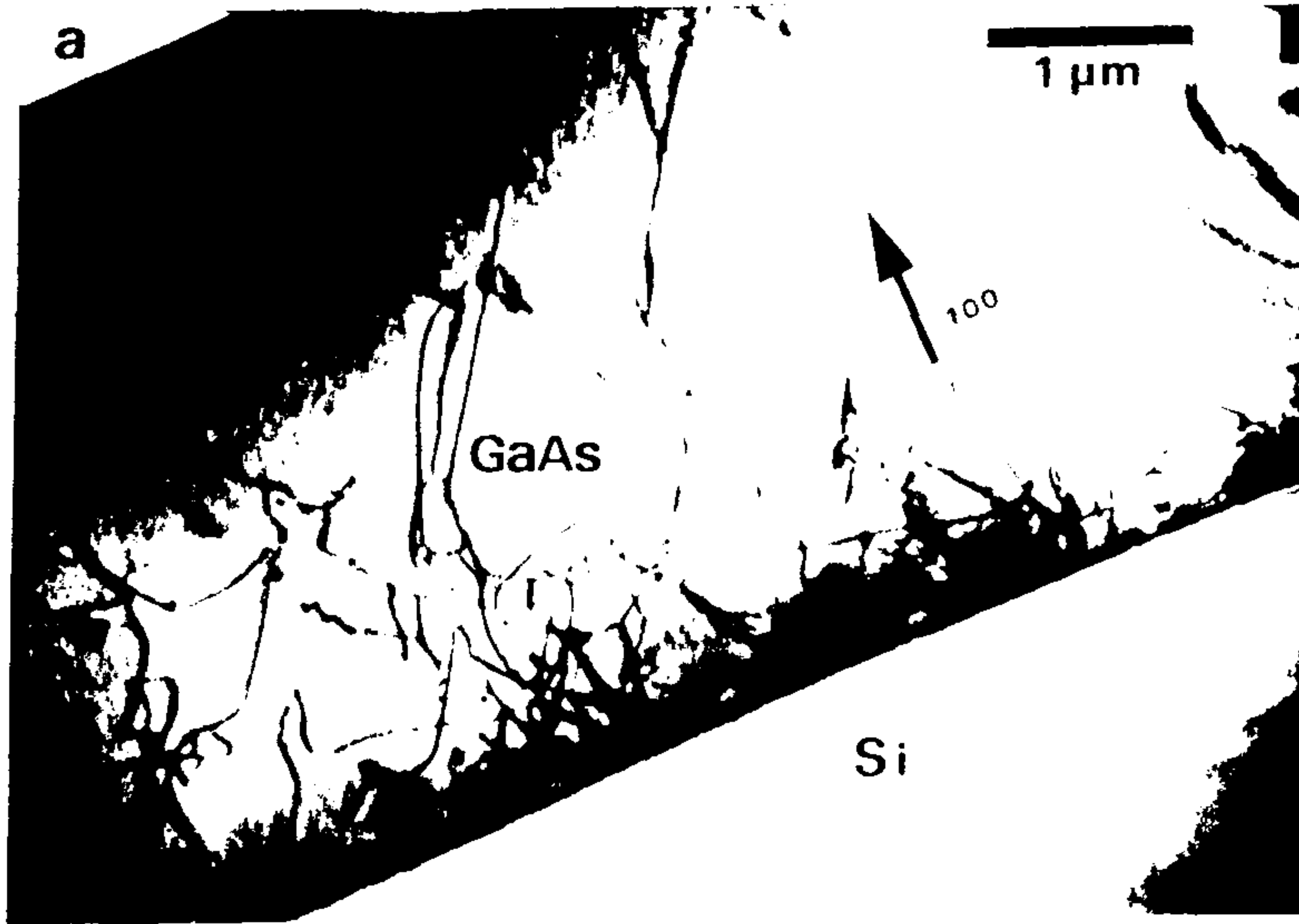


그림 5-16 . 두께 5.5 μm GaAs-on-Si 시료의 단면 TEM 사진

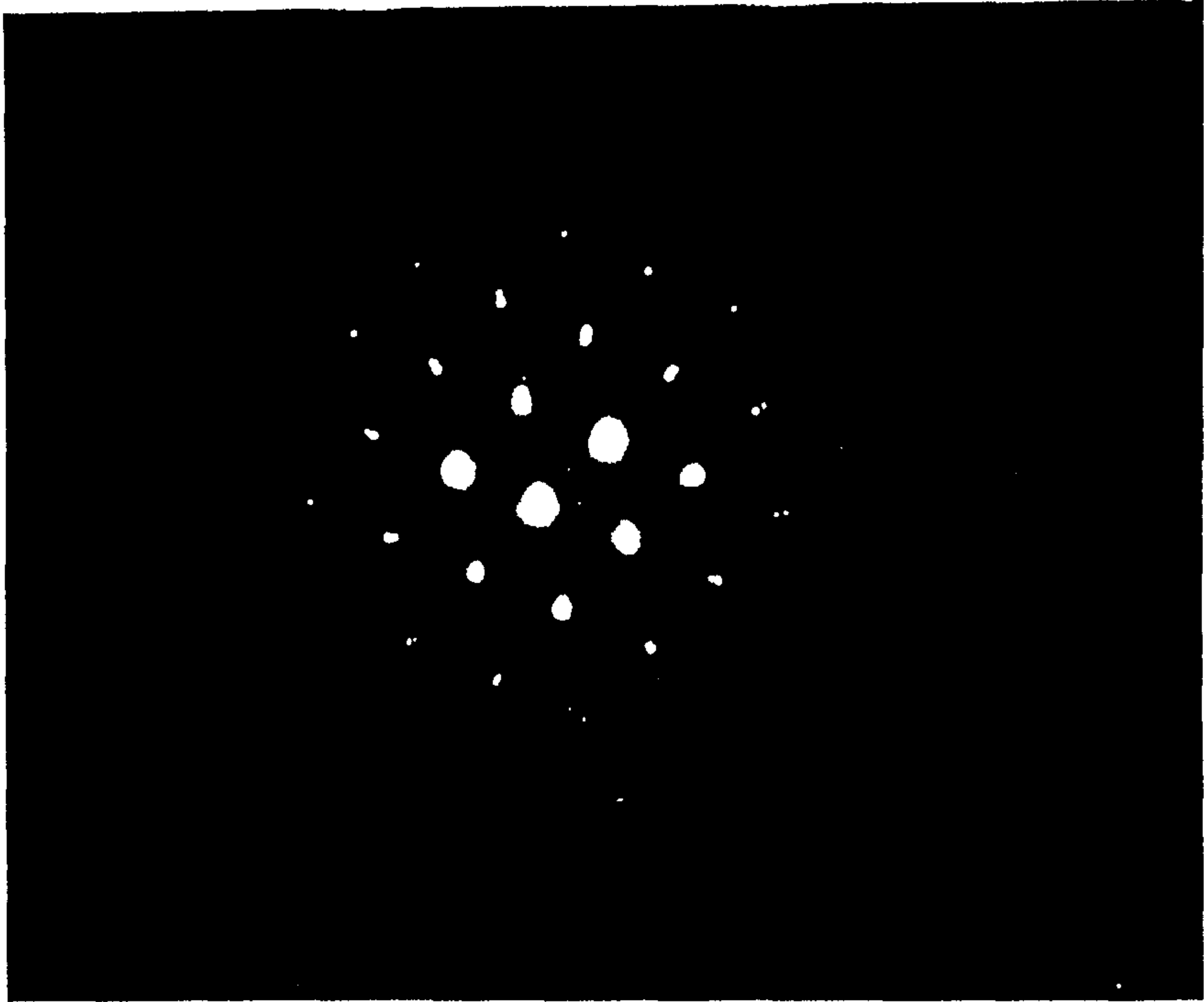


그림 5-17 . GaAs-on-Si 계면에서의 전자회절 패턴

패턴을 보여주는데 GaAs와 실리콘의 격자면들에 해당하는 각각의 점들이 쌍으로 생기는 것을 볼 수 있다. 이것은 GaAs/Si 계면 근처에서 GaAs의 격자들이 실리콘과의 coupling 없이 실리콘의 격자상수와 다른 자신의 격자상수를 가지고 있음을 보여준다.

다음은 GaAs의 표면에서의 전위들을 조사하기 위하여 plan view TEM을 관측하였다. 그림 5-18은 GaAs층의 두께가 각각 1 (a), 2 (b), $5.5\ \mu\text{m}$ (c)인 시료들의 표면근처에서의 전위들을 TEM으로 관측한 사진들인데, GaAs층의 두께가 두꺼워 질수록 전위밀도가 줄어들었음을 알 수 있으며 대략적인 전위밀도가 각각 5×10^8 (a), 3×10^8 (b), $1 \times 10^8 / \text{cm}^2$ (c)로 계산되어진다.

그리고 두꺼운 ($5.5\ \mu\text{m}$) GaAs-on-Si 시료에서 발생하는 thin crack들도 역시 TEM plan view로 관측되었다 (그림 5-19). 그림 5-19에서 $\langle 110 \rangle$ 방향으로 진행하는 crack들을 볼 수 있으며 배율이 높은 TEM 사진 (그림 5-19 b) 으로부터 측정된 crack의 폭은 약 200 nm 정도이다.

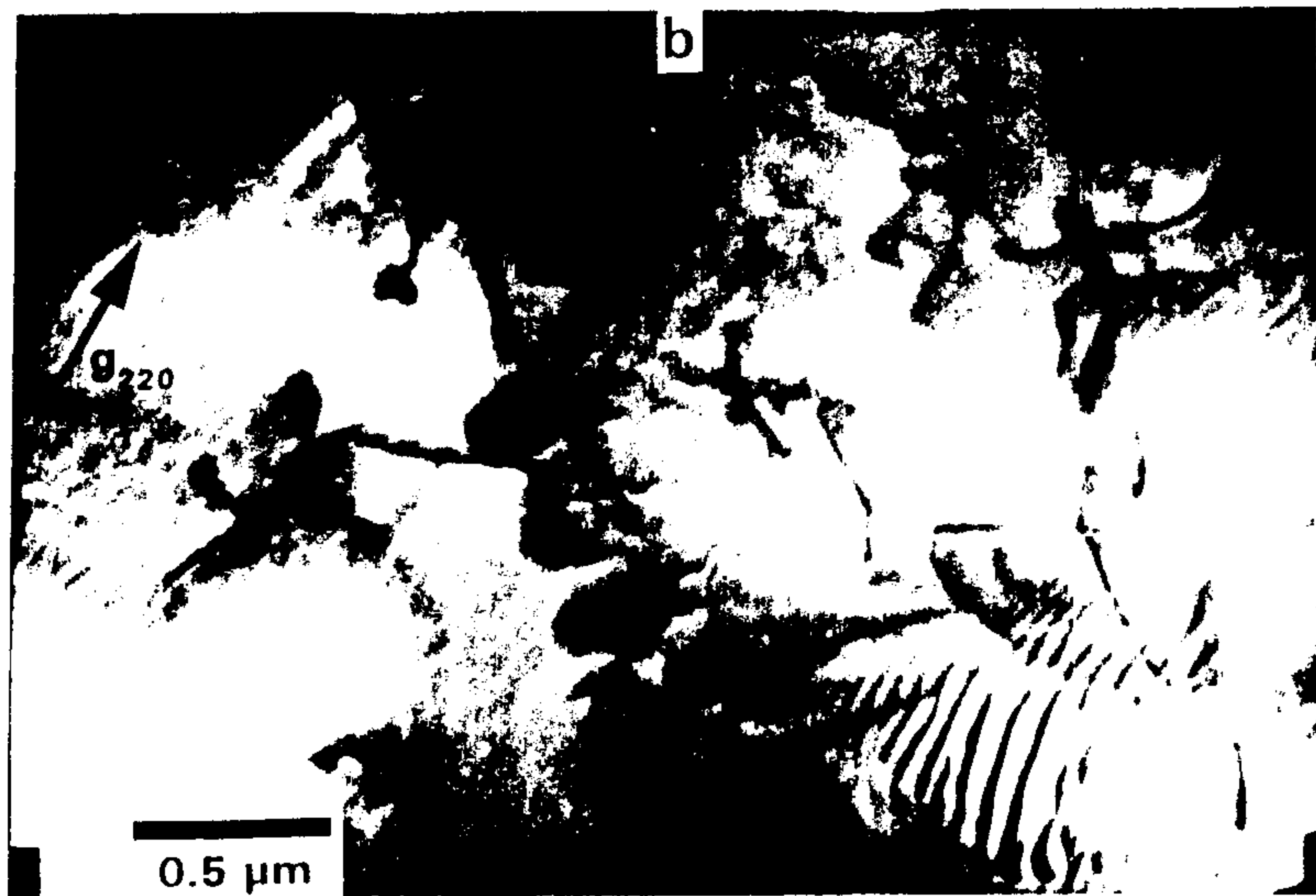
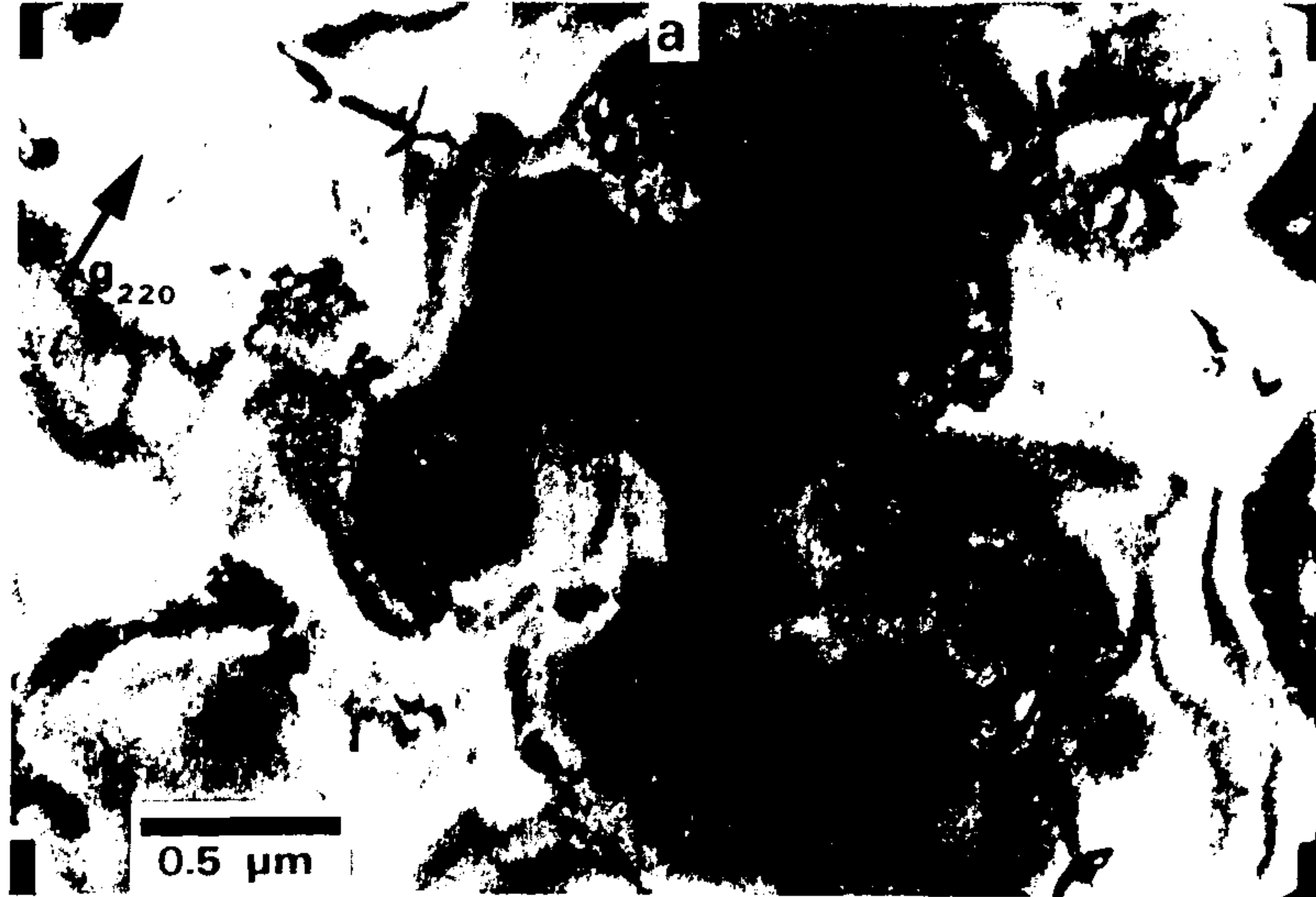
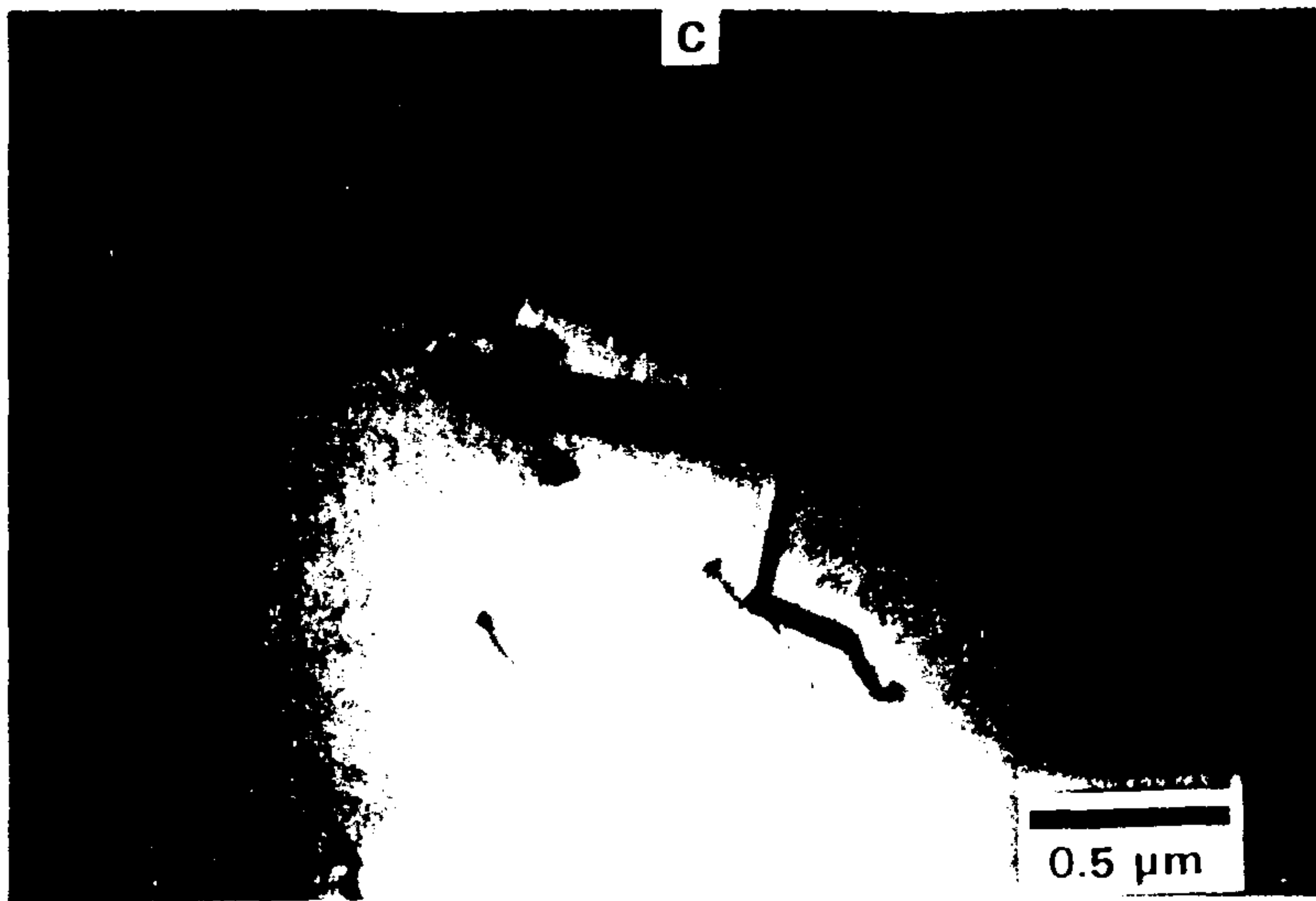


그림 5-18. GaAs-on-Si 시료 표면에서의 TEM plan view 측정사진. GaAs 층의 두께 (a) 1, (b) 2, (c) 5.5 μm



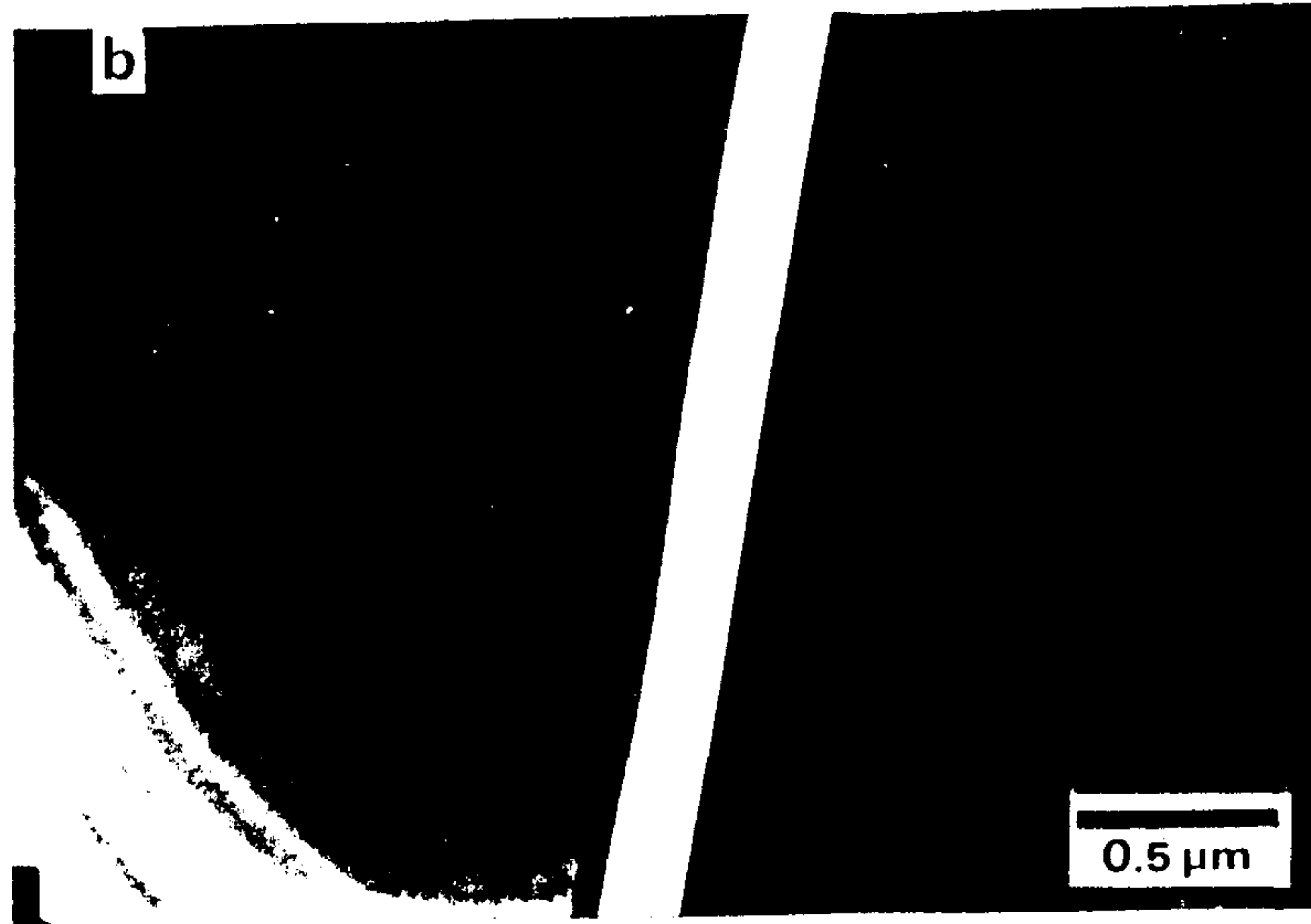
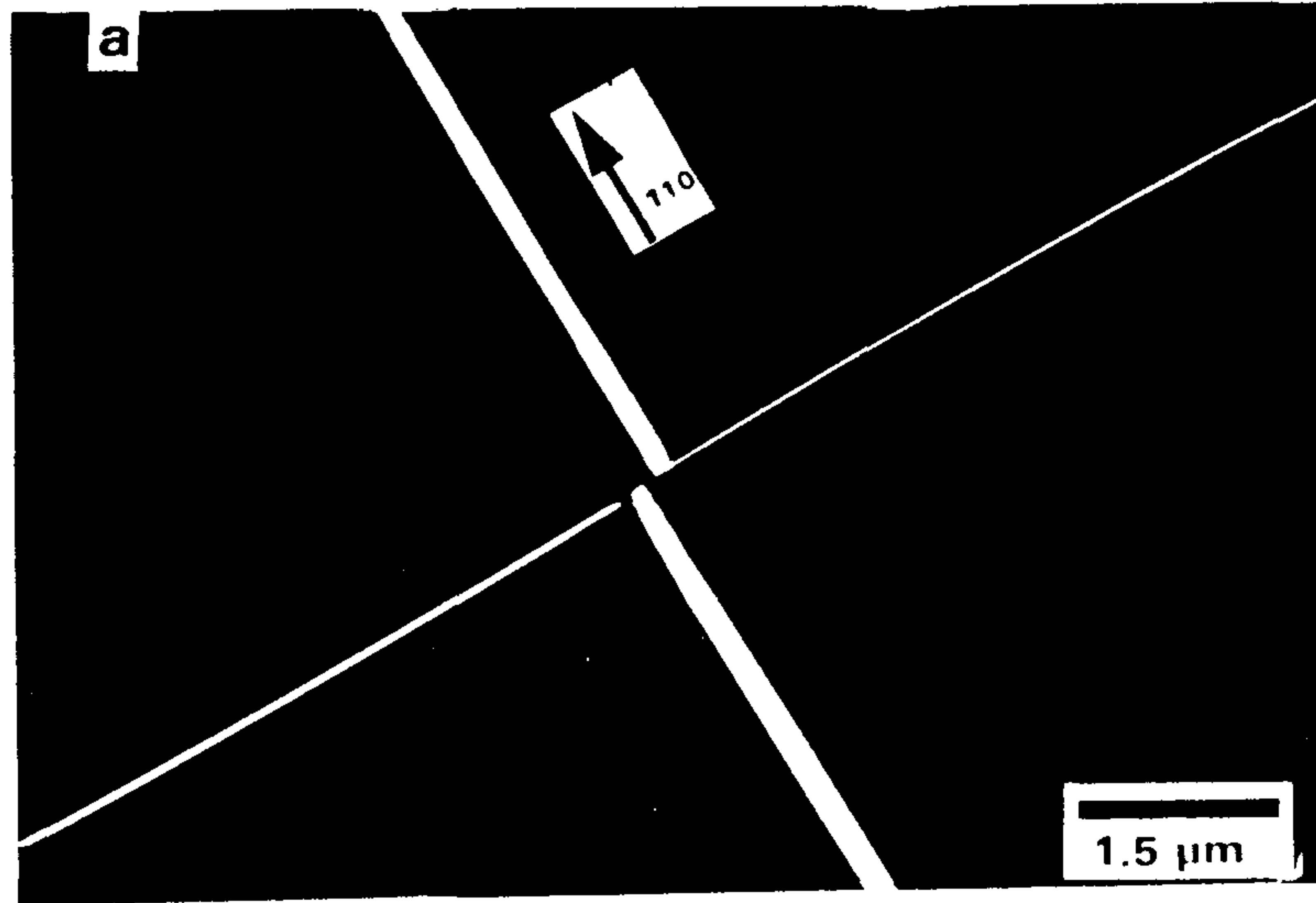


그림 5-19 . 두께 $5.5\mu\text{m}$ 인 GaAs-on-Si 시료에서 발생한 crack 들의 TEM plan view 사진

제 6 장 종합적 결론 및 건의사항

제 1 절 종합적 결론

본 연구는 차세대 화합물 반도체 재료의 선진기술인 VGF 결정 성장 및 GaAs-on-Si 이종접합 기술의 개발을 위한 1차 연구로서 연구 장비의 제작 및 개선, 시험 성장을 통한 기초기술 습득과 물성연구를 수행하여 다음과 같은 결과를 얻었다.

1. Bulk 단결정 성장 연구

DM(direct monitoring) 전기로를 이용하여 독특한 VGF 결정 성장장치를 제작하였다. 이 장치의 특징은 첫째, programmable temperature controller를 이용하여 결정성장 전과정의 온도제어를 자동화한 점, 둘째로 고온부위에 DM 전기를 사용함으로써 고온가열 및 냉각 반응속도를 단축시키고 결정성장시간을 단축시킨 점, 셋째 결정 성장시 성장로의 내부를 직접 관찰할 수 있는 점 등이다. 이 장치를 이용하여 직경 1인치 길이 10 cm의 $\langle 111 \rangle$ undoped GaAs 원형 단결정을 성장시켰다. 결정성장은 봉합된 석영반응관 내에서 약 1기압의 As 분위기를 유지시키며 8 ~ 2.25 mm/hr의 성장속도로 하였다. 성장 초기 seed 결정으로부터 shoulder 부분까지의 안정된 계면이동이 특히 중요하며 이 과정의 온도제어 program을 변화시켜 양질의 VGF Ga

As 단결정을 얻을 수 있었다. 또한 결정성장이 끝난 후에도 700 °C까지는 서서히 냉각시킴으로써 성장후 급냉에 따른 부분적인 폭발이나 전위의 생성을 제거하였다.

성장된 결정의 특성평가는 화학부식을 이용한 전위밀도 측정과 Hall 효과 측정을 이용한 전기적 특성 측정, 또는 DLTS, PL 등의 측정을 하였다. 전위밀도는 약 5,000 개 / cm^2 이하로 LEC GaAs는 물론 HB GaAs 보다도 더 양질의 단결정으로 나타났으며 비저항은 $3.2 \times 10^{-2} \sim 2.2 \times 10^{-3} \Omega \cdot cm$, 전자이동도는 3,910 ~ 2,940 $cm^2 / V \cdot sec$, 그리고 carrier 농도는 $5 \times 10^{16} \sim 9.5 \times 10^{17} cm^{-3}$ 의 분포를 보였다.

또한 undoped 및 In-doped GaAs 시료를 사용하여 열처리 및 플라즈마 수소화 전후의 deep level 거동을 조사하였으며 photocapacitance quenching 효과와 열회복 현상을 연구하였다. 이들 실험을 통해 $V_{As} V_{Ga} AS_{Ga}$ 와 $V_{As} V_{Ga} AS_{Ga}$ 의 EL2 및 EX2 준위 model을 확인하고 EL8과 EL10 준위의 모형으로 $V_{As} AS_{Ga}$ 와 $V_{As} V_{Ga}$ 을 제안하였다.

2. 이종접합연구

MOCVD 법에 의해 실리콘 기판위에 GaAs 에피결정을 성장하고 GaAs 에피결정의 표면상태, 결정구조 및 결정결함등을 현미경, X-ray diffraction, transmission electron microscopy (TEM), KOH 용액 etching 등의 방법으로 측정하였다.

[011] 방향으로 3° off 된 (100) 실리콘 기판위에 거울면

을 보이는 GaAs 에피층을 MOCVD 법으로 성장하였는데 이때의 최적 성장조건은 950 °C에서 20 분간 열처리한 후 450 °C에서 2.5 분간 GaAs 를 성장시키고 마지막으로 750 °C에서 As : Ga ratio 를 50 으로 하여 두께 1 ~ 5.5 μm 의 GaAs 층을 성장시켰다. 두께가 두꺼워지면서 표면 roughness 는 좋아지는 경향을 보였으며 두께 5.5 μm 인 시료에서는 표면에 microcrack 들이 나타났다.

한편 측정되어진 두께 범위에서 계면에 수직인 방향과 수평인 방향에서의 GaAs 격자상수는 각각 5.6473 Å 및 5.6745 ~ 5.6639 Å로 측정되어졌으며 3° 기울어진 실리콘 기판위에 성장된 GaAs 에피층의 <001> 결정방향은 표면에 수직인 방향과 기판의 <001> 방향사이에 위치하고 있으며, 두 방향사이의 각도 (misorientation) 는 0.05°로 측정되어졌다. 그리고 단면 TEM 및 plan view TEM 측정으로부터 GaAs 층의 표면근처에서 전위밀도가 10^8 order 정도가 됨을 알 수 있다.

이와 같은 결과들은 본 연구사업의 1차 목표를 충분히 만족하는 좋은 결과들로 평가되며 앞으로 계속적인 연구를 통해 VGF 기술의 경우 불순물 첨가 연구 및 성장 최적조건을 찾고, 이종접합 연구에서도 양질의 에피층 성장조건을 확립한후 MESFET 등의 소자제작을 해 볼 계획이다.

제 2 절 건 의 사 항

GaAs 반도체는 차세대 반도체산업의 핵심소재로서 광통신, 광전소자, 광 IC, 광컴퓨터 등에 응용되어 미래의 광정보시대에 광범위하게 쓰일 것으로 전망되며 선진 각국에서 치열한 개발경쟁을 벌이고 있다. 따라서 이 분야에서의 기술자립과 기술경쟁을 이루기 위해서는 장기적 안목에서의 지속적인 개발투자가 필요하며, 국가적인 차원에서의 연구주도와 지원이 요망된다.

끝으로, 본 연구사업 수행을 위해 협조해 주신 MOST, KIST 관계관 여러분과 서울대, 고려대, 연대, 동국대, 경북대 ETRI를 비롯한 국내 학계의 교수님들과 연구원들께 깊은 감사를 드립니다.

참 고 문 헌

- 1-1) 민석기, 박승철, 한철원, 특허 출원 중 (8305/1988)
- 1-2) 박승철, 한철원, 박용주, 심광보, 민석기, 응용물리 2(2), 136(1989).
- 1-3) 박용주, 한철원, 심광보, 박승철, 김은규, 김용, 민석기, 새물리 29, 160(1989).
- 1-4) S-K. Min, E.K. Kim, and H.Y. Cho, J. Appl. Phys. 63, 4422 (1988).
- 1-5) 박일우, 조성호, 김은규, 조훈영, 한철원, 박승철, 민석기, 새물리 29, 50(1989).
- 1-6) 조훈영, 김은규, 민석기, 새물리 28, 740(1988).
- 1-7) H.Y. Cho, E.K. Kim, and S-K. Min, Phys. Rev. B (in press).
- 1-8). 조훈영, 김은규, 민석기, 김재봉, 장진, 응용물리 1, 132(1988)
- 1-9) H.Y. Cho, E.K. Kim, S-K. Min, J.B. Kim, and J. Jang, Appl. Phys. Lett. 53, 856 (1988).
- 1-10) H.Y. Cho, E.K. Kim, and S-K. Min, to be published in J. Appl. Phys. Sep. 1 (1988).
- 1-11) H.S. Kim, Y.Kim, M.S. Kim and S-K. Min, J. Korean Phys. Soc. 21, 288 (1988).
- 1-12) 김현수, 김용, 김무성, 민석기, 응용물리 1, 121(1988).

- 1-13) H.S. Kim, Y. Kim, M.S. Kim and S-K. Min, J. Crystal Growth 92, 507 (1988).
- 1-14) 김용, 김무성, 김현수, 박승철, 한철원, 민석기, 응용물리 1, 10 (1988).
- 2-1) M. Hirayama, M. Togashi, N. Kato, M. Suzuki, Y. Matuoka and Y. Kawasaki, IEEE Trans. Electron Devices ED-33, 104 (1986).
- 2-2) S. Miyazawa, Y. Ishii, S. Ishida and Y. Nanish, Appl. Phys. Letters 43, 853 (1983).
- 2-3) A.S. Jordan, R. Caruso and A.R. Von Neida, Bell Syst. Tech. J. 62. 477 (1983).
- 2-4) S. Ozawa, M. Miyairi, M. Nakayima and T. Fukuda, in: Proc. 12th Intern. Symp. on "GaAs and Related compound", Kauizawa, 1985, Inst. Phys. Conf. Ser. 79, Ed. M. Fujimoto (Inst. Phys., London-Bristol, 1986), p. 19.
- 2-5) T. Tasinski, A.F. Witt and W.M. Rohsenov, J. Crystal Growth 67, 173 (1984).
- 2-6). R.D. Fairman et al, IEEE ED-28, 135 (1981).
- 2-7) A.S. Jordan, A.R. Von Neida and R. Caruso. J. Crystal Growth 76, 243 (1986).
- 2-8). A.G. Elliot, C-L. Wei, R. jarraro, G. Wodhouse, M. Scott and R. Hiskes, J. Crystal Growth 70, 169 (1984).
- 2-9) H.M. Hobgood, R.N. Thomas, D.L. Baret, G.W. Eldridge,

- M.M. Sopira and M.C. Driver, in "Semi-Insulating III-V Materials", Kah-nee-ta, 1984, Eds. D.C. Look and J.S. Blackmore (Shiva, Nantwich, 1984), p. 149.
- 2-10) T. Inoue, S. Nishine, M. Shibata, T. Matsumoto, S. Yoshitake, Y- Sato, T. Shimoda and K. Fujita, in: Proc. 12th Intern. Symp. on "GaAs and Related Compounds", Karuizawa, 1985, Inst. Phys. Conf. Ser. 79, Et. M. Fujimoto (Inst. Phys., London-Bristol, 1986), p. 7.
- 2-11) S.E. Blum and R.J. Chicotka, J. Electrochem. Soc. 120, 588 (1973).
- 2-12) Chong E. Chang, Vincent F.S. YiP and W.R. Wikox, J. Crystal Growth 22(1974), 247-258.
- 2-13) H.H. Woodbury, J. Crystal Growth 35, 49 (1976).
- 2-14) W.A. Gault, US Patent No. 4, 404, 172, Sept. 13, 1983.
 " ", 521, 272, June 4, 1985.
- 2-15) C.R. Abernathy et al., J. Crystal Growth 85 (1987), 106-115.
- 2-16) W. Koster and B. Thoma, Z. Metallk, 46, 291 (1955).
- 2-17) J. van den Boomgaard and K. School, Philips Research Repts., 12, 127 (1957).
- 2-18) C.D. Thurmond, J. Phys. Chem. Solids, 26, 785 (1965).
- 2-19) J.R. Arthur, J. Phys. Chem. Solids 28, 2257 (1967).
- 2-20) General Electric Fused Quartz Products Catalog.

- 2-21) Union Carbide Pyrolytic Boron Nitride Catalog.
- 2-22) T. Jasinski, A.F. Witt and W.M. Rohsenow, J. Crystal Growth 67, 173 (1984).
- 2-23) R.D. Fairman et al., IEEE ED-28, 135 (1981).
- 2-24) Suk-Ki Min, et al., KAIST Res. Report to MOST, 2N408-3184-1, 127 (1988).
- 2-25) Suk-Ki, Min, et al., KAIST Res. Report BSI 1105-2601-1 (1986).
- 3-1) S. Adachi and K. Oe, J. Electrochem. Soc. 130, 2427 (1983).
- 3-2) A.S. Jordan, R. Caruso, and A.R. Von Neida, Bell Syst. Tech. J. 59, 593 (1980).
- 3-3) N. Kobayashi and T. Iwaki, J. Crystal Growth 73, 96 (1985).
- 3-4) P. Dobrilla and J.S. Blakemore, J. Appl. Phys. 60, 169 (1986).
- 3-5) W.A. Gault, E.M. Monberg and J.E. Elemans, J. Crystal Growth 74, 491 (1986).
- 3-6) C.R. Abernathy, A.P. Kinsella, A.S. Jordan, R. Caruso, S.J. Pearton, H. Temkin and H. Wade, J. Crystal Growth 85, 106 (1987).
- 3-7) K. Hoshikawa, H. Nakanishi, H. Kohda and M. Sasaura, J. Crystal Growth 94, 643 (1989).

- 3-8) J.M. Parsey, Jr., J. Lagowski, and H.C. Gatos, *J. Electrochem. Soc.* 83-13, 61 (1983).
- 3-9) M.L. Gray, L. Sargent, J.S. Blakemore, J.M. Parsey, Jr., and J.E. Clemans. *J. Appl. Phys.* 63, 5689 (1988).
- 3-10) 박용주, 한철원, 심광보, 박승철, 김은규, 김용, 민석기, 새물리, 29, 160 (1989).
- 3-11) W. Walukiewicz, L. Lagowski, L. Jastrzebski, M. Lichtensteiger and H.C. Gatos, *J. Appl. Phys.* 50, 899 (1979).
- 3-12) J.M. Parsey, Y. Nanishi, J. Lagowski and H.C. Gatos, *J. Electrochem. Soc.* 129, 389 (1982).
- 3-13) J. Lagowski, H.C. Gatos, J.M. Parsey, K. Wada. M. Komin-ska and W. Walukiewicz, *Appl. Phys. Lett.* 40, 342 (1982)
- 3-14) K.H. Nichols, Camellia M.L. Yee, and C.M. Wolfe, *Solid-State Electron.* 23, 109 (1980).
- 3-15) D.J. Ashen, P.J. Dean, D.T.J. Hurle, J.B. Mullin and A.M. White, *J. Phys. Chem. Solids*, 36, 1041 (1975).
- 3-16) J.I. Pakove, *J. Appl. Phys.* 39, 5368 (1968).
- 3-17) C.M.H. Driscoll, A.F.W. Willoughby, E.W. Williams, *J. Mater. Sci.* 9, 1615 (1974).
- 4-1) E.D. Bourret, M.G. Tabache, J.W. Beeman, A.G. Elliot, and M. Soctt, *J. tryst. Growth* 85, 275 (1987).
- 4-2) S. Makram-Ebid, D. Gautrad, P. Devillard, and G.M. Martin, *Appl. Phys. Lett.* 40, 161 (1982).

- 4-3) K. Wada and N. Inoue, Appl. Phys. Lett. 47, 945 (1985).
- 4-4) G. Vincent, D. Bois, and A. Chantre, J. Appl. Phys. 53, 3643 (1982).
- 4-5) Y.J. Park, C.W. Han, E.K. Kim, Y. Kim, and S-K. Min, submitted to New Physics.
- 4-6) Y. Kitagawara, N. Noto, T. Takehashi, and T. Takenaka, Appl. Phys. Lett. 48, 1664 (1986).
- 4-7) Y. Kitagawara, N. Noto, T. Takehashi, and T. Takenaka, Appl. Phys. Lett. 52, 221 (1988).
- 4-8) C.K. Kim, Y. Lee, H.S. Kim, Y.T. Kim, and S-K. Min, Bull. Kor. Phy. Soc. 4, 130 (1986).
- 4-9) S-K. Min, E.K. Kim, and H.Y. Cho, J. Appl. Phys. 63, 44 4422 (1988).
- 4-10) H.Y. Cho, E.K. Kim, S-K. Min, and S.H. Choh, Appl. Phys A. in press.
- 4-11) H.Y. Cho, E.K. Kim, S.C. Park, Y.T. Kim, and S-K. Min, New Physics 27, 680 (1987).
- 4-12) E.K. Kim, H.Y. Cho, C.W. Han, C.K. Kim, and S-K. Min, New Physics 27, 674 (1987).
- 4-13) S.K. Krawczyk, A. Khough, R. Olier, A Chabli, and B. Molva, Appl. Phys. Lett. 49, 1776 (1986).
- 4-14) J.F. Wager and J.A. Van Vechten, Phys. Rev. B 36, 2330 (1987).

- 4-15) H.J. von Bardeleben, D. Stievenard, D. Deresmes, A. Huber, and J.C. Bourgoin, Phys. Rev. B 34, 7192 (1986).
- 4-16) M. Satoh, H. Kawahara, K. Kuriyama, and C. Kim, Solid State Commun. 67, 139 (1988).
- 4-17) G. Vincent and D. Bois, Solid State Commun. 27, 431 (1978).
- 4-18) G. Vincent, D. Bois, and A. Chantre, J. Appl. Phys. 53, 3643 (1987).
- 4-19) S. Nojima, H. Asahi, and T. Ikoma, J. Appl. Phys. 61, 1073 (1987).
- 4-20) M. Levinson and J.A. Kafalas, Phys. Rev. B35, 9383 (1987).
- 4-21) T. Wonsinski and T. Figielski, Solid State Commun. 63, 885 (1987).
- 4-22) M.O. Manasreh and B.C. Covington, Phys. Rev. B36 2730 (1987).
- 4-23) M. Tajima, H. Saito, T. Tino, and K. Ishoda, J.J. Appl. Phys. 27, L101 (1988).
- 4-24) D.W. Fisher, Phys. Rev. B37, 2968 (1988).
- 4-25) J.C. Parker and R. Bray, Phys. Rev. B37, 6368 (1988).
- 4-26) T. Hariu, T. Sato, H. Komori, and K. Matsushita, J. Appl. Phys. 61, 1068 (1987).
- 4-27) J.F. Wager and J.A. Van Vechten, J. Appl. Phys. 62, 4192 (1987).

- 4-28) H.Y. Cho, E.K. Kim, and S-K. Min, J. Korean Phys. Soc. 20, 379 (1987).
- 4-29) J.A. Van Vechten, Phys. Rev B12, 1247 (1975).
- 4-30) J.A. Van Vechten and J.F. Wager, Phys. Rev. B32, 5259 (1965).
- 4-31) H.Y. Cho, E.K. Kim, and S-K. Min, New Phys. 28, 740 (1988).
- 4-32) H.Y. Cho, E.K. Kim, and S.K. Min, Phys. Rev. B(in press)
- 4-33) J. Lagowski, M. Kaminska, J.M. Parsey, Jr. H.C. Gatos, and M. Linchtensteiger, Appl. Phys. Lett. 41, 1078(1982)
- 4-34) S.J. Pearton, C.S. Wu, M. Stavola, F. Ren. J. Lopata, W.C. Dautremont-Smith, S.M. Vernon, and V.E. Haven, Appl Phys. Lett. 61, 496 (1987).
- 4-35) N.M. Johnson, D.K. Biegelsen, and M.D. Moyer, Appl. Phys Lett. 40, 882 (1982).
- 4-36) J.L. Benton, C.J. Doherty, S.D. Ferris, D.L. Flamm, L.C. Kimerling, and H.J. Leamy, Appl. Phys. Lett. 36, 670 (1980).
- 4-37) C.T. Sha, J.Y. Sun, and J.J.T. Tzou, J. Appl. Phys. 55, 1525 (1984).
- 4-38) S.J. Pearton, J. Appl Phys. 53, 4509 (1981).
- 4-39) W.C. Dautremont-Smith, J.C. Nabity, V. Swaminathan, M. Stavola, J. Chevallier, W.C. Tu, and S.J. Pearton, Appl.

- phys. Lett. 49, 1098 (1986).
- 4-40) J.W. Corbett, S.N. Sahu, T.S. Shi and L.C. Synder, Phys. Lett. A93, 303 (1983).
- 4-41) S.J. Pearton, J.W. Corbett, and T.S. Shi, Appl. Phys. A 43, 153 (1987).
- 4-42) J. Weber, S.J. Pearton, and W.C. Dautremont-Smith, Appl. Phys. Lett. 49, 1181 (1986).
- 4-43) H.Y. Cho, E.K. Kim, S-K. Min, J.B. Kim, and J. Jang, Appl. Phys. Lett. 53, 856 (1988).
- 4-44) H.Y. Cho, E.K. Kim, and S-K. Min, Korean Appl. Phys. 1, 132 (1988).
- 4-45) H.Y. Cho, E.K. Kim, S-K. Min, J. Appl. Phys. (in press).
- 5-1) S. Nishi, H. Inomata, M. Akiyama, and K. Kaminishi, Jpn. J. Appl. Phys. 24, L391 (1985).
- 5-2) R. Fisher, W.T. Masselink, T. Klem, T. Henderson, T.C. McGlinn, M.V. Klein, H. Morkoc, J.H. Mazur, and J. Washburn, J. Appl. Phys. 58, 374 (1985).
- 5-3) H. Noge, H. Kano, T. Kato, M. Hashimoto, and I. Igarahi, J. Cryst. Growth 83, 431 (1987).
- 5-4)
- 5-5) Y. Shinoda, T. Nishioka, and Y. Ohmachi, Jpn. J. Appl. Phys. 22, L450 (1983).
- 5-6) R.M. Fletcher, D.K. Wagner, and J.M. Ballantyn, Appl.

- Phys. Lett. 44, 968 (1984).
- 5-7) T. Soga, S. Hattori, S. Sakai, M. Takeyasu, and M. Umeno, Electon. Lett. 20, 916 (1984).
- 5-8) M. Akiyama, Y. Kawarada, and K. Kaminishi, J. Cryst. Growth 68, 21 (1984).
- 5-9) M. Akiyama, Y. Kawarada, and K. Kaminishi, Jpn. Appl. Phys. 23, L843 (1984)
- 5-10) T. Nonaka, M. Akiyama, Y. Kawarada, and K. Kaminishi, Jpn. Appl. Phys. 23, L919 (1984).
- 5-11) T. Soga, S. Hattori, M. Takeyasu, and M. Umeno, J. Appl. Phys. 57, 4578 (1985).
- 5-12) S. Sakai, T. Soga, M. Takeyasu, and M. Umeno, Jpn. Appl. Phys. 23, L666 (1985).
- 5-13) S. Sakai, T. Soga, M. Takeyasu, and M. Umeno, Appl. Phys. Lett. 48, 413 (1986).
- 5-14) A. Hashimoto, Y. Kawarada, T. Kamijoh, M. Akiyama, N. Wadanabe, and M. Sakuta, Appl. Phys. Lett. 48, 1617 (1986).
- 5-15) S.M. Vernon, V.E. Haven, S.P. Tobin, and R.G. Wolfson, J. Cryst. Growth 77, 490 (1986).
- 5-16)
- 5-17) S.K. Shatry, S. Zemon, and M. Oren, *ibid.* 77, 503 (1986)

- 5-18) K. Mizuguchi, N. Hayafuji, S. Ochi, T. Murotani, and K. Fusikawa, *ibid* 77, 509 (1986).
- 5-19) S.M. Vernon, V.E. Haven, S.P. Tobin, and R.G. Wolfson, *ibid* 77, 530 (1986).
- 5-20) T. Ueda, S. Nishi, Y. Kawarada, M. Akiyama, and K. Kaminishi, *Jpn. J. Appl. Phys.* 25, L789 (1986).
- 5-21) S.J. Pearton, S.M. Vernon, C.R. Abernathy, K.T. Short, R. Caruso, M. Stavola, J.M. Gibson, V.E. Haven, A.E. White, and D.C. Jacobson, *J. Appl. Phys.* 62, 862 (1987)
- 5-26) H-S. Kim, Y. Kim, M-S. Kim, S-K, Min, *J. Korean Phys. Soc.* 21, 288 (1-88).
- 5-28) H-S. Kim, Y. Kim, M-S. Kim, S-K, Min, *J. Cryst. Growth* 92, 507 (1988).
- 5-29)
- 5-30) H-S. Kim, S-K. Min, and C. Lee, *J. Cryst. Growth* 92, 77 (1988).
- 5-31) W. Stolz, F.E.G. Guimaraes, and K. Ploog, *J. Appl. Phys* 63, 492 (1988).
- 5-32) R.J. Matyi, J.W. Lee, and H.F. Schaake, *J. Electro, Mat* 17, 87 (1988).
- 5-33) Y. Kawamura and H. Okamoto, *J. Appl. Phys.* 50, 4457 (1979).

5-34) H. Nagai, J. Appl. Phys. 45, 3789 (1974).

5-35) J.C. Bravman and R. Sinclair, J. Electron Microscopy
Tech. 1, 53, (1984).

여 백

부 록

여 백

```

*****      *****      *****      *****      *      *
*            *            *            *            * *      * *
*            *            *            *            * *      * *
***          *            *            *****      **** *      *
*            *            *            *            *      *
*            *            *            *            *      *
*            *****      *****      *****      *      *

```

EUROTHERM Regler GmbH, D-625 Limburg, Ottostr. Tel. 06431 2905-0

```

CUSTOMER          :          KAIST
PROGRAM NUMBER   :          UC054A
AUTHOR           :          .....?
Tel. (AUTHOR)    :          .....?

EUROTHERM WORKS ORDER NO. :          .....?
CONFIGURATION: (1)OFFLINE :          V3.1C
                (2)ANALOGUE ACQUISITION :          EPROM name = .....?
                (3)SYSTEM CONFIG       :          ALARMS      = .....?
                                          :          RECIPES    = .....?
                                          :          MEMORY POOL = .....?

```

The information contained within this program is supplied on the strict understanding that it is the responsibility of the CUSTOMER to verify that all actions described therein result in the safe and correct operation of the plant and any associated equipment. Where necessary external safety equipment must be provided.

SECURITY CODES:

LEVEL	CODE	USER KEYS	SYSTEM KEYS
1	without	STATUS, UP/DOWN INSPECT, ALARM, LOOP USER, RUN	ENTER, CODE

2	12345678	HOLD	TASK, FUNCTION, ALM-ACK, VALUE SELECT, RECIPE
3	87654321		FUNCTION, DIAG, STEP, DELETE, PROGRAM

FICS-11 : HARDWARE DEFINITION

=====

...description...

!..... Module: Power Supply is module m1

!.....Module: Main Controller

CARD m2 TYPE CONTROL-MS !Type 652-00-02-00!

- DO 1 = *
- DO 2 = *
- DO 3 = *
- DO 4 = *
- DO 5 = *
- DO 6 = *
- DO 7 = *
- DO 8 = *

!.....Module: Analogue Acquisition.....(ADDRESS).....!

CARD m3 TYPE ANALOGUE-HL ! Type 653-02-00, Address switch 00000000 !

AI 1 = zone1-mv ! measured-variable inputs to loops !
AI 2 = zone2-mv ! (from modules m5,m6) !
AI 3 = zone3-mv
AI 4 = zone4-mv
AI 5 = zone5-mv
AI 6 = temp1-mv
AI 7 = temp2-mv
AI 8 = *
AI 9 = *
AI 10 = *
AI 11 = *
AI 12 = *
AI 13 = *
AI 14 = *
AI 15 = *
AI 16 = *

!.....Module: Analogue Output.....(ADDRESS).....!

!.....Cards m5,m6 are each INPUT ISOLATOR, Type655.....!

CARD m4 TYPE SETPOINT-OP ! Type 654-070-00,Address switch 00000001 !

AO 1 = zone1-ov ! loop output-values, to power-controllers !
AO 2 = zone2-ov
AO 3 = zone3-ov
AO 4 = zone4-ov
AO 5 = zone5-ov
AO 6 = *
AO 7 = *
AO 8 = *

DI 1 = *
DI 2 = *
DI 3 = *
DI 4 = *
DI 5 = *
DI 6 = *
DI 7 = *
DI 8 = *

!.....Module: Relay Output(ADDRESS).....!

!.....Cards m5 is a relay-op, type 659.....!

CARD m5 TYPE RELAY-OP !Type 659-070-00,Address switch 00000010!

- DO 1 = z1highdev !loop output-values,to power-controllers!
- DO 2 = z2highdev
- DO 3 = z3highdev
- DO 4 = z4highdev
- DO 5 = z5highdev
- DO 6 = t2mhighdev
- DO 7 = *
- DO 8 = *

END ! End of the hardware definitions!

!

FICS-11 : VARIABLE DEFINITIONS

=====

VARIABLES

!.....Digital Outputs.....!

TYPE DO

z1highdev, z2highdev,z3highdev,z4highdev
ALSO z5highdev, t2mhighdev WITH
CLASS = "RELAY-OUT"
SENSE = OFF ON

!.....Analogue Inputs.....!

TYPE AI

zone1-mv, zone2-mv, zone3-mv, zone4-mv
ALSO zone5-mv, temp1-mv, temp2-mv WITH
CLASS = "TEMPERATURES"
TYPE = "R-TYPE"
MINSCALE = 0.0
MAXSCALE = 1500.0
HA = 1450.0
LA = 0.0
OFFSET = 0.0
X10GAIN = OFF
FILTER = OFF
UNITS = "DEG C"

!.....Analogue Outputs.....!

TYPE AO

zone1-ov, zone2-ov, zone3-ov, zone4-ov
ALSO zone5-ov WITH
CLASS = "OUTPUT-VALUE"
MINSCALE = 0.0
MAXSCALE = 100.0
UNITS = "%"

!.....Loops.....!

TYPE LOOP

zone1, zone2, zone3, zone4
ALSO zone5, t2master WITH

CLASS	=	"CONTROLLER"!	Group Name	!
SP	=	0.0	! Set Point	!
SLL	=	0.0	! Set Point Low Limit	!
SLH	=	1500.0	! Set Point High Limit	!
ST	=	0.00	! Set Point Trim Value	!
STM	=	1.00	! Set Point Trim Multiplier	!

```

STL      = 0.0      ! Set Point Trim Limiter      !
RM       = 0.00     ! Ratio Multiplier           !
RML      = 0.00     ! Ratio Multiplier Low Limit !
RMH      = 0.00     ! Ratio Multiplier High Limit !
MV       = 0.0      ! Measured Value            !
MFC      = 0.1      ! Measured Value Filter Constant !
DA       = 0.0      ! Deviation Alarm           !
EL       = 360.0    ! Max. Error Limit between PV and SP !
OV       = 0.0      ! Output Value              !
EXTERNAL = FALSE    !                            !
XP       = 10.0     ! Prob Band                 !
TI       = 300.00   ! Integral Time             !
TD       = 60.00   ! Derivative Time          !
IFC      = 0.85     ! Integral Bleed Off Factor !
DFC      = 0.1      ! Derivative Filter Constant !
OLL      = 0.0      ! Output Limit Low         !
OLH      = 0.0      ! Output Limit High        !
CBL      = 0.0      ! Cutback Limit Low        !
CBH      = 0.0      ! Cutback Limit High       !
CBV      = 0.0      ! Cutback Value            !

```

!.....User-Functions.....!

TYPE FUNCTION

reset WITH LEGEND = "RESET TO STANDBY",

!

FICS-11 : LOOP CONNECTIONS

=====

CONNECT

```

zone1 PVI TO zone1-mv, zone1 OPD TO zone1-ov
ALSO zone2 PVI TO zone2-mv, zone2 OPD TO zone2-ov
ALSO zone3 PVI TO zone3-mv, zone3 OPD TO zone3-ov
ALSO zone4 PVI TO zone4-mv, zone4 OPD TO zone4-ov
ALSO zone5 PVI TO zone5-mv, zone5 OPD TO zone5-ov
ALSO t2master PVI TO temp2-mv
ALSO zone5 TSP TO t2master, zone4 TSP TO t2master

```

!

FICS-11 : CONDITION ASSIGNMENTS
=====

!

CONDITIONS

zone1hidev IS AFTER 5 SECOND ALARM "ZONE1 HI-DEVALM"
IF zone1 highdevalarm
zone1lodev IS AFTER 5 SECOND ALARM "ZONE1 LO-DEVALM"
IF zone1 lowdevalarm
zone1mvhigh IS AFTER 5 SECOND ALARM "ZONE1-MV HIGH"
IF zone1-mv highalarm
zone1mvlow IS AFTER 5 SECOND ALARM "ZONE1-MV LOW"
IF zone1-mv lowalarm
zone2hidev IS AFTER 5 SECOND ALARM "ZONE2 HI-DEVALM"
IF zone2 highdevalarm
zone2lodev IS AFTER 5 SECOND ALARM "ZONE2 LO-DEVALM"
IF zone2 lowdevalarm
zone2mvhigh IS AFTER 5 SECOND ALARM "ZONE2-MV HIGH"
IF zone2-mv highalarm
zone2mvlow IS AFTER 5 SECOND ALARM "ZONE2-MV LOW"
IF zone2-mv lowalarm
zone3hidev IS AFTER 5 SECOND ALARM "ZONE3 HI-DEVALM"
IF zone3 highdevalarm
zone3lodev IS AFTER 5 SECOND ALARM "ZONE3 LO-DEVALM"
IF zone3 lowdevalarm
zone3mvhigh IS AFTER 5 SECOND ALARM "ZONE3-MV HIGH"
IF zone3-mv highalarm
zone3mvlow IS AFTER 5 SECOND ALARM "ZONE3-MV LOW"
IF zone3-mv lowalarm
zone4hidev IS AFTER 5 SECOND ALARM "ZONE4 HI-DEVALM"
IF zone4 highdevalarm
zone4lodev IS AFTER 5 SECOND ALARM "ZONE4 LO-DEVALM"
IF zone4 lowdevalarm
zone4mvhigh IS AFTER 5 SECOND ALARM "ZONE4-MV HIGH"
IF zone4-mv highalarm
zone4mvlow IS AFTER 5 SECOND ALARM "ZONE4-MV LOW"
IF zone4-mv lowalarm
zone5mvhigh IS AFTER 5 SECOND ALARM "ZONE5-MV HIGH"
IF zone5-mv highalarm

zone5mvlow IS AFTER 5 SECOND ALARM "ZONE5-MV LOW"
IF zone5-mv lowalarm
zone5hidev IS AFTER 5 SECOND ALARM "ZONE5 HI-DEVALM"
IF zone5 highdevalarm
zone5lodev IS AFTER 5 SECOND ALARM "ZONE5 LD-DEVALM"
IF zone5 lowdevalarm
templmvhigh IS AFTER 5 SECOND ALARM "TEMP1-MV HIGH"
IF temp1-mv highalarm
temp2mvhigh IS AFTER 5 SECOND ALARM "TEMP2-MV HIGH"
IF temp2-mv highalarm
templmvlow IS AFTER 5 SECOND ALARM "TEMP1-MV LOW"
IF temp1-mv lowalarm
temp2mvlow IS AFTER 5 SECOND ALARM "TEMP2-MV LOW"
IF temp2-mv lowalarm
t2mhidev IS AFTER 5 SECOND ALARM "T2 MASTER HI-DEV"
IF t2master highdevalarm
t2mlodev IS AFTER 5 SECOND ALARM "T2 MASTER LO-DEV"
IF t2master lowdevalarm

! ***** !

nodevalarm IS AFTER 5 SECOND
IFNOT zone1 devalarm
AND IFNOT zone2 devalarm
AND IFNOT zone3 devalarm
AND IFNOT zone4 devalarm
AND IFNOT zone5 devalarm
AND IFNOT t2master devalarm

nohidevalarm IS AFTER 5 SECOND
IFNOT zone1 highdevalarm
AND IFNOT zone2 highdevalarm
AND IFNOT zone3 highdevalarm
AND IFNOT zone4 highdevalarm
AND IFNOT zone5 highdevalarm
AND IFNOT t2master highdevalarm

not-z1hidev IS NOT zone1hidev
not-z2hidev IS NOT zone2hidev
not-z3hidev IS NOT zone3hidev
not-z4hidev IS NOT zone4hidev
not-z5hidev IS NOT zone5hidev
not-t2mhidev IS NOT t2mhidev

runkey IS AFTER 0.5 SECOND
IF run-key
holdkey IS AFTER 0.5 SECOND
IF hold-key

userkey IS AFTER 0.5 SECOND
IF user-key

! ***** !

!

SECTION step-program

SERVICE zone1-setup !sets loop-parameters!
STATE * TIME 1 SECOND
SET zone1 SP TO 20.0 ! & loop-setpoint in Standby !
SET zone1 XP TO 10.0
SET zone1 TI TO 300.0
SET zone1 TD TO 60.0
SET zone1 DA TO 20.0
SET zone1 OLL TO 0.0
SET zone1 OLH TO 0.0
SET zone1-mv ha TO 1300.0
SET zone1-mv la TO 500.0
END
END

SERVICE zone2-setup ! sets loop-parameters !
STATE * TIME 1 SECOND
SET zone2 SP TO 20.0 ! & loop-setpoint in Standby !
SET zone2 XP TO 10.0
SET zone2 TI TO 300.0
SET zone2 TD TO 60.0
SET zone2 DA TO 20.0
SET zone2 OLL TO 0.0
SET zone2 OLH TO 100.0
SET zone2-mv ha TO 1300.0
SET zone2-mv la TO 500.0
END
END

SERVICE zone3-setup ! sets loop-parameters !
STATE * TIME 1 SECOND
SET zone3 SP TO 20.0 ! & loop-setpoint in Standby !
SET zone3 XP TO 10.0
SET zone3 TI TO 300.0

```
SET zone3 TD TO 60.0
SET zone3 DA TO 20.0
SET zone3 OLL TO 0.0
SET zone3 OLH TO 100.0
SET zone3-mv ha TO 1100.0
SET zone3-mv la TO 500.0
END
END
```

```
SERVICE zone4-setup ! sets loop-parameters !
STATE * TIME 1 SECOND
SET zone4 SP TO 20.0 ! & loop-setpoint in Standby !
SET zone4 XP TO 10.0
SET zone4 TI TO 300.0
SET zone4 TD TO 60.0
SET zone4 DA TO 10.0
SET zone4 OLL TO 0.0
SET zone4 OLH TO 100.0
SET zone4 STL TO 0.0
SET zone4 CSS TO OFF
SET zone4-mv ha TO 700.0
SET zone4-mv la TO 500.0
END
END
```

```
SERVICE zone5-setup ! sets loop-parameters !
STATE * TIME 1 SECOND
SET zone5 SP TO 20.0 ! & loop-setpoint in Standby !
SET zone5 XP TO 10.0
SET zone5 TI TO 300.0
SET zone5 TD TO 60.0
SET zone5 DA TO 10.0
SET zone5 OLL TO 0.0
SET zone5 OLH TO 100.0
SET zone5 STL TO 0.0
SET zone5 CSS TO OFF
SET zone5-mv ha TO 650.0
SET zone5-mv la TO 500.0
END
END
```

```
SERVICE t2master-set
STATE * TIME 1 SECOND
SET t2master SP TO 20.0
SET t2master XP TO 50.0
SET t2master TI TO 300.0
SET t2master TD TO 0.0
```

```
SET t2master DA TO 10.0
SET t2master OLL TO 0.0
SET t2master OLH TO 100.0
SET temp1-mv ha TO 650.0
SET temp2-mv la TO 500.0
END
END
```

```
SERVICE sensing-set
STATE * TIME 1 SECOND
SET temp1-mv ha TO 620.5
SET temp1-mv la TO 619.5
END
END
```

! ***** !

SEQUENCE running

```
STATE ramping TIME 4HOURS      DISPLAY "RAMPING-UP"
RAMP zone1 TO 1240.0
RAMP zone2 TO 1200.0
RAMP zone3 TO 900.0
RAMP zone4 TO 650.0
RAMP zone5 TO 620.0
RAMP t2master TO 620.0
SET zone4 CSS TO OFF
SET zone5 CSS TO OFF
END
```

```
STATE checking                  DISPLAY "CHECKING TEMP."
WHEN nodevalarm GOTO ready
END
```

```
STATE ready                     DISPLAY "READY: PRESS RUN"
SET zone4 CSS TO OFF
SET zone5 CSS TO OFF
CHECK zone1mvlow
ALSO zone2mvlow                 ! DO NOT SET THIS TIME TO ZERO !
ALSO zone3mvlow,zone4mvlow,zone5mvlow
ALSO temp2mvlow
WHEN runkey GOTO growth
END
```

```
STATE growth TIME 8 HOURS DISPLAY "GROWTH"
RAMP zone1 TO 1120.0
RAMP zone2 TO 1080.0
```

RAMP zone3 TO 900.0
RAMP zone4 TO 650.0
RAMP zone5 TO 620.0
RAMP t2master TO 620.0
SET zone4 CSS TO OFF
SET zone5 CSS TO OFF
CHECK templmvhigh,templmvlow
END

STATE rampdown TIME 7 HOURS DISPLAY "RAMP DOWN"
RAMP zone1 TO 400.0
RAMP zone2 TO 400.0
RAMP zone3 TO 400.0
RAMP zone4 TO 400.0
RAMP zone5 TO 400.0
RAMP t2master TO 400.0
SET zone4 CSS TO OFF
SET zone5 CSS TO OFF
IGNORE zone1mvlow,zone2mvlow,zone3mvlow
IGNORE zone4mvlow,zone5mvlow,
IGNORE templmvlow,templmvhigh
IGNORE temp2mvlow
END

STATE checklow DISPLAY "CHECK TEMP LOW"
WHEN nohidevalarm GOTO finished
END

STATE finished TIME 1 SECOND DISPLAY "END OF PROGRAM"
SET zone4 CSS TO OFF
SET zone5 CSS TO OFF
END
END
END

! ***** !

!

SECTION control

! ***** !

SERVICE hold

```
STATE holdoff
  SET hold-mode TO OFF
  SET hold-key TO OFF
  WHEN holdkey GOTO holdon
  END
```

```
STATE holdon
  SET hold-mode TO ON
  SET hold-key TO OFF
  WHEN holdkey GOTO holdoff
  END
END
```

! ***** !

! ***** !

```
STATE startup TIME 1 SECOND "STARTUP"
  MASTER-CLEAR
  SET hold-mode TO OFF
  GOTO standby1
  END
```

```
STATE standby1 TIME 2 SECOND
  START control hold
  WHENEVER reset GOTO startup ! Panel keypad function !
  GOTO standby2
  END
```

```
STATE standby2          DISPLAY "IN STANDBY:PRESS RUN-KEY"
  SET user-key TO OFF, run-key
  CHECK zone1mvhigh
  CHECK zone2mvhigh
  CHECK zone3mvhigh
  CHECK zone4mvhigh
  CHECK zone5mvhigh
  CHECK temp2mvhigh
  START step-program zone1-setup
  START step-program zone2-setup
  START step-program zone3-setup
  START step-program zone4-setup
  START step-program zone5-setup
  START step-program t2master-set
  START step-program sensing-set
```

```

WHEN runkey GOTO run1
WHEN userkey GOTO startup !Panel-key!
END

STATE run1 TIME 1 SECOND
CLEAR-TIME
GOTO run2
END

STATE run2
SET run-key TO OFF
SET run-mode TO ON
START step-program running
CHECK zone1lodev,zone2lodev,zone3lodev,zone4lodev,zone5lodev
WHEN zone1hidev SET z1highdev TO ON
WHEN not-z1hidev SET z1highdev TO OFF
WHEN zone2hidev SET z2highdev TO ON
WHEN not-z2hidev SET z2highdev TO OFF
WHEN zone3hidev SET z3highdev TO ON
WHEN not-z3hidev SET z3highdev TO OFF
WHEN zone4hidev SET z4highdev TO ON
WHEN not-z4hidev SET z4highdev TO OFF
WHEN zone5hidev SET z5highdev TO ON
WHEN not-z5hidev SET z5highdev TO OFF
WHEN t2mhidev SET t2mhighdev TO ON
WHEN not-t2mhidev SET t2mhighdev TO OFF
IGNORE user-key
WHEN IN step-program finished GOTO completel
END

STATE completel                                DISPLAY "END:TO RESET PRESS RUN"
SET run-mode TO OFF
SET run-key TO OFF
IGNORE zone1hidev,zone2hidev,zone3hidev,zone4hidev,zone5hidev
ALSO zone1lodev,zone2lodev,zone3lodev,zone4lodev,zone5lodev
ALSO t2mhidev,t2mlodev
WHEN runkey GOTO startup
WHEN userkey GOTO startup
GOTO startup
END

END

END

```

Section = 2
Programs = 11
Sequence = 1
Services = 8
Conditions = 38
States = 23
Dictionary Entries = 253
D
No Errors detected.