

# 最 終 研 究 報 告 書

OEIC 기술개발 사업중 2 Gbps 장파장  
광수신 OEIC 개발에 관한 연구(I)

과제수행기관 : 한국전자통신연구소

과 학 기 술 처

과학기술처장관 귀하

OEIC 기술개발 사업중 2 Gbps 장파장 광수신  
OEIC 개발에 관한 연구의 최종 보고서를 별첨과  
같이 제출 합니다.

1989. 6. 15

수행연구기관 : 한국전자통신연구소

중과제책임자 : 이 용 탁

연구 책임자 : 이 용 탁

# 제 출 문

과학기술처 장관 귀하

본 보고서를 "OEIC 기술개발 사업"중 "2 Gbps 장파장  
광수신 OEIC 개발" 과제의 1차년도 최종 보고서로 제출합니다

1989년 6월 15일

주관연구기관명 : 한국전자통신연구소

총괄연구책임자 : 이 용 탁

세부연구책임자 : 이 용 탁

선임 연구원 : 오 대 곤

선임 연구원 : 장 동 훈

연구 원 : 오 광 룡

연구 원 : 박 기 성

연구 원 : 김 정 수

행정 기능원 : 박 애 경

# 요 약 문

## I. 제목

2 Gbps 장파장 광수신 OEIC 개발에 관한 연구

## II. 연구개발의 목적 및 중요성

광통신 시스템의 초고속, 대용량화와 더불어 광전 집적화에 관한 연구는 최근 폭 넓게, 중요한 세계적인 연구과제가 되어 왔다. 이러한 연구는 주로 III-V 물질을 기본 소자 구성원소로 이용하는데에 초점이 모아지고 있으며 지난 20여년간 광통신에 의해 이룩된 성장 추세에 맞추어 기반 기술을 제공하면서 추후 수년간에 걸쳐 계속 가속화 될 전망이다.

광섬유의 최저 분산 및 손실을 나타내는 1.0-1.5 $\mu\text{m}$ 의 스펙트럼 범위에서 동작하는 고속, 고감도의 광검출기에 관한 개발은 광통신의 필수적인 과제로서, PIN 광 다이오드와 전치 증폭기로서 전자소자인 전계형 트랜지스터 (FET)의 집적은 상호 접속시의 적은 기생용량 때문에 OEIC의 고속화를 위한 하나의 커다란 연구분야로 대두되고 있는 실정이다.

이와 같은 연구개발의 필요성에 따라 본 연구에서는 2 Gbps의 전송 속도를 갖는 장파장 광수신 OEIC 제작을 위해 OMVPE 결정 성장 기술을 이용한 광검출기와 전치 증폭기 및 전압레벨 조정회로의 단일 칩 집적 개발을 최종 목표로 하고 있다.

## III. 연구개발의 내용 및 범위

위의 연구 목적 달성을 위해 OEIC설계, 고순도의 III-V 단결정 성장을 위한 OMVPE 기술 개발, 각 단위 소자 제작 및 집적화를 위한 공정 연구 등으로 크게 나누어 당 1차년도에는 제안된 OEIC 구조의 타당성 검토 및 각 단위 공정 개발에 역점을 두어 수행하였다.

1) OEIC 설계

- OEIC 개념 정립
- 집적요소의 성능요건 설정

2) OMVPE 기술 개발

- OMVPE 장비 설치
- 고순도 u-InP/InP 결정 성장
- OMVPE에 의한 성장층의 특성 분석 기술
- OMVPE 운용 기술 및 안전성 확보

3) 단위소자 제작 및 집적화를 위한 공정 연구

- InP JFET 제작 공정
- 집적용 PIN PD 공정 개발
- Polyimide 평면화 공정

#### IV. 연구개발 결과 및 활용에 관한 건의사항

1) OEIC 설계

- 기존의 발표된 OEIC 구조의 비교 및 제안된 구조의 타당성 검토와 평가
- 집적요소의 성능요건 설정
- 2 Gbps 광수신 OEIC 의 설계요건 계산(-30dbm 수신감도 설정)

전달 컨덕턴스  $g_m > 30\text{mS}$

정전 용량  $c_t > 6.5\text{ pF}$

누설 전류  $I_t < 1\mu\text{A}$

## 2) OMVPE 기술 개발

- OMVPE 장비 설치 및 안전성 확보

- u-InP/InP 결정 성장

. 전자 이동도

$$\mu(77\text{K}) = 48,000\text{ cm}^2/\text{V}\cdot\text{sec}$$

$$\mu(300\text{K}) = 3,100\text{ cm}^2/\text{V}\cdot\text{sec}$$

. 잔류 불순물 농도

$$n(77\text{K}) = 4 \times 10^{14}\text{ cm}^{-3}$$

## 3) 단위소자 제작 및 집적화를 위한 공정 연구

- InP JFET 공정 연구

- 자기 정렬 구조의 집적용 InP JFT 구조 고안

. 게이트 넓이  $W=200\mu\text{m}$ , 게이트 길이  $L=10\mu\text{m}$ ,

. 채널 두께  $A=0.06\mu\text{m}$

. 도우핑 농도  $N_d=5 \times 10^{17}\text{ cm}^{-3}$

. 전달 컨덕턴스  $g_m=2.5\text{ms/mm}$

- 집적용 PIN PD 공정 개발

Capacitance :  $1.5 \times 10^{-8}\text{ F/cm}^2$ ,  $V=-5\text{V}$

누설 전류 :  $5 \times 10^{-4}\text{ A/cm}^2$ ,  $V=-5\text{V}$

- 집적화 공정 연구

. Polyimide 평면화 공정

Polyimide passivation 에 의한 PD의 신뢰성 향상

누설 전류  $3.2 \times 10^{-3} \text{ A/cm}^2$ ,  $V = -40\text{V}$

이중 구조 lift-off 공정

# S U M M A R Y

## I. Subject

A study on the 2 Gbps long-wavelength receiver OEIC

## II. Objectives and significances of the research

OEIC's (Optoelectronic Integrated Circuits) were the subject of intensive, major worldwide research, in recent, with the trends of ultra-high speed and large capacity in optical-fiber communication system. This research has focused mainly on III-V material based devices, and will accelerate over the next several years, providing a technology base for growth exceeding that achieved by fiber optics over the past decade.

With a absolute requirement for high-speed, sensitive photodetectors operating in the 1.0-1.5 $\mu$ m region of the spectrum where optical fibers exhibit minimum dispersion and loss, integration of a PIN photodiode(PD) with a field-effect transistor (FET) which is electronic component for a front-end amplifier has been a great research field for high-speed property of OEIC because of its small stray capacitance in the interconnection.

In this research, we set the developement of monolithic integration of photodiode, free-amplifier and curcuit of vantage level control using the OMVPE crystal growth technology as a final goal for the fabrication of long-wavelength receiver



OEIC with 2 Gbps transmission speed.

### **III. Contents and scope of the research**

For the achievement of our final goal, we divided the project into three parts, i.e, OEIC design, developement of OMVPE technology for the growth of high-purity III-V single crystal, and research of unit process for integration. At this first year, we carried out research with focusing to the inspection of proposed OEIC structure and the developement of concerned unit processes.

#### 1) OEIC Design

- Establishment of OEIC concept
- Determination of performance requirements for integration

#### 2) Developement of OMVPE Technology

- OMVPE system set-up
- High-purity u-InP/InP Growth
- Characterization of epi-layer grown by OMVPE
- OMVPE operation technique and the safety

#### 3) Unit Device Fabrication and Process Research for Integration

- InP JFET fabrication process
- Developement of PIN PD process for Integration
- Polyimide planarization process

### **IV. Results and Suggestions on Utilization**

### 1) OEIC Design

- Basic study for OEIC
  - .Comparison of characteristics of published design and inspection of our proposed design.
- Determination of performance requirements for integration at -30dbm receiver sensitivity.
  - .trans conductance  $g_m > 30\text{mS}$
  - .capacitance  $C_t > 6.5\text{pF}$
  - .leakage current  $I_t > 1\mu\text{A}$

### 2) Developement of OMVPE Technology

- OMVPE system installation and safety guarantee.
- Crystal growth of u-InP/InP
  - .electron mobility
    - $\mu(77\text{k}) = 48,000\text{cm}^2/\text{V}\cdot\text{sec}$
    - $\mu(300\text{k}) = 3,100\text{cm}^2/\text{V}\cdot\text{sec}$
  - .residual impurity concnertration
    - $n(77\text{k}) = 4 \times 10^{14}\text{cm}^{-3}$

### 3) Unit device fabrication and process research for integration

- InP JFET fabrication process
- InP JFET of self-aligned structure for integration
  - . gate width  $W = 200\mu\text{m}$
  - . gate length  $L = 10\mu\text{m}$

- . channel thickness  $A = 0.06\mu\text{m}$
- . doping concentration  $N_d = 5 \times 10^{17} \text{cm}^{-3}$
- . trans conductance  $g_m = 2.5 \times \text{mS/mm}$
- Development of PIN PD process for integration
  - . capacitance  $C = 1.5 \times 10^{-8} \text{F/cm}^2$ ,  $V = -5\text{V}$
  - . leakage current  $I = 5 \times 10^{-4} \text{A/cm}^2$ ,  $V = -5\text{V}$
- Fabrication process for integration
  - . polyimide planarization process
  - . advanced reliability of PD by polyimide passivation
    - leakage current  $I = 3.2 \times 10^{-3} \text{A/cm}^2$ ,  $V = -40\text{V}$
  - . double structure lift-off process

# 목 차

제1장	서론	1
제2장	광수신 OEIC의 연구현황	5
제1절	개요	7
제2절	광수신 OEIC의 개관	9
1.	OEIC의 정의와 종류	9
2.	장파장 광수신 OEIC의 세계적 연구성과	12
제3절	장파장 광수신 OEIC의 제작 기술	19
1.	광수신 OEIC의 구조	19
2.	구성소자의 요건	31
3.	제작 공정 기술	36
제4절	결론	42
제3장	장파장 광수신 OEIC의 설계	43
제1절	개요	45
제2절	광수신 OEIC의 설계요건	47
1.	기본적인 광수신기의 구조	47
2.	잡음특성 분석	50
3.	광수신기의 수신감도	54
4.	광수신기의 대역폭	59
제3절	제안된 광수신 OEIC의 구조	64
1.	제안된 광수신 OEIC의 특징	64

2.	제작 공정	68
제4절	결론	71
제4장	OMVPE 시스템 설치	73
제1절	개요	75
제2절	OMVPE 본체 특성	77
1.	유기금속 유입부	79
2.	수소화물 기체 유입부	79
제3절	기체 배관 구성	80
1.	이송 기체 배관	80
2.	장비 운용 기체 및 냉각수 배관	83
제4절	부대장비	87
1.	Gas Cabinet	87
2.	수소 및 질소 Purifier	88
3.	진공펌프	92
4.	제독기 및 Burn Box	92
5.	RF Power Generator	95
6.	Chiller 및 OM Bubbler	96
제5절	In-situ Characterization	97
1.	이론적 배경	97
2.	실험장치	101
3.	분석에의 응용	104
제6절	OMVPE 실 안전설비	109

1.	사용 유독성 재료들의 종류 및 물리화학적 특성	- - - - -	109
2.	OMVPE 실 내부의 안전설비	- - - - -	109
3.	OMVPE 장비내의 자체 안전 설비	- - - - -	112
제5장 u-InP/InP OMVPE 결정성장			- - - - - 117
제1절	개요	- - - - -	119
제2절	실험방법	- - - - -	120
1.	기관준비	- - - - -	120
2.	Bell jar 및 susceptor 세척	- - - - -	121
3.	u-InP/InP OMVPE 성장	- - - - -	122
제3절	실험결과 및 논의	- - - - -	124
1.	표면 형상	- - - - -	124
2.	성장속도	- - - - -	128
3.	성장층 특성	- - - - -	130
4.	결정성	- - - - -	130
5.	불순물 분석	- - - - -	133
6.	photoluminescence 측정	- - - - -	135
7.	Hall 효과 측정	- - - - -	146
제4절	결론	- - - - -	147
제6장 단위소자 및 집적화 공정연구			- - - - - 149
제1절	개요	- - - - -	151
제2절	InP JFET 제작 및 특성 측정	- - - - -	152

1.	InP JFET 제작	152
2.	InP JFET 특성 측정 결과 및 논의	164
제3절	InGaAs PIN PD 특성 연구	167
1.	양자효율	167
2.	정전용량	168
3.	누설전류	170
제4절	Polyimide 공정연구	172
1.	Polyimide의 특성	172
2.	Polyimide 공정조건	172
3.	Polyimide 공정의 응용 분야	176
제5절	결론	183
제7장	결론 및 앞으로의 연구방향	185
	참고문헌	190
	부록 : 연구기관별 장파장 광수신 OEIC의 특성	201

# CONTENTS

Chapter 1.	Introduction	- - - - -	1
Chapter 2.	Current Status of Receiver OEIC	- - - - -	5
Section 1.	Introduction	- - - - -	7
Section 2.	Overview of receiver OEIC	- - - - -	9
1.	Definition and classification of OEIC	- - - - -	9
2.	Worldwide status of long wavelength receiver OEIC	- - - - -	12
Section 3.	Technologies for long wavelength receiver OEIC	- - - - -	19
1.	Structure of receiver OEIC	- - - - -	19
2.	Requirements of integrable devices	- - - - -	31
3.	Fabrication technologies for integration	- - - - -	36
Section 4.	Conclusion	- - - - -	42
Chapter 3.	Design of Long Wavelength Receiver OEIC	-	43
Section 1.	Introduction	- - - - -	45
Section 2.	Design conditions of receiver OEIC	- - - - -	47
1.	Structure of basic optical receiver	- - - - -	47
2.	Analysis of noise characteristics	- - - - -	50
3.	Sensitivity of optical receiver	- - - - -	54
4.	Bandwidth of optical receiver	- - - - -	59
Section 3.	Structure of proposed receiver OEIC	- - - - -	64
1.	Characteristics of proposed receiver OEIC	- - - - -	64



2.	Fabrication processes	- - - - -	68
Section 4.	Conclusion	- - - - -	71
Chapter 4.	OMVPE System Set-Up	- - - - -	73
Section 1.	Introduction	- - - - -	75
Section 2.	Characteristics of OMVPE main body	- - - - -	77
1.	Injection of Metal-Organics	- - - - -	79
2.	Injection of Hydride gas	- - - - -	79
Section 3.	Flow scheme of gas line	- - - - -	80
1.	Carrier gas line	- - - - -	80
2.	Utility gas and cooling water line	- - - - -	83
Section 4.	Sub-systems	- - - - -	87
1.	Gas cabinet	- - - - -	87
2.	H <sub>2</sub> /N <sub>2</sub> purifier	- - - - -	88
3.	Vacuum pump	- - - - -	92
4.	Scrubber and burn box	- - - - -	92
5.	RF power generator	- - - - -	95
6.	Chiller and OM bubbler	- - - - -	96
Section 5.	In-situ characterization	- - - - -	97
1.	Theoretical background	- - - - -	97
2.	Apparatus	- - - - -	101
3.	Applications	- - - - -	104
Section 6.	OMVPE room safety	- - - - -	109

1.	Physical and chemical properties of used toxic reactants. - - - - -	109
2.	Safety facilities of OMVPE room - - - - -	109
3.	Self safety-interlock of OMVPE main body - - - - -	112
Section 7.	Conclusion - - - - -	
Chapter 5.	OMVPE Crystal Growth of u-InP/InP - - - - -	117
Section 1.	Introduction - - - - -	119
Section 2.	Experimental - - - - -	120
1.	Preparation of substrate - - - - -	120
2.	Bell jar and susceptor cleaning - - - - -	121
3.	OMVPE growth of u-InP/InP - - - - -	122
Section 3.	Results and Discussion - - - - -	124
1.	Surface morphology - - - - -	124
2.	Growth rate - - - - -	128
3.	Characteristics of epi-layer - - - - -	130
4.	Crystallinity - - - - -	130
5.	Analysis of impurities - - - - -	133
6.	Characterization of photoluminescence - - - - -	135
7.	Characterization of Hall effect - - - - -	146
Chapter 6.	Developement of unit process for Integracton and Device Fabrication - - - - -	149
Section 1.	Introduction - - - - -	151

Section 2.	Characterization and fabrication of InP JFET	- - - - -	152
1.	Fabrication of InP JFET	- - - - -	152
2.	Characterization of InP JFET and discussion	- - - - -	164
Section 3.	Characteristics of InGaAs PIN PD	- - - - -	167
1.	Quantum efficiency	- - - - -	167
2.	Capacitance	- - - - -	168
3.	Leakage current	- - - - -	170
Section 4.	Development of polyimide process	- - - - -	172
1.	Characteristics of polyimide	- - - - -	172
2.	Condition of polyimide process	- - - - -	172
3.	Applications of polyimide process	- - - - -	176
Section 5.	Conclusion	- - - - -	183
Chapter 7.	Conclusion and Research Trends		
	in the Future	- - - - -	185
References		- - - - -	190
Appendix	: Characteristics of Long-wavelength		
	Optical Receiver OEIC Resulted by		
	World-wide Research Institutes.	- - - - -	201

# 제 1 장 서 론

여 백

# 제 1 장 서 론

광섬유 통신의 놀랄만한 성장과 더불어 통신 수요 또한 급속도로 늘어나 광통신에 있어서 시스템의 대용량화 및 초고속화는 필수적인 과제로서 등장하게 되었다. 이러한 추세에 따라 고속 전송의 주 제한 요인이 되어 왔던 광원 및 검출기의 성능 향상 및 기능의 다양화 등이 끊임없이 요구되어 왔으며, 이에 대한 해결책으로 광소자와 전자소자를 집적시킨 광전 집적 회로의 필요성이 점차 부각되기 시작하였다.

광전 집적화에 관한 연구는 그 기능상 광 송신기, 광 수신기 및 광 증계기로 크게 분류할 수 있으며 그 중에서도 수신 광전 집적회로는 작은 전기 신호를 취급 하므로 집적의 필요성이 가장 높은 부분이다. 특히 광섬유의 손실 및 분산이 최저인 장파장( $1.0\text{-}1.5\mu\text{m}$ ) 영역에서 동작하는 광수신기의 경우에 있어서는 장거리 통신을 위한 고감도 및 고속성의 광전 집적회로의 개발이 절실히 요청되는 실정이다. 그러나 이러한 요구에도 불구하고 소자의 주 구성 물질인 III-V 반도체 중 장파장용 InP계의 결정 성장 기술이 아직 확립되어 있지 않고 단일 칩 집적을 위해 필수적인 단위 제조 공정들이 정밀제어 단계까지 이르지 못한 까닭에 아직까지 장파장계의 경우에는 직접도도 낮고 완전히 동작하는 회로도 드문 상태이다.

이러한 배경하에 본 연구에서는 OMVPE를 이용한 2 Gbps 장파장 광수신 OEIC 제작을 위해 광 다이오드와 전치 증폭기 및 전압 레벨 조정 회로의 단일칩 집적기술 개발을 최종 목표로 하였으며 이를 위하여 OMVPE 방식에 의한 u-InP/InP 결정 성장 기술 확보와 단위소자인 JFET 및 PIN

PD 의 구조 및 제작공정 개발 그리고 집적 요소의 성능 요건 설정 등을 1차 연구 목표로 하고 있다.

본 보고서는 총 3년 연구과제의 1차년도 결과 보고서로서 제2장에서 광전 집적화의 개념 정립과 InP 물질을 기본으로 한 장파장 광수신 집적회로에 관한 연구 현황등을 소개하며 제3장에서는 광수신기의 잡음 특성 및 2 Gbps의 전송 속도를 얻기 위한 수신 감도와 대역폭을 계산하고 아울러 새로운 구조의 광수신 집적회로를 제안하였다. 제4장에서 소자 구성물질인 III-V족 화합물 반도체의 제작을 위한 OMVPE 장비의 시스템 구성과 특성 그리고 사용하는 유독성 재료들에 대비한 안전설비에 관해 기술하고 제5장에서는 OMVPE를 이용한 고순도 u-InP의 성장 기술과 성장 변수가 InP 성장층의 표면 형상과 성장 속도에 미치는 효과를 관찰 하였으며, Hall 효과 및 Photoluminescence를 비롯한 여러가지 측정 장비(X-ray, XPS, AES 등) 들을 이용하여 성장층의 결정성, 불순물 농도, 전기 및 광학적 특성을 평가 하였다. 마지막으로 제6장에서는 제3장에서 제안한 InP JFET와 InGaAs PIN PD 단위 소자의 구조 및 제작 공정에 관해 고찰하고 집적화 공정에 필요한 Polyimide 평면화 공정에 대해 기술하였다.

## 제 2 장      광수신 OEIC의 연구현황



여 백

## 제 2 장 광수신 OEIC의 연구 현황

### 제 1 절 개 요

광섬유 통신 기술은 최근 수년 안에 놀랄만한 성장을 이룩하였다. 광통신 시스템의 응용 범위는 증계선 통신에서 부터 LAN, 가입자망 및 사무실내의 통신에 이르기까지 확장되었으며, 사용되어지는 광전소자들의 성능도 많이 향상되었다. 그러나 시스템이 고속화, 대용량화 되어감에 따라 궁극적으로 광전소자들의 성능 향상, 기능의 다양화 등이 끊임없이 요구되어 왔다. 이러한 요구에 대한 해결책으로서 광전집적회로가 대두되었으며, 이 광전집적회로는 1978년 Yariv에 의해 처음으로 제작된 이래<sup>(1)</sup> 많은 연구 그룹들에 의해 활발히 연구되어 왔다.

이러한 광전집적회로의 장점들을 간략히 요약하면 다음과 같다.

첫째, 전기 신호 처리 회로를 단일칩 위에 집적시키므로 광소자들의 오동작을 줄일수 있다.

둘째, 광소자의 동작 속도와 잡음 특성을 개선할 수 있다. 이것은 주변 소자들과의 접속에서 발생하는 기생 용량과 자기 유도를 집적에 의해 없애므로 가능하다. 레이저 다이오드의 경우, 종래의 패키징된 칩은 1 내지 3 nH의 유도 계수와 0.01 내지 0.1 pF의 용량 계수를 가지고 있어 GHz 영역에서 레이저를 동작시키면 신호의 공진 현상이 발생한다. 그러나 FET와 집적된 단일칩 OEIC 경우는 레이저의 이완 시간에 의해서만 속도가 제한된다. 또한 광검출기의 경우, 입력 정전 용량이 광수신기의 수신감도를 결정하는 가장 중요한 요인이 되는데 단일칩 집적에 의해 배선의 기생 용량을 없앨수 있어 수신감도의 향상은 물론 고속 동작을 기대할 수 있다.

세째, 집적도가 높아질수록 시스템 구성에 필요한 부품수가 줄어들어 간단하고 신뢰성이 높은 시스템을 제작할 수 있다.

그리고 마지막으로, 하이브리드 집적의 경우와는 달리 모든 제작 공정이 평면 공정이므로 대량 생산에 적합하여싼 값에 우수한 성능의 부품을 제작할 수 있는 장점이 있다.

여러가지 기능의 광전집적회로 중에서도 수신 광전집적회로는 작은 전기 신호를 취급하므로 집적의 필요성이 가장 높은 부분이며, 특히 장거리 통신을 위한 장파장계 수신 광전집적회로는 고속도 및 고감도를 위해 그 필요성이 가장 절실한 부분이다. 그러나 절실한 필요성에도 불구하고 InP를 기본으로한 장파장계 광전집적회로는 집적도도 낮고 완전히 동작하는 광전집적회로도 드문 실정이다. 그 이유는 InP계에는 제조 기술이 확립된 전자소자가 아직까지 없으며 단일칩 집적을 위해 필수적인 소자 특성의 정밀 제어 단계까지 이르지 못했기 때문이다. 또한 광소자와 전자소자와의 물질 구성 및 구조가 매우 상이하며, 이들의 구조와 공정의 차이에도 불구하고 독립적 최적화가 가능한 집적 기술의 개발이 요청되기 때문이다.

이러한 맥락에서 본 연구에서는 InP계 물질을 기본으로한 장파장 광수신 OEIC의 제작 기술을 확보하고 이를 바탕으로 2 Gbps에서 동작하는 OEIC 시제품 제작을 목표로 하고 있다.

본 장에서는 OEIC의 정의 및 각종 OEIC의 종류와 이들 중 InP 물질을 기본으로 한 장파장 광수신 OEIC의 지금까지의 연구 현황에 관하여 기술하였다.

## 제 2 절 광수신 OEIC의 개관

### 1. OEIC의 정의와 종류

광자와 전자는 그 나름대로의 독특한 특징을 지니고 있다. 즉, 전자는 유한한 질량과 전하를 가지고 있는 반면 광자는 질량과 전하가 없다. 그러므로 전자는 상호 작용이 있는데 반해 광자는 이러한 상호 작용이 없다. 광시스템의 많은 장점들 즉 저손실, 저간섭성, 병렬성 및 고속성은 이러한 광자의 근본적인 특징에 기인한다. 또한 전자 시스템의 가장 큰 장점인 증폭과 스위칭 기능은 전자들 간의 강한 상호 작용 때문에 가능하다.

그러나 한편으로는 이 두 시스템의 단점들 역시 이러한 두가지 입자의 특징들로 부터 기인한다. 즉, 광자만을 사용한 시스템은 증폭과 스위칭이 어렵고, 전자 시스템에서는 고손실, 간섭성, RC 시간 지연, 및 병렬 처리의 어려움 등이 궁극적 속도 제한을 가져온다.

이처럼 광자와 전자는 여러가지 측면에서 상호 보완적 특성들을 지니고 있다. 그러므로 신호 전송을 위해서는 광자를 사용하는것이 전전자 시스템에 비해 시스템의 성능을 향상시키게 될것이다. 또한 그러한 광전 시스템의 장점을 최대한 살리기 위해서는 전자-광자(E-O) 광자-전자(O-E) 변환이 간단한 방법으로 이루어져야 한다. 여기에서 신호 처리 및 전송 소자들을 그 사용 매체에 따라 다음과 같이 세가지 종류로 구분할 수 있다.

#### - 전자소자

증폭 및 스위칭 기능을 갖는 트랜지스터를 주축으로 다이오드, R, L, C 등이 있으며 이들을 적절히 조합하여 여러가지 기능의 전자 회로를 만들 수 있으며, 신호 전송 소자로는 conductor, 도파로 등이 있다.

- 광소자

광신호 발생 및 처리 소자로는 레이저, 광증폭기, 복조기 및 결합기 등이 있으며 신호 전송 소자로는 광도파로와 광섬유 등이 있다.

- 광전소자

전자신호를 광신호로 변환시키는 소자로는 레이저 다이오드와 LED 등이 있으며, 광신호를 전자신호로 변환시키는 소자로는 광검출기 등이 있다.

(\* 종종 광소자는 광기능 소자로, 광전소자는 광소자로 불리운다.)

그러므로 이러한 세가지 종류의 소자들을 단일 칩 위에 집적시켜 전자소자는 신호 처리를 광소자는 신호 전송을 광전소자는 이들 신호의 매체 변환을 담당하게 한다면 가장 우수한 성능의 시스템을 구현할 수 있게 될 것이다.

이러한 개념의 집적회로가 광전집적회로(OEIC: Opto-Electronic Integrated Circuit)이며, 70년대말 Caltech.의 A.Yariv에 의해 제안되었다.<sup>(1)</sup> OEIC는 집적 광전회로(IOEC: Integrated Opto-Electronics Circuit) 또는 단일칩 집적 광학(MIO: Monolithic Integrated Optics)등으로도 불리운다. OEIC를 구별하여 그 종류를 나열한다는 것은 엄밀한 의미에서 불가능하다. 그러나, OEIC의 기능이 위에서 언급한 세가지 종류의 구성 소자들 중 어떤 소자에 중점을 두느냐에 따라 다음과 같은 세가지 종류의 OEIC로 구분할 수 있다.<sup>(2)</sup>

가. 광소자의 성능 향상을 위한 OEIC

이것은 위에서 언급한 광소자 (혹은 광기능 소자)의 성능 향상을 위해 여타의 전자소자나 광전소자를 단일 칩 집적시키는 경우이다. 광의 고속성과 병렬성을 살린 광정보 처리를 목표로, 전자 회로보다도 간단한 구성을 가지면서도 동등하거나 그 이상의 기능과 성능의 실현을 목표로 하고 있다. 현재는 spectrum

analyzer 등의 신호 처리용 시작 예가 있을 뿐이나,<sup>(3)</sup> A-D 변환기 등이 계속해서 실용화될 것이다. 이밖에도 디지털 신호 처리나 광교환 등을 목표로 하고 있으며, 초고속 연산과 이차원 병렬 연산 등도 중요한 연구 분야이다. 이 분야에서는 광컴퓨터나 광교환기의 전개를 목표로 하고 있다.

#### 나. 전자소자의 성능 향상을 위한 OEIC<sup>(4),(5)</sup>

이 OEIC는 전자소자 또는 전자 회로의 성능 향상을 위하여 광소자나 광전소자를 집적시킨 경우이다. 최대의 목표는 고속 전자 소자간의 배선을 광배선으로 교체하여 종래의 전기 배선에서 기인하는 신호 지연 시간이나 cross talk를 제거하는 것이다. 또한 광의 병렬성을 이용하여 칩내 또는 보드내의 clock 분배를 일거에 해결하려는 것도 이 OEIC의 중요한 연구 분야이다.

시스템간 또는 보드간 광배선은 광섬유에 의해, 보드내 또는 칩내의 광배선은 광도파로에 의해 행해지며, 여기에 사용되는 광전 변환 소자들은 Si 기판의 전자 회로와 하이브리드 집적이나 단일칩 집적에 의해 제작되어진다. 단일칩 집적을 위해 Si 기판 위에 GaAs 또는 InP와 같은 III-V족 반도체의 결정 성장이나 3차원 구조의 집적회로 제작등이 해결 되어야 할 기술적 과제이다.

#### 다. 광전소자의 성능 향상을 위한 OEIC

이것은 현재 광통신 시스템에서 광원과 광검출기로 널리 사용되고 있는 광전소자들의 성능 향상을 위해 주변의 광소자나 전자소자들을 집적시킨 형태의 OEIC이다. 광통신용 광송수신 칩을 중심으로 여러가지 종류의 OEIC중 가장 가까운 미래에 실용화를 목표로 연구되고 있다. 그 기능에 따라 광송신 OEIC, 광수신 OEIC 그리고 광중계 OEIC로 세분할 수 있으며, 사용하는 빛의 파장에 따라 GaAs계의 단파장 시스템과 InP계의 장파장 시스템으로 나눌 수 있다.

그러나 이러한 세가지 종류의 OEIC들은 그것의 구분 원칙에서 보듯이 모두 공통적으로 광소자, 전자소자, 그리고 광전소자를 포함하고 있고 단지 어느 구성소자의 기능에 역점을 두느냐에 따라 분류되어 있으므로, 각각의 OEIC들이 발전되어 나가면 궁극적으로는 서로 분류 되어질 수 없는 하나의 "진정한 의미의 OEIC (True OEIC)"가 될 것이다.<sup>(6)</sup> (그림 2-1)은 출발점이 다른 세가지 종류의 OEIC가 하나의 OEIC로 발전되어 가는 과정을 나타낸 것이다.

## 2. 장파장 광수신 OEIC의 세계적 연구 성과

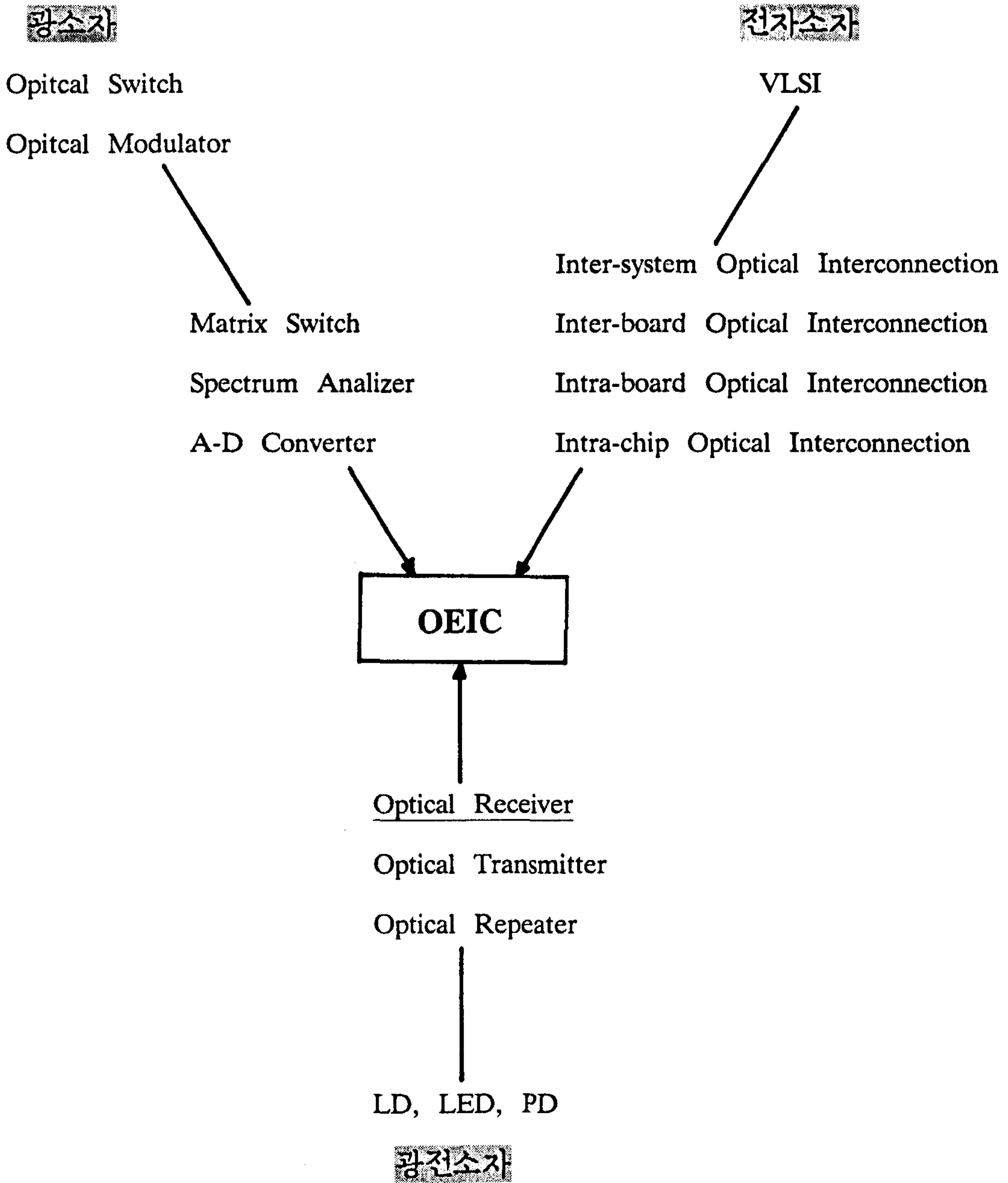
최초의 광수신 OEIC는 1980년 Bell 연구소의 R.F. Leheny에 의한 InGaAs PIN PD와 JFET의 집적이다.<sup>(7)</sup> 이 OEIC는 반절연 InP 기판 위에 LPE와 Zn 확산 공정을 이용하여 제작 되었으며, PD의 흡수층과 FET의 채널층으로 1  $\mu\text{m}$  두께의 n-InGaAs층을 동시에 사용하여 성능은 그다지 좋은 편이 못되었다.

그 이후로 장파장 광수신 OEIC의 연구는 일본에서 기업체들을 중심으로 활발하게 진행되어 왔으며, 미국에서는 Bell 연구소와 몇몇 대학에서 연구되고 있고, 유럽에서는 불란서, 영국 및 독일 등에서 연구가 꾸준히 계속되어 오고 있다.

지금까지의 세계적 연구 현황을 연구 기관별로 정리하였다.

### 가. Bell lab

AT&T Bell lab에서는 최초의 광수신 OEIC 이래로 1985년에 선택적 VPE와 이온 주입법을 이용하여 PIN PD와 MISFET를 집적시켜 295 Mbps에서 -29.5 dBm의 수신감도를 얻은 결과를 발표하였다.<sup>(8)</sup> 그리고 최근에는 주로 OMVPE법으로 n형 기판 위에 Fe가 도우핑된 PIN PD와 FET를 수직형으로 집적시킨 구조를 연구하고 있다. 반절연 에피층 아래쪽 PIN PD의 InGaAs 흡수층은 깊은



(그림 2-1) OEIC의 연구 분야와 전개 방향



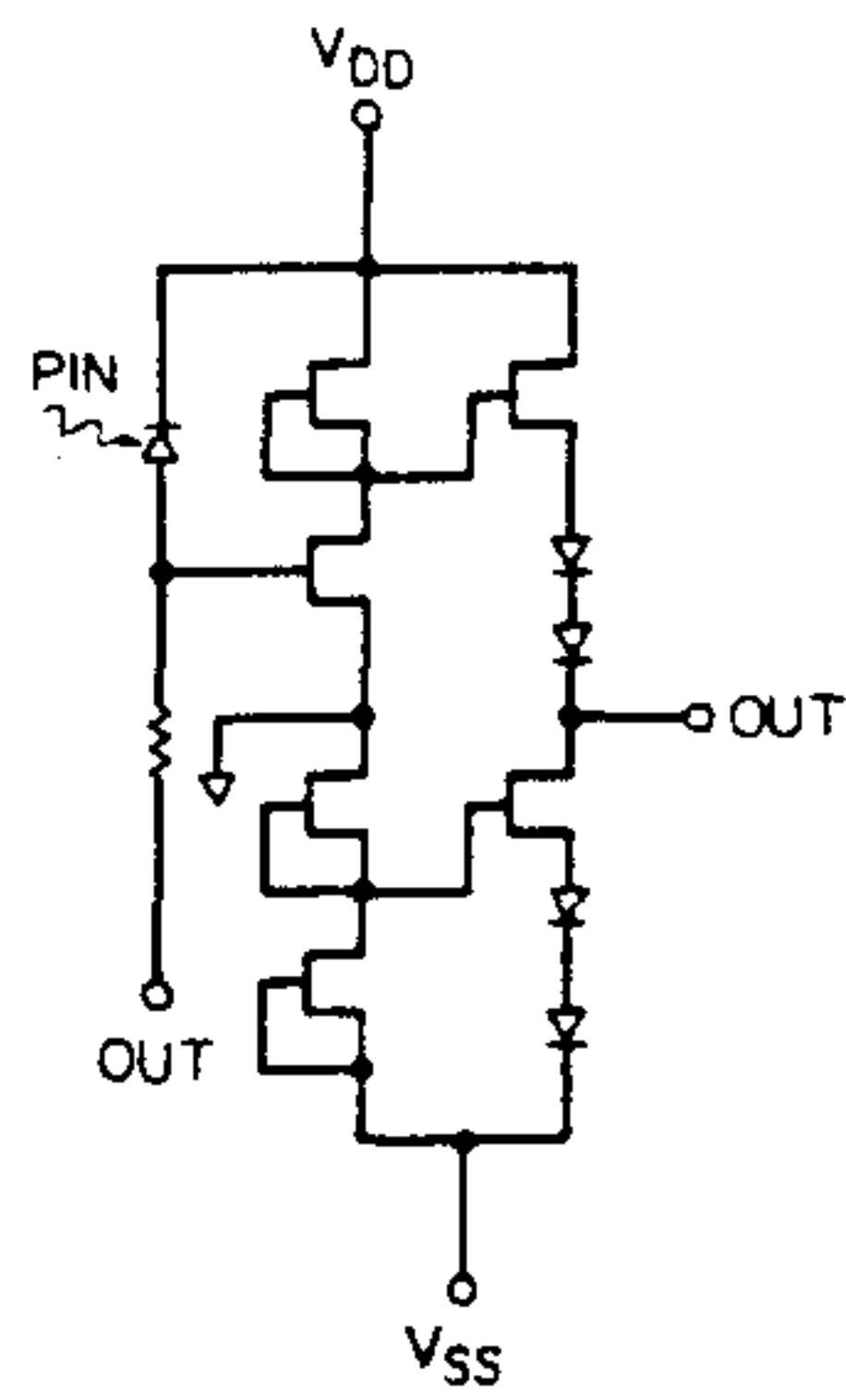
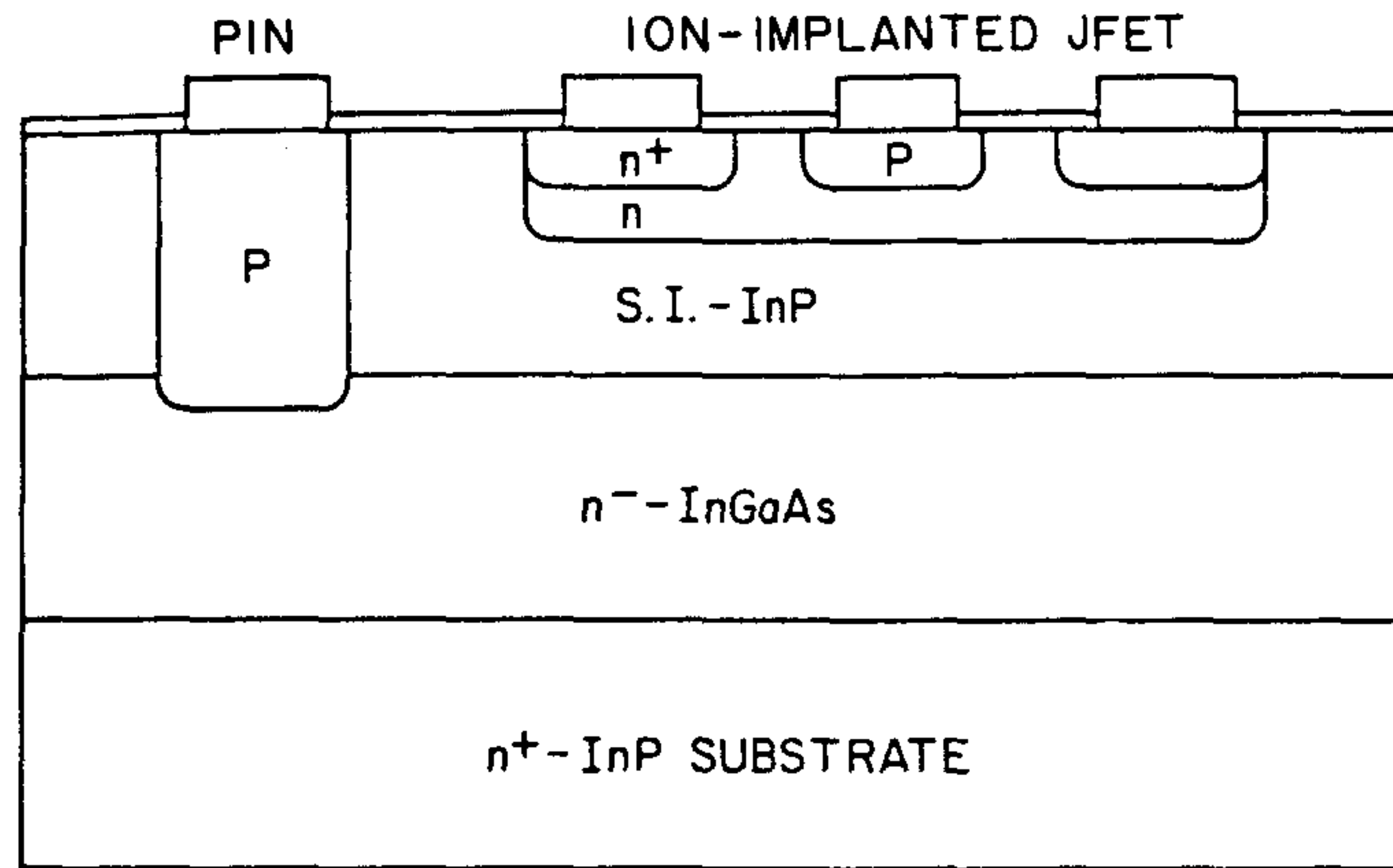
Zn 확산에 의해 표면에 p형 전극을 형성하고, 위쪽에는 이온 주입법에 의해 MISFET나<sup>(9)</sup> JFET를<sup>(10)</sup> 제작하였다. 집적도는 PD 4개에 4개 내지 6개의 FET와 바이어스 저항 1개 그리고 전압 레벨 조정용 다이오드 4개 정도가 포함되어 있다. 성능은 MISFET 집적의 경우 400Mbps에서 -36.4 dBm의 수신감도를 나타내었다. (그림 2-2)는 반절연 InP 에피층에 이온 주입된 JFET과 PIN PD가 집적된 OEIC의 단면 그림, 회로도 및 표면 사진이다.

#### 나. NEC

장파장 광수신 OEIC 연구의 주도 그룹중 하나인 NEC에서는 1983년 부터 시작하여 전통적인 InGaAs PIN PD에 MISFET<sup>(11),(12)</sup> self-aligned JFET<sup>(13),(14)</sup> 및 GaAs MESFET를<sup>(15),(16)</sup> 집적시킨 OEIC를 순차적으로 연구하여 왔다. 제작 공정으로는 MISFET와 JFET 집적시에는 LPE를 사용하였으며, InP 위에 격자 부정합된 GaAs MISFET 집적시에는 MBE를 사용하였다. 제작된 광수신 OEIC들은 광송신 OEIC와 더불어 실험실에서 1.2 Gbps의 전송 실험에 사용되어졌다. <sup>(16)</sup> 가장 최근에 발표한 GaAs MESFET와 InGaAs PIN PD의 OEIC는 1.2 Gbps 전송속도에서 -26.0 dBm의 수신감도를 나타내었다. 이 OEIC의 단면도가 (그림 2-3)에 있다.

#### 다. Fujitsu

Fujitsu에서는 이온빔 식각법을 이용한 평면화 공정을 개발하여<sup>(17)</sup> 이를 광수신 및 송신 OEIC 제작에 이용하여 왔다. PIN PD는 이온빔 식각법에 의한 평면 매립형으로 만들고, 전자소자쪽은 MBE로 InP 위에 에너지 갭이 큰 InAlAs를 성장하여 이를 중간층으로 한 MESFET<sup>(18),(19)</sup> 또는 HEMT를<sup>(20)</sup> 제작하였다. InAlAs HEMT의 경우는 전달 conductance가 270 mS/mm의 성능을 나타내었다.



(그림 2-2) 반절연 InP 에피층에 이온 주입된 JFET와 PIN PD가 집적된 OEIC [10]

PIN-HEMT OEIC의 수신감도는 2Gbps 전송속도에서 -23.7 dBm으로 현재까지 발표된 광수신 OEIC중 가장 빠른 전송속도를 나타내었다. (그림 2-4)에 이 OEIC의 구조가 있다.

#### 라. NTT

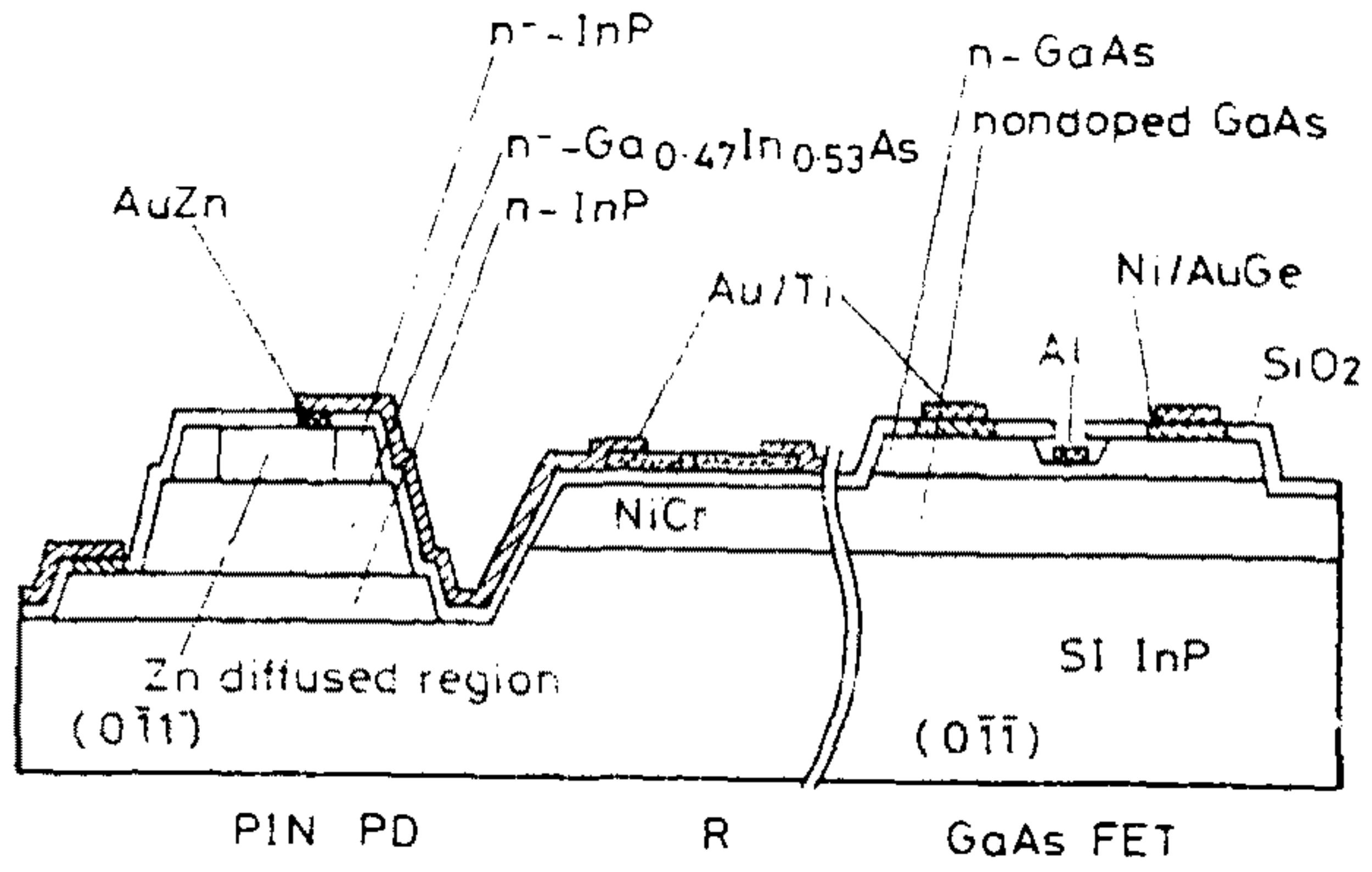
NTT에서는 PD의 흡수층과 FET의 채널층을 동일한 epi층으로 사용하였을 때 발생하는 소자 성능의 악화를 막기 위해 기동형 게이트 JFET (column gate JFET)를 고안하여 이를 초창기의 광수신 OEIC에 적용 하였다.<sup>(21)</sup> 그리고 그 후에는 MBE 성장 InAlAs/InGaAs층의 Schottky PD와 MESFET이 집적된 OEIC<sup>(22)</sup>, MOMBE와 이온 주입법으로 제작한 PIN PD와 JFET의 OEIC등을<sup>(23)</sup> 개발 하였다. (그림 2-5)는 Be 이온 주입법으로 만든 기동형 게이트 JFET의 OEIC이다.

#### 마. Matsushita

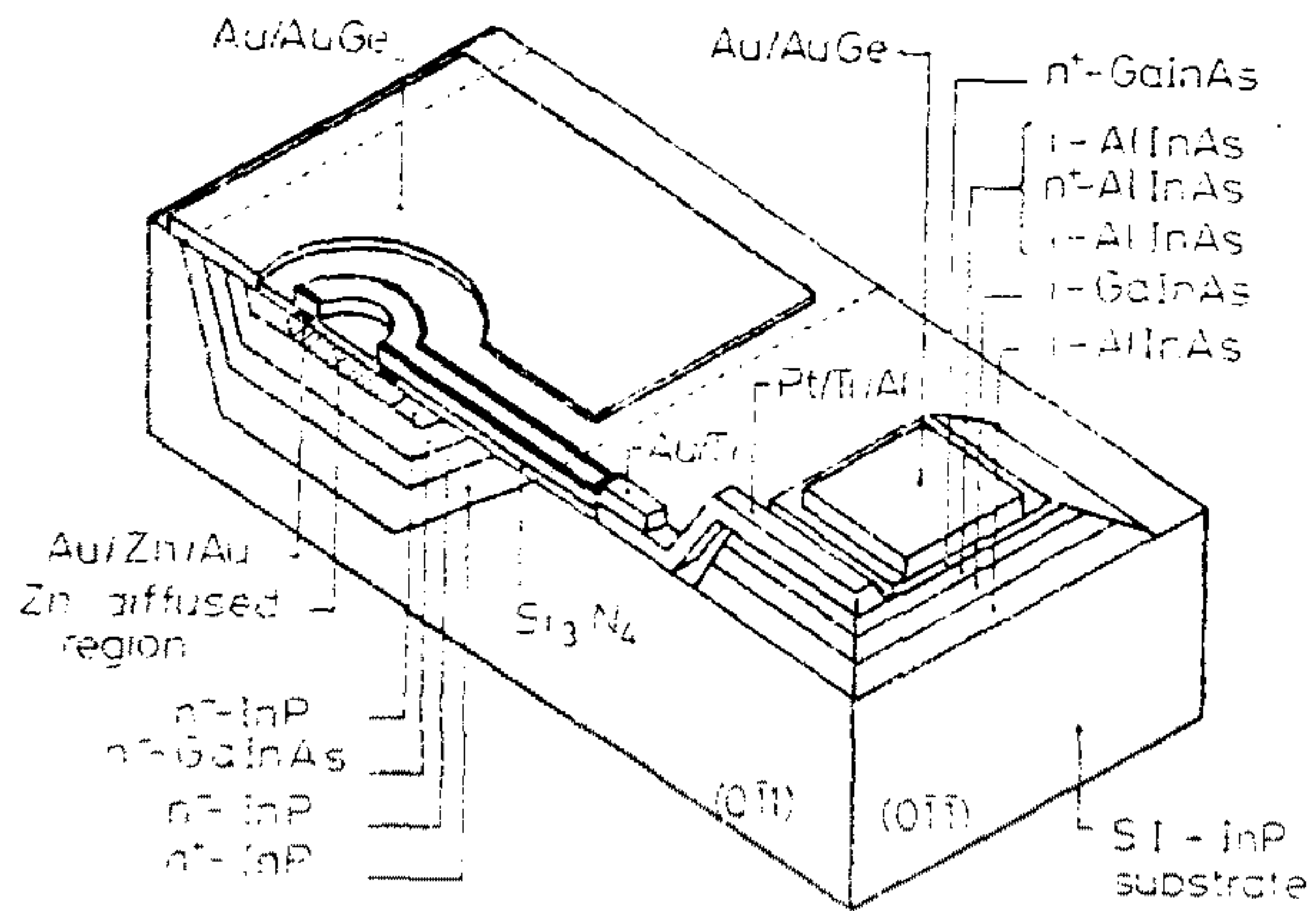
Matsushita에서는 LPE와 Zn 확산 공정으로 PIN PD와 JFET를 집적시켜 이를 하나의 +5 V 전원으로 동작시키는 광수신 OEIC를 제작하였다.<sup>(25)</sup> 이 OEIC는 200 Mbps에서 -22.5 dBm의 수신감도를 나타내었다.

#### 바. STC

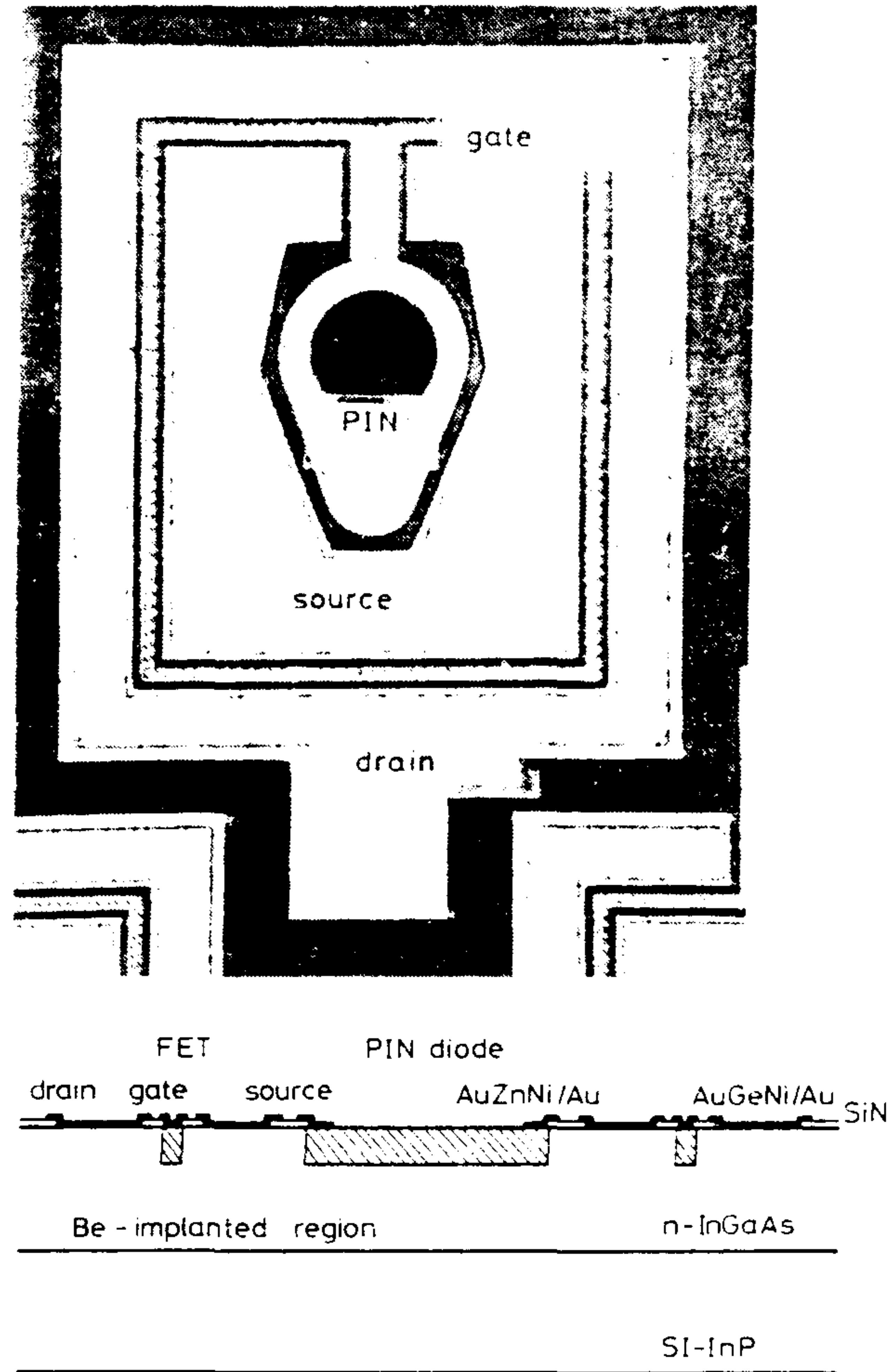
영국의 STC에서는 1986년 InP 기판 위에 좁은폭 (~20  $\mu\text{m}$ )의 groove를 판 후 여기에 LPE로 InGaAs를 성장하여 평면화시킨 평면 매립형 PD와 JFET를 집적시켰으며<sup>(26)</sup>, 그 후 최근에는 기판을 groove 에칭한 후 여기에 OMVPE법으로 InGaAs를 성장하여 interdigitated의 평면형 PIN PD를 만들고 이온 주입법에 의해 JFET를 만든 다음 PD 주변의 groove는 polyimide를 채워 평면화시킨



(그림 2-3) GaAs MESFET와 InGaAs PIN PD의 OEIC [16]



(그림 2-4) InGaAs PIN PD와 InAlAs HEMT가 집적된 OEIC [20]



(그림 2-5) Be 이온주입법으로 만든 PIN PD와 기동형 JFET의 OEIC [21]

구조의 광수신 OEIC를 제작하였다.<sup>(28)</sup> 이러한 구조의 OEIC가 (그림 2-6)에 있다.

사. Thomson-CSF

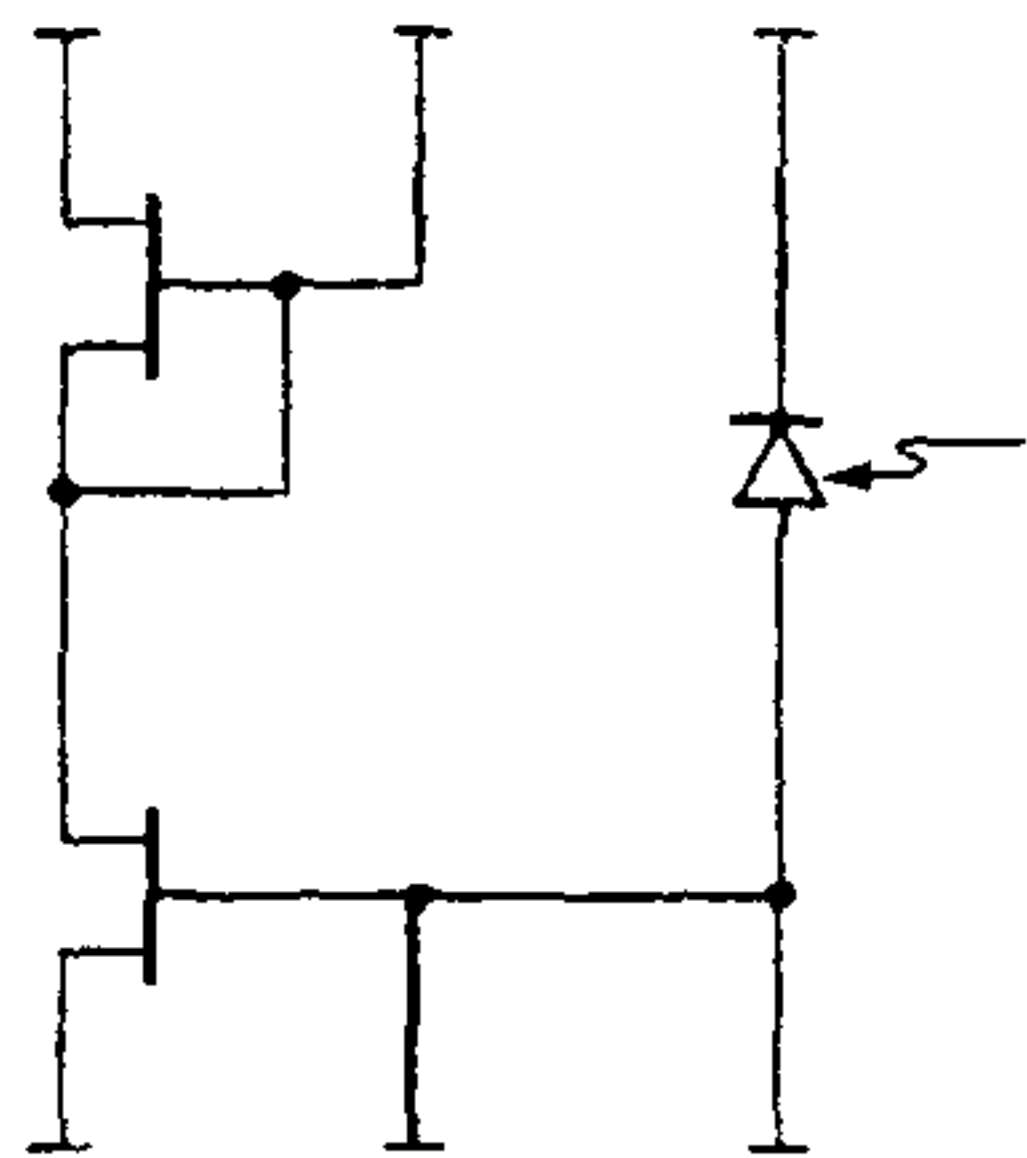
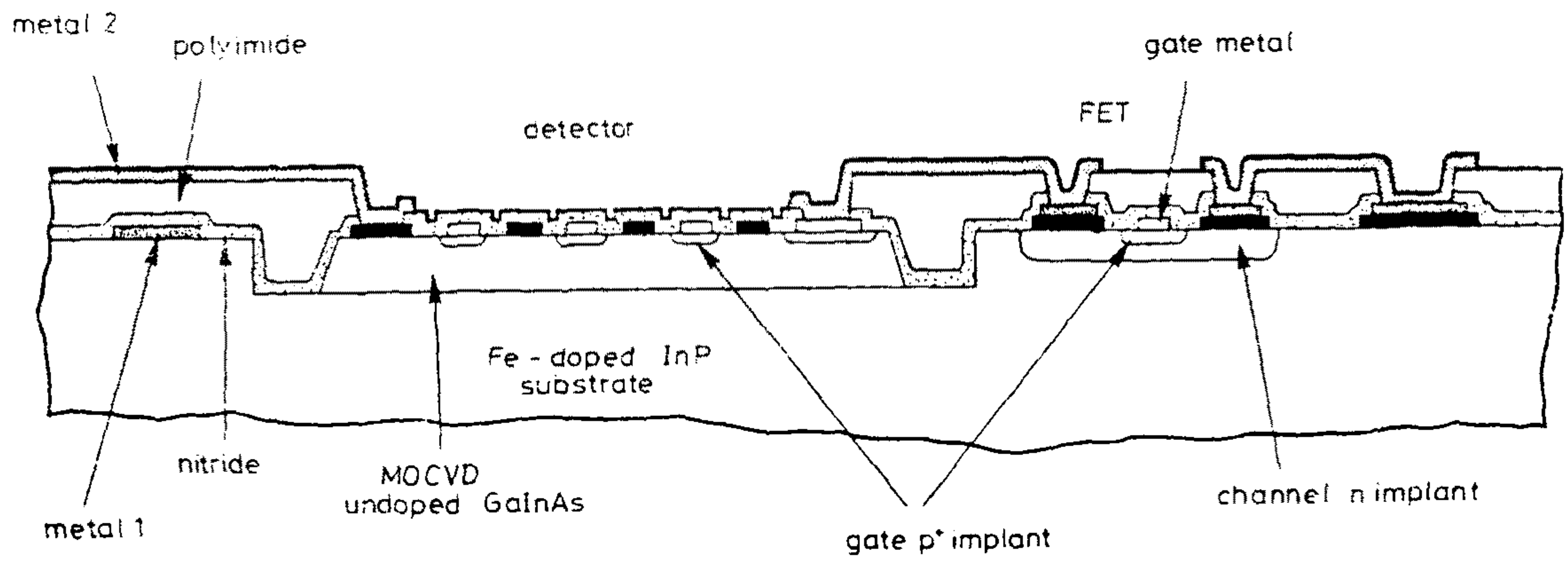
불란서의 Thomson-CSF에서는 잘 개발된 OMVPE 기술을 이용하여 GaAs 기판 위에 격자 부정합된 InGaAs를 성장하여 PCD(Photo-Conductive Detector)와 GaAs MESFET를 집적시킨 OEIC를 개발하였다.<sup>(29),(31)</sup> 이러한 OEIC의 단면이 (그림 2-7)에 있다.

위에서 열거한 연구 기관들 이외에도 일본의 Mitsubishi에서는 InGaAs PIN PD와 InP MISFET를,<sup>(32)</sup> Sumitomo에서는 InGaAs PIN PD와 InAlAs/InGaAs HEMT를,<sup>(33)</sup> 불란서의 CNET에서는 Zn 확산된 접합면을 갖는 InGaAs PIN PD와 JFET를 집적시켰으며<sup>(35),(36)</sup>, 독일의 Siemens에서는 OMVPE를 이용하여 InAlAs/InGaAs 구조의 HPD + HJFET (Hetero-structure PD + Heterojunction FET)의 OEIC를 제작하였다.<sup>(38)</sup> 부록에서 지금까지 개발된 장파장 광수신 OEIC들의 각 구성 소자의 성능과 회로 성능을 연구 기관별로 정리하였다.

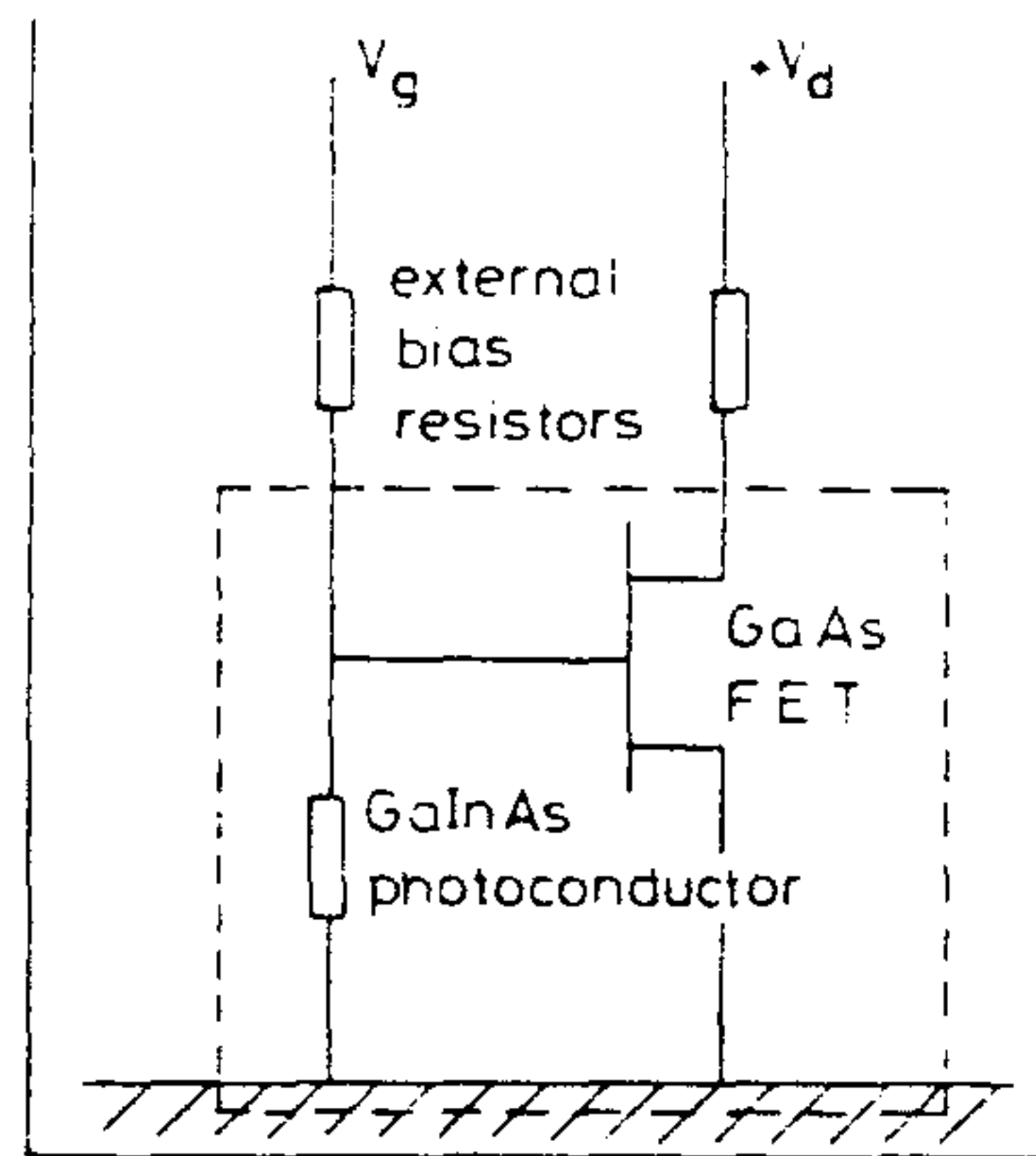
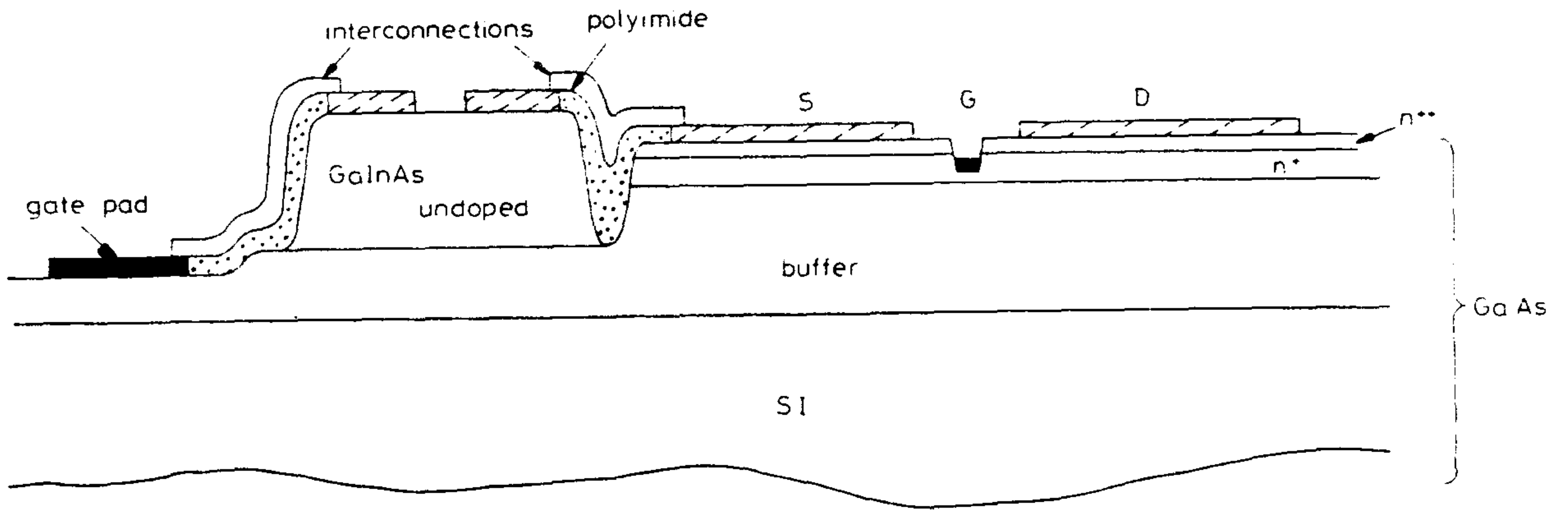
이러한 광수신 OEIC들의 성능은 전송속도와 수신감도로서 나타낼 수 있는데, 지금까지 개발된 대표적인 OEIC들의 전송속도 대 수신감도의 표가 (그림 2-8)에 있다. 전송속도는 2 Gbps, 수신감도는 -30 dBm 내외가 최고의 결과임을 알 수 있다.

### 제 3 절 광수신 OEIC의 제작 기술

#### 1. 광수신 OEIC의 구조

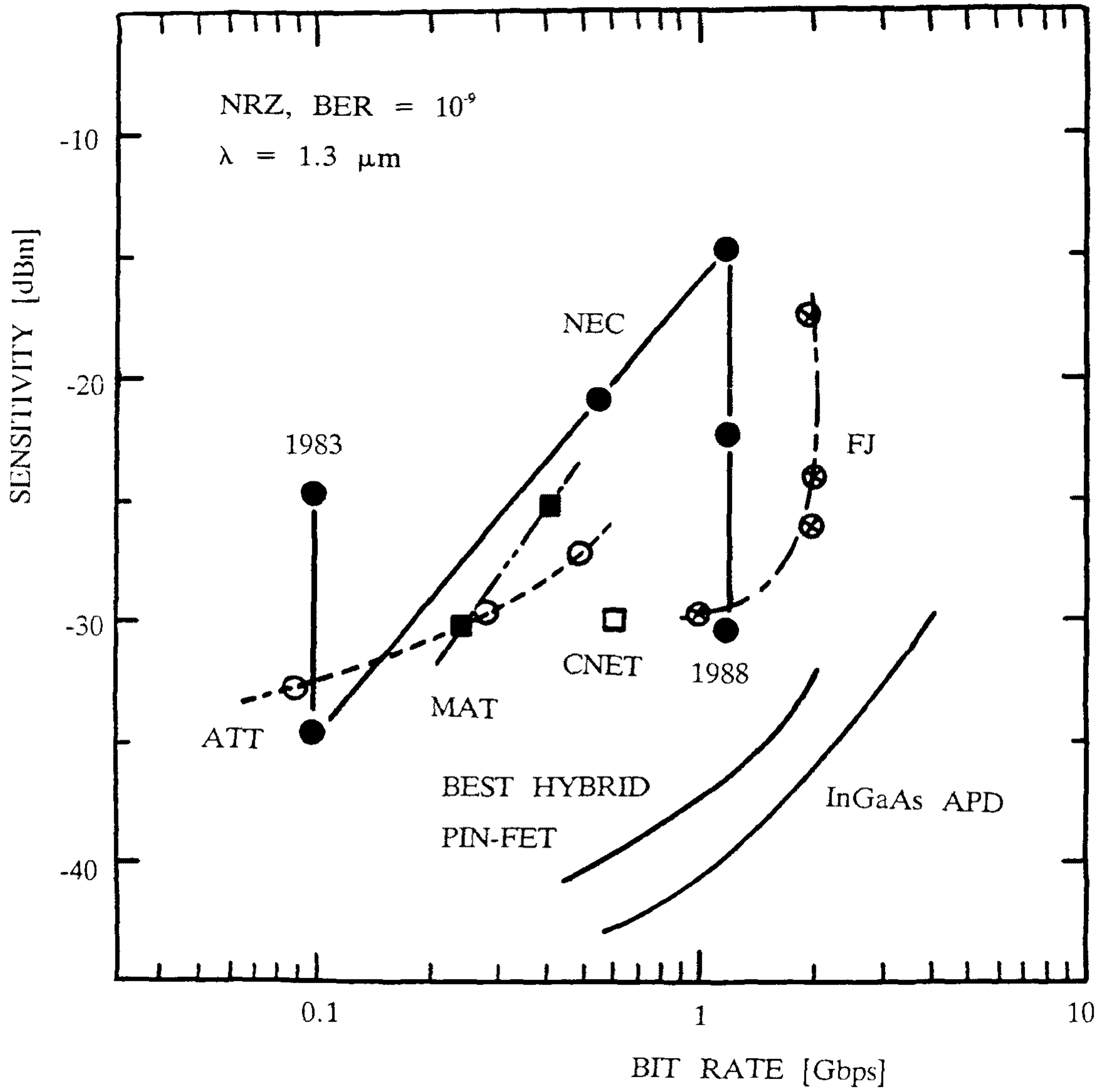


(그림 2-6) Be 이온주입법으로 만든 평면형 PIN PD와 JFET의 OEIC [28]



(그림 2-7) GaAs 기판 위에 격자 부정합된 InGaAs PCD와 GaAs MESFET가  
 집적된 OEIC [31]





(그림 2-8) 전송 속도와 수신 감도에 따른 장파장 광수신 OEIC의 연구 현황

광수신 OEIC의 집적 구조를 결정하는 주요 요인은 서로 다른 구조와 제조 공정을 갖는 두가지 구성 요소 즉 광검출기와 트랜지스터를 구조와 공정면에서 독립적 최적화 (independent optimization)시키는 것과 이 두가지 소자 사이의 전기적 연결 문제이다. 광검출기와 트랜지스터는 그 구조상 가장 중요한 기능을 하는 흡수층과 채널층이 <표 2-1>에서 보듯이 매우 상이한 조건을 가지고 있어 독립적 최적 조건을 부여하기란 사실상 쉽지가 않다. 또한 표에서 보듯이 PD의 흡수층이 FET에 비해 상당히 두껍기 때문에 이들 소자간의 전기적 배선은 물론 미세 lithography 공정에 커다란 장애가 되고 있어 평면 구조가 필요하게 된다.

그리고 장파장 OEIC 경우는 에너지 갭이 작은 InGaAs 흡수층이 epitaxy에 의해 형성되어야 하므로 이것 또한 GaAs계에 비해 커다란 장애 요인이 되고 있다. 장파장 광수신 OEIC의 집적 구조를 발전 과정 순서대로 요약하면 다음과 같다.

- 광검출기와 트랜지스터가 같은 에피층을 사용하는 에피층 공유형 (Common Epi-layer Structure)
- 광검출기와 트랜지스터의 높이 차이를 무시하고 집적한 비평면형 (Non-planar Structure)
- 광검출기가 두껍기 때문에 광검출기가 들어갈 위치를 깊게 파서 최종적인 광검출기와 트랜지스터의 높이를 같게한 홈 모양 구조 (Rccess-etched Groove Structure)
- 홈 모양 구조에서 에칭된 부분을 polyimide로 채운 polyimide 평면형 (Polyimide Planar Structure)
- 광검출기를 InP 기판에 완전히 매립시킨 평면 매립형 (Planar Embedded

<표 2-1> 광검출기의 흡수층과 트랜지스터 채널층의 특성 비교

Charaterization	PD (Absorption Layer)	FET (Channel Layer)
Material	InGaAs, InGaAsP	InP, InGaAs(P)
Doping (cm <sup>-3</sup> )	10 <sup>15</sup> - 10 <sup>16</sup>	5x10 <sup>16</sup> - 5x10 <sup>17</sup>
Thickness (μm)	1 ~ 2	0.1 ~ 0.5

Structure)

- 반절연 epitaxy를 이용하여 광검출기와 트랜지스터를 수직 집적시킨 반절연 에피층 구조 (S.I. Epi-layer Structure)

이러한 집적 구조들이 (그림 2-9)에 있다. 위에서 열거한 기본적인 집적 구조들은 광검출기의 흡수층과 트랜지스터의 채널층에 공핍층을 만드는 방법에 따라 <표 2-2>와 같이 다시 분류될 수 있다. n형의 InP 또는 InGaAs(P)는 Schottky 장벽이 낮아 거의 모든 금속과 Schottky 접합을 이루기가 어려워<sup>(40)</sup> 에너지 갭이 큰 반도체나<sup>(41),(42)</sup> 매우 얇은 두께의 유전체를<sup>(43),(44)</sup> 중간층으로 넣어 Schottky 접합을 이용한 SPD(Schottky PD), MSM PD(Metal-Semiconductor-Metal PD) 또는 MESFET 이나 HEMT 등을 만들 수 있다.

#### 가. 에피층 공유형

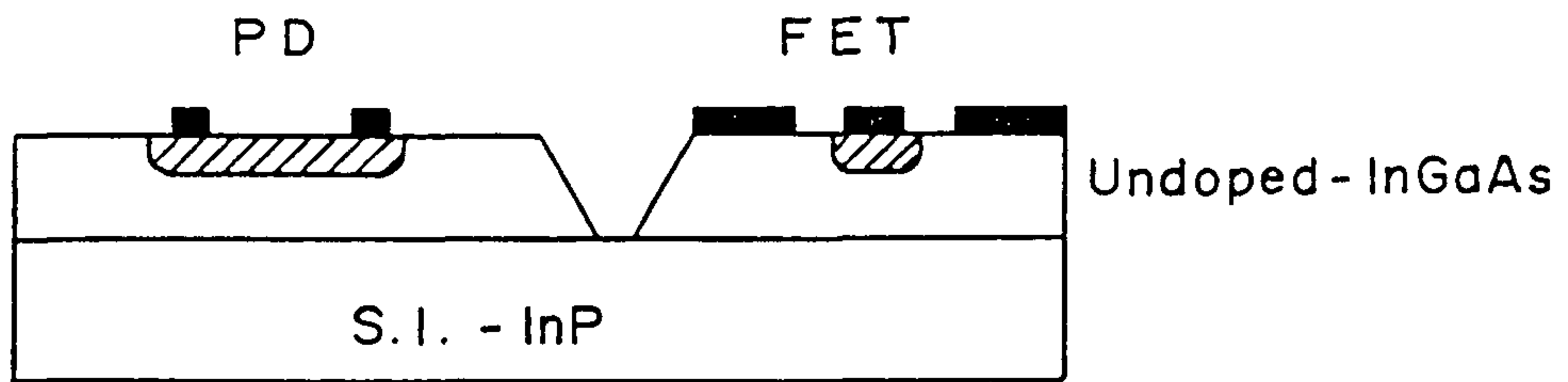
에피층 공유형은 반절연 InP 기판 위에 InGaAs 한 층만을 성장시켜 이 층을 흡수층과 채널층으로 동시에 사용하는 초기 단계의 구조이다. 이 구조는 epitaxy를 1회만 하면 되어 제작이 쉬운 장점이 있으나 광검출기와 트랜지스터 사이에 구조의 독립적 최적화가 불가능하여 소자 성능이 뒤떨어진다.

PIN PD와 JFET를 한차례의 Zn 확산만으로 만든 경우<sup>(7)</sup>, Be를 이온 주입하여 PIN PD와 기동형 게이트 JFET를 만든 경우<sup>(21)</sup>, 두 차례의 Zn 확산으로 PIN PD와 JFET를 만든 경우<sup>(24)</sup>, InAlAs 격자 정합 중간층을 넣어 SPD와 MESFET를 만든 경우<sup>(22)</sup>, 그리고 GaInP 격자 부정합층을 넣어 SPD와 MESFET를 만든 경우 등이 있다<sup>(30)</sup>.

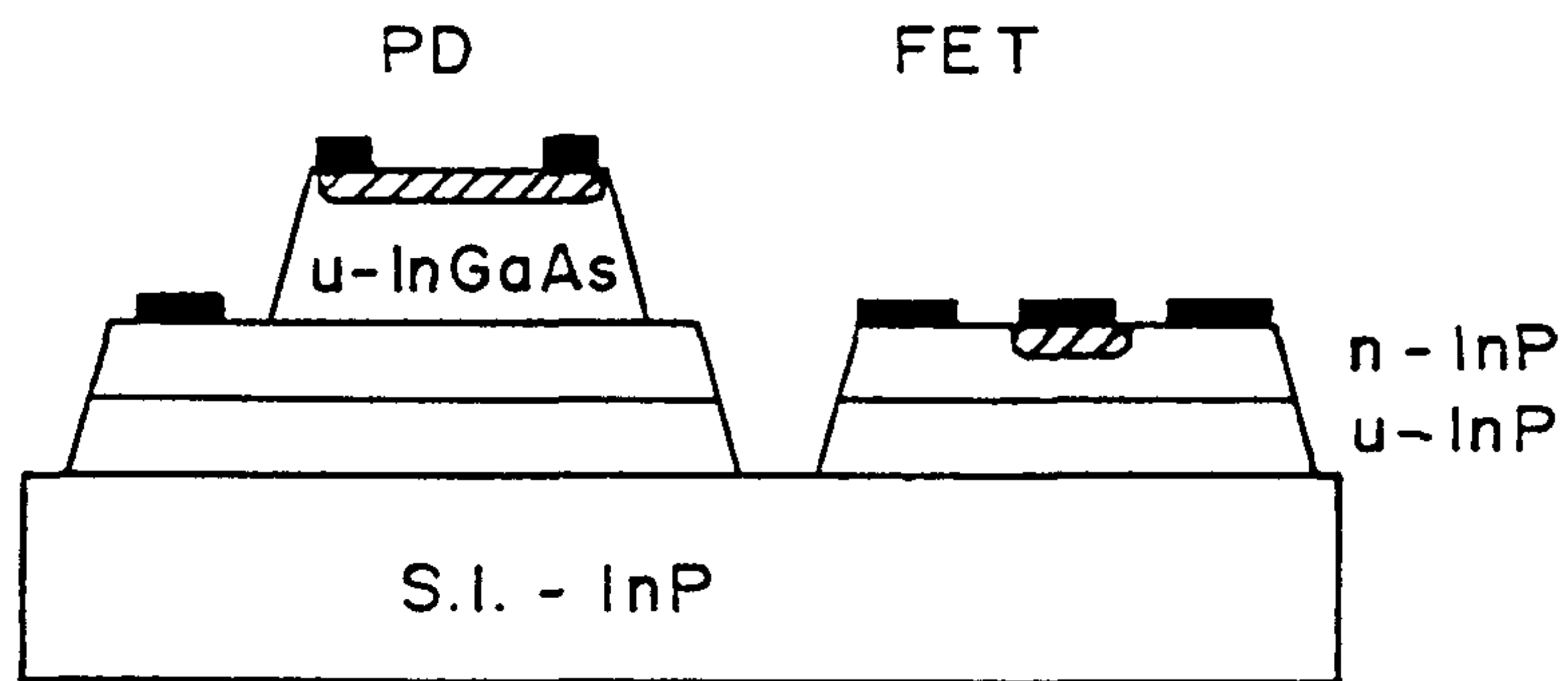
#### 나. 비평면형

비평면형은 비교적 최근까지 많이 사용되는 구조로서, 광검출기와 트랜지스터

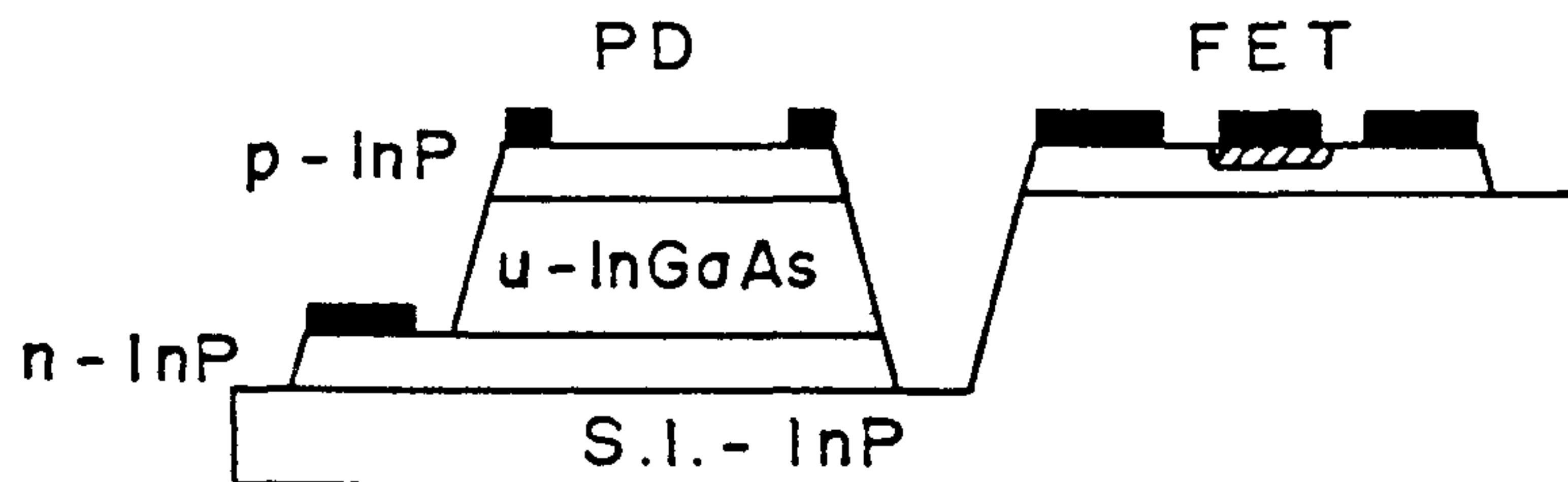
(a) Common Epi-layer



(b) Non Planar



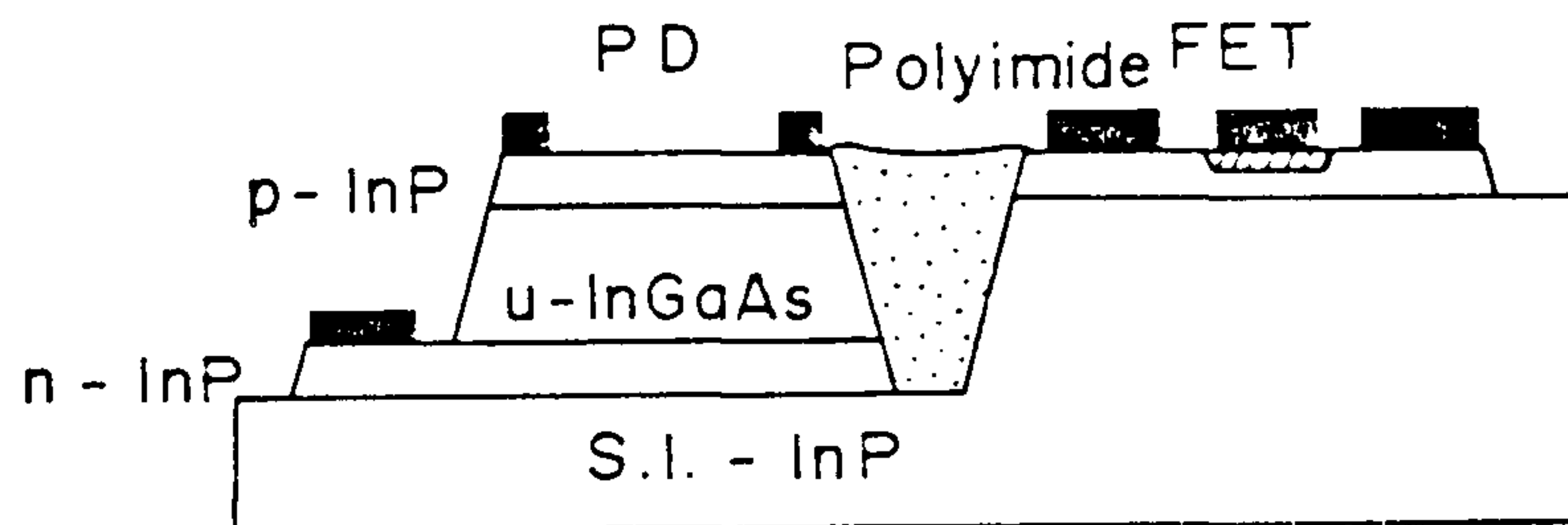
(c) Recess-etched Groove



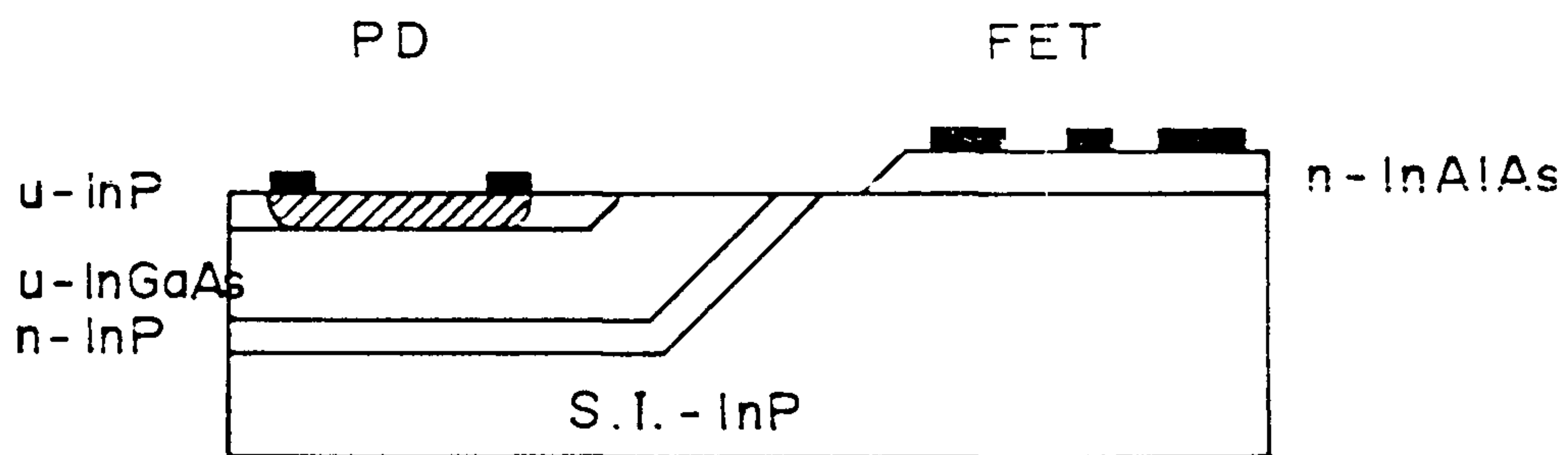
(그림 2-9) 장파장 광수신 OEIC의 집적 구조 (계속)

(계속)

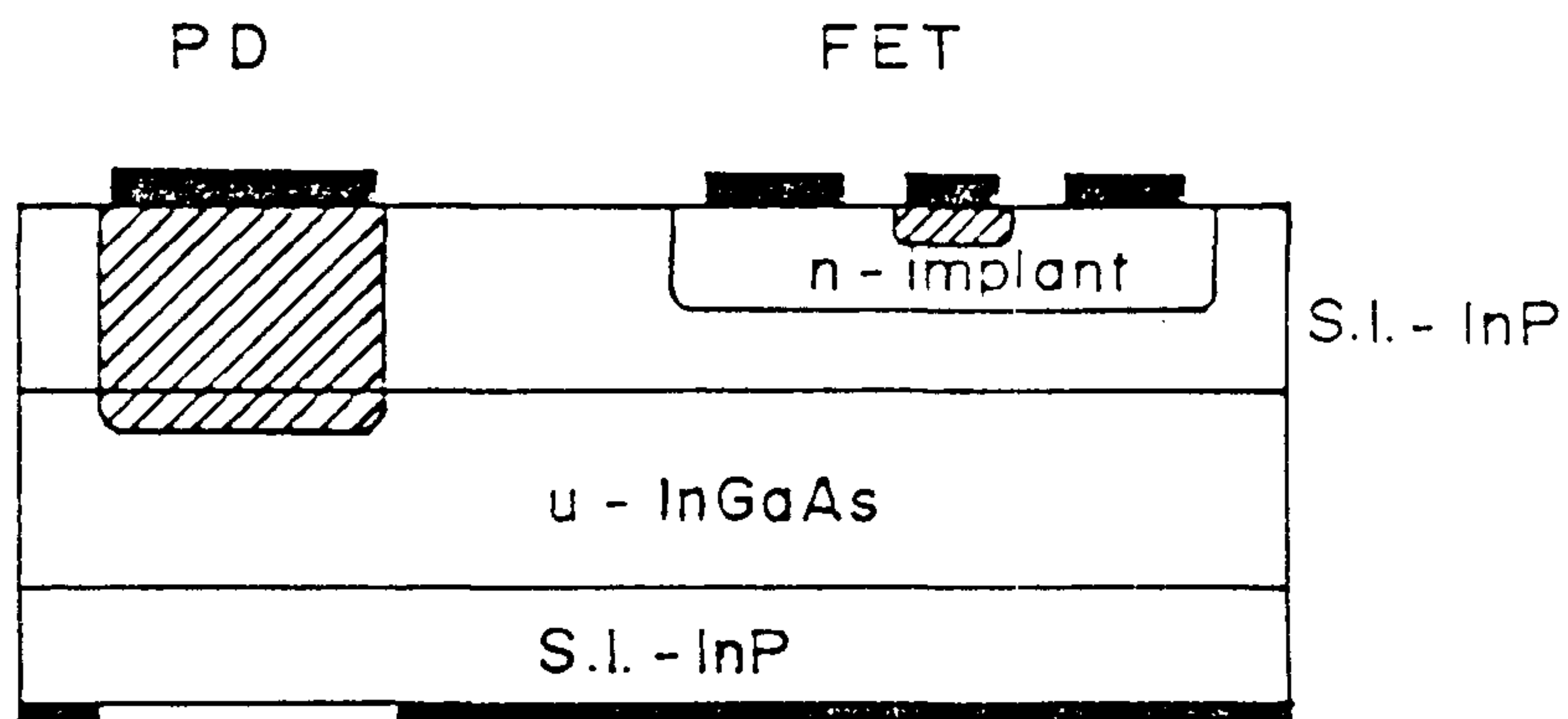
(d) Polyimide Planar



(e) Planar Embedded



(f) Semi - insulating Epi - layer



(그림 2-9) 장파장 광수신 OEIC의 집적 구조

<표 2-2> InP나 InGaAs에 공핍층을 만드는 방법과 응용소자

	Fabrication Method			Device
PN Junction	Diffusion (Zn)	Ion-Implant (Be)	Epitaxy P-InP	PIN PD JFET
Schottky Junction	Lattice-Matched Layer (InAlAs)	Lattice-Mismatched Layer ((Al)GaAs)	Dielectric Layer (LB, Oxide)	MSM PD, SPD MESFET, HEMT

의 층들을 연속적으로 성장한 후 각각의 소자에게 불필요한 층들은 에칭해 버리는 구조이다. 일반적으로 트랜지스터층을 아래쪽에 성장하므로 광검출기의 두꺼운 흡수층이 커다란 표면 단차를 주어 lithography와 배선을 어렵게 하는 단점이 있다. 불필요한 부분 에칭시 조성이 다른 층들을 사용하여 선택적 에칭이 되도록 하는 것이 중요하다.

Zn 확산에 의한 PIN PD와 MISFET를 집적시킨 경우<sup>(32)</sup>, Zn 확산이나 Be 이온 주입으로 PIN PD와 JFET를 만든 경우<sup>(23)</sup>, GaAs 기판 위에 InGaAs를 성장하여 PCD와 GaAs MESFET를 만든 경우<sup>(29)</sup>, p-InGaAs epitaxy에 의한 PIN PD와 InAlAs 중간층을 넣어 HEMT를 만든 경우<sup>(33)</sup>, 그리고 커다란 표면 단차에서 오는 배선의 어려움을 덜기 위해 광검출기의 급격한 경사면을 polyimide를 이용하여 완만하게 만든 구조들이 있다<sup>(35),(36)</sup>

#### 다. 홈 모양 구조

홈 모양 구조는 나.의 비평면형 구조에서 광검출기 쪽의 높이가 트랜지스터에 비해 수  $\mu\text{m}$  정도 높기 때문에 최종 높이가 같아지도록 광검출기가 들어갈 곳의 기판을 미리 에칭해낸 후 epitaxy를 하여 만든다. 그러나 이 구조에서는 전체적인 표면 단차는 줄어 들어 미세 lithography의 문제는 해결되나 광검출기 둘레의 급격한 경사를 갖는 골은 여전히 남아 있어 배선을 어렵게 한다. 이런 구조의 광수신기로는 PIN PD와 epitaxy에 의한 self-align 구조의 JFET<sup>(3),(4)</sup>, 또는 격자 부정합 GaAs MESFET와의 집적 등이 있다<sup>(5),(6)</sup>.

#### 라. Polyimide 평면형

Polyimide 평면형 구조는 홈 모양 구조에서 광검출기 둘레의 골을 polyimide를 채워 넣어 배선의 문제를 해결한 것이다. 한편 이 구조는 polyimide에 의한 광



검출기 passivation 효과로 광검출기의 누설 전류와 정전 용량을 절감시킬 수 있는 장점을 아울러 가지고 있다. GaAs 기판 위에 InGaAs SPD와 GaAs MESFET를 집적시킨 경우와<sup>(31)</sup> interdigitated 평면형 PIN PD와 이온 주입된 JFET를 집적시킨 경우가 있다<sup>(28)</sup>.

#### 마. 평면 매립형

평면 매립형은 광검출기가 들어갈 홈 부분을 에피층으로 완전히 매립시켜 표면 단차의 문제를 완전히 해결함으로써 미세 lithography 문제, 배선 문제 및 기생 용량의 저하 등을 모두 해결한 구조이다. 그러나 이 구조에서는 수직형 PIN PD를 광검출기로 사용할 경우 아래쪽의 n형 금속 접촉을 표면으로 꺼내는데 어려움이 있다. 평면 매립형은 다음의 세가지 방법에 의해 제작 되어졌다.

##### 1) 이온빔 식각법

InP 기판 위에 감광막을 baking하여 모서리 부분이 완만한 경사를 갖도록 한 다음 Ar 이온빔으로 식각을 하면 이온빔의 입사 각도에 따라 완만한 경사면을 갖는 홈이 얻어진다. 여기에 광검출기 구조를 epitaxy한 다음 홈 이외의 부분을 다시 이온빔으로 식각해 내면 평면 매립형 구조가 얻어진다<sup>(7)</sup>. 그리고 전자소자들은 이온 주입이나 2차 epitaxy에 의해 제작된다. VPE로 평면 매립형 PIN PD를 제작하고 MBE법으로 InAlAs를 중간층으로 넣은 MESFET 구조가 보고되었다<sup>(9)</sup>. 특히 이 구조의 PIN PD는 배선 및 bonding pad에 의한 기생 용량이 매우 낮은 것으로 알려져 고속 동작 OEIC에 유용할 것으로 기대된다.

##### 2) 선택적 epitaxy법

InP 기판에 광검출기가 매립될 부분을 미리 에칭해 낸 다음 그 이외의 부

분은  $\text{SiN}_x$ 로 덮고 epitaxy를 하여 홈 부분만 광검출기용 단결정이 성장되도록 하는 방법이다. 그 후에 전자소자는 이온빔 식각법과 마찬가지로 이온 주입이나 epitaxy에 의해 제작된다. 선택적 VPE로 평면 매립형 구조를 만들고 이온 주입에 의해 MISFET를 만든 경우가 발표되었다<sup>(8)</sup>. 그러나 이 방법의 단점은 mask로 사용한 물질 위에 다결정이 성장될 수 있다는 점과 성장 영역의 모서리 부분이 다른 곳보다 과다하게 성장이 되는 edge overgrowth가 일어난다는 점이다<sup>(45)</sup>.

### 3) 좁은 폭 LPE법<sup>(26)</sup>

이 방법은 기판에 파인 홈의 폭이 길이에 비해 그다지 크지 않을 경우 LPE 성장을 하면 홈 부분이 먼저 채워져서 전체적으로 높이의 굴곡이 없이 성장되는 LPE의 특성을 이용한 것이다<sup>(46)</sup>. 그러나 이 방법에 의하면 매립된 광검출기의 면적을 크게 할 수 없으므로 양자 효율이 낮아지게 된다.

#### 바. 반절연 에피층 구조

반절연 에피층 구조는 n형 InP 기판 위에 광검출기용 InGaAs층을 성장한 후 그 위에 Fe나 Cr을 도우핑한 반절연 InP층을 성장하여 여기에 이온 주입된 트랜지스터를 제작하는 수직형 OEIC 구조이다<sup>(9),(10)</sup>. 반절연 에피층 아래의 InGaAs 흡수층에 공핍층을 만들어 주기 위해 반절연층을 통과한 깊은 Zn 확산을 하여 PIN 구조를 만든 다음 기판 뒤면에서 광신호를 입사시킨다.

## 2. 구성 소자의 요건

광수신 OEIC는 광검출기, 바이어스 회로 및 적어도 1단 이상의 전압 증폭기로 구성되어 있으며 구성 소자들은 광검출기, 트랜지스터, 다이오드 및 저항이다. 이러한 집적용 소자들은 광전집적의 잇점을 최대한 살리기 위해서 좋은 성능

과 함께 집적에 적합한 구조를 가져야 한다.

#### 가. 광검출기

집적용 광검출기는 단위 소자로서의 광검출기의 요구 조건인

- 낮은 정전 용량
- 낮은 누설 전류
- 높은 양자 효율 등의 특성이 요구되며

이 밖에도 트랜지스터와의 제작의 양립성을 고려한 적절한 구조의 선정이 요구된다.

사용되는 물질은 장파장 영역에서 높은 흡수 계수를 가지며 InP와 격자 정합을 이루는 InGaAs이다. 광검출기에서 정전 용량은 공핍층의 면적과 두께에 의해 결정되므로, 면적은 작게 하고 두께는 두껍게 할수록 정전 용량은 감소된다. 그러나 면적이 광섬유의 단면적보다 줄어들면 광섬유와의 결합 손실이 증대되어 광응답 계수(responsivity)가 감소하게 된다. 그러므로 이러한 문제를 극복하기 위해 micro 렌즈를 칩의 뒷면에 집적시켜 광검출기의 면적은 줄이면서 광섬유로부터의 광출력은 충분히 받아들이는 구조의 광검출기도 고안되었다.<sup>(47)</sup> 단지 13  $\mu\text{m}$ 의 직경을 가진 이 광검출기는 20 fF의 정전 용량과 84%의 양자 효율을 나타내었다. 정전 용량 감소를 위한 또 하나의 방법인 공핍층의 두께를 늘이는 것은 주어진 바이어스 조건에서 흡수층의 도우핑 농도를 낮추면 된다. 그러나 두꺼운 흡수층은 집적 구조의 제작을 어렵게 만들므로 흡수층에 의한 표면 단차를 없애거나 평면 매립형 구조와 같은 광검출기의 제작이 필수적이다<sup>(17)</sup>.

누설 전류는 pn 접합에 의한 확산 누설 전류, 공핍층에서의 재결합에 의한 누설 전류, 반송자의 터널링에 의한 누설 전류 및 표면의 에너지 준위에 의한

표면 누설 전류 등이 있으며,<sup>(48)</sup> 이들중 표면 누설 전류가 가장 중요하다. 누설 전류를 줄이기 위해서는 polyimide와 같은 표면 준위 밀도가 낮은 물질로 passivation하여야 하며,<sup>(49)</sup> InGaAs 보다는 InP와 같이 에너지 갭이 큰 물질이 표면에 노출되도록 하여야 한다.<sup>(50)</sup> 그리고 pn 접합면이 표면에 노출되지 않도록 하는 것도 표면 누설 전류를 줄이는 방법이다.<sup>(51)</sup>

높은 양자 효율을 얻기 위해서는 빛을 흡수하는 흡수층의 면적이 넓고 두께가 두꺼운 것이 좋다. 그러나 이것은 정전 용량과 표면 단차에 영향을 주므로 적절한 선에서 조정되도록 한다. 그리고 웨이퍼 표면에서 빛의 반사를 막기 위해  $\text{Si}_3\text{N}_4$ 와 같은 유전체로 무반사 코팅을 하는 것도 양자 효율을 높이는 방법이다. MSM(Metal-Semiconductor-Metal)과 같은 interdigitated형의 평면형 광검출기에서는 표면의 전극에서 빛의 반사가 양자 효율을 감소시키므로, 텅스텐 전극을 반도체 속에 매립시켜 MSM의 장점을 살림과 동시에 전극에서의 반사를 없앤 매립형 SMS(Semiconductor-Metal-Semiconductor) 구조의 광검출기도 제작되었다.<sup>(52)</sup> 광검출기는 이러한 기본적인 요구 조건 이외에도 광전집적에 적합한 구조를 가져야 한다. 수평형 구조를 갖는 FET와 집적하기 위해서는 PIN과 같은 수직형 구조의 광검출기보다는 수평형 구조가 유리하므로 평면형 PIN,<sup>(53)</sup> PCD,<sup>(54)</sup> SPD (Schottky PD)<sup>(55)</sup> 및 MSM<sup>(56)</sup> 등의 구조가 연구되고 있다.

#### 나. 트랜지스터<sup>(62)</sup>

OEIC용의 전자 소자가 갖추어야 할 성능상의 요건들은 고속, 고구동 능력 및 고수신 감도를 위한 높은 전달 conductance와 집적회로 동작의 필수 요건인 threshold 전압의 균일성, 낮은 입력 capacitance, 낮은 누설 전류 및 높은 수율 등을 들 수 있다. OEIC 연구의 가장 큰 동기 가운데 하나가 고속 동작에 있으

므로 이를 위해서는 전자의 이동도나 포화 속도가 높고 비유전율이 작은 물질이 적합하다. 소자의 구조면에서는 가능한한 간단하여 제작 공정이 쉽고 따라서 수율이 높아야 하며 임계 전압 등이 소자의 구조에 의해서가 아니라 물질 상수에 의해 결정되는 편이 소자 특성의 균일성을 확보하는데 유리하다. 또 구조 자체가 기생 용량이 작아서 소자 자체의 한계까지 충분히 이용할 수 있어야 하며 신호의 전달 경로가 짧게 되도록 제작되어야 한다. 한편으로는 부하의 크기나 수에 의해 전달 지연 시간이 크게 변화하지 않도록 높은 전류 구동 능력이 중요하게 된다.

InP계 장파장 광수신 OEIC용의 트랜지스터는 높은 이동도와 포화 속도를 갖는 InGaAs가 주로 쓰인다. InGaAs는 앞에서 언급한 바와 같이 광검출 소자의 재료로서도 우수한 특성을 가지므로 광수신 OEIC에 특히 유용한 물질이다. 앞에서 설명한대로 현재의 기술 수준에서는 수신 OEIC의 성능은 광검출기에 의해서가 아니라 트랜지스터의 특성에 의해 결정된다. 그러므로 광수신 OEIC의 발전을 위해서는 적합한 트랜지스터의 구조와 제작 공정 개발이 급선무다. 또 대부분의 트랜지스터 구조가 순수한 전자 소자만의 집적회로에 적합하게 설계되어 왔음을 생각하면 소자 공정 및 제공정이 OEIC에 최적의 형태로 변화되어야 한다.

집적에 적합한 InP계 트랜지스터로는 MODFET, MISFET, JFET, MESFET와 HBT 등이 있다. HBT는 계면의 문제에 의한 비이상적인 전류 이득 대 콜렉터 전류 관계, off-set 전압 및 수직형 소자이기 때문에 생기는 집적 공정의 복잡화 등의 문제점을 가지므로 수신용 OEIC로는 아직은 부적합하다.<sup>(57)</sup>

MODFET는 불순물에 의한 산란 효과를 최소화한 고속 소자로 InP계에서는 InAlAs(In 고체 조성 52%)라는 에너지 갭도 크고 InP에 격자 정합이 되는 좋은 이종 접합 물질이 있다. 특히 이 InAlAs와 이종 접합을 이룰 때 전도대의

불연속이 크고 Schottky 장벽이 크며 AlGaAs에서와 같은 DX center가 없어 소자 특성과 안정성이 우수한 것으로 알려져 있다. 그러나 누설 전류, 게이트 정전 용량 등은 비교적 큰 편이어서  $g_m$ 이 좀 줄더라도 barrier 층을 두껍게 하여  $C_g$ 를 줄일 필요가 있다. 또 barrier 층과 관계된 결함들에 의한 소자 특성의 불안정성(threshold 전압 변화, persistent photoconductivity, catastrophic failure at liquid nitrogen temperature)를 최소화해야 한다<sup>(41)</sup>.

InP계의 MISTFET는 절연층으로 유전체를 쓰는 경우와 큰 밴드갭을 갖는 반도체층을 사용하는 두가지로 대별된다. 유전체를 쓰는 경우는  $P_2O_5$  등의 중간층을 사용하거나 인으로 포화시킨 기판을 사용하므로 유전체-반도체 계면을 안정화시킨 예도 있으나<sup>(58)</sup> 아직 불완전하여 드레인 전류 변동 등의 문제가 있다. 반도체를 사용하면 계면 상태는 좋아지지만 널리 쓰이는 InAlAs가 밴드 갭이 충분히 크지 못한 관계로 누설 전류가 크고, 변화시킬 수 있는 게이트 전압에도 한계가 있다. 또 반도체의 유전율이 높으므로  $g_m$ 은 크게 할 수 있으나  $C_g$ 가 따라서 커지며,  $C_g$ 를 줄이기 위해 게이트 반도체층인 InAlAs를 완전히 공핍층으로 만들어야 하기 때문에 동작 전압이 높아지는 문제가 발생한다.

JFET는  $g_m$  값은 다른 소자에 비해 작으나  $C_g$ 와 누설 전류를 줄일 수 있으며 ion implant 공정을 사용함으로써 소자간의 전기적인 격리와 평면화가 용이하다는 장점이 있어 유망한 소자이다. 그러나 게이트 길이를  $1\ \mu\text{m}$  이하로 하기가 어려우며 short channel 효과를 줄이기 위해 접합 깊이를 얇게 하는 데에 어려움이 따른다. 이 문제는 p 에피층을 게이트로 사용하면 해결할 수 있으며, 이렇게 함으로써 self-aligned 구조도 만들 수 있으나<sup>(59)</sup> p층의 불순물 농도를 높이려면 중간층과 etching-stop층을 만들어야 하므로  $g_m$  값을 저하시킬 우려가 있다.

InP나 InGaAs에는 Schottky 접합 특성이 나빠 MESFET를 직접 만드는 것

은 불가능하다. 그러나 중간층으로 InGaAs<sup>(60)</sup>나 격자 부정합된 GaAs 혹은 AlGaAs를<sup>(61)</sup> 사용하여 MESFET를 만드는 연구가 최근 관심의 대상이 되고 있는데 그 이유는 MESFET가 가지는 고속성 및 제작의 간편성에 있다.

### 3. 제작 공정 기술

광수신 OEIC는 근본적으로 구조와 공정이 서로 다른 광검출기와 전자소자를 동일칩 위에 동일 공정을 거쳐 집적시켜야 하므로 여러가지 문제점과 제한이 뒤따르게 된다. 그러므로 좋은 OEIC를 제작하기 위해서는 집적에 적합한 구조의 구성 소자를 선택하여야 하며, 이들의 제작 공정이 서로에게 독립적 최적 조건을 제공하여야 하며, 이들 소자간의 연결이 쉬워야 한다. 이러한 관점에서 중요한 몇가지 공정 기술에 관하여 다음에 기술하였다.

#### 가. Epitaxy 기술

III-V족 화합물 소자의 제작을 위해서는 epitaxy 기술이 가장 중요하며, 특히 OEIC 제작을 위해서는 더욱 복잡하고 정밀한 epitaxy 기술이 요구된다. 그러나 전통적인 LPE 법은 성장층의 균일성이 나쁘고 InGaAs 위에 InP층의 성장이나 InAlAs 또는 격자 부정합층의 성장이 어려워, 간단한 구조의 OEIC 제작에는 적용 가능하지만 집적도가 높은 OEIC나 소자간 독립적 최적 구조를 갖는 고성능의 OEIC 제작에는 적당치 않다.

이에 반해 MBE 또는 OMVPE는 매우 얇은 층을 균일하게 수십층 이상 성장시킬 수 있으며, 격자 부정합층은 물론 성장층의 조성이 점진적으로 변하게 할 수도 있다. 특히 OMVPE는 거의 모든 조합의 III-V족 반도체를 성장시킬 수 있고 대량 생산에 적합하므로 장과장 OEIC 제작의 가장 강력한 epitaxy법으

로 대두되고 있다.

다음의 <표 2-3>은 OMVPE 연구의 진행 상황에 따라 제작되어질 수 있는 장파장 광수신 OEIC 구조를 나타낸 것이다. 도우핑된 InP층만의 성장이 가능할 때는 LPE 방식과 조합하여 OEIC를 제작할 수 있으며, InAlAs나 격자 부정합된 GaAs 또는 AlGaAs의 성장이 가능하면 Schottky 접합을 이용한 소자들의 집적이 가능해진다. 그리고 InGaAs에서 GaAs에로의 점진적 조성 변화를 갖는 층이 성장되면 격자 부정합층의 strain을 줄일수 있어 누설 전류의 저감 또는 이중 접합면에서 에너지 밴드의 불연속성 때문에 생기는 반송자 trap 문제들을 해결할 수 있다. 매우 얇은 superlattice층의 성장이 되면 HEMT와 같은 고성능 트랜지스터의 제작이 가능해지고, 선택적 epitaxy나 반절연층의 epitaxy가 되면 평면 매립형 구조나 수직형 구조의 OEIC 제작이 가능해진다.

이 표에서 보듯이 실제로 OEIC 제작의 가장 큰 기술적 문제는 epitaxy에 있으며 epitaxy 연구의 진행 정도에 따라 제작 가능한 OEIC 구조가 결정되어짐을 알 수 있다.

#### 나. 평면화 기술

전술한 바와 같이 OEIC를 구성하고 있는 광소자와 전자소자는 상당한 높이의 차이가 있어 이것이 미세 lithography와 소자간 배선을 어렵게 하는 요인이 되고 있다. 그러므로 소자를 평면화 시키거나 경사면의 각도를 완만하게 만드는 기술이 요구된다. (그림 2-10)은 이온빔 식각에 의해 완만한 경사면을 만들고 다시 이것을 평면화시키는 공정을 보여 준다<sup>(17)</sup>. 또한 polyimide를 이용하여 경사면을 완화하거나 평면화시키는 공정도 개발되었다<sup>(28)</sup>. 이 평면화 기술은 OEIC 전체 구조에 의해 크게 영향을 받으므로 평면화가 가능한 OEIC 구조의 선정이



<표 2-3> OMVPE 연구 결과에 따라 제작 가능한 장파장 광수신 OEIC의 구조

OMVPE 연구	제작 가능 Device 및 OEIC 구조
InP Doping	- Hybrid Epitaxy (LPE + OMVPE) - Conventional Structure
High Purity InGaAs	- All OMVPE Conventional Structure
(Ga)InAlAs on InP	- MSM PD (SPD) + MESFET
(Al)GaAs on InP	- MSM PD (SPD) + MESFET
Graded Composition (InGaAs ~ GaAs)	- Hetero-epitaxy - New Device
Super-lattice	- Hetero-epitaxy - Novel Structure FET
Selective Epitaxy	- Planar-embedded Structure - Independent Optimization
Semi-insulating Epitaxy	- Vertical Structure - Low Leakage Current

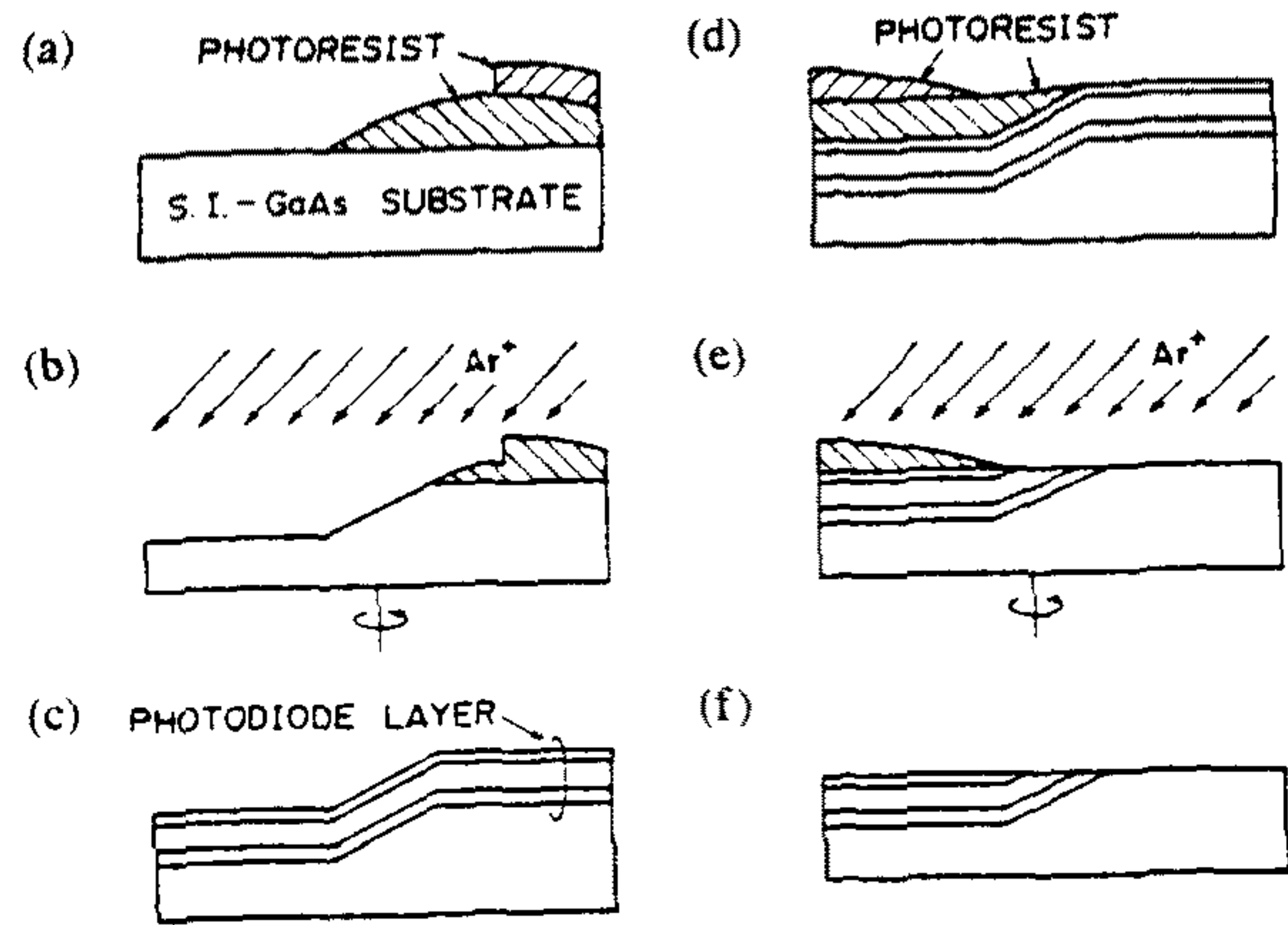
요구된다.

#### 다. Passivation 기술

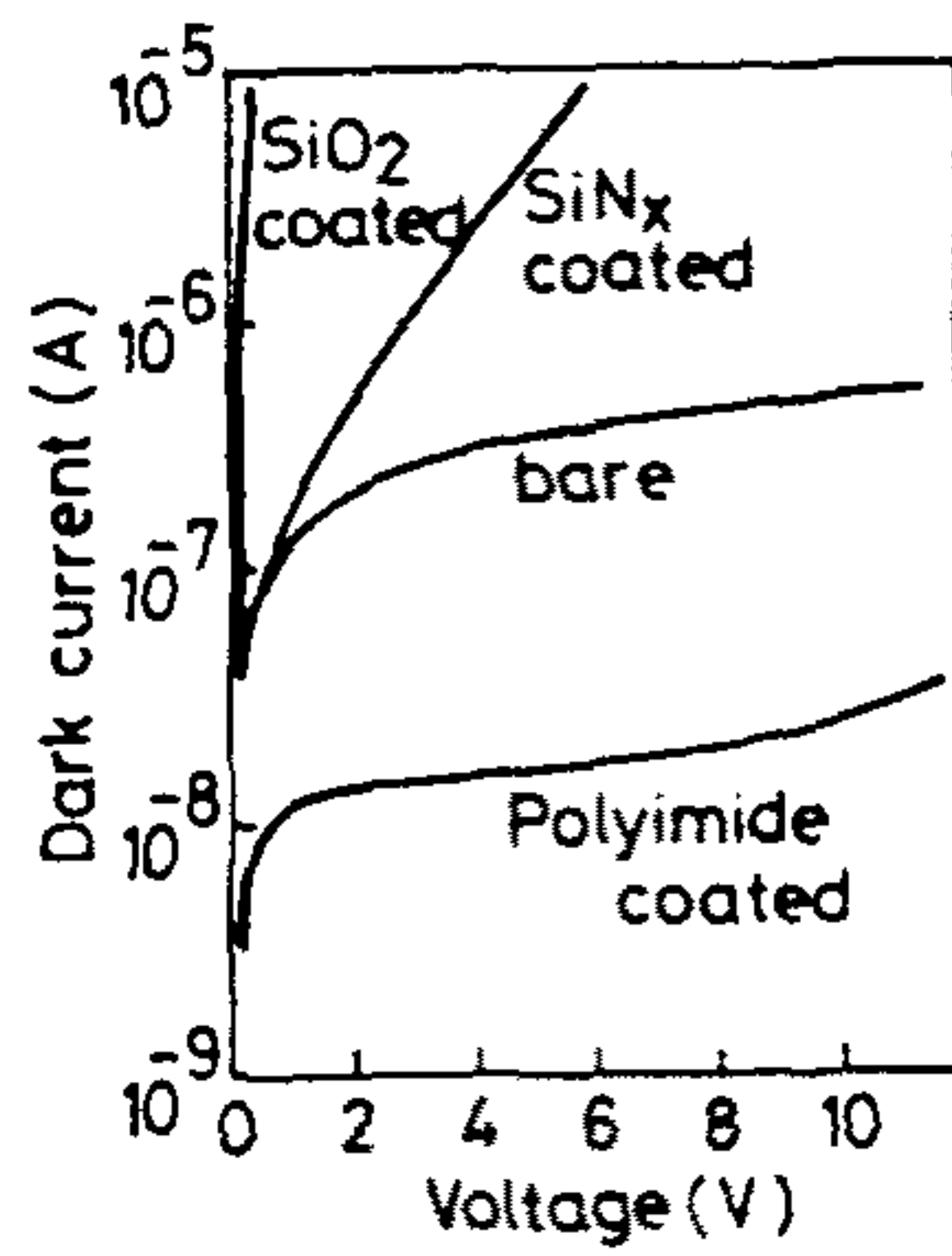
광검출기의 흡수층인 InGaAs는 공기중에서 쉽게 degradation이 되므로 OEIC의 신뢰도 향상을 위하여 표면 passivation이 필수적이다. 뿐만 아니라 광수신 OEIC는 수신감도를 높이기 위하여 누설 전류를 줄여야 하는데 이 누설 전류는 표면에서의 에너지 준위에 의한 표면 누설 전류가 가장 심각하므로 누설 전류 저감을 위해서도 적절한 passivation 기술이 요구된다. (그림 2-11)은 InGaAs 광검출기에서 여러가지 passivation 물질에 따른 누설 전류를 보여준다<sup>(49)</sup>. Polyimide가 누설 전류 저감을 위한 passivation 물질로 가장 우수함을 알 수 있다.

#### 라. 기생 용량 저감 기술

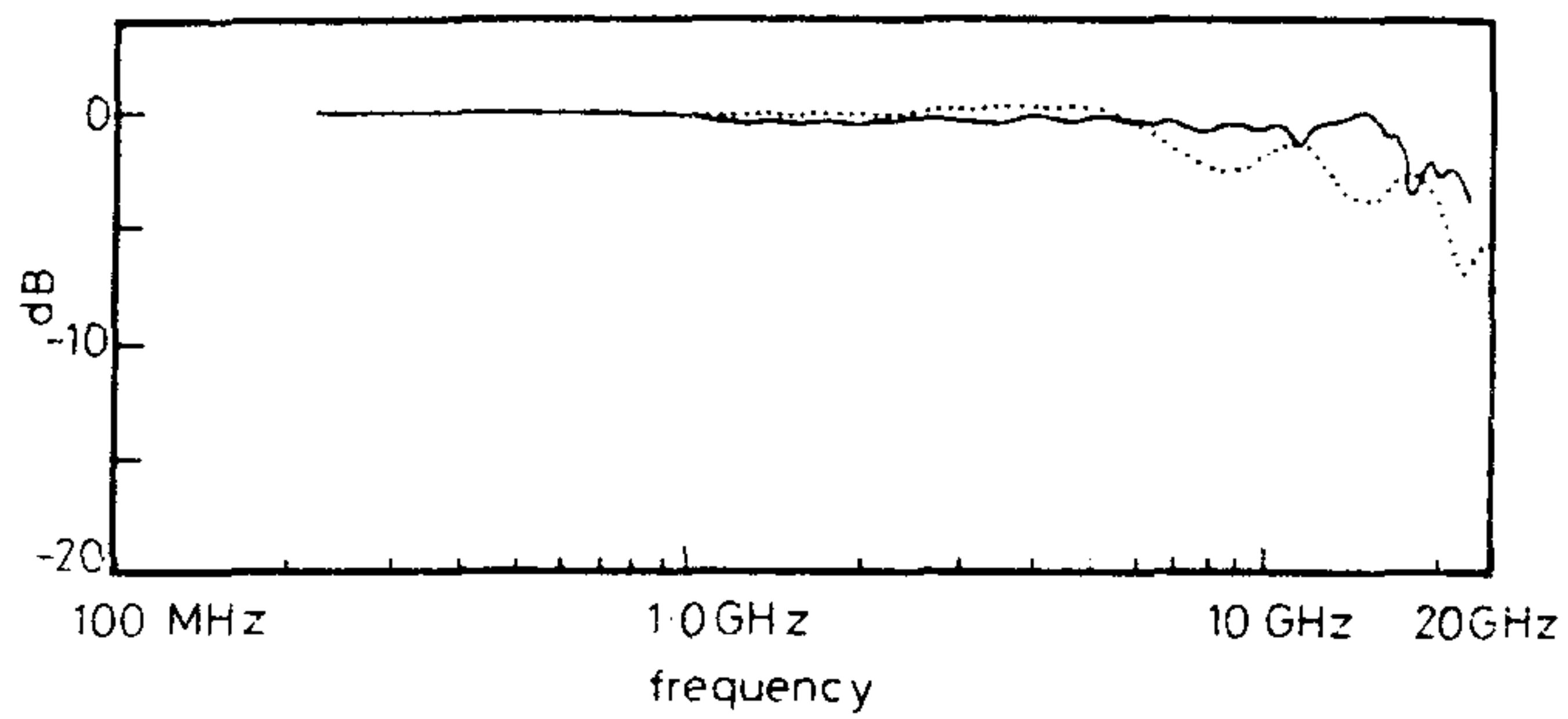
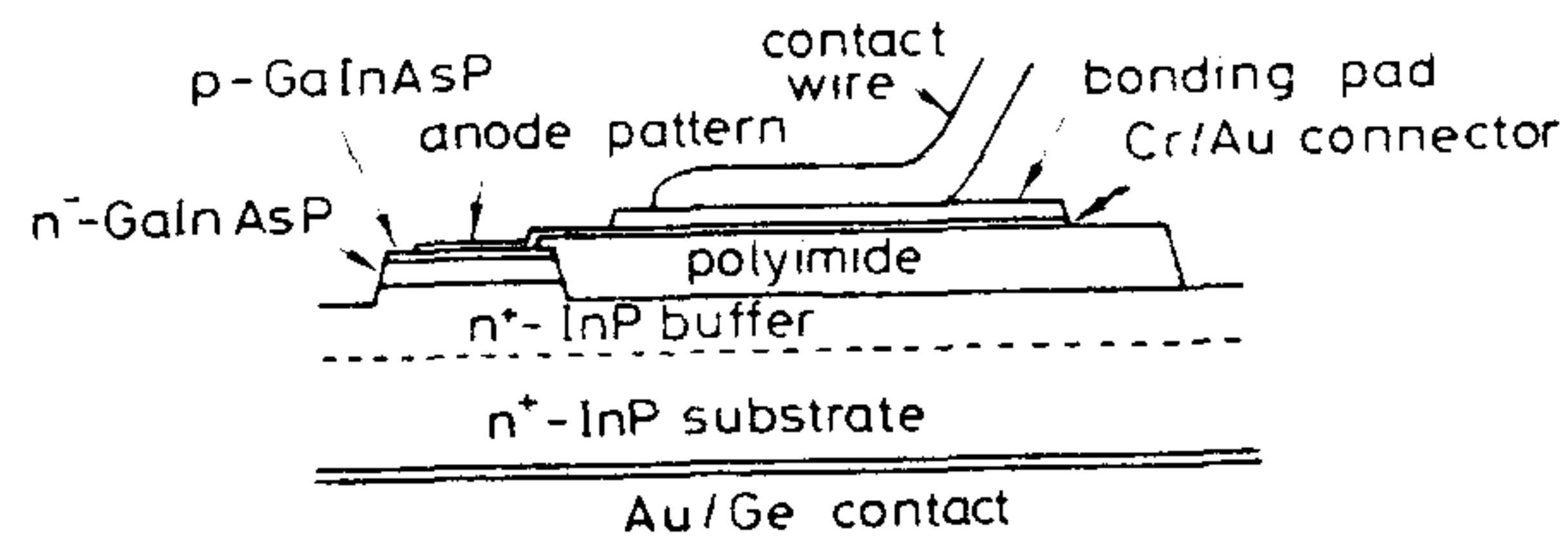
고속 동작 OEIC를 제작하기 위해서는 각 소자의 정전 용량과 기타 기생 용량을 줄이는 것이 필수적이다. 그러나 광검출기나 트랜지스터와 같은 구성 소자의 정전 용량은 활성 영역의 면적과 비례하므로 양자 효율이나 전달 conductance와 같은 다른 소자 특성과 보상 관계에 놓이게 되어 일방적으로 면적을 줄여 정전 용량을 감소시킬 수는 없다. 그러므로 전기 배선이나 bonding pad 등에서 오는 불필요한 기생 용량을 제거하여 전체 용량을 줄여야 한다. 이러한 기생 용량 저감을 위해서는 모든 배선이나 bonding pad가 반절연 기판 위에 놓이도록 하여야 하며, 부득이한 경우는 air bridge를 사용하든지<sup>(63)</sup> 유전율이 낮고 비교적 두껍게 coating할 수 있는 polyimide 위로 전기 배선이 지나가도록 하여야 한다. (그림 2-12)는 n형 기판을 사용하였지만 polyimide 위에 bonding pad를 만들어 18 GHz 이상의 대역폭을 갖는 PIN PD를 보여 준다<sup>(64)</sup>.



(그림 2-10) 이온빔 식각에 의한 평면화 기술 [17]



(그림 2-11) Passivation 물질에 따른 InGaAs 광검출기에서의 누설 전류



— HP 8565A spectrum analyser  
 ..... FFT of temporal impulse response with a correction for finite sampling window

(그림 2-12) Polyimide 위에 bonding pad를 만든 PIN PD의 단면도와 주파수 특성

## 제 4 절 결 론

본 장에서는 OEIC 출현의 동기와 필요성 및 그 종류들에 관하여 살펴 보았으며, 특히 장과장계 광수신 OEIC의 연구 현황과 공정 기술에 관하여 고찰하였다. 아직까지는 InP계 트랜지스터 기술의 미숙으로 인하여 OEIC의 성능 자체가 하이브리드 형태의 광수신기에 뒤지고 있는 실정이며, 집적 구조 역시 여러가지가 시도되고 있는 단계이다. 성능과 공정면에서 평면 매립형이 가장 바람직한 구조로 여겨지고 있으며, 이 구조에 적합한 평면형 광검출기 구조의 연구가 요구되고 있다. 또한 전자소자로는 이온 주입된 JFET나 InAlAs 또는 (Al)GaAs를 중간층으로 넣은 MESFET 또는 HEMT가 유력시 된다.

## 제 3 장      장파장 광수신 OEIC의 설계

여 백

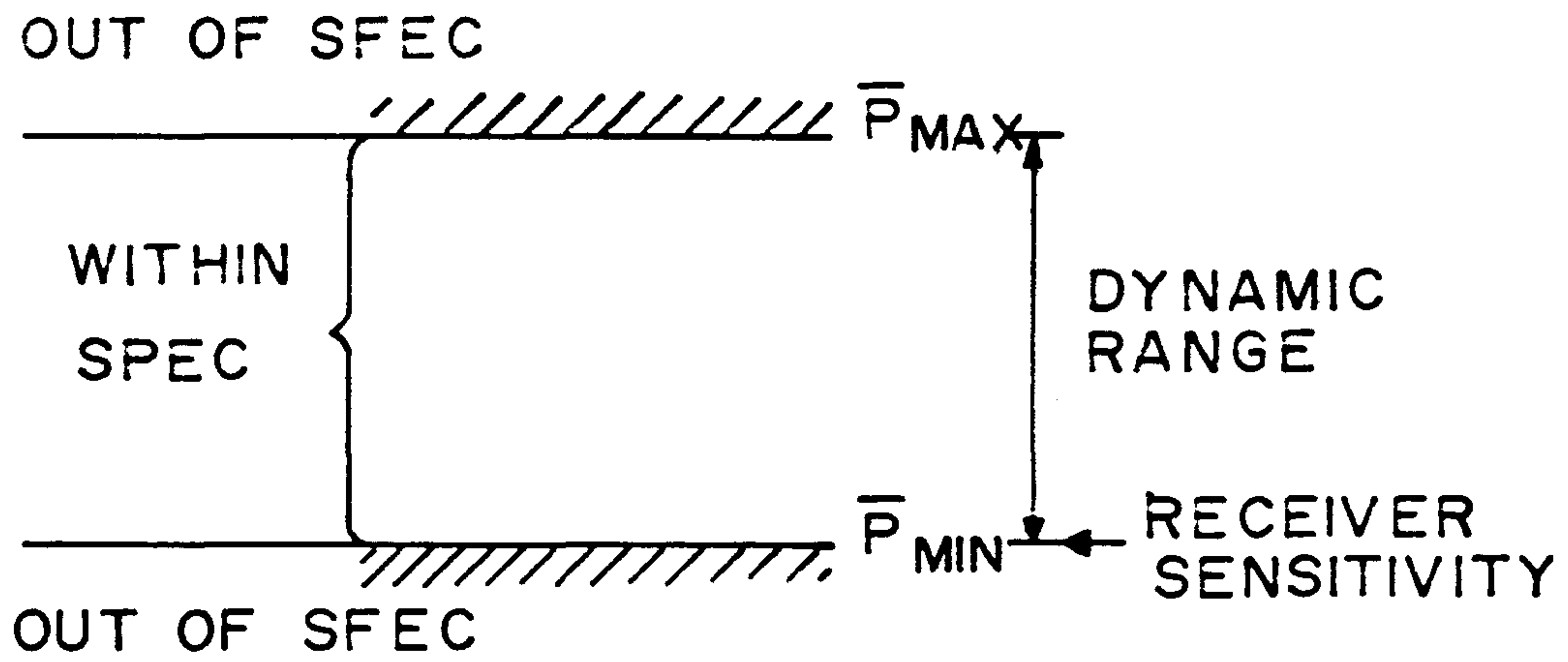
## 제 3 장 장파장 광수신 OEIC의 설계

### 제 1 절 개 요

광통신 시스템의 중요한 부품중의 하나인 광수신기는 입력된 광신호를 검출하여 이를 전기 신호로 바꾸어 주는 역할을 한다. 광수신기 설계의 기본 요건은 주어진 BER (Bit Error Rate) 혹은 SNR (Signal to Noise Ratio)에서 감지할 수 있는 평균 광출력의 크기를 최소화 시키는데 있다. 감지할 수 있는 최소한의 광출력 즉 수신감도 (sensitivity)는 광검출기와 광수신 증폭기의 잡음 출력 레벨에 의해 결정된다. 그리고 신호 처리가 가능한 최대의 광출력인 dynamic range를 크게하는 것도 주요한 설계 요건 중의 하나이다. 이것은 광검출기와 광수신 증폭기의 비선형성과 포화 특성에 의해 결정된다. (그림 3-1)에 이러한 sensitivity와 dynamic range의 개념을 도식화 하였다. 가장 간단한 광수신기는 광검출기에 직렬로 바이어스 저항이 연결되고 여기에 증폭기가 연결된 형태로서, 이 경우 수신기의 대역폭은 광검출기와 증폭기의 입력 정전 용량과 바이어스 저항  $R_b$ 에 의해  $BW = 1/(2\pi R_b C_i)$ 로 결정된다. 그러나 최적의 광수신 회로 설계를 위해서는 잡음 특성을 고려한 sensitivity가 최소화 되도록 하여야 한다. 중요한 잡음원으로는 바이어스 저항의 Johnson 잡음 ( $4kTB/R_b$ ), 광검출기와 FET 게이트의 누설 전류에 의한 shot 잡음 ( $2qI_1B$ ), 및 FET 증폭기의 입력 잡음 ( $4kTB(2\pi B)^2 C_i/g_m$ ) 등이 있으며 이러한 잡음들은 신호 전송 속도 (bit rate)인 B에 의해 결정된다.

본 장에서는 먼저 광수신기의 잡음 특성을 고찰하고, 2 Gbps의 전송 속도를 얻기 위한 수신 감도와 대역폭을 계산하였으며, 새로운 구조의 광수신 OEIC를 제안하였다.





(그림 3-1) 광수신기의 sensitivity와 dynamic range의 개념도

## 제 2 절 광수신 OEIC의 설계 요건<sup>(1)</sup>

### 1. 기본적인 광수신기의 구조

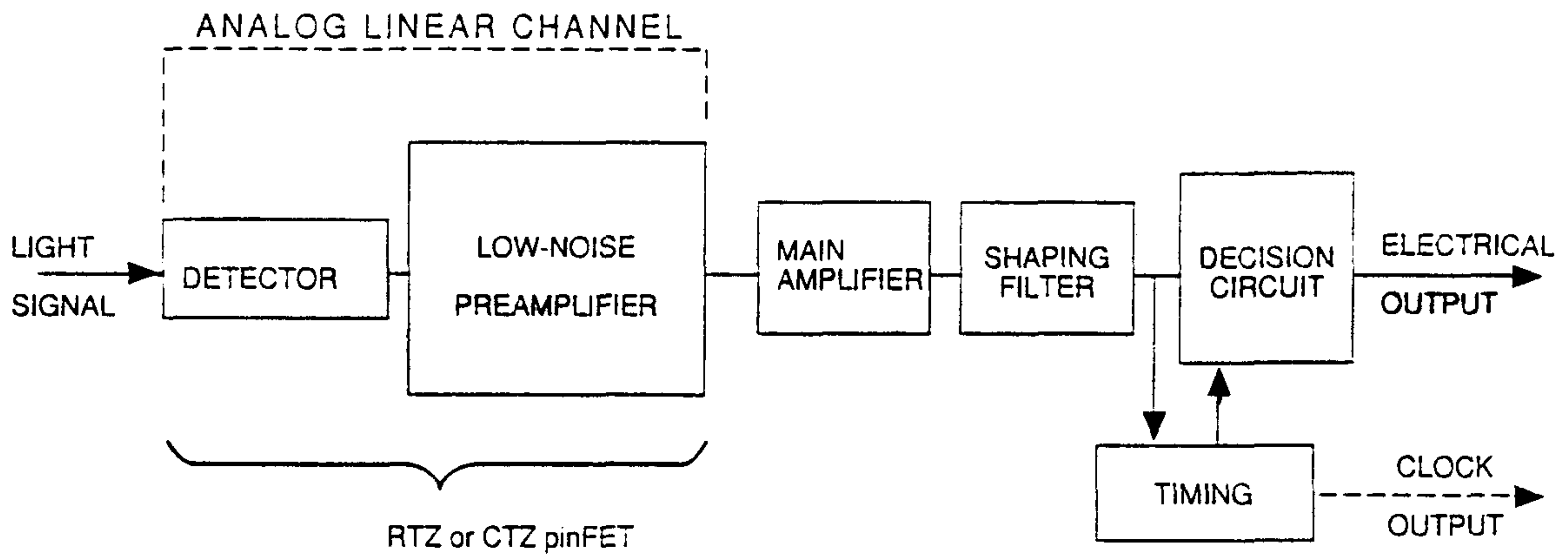
기본적인 광수신기의 block diagram이 (그림 3-2)에 있다. 광검출기, 저 잡음 전치 증폭기, 주 증폭기, equalizer 및 필터로서 구성되어 있으며, 이 중에서 작은 전기 신호를 취급하는 광검출기와 전치 증폭기 부분이 전체 수신감도를 결정하게 되므로 실제로 단일 칩 집적의 필요성이 가장 높은 부분이다. 광검출기와 전치 증폭기의 회로 구성은 다음과 같이 세가지로 나눌 수 있다.

#### 가. 저임피던스 증폭기

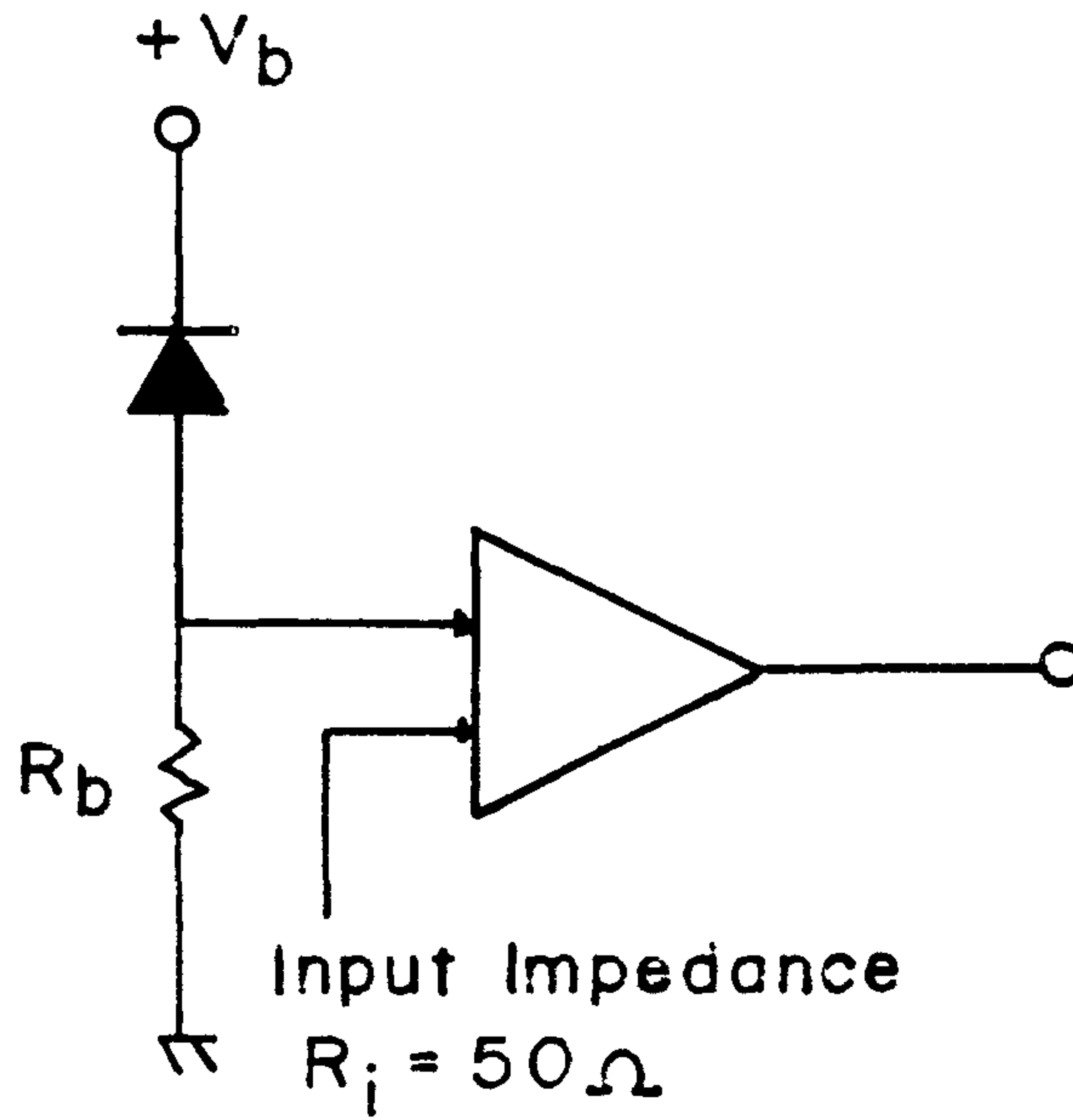
저임피던스 증폭기는 (그림 3-3)에 보인 것과 같이 광검출기에 연결된 바이어스 저항이 통상의  $50 \Omega$ 인 경우이다. 상품화된 증폭기를 쉽게 사용할 수 있으며, 바이어스 저항값이 매우 적으므로 쉽게 큰 대역폭을 얻을 수 있는 장점이 있다. 그러나 바이어스 저항에서의 열잡음이 매우 커서 수신감도가 나쁜 단점이 있다. 이러한 이유로 저임피던스 증폭기는 거의 사용하지 않는다.

#### 나. 고임피던스 증폭기

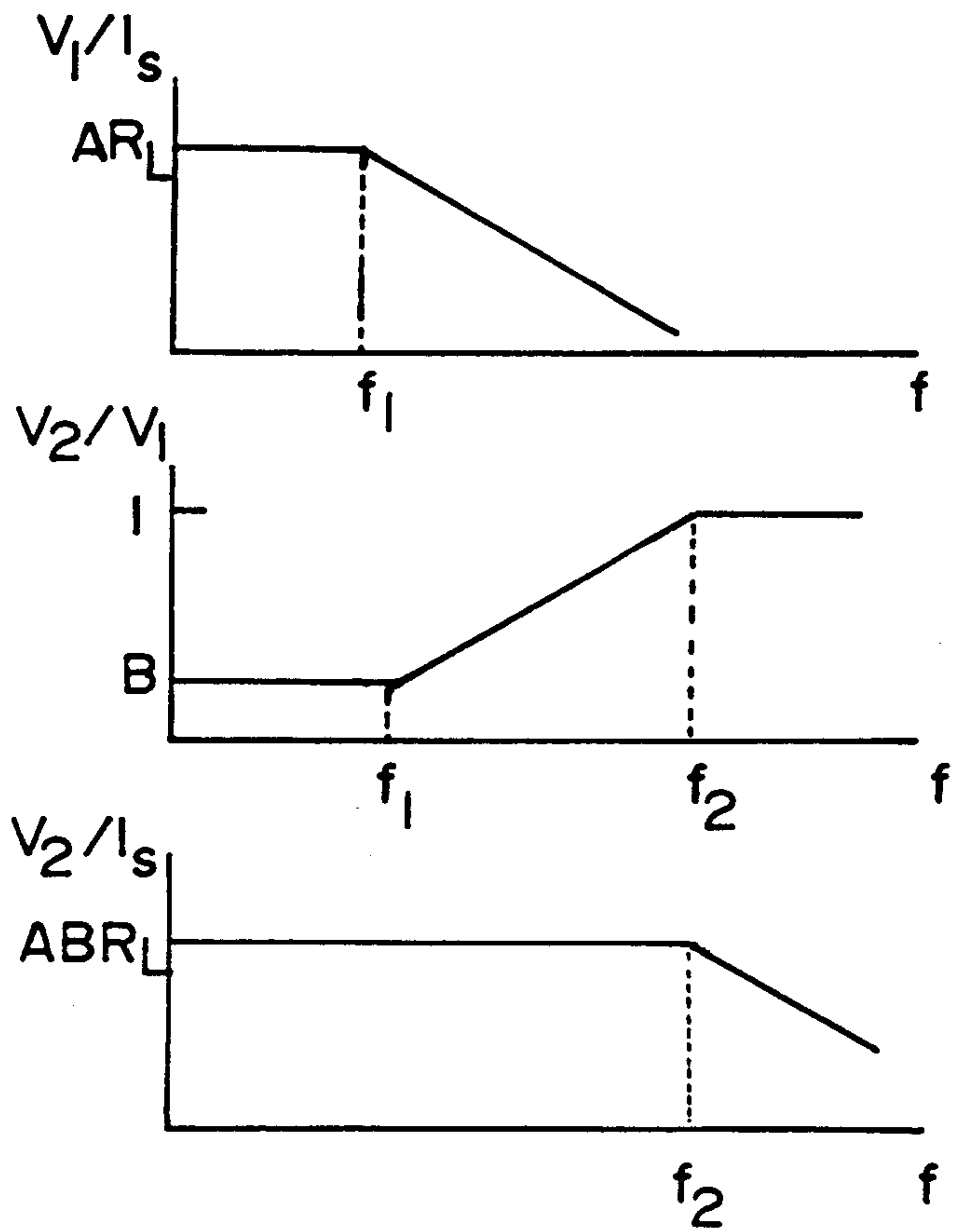
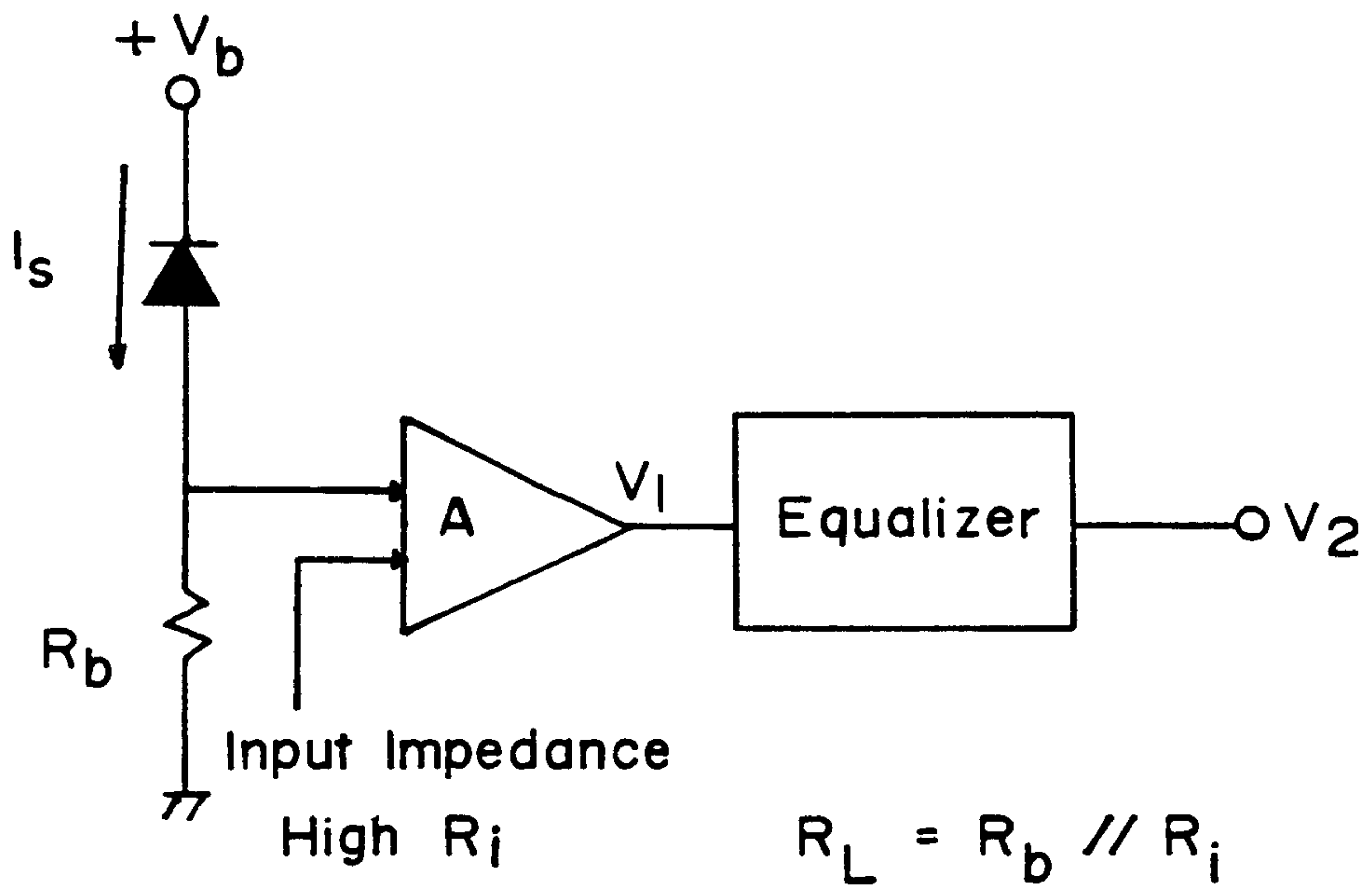
고임피던스 증폭기는 잡음 레벨을 낮추기 위해 입력 임피던스를 크게 한 증폭기이다. 바이어스 저항의 열잡음이 전체 수신감도에 영향을 끼치지 않을 정도로 저항값을 크게 하여야 한다. 그러나 이 증폭기는 입력의 RC 시정수가 커서 대역폭이 매우 작아지는 단점이 있다. 그러므로 주증폭기 뒤에 equalizer를 연결하여 주파수를 보상해 줄 필요가 있다. 그러나 이때에는 증폭기의 pole과 equalizer의 zero를 일치시켜야 하므로 회로 설계가 어렵게 된다. (그림 3-4)는 equalizer가 달린 고임피던스 증폭기의 개략도와 각 부분의 주파수 특성이다.



(그림 3-2) 기본적인 광수신기의 block diagram



(그림 3-3) 저임피던스 증폭기의 회로 구성



(그림 3-4) 고임피던스 증폭기의 회로 구성과 각 부분의 주파수 특성

#### 다. 전달 임피던스 증폭기

전달 임피던스 증폭기는 고임피던스 증폭기에 부채환(negative feedback)을 걸어 잡음 특성과 대역폭을 모두 향상 시키려는 회로다. 이 증폭 회로에서는 loop 이득인  $(1+\beta A)$ 배 만큼 대역폭이 증가한다. 그러나 전체 closed loop 이득은  $1/(1+\beta A)$ 배 만큼 감소하게 된다. (그림 3-5)는 이러한 전달 임피던스 증폭기의 개략도이며, <표 3-1>은 고임피던스 증폭기와 전달 임피던스 증폭기의 특징을 비교한 것이다.

### 2. 잡음 특성 분석<sup>(2)</sup>

잡음이라 하면 원하는 신호를 방해하는 모든 원치않는 것들을 말하며, 중요한 잡음원으로는 열잡음, 저주파수 잡음 및 shot 잡음 등이 있다.

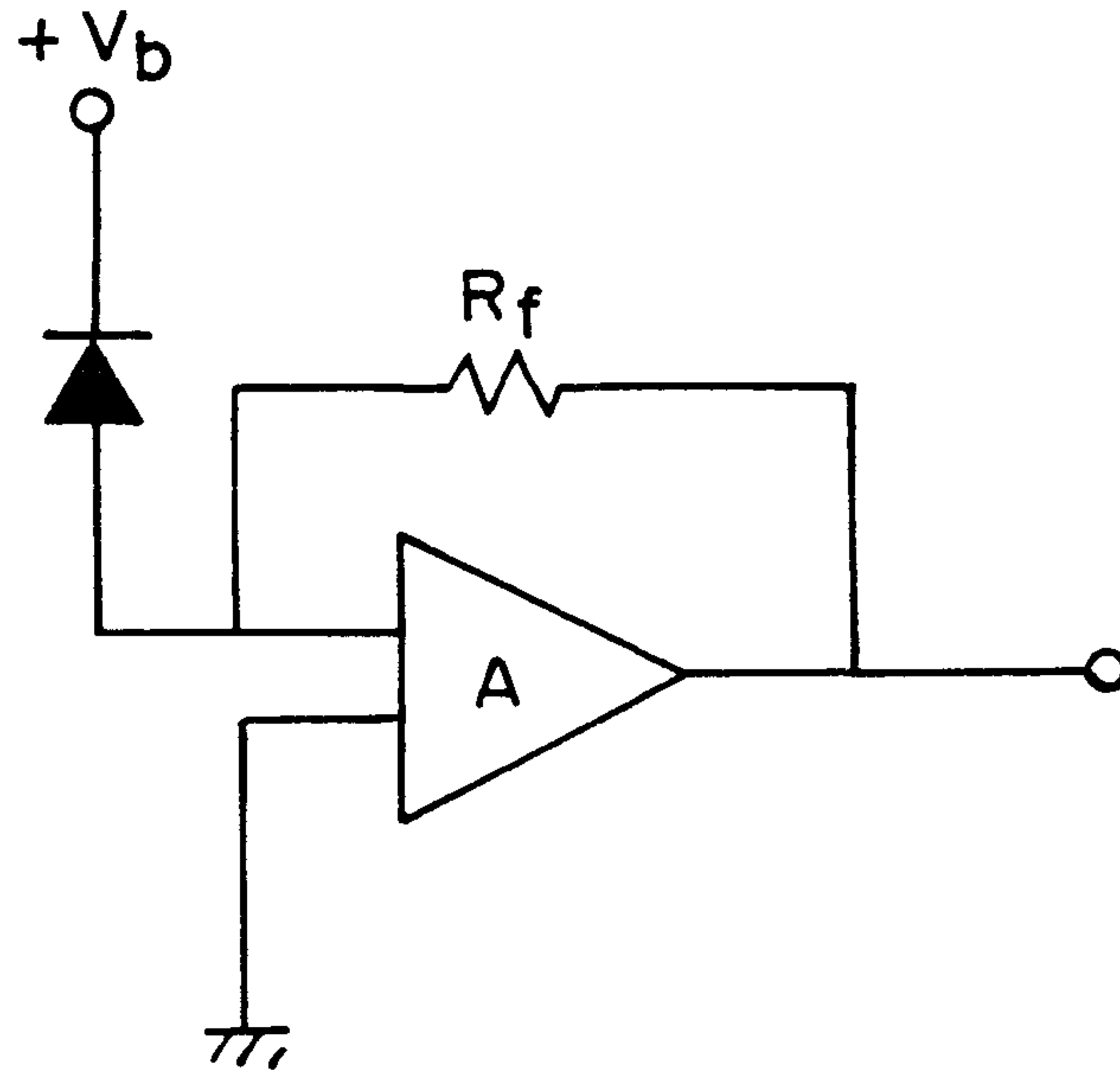
#### 가. 열잡음

열잡음은 도체내에서 열적으로 random 운동을 하는 전하 반송자들에 의해 생긴다. 이러한 열운동은 온도에 비례하며, 유효 잡음 출력은 다음 식과 같이 된다.

$$N_i = kT\Delta f \quad \text{-----} \quad (3-1)$$

여기에서  $k$ 는 Boltzman 상수 ( $1.38 \times 10^{-23}$  Wsec/°K)이며,  $T$ 는 절대 온도,  $\Delta f$ 는 측정 장치의 잡음 대역폭이다. 이 유효 잡음 출력은 내부 저항이 부하 저항과 같은 전원으로부터 공급되는 출력으로 볼수 있으므로

$$N_i = kT\Delta f = E_i^2/4R \quad \text{-----} \quad (3-2)$$



(그림 3-5) 전달 임피던스 증폭기의 회로 구성

<표 3-1> 고임피던스 증폭기와 전달 임피던스 증폭기의 특성 비교

High Impedance Amp. (HZ)	Trans-Impedance Amp. (TZ)
- High Sensitivity	- Wide Dynamic Range
- Limited Dynamic range	- More Noise due to Feedback Resistance Noise
- Design Complexity : Pole-Zero Matching Between Front End Amplifier and Equalizer	- Simpler Design

로 쓸수 있다. 그러므로 저항 R의 rms 잡음 전압은

$$E_i = (4kT\Delta f)^{1/2} \text{-----} (3-3)$$

이며, R은 부하 저항, 혹은 부하 임피던스의 실수이다. Norton의 이론에 의하면 전압원은 등가 전류원으로 바꿀수 있으며, 이때 등가 잡음 전류는

$$I_i = (4kT\Delta f/R)^{1/2} \text{-----} (3-4)$$

가 된다. (그림 3-6)에 열잡음의 등가회로가 있다.

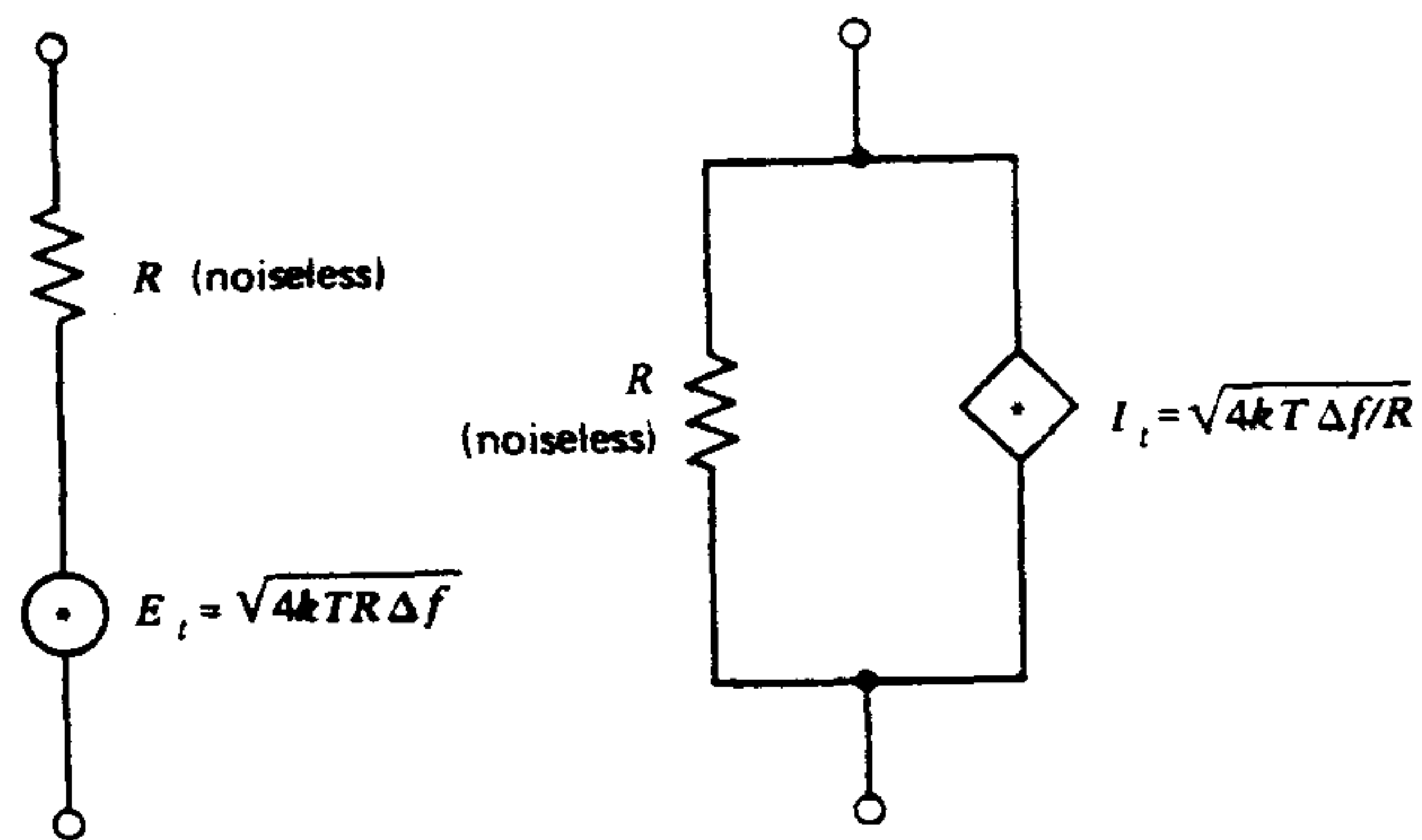
#### 나. 저주파수 잡음

Flicker 잡음 또는 1/f 잡음이라고도 불리우는 이 잡음은 주파수가 감소함에 따라 잡음 출력이 증가하는 특징을 가지고 있다. 출력은 1/f<sup>α</sup>을 따르며 α는 보통 1이나 소자에 따라서 0.8 내지 1.3의 값을 갖는 것으로 알려져 있다. 반도체 소자에서의 1/f 잡음의 주요 원인은 표면이나 계면의 에너지 상태에서 반송자의 재결합 및 표면 상태 밀도 등이며, 이의 감소를 위해서 조심스러운 표면 처리 기술이 요구된다. 이러한 표면 특히 반도체와 passivation막 사이의 계면의 특성은 잡음뿐만 아니라 누설 전류에도 가장 중요 원인이 되므로 안정된 계면 특성의 확보가 중요하다.

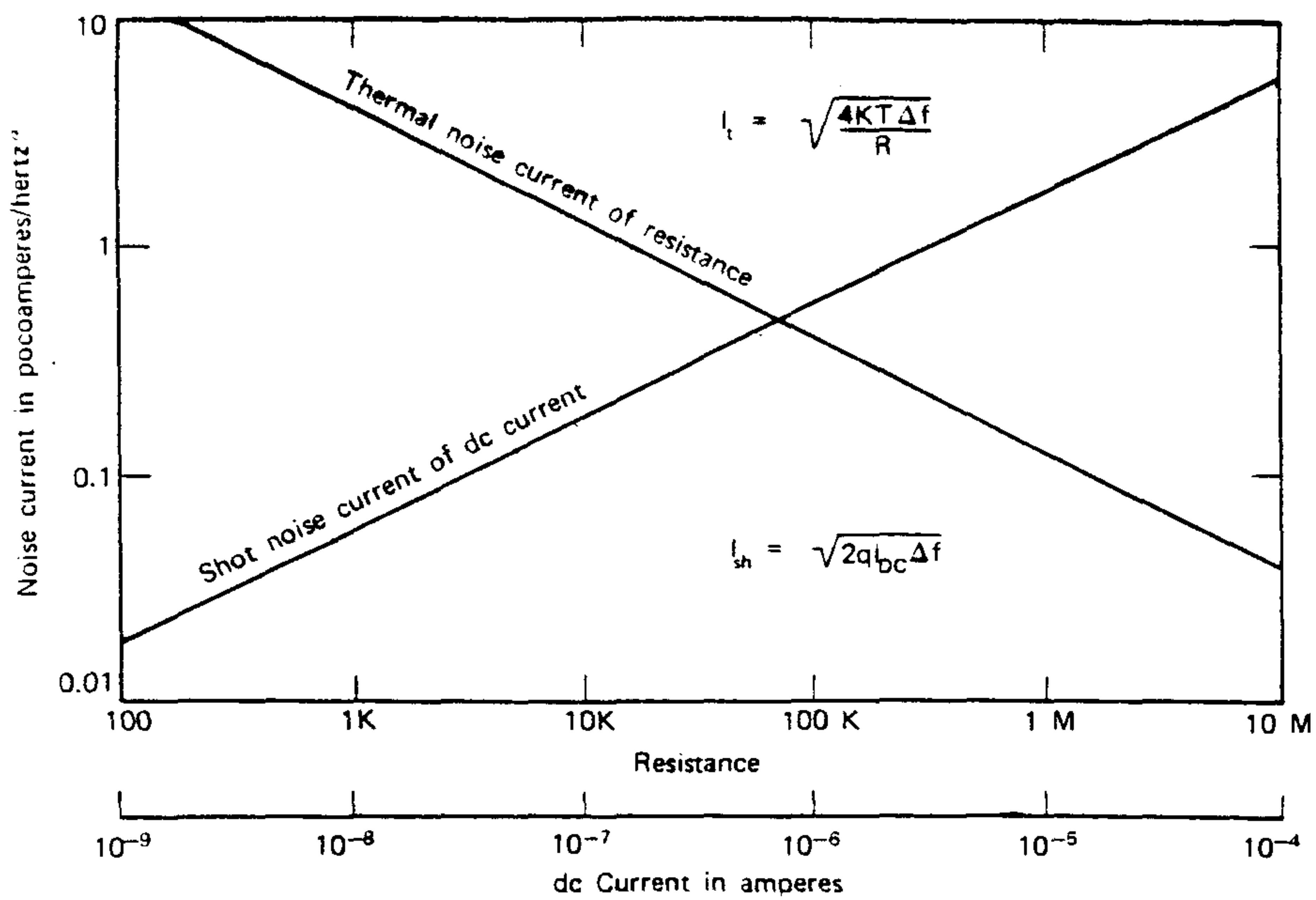
유효 잡음 출력은

$$N_i = K_1 \ln(h_h/f_l) \text{-----} (3-5)$$

이며, 여기에서 f<sub>h</sub>, f<sub>l</sub>은 주파수 대역의 상한 및 하한 주파수이다. 이에 해당하는 잡음 전압은



(그림 3-6) 열잡음의 등가 회로



(그림 3-7) 열잡음과 shot 잡음의 저항값과 직류 전류값에 따른 잡음 전류의 크기



$$E_1^2 = K \ln(1 + \Delta f/f_1) \approx K \Delta f/f_1 \quad \text{-----} \quad (3-6)$$

와 같이 된다.

다. Shot 잡음

Shot 잡음은 진공관, 트랜지스터 또는 다이오드 내부에서 전류의 흐름이 연속적이지 못하고 전자 한개의 전하량을 단위로 펄스 형태의 전류의 합으로 흐르기 때문에 생기는 잡음이다. 이러한 shot 잡음 전류의 rms 값은 다음의 식과 같이 주어진다.

$$I_{sh} = (2qI_{DC}\Delta f)^{1/2} \quad \text{-----} \quad (3-7)$$

여기에서  $q$ 는 전자의 전하량이며,  $I_{DC}$ 는 직류 전류이다. (그림 3-7)에 열잡음과 shot 잡음의 저항값과 직류 전류값에 따른 잡음 전류의 크기가 있다.

### 3. 광수신기의 수신감도

Digital 시스템에서 광수신기의 sensitivity는 다음의 식 (3-8)과 같이 주어진다.<sup>(3)</sup>

$$S = 10 \log_{10} \{ 10^3 Q 1.24 \langle i^2 \rangle_c^{1/2} / \eta \lambda (1-r)/(1+r) \} \text{ dBm} \quad \text{-----} \quad (3-8)$$

여기에서 sensitivity  $S$ 는 dBm이며,  $Q$ 는 BER에 의해 결정되는 값으로 BER이  $10^{-9}$ 일때  $Q$ 는 6이며,  $10^{-15}$ 일때는 7.9이다.  $\eta$ 는 광검출기의 양자 효율이며,  $\lambda$ 는 사용하는 빛의 파장이다.  $r$ 은 신호 레벨의 광출력 비로써 "0" 레벨의 광출력이 0일때  $r$ 은 0이 된다.  $\langle i^2 \rangle_c^{1/2}$ 은 전체 잡음 전류의 rms값으로 신호 전송 속도가  $B$ 일때 PIN-FET 회로의 전체 잡음은 식 (3-9)와 같다.

$$\langle i^2 \rangle_c = \{4kT/R + 2qI_1\}I_2B + 4kT\Gamma/g_m\{I_2B/R^2 + (2\pi C_i)^2I_3B^2\} \quad \text{---- (3-9)}$$

여기에서는 열잡음과 shot 잡음만을 고려하였으며 저주파수 잡음은 다음과 같은 이유 때문에 제외하였다<sup>(4)</sup>. 첫째 이잡음은 사용 물질과 제작 공정에 따른 의존성이 매우 커서  $\alpha$  값이 0.5에서 2까지의 값을 갖을 수 있으므로 정량화가 어려우며, 둘째 단파장 검출기와 실리콘 증폭기를 갖는 저속 시스템에서는 이 저주파수 잡음의 기여도가 크나 우리의 관심이 되는 1.3  $\mu\text{m}$  파장의 Gbit 급 시스템에서는 실제로 이 잡음이 무시할수 있을 정도로 적다.

(3-9) 식에서 R은 바이어스 저항이며,  $\Gamma$ 는 FET에 따른 수치 상수이며,  $I_2$  및  $I_3$ 는 신호 형태에 따른 Personic integral이다. 본 계산에서 고려한 변수들은  $I_1$ ,  $C_i$ ,  $g_m$ 으로 각각 전체 누설 전류, 전체 입력 capacitance 및 FET의 전달 conductance이다. 계산에 사용한 상수값들은 다음과 같다.

<표 3-2> Sensitivity 계산에 사용한 상수들

$$\text{BER} = 10^{-9}, \quad Q = 6$$

$$r = 0$$

$$\eta \text{ in PIN} = 50 \%$$

$$\lambda = 1.3 \mu\text{m}$$

$$\Gamma = 1.1 \text{ for InGaAs JFET}$$

$$q = 1.6 \times 10^{-19} \text{ C}$$

$$kT = 4.14 \times 10^{-21} \text{ J for 300K}$$

$$I_2 = 0.56 \text{ for NRZ code}$$

$$I_3 = 0.087 \text{ for NRZ code}$$

$$R = 10 \text{ K}\Omega$$

$$B = 2 \text{ Gbps}$$

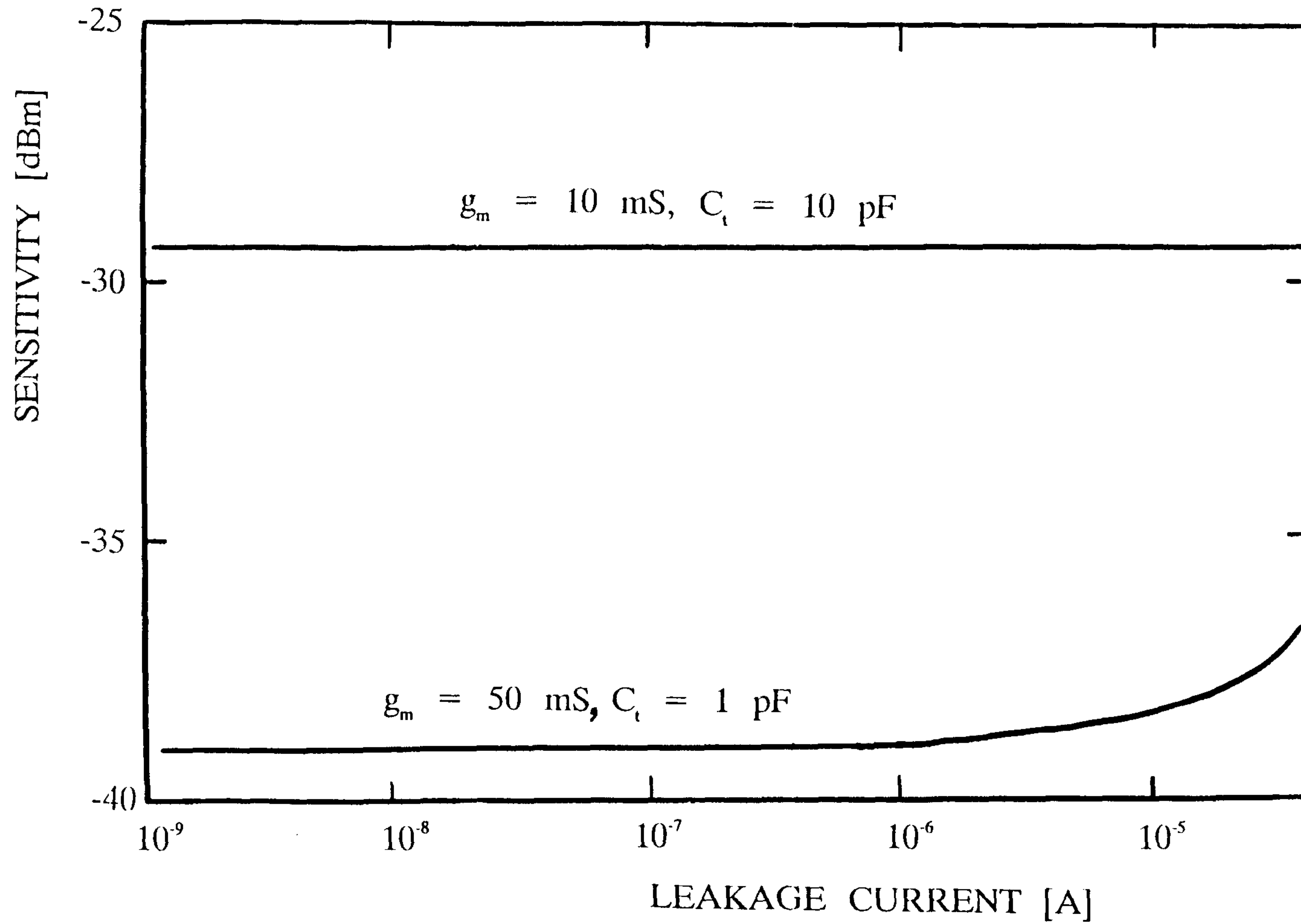
이러한 조건에서  $I_t$ ,  $C_t$  및  $g_m$ 의 영향이 없을 때, 즉 잡음이 바이어스 저항  $R$ 의 열잡음만에 의해 결정될 때 전체 잡음은  $\langle i^2 \rangle_c = 1.85 \times 10^{-15} \text{ A}^2$ 이며, sensitivity는 -43.1 dBm으로 이것이  $R = 10 \text{ K}\Omega$ 일때 2Gbps NRZ 신호로 얻을 수 있는 최고의 sensitivity이다.

#### 가. 누설 전류에 의한 영향

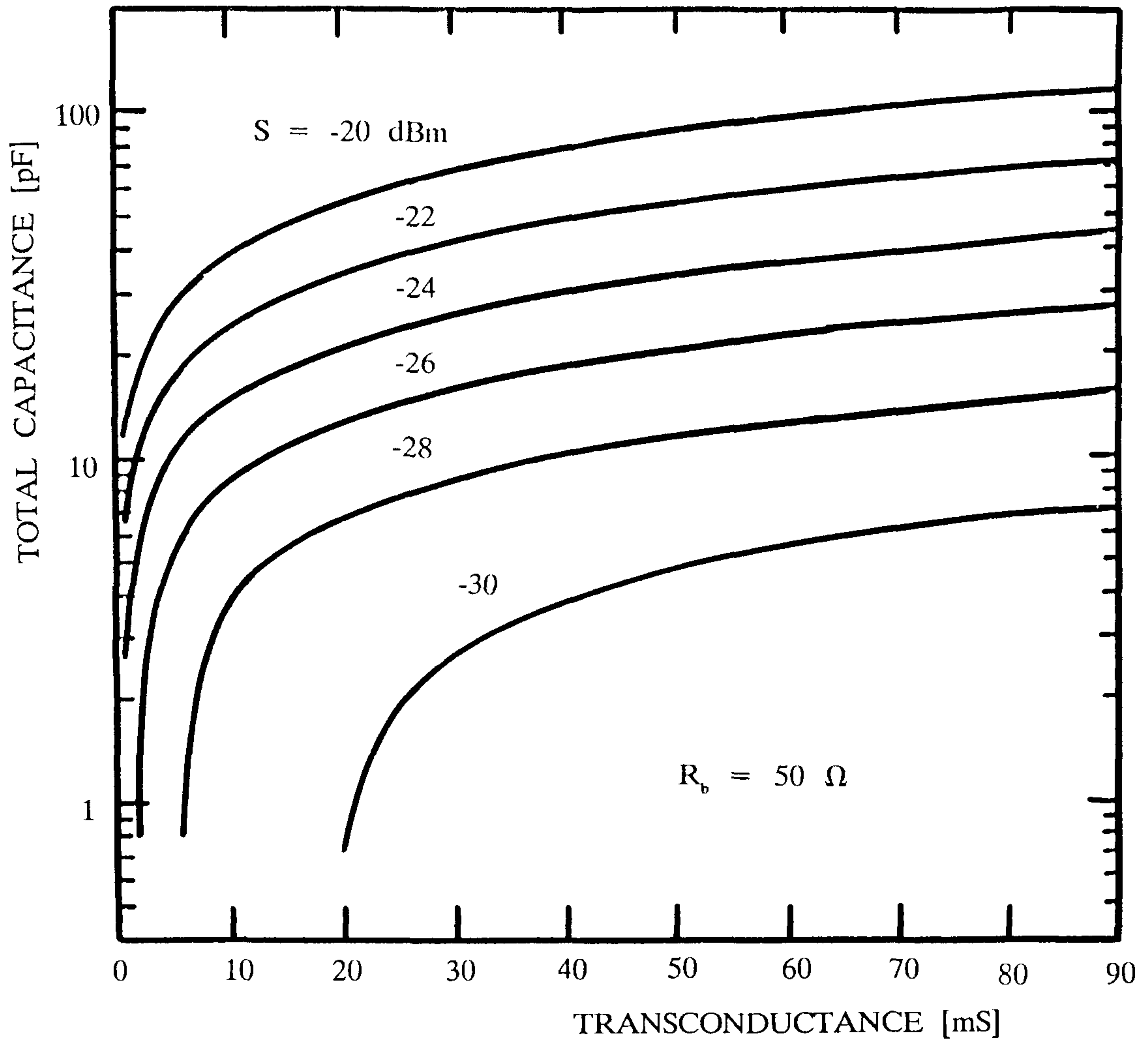
다음 (그림 3-8)은  $C_t$ 와  $g_m$ 을 고정시키고 누설 전류  $I_t$ 에 따른 sensitivity의 변화를 그린 것이다.  $g_m$ 이 10 mS이고  $C_t$ 가 10 pF일때는 누설 전류에 의한 영향이 10  $\mu\text{A}$ 까지도 나타나지 않는 것을 볼수 있으며,  $g_m$ 이 50 mS이고  $C_t$ 가 1 pF일때는 1  $\mu\text{A}$  부터 누설 전류에 의한 sensitivity의 증가가 나타나는 것을 볼 수 있다. 즉, 누설 전류는 1  $\mu\text{A}$  이하로만 낮추면 sensitivity에 큰 영향을 주지 않는다.

#### 나. 입력 정전 용량과 전달 conductance에 의한 영향

다음 (그림 3-9)에 바이어스 저항이 50  $\Omega$ 일때의 입력 capacitance와 전달 conductance에 따른 등가 sensitivity 곡선이 있다. 여기에서는 누설 전류에 의한 영향을 무시하였다. 입력 capacitance는 작을수록 전달 conductance는 클수록 sensitivity는 향상 되는 것을 알 수 있다. 전달 conductance가 대략 10 mS 이상일 경우는 전달 conductance의 증가에 대하여 sensitivity 향상을 거의 볼 수 없으나, capacitance에 대하여는 대략 8 dB/decade로 sensitivity가 향상되는 것을 볼 수 있다.



(그림 3-8) 누설 전류에 따른 수신감도의 변화



(그림 3-9)  $50 \Omega$ 의 바이어스 저항에서 입력 capacitance와  
 전달 conductance에 따른 등가 sensitivity 곡선

그리고 (그림 3-10)은 바이어스 저항이 10 KΩ인 경우로 50 Ω일때 보다 바이어스 저항의 열잡음의 감소로 인하여 sensitivity가 많이 향상된 것을 볼 수 있다. 이 경우  $g_m$ 이 10 mS이면 -20 dBm의 감도를 얻기 위해서는  $C_i$ 가 40 pF 이하가 되어야 하며, -30 dBm의 감도를 얻기 위해서는 4 pF 이하이어야 한다. 그러나  $g_m$ 이 30이 되면  $C_i$  값은 각각 65 pF와 6.5 pF 이하로 된다.

#### 다. 바이어스 저항의 영향

(그림 3-11)은 바이어스 저항값을 변화 시켰을 때 sensitivity의 변화를 나타낸 것이다. 여기에서도 누설 전류에 의한 shot 잡음을 고려하지 않았다. 바이어스 저항값이 증가함에 따라 열잡음이 감소하여 저항값이 전체 sensitivity에 영향을 주지 않은 영역이 나타나는 것을 볼 수 있다. 전달 conductance와 capacitance가 각각 10 mS와 10 pF, 30 mS와 3 pF 그리고 50 mS와 1 pF일때 바이어스 저항값은 대략 100 Ω, 1 KΩ 그리고 10 KΩ 이상이 되어야 함을 알 수 있다.

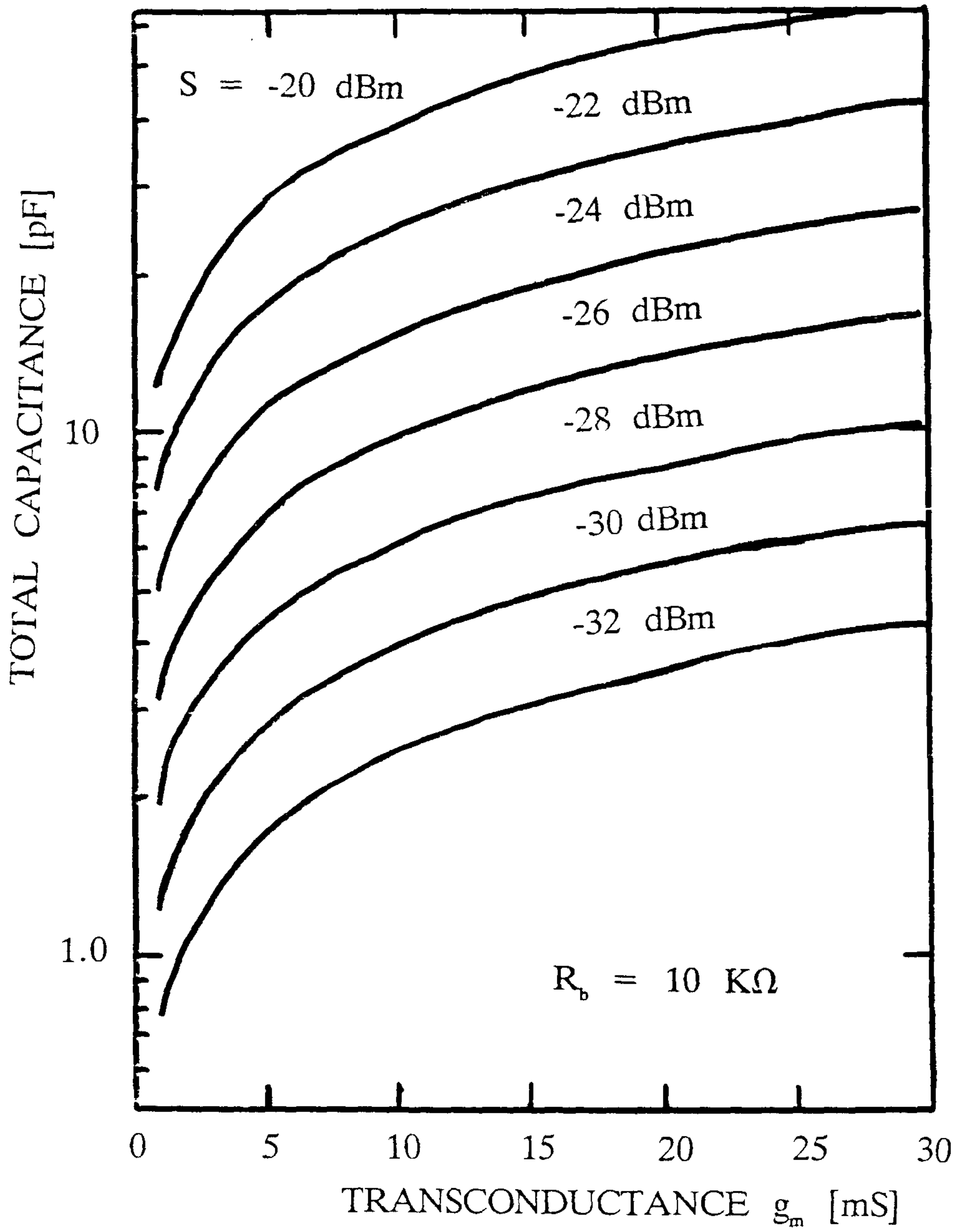
### 4. 광수신기의 대역폭

광수신기의 설계 요건으로서 수신감도와 더불어 -3dB 대역폭이 중요하다. Equalizer를 사용하지 않고 전송속도 B를 얻기 위한 최소한의 대역폭은 NRZ code에서  $L_2B$ 이다<sup>(3)</sup>.

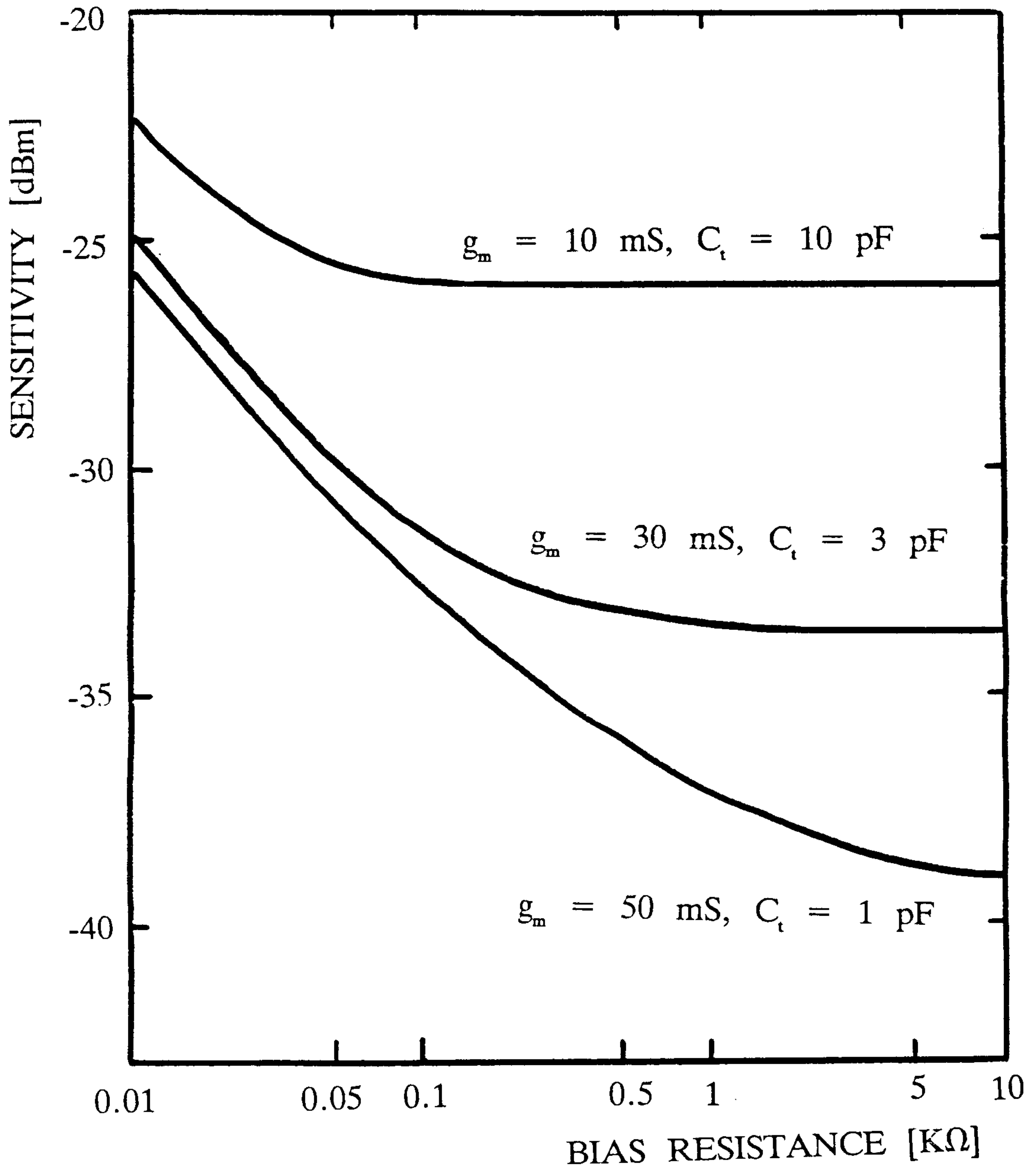
#### 가. 전압 증폭기의 대역폭

(그림 3-12)에 PIN-FET 전압 증폭기의 등가 회로가 있다. 이 등가 회로의 전달 함수는 식 (3-10)으로 표현된다.

$$\frac{V_o(\omega)}{I_s(\omega)} = \frac{-R_b R_L (g_m - j\omega C_{dg})}{(1 + j\omega R_L C_{dg}) \{1 - \omega^2 R_g R_b (C_d + C_s) + j\omega [R_b (C_d + C_s + C_{gs}) + R_g C_{gs}]\}} \quad (3-10)$$



(그림 3-10) 10 KΩ의 바이어스 저항에서 입력 capacitance와 전달 conductance에 따른 등가 sensitivity 곡선



(그림 3-11) 바이어스 저항값에 따른 수신감도의 변화



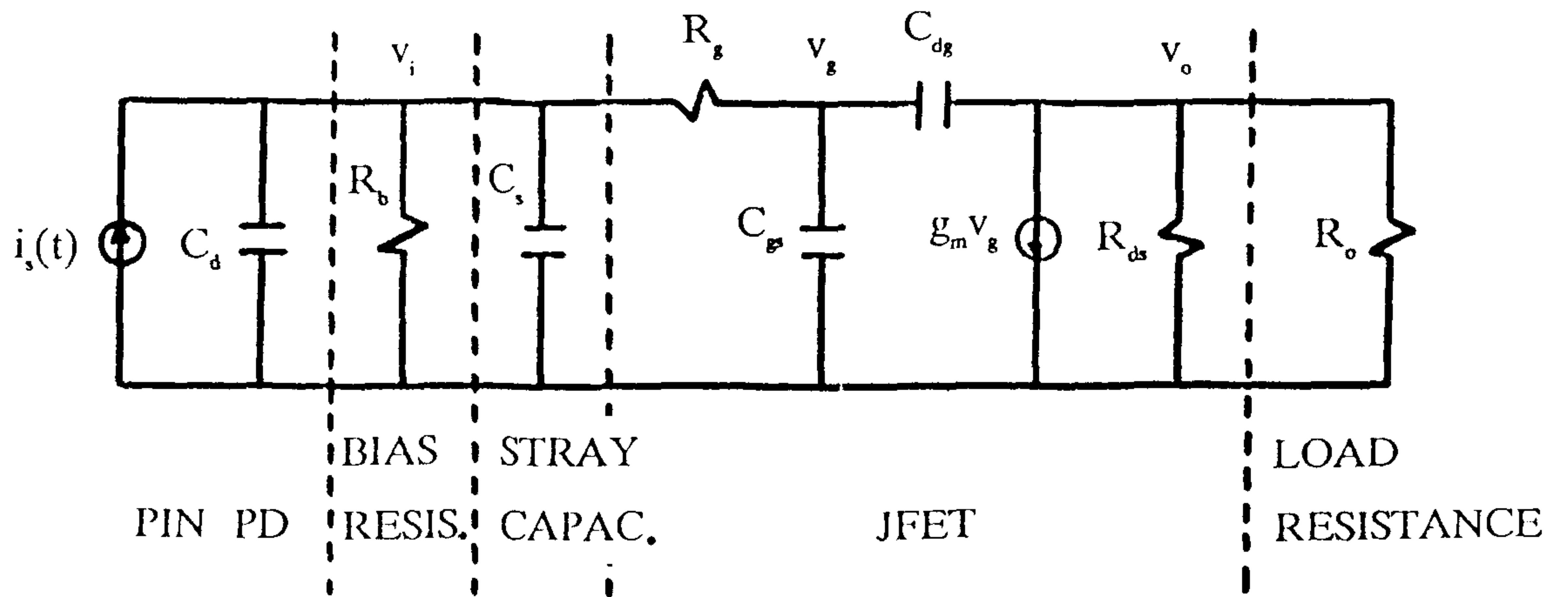
이 회로의 -3 dB 대역폭은,  $R_g < R_b$  일때

$$\omega_{3dB} = 1/R_b(C_d + C_s + C_{gs}) = 1/R_b C_t \quad \text{----- (3-11)}$$

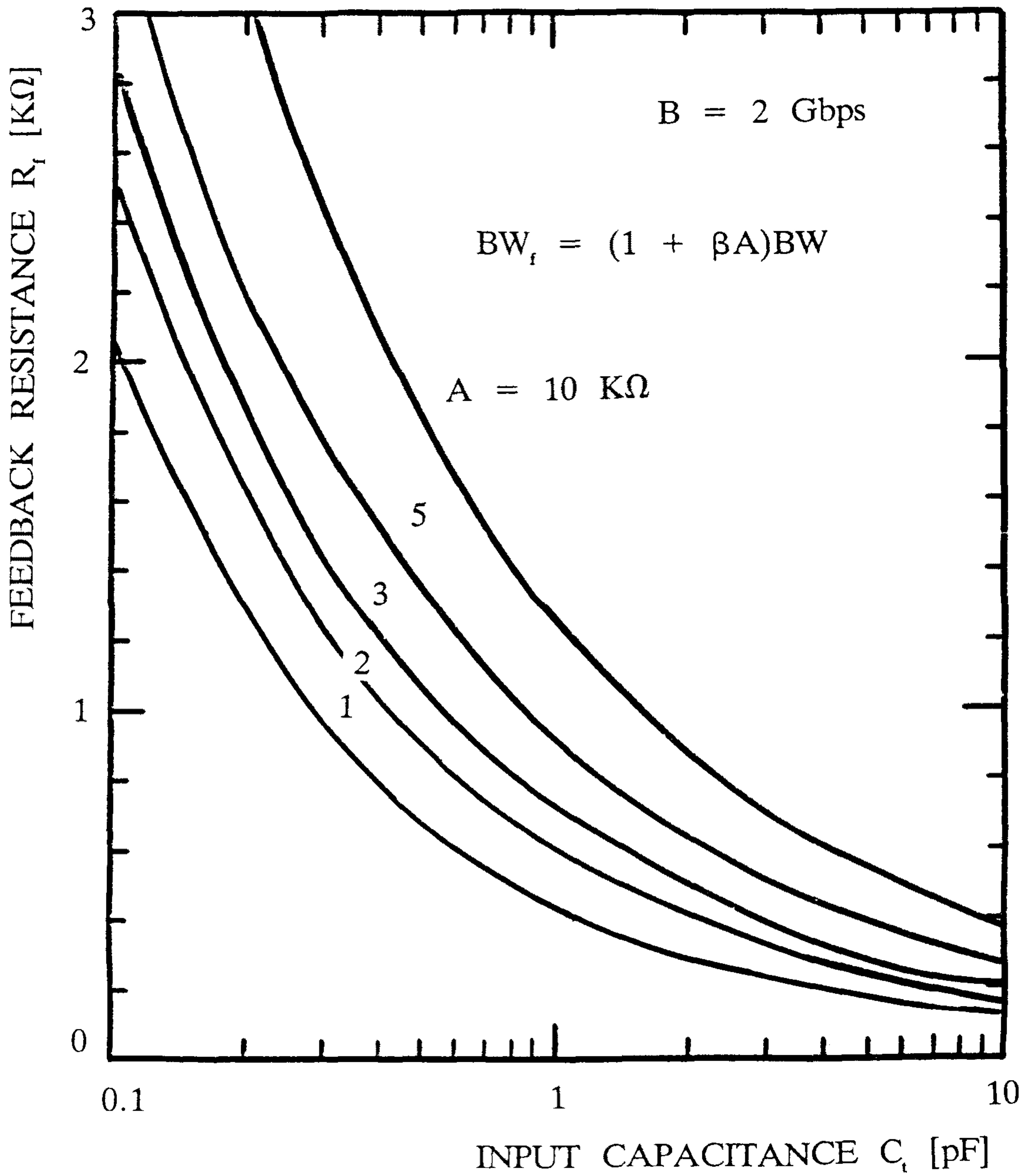
이 된다. 그러므로 전송 속도 B를 얻기 위한 바이어스 저항은

$$R_b < 1/2\pi L_2 B C_t \quad \text{----- (3-12)}$$

와 같이 되어야 한다. 2 Gbps의 전송 속도를 얻기 위한  $R_b$  값은  $C_t$ 가 1 pF일때 142  $\Omega$ 이다.



(그림 3-12) PIN-FET 전압 증폭기의 등가 회로



(그림 3-13) 전달 임피던스 증폭기에서 open loop gain과 전체 입력 capacitance에 따른 feedback 저항값

#### 나. 전달 임피던스 증폭기의 대역폭

Feedback 저항이  $R_f$ 이고, open loop gain이  $-A$ 인 전달 임피던스 증폭기의 대역폭은 전압 증폭기에 비해  $(1 + A/R_f)$  배 만큼 증가한다. 그러므로 전송 속도  $B$ 를 얻기 위한 feedback 저항은

$$R_f < \{1 + (1 + 8\pi L_2 B C_t A)^{1/2}\} / 4\pi L_2 B C_t \approx 3/8\pi L_2 B C_t + 2A \text{ ----- (3-13)}$$

와 같이 된다.  $B$ 가 2 Gbps 일때  $A$  및 전체 입력 capacitance  $C_t$ 에 따른  $R_f$  값이 (그림 3-13)에 있다.  $A$ 가 3 K $\Omega$ 이고  $C_t$ 가 1 pF이면  $R_f$ 는 723  $\Omega$ 으로 전압 증폭기에 비해 5 배 정도 증가된다.

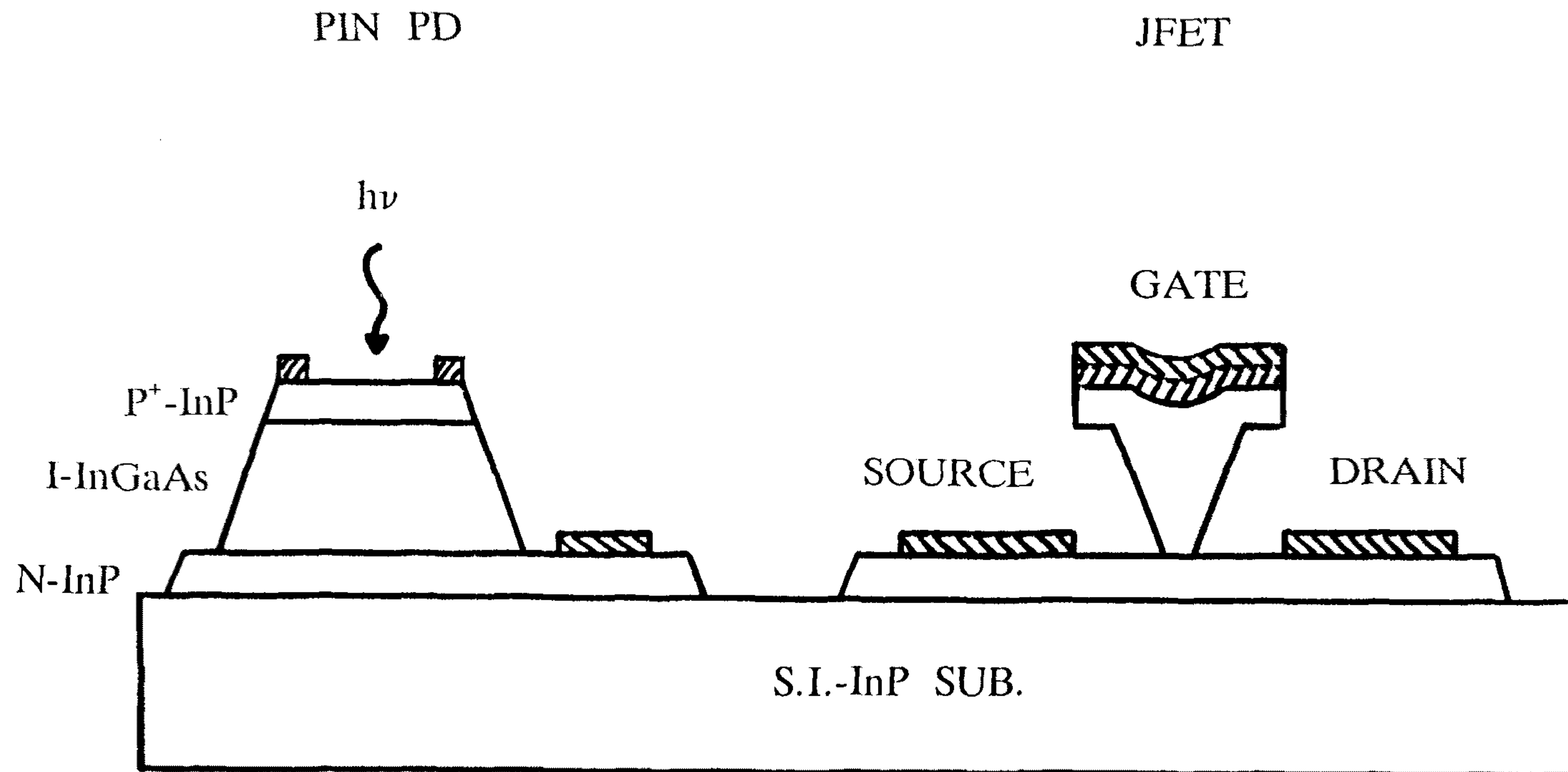
그러므로  $A$ 는 3 K $\Omega$ 이고  $R_f$ 는 723  $\Omega$ 인 전달 임피던스 증폭기를 사용하면,  $C_t$ 가 1 pF,  $g_m$ 이 50 mS에서 (그림 3-11)에 의해 약 -36.7 dBm의 수신감도를 얻을수 있다.

### 제 3 절 제안된 광수신 OEIC의 구조

#### 1. 제안된 광수신 OEIC의 특징

본 연구에서는 InP를 기본으로 한 새로운 구조의 장파장 광수신 OEIC를 제안하였다. 제안된 OEIC의 단면 구조가 (그림 3-14)에 있다. 이 광수신 OEIC는 InGaAs PIN PD와 self-align된 InP JFET를 수평형으로 집적시킨 구조로 다음과 같은 특징을 가지고 있다.

가. 이 구조는 비평면형과 홈 모양 구조의 장점만을 살린 중간형으로, PD와 JFET 층간의 독립적 최적화를 이룰 수 있다. 두 차례의 epitaxy에 의해 성장되



(그림 3-14) 제안된 광수신 OEIC의 단면 구조

는 세 층은 <표 3-3>에 나타난 바와 같이 PD와 JFET에 공유되면서 그 성장 특성은 n형 InP 채널층은 JFET에 의해, n<sup>-</sup>형 InGaAs 흡수층은 PIN PD에 의해 p<sup>+</sup>형 InP clad층은 양쪽에 의해 결정된다.

나. 이 구조에서는 기판의 recess groove 에칭없이 미세 lithography가 가능하다. 즉, JFET의 게이트 형성을 위한 lithography 공정이 1차 epitaxy후 표면 단차가 전혀 없는 상태에서 수행되므로 미세 lithography가 가능하다.

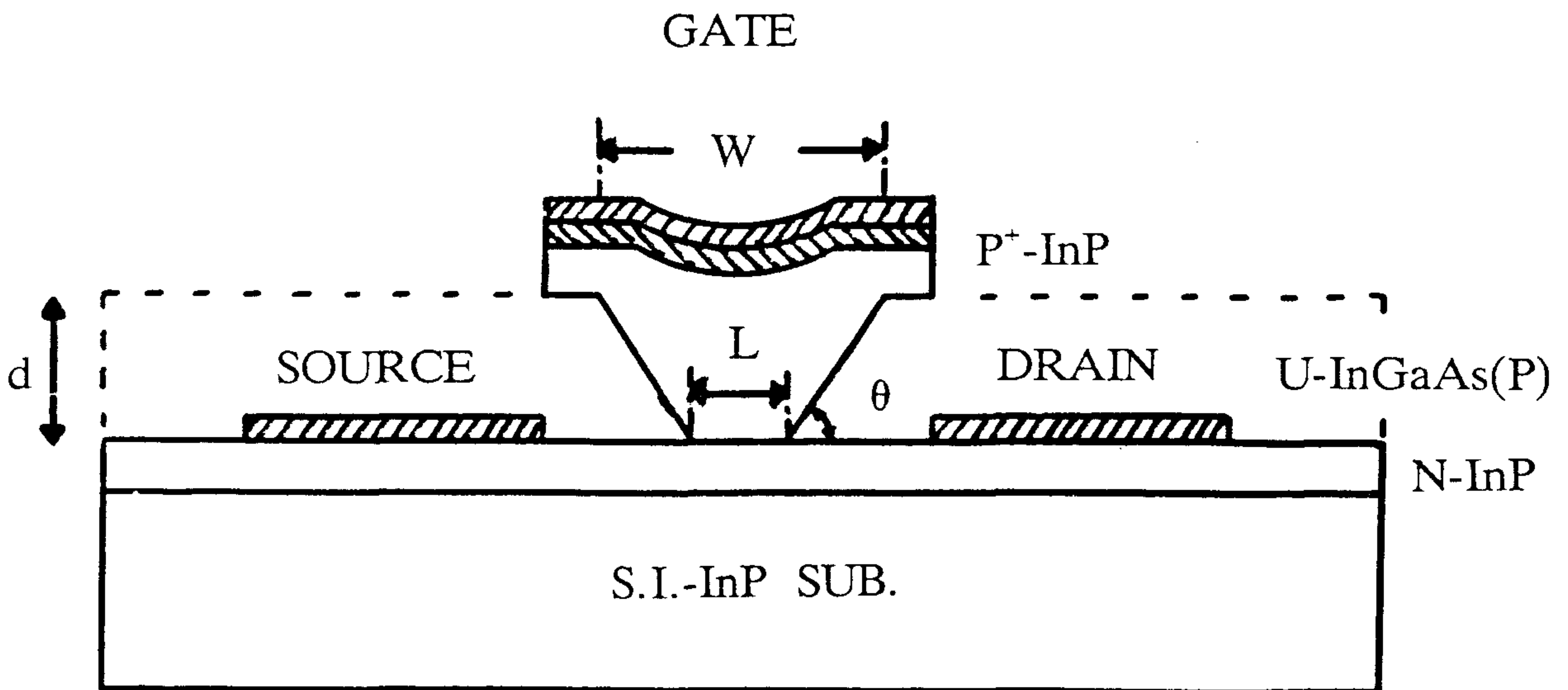
다. 이 구조에서는 종래의 JFET 제작 기술에서 가장 큰 문제가 되는 확산에 의한 게이트 길이의 제한을 극복하고 n<sup>-</sup>-InGaAs층의 이방성 에칭을 이용하여 lithography에 의해 결정되는 마스크상의 길이 보다 더 짧은 게이트 길이를 얻음과 동시에 self-align 방법에 의해 source, drain 및 gate 금속을 증착하여, 고가의 전자빔이나 X선 lithography 장비 없이도 손쉽게 1 μm 혹은 그 이하의 게이트 길이를 갖는 JFET를 제작할 수 있다. 즉 (그림 3-15)의 JFET만의 구조에서 보듯이 반절연 InP 기판 위에 성장된 n형 InP 채널층과 도우핑이 안된 InGaAs 흡수층을 황산계 식각액을 사용하여 (111) In면이 나타나도록 InGaAs층만을 이방성 선택 에칭한 후 pn 접합면 형성을 위하여 고농도 도우핑된 p형 InP층을 성장하면 에칭된 아래 부분에서 채널층과 pn 접합이 이루어져 게이트를 형성하게 된다. 이때 게이트 길이 L은 InGaAs층의 두께 t와 이방성 에칭 각도 θ 및 에칭용 마스크에 의해 결정 되어지는 W에 의해 다음 식과 같이 주어진다.

$$L = W - 2d/\tan\theta \quad \text{-----} \quad (3-14)$$

두께 t는 에피택시 성장에 의해 결정되므로 0.1 μm 이하의 두께 제어가 가능하며 에칭 각도는 황산계 용액을 사용하여 (111)면이 나타나도록 하면 54.7

<표 3-3> 성장층의 PD와 JFET 간의 공유 특성

성장층	PIN PD	JFET
n-InP 채널층	n형 Contact층	채널층*
n-InGaAs 흡수층	흡수층	Gate Length 조절층
p <sup>+</sup> -Clad층	P형 Contact층	P형 Contact층



(그림 3-15) Self-aligned InP JFET의 단면 구조

°로 재현성 있는 각도가 얻어진다<sup>(5)</sup>. 그러므로 lithography에 의해 결정되는 W가 비록 크더라도 에피층의 두께 t를 조절하여 짧은 게이트 길이 L을 얻을 수 있다.

그 후에 W보다 큰 폭의 게이트 금속을 lift-off에 의해 증착하고 게이트 금속 이외의 부분에 있는 p형 InP층을 선택 에칭한 후 이어서 InGaAs층을 선택 에칭한다. 그리고 n형 InP에 저항성 접촉이 되는 금속을 증착하면 p형 InP 아래의 커다란 under-cut 때문에 self-align된 소오스 및 드레인 전극이 형성된다.

라. 또한 이 구조는 광소자와 전자소자의 집적도를 기본적인 구조의 변화없이 확장할 수 있다.

마. 에칭 공정이 많이 들어가지만 모두 InP층과 InGaAs층과의 선택 에칭이므로 에칭 조절이 쉽다.

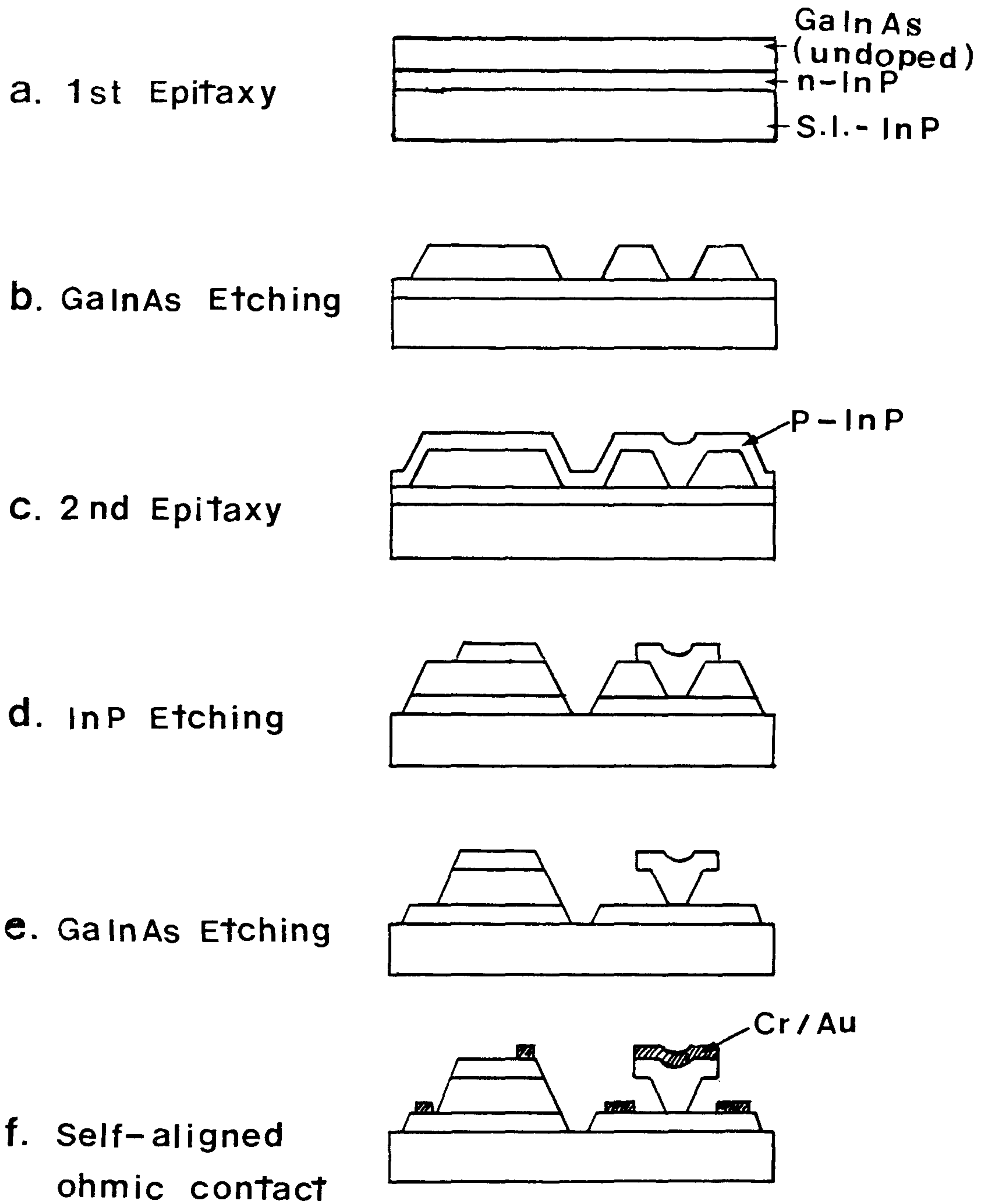
바. 각 소자 사이의 전기적 분리를 위한 메사 에칭이 비교적 큰 표면 단차를 주지만 이 부분의 pattern은 매우 크므로 lithography에 영향을 주지는 않는다. 그리고 PD의 p형 배선을 위해서는 polyimide를 coating하여 경사면의 각도를 완화시킨다.

## 2. 제작 공정

제안된 InGaAs PIN PD와 self-aligned InP JFET이 집적된 광수신 OEIC의 제작 공정 순서가 (그림 3-16)에 있다.

### 가. 제 1 차 epitaxy

반절연 InP 기판 위에 n형 InP 채널층과 1 내지 3  $\mu\text{m}$  두께의 undoped-



(그림 3-16) 광수신 OEIC의 제작 공정 순서도



InGaAs 흡수층을 LPE나 OMVPE법으로 성장 시킨다. 이때 각 층의 성장 조건은 앞에서 언급한 대로 각 소자의 특성에 맞도록 한다.

나. InGaAs층의 에칭

Lithography에 의해 photoresist로 에칭 마스크를 만든 후 황산계 용액으로 InGaAs층만을 이방성 선택 에칭한다. 에칭된 면은 (111)In 면으로 에칭 각도는 대략  $54.7^\circ$ 이며, 이때 JFET gate의 길이가 결정된다.

다. 제 2 차 epitaxy

에칭 마스크용 photoresist 패턴을 모두 제거한 후 pn 접합을 위해 2차 epitaxy 성장을 한다. p형 InP층을 OMVPE법으로 성장한다. 도우핑 정도는  $10^{18} \text{ cm}^{-3}$  이상으로 가급적 도핑 농도를 높게하는 것이 좋다.

라. InP층의 에칭

2차 epitaxy 성장이 끝난 후 lithography를 하여 에칭 마스크를 만든 후 InP층을 에칭해 낸다. 에칭 용액으로는 InP층만을 에칭하는 염산계를 사용한다.

마. InGaAs층의 에칭

InP층의 에칭이 끝난 후 표면에 노출된 InGaAs층을 황산계 용액으로 에칭해 낸다. 이 에칭 공정이 끝나면 (그림 3-15)에서 보듯이 JFET의 pn 접합면 양 옆에 커다란 under-cut이 생긴다.

바. 금속 증착

Au-Cr/Au와 같은 금속을 lift-off으로 증착하여 p형 및 n형 저항성 접촉을 만든다. 이때는 source, drain 및 gate의 구별없이 금속을 증착하면 전단계 공정

에서 형성된 under-cut 때문에 각각의 전극이 자기 정렬된다.

사. Polyimide passivation 및 소자간 배선

누설 전류 저감 및 경사면 완화를 위해 polyimide를 coating 하고 그 위로 2차 금속을 증착하여 각 소자간 전기 배선을 한다.

이러한 제작 공정을 위해서는 다음과 같은 6장의 마스크가 필요하다.

- . Mask 1 : 1차 InGaAs층 에칭
- . Mask 2 : InP층 에칭
- . Mask 3 : 2차 InGaAs층 에칭
- . Mask 4 : 금속 증착
- . Mask 5 : Polyimide passivation
- . Mask 6 : 배선용 2차 금속 증착

#### 제 4 절 결 론

본 장에서는 광수신 OEIC 설계의 기본적인 요건인 전치 증폭기의 회로 구성, 수신 감도 및 대역폭에 관하여 고찰하고 새로운 구조의 InGaAs PIN PD와 InP JFET의 광수신 OEIC를 제안하였다. 계산 결과 2 Gbps의 전송 속도에서 수신 감도와 대역폭에 가장 중요한 소자 변수는 전체 입력 capacitance이며 누설 전류는 1  $\mu$ A까지는 수신감도에 영향을 끼치지 않음을 알 수 있었다. 바이어스 저항이 10 k $\Omega$ 인 고임피던스 증폭기에서 -30 dBm의 수신감도를 얻기 위한  $C_i$  및  $g_m$  값은 각각 6.5 pF 이하와 30 mS 이상이 되어야 한다.

제안된 광수신 OEIC는 확산이나 활성화 공정을 사용하지 않아 도펀트의 확산에 의한 게이트 길이의 넓어짐이 없으며, 게이트 형성을 위한 에칭 공정에서 마스크상의 게이트 길이가 실제의 게이트 길이보다 매우 길어 lithography가 용이하며 self-align 구조로서 제작이 간편한 특징이 있다.

## 제 4 장      OMVPE 시스템 설치

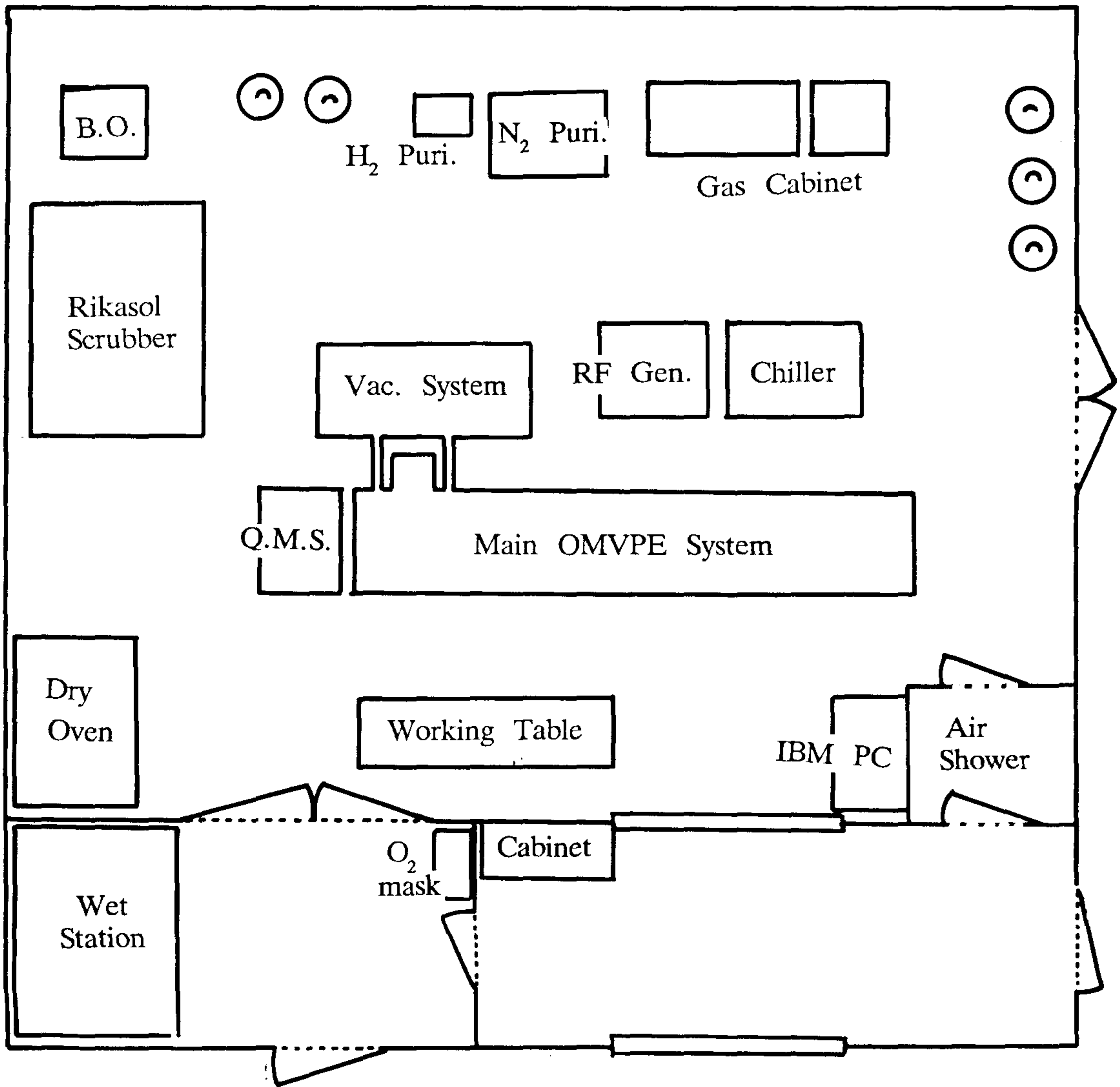
여 백

## 제 4 장 OMVPE 시스템 구성

### 제 1 절 개 요

OMVPE 법은 여러가지 III-V 족 화합물 반도체 성장 방식중 넓은 면적에 있어서 균일한 성장층을 얻을 수 있으며, 박막 제작에 용이하며, phosphorous를 포함한 반도체 층의 성장이 용이하며, 급峻한 이종 계면을 얻을 수 있으며, 반응기의 구조가 대량 생산에 적합하다는 등의 여러가지 장점 때문에 현재 많은 연구가 진행되고 있는 epitaxy 방법이다. 이러한 이유로 본 연구에서는 InP 계의 epitaxy 방법으로 OMVPE 를 선택하였으며 이에따라 미국의 Spire Co.으로부터 OMVPE 시스템을 도입하여 설치하였다. 본 장에서는 현재 광전자 연구실에 도입, 설치되어 있는 OMVPE 장비의 시스템 특성 및 배관과 부대 장비에 대해 보고 하고자 한다.

(그림 4-1)은 OMVPE 실의 전체 장비 배치도이다. OMVPE 장비는 반응기 및 기체 manifold를 포함하는 OMVPE 장비 본체와 gas cabinet, 기체 배기 부분, RF power generator, chiller, OM bubbler로 구성되며 in situ monitoring을 위한 QMS(Quadrupole Mass Spectroscopy)와 안전 대책으로써 유독 기체 검출기를 포함한다. 또한 OMVPE는 장비의 자동 동작을 위해 IBM computer를 포함한다. OMVPE 성장 실험에 필요한 기타 장비로는 웨이퍼 및 bell jar의 세척을 위한 chemical station과 세척된 bell jar를 건조시키는데 필요한 건조로가 있다. 제 2 절에서는 양질의 성장층 특성과 성장 두께 조절에 중요한 인수로 작용하는 기체 유입부와 반응기 부분에 대해 기술하며 제 3 절에서는 성장 공정에



(그림 4-1) OMVPE 실험실의 장비 배치도

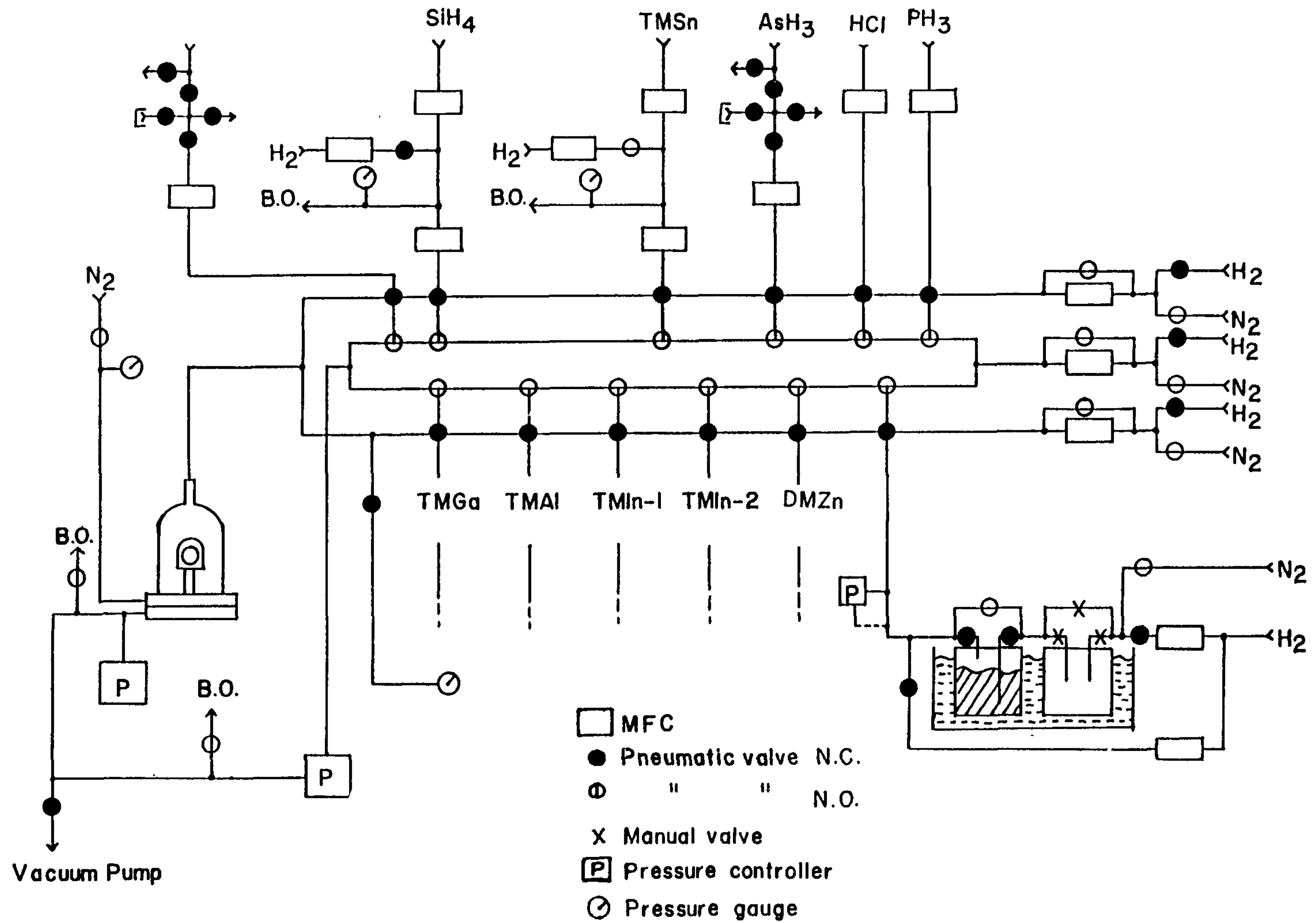
사용되는 가스인 수소 및 질소 line의 배관에 대해 기술하고 장비 운용 기체로 사용되는 질소, 압축 공기, 냉각수 line의 배관에 대해 이야기 한다. 제 4 절에서는 각 부대 장비의 특성 및 제원에 대해 기술하고 제 5 절에서는 QMS system, 제 6 절에서는 실험실의 안전 대책에 대해 보고한다.

## 제 2 절 OMVPE 본체 특성

반응 기체의 유입부는 정제된 수소 기체(>99.9999%)에 의해 이송되는 III 족의 유기 금속과 V 족 수소화물이 반응기까지 도달하는 경로에 관련한 부분이다. InP 계의 2원, 3원 및 4원 조성의 반도체 층 성장을 위하여 III 족 원료로써 유기 금속인 TMI(Trimethyl Indium)와 TMG(Trimethyl Gallium), TMAI(Trimethyl Aluminium)을 선택하였고 V족 원료로써 수소화물인 AsH<sub>3</sub>, PH<sub>3</sub>을 선택 하였으며 n 형 dopant로써 SiH<sub>4</sub>을, p 형 dopant로써 DMZn(Dimethyl Zinc)를 선택하였다. 또한 susceptor의 in situ 세척을 위해 HCl 기체를 선택하였다. (그림 4-2)는 manifold 부분을 포함한 기체 유입 부분의 총괄적 개략도이다. 유기 금속 및 수소화물의 이송기체로는 수소와 질소를 사용하며 이들 이송기체의 유량은 MFC(Mass Flow Controller)로 정밀하게 조절된다. 급준한 이종 경계면을 얻기 위해서는 빠른 기체 교환과 혼합이 필요하며 이에따라 본 시스템에는 선형 vent-run manifold를 채택하였다. Vent line 및 run line은 각각의 line 내부 기체 압력을 독립적으로 조절하기 위해 baratron gauge 및 throttle valve를 장치하였다.

반응기는 2" 웨이퍼 5 장을 동시에 loading 할 수 있는 용량을 가지며 수직 수냉형의 quartz bell jar와 SiC coating된 graphite susceptor로 구성된다. 온





(그림 4-2) 기체 유입 부분의 총괄도

도 균일성을 위해 susceptor의 가열은 RF 가열 방식을 채택하였다.

### 1. 유기 금속 유입부

유기 금속 공급에 있어서 고려해야 할 중요한 요인은 공급되는 유기 금속 양의 조절에 있다. Bubbler를 사용할 경우 이송 기체에 포함된 유기 금속의 양은 식 (4-1)과 같이 되므로 유기 금속 배관에는 bubbler의 압력을 조절 하기 위한 throttle valve와 baratron gauge가 장치 되어 있으며 bubbler의 온도를 정밀하게 조절하기 위한 항온조, 이송 기체의 양을 조절하기 위한 MFC등이 포함된다. 또한 성장층의 조성과 도핑을 연속적으로 변화시킬 수 있도록 회석 line을 채택하였다.

$$F_s = F_c \times P_0 / P \text{ ----- ( 4-1 )}$$

$F_s, F_c$  ; 유기 금속 및 이송 기체의 유량

$P_0, P$  ; 유기 금속의 증기압 및 bubbler 압력

TMI의 경우 낮은 증기압으로 인해 bubbler의 온도를 상온 이상으로 올려야 할 경우가 있으므로 line에서의 TMI 증착을 막기 위해 배관 line을 열선으로 감아 주었다.

### 2. 수소화물 기체 유입부

OMVPE에 사용되는 수소화물 기체로는 V족 원료로써  $PH_3$  과  $AsH_3$ , IV족 원료로써 n-type dopant로 사용되는  $SiH_4$ , susceptor의 in-situ 세척을 위한 HCl 기체 등이 있다. 각 기체 cylinder는 안전성과 일정한 공급 압력을 유지하기 위

해 gas cabinet에 장치 하였으며 gas cabinet의 자세한 사항은 제 4 절에서 보고 하기로 한다.

$\text{PH}_3$  및  $\text{HCl}$ 은 particle filter를 거친후 MFC로 유량이 조절되어 반응기로 유입된다. 순도에 있어서 문제가 되는  $\text{AsH}_3$ 의 경우 molecular seive 시스템을 추가하였다. 낮은 농도의 doping을 가능하게 하기위해  $\text{SiH}_4$ 에는 수소 회석 line을 채택하였으며 회석된  $\text{SiH}_4$  기체의 일부는 MFC로 유량이 조절되어 vent-run manifold로 이송된다. Manifold로 이송되지 않은 회석된 잔여  $\text{SiH}_4$ 은 regulator를 거쳐 burn box로 이송 되어 burn box에서 태워진다.

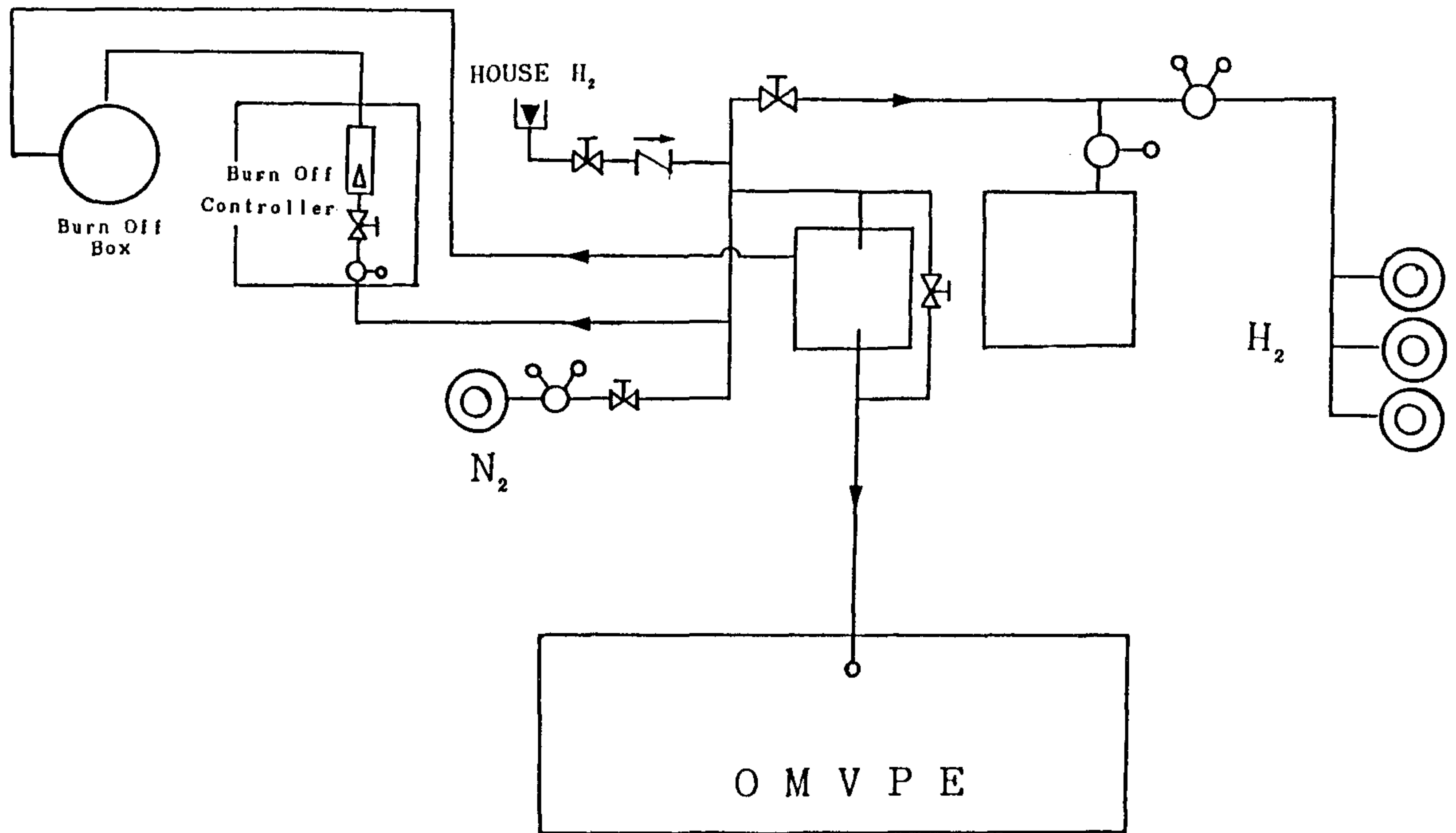
### 제 3 절 기체 배관 구성

본절에서는 epitaxy 공정에서 이송 기체로 사용되는 수소 및 질소 line의 배관에 대해 기술 하며 장비 운용에 있어서 필요한 질소, 압축 공기 및 냉각수 line의 배관에 대해 기술한다.

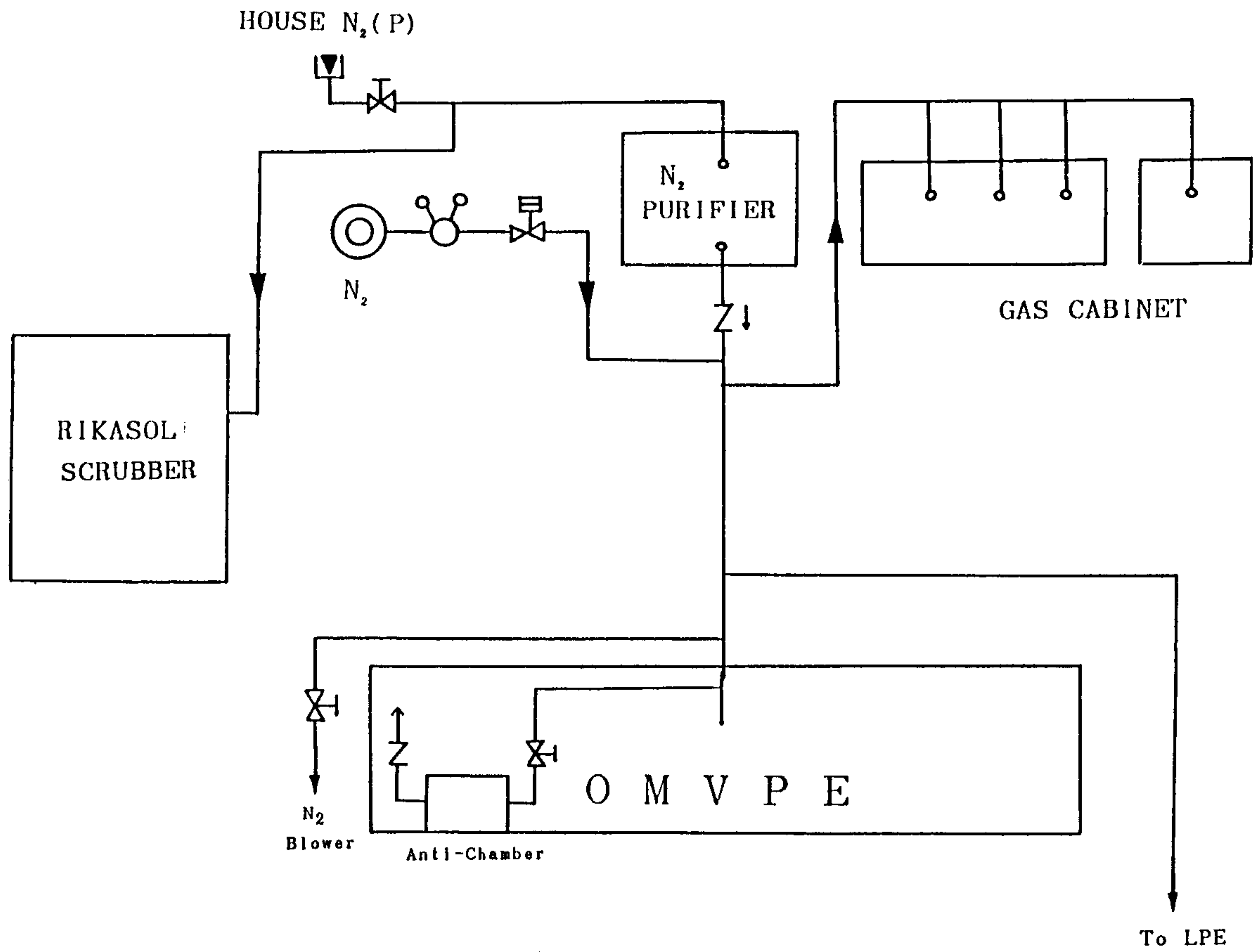
#### 1. 이송 기체 배관

##### 가. 수소 이송 기체 배관

중앙에서 공급된 대부분의 수소는 수소 purifier에서 정화 된 후 OMVPE로 보내져서 OMVPE의 이송 기체로 사용되며 일부의 수소는 burn box에서의 연료 및 질소 purifier의 oxidizer를 환원시키는데 사용 된다. (그림 4-3)의 배관도에 그려져 있는 3개의 수소 cylinder는 중앙 공급되는 수소 기체가 공급 중단 되었을 경우의 대비용이며 질소 cylinder는 수소 기체 line을 purge 하기 위한 용도이다. 수소 purifier 옆으로의 bypass line은 수소 purifier의 고장을 대비한 line이



(그림 4-3) 수소 이송 기체 line의 배관도



(그림 4-4) 질소 이송 기체 line의 배관도

다. 수소 purifier의 bleed line은 Pd/Ag 막에서 걸러진 잔여 불순물을 제거 하기 위한 용도이다.

#### 나. 질소 이송 기체 배관

(그림 4-4)는 질소 기체의 배관도이다. 중앙에서 일차로 purify 되어 공급되는 질소 기체는 purifier 및 rikasol 제독기로 공급된다. Rikazol 제독기로 공급되는 질소 기체는 제독기를 purge 하게 되며 , purifier로 공급된 질소 기체는 2단계의 purification을 거친후 OMVPE 본체로 공급된다. 또 purified 된 질소 기체의 일부는 gas cabinet으로 공급되어 gas cabinet 내부 배관의 purge 용으로 사용된다. 질소 cylinder는 긴급 사태 발생으로 인해 질소 기체가 공급이 되지 않을 경우 normally open valve를 통해 질소 기체를 계속적으로 공급하여 OMVPE 장비 및 부대 장비의 purge가 계속될 수 있도록 하기위한 용도이다. OMVPE로 공급된 질소 기체의 일부는 anti chamber를 purge 하게 된다.

## 2. 장비 운용 기체 및 냉각수 배관

여기서는 OMVPE 동작에 필요한 장비 운용 기체로서의 질소 기체 및 압축 공기, 냉각수의 배관에 대해 기술하기로 한다. 질소 기체는 고순도 액체 질소를 기화 시켜 사용하는 것으로 입자만 제거된 기체이다. 냉각수로는 DI water를 사용하고 있다.

#### 가. 질소 기체 배관

중앙에서 공급된 질소 기체는 진공펌프, dry oven, burn box 및 OMVPE에서 사용된다. 진공펌프 및 dry oven에서의 질소 용도는 purge이며 burn box에서 질소 기체는 연료로 공급된 수소 기체가 원하지 않는 방향으로 확산 됨을

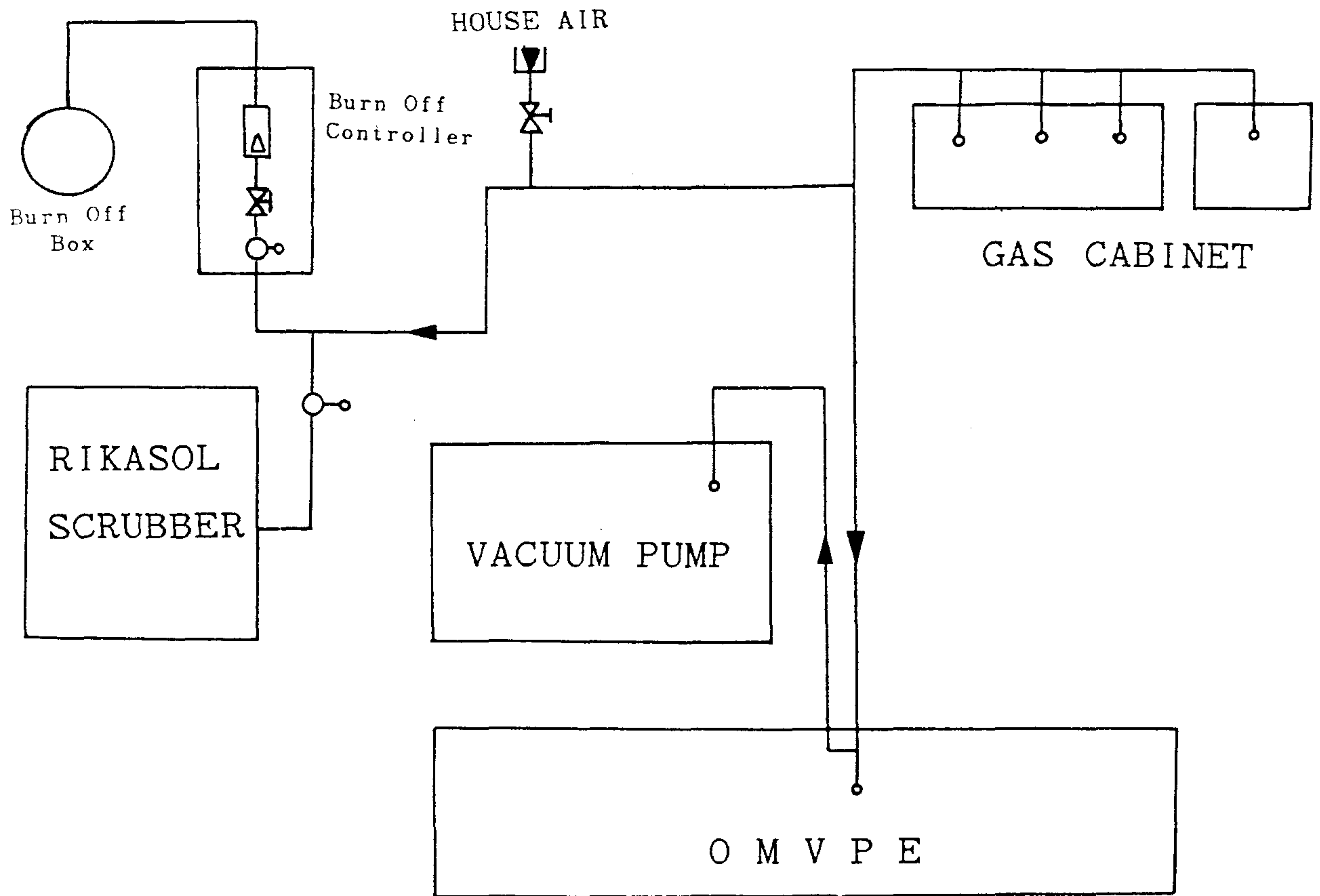
방지하기 위한 curtain 용으로 쓰인다. OMVPE 본체로 공급된 질소 기체는 ventury로 공급되어 반응기의 진공 seal에 사용되며 OM bubbler 교체시의 line purge 용으로 쓰인다.

#### 나. 압축 공기 배관

OMVPE에서의 압축 공기는 air operated valve의 구동과, rikasol 제독기의 rikasol의 재생, burn box에서의 산소 공급원으로 사용 된다. (그림 4-5)는 압축 공기 공급 line 의 배관도이다. 그림에서 기체 cabinet 및 진공펌프로 들어가는 압축공기는 각 장비의 solenoid valve를 통해 air operated valve를 구동하게 된다. OMVPE로 유입된 압축공기는 80 psi 압력 검지기를 거치게 된다. 이 압력 검지기는 압축공기의 압력이 80 psi 이하로 떨어질때 OMVPE system에 interlock 신호를 보내주어 시스템의 안전한 동작이 이루어 지게 한다. 압력 검지기를 통과한 압축공기는 세 가지 기능을 한다. 첫번째는 susceptor의 상승 하강 manifold에서 susceptor를 지지하는 piston에 압력을 가함으로써 susceptor를 상승 또는 하강 시키는 기능이며 두번째는 skinner valve를 통해 air operate valve를 구동하는 기능이며 세번째는 OMVPE 반응기 및 base plate, RF power 공급 coil의 냉각수를 제거하는데 쓰인다.

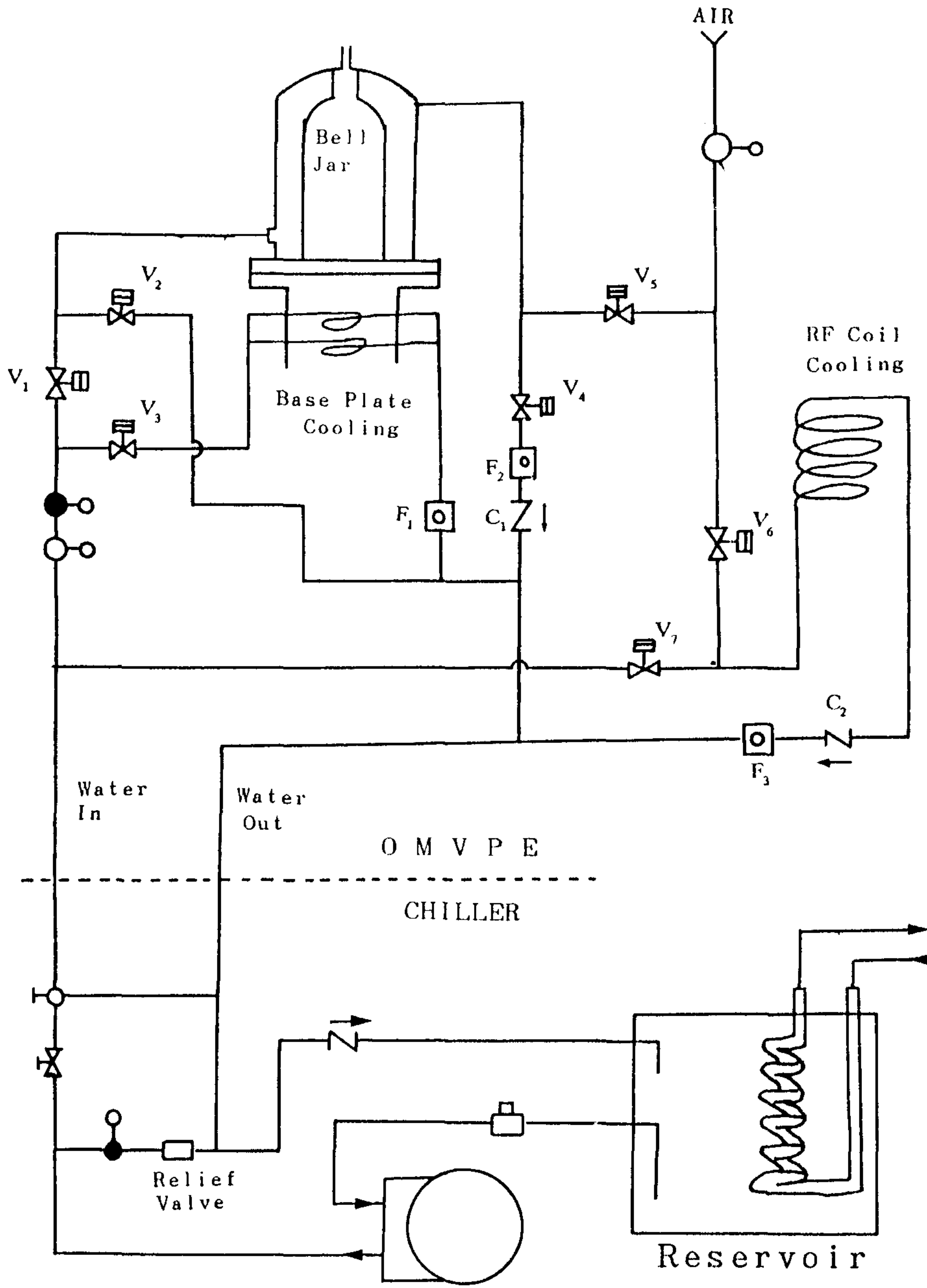
#### 다. 냉각수 공급 배관

(그림 4-6)은 chiller로 공급되어지는 냉각수 line의 배관도이다. 냉각수로 냉각되어지는 부분은 bell jar 및 bell jar 밑 부분의 base plate, RF coil 등이다. Chiller에서는 단열 팽창법에 의해 냉각수의 온도를 저하 시키고 냉각된 냉각수는 pump에서 가압되어 OMVPE로 이송된다. 배관도의 relief valve는 OMVPE 쪽 line에 이상이 생겨 과도한 압력이 걸리게 될 경우 이의 감압을 위한 line으로



(그림 4-5) 압축 공기 공급 line의 배관도





(그림 4-6) 냉각수 line의 배관도

사용되어진다. OMVPE로 공급된 냉각수는 regulator를 거쳐 압력이 조정된 후 세 경로로 나뉘어 지게 된다. 하나의 경로는  $V_1$  - bell jar -  $V_4$  -  $F_2$  -  $C_1$ 을 거쳐 chiller로 돌아가게 되고, 두번째 경로는  $V_3$  - base plate -  $F_1$  - chiller이며 세번째 경로는  $V_7$  - RF coil -  $C_2$  -  $F_3$  - chiller이다. 냉각수 line에 연결된 압축공기는 bell jar, base plate, RF coil에 차 있는 냉각수를 제거하는데 사용된다. Bell jar 및 RF coil의 물을 제거 할때는  $V_4$  및  $V_1$ ,  $V_3, V_7$ 이 잠기게 된다. Bell jar의 물을 빼낼 경우  $V_5$  및  $V_2$ 가 열려 공기 압력으로 물이 제거 된다. RF coil의 경우  $V_6$ 가 열려  $V_6$  - RF coil -  $C_2$  -  $F_3$ 의 경로로 냉각수가 제거 된다.

#### 제 4 절 부대 장비

본 절에서는 OMVPE 성장에 사용되는 여러 부대 장비들의 특성에 대해 보고한다.

##### 1. Gas Cabinet

Gas cabinet을 사용하는 목적은 맹독성 및 폭발성 기체 들인  $AsH_3$ ,  $PH_3$ ,  $SiH_4$ ,  $HCl$  등의 기체 cylinder를 안전하게 보관하고, gas cylinder의 압력이 너무 높아 OMVPE 장비로 직접 cylinder를 연결하지 못하므로 적당한 감압을 해 주는 기능을 하며 cylinder 의 교체시의 안전성 및 cylinder와 OMVPE 사이 line의 purge 등을 위해 사용된다. 본 연구실에서 사용중인 gas cabinet은 MG Instrument 사의 제품이다.

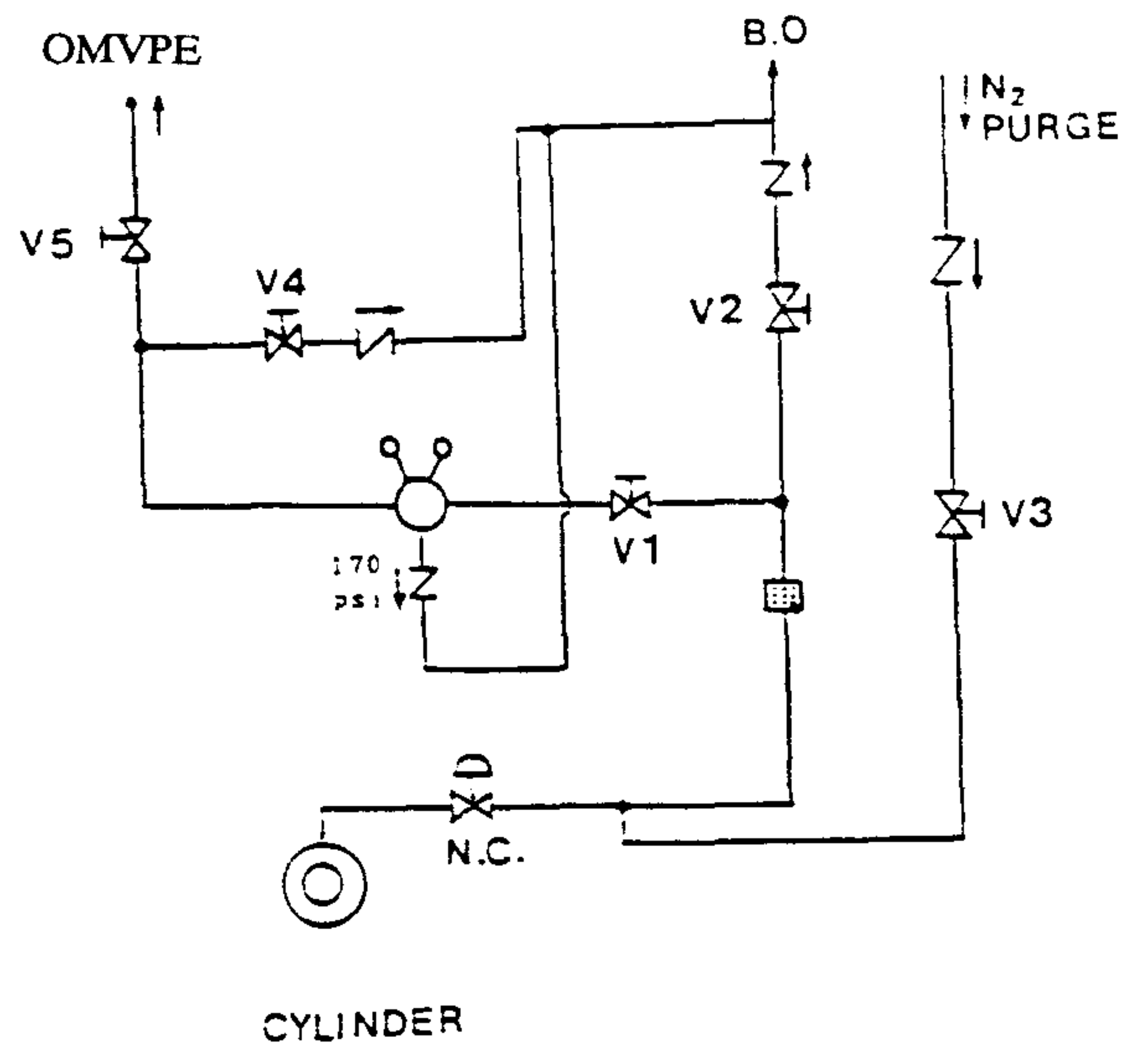
(그림 4-7)은 gas cabinet 내부의 배관도이다. Hydride gas는 normally closed

air operated valve를 거친후 filter를 거쳐 regulator에서 감압된 후  $V_5$ 를 통해 OMVPE로 공급된다.  $V_2$  및  $V_4$ 는 정제된 질소를 이용하여 line purge를 하기 위한 용도이며  $V_2$ ,  $V_4$  및 170 psi check valve는 rotary 진공펌프를 통해 burn box로 연결된다. Rotary 진공펌프는 cabinet line을 진공 purge 하기 위한 용도로 설치 하였다. Regulator 밑의 check valve는 OMVPE 쪽에 170 psi 이상의 압력이 걸리지 않도록 하는 기능을 가지며 regulator의 2차측에 170 psi 이상의 압력이 걸리면 자동적으로 열리게 되어 감압 시키게 된다. Normally closed valve는 전원 공급 중단과 같은 비상시에 수소화물 기체 공급을 cylinder로 부터 차단 하기 위해 설치 되어 있다. Gas cabinet은 만일의 유독 기체 누설에 대비하여 24 시간 배기 시키고 있다.

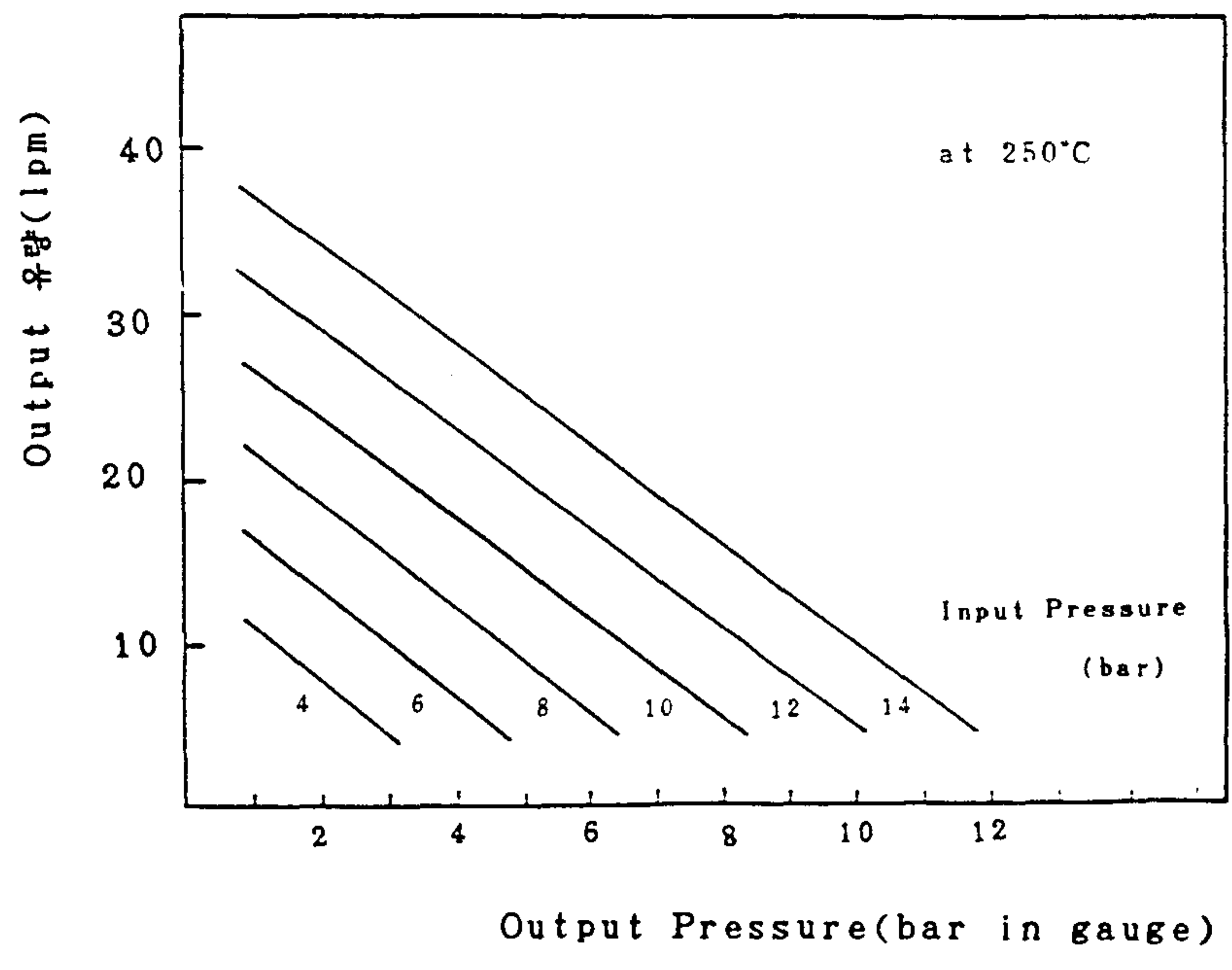
## 2. 수소 및 질소 Purifier

### 가. 수소 Purifier

본 연구실에서는 수소의 순도를 보장하기 위해 Johnson Matthey 사의 EP-40 수소 purifier를 사용하고 있다. EP-40은 Pd 합금막을 확산 cell로 사용하고 있고 이 확산 cell은 입력 수소의 순도가 99% 이상일때 출력 수소 순도 6N을 보장한다. (그림 4-8)은 EP-40 model에서 Pd/Ag 막을 250 °C로 heating 했을 경우 입력 압력 및 출력 압력 변화에 따른 출력 유량의 변화에 대한 그림이다. OMVPE의 반응기에서 사용되어지는 총 수소 유량이 10 lpm 정도이고 기체 line에서의 감압 및 MFC에서의 감압을 고려할때 출력 압력은 적어도 2 barg는 되어야 하므로 이런 조건을 만족시키기 위해서는 입력 압력이 4.8 barg 이상이어야 한다.



(그림 4-7) Gas cabinet 내부에서의 배관도



(그림 4-8) Matheson Ep-40 모델에서 수소의 입력 및 출력 압력 변화에 따른 출력 유량의 변화

#### 나. 질소 Purifier

본 연구실에서는 일본 다이오 산소 제품인 질소 purifier를 쓰고 있다. (그림 4-9)는 purifier의 내부 구조도이며 이 장비의 제 특성은 다음과 같다.

Flow Rate : 6 Nm<sup>3</sup>/Hr

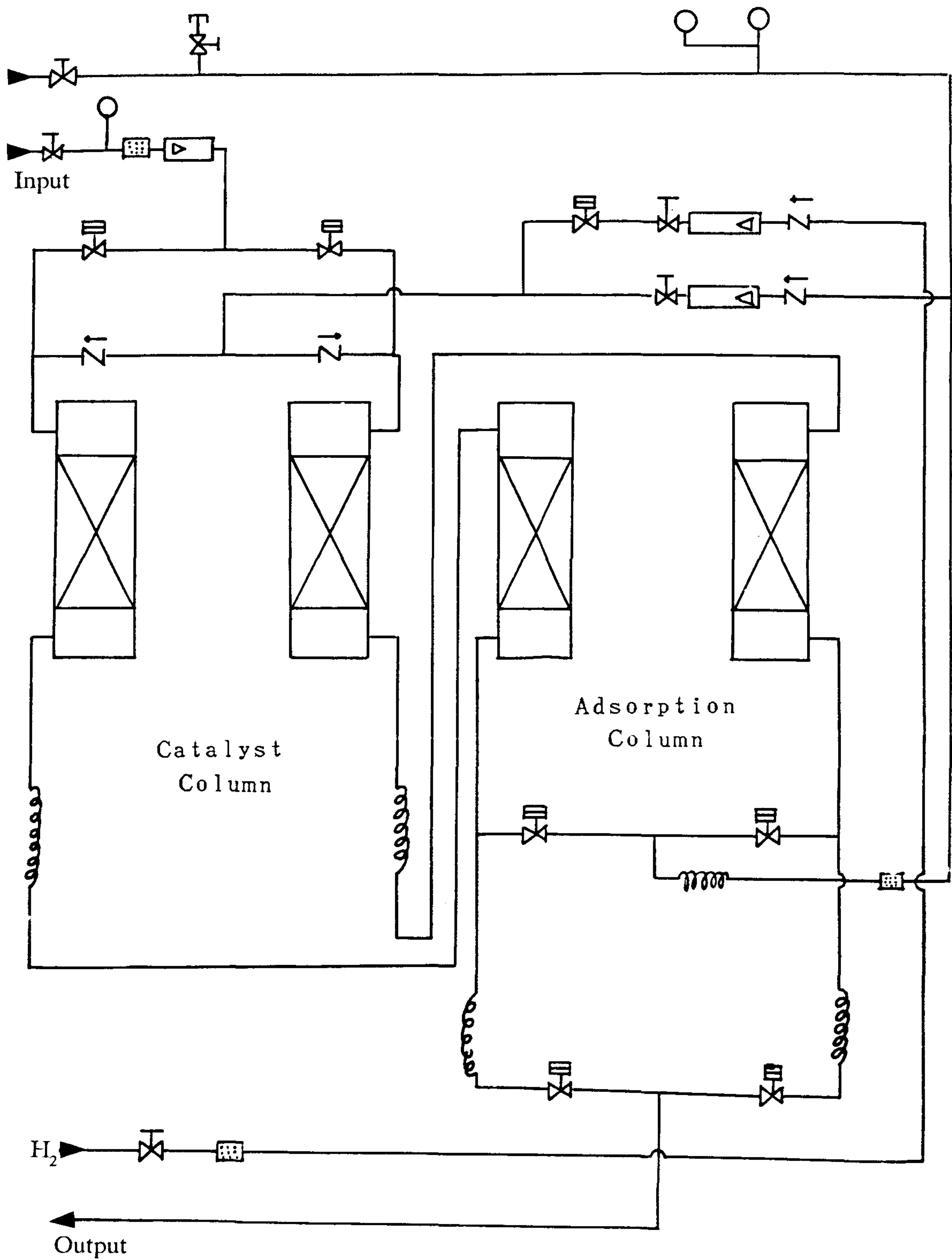
Feed Pressure : 5 Kg/cm<sup>2</sup>G

Filtration Quality : 0.3 μm below 10 pcs/cft

Pressure Loss : 0.8 Kg/cm<sup>2</sup>

	inlet impurity	outlet impurity
H <sub>2</sub> O ;	2 ppm	below 0.5 ppm
O <sub>2</sub> ;	2 ppm	below 50 ppb
CO <sub>2</sub> ;	2 ppm	below 50 ppb
CO ;	1 ppm	below 50 ppb

질소 purifier로 유입된 질소 기체는 먼저 filter를 거친후 Ni catalyst column에서 산소가 제거된후 adsorption column에서 H<sub>2</sub>O 및 CO<sub>2</sub>가 제거된다. 1 set의 catalyst column과 adsorption column을 180 시간 쓰게 되면 catalyst를 환원 시켜주고 adsorbent를 regeneration 시켜 주어야 양질의 질소 기체 공급이 보장된다. 그러므로 본 장비에서는 2 set의 column을 채택하여 1set를 재생할때는 다른 set를 통해서 질소 purification 하게 되어 있다. 산화된 Ni catalyst는 H<sub>2</sub>/N<sub>2</sub> 분위기에서 150°C~200 °C로 8시간 가열되어 환원된다. H<sub>2</sub>/N<sub>2</sub> 혼합 기체는 6l/hr의 수소와 0.6 m<sup>3</sup>/hr 질소의 혼합 가스를 사용한다. Adsorbent column은 purified 된 질소를 흘려 주면서 250°C~300 °C로 8시간 가열 시켜 regeneration 시킨다.



(그림 4-9) 질소 Purifier의 내부 구조도

### 3. 진공 펌프

OMVPE에서 사용하는 진공펌프는 Leybold-Heraeus 사의 BCS-S40 model이다. Hydro carbon 계열의 pump oil은 반응성이 크고 부식성이 강한  $\text{PH}_3$ ,  $\text{SiH}_4$  등의 기체에 대해 수명이 짧으므로 본 장비에는 산소 및 부식성 기체에 대해 내구성이 좋은 PFPE(Per Fluoro Poly Ether) oil을 사용하였다.

Vacumm Pump의 주요 제원은 다음과 같다.

Pumping Speed : 28 CFM

Ultimate Partial Pressure :  $< 2 \times 10^{-2}$  torr

Motor Power : 3 Hp

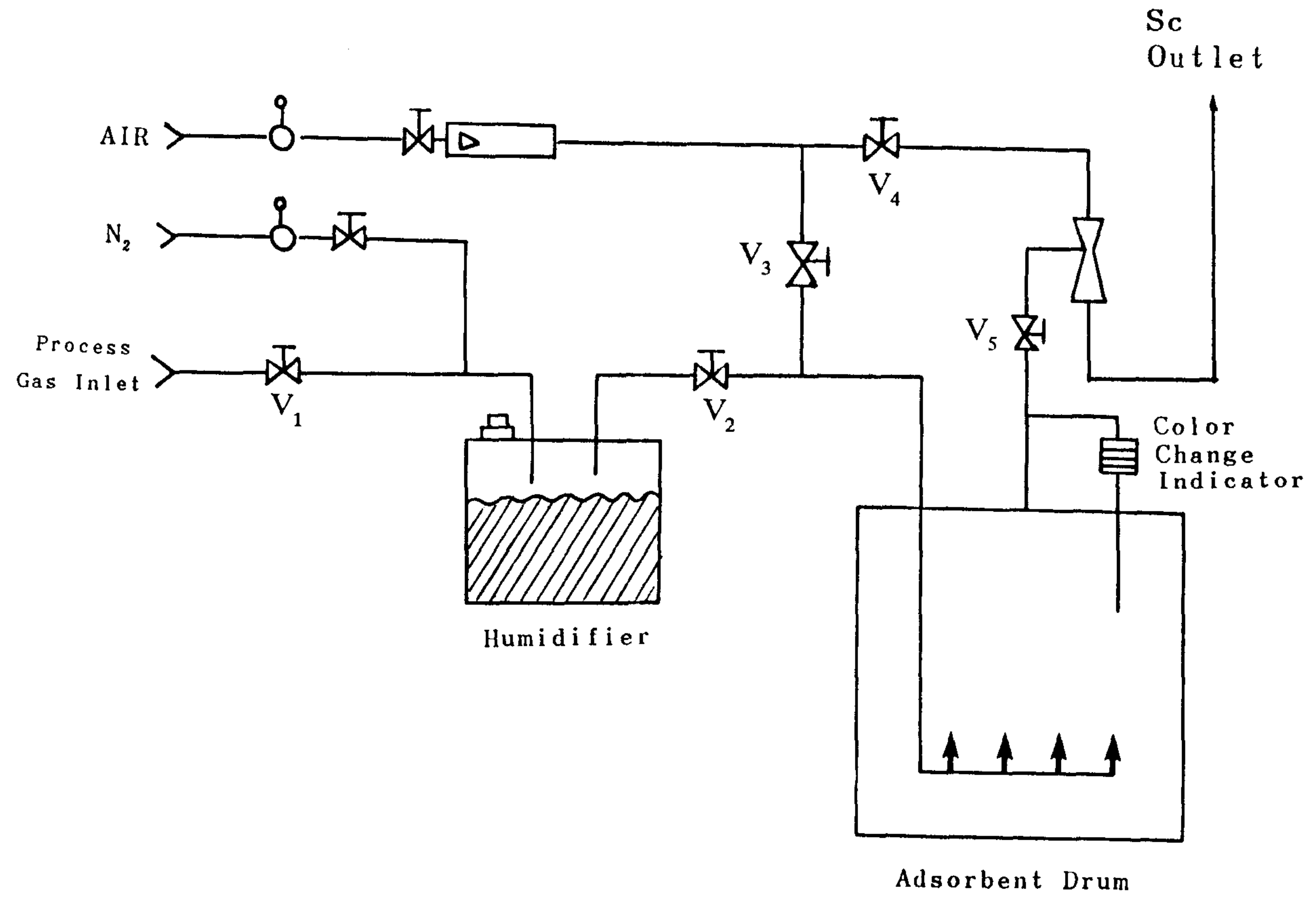
Rotation Speed : 1735 rpm

Inert Gas Flow : 400~700 lpm

진공 펌프에는 oil을 정화하기 위한 filter가 내장 되어 있으며 펌프의 outlet 쪽에는 particle filter가 달려 있어서 oil droplet 또는 particle이 제독기 쪽으로 넘어가지 못하게 filtering 하여 준다. 진공 펌프에 사용되는 질소 기체는 펌프의 내부를 purge 시키는 동시에 유독성이 큰 기체 들을 회석 시키는 용도로 사용되고 있다.

### 4. 제독기 및 Burn Box















본 연구실에서는  $\text{AsH}_3$  및  $\text{PH}_3$  등의 맹독성 기체를 제독 시키기 위해 위해 Matheson 사 제품인 rikasol 제독기와 Spire 사의 제작품인 burn box를 사용하고 있다.



(그림 4-10) Rikazol 제독기의 내부 구조도



<표 4-1> 본 장의 그림에서 사용된 여러가지 기호들

기 호	설 명	기 호	설 명
	Manual Valve		Solenoid Valve
	Air Operated Valve		Check Valve
	One Stage Regulator		Two Stage Regulator
	Pressure Gauge		Water Flow Checker
	Mass Flow Controller		Flow Meter
	Sampling Port		Particle Filter
	Gas Cylinder		Ventury

(그림 4-10)은 rikasol 제독기의 구조도이다. Scrubber에서 일어나는 화학 반응식은 다음과 같다.



(그림 4-10)에서 공정 기체는 V<sub>1</sub> valve를 통해 유입 된 다음 humidifier를 거쳐 제독기 drum으로 들어가게 되어 있다. Humidifier를 거치는 이유는 water가 위의 반응을 일으키는 촉매로 작용하기 때문이다. 진공 펌프로 부터 이송된 공정 기체는 rikasol의 아랫 부분에서부터 반응이 일어나게 된다. Drum 의 모든 rikasol이 반응을 일으키게 되면 color indicator의 색깔이 바뀌게 된다. Rikasol이 AsH<sub>3</sub>과 반응하게 되면 rikasol의 색깔이 yellow에서 black으로 바뀌게 되고 PH<sub>3</sub>과 반응하게 되면 white로 바뀌게 된다. Rikasol이 AsH<sub>3</sub> 및 PH<sub>3</sub>과 동시에 반응하게 되면 색깔이 yellow에서 gray로 바뀌게 된다. Color indicator에 색깔의 변화가 생기면 rikasol을 200 lpm의 공기와 30 시간 접촉 시킴으로써 재생 시키게 된다.

Burn box는 연료 기체인 수소와 산소 공급원인 air 및 질소를 공급 하기위한 조절 panel과 연소기 부분으로 나뉘어진다. Burn box에서 연료 기체가 필요한 것은 공정 line 쪽에서 수소와 같은 가연성 물질이 유입되지 않을 경우에도 연소를 계속하게 하기 위한 것이다.

## 5. RF Power Generator

RF power generator는 ENI Power System 사의 제품인 EGR-9600B 모델을 사용하고 있다. 다음은 이 장비의 제원이다.

Frequency Coverage : 8~111 KHz, two band



OM source인 TMI 및 TMG는 온도에 따라 증기압이 달라지게 되고 이에 따라 source를 통과하는 수소의 양이 일정할 때에도 source 온도에 따라 이송되는 OM source의 양은 달라지게 된다. 그러므로 source를 일정한 온도로 유지시키기 위하여 bubbler를 사용하고 있으며 bubbler의 구성은 OM source 및 열원을 포함하는 Exacal 100 항온조와 항온조를 냉각시키는데 사용되는 FTC 350A 냉각기로 구성된다. 항온조 및 냉각기는 모두 NESLAB 사 제품이다. 이 항온조의 성능은 다음과 같다.

사용 온도 범위 : - 30 ~ 120°C

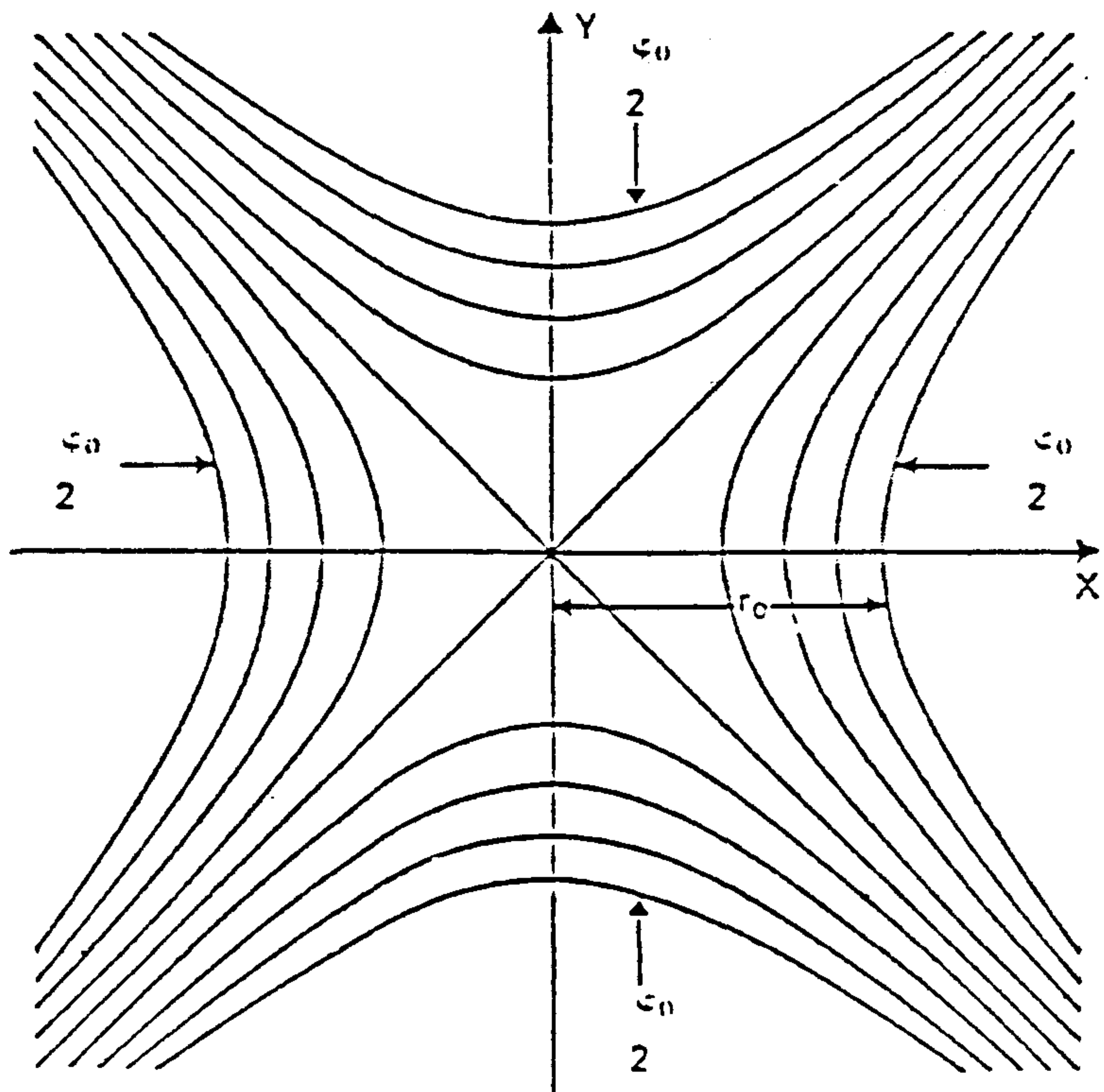
온도 안정성 : +0.01 °C

항온조를 8°C 이하로 유지하기 위해서는 냉각기에서 냉각 되어지는 냉각수의 온도는 이보다 더 낮아야 하므로 냉각수가 빙결될 염려가 있다. 본 장비에는 빙결의 우려를 없애주기 위해 고순도의 ethylene glycol 과 DI water를 1:1로 섞어서 냉각수로 사용하고 있다.

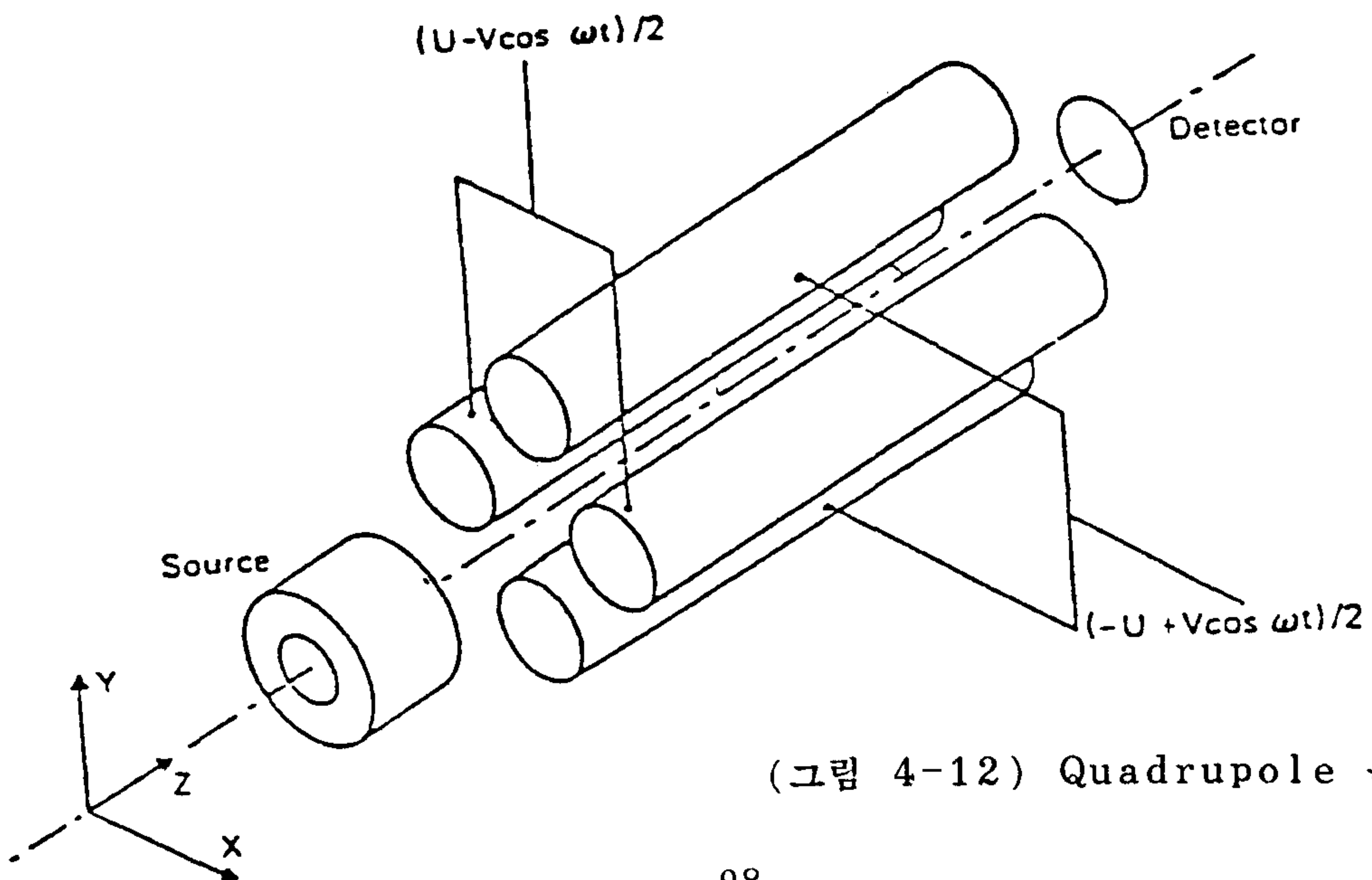
## 제 5 절 In-Situ Characterization

### 1. 이론적 배경

질량분석기(mass spectrometer)의 기본원리는 질량 대 전하(m/e)의 비가 다른 이온들이 전자기장을 통과하면서 서로 다른 공간적(space trajectories)을 가지고 운동하게 되는 점을 이용하여 원하는 질량의 물질을 선택하여 검출할수 있도록 하는데에 있다. 본 연구에 사용된 quadrupole mass spectrometer는 소형화,



(그림 4-11) Quadrupole Field



(그림 4-12) Quadrupole 분석기

저렴한 가격, 및 좋은 선형성의 장점으로 잔류가스분석 (residual gas analysis) 및 반응 mechanism 연구에 널리 채택되어 지고 있는 장비로써 이론적인 배경을 간략히 아래에 나타내었다. 전위 변수에 의해 묘사되는 3차원 전기장을 고려하면 다음이 성립한다.

$$\phi(x,y,z) = \phi_0(x^2+y^2)/2r_0^2$$

이때 전위 분포는 Laplace 방정식을 만족시키게 되고 Z축을 따라서는 불변하게 된다. 임의의 전위  $\phi_0$ 에 대해 동전위를 xy평면상에 표시하게 되면 (그림 4-11)과 같은 Cartesian축에  $45^\circ$  기울어진 4개의 쌍곡선을 그리게 된다. 이와같은 전위 분포는 근사하게 (그림 4-12) 에서와 같이 4개의 원통형 전극에 의해 형성시킬 수 있다.

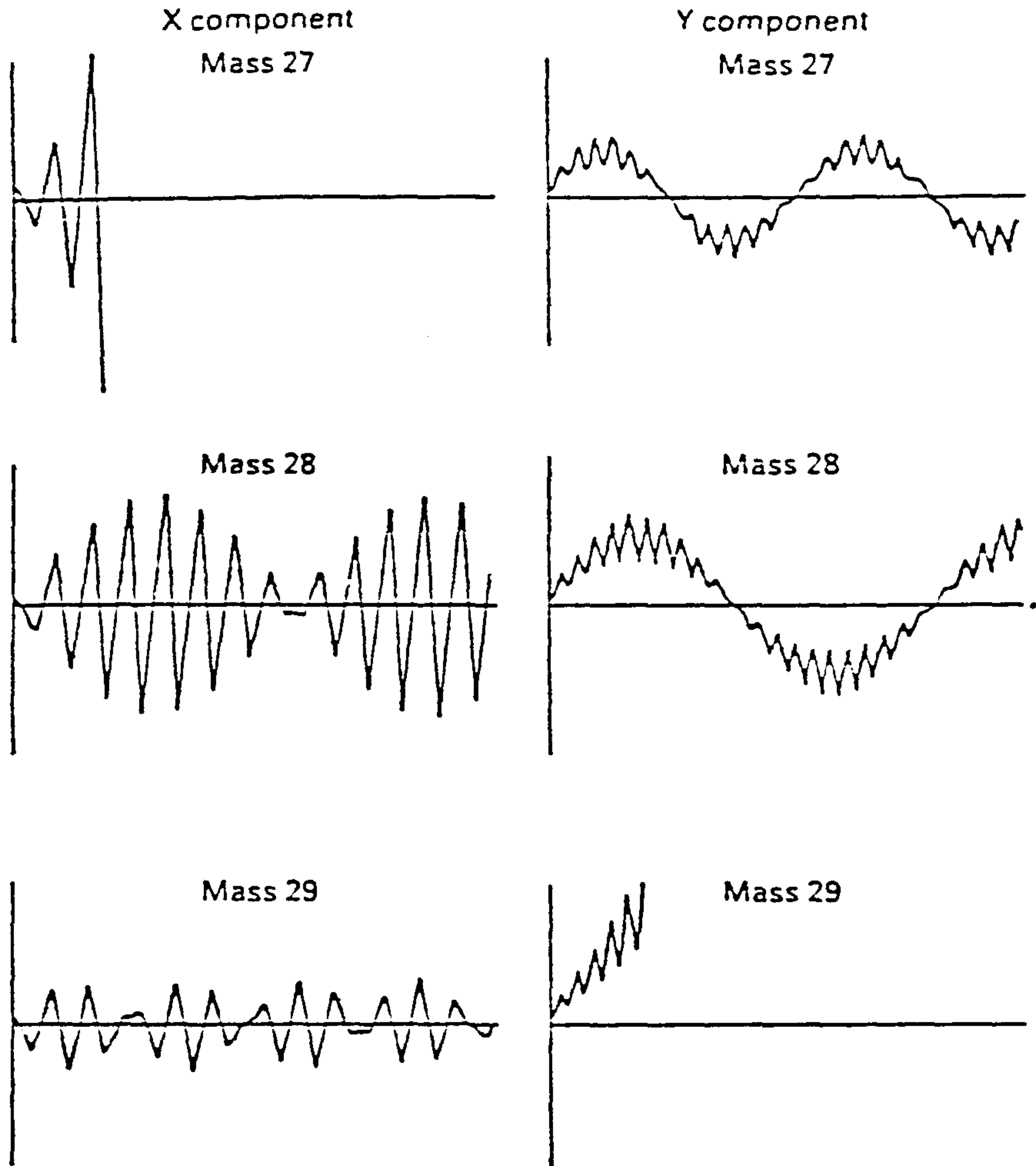
이같은 전기장 속에서 질량  $m$ , 전하  $e$ 를 갖는 이온의 운동은 3개의 독립적인 미분 방정식을 따르게 된다<sup>(1)</sup>. 또한 x와 y축 방향의 운동은 시간에 따라 변하는 전위  $\phi_0$  ( $\phi_0 = U - V \cos(2\pi ft)$ )에 의존하게 된다.

$$x + e/mr_0^2(U - V \cos(2\pi ft))x = 0$$

$$y - e/mr_0^2(U - V \cos(2\pi ft))y = 0$$

수치 해석 방법에 의해 질량수 27, 28 및 29에 대해 주어진 U와 V에 대해 x와 y축상의 이온적 (ion trajectories)을 (그림 4-13)에서 보여주고 있다. 이때  $f=2$  MHz,  $r_c=2.75$  mm이다. (그림 4-13)에서 알수 있는바와 같이 x축 방향의 이온적은 기준치 보다 작은 질량을 분산 시킴으로써 low pass filter 작용을 하고 y축 방향은 기준치 보다 큰 질량을 분산시킴으로써 high pass filter 작용을 하게 된다. 그러므로 U(전극에 인가하는 dc voltage)와 V(인가되는 rf의 진폭)을 0 부터 최대치 까지 조사(Scanning)하므로써 filter를 통과한 이온들이

Ion trajectories



(그림 4-13) 질량 27, 28, 29에서의 X축상과 Y축상의 이온적

m/e의 크기에 따라 일정한 분해능을 갖고 검출되게 된다.

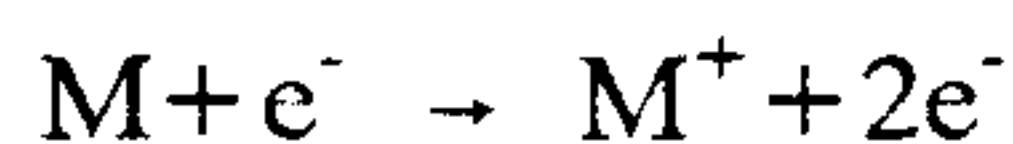
## 2. 실험 장치

OMVPE 반응기를 지난 반응기체들은 exhaust line으로 들어가면서 바로 일정한 분율이 (그림 4-14)에서 보는 바와 같이 QMS를 통과하면서 동시에 분석되어 진다. 특히 본 연구에서는 이송 기체인 수소중에 작은 분율을 차지하는 유기 금속 반응물들에 대한 분석효율을 높이기 위해 membrane inlet 시스템을 채택, 구성하였다.

Membrane은 dimethylsilicone rubber로서 섬세한 니켈 그리드에 지지되어 PTFE 페룰에 들어있으며 특수한 1/4" S.S.T-piece에 mount 되어, (그림 4-15)에서 보는 바와 같이 내밀어져 있을 때에는 laminar flow를 얻게되나 안으로 들어가 위치하면 turbulent flow 를 얻게 되어 감응시간이 6배 정도 더 길어지게 된다.

### 가. Ion Source

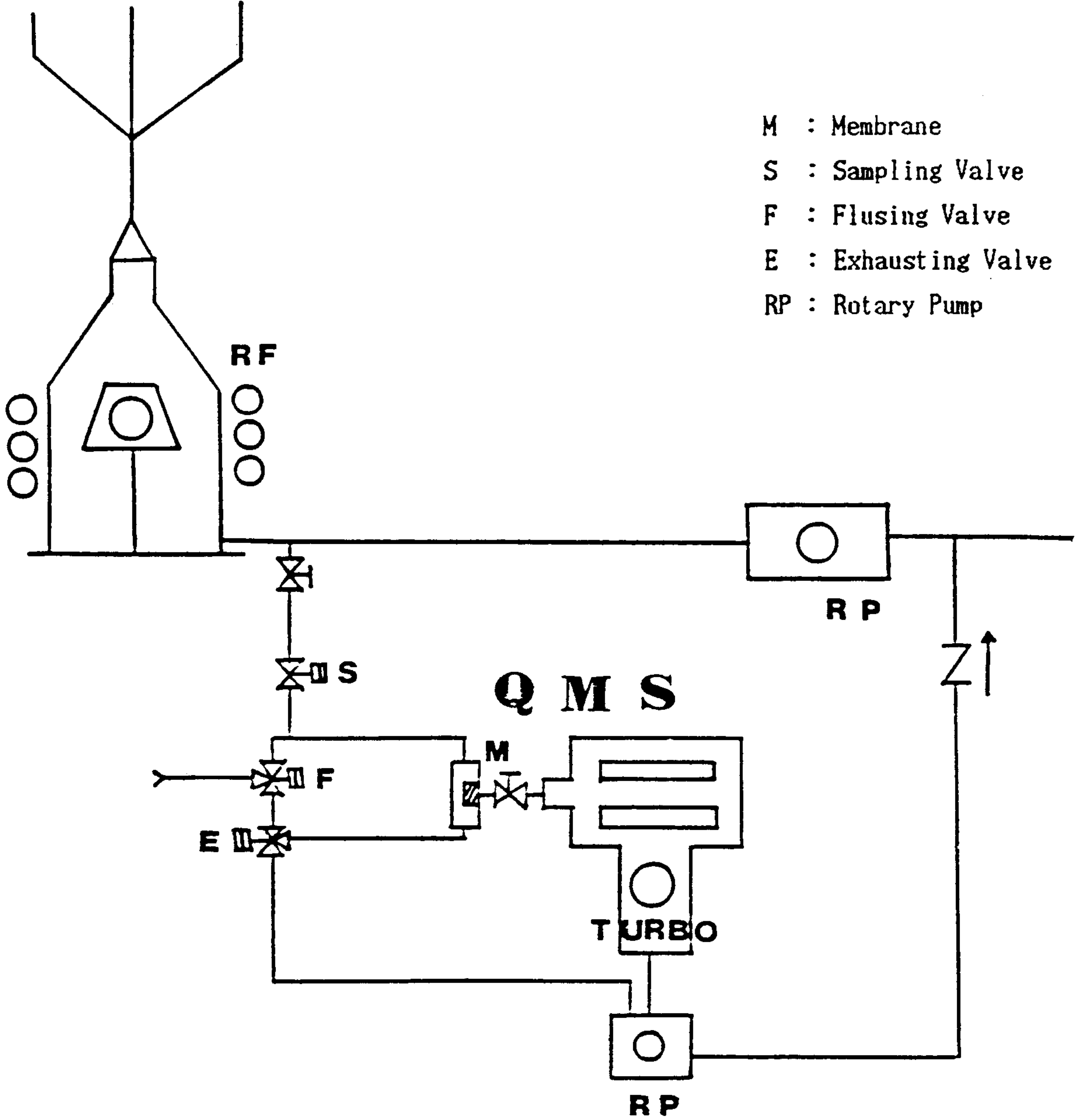
Membrane을 통과한 기상의 원자나 분자는 source chamber로 유입되며 여기서 가열된 필라멘트에 의해 생성된 전자와의 충돌에 의해 한개 혹은 두개의 전자를 빼앗겨 양이온화 된다. 이때 충돌하는 전자의 운동 에너지는 70ev이다.



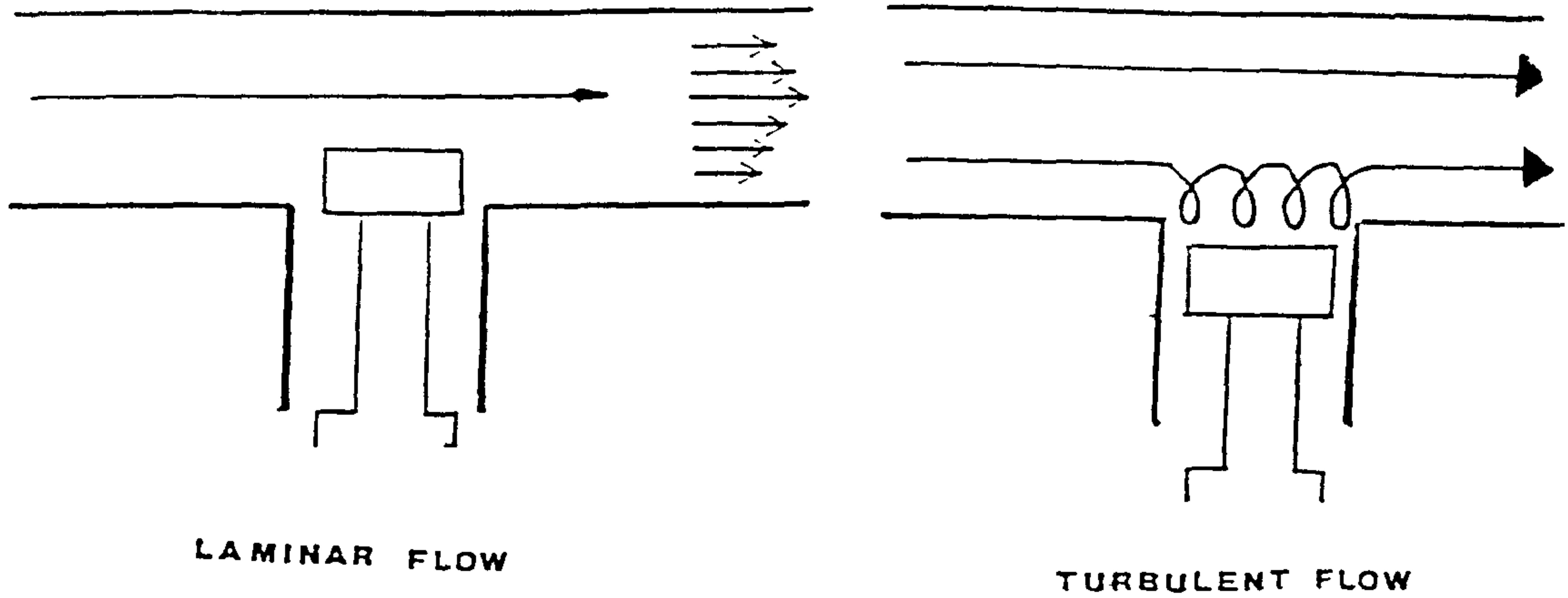
생성된 양이온은 -110V가 인가되는 focus 전극에 의해 가속되면서 analysing 필터로 주입된다. 본 연구에 사용된 RGA ion source는 원형대칭의 전자 충격 (Electron Impact) 형으로서 (그림 4-16)에서 sample의 유입에 따른 압력 profile을



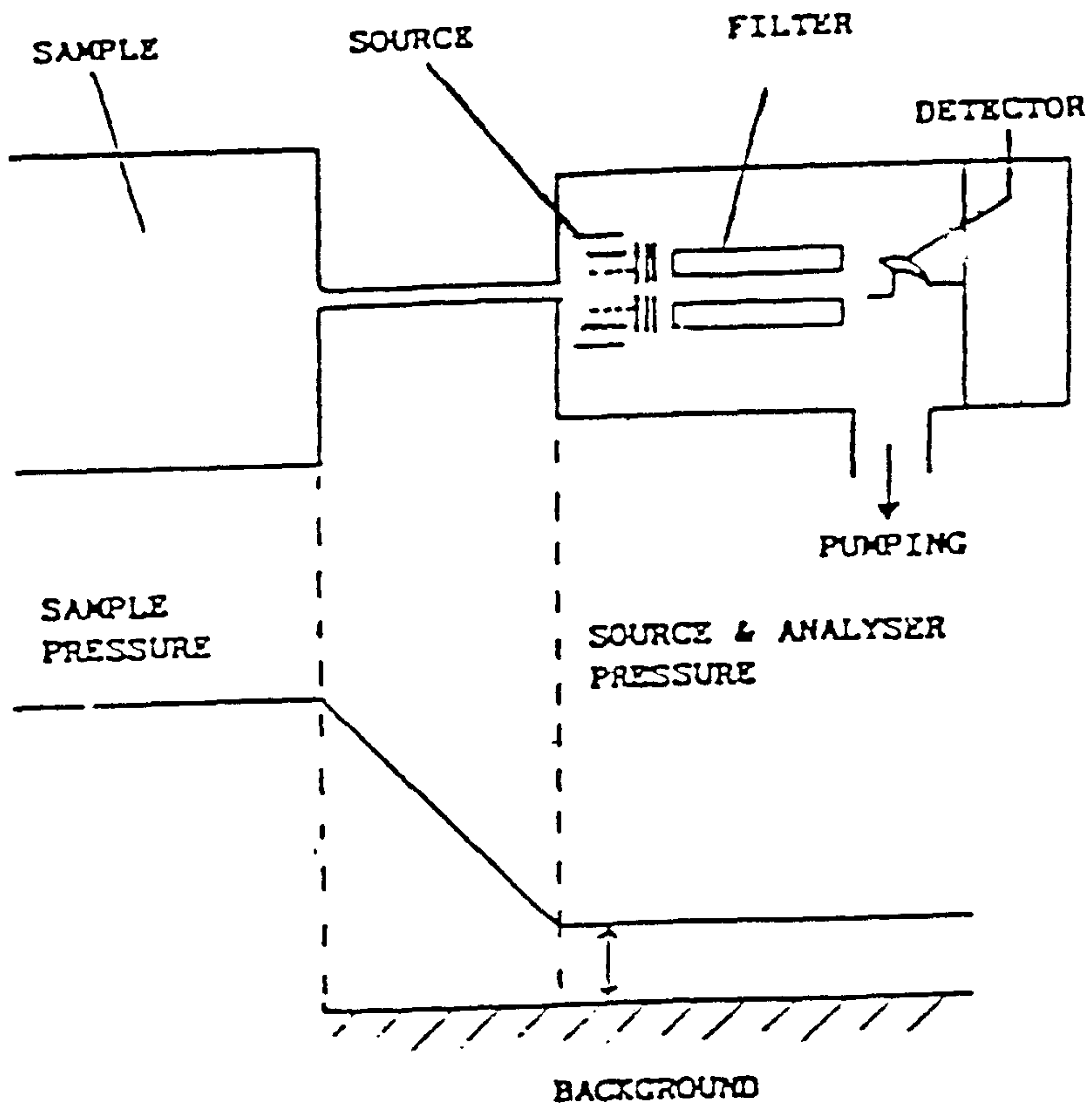
HCl.HYDRIDE. MO



(그림 4-14) Membrane 샘플 취재 시스템을 포함한 QMS 배관도



(그림 4-15) Membrane 위치에 따른 기체 흐름도



(그림 4-16) 샘플 유입에 따른 RGA 이온 source의 압력변화

보여주고 있다.

#### 나. Detector

Mass filter를 통과하게된 양이온은 analogue 전류나 discrete count rate로써 검출되는데 본 장비에 사용된 것은 dual Faraday/channel Electron Multiplier로서  $5 \times 10^{-14}$  mbar의 최소 검출 한계를 갖게된다. 이때 최대 동작 진공도는 Faraday의 경우  $10^{-4}$  mbar이고 multiplier의 경우는  $10^{-6}$  mbar의 값을 갖는다.

### 3. 분석에의 응용

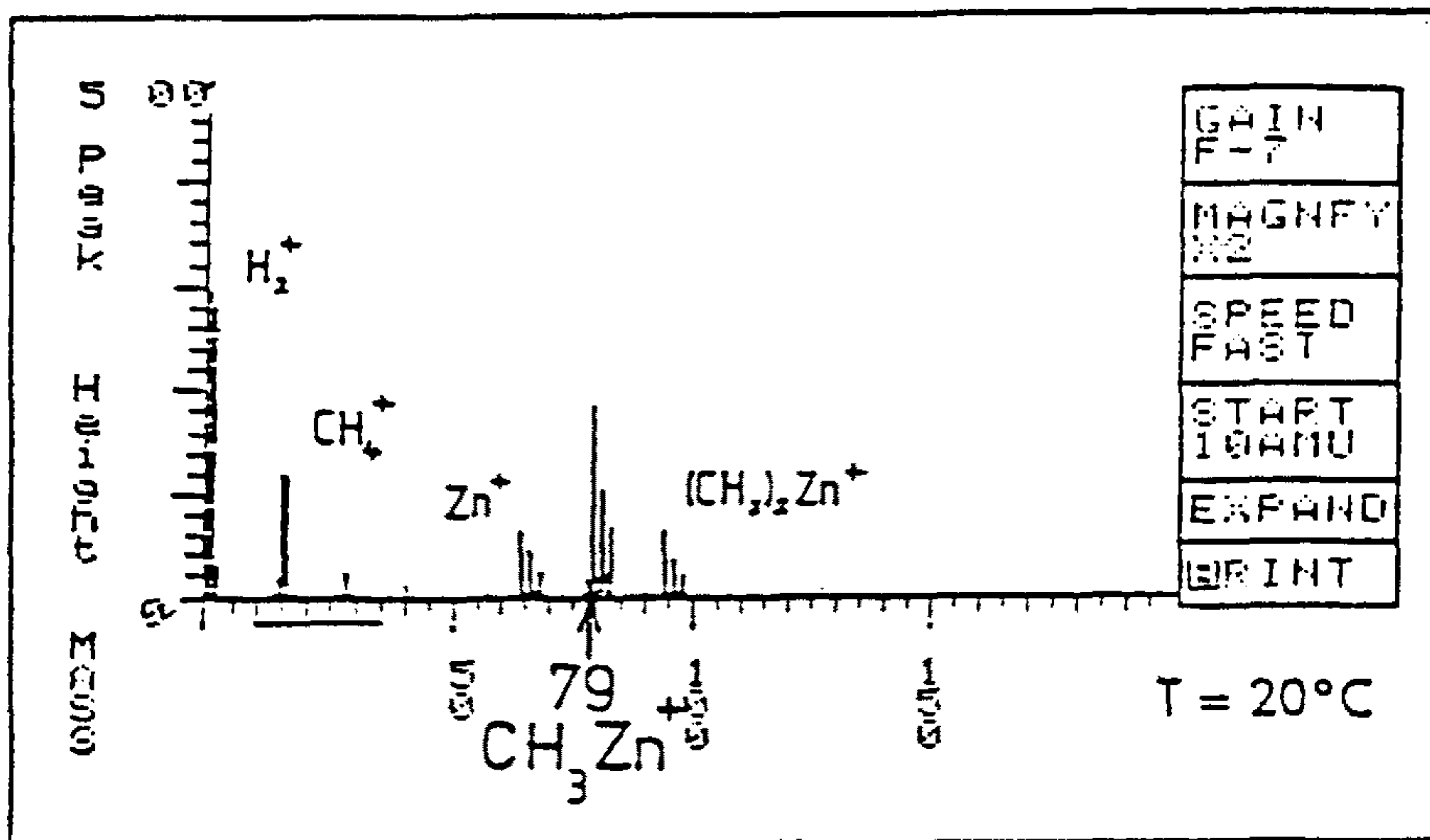
#### 가. Membrane Inlet System을 이용한 분석 특성.

Membrane Inlet은  $N_2$ 나  $H_2$ 와 같은 이송기체에 비해 거대한 유기 분자들을 더 쉽게 투과시키는 선택적 투과특성을 가짐으로써 본 연구의 경우처럼 다량의 수소기체중 적은 분율 ( $1/10^3$ )을 갖는 유기 금속물의 분석에 매우 유용한 sampling 시스템이다. <표 4-2>에서 각기체 종류에 따른 선택적 투과율을 보여주고 있다. (그림 4-17)에 구체적인 스펙트럼을 보여주고 있다<sup>(2)</sup>. 실제로  $1.8 \times 10^{-3}$  분율을 갖는 DMZ(Dimethyl Zinc)의 양( $m/e=79$ )이 운송기체인 수소( $m/e=2$ )와 같은 크기의 peak 높이를 보여준다. 이것은 일반적인 sampling 방법을 통해 QMS로 분석한  $[ASH_3]/[TMGa]$  이 20인 경우의 mass spectrum인 (그림 4-18)에서 뚜렷한 차이를 볼수 있다<sup>(3)</sup>. 이 경우 TMGa의 data는 noise에 묻혀 식별키 어려움을 알수 있다. 또한 membrane 시스템의 경우에 Sample 농도에 따른 peak 높이가 선형적으로 변함을 (그림 4-19)의  $CH_3Zn^+$  ( $m/e=79$ )의 검정표로 부터 알수 있다.

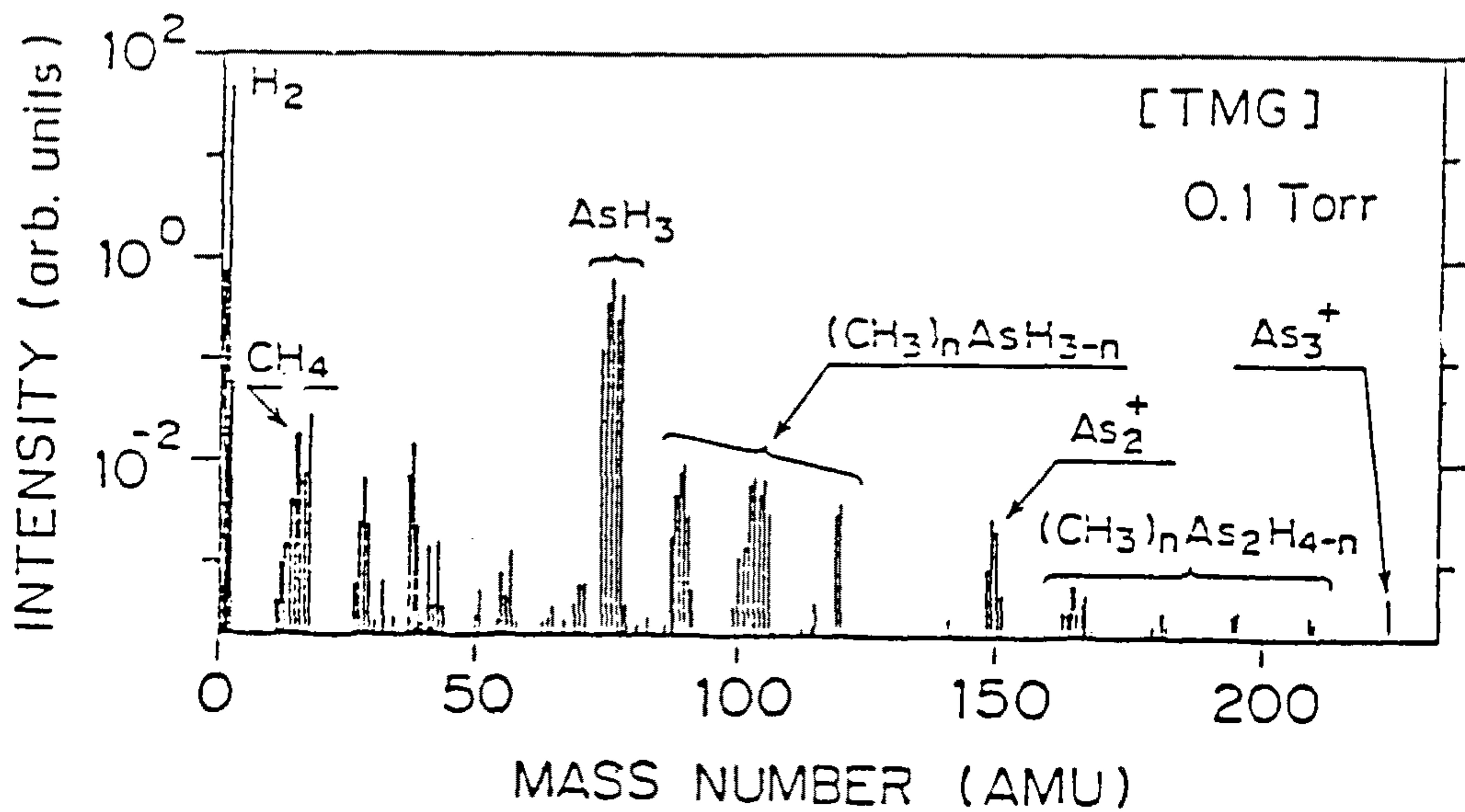
OMVPE 방식에 의한 화합물 반도체 결정성장에서 QMS를 이용한 반응 메

<표 4-2> Dimethyl Silicone Rubber의 기체 투과율(25°C, 1 atm)

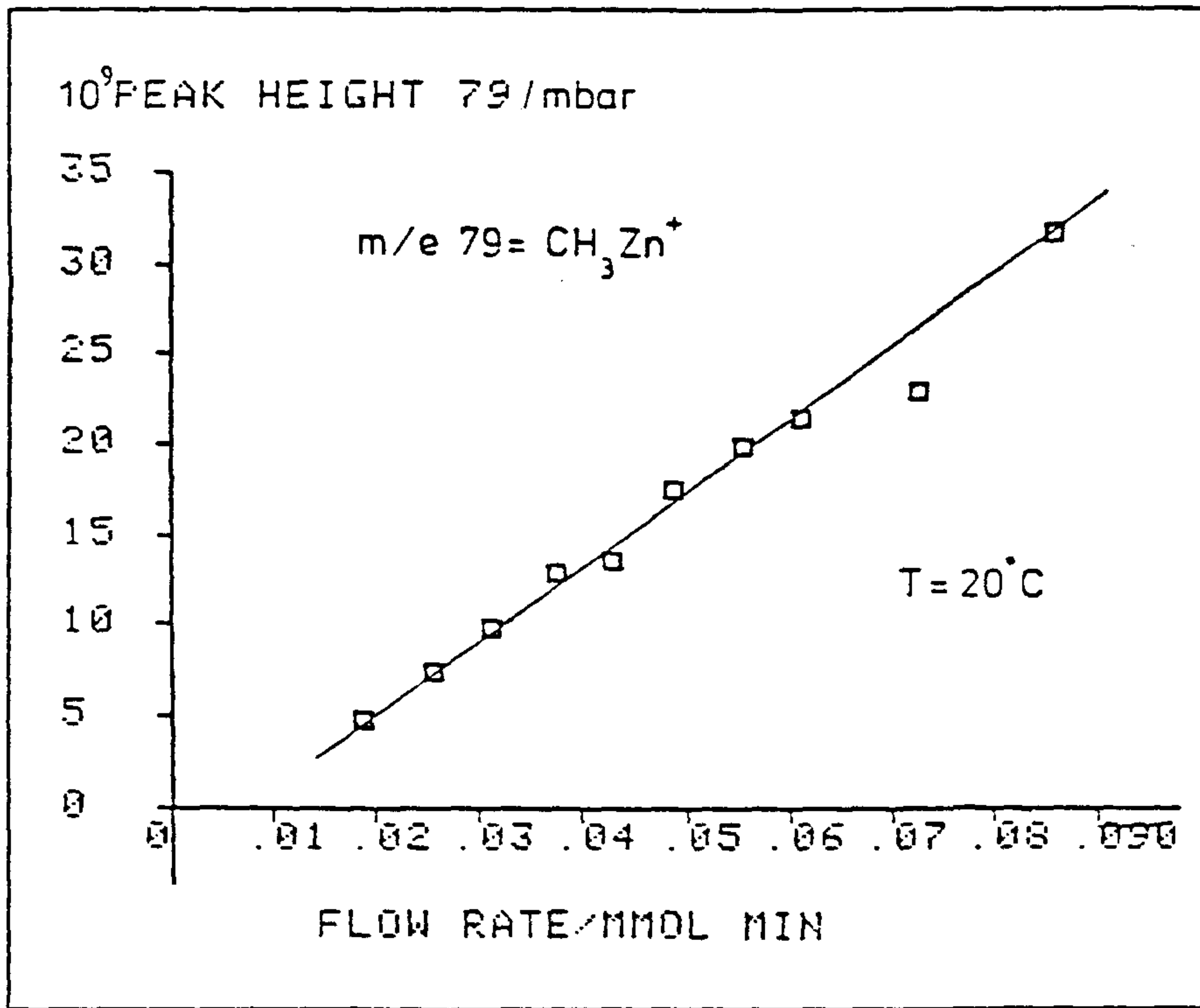
기 체	투 과 율 ( $C \times 10^6 \text{cm}^2 \text{S}^{-1} \text{cmHg}^{-1}$ )
H <sub>2</sub>	65
He	35
H <sub>2</sub> O	3600
N <sub>2</sub>	28
O <sub>2</sub>	60
CH <sub>4</sub>	95
C <sub>2</sub> H <sub>6</sub>	250
C <sub>3</sub> H <sub>8</sub>	2640
C <sub>4</sub> H <sub>10</sub>	900
C <sub>10</sub> H <sub>22</sub>	430
CS <sub>2</sub>	9000
DMZ(OM)	~10 <sup>3</sup>



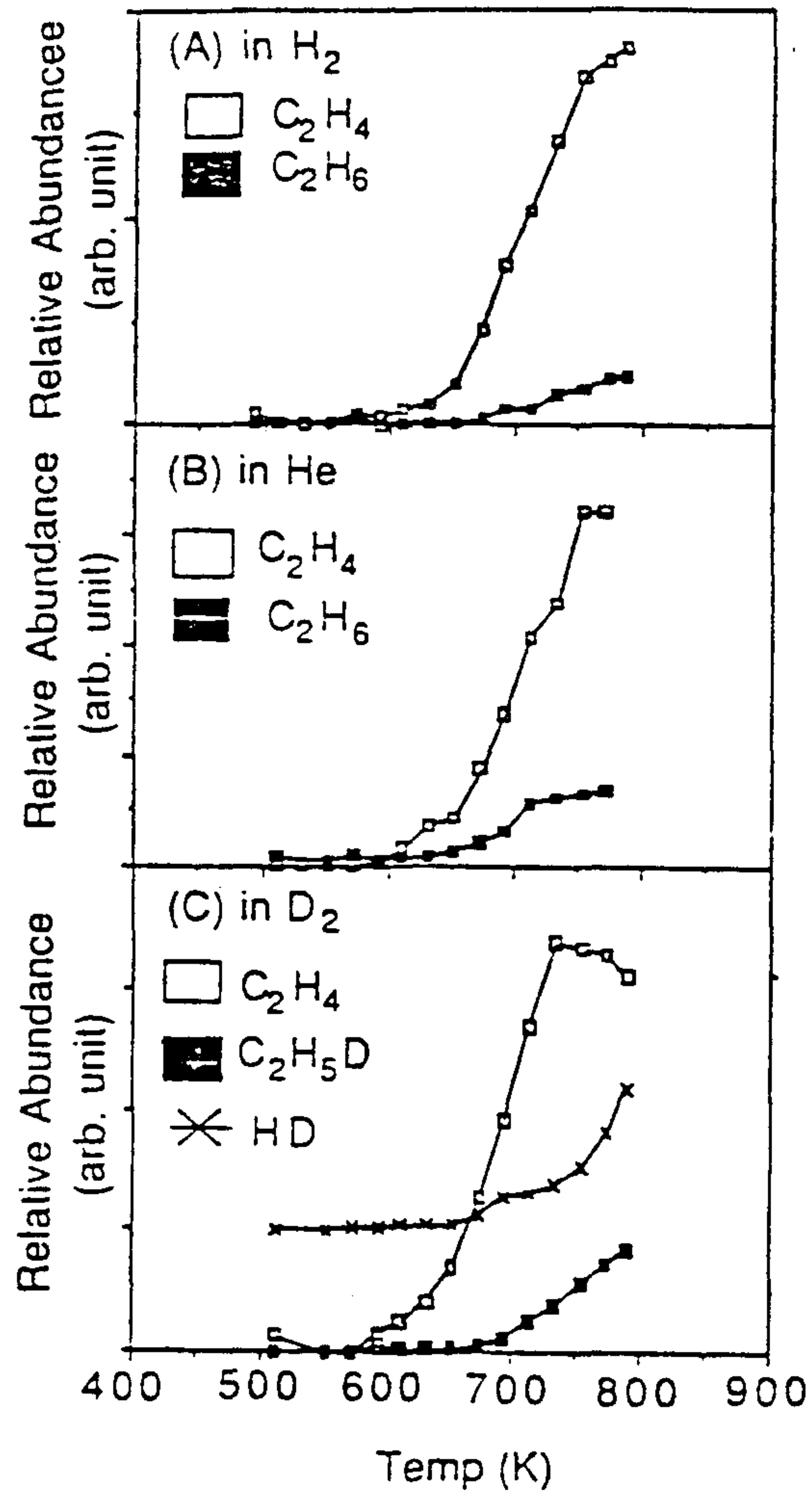
(그림 4-17) 실온에서 membrane을 통과한 DMZ의 전형적인 Mass spectrum



(그림 4-18) TMG-AsH<sub>3</sub> 시스템의 일반적인 mass spectrum



(그림 4-19) DMZ 유량에 따른 peak 높이의 검정 그래프



(그림 4-20) TEAs 분해반응에서 이송기체의 변화에 따른 생성물의 상대 생성율

카니즘의 연구는 여러 각도에서 매우 활발히 보고되고 있으며 특히 GaAs의 경우 반응 전후의 Ga과 CH<sub>4</sub>의 농도변화를 분석함으로써 (CH<sub>3</sub>)<sub>3</sub>Ga+3/2H<sub>2</sub> → 1Ga<sup>0</sup>+3CH<sub>4</sub>의 반응 메카니즘을 확인 시키고 있으며<sup>(4)</sup> 최근의 연구로서 (그림 4-20)에서 보는 바와 같이 TEAs(Triethyl Arsine)의 분해반응에서 이송기체 변화(H<sub>2</sub>, H 및 D<sub>2</sub>)에 따른 mass spectrum을 분석함으로써 반응에 미치는 이송기체의 효과등을 명백히 보여주고 있다<sup>(5)</sup>.

## 제 6 절 OMVPE실 안전 설비

### 1. 사용 유독성 재료들의 종류 및 물리, 화학적 특성

OMVPE 시스템에서는 인체에 매우 유독한 기체들을 재료로 사용하므로 우선 이러한 기체들의 물리, 화학적인 특성들을 충분히 인식하고 그에 따른 적절한 안전대책을 세우는 것이 중요하다. 본 장비에 사용되는 유독성 재료의 종류 및 특성을 <표 4-3>에 나타내었다.

### 2. OMVPE실 내부의 안전설비

#### 가. 배기 설비

모든 배기 fan은 24 시간 가동하고 있으며 자가 발전 시설을 갖추어 무정전 배기가 가능하다. <표 4-4>는 실 내부의 배기 duct 위치 및 배기 용량에 관한 표이다.

#### 나. 실 내부 음압유지

유독기체가 누출 되었을 경우 누출된 기체가 OMVPE 실 외부로 새 나가지



<표 4-3> 수소화물과 OM source의 위험성

종 류	TLV/IDLH	냄새 및 색깔	특 성
Arsine (AsH <sub>3</sub> )	50 ppb / 6 ppm	마늘 냄새 무색	가연성, 맹독성
Hydrogen- Chloride (HCl)	5 ppm / 100 ppm	자극적 냄새 무색	불연성, 부식성
Hydrogen- Selenide (H <sub>2</sub> Se)	50 ppb / 2 ppm	비위 상하는 냄새 무색	가연성, 맹독성
Phosphine (PH <sub>3</sub> )	300 ppb / 200 ppm	생선 상한 냄새 무색	열분해성, 맹독성
Silane (SiH <sub>4</sub> )	5 ppm	불쾌한 냄새	열분해성, 유독성
Dimethyl Zinc (CH <sub>3</sub> ) <sub>2</sub> Zn	없음	무색	열분해성, 물과 격렬히 반응
Trimethyl Gallium (CH <sub>3</sub> ) <sub>3</sub> Ga	없음	무색	열분해성 물과 격렬히 반응
Trimethyl Indium (CH <sub>3</sub> ) <sub>3</sub> In	없음	흰색	열분해성
Trimethyl Alumi- nium (CH <sub>3</sub> ) <sub>3</sub> Al	없음	무색	열분해성 물과 격렬히 반응

<표 4-4> 배기 duct의 위치와 배기 용량

배기 장비	배기종류	Duct 규격/재질	작동법	최대배기량
MOCVD Reactor	일반배기	8"/아연도 철판	Gas Ballast Damper 조절	450 CMH
진공펌프	일반배기	4"/아연도 철판	Gas Ballast Damper 조절	450 CMH
AsH <sub>3</sub> , PH <sub>3</sub> , SiH <sub>4</sub> Gas Cabinet	일반배기	8"/아연도 철판	Gas Ballast Damper 조절	450 CMH
HCl Gas Cabinet	산배기	6"/PVC	Gas Ballast Damper 조절	675 CMH
Rikazol-scrubber	산배기	8"/PVC	Gas Ballast Damper 조절	675 CMH
Burn Box	열배기	8"/아연도 철판	항상 열려있음	325 CMH
Gas Cabinet #3	비상배기	6"/아연도 철판	push button S/W에 의한 운전	170 CMH
Room	비상배기	아연도 철판	push button S/W에 의한 운전	170 CMH

못하도록 하기 위해서 실 내부를 실 외부에 비해 음압을 유지 하는 것이 중요하다. OMVPE 실 내부로의 공기 유입량은 1500CMH 정도이며 실 외부로의 공기 배기량을 조절하여 음압을 유지하고 있으며 현재 비상 배기 미가동시에 음압이 걸리고 있다.(2mm Water)

#### 다. 기체 공급 시스템

맹독성 기체의 안전보관 및 실린더 교체시의 기체 누출에 의한 피해를 최소화 하기 위해 gas cabinet을 사용하고 있고 gas cabinet은 24시간 배기시키고 있다. 독성이 강한 수소화물 기체의 경우 tube fitting은 모두 VCR connection을 사용하였으며 고압에서의 감압 check, bubble check, He leak check를 병행하여 기체 누설 여부를 조사하였다. 또 gas cabinet 내부에는 sprinkler가 부착되어 있어 cabinet의 온도가  $\sim 60^{\circ}\text{C}$  이상으로 상승하면 자동적으로 sprinkler가 동작하도록 되어있다.

#### 라. 유독 기체 검출 시스템

유독 기체 누출시의 불행한 사고를 미연에 방지하기 위해 MDA사 제품인 chemcassete 형의 TLD-1 3대를 유독기체 누출의 가능성이 큰 위치(현재 5 point detection ; Burn Box, Rikazol Scrubber, OMVPE Reactor, QMS 및 Gas Cabinet)에 설치하여  $\text{AsH}_3$  이나  $\text{PH}_3$ 의 누출 직후 9초 이내에 경보가 울리도록 되어있다. 또한 MDA의 경우 무정전 line을 채택하여 24시간 계속해서 작동시키도록 되어있다. Chemcassete의 유독기체에 대한 검출 성능은 다음 <표4-6>과 같다.

### 3. OMVPE 장비 내의 자체 안전 설비

<표 4-5> Chemcassete의 유독 가스에 대한 검출 성능

기체 종류	TLV	Range	최저검출성능
Arsine (AsH <sub>3</sub> )	50 ppb	0~500 ppb	7 ppb
Phosphine (PH <sub>3</sub> )	300 ppb	0~1000 ppb	6 ppb
Silane (SiH <sub>4</sub> )	5 ppm	0~25 ppm	1 ppm

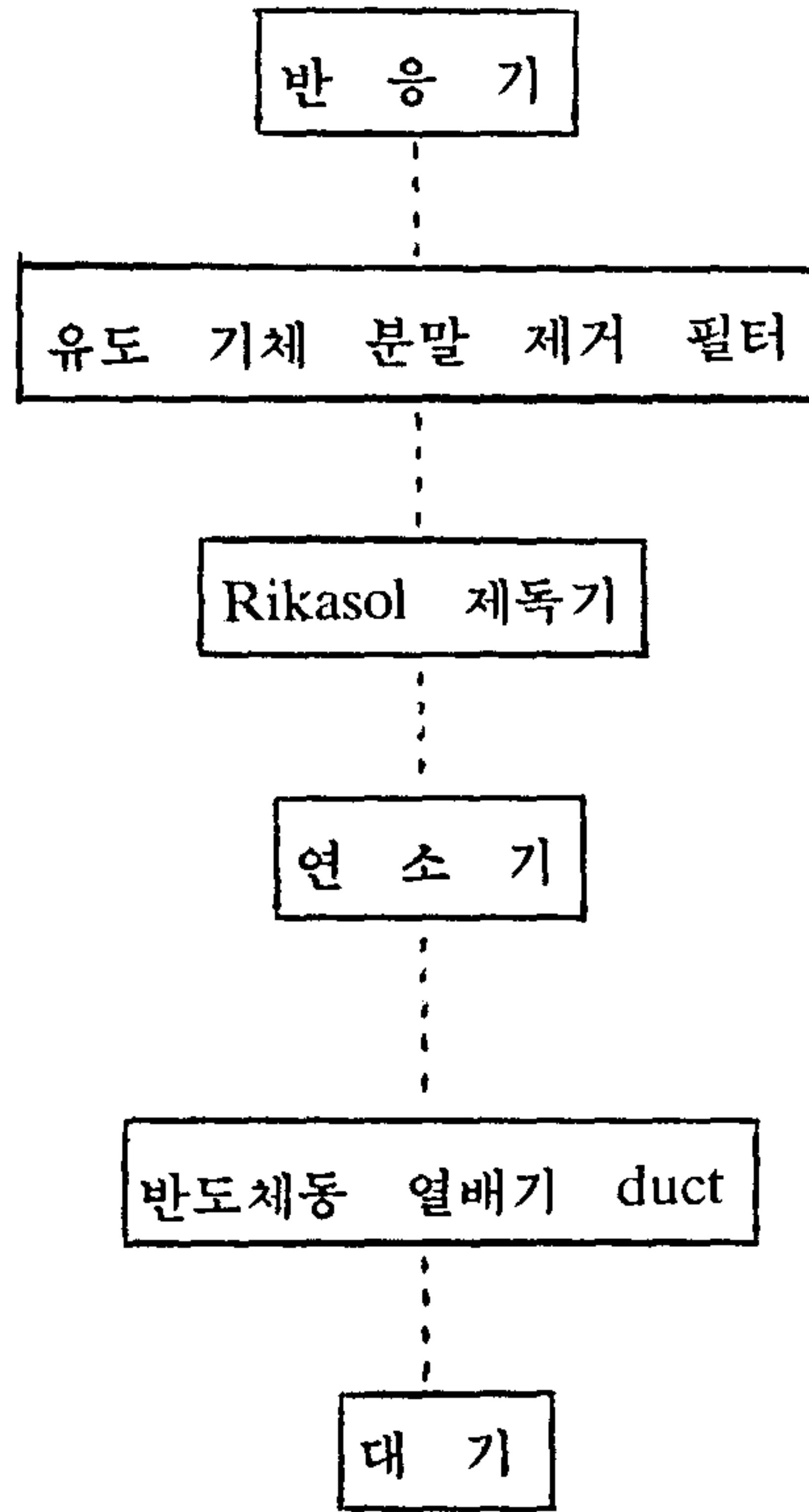
가. 컴퓨터에 의한 자동 안전 제어 장치

장비 운용에 따른 안전 대책은 IBM PC에 의해 자동으로 제어할 수 있도록 되어 있으며 아래에서 구체적인 예를 보여주고 있다. 즉 아래에 열거된 감지기들의 상태를 만족시키지 못할 경우에는 시스템을 작동시킬 수 없다. 특히 "a"번과 "g"번의 감지가 만족스럽지 할 경우 RF generator조차 켜지지 않는다. 그리고 결정성장 과정중이라도 이상 열거된 감지기에 문제가 발생하면 그 즉시 작동이 중단되고 RF generator가 꺼지며, 유독 기체의 유입 밸브가 잠겨지고 단지 질소만이 시스템을 통과하게 된다.

- a. Base plate 냉각수 흐름 감지
- b. Bell jar 냉각수 흐름 감지
- c. Base plate와 bell jar 사이의 진공 seal 감지
- d. 캐비닛의 배기 여부 감지
- e. 기체 배기 부분의 역류 감지
- f. 압축 공기 공급 압력(80psig) 감지
- g. 반응기 부분의 door 잠김 상태 감지
- h. 유독 기체 감지기의 입력 감지

나. 반응 유독 기체의 다단계 처리 시설

OMVPE 장비의 운송 기체로 사용되는 다량(~10lpm)의 수소와 유독한 가스들을 안전하게 처리하기 위하여 광전자연구실에서는 다음과 같은 여러 단계의 처리 과정을 거쳐 독성이 제거된 가스만을 대기에 방출하고 있다.



(그림 4-21) 반응기체 처리 과정의 개략도

여 백

## 제 5 장 u-InP/InP OMVPE 결정성장



여 백

## 제5장 OMVPE에 의한 u-InP/InP 성장

### 제 1 절 개요

III-V족 화합물 반도체를 이용한 광전소자 제작공정중 가장 중요한 기술은 다단계 결정성장이 가능한 epitaxy 기술이다. III-V족 화합물 반도체의 epitaxy 기술로는 LPE 방식, VPE 방식, MBE 방식, OMVPE 방식이 많이 사용되고 있다. 그러나 광전집적회로(OEIC)의 제작기술에 사용되기 위하여서는 넓은 면적에 균일한 epitaxy층을 얻을수 있을뿐만 아니라, 성장속도를 정확히 조절할수 있고, 반도체의 조성및 도핑을 급격히 변화 시킬수 있어야 하므로, MBE 방식과 OMVPE 방식이 많이 사용되고 있다. 그러나 본연구에서 제작 하고자 하는 InP계의 광수신 OEIC 제작에 있어서는 P를 함유하는 화합물 반도체의 epitaxy 성장이 필요하므로 P를 함유하는 화합물 반도체의 epitaxy가 어려운 MBE 방식의 이용은 어려우므로 본 연구에서는 다단계 결정 성장 기술로 OMVPE 방식을 사용 하였다.

OMVPE는 유기금속물(organo-metal)과 수소화물(hydride)을 고온에서 반응시켜, 이들의 반응 생성물을 기판위에 고체상태로 성장 시키는 기술로서 본 연구에서는 TMI(tri-methyl indium)와  $\text{PH}_3$ 를 사용하여 성장온도 500-700°C에서 InP를 성장시켰다.

본장에서는 OMVPE를 이용한 InP 성장 기술과 성장된 InP의 표면형상, 성장속도를 조사하였다. 또한 OMVPE로 성장된 InP 에피층은 X-ray를 이용한 Back-Reflection Laue Method, Double Crystal X-ray Diffraction

(DCD), 주사전자현미경을 이용한 Electron Channeling Pattern(ECP), 표면 분석기인 X-ray Photoelectron Spectroscopy (XPS)와 Auger Electron Spectroscopy (AES), 상온과 저온 Photoluminescence (PL) 실험, Hall 효과 실험으로 성장층의 결정성, 불순물 농도, 전기 및 광학적 특성을 평가 하였다.

## 제 2 절 실험 방법

### 1. 기판 준비

OMVPE 성장 실험에서는 Sumitomo(Japan)사의 반절연 및 n-type InP 웨이퍼를 기판으로 사용하였다. 본 실험에서 사용된 InP 웨이퍼들의 사양은 다음 <표 5-1>과 같다.

<표 5-1> InP 웨이퍼 사양

	성장방법	Dopant	방향	EPD	Doping
S.I.	LEC	Fe	(100)	$<1 \times 10^5$	-
n-type	LEC	S	(100)	$<5 \times 10^2$	$4 \times 10^{18}/\text{cm}^3$

본 실험에서는 반절연 또는 n-type 의 웨이퍼를 cleaving 한 다음 질소 분위기에서 보관 하였으며, 바로 loading 하거나 KOH etching 하여 loading 하였다. KOH etching 방법은 다음과 같다.

- . TCE boiling ; 5 분
- . Aceton boiling ; 5 분

- . Methanol boiling ; 5 분
- . DI water rince ; 10 회
- . KOH:DI water=1:4 solution ; 1분 dip etching
- . DI water ; 5 분 cascade
- . 질소 분위기에서 건조

위와 같이 준비된 기판을 reactor에 loading하거나 OMVPE 성장후 unloading 할 때는 기판 및 reactor의 오염을 막기 위해 질소 globe box를 사용하였으며 globe box와 reactor는 항상 질소로 purge 하여 질소 분위기를 유지하였다.

## 2. Bell jar 및 Susceptor 세척

### 가. Bell jar 세척

4~5회의 성장 실험이 끝난 후에는 새 bell jar로 교체하였으며 사용한 bell jar는 다음과 같은 방법으로 세척하였다.

- a. 작업전에 cartridge 형태의 마스크와 비닐 장갑을 착용한다.
- b. Bell jar 내의 냉각수를 완전히 제거한후 장비로부터 분리하여 wet station으로 옮긴다.
- c. 6:1:1의 에칭 용액(70% HNO<sub>3</sub>; 40% HF; glacial CH<sub>3</sub>COOH)을 사용하여 bell jar 내부를 세척한다.
- d. DI water로 남아있는 산을 3~4회 씻어낸다.
- e. 질소 purge가 가능한 dry oven에 넣어 건조시킨다.

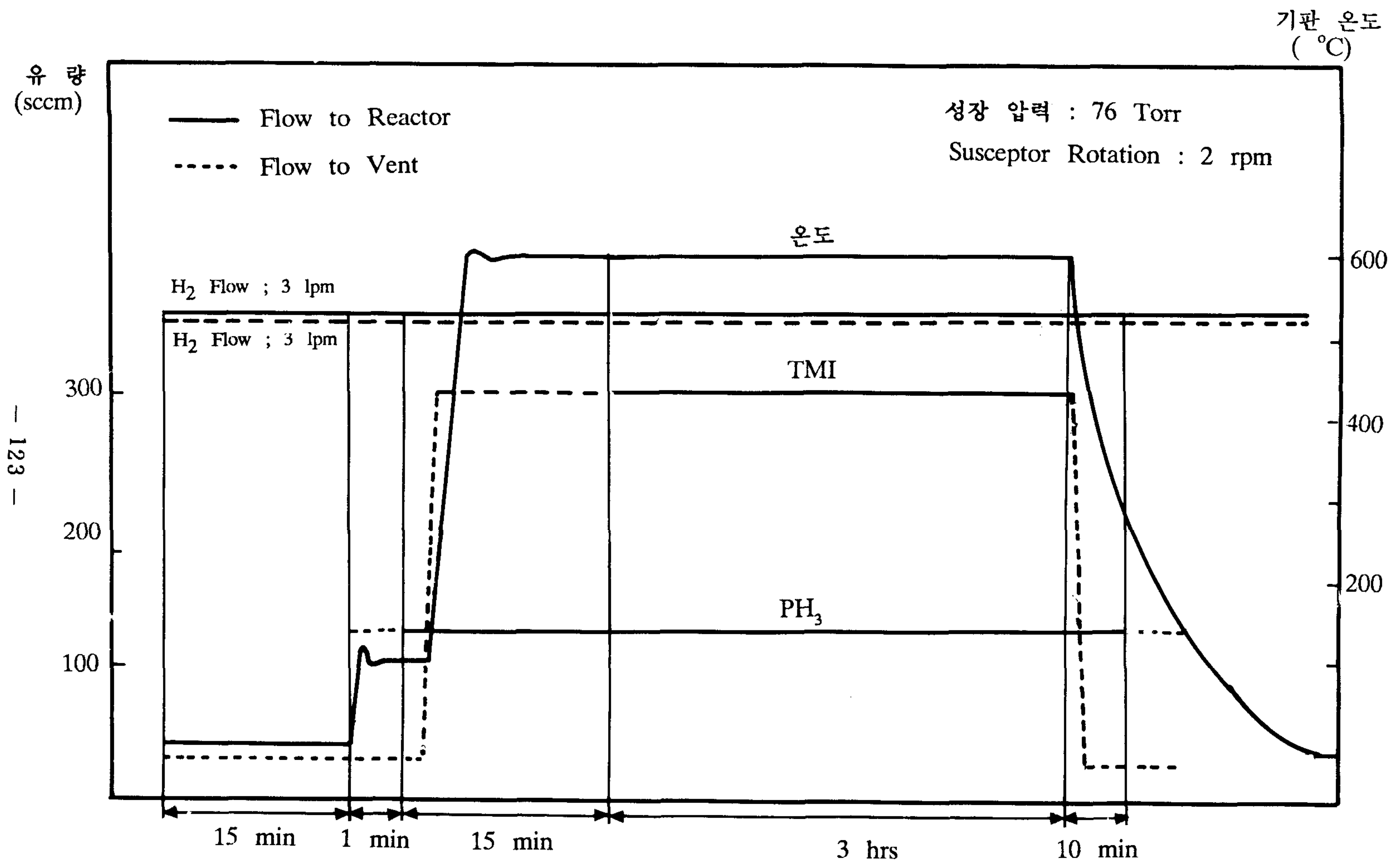
### 나. Susceptor 세척

Bell jar를 교체하기 전에 사용된 bell jar를 이용하여 susceptor의 HCl 세척을 실시하였다. HCl은 100%의 gas source를 사용하였으며, 다음과 같은 순서로 세척 하였다.

- a. 10분간 115 sccm의 질소로 bell jar 내부를 purge 한다.
- b. 30분간 100 sccm의 수소를 흘리면서 susceptor의 온도를 900°C로 올린다.
- c. 30분간 10 sccm의 HCl과 100 sccm의 수소를 흘리면서 susceptor를 세척한다.
- d. 30분간 수소 분위기에서 900°C로 baking한다.
- e. Susceptor 온도를 상온으로 냉각시킨다.
- f. 5 lpm의 질소로 2 시간 purge 한다.

### 3. u-InP/InP OMVPE 성장

KOH etching된 기판 또는 세척 되지 않은 기판을 susceptor 위에 sapphire pin으로 고정시킨후 (그림 5-1)과 같은 순서에 의해 u-InP를 성장 하였다. 기판을 loading한 다음 reactor 내의 불순물을 제거하기 위해 질소 분위기에서 760~0 torr로 3회 진공 purge한 후 H<sub>2</sub>로 치환하였다. 760 torr에서 5 lpm의 수소를 15분간 흘려주어 reactor 내부가 충분히 purge된 후 susceptor를 가열하여 susceptor의 온도가 150°C에 이르면 120~160 sccm의 PH<sub>3</sub>을 흘려주어 기판의 분해를 방지하였다. Susceptor가 성장 온도에 도달하면 온도의 안정화 및 균일한 가스 온도 분포를 위해 5분 기다린 다음 TMI를 reactor로 유입시켜 성장을 시작하였다.. TMI는 교체이므로 bubbler를 이용하



(그림 5-1) OMVPE 성장 순서 개략도

여 15분간 vent line으로 bypass 시켜 안정화 시킨후 reactor로 유입시켰다. 성장실험이 끝난 후에는 TMI 유입을 중단시킴과 동시에 susceptor를 냉각시켰다. Susceptor가 냉각되는 동안 기관의 분해를 방지하기 위해 기관 온도가 300°C가 될때 까지 120 sccm의 PH<sub>3</sub>을 흘려주었다. Susceptor가 100°C로 냉각되면 이송기체를 질소로 치환하였다. Reactor를 열기 전에 잔류 PH<sub>3</sub> 또는 반응 생성물의 충분한 제거를 위해 5 lpm의 질소를 1~2시간 흘려주었다.

### 제 3 절 실험결과 및 논의

본 실험에서 채택한 성장조건과 이에 따른 성장속도와 성장효율을 <표 5-2>에 나타내었다. <표 5-2>의 가스속도는 웨이퍼를 loading한 지점에서의 평균 가스 속도이다. PH<sub>3</sub>의 유량은 회석 가스인 수소를 제외한 순수한 PH<sub>3</sub> 만의 유량이며 TMI 유량은 bubbler 온도, 압력, bubbler를 통과하는 수소 이송가스의 양으로부터 계산되어진 순수 TMI의 유량이다.

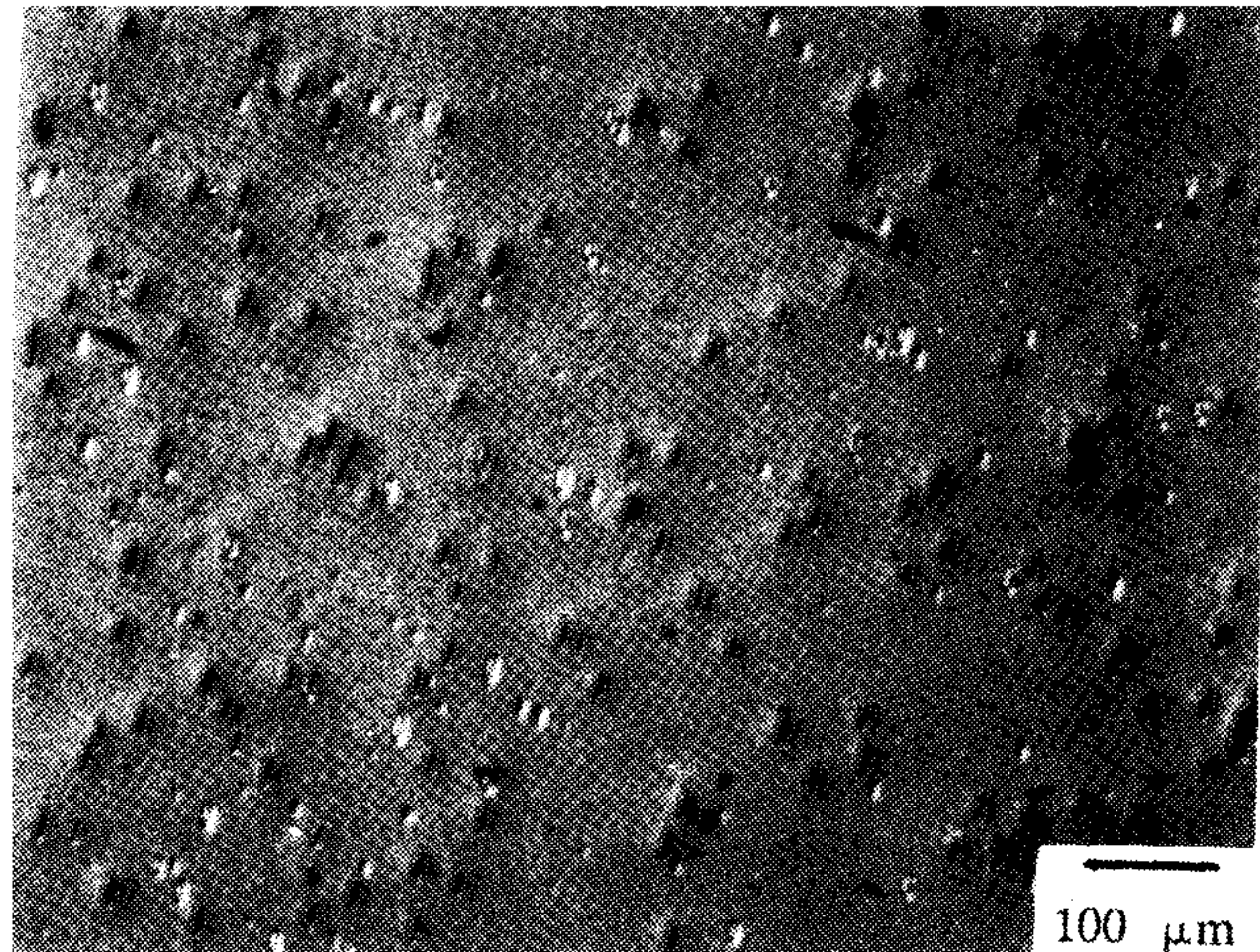
#### 1. 표면 형상

성장층의 표면형상은 세척하지 않은 기관에 성장된 InP를 Normal-sky 현미경으로 관찰하였다. (사진 5-1)에는 성장 온도 변화에 따른 표면 형상의 변화를 나타내었다. 650°C에서 성장된 시료의 표면 형상이 가장 좋은 특성을 보였다. 저온 쪽에서 표면 형상이 나쁜 원인은 일반적으로 기관의 온도가 충분히 높지 못하므로 In 또는 P의 화합물이 기관 표면에서 제자리를 찾아가기 위한 이동도가 충분히 크지못하거나 PH<sub>3</sub>의 불완전한 분해로 인한

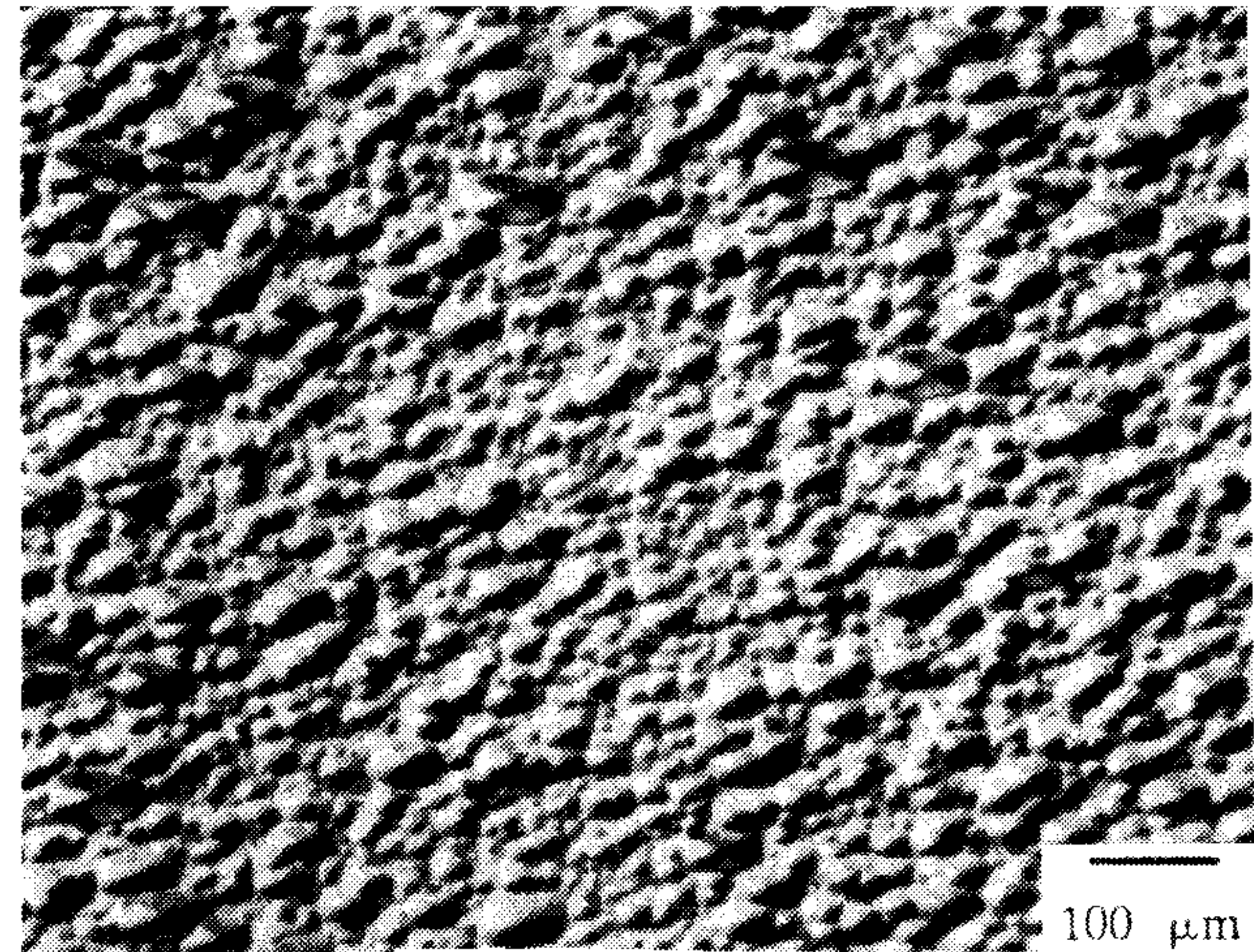
<표 5-2> OMVPE 성장 실험에서 채택된 성장 조건표

Run#	성장온도	성장압력	PH 유량	TMI유량	TMI분율	V/III	총유량	기체속도	성장속도	성장효율
		Torr	sccm	sccm			slpm	cm/sec	μm/h	μm/mole
No 2	610	760	162	3.32	4.5	48.8	7.45	2.9	2.1	2.8E2
No 3	605	760	121	1.99	2.9	60.8	6.75	2.6	2.0	3.8E2
No 5	600	76	120	1.13	2.5	106	4.5	17	2.3	7.7E2
No 6	600	76	120	0.68	1.5	176	4.5	17	1.7	9.4E2
No 11	601	76	122	0.68	1.5	179	4.6	17	1.5	8.3E2
No 12	551	76	121	0.68	1.5	178	4.5	17	1.2	6.9E2
No 13	651	76	120	0.68	1.5	178	4.5	17	1.0	5.5E2
No 15	700	76	121	0.68	1.5	178	4.5	17	1.0	6.1E2
No 16	600	76	120	0.67	1.5	179	4.5	17	1.5	8.4E2
No 17	625	76	120	0.67	1.5	179	4.5	17	1.0	5.6E2
No 18	500	76	120	0.67	1.5	179	4.5	17	1.0	5.6E2

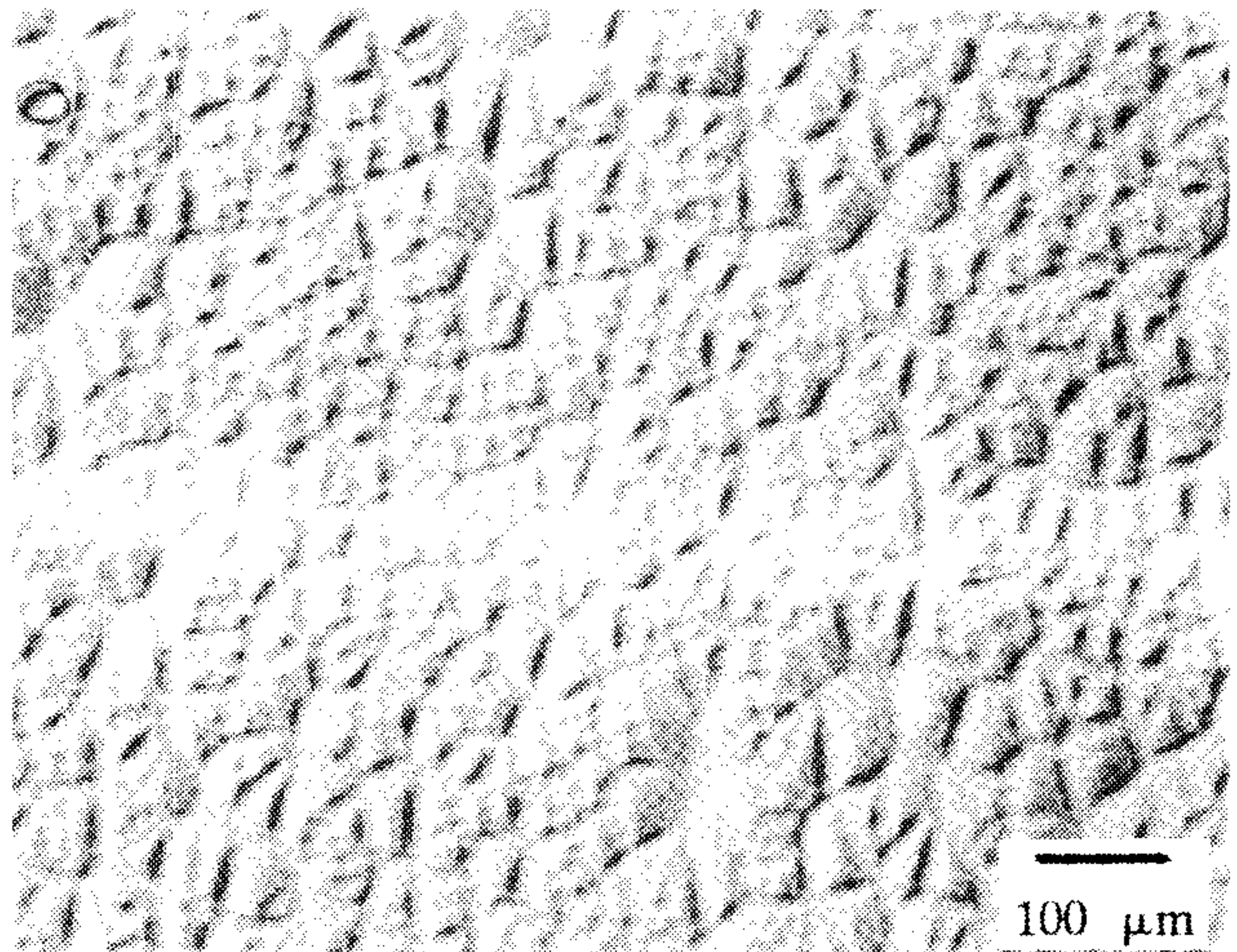




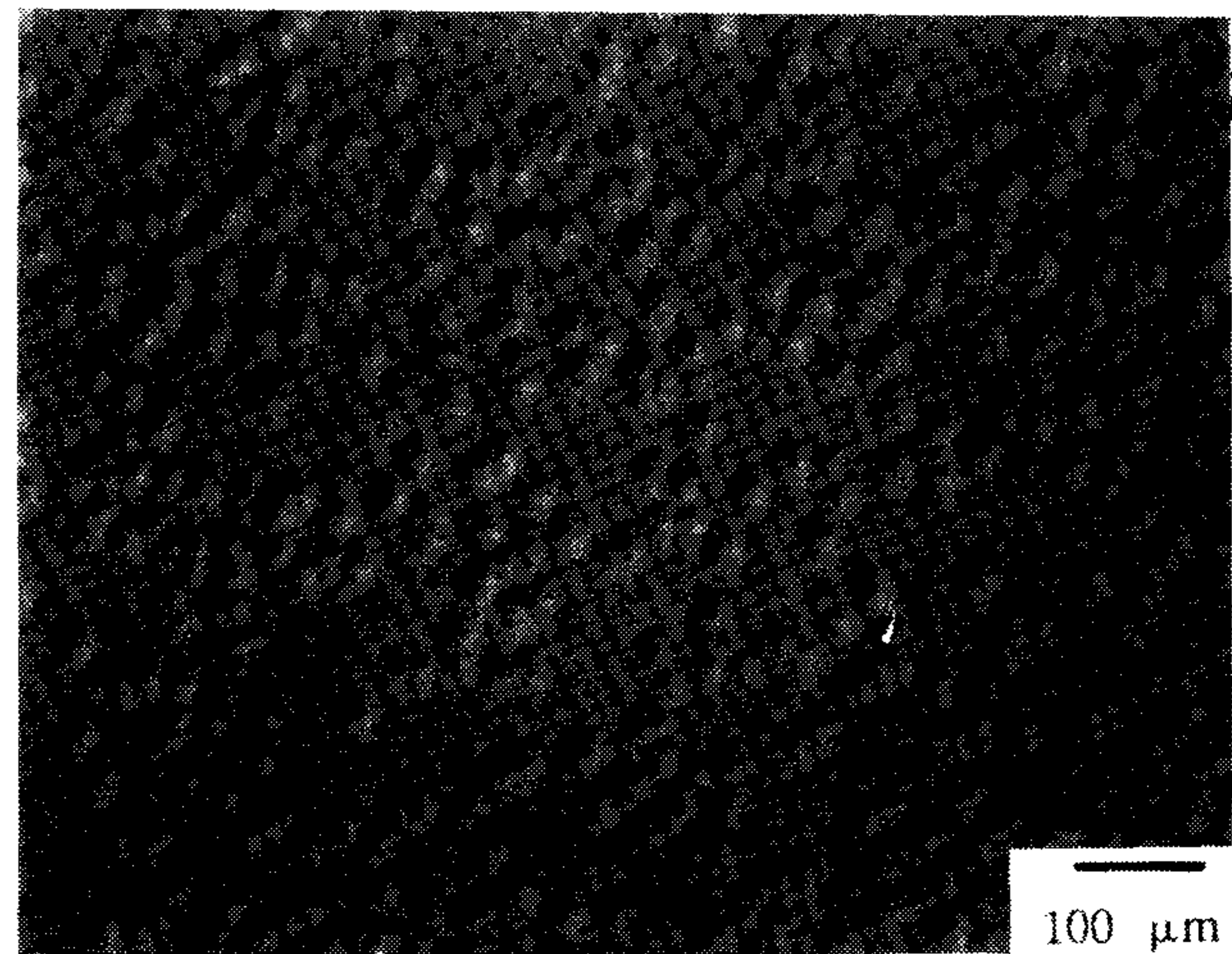
(a) 500°C 성장



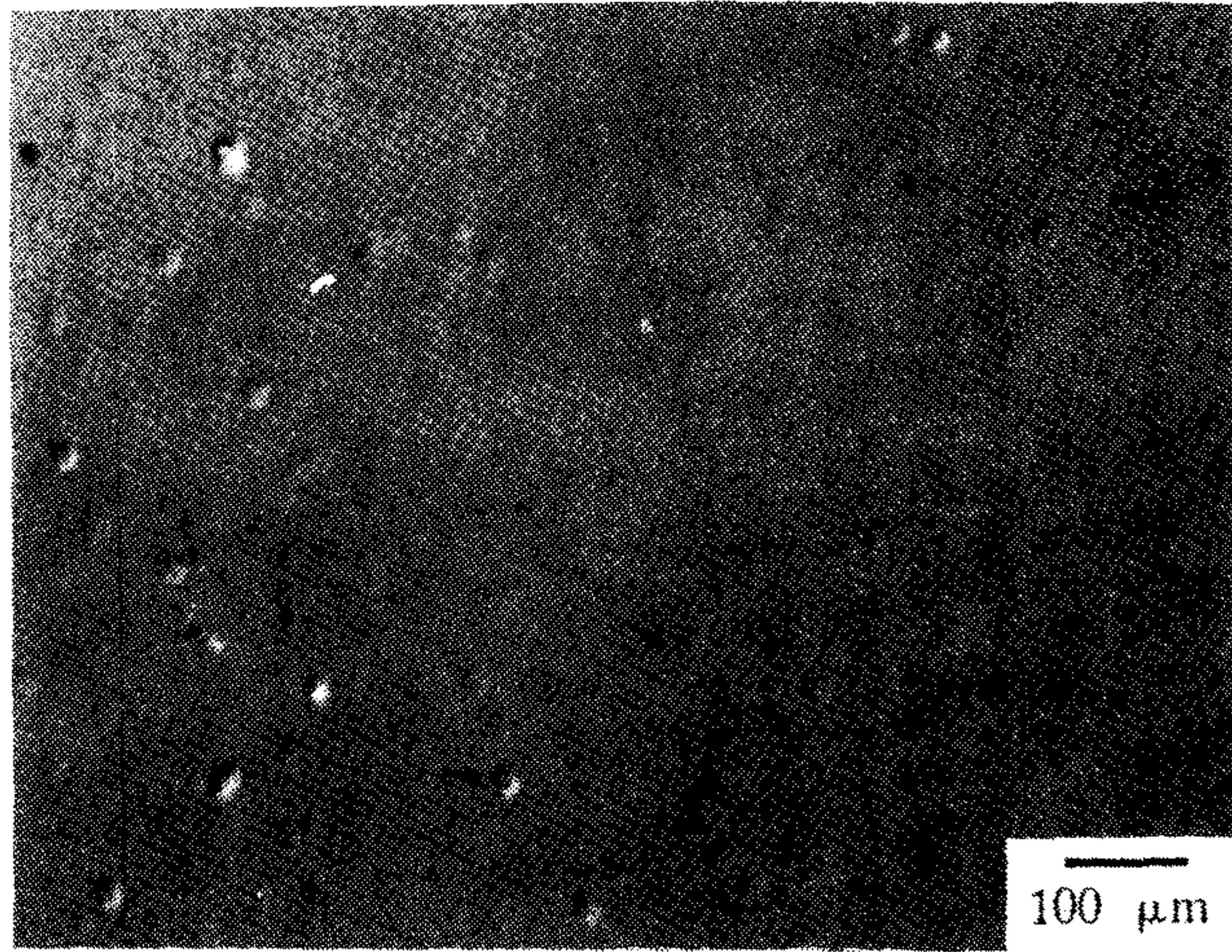
(b) 550°C 성장



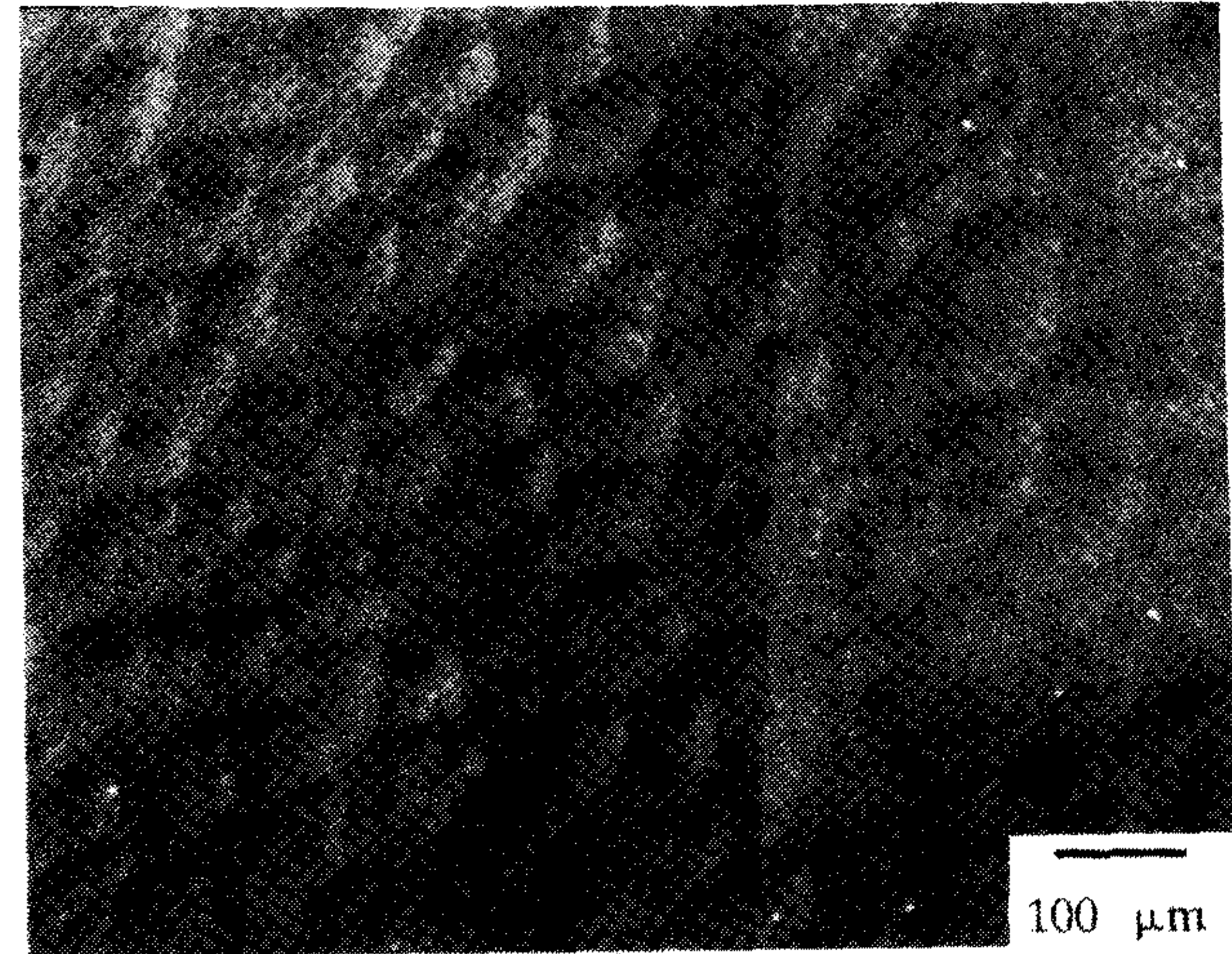
(c) 600°C 성장



(d) 625°C 성장

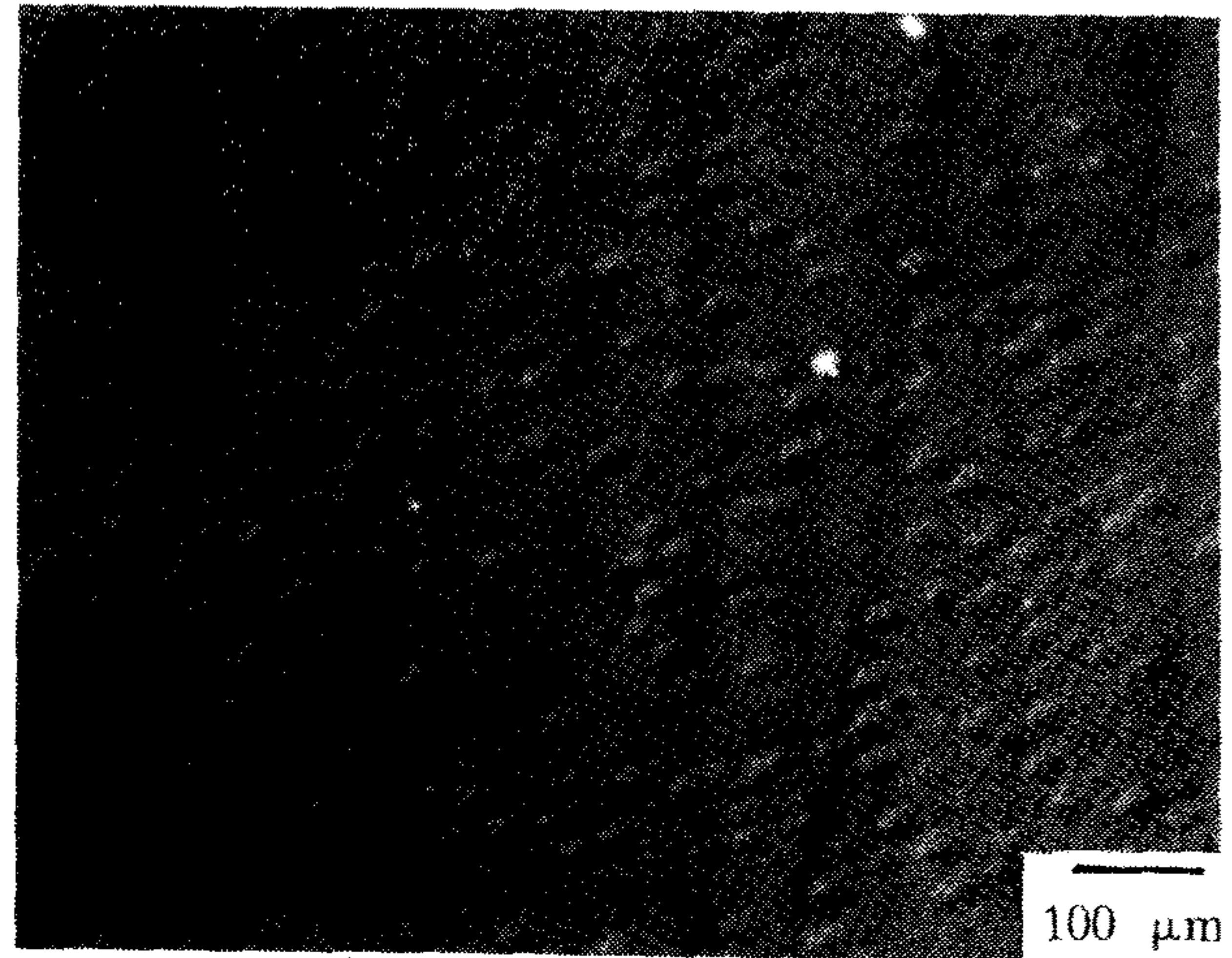


(e) 650°C 성장

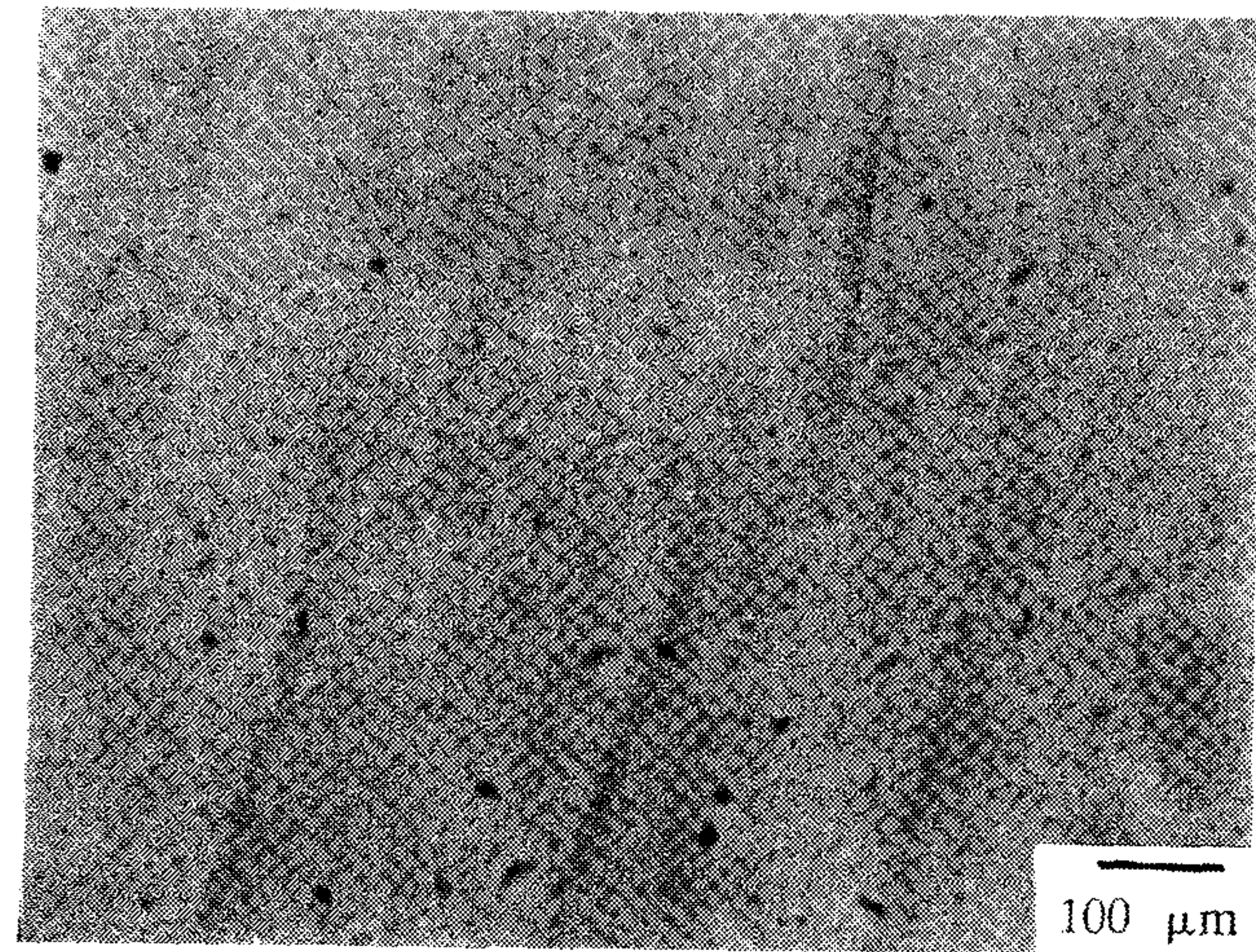


(f) 700°C 성장

(사진 5-1) 성장 온도가 표면 형상에 미치는 영향



(a) S. I. 기판



(b) n-type 기판

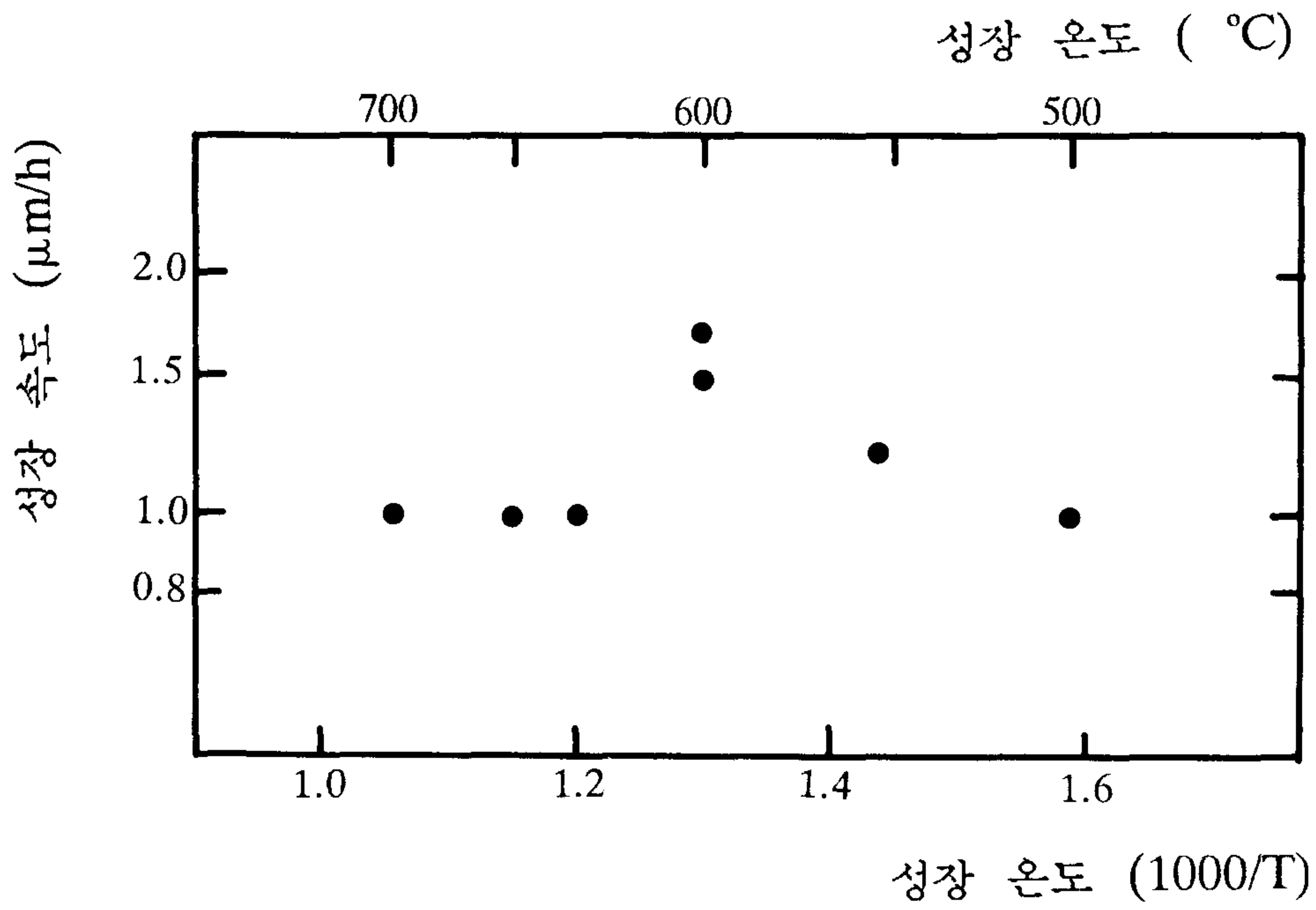
(사진 5-2) 기판의 차이가 표면 형상에 미치는 영향

효과인 것으로 생각된다. 일정한 성장온도에서 V/III 비율을 변화시켜보면 이러한 효과에 대해 좀더 많은 정보를 얻을 수 있을 것으로 생각된다.

(사진 5-2)에는 n-type 기판과 반절연 기판위에 성장된 InP 성장층의 표면 형상을 나타내었다. EPD가 적은 n-type 기판위에 성장한 성장층의 표면 형상이 반절연 기판을 사용한 시료의 표면 형상보다 좋았다.

## 2. 성장 속도

OMVPE에 의한 InP의 성장속도는 기판의 종류 및 세척에는 큰 영향을 받지 않는다. (그림 5-2)에는 성장온도에 따른 성장속도의 변화를 Arrhenius plot으로 나타내었다. 성장두께는 S.I. 기판위에 u-InP를 성장한 후 단면을 stain etching하여 2000배의 광학 현미경으로 측정하였다. 같은 성장조건에서 500°C, 625°C, 650°C, 700°C에서 성장한 성장층의 성장속도는 1.0  $\mu\text{m/h}$ 로 같았으며 600°C의 경우 1.7  $\mu\text{m/h}$ , 1.5  $\mu\text{m/h}$  550°C의 경우 1.2  $\mu\text{m/h}$ 로 조금 높았다. (그림 5-2)의 Arrhenius plot에서 활성화 에너지를 구해 보면  $E_a = 5.4 \text{ Kcal/mole}$ 이 된다. 순수한  $\text{PH}_3$  분해의 활성화 에너지가 4.1 Kcal/mole이고 InP 웨이퍼의 촉매가 있을 경우에는 이보다  $\text{PH}_3$  분해 온도가 떨어지는 것으로 알려져 있으므로<sup>(1)</sup> 5.4 Kcal/mole 의 활성화 에너지는 반응기의 기하학적 요인에 의한  $\text{PH}_3$  분해율의 변화 또는 표면에서의 kinetics에 의한 영향으로 생각된다. 그러나 이러한 영향은 625°C 이상에서의 성장속도가 일정하며 600°C보다 낮은 성장속도를 가진다는 것을 설명하기 어려우므로 600°C 및 550°C에서의 성장속도 증가가 실험 오차인지 성장 기구의 변화인지는 정확하게 알수가 없다.

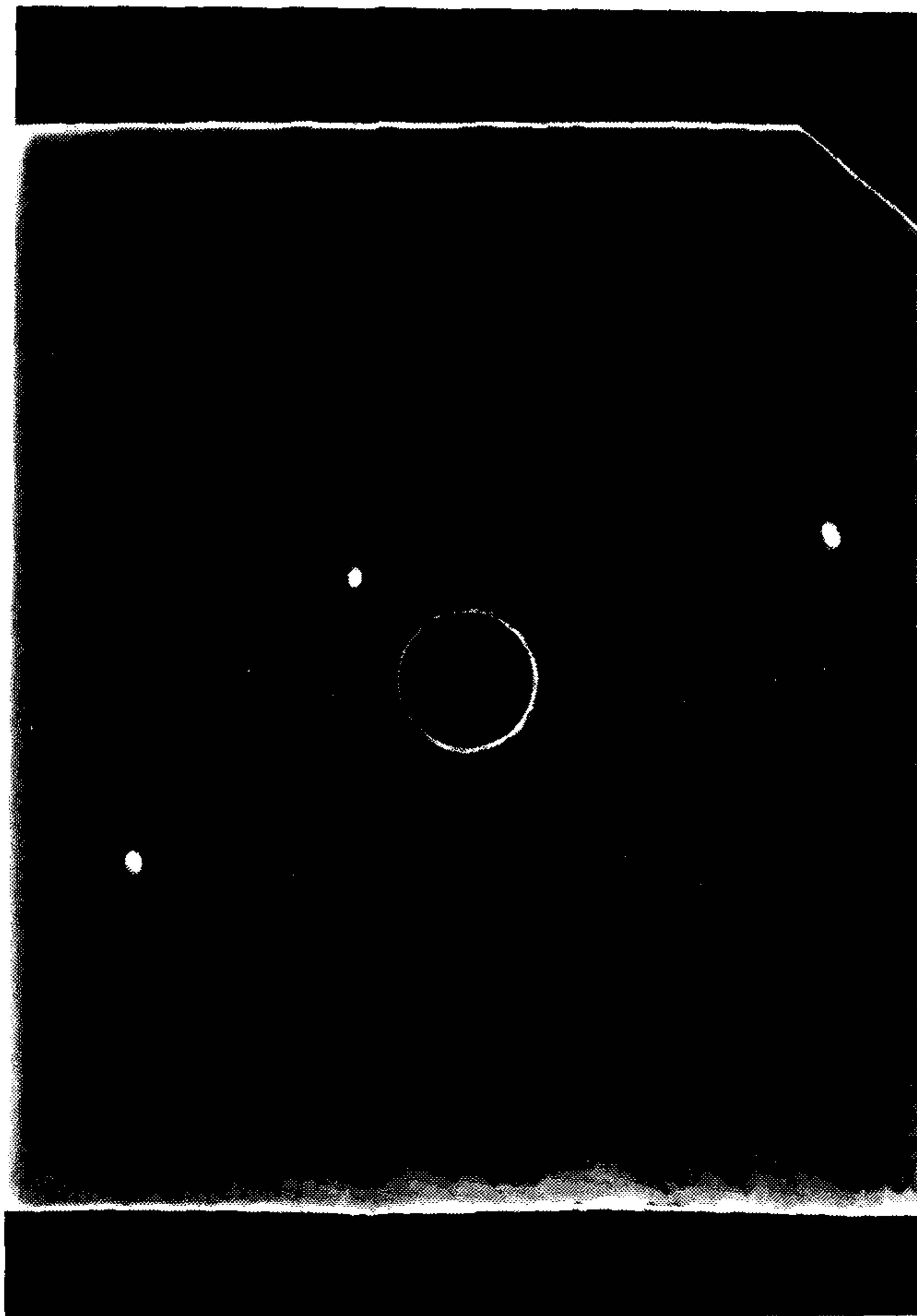


(그림 5-2) Arrhenius plot으로 본 성장 온도와  
성장 속도와의 관계

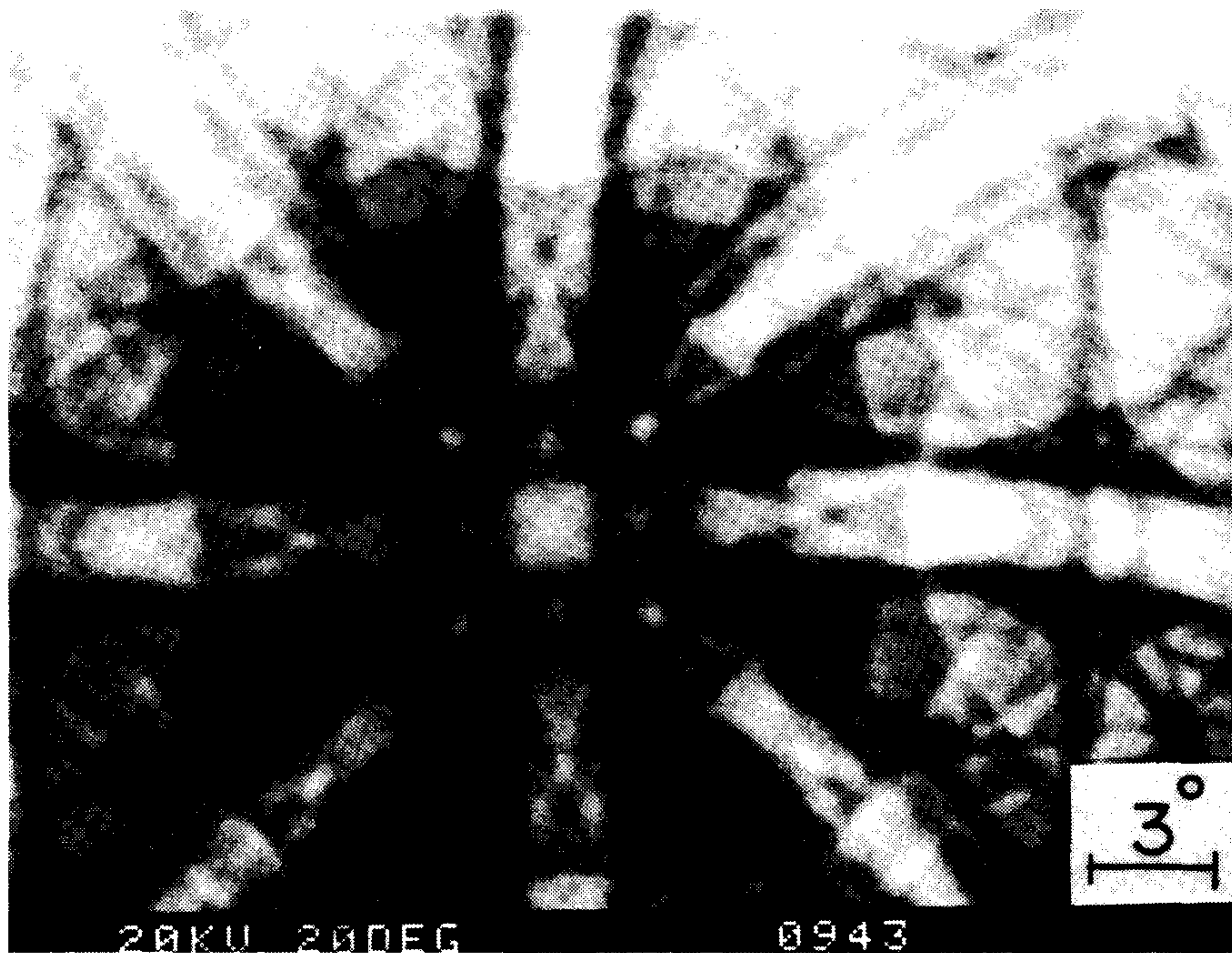
### 3. 성장 특성

OMVPE로 성장된 InP의 에피특성을 결정하기 위하여 X-ray를 이용한 Back-Reflection Laue Method를 이용하였다. 반절연 InP 기판에 OMVPE로 성장된 InP의 Laue 패턴을 (사진 5-3)에 나타내었다. (사진 5-3)의 점패턴 (spot pattern)으로부터 성장된 InP는 단결정이라는 것을 알 수가 있다. 또한 주사전자현미경(SEM)을 사용하여 backscattered electron의 영상(image)인 ECP(electron channeling pattern)를 조사하였다<sup>(2)</sup>. ECP는 투과전자현미경(TEM)의 Kikuchi 패턴과 유사한 원리에 의한 패턴으로서 표면 50nm 이내의 층에 대한 결정방향과 결정성을 알 수 있는 분석법이다. (사진 5-4(a))는 가속전압 20kV를 사용하여 (100) 반절연 기판에 2 $\mu$ m 두께로 성장된 InP의 ECP이다. (사진 5-4(a))의 선명한 패턴으로 성장된 InP의 결정성은 우수함을 알 수가 있다. 가속전압 20kV에서 전자빔의 파장은 0.0086nm 로서 Zinc blende 구조인 InP( $a=0.5869$ nm)의 (022)면에 의한 Bragg angle  $2\theta$ 는  $2.378^\circ$ , (004) 면의 Bragg angle  $2\theta$ 는  $3.364^\circ$ , (022) 면과 (004)면은  $45^\circ$ 를 이루고 있다. 그러므로 가속전압 20kV, 격자상수 0.5869nm 인 Zinc blende 구조의 InP에 대한 (100) 극(pole)의 first-order Bragg contours를 stereographic하게 나타내면 (사진 5-4(b))와 같이 된다. (사진 5-6(b))에 나타낸 계산결과와 (사진 5-4(a))의 ECP는 일치하므로 OMVPE로 성장된 InP는 (100) 방향으로 모재인 (100) 방향의 반절연 기판과 동일한 방향성을 갖는 단결정으로 성장되었으므로, OMVPE로 성장된 InP는 epitaxy가 이루어졌음을 알 수가 있다.

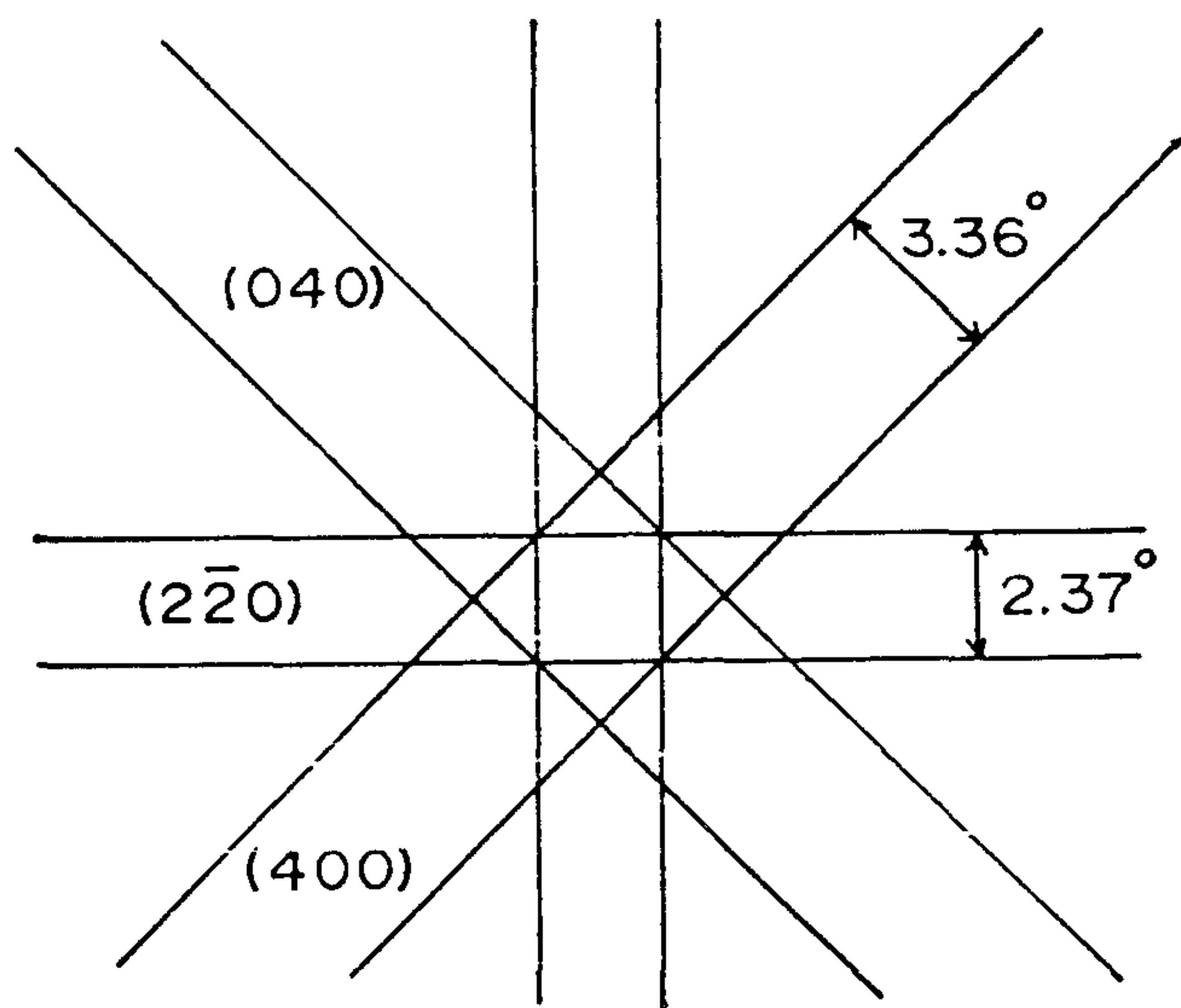
### 4. 결정성



(사진 5-3) OMVPE로 성장된 InP의 Back-Reflection Laue  
Pattern



(a)



(b)

(사진 5-4) OMVPE로 성장한 InP의 ECP: (a) ECP

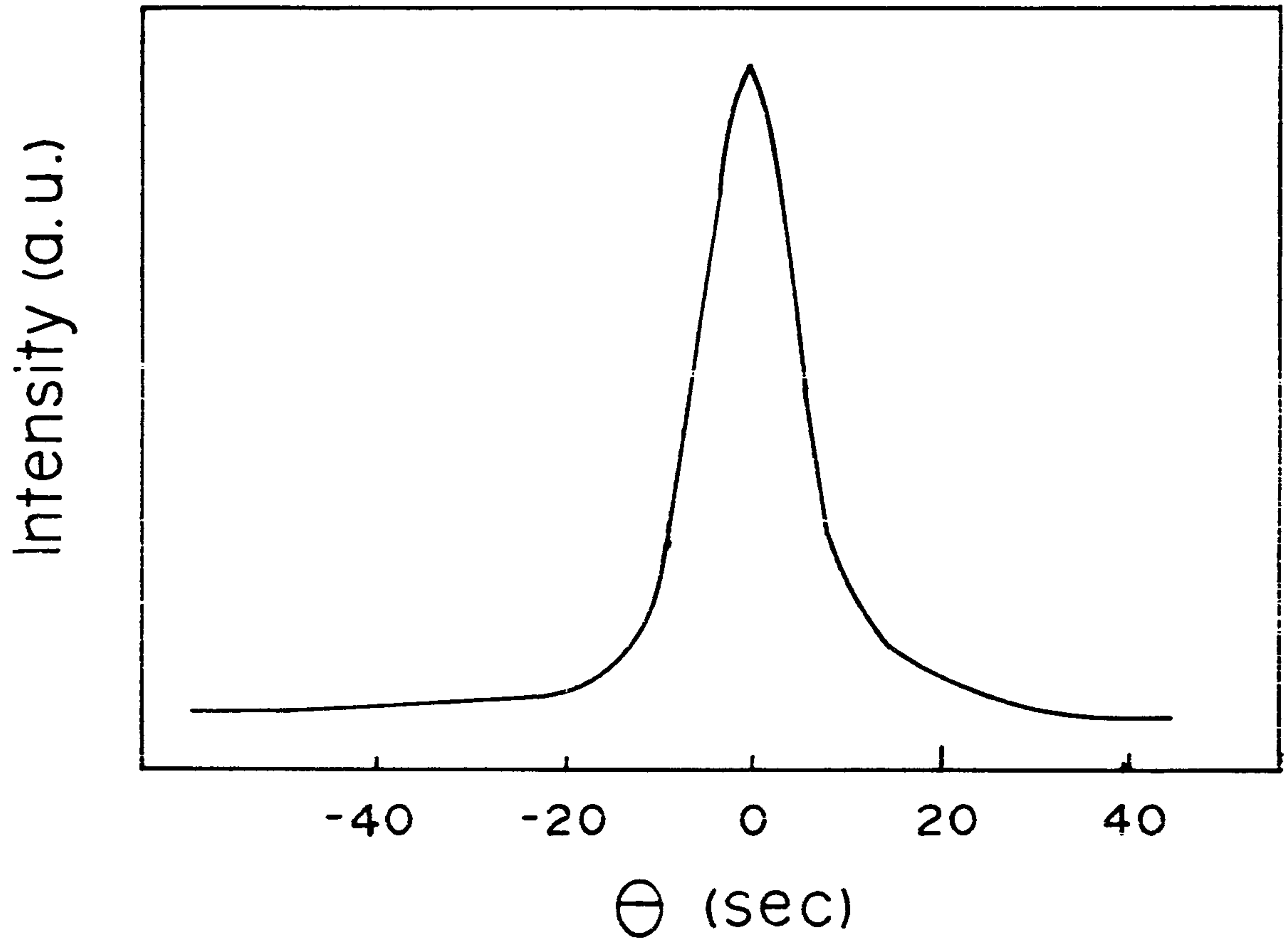
Stereographic projection of first order Bragg contours of (100) pole of InP at 20 kV

OMVPE로 성장한 InP는 (사진 5-4(a))의 선명한 ECP로 InP의 결정성이 우수함을 알 수가 있었으며, Cu K $\alpha$  X-ray와 InP(100) 단결정을 1차축으로 사용한 Double Crystal X-ray Diffractometer(DCD)를 사용하여 성장된 InP(400) peak의 rocking curve를 측정하여 성장층의 결정성을 확인하였다. Warren 등에 의하면 완전한 결정에서 X-ray rocking curve의 반가폭(FWHM; full width at half maximum)은 이론적으로 10sec order의 값을 갖는 것으로 보고하고 있으므로 X-ray rocking curve의 반가폭은 결정들의 결정성을 평가하는 값으로 사용되고 있다<sup>(3)</sup>. 그러나 X-ray rocking curve의 반가폭은 결정성뿐만 아니라 표면의 거칠기에도 영향을 받는다. InP 웨이퍼의 경면은 DCD에 의한 X-ray rocking curve의 반가폭이 약 9sec 값을 보이거나 뒷면(back side)은 약 25sec의 큰 값을 보인다. OMVPE로 성장된 InP의 (400) 면에 의한 X-ray rocking curve를 (그림 5-3)에 나타내었다. (그림 5-3)의 X-ray rocking curve의 반가폭은 성장조건에 따라 다소 변화하나 10~20sec 정도의 작은 값으로 표면의 거칠기(roughness)에 영향을 받는 것으로 생각되므로, 본 연구에서 OMVPE로 성장한 InP의 결정성은 우수함을 알 수가 있다.

## 5. 불순물 분석

InP 성장층의 불순물을 분석하기 위하여 Mg K $\alpha$  soft X-ray를 사용한 XPS(X-ray Photo-electron Spectroscopy)와 AES(Auger Electron Spectroscopy)를 사용하였다. XPS와 AES는 표면분석 방법으로서 20Å 이내의 표면 성분만 검출할 수 있다. 검출한계 (sensitivity)는 각 성분원소에 따



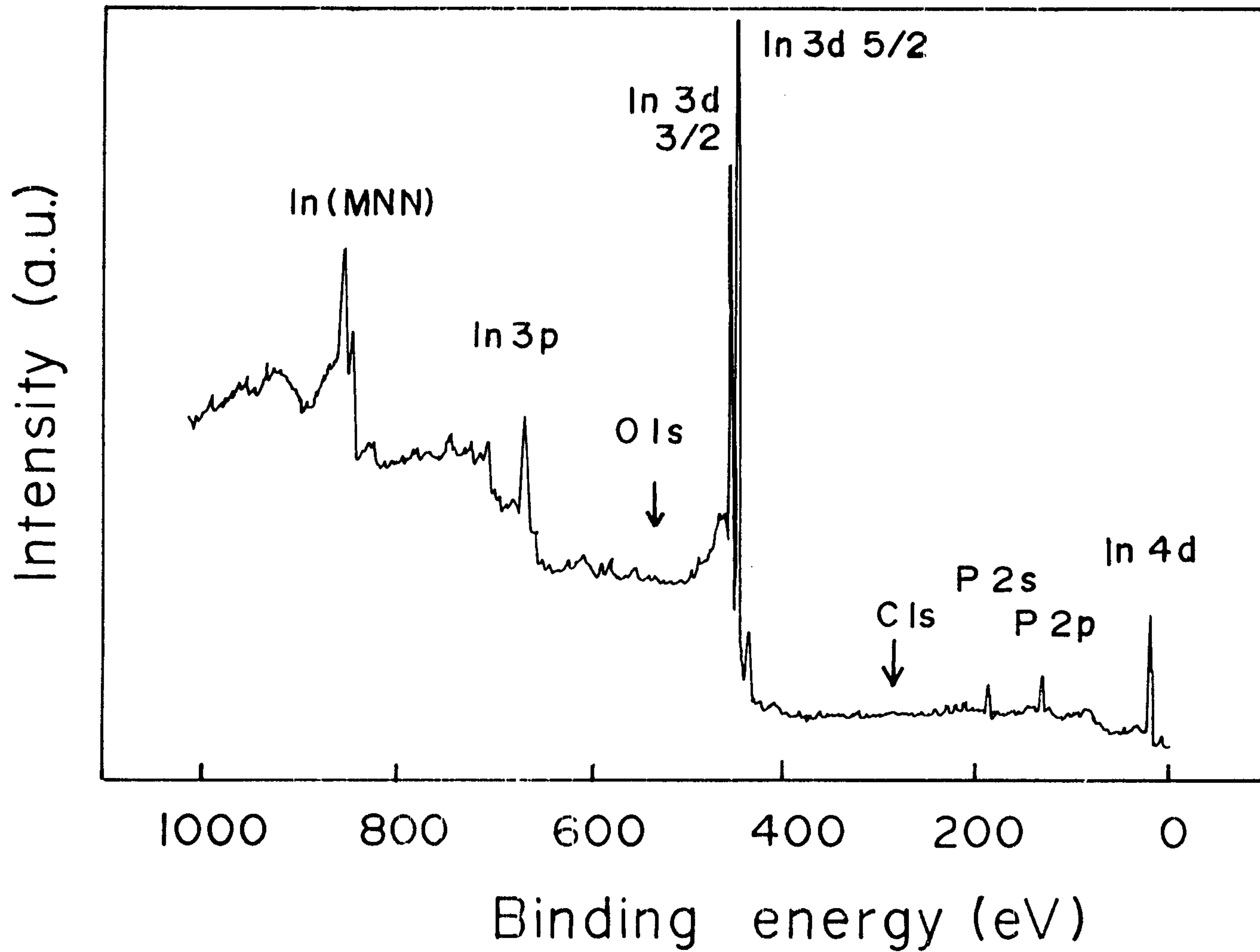


(그림 5-3) OMVPE로 성장한 InP의 DCD X-ray rocking curve

라 다르나 약 0.3% 정도이므로 0.3% 이상의 불순물이 있을 경우에만 검출된다. (그림 5-4)는 OMVPE로 성장한 InP를 표면분석전에 10분간  $Ar^+$  sputtering (500eV, broadbeam 6φ) 방법에 의해 공기중에 노출로 인한 표면 오염물을 제거한 후의 XPS survey spectrum으로써 In과 P의 core electron에 의한 peak과 In의 Auger peak들이 나타나고 있으나 불순물로 많이 검출되는 산소와 탄소는 검출되지 않음을 알 수가 있다. 또한 (그림 5-5)는 OMVPE로 성장한 InP를 SAM(Scanning Auger Microprobe : PHI 610, Perkin-Elmer)으로  $10\text{\AA}/\text{min}$ 의 속도로  $Ar^+$  sputtering하며 측정된 depth profile 결과이다. (그림 5-5)에서 표면에서만 탄소와 산소가 검출되며 이는 OMVPE로 InP의 성장후 대기중에 노출로 인한 표면오염으로  $10\text{\AA}$ 이내의 얇은 층에서만 검출됨을 알 수 있으며, In과 P의 성분비가 1:1로 되어 있지 않는 것은 Auger peak의 peak to peak ratio에서 성분비로 환산될 때 고려되는 sensitivity factor가 분석조건에 따라 변화되므로 표준시편을 사용하여 보정하여 주어야 하나 (그림 5-5)는 표준시편을 사용하지 않은 결과이다. InP 성장층내의 탄소, 산소 이외의 불순물 개재를 확인하기 위하여 10분간  $Ar^+$  sputter etching 후의 AES spectrum을 (그림 5-6)에 나타내었다. (그림 5-6)에는 120eV 에서의 phosphorus peak과 404eV, 410eV의 In의  $M_5N_{45}N_{45}$ 와  $M_4N_{45}N_{45}$  peak과 그 주변의 In peak들 만이 나타나므로 InP 성장층에는 다량의 불순물이 존재하지는 않음을 알 수가 있다.

## 6. Photoluminescence 측정

직접천이 구조를 갖고 있는 InP의 특성을 측정하기 위하여 photoluminescence(PL)를 측정하였다. 본 연구에서 사용한 PL 측정장치의 개



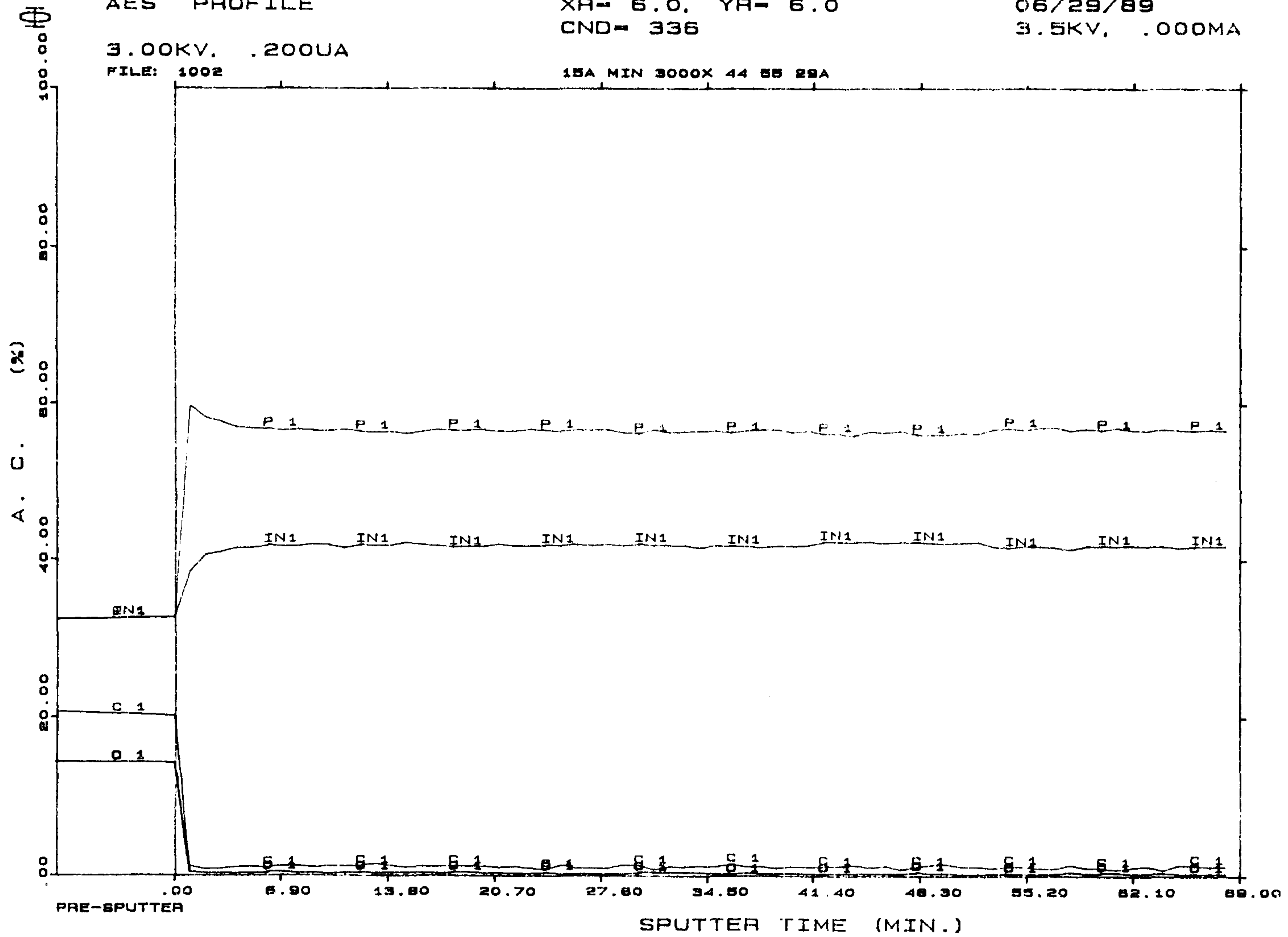
(그림 5-4) OMVPE로 성장한 InP의 XPS survey scan

AES PROFILE  
3.00KV, .200UA  
FILE: 1002

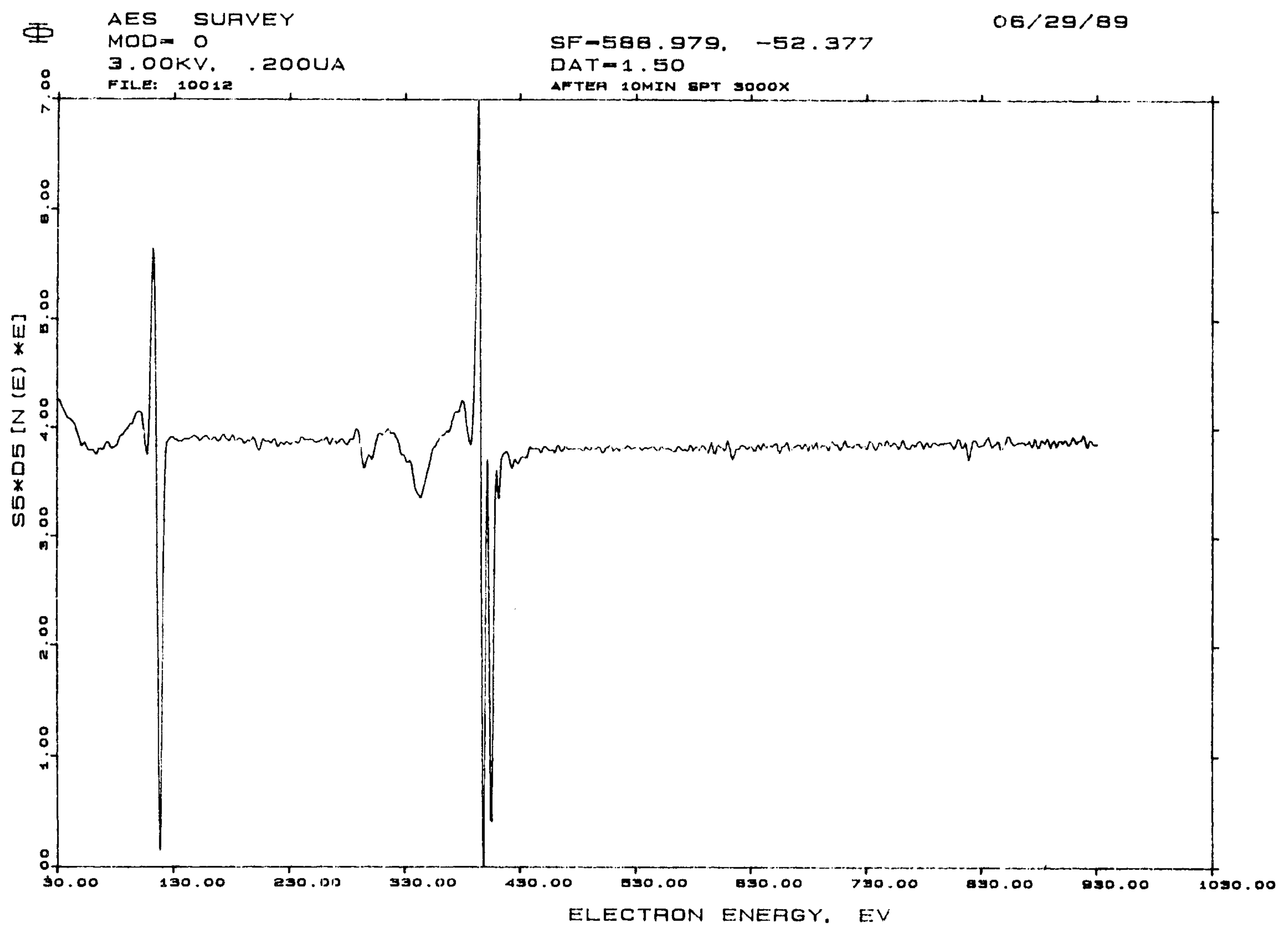
XR= 6.0, YR= 6.0  
CND= 336

06/29/89  
3.5KV, .000MA

15A MIN 3000X 44 55 29A



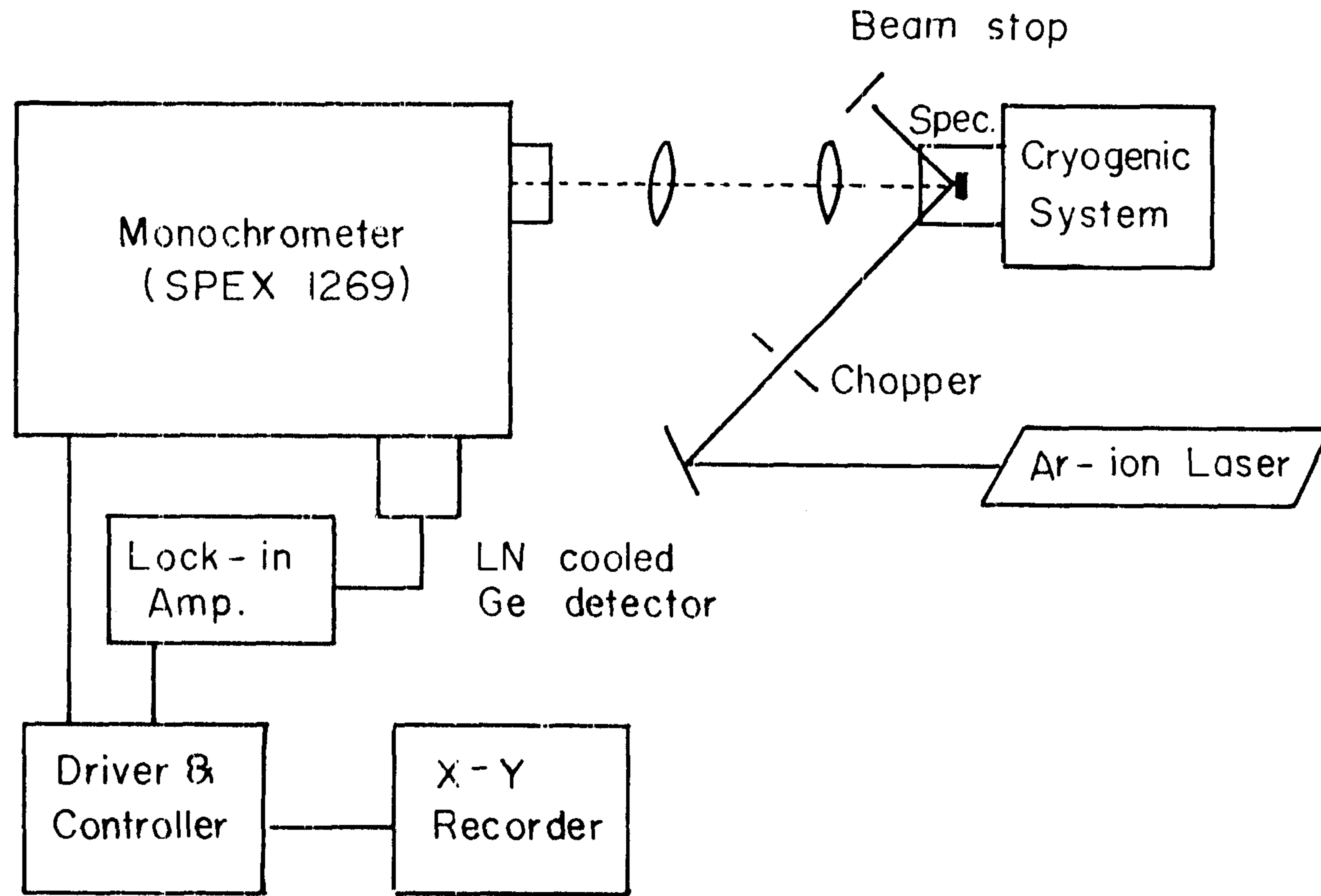
(그림 5-5) OMVPE로 성장한 InP의 Auger depth profile



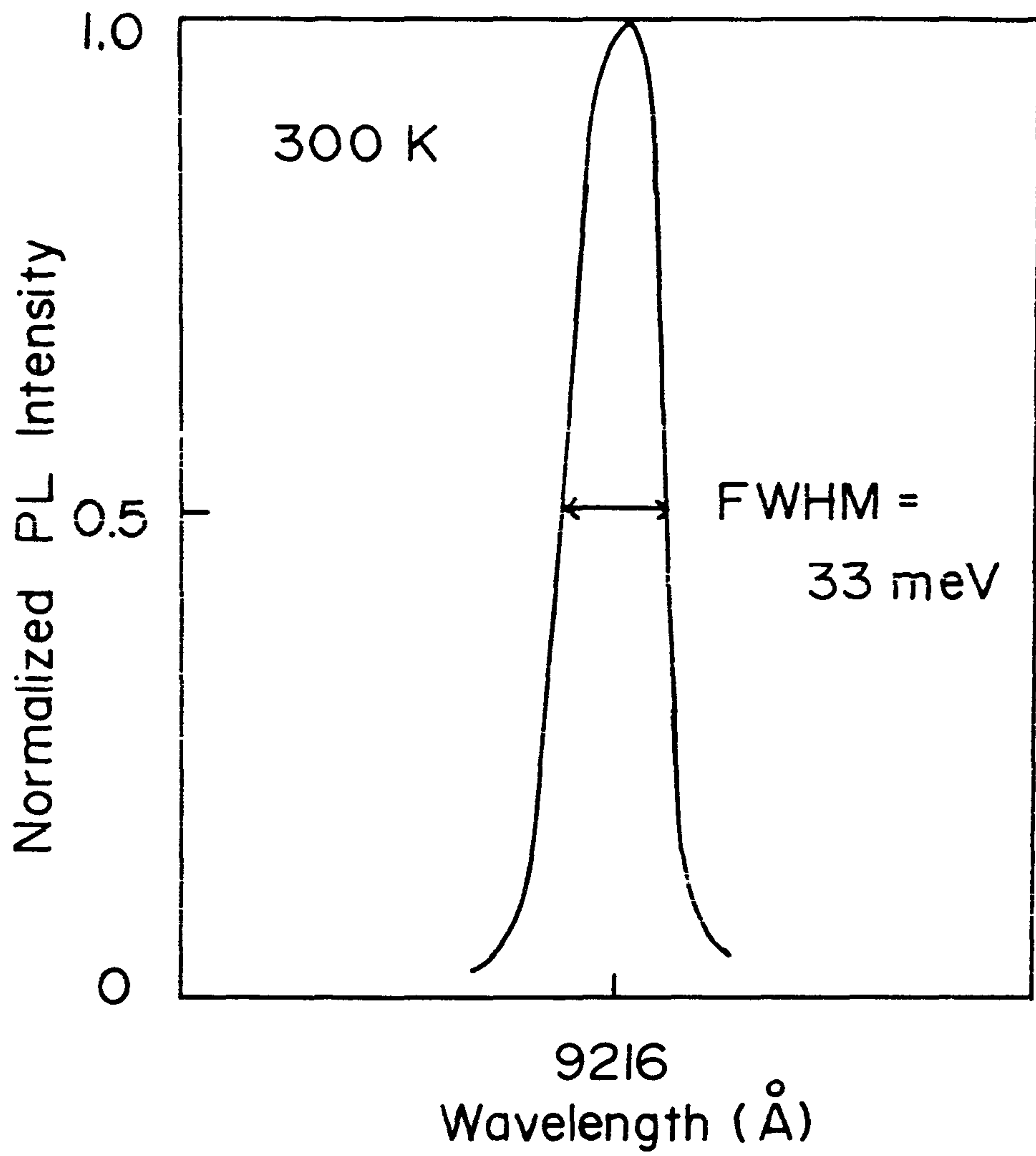
(그림 5-6) OMVPE로 성장한 InP의 AES spectrum (10 min sputter)

략도를 (그림 5-7)에 나타내었다. 광원은  $Ar^+$ -laser의 488nm의 단색광을, 검출기는 액체질소로 냉각된 Ge 검출기를 사용하였으며, 시편의 온도는 cryogenic 시스템을 사용하여 시편온도를 상온에서 9K까지 조절할 수 있도록 되어 있다.

OMVPE로 성장된 InP의 상온(300K) PL 실험결과를 (그림 5-8)에 나타내었다. (그림 5-8)에서는 반가폭  $230\text{\AA}$ (33meV)의 broad한 peak이  $9216\text{\AA}$ (1.345eV)에 나타난다. 상온 PL 스펙트럼의 반가폭은 불순물 농도와 관련된 것으로 알려져 있으며, 상온 PL 스펙트럼의 반가폭으로부터 본 연구에서 성장된 InP의 불순물 농도는  $10^{17}/\text{cm}^3$  이하일 것으로 추정된다. 또한 OMVPE로 성장한 InP의 시편온도 9K에서의 대표적인 PL 스펙트럼을 (그림 5-9)와 (그림 5-10)에 나타내었다. (그림 5-9)의 성장온도  $600^\circ\text{C}$ 에서 OMVPE로 성장된 InP의 PL 스펙트럼에서 exciton peak은  $8750\text{\AA}$ (1.417eV)에 나타나며, band-acceptor 또는 donor-acceptor pair 에 의한 peak은  $8989\text{\AA}$ (1.379eV)에 나타나며,  $9279\text{\AA}$ (1.336eV)에서는 acceptor 불순물인 Zn 또는 C 의 band-acceptor peak의 local optical phonon replica에 의한 peak이 나타난다. Zhu 등의 시편온도 3.8K에서 InP의 PL 측정결과에 의하면 free exciton peak은  $8730\text{\AA}$ , neutral donor bound exciton peak은  $8741\text{\AA}$ , neutral acceptor bound exciton peak은  $8760\text{\AA}$  으로 분리됨을 보고하고 있으나<sup>(4)</sup>, 본 연구에서는 시편온도 9K에서 측정한 PL 스펙트럼이므로 측정온도의 영향으로 이러한 peak 들이 완전하게 분리되지 못하고  $8750\text{\AA}$ 의 exciton peak을 형성하는 것으로 생각된다. 또한 Zhu 등은 시편온도 4K에서 InP의 PL 측정결과에서 C에 의한 1.3796eV와 1.3758eV의 band-acceptor, donor-acceptor pair peak과 Zn에 의한 band-acceptor에 의한 1.3781eV의 peak을 분리하였으나 (그림

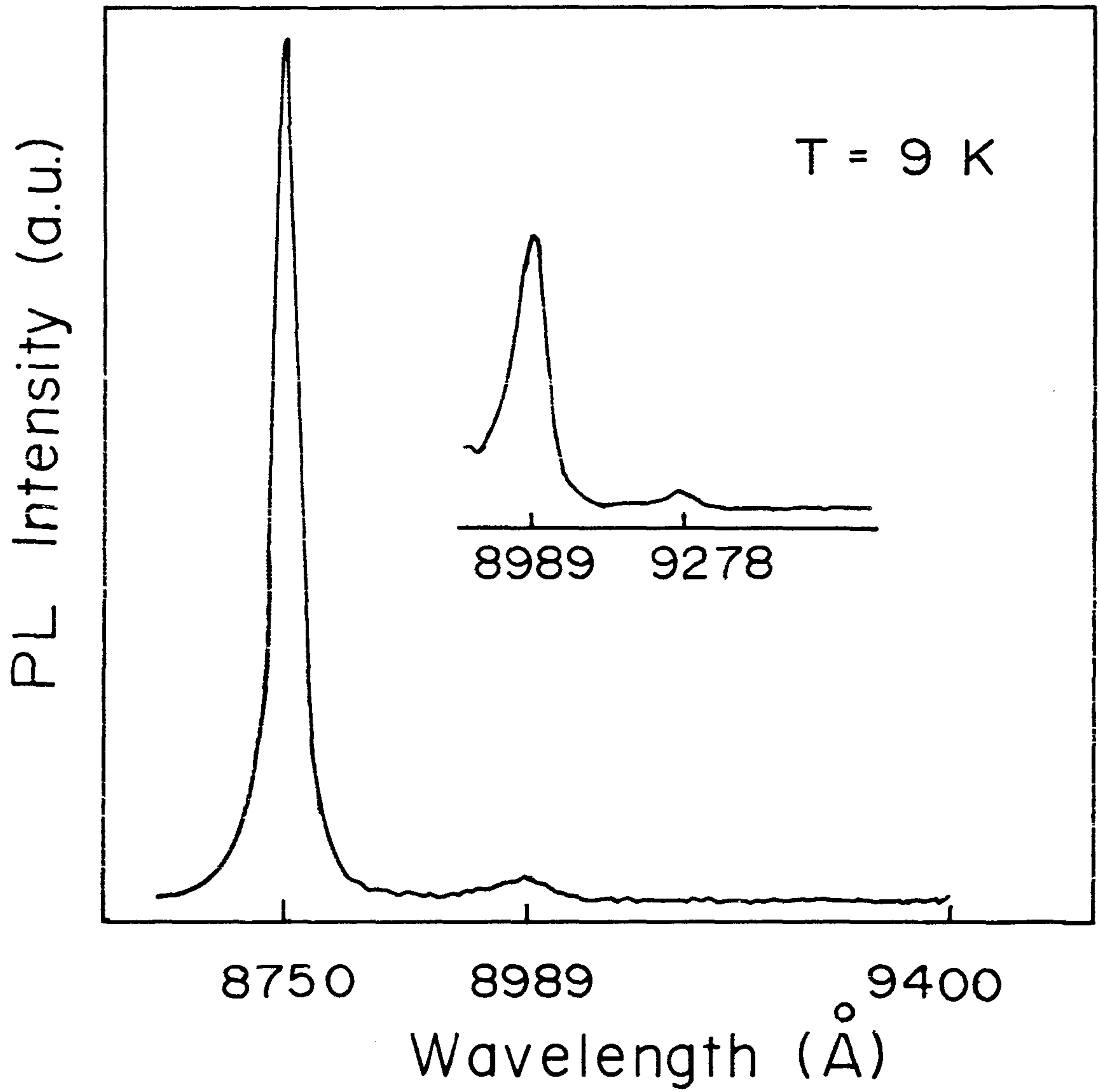


(그림 5-7) Photoluminescence 측정장치 개략도

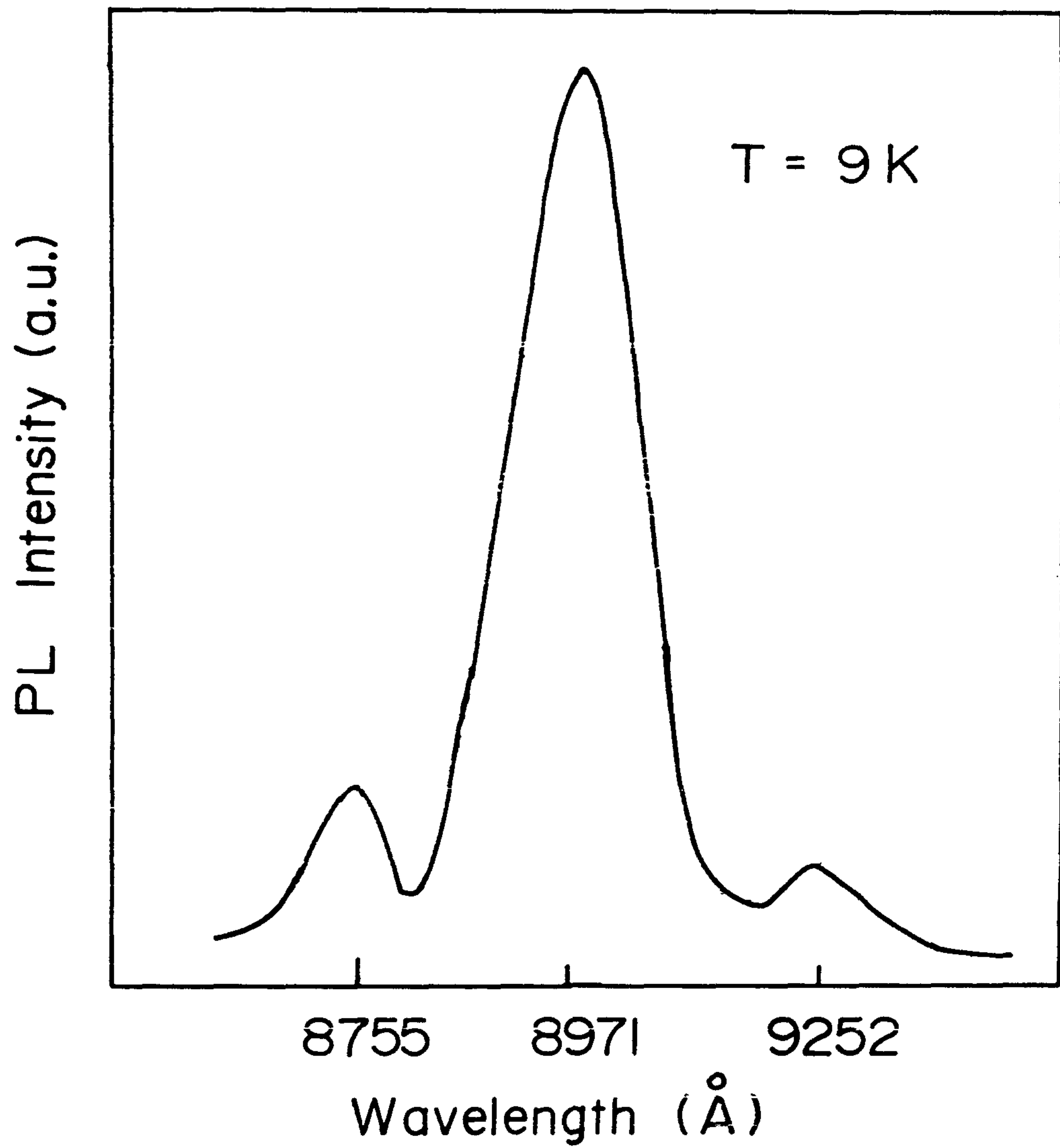


(그림 5-8) OMVPE로 성장한 InP의 상온 PL spectrum





(그림 5-9) OMVPE로 성장된 InP의 저온 PL spectrum  
(성장온도; 600°C)

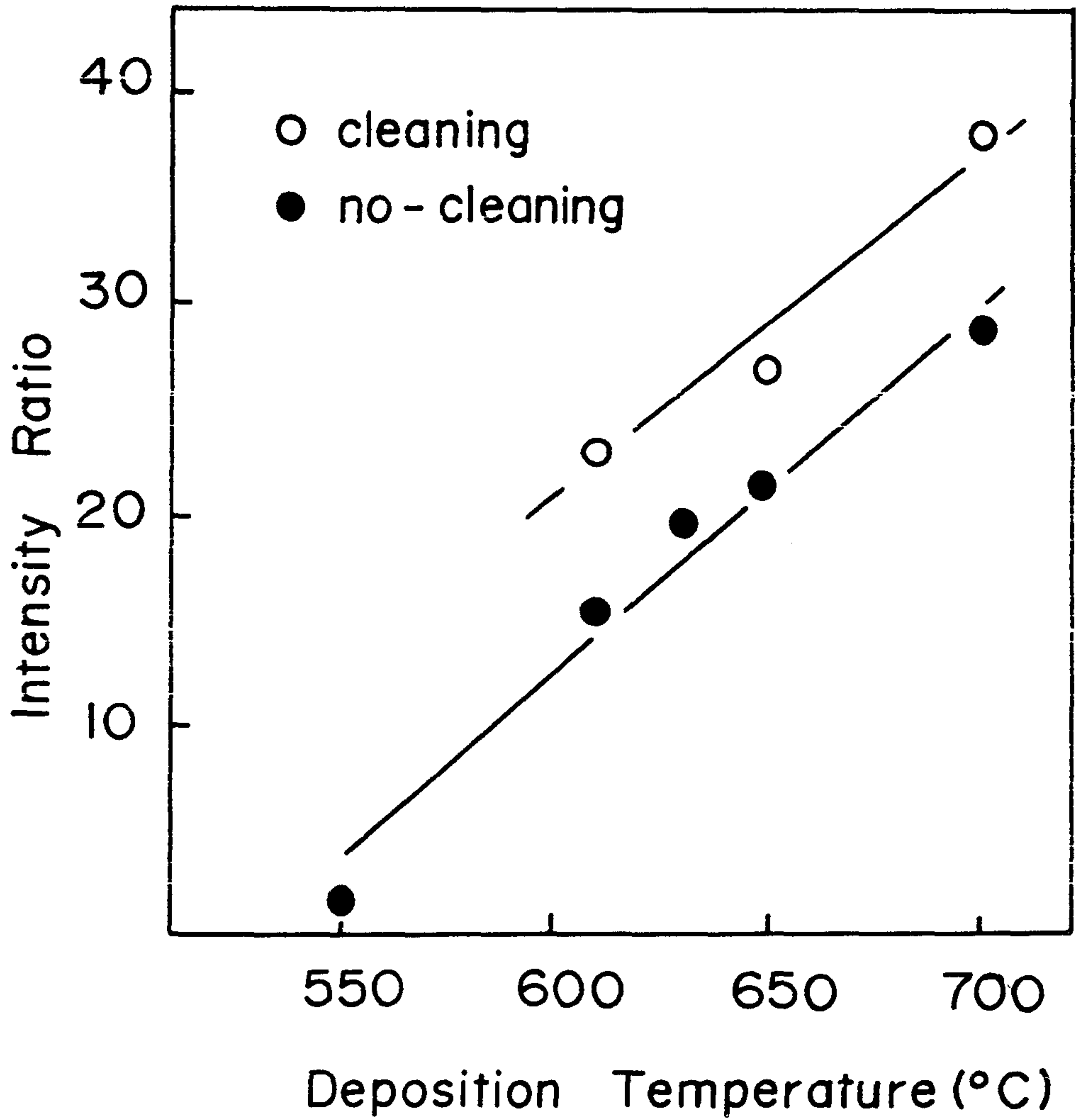


(그림 5-10) OMVPE로 성장한 InP의 저온 PL spectrum

(성장온도; 500°C)

5-9)에서는 이러한 peak들이 분리되지 못하고  $8989\text{\AA}$ (1.3798eV)에 broad한 peak을 형성한 것으로 생각된다. 또한 성장온도  $500^{\circ}\text{C}$ 에서 OMVPE로 성장된 InP의 PL 스펙트럼인 (그림 5-10)에서는 저온 성장으로 인하여 exciton peak이 크게 감소되며, 반가폭도 증가됨을 알수 있다. 그러나 같은 PL 측정 조건에서 acceptor 관련 peak들의 강도는 (그림 5-9)에 나타난 성장온도  $600^{\circ}\text{C}$ 에서 성장된 InP의 PL peak들 보다 약 5배 가량 증가하며 반가폭도 증가한다. 그러므로 성장온도  $500^{\circ}\text{C}$ 에서 성장된 InP는  $550^{\circ}\text{C}$  이상에서 성장된 InP와 비교하여 저온 성장으로 C 또는 Zn등 acceptor불순물을 더 많이 함유 하고 있는 것으로 생각된다.

OMVPE로 성장한 InP는 증착조건, 모재의 특성(doping), 전처리과정에 따라 저온(9K)에서의 PL 스펙트럼이 변화된다. 본 연구에서 OMVPE로 성장된 InP의 exciton peak은  $8745\text{\AA}$ - $8775\text{\AA}$ 의 범위에서 나타나며, 성장전 웨이퍼의 전처리 과정(KOH 처리)에 따라 강도는 증가하며, exciton peak의 반가폭은  $25\text{-}35\text{\AA}$ (4.0-5.5meV)으로 매우 작은 값을 갖는다. 또한 본 연구에서 acceptor 관련 peak은 성장온도  $500^{\circ}\text{C}$ 에서 성장된 InP 이외의  $550^{\circ}\text{C}$  이상에서 성장된 InP는 성장온도에 관계없이 동일한 측정조건에서는 거의 같은 강도와 반가폭(60-70A ; 9-10meV)을 갖고 있다. OMVPE의 성장온도의 변화에 따른 PL 스펙트럼의 exciton peak과 acceptor 관련 peak의 강도비를 (그림 5-11)에 나타내었다. (그림 5-11)에서 성장온도의 증가에 따라 강도비가 증가하므로 성장온도의 증가에 따라 성장된 InP의 luminescence 효율이 증가함을 알 수가 있다. 그러므로 고온에서 OMVPE로 성장된 InP는 성장조건이 평형상태에 가까워짐에 따라, 즉 과포화도(Supersaturation)가 감소됨에 따라 성장된 InP의 특성이 향상되는 것으로 생각된다.



(그림 5-11) OMVPE 성장온도에 따른 PL 강도비의 변화

## 7. Hall 효과 측정

OMVPE로 성장된 에피층의 전기적 성질을 평가하기 위하여 Hall 효과를 측정하였다. Hall 효과 측정은 반도체의 기초특성으로 반송자(carrier)의 농도와 이동도(mobility)를 측정하는데 사용된다. 본 연구에서는 임의의 형태를 갖는 시편에 대해 Hall 효과를 측정할 수 있는 Van der Pauw 방법으로 반절연 기판위에 2~3  $\mu\text{m}$  두께로 성장된 u-InP 시편에 대하여 Hall 효과를 측정 하였다. Hall 효과 측정에 사용된 시편의 준비과정은 다음과 같다.

- a. 시편을 5 mm x 5 mm 크기로 cleaving 한다.
- b. 시편의 모서리 네곳에 In dot으로 옴접촉용 금속을 올려 놓고 눌러 붙인다. 이때 옴 접촉용 금속의 크기는 작을수록 측정치가 정확하다 (1/10 이하).
- c. 시편을 질소 분위기 400°C에서 1분간 annealing 한다.
- d. Curve tracer로 옴접촉을 확인한다.
- e. 시편 holder에 시편을 올려놓고 금선으로 연결한다.

이와 같이 준비된 시편을 상온과 77 K에서 3000 Gauss의 Hall 효과 측정장치로 반송자의 농도와 이동도를 측정하였다.

본 연구에서 성장한 InP의 Hall 이동도는 저온 PL 스펙트럼에서 exciton peak이 acceptor 관련 peak 보다 작아진 성장조건인 성장온도 550°C 이하에서 성장한 InP는 Hall 이동도가 현저히 감소하나 성장온도 600°C 이상에서 성장한 InP는 성장온도에 크게 영향을 받지 않으며 상온에서 Hall 이동

도  $3,100 \text{ cm}^2/\text{Vsec}$ , carrier 농도  $(N_D^+ - N_A^-) 1.0 \times 10^{15} /\text{cm}^3$ , 77K에서의 Hall 이동도  $48,000 \text{ cm}^2/\text{Vsec}$ , carrier 농도  $(N_D^+ - N_A^-) 4.0 \times 10^{14} /\text{cm}^3$  정도의 값을 갖는다.

일반적으로 III-V 화합물 반도체에서 전자의 산란은 주로 polar-optical phonon, electron-acoustical phonon (piezoelectric)과 이온화된 불순물에 의하여 일어나며, InP에서 전자의 이동은 상온에서는 주로 polar-optical phonon에 의하여 전자가 산란되나 저온에서는 주로 이온화된 불순물에 의하여 전자가 산란되므로 특히 저온에서의 전자 이동도는 불순물의 농도에 크게 영향을 받는다<sup>(5)</sup>. OMVPE로 성장한 InP의 Hall 이동도와 carrier 농도를 Walukiewicz등이 계산한 compensation ratio ( $\theta = N_A^-/N_D^+$ )와 비교하면 상온에서는 0.95 이상, 77K에서는 0.6으로 상온에서는 거의 비슷한 농도의 donor와 acceptor가 존재하며 전체 불순물 농도는  $4 \times 10^{16} /\text{cm}^3$  이상으로 성장층내에 존재함을 알 수 있다. 또한 Hall 측정결과로부터 OMVPE로 성장된 InP의 Hall 이동도는 저온 PL 스펙트럼 측정결과와는 달리 성장온도에는 크게 영향을 받지 않음을 알 수 있다.

#### 제 4 절 결론

본 장에서는 광수신 광전 집적회로 제작의 기초 기술인 OMVPE에 의한 u-InP의 성장 기술과 성장층의 특성을 측정하였다. 성장온도  $500 \sim 700^\circ\text{C}$ 에서 OMVPE로 성장된 InP는 epitaxy로 성장되며, 성장속도는 성장온도에 크게 영향을 받지 않으나 표면형상은  $650^\circ\text{C}$ 에서 성장된 성장층이 가장 좋은 것을 알 수 있었다. OMVPE로 성장된 InP는 DCD에 의한 X-ray rocking

curve의 반가폭 20sec 이하로 결정성은 우수하며, AES와 XPS로는 불순물을 검출할 수 없었다. OMVPE로 성장된 InP의 저온 PL 스펙트럼에서 exciton peak의 반가폭은 4.0~5.5 meV으로 매우 작은 값을 갖고 있으며 exciton peak의 강도는 성장온도의 증가에 따라 증가하며, acceptor 관련 peak들은 성장온도 550°C이상에서는 거의 일정한 강도를 유지하므로 OMVPE로 성장된 InP의 acceptor 불순물들은 성장온도 550°C 이상에서는 거의 일정한 값을 유지 함을 알 수 있었다. Hall 효과 실험에서는 상온 Hall 이동도의 최대 값은 3,100 cm<sup>2</sup>/Vsec, 77K에서의 Hall 이동도 최대값은 48,000 cm<sup>2</sup>/Vsec을 얻었다.

그러나 InP계의 광수신 광전집적회로의 제작을 위하여서는 u-InP의 성장 실험을 통하여 PL 스펙트럼의 exciton peak 반가폭 5 meV 이하, 상온 Hall 이동도 4,000 cm<sup>2</sup>/Vsec, 77K에서의 Hall 이동도 100,000 cm<sup>2</sup>/Vsec 이상의 값을 갖는 InP의 성장기술 확립과, p-type 도핑 물질인 Zn의 도핑 특성을 조사하여야 한다. 또한 광검출기 제작을 위하여서는 불순물 농도 10<sup>16</sup> /cm<sup>3</sup> 이하의 u-GaInAs의 성장기술의 확립이 필요하며 소자 제작을 위하여서는 급준한 interface 형성기술도 필요하다. 그러므로 앞으로의 연구 방향은 InP와 GaInAs의 양질의 에피층 성장에 중점을 두어 수행하여야 할 것이다.

## 제 6 장      단위소자 및 집적화 공정연구



여 백

## 제 6 장 단위 소자 및 집적화 공정 연구

### 제 1 절 개 요

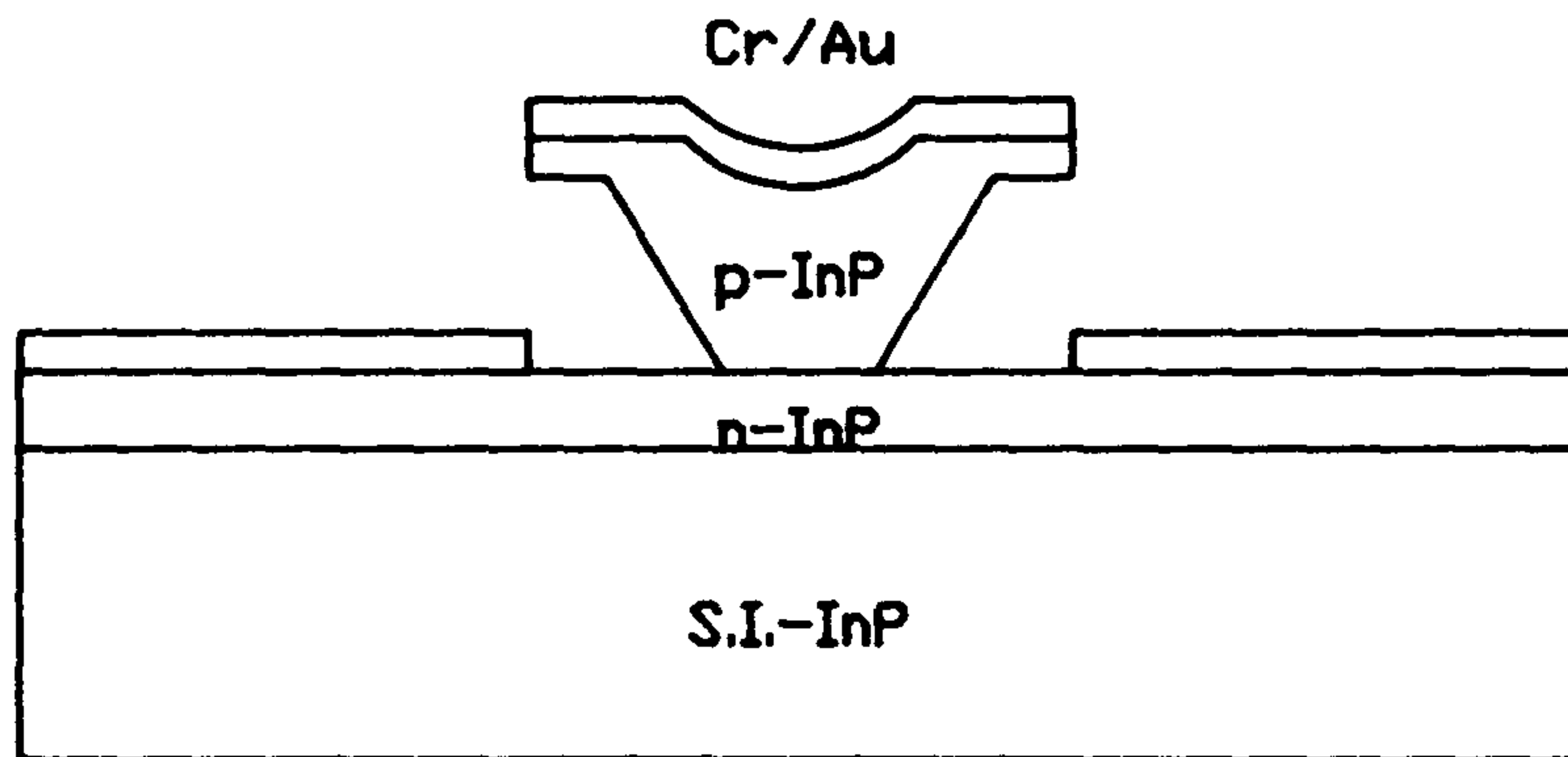
InP는 높은 전자 이동도와 포화 속도를 갖기 때문에 초고주파용 전자 소자 제작을 위한 물질로서 오래전 부터 주목되어 왔다. 특히 InP와 격자 정합을 이루는  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 는 높은 이동도와 함께 1.3 내지 1.55  $\mu\text{m}$  파장의 빛을 흡수하므로 이를 이용한 장파장용 광검출기와 광수신 OEIC가 활발히 연구되고 있다.

그러나 이러한 물질 특성과 넓은 응용 분야에도 불구하고 InP계 트랜지스터는 아직까지 충분히 개발되지 못하고 있는데, 이것은 금속과 반도체 사이의 낮은 Schottky 장벽 때문에 GaAs계에서는 이미 그 기술이 확립된 MESFET의 제작이 어렵고<sup>(1)</sup>, Si의 경우과 같은 좋은 자연 산화막이 없어 MISFET를 만들었을 때는 계면 에너지 준위에 의한 드레인 전류의 drift 현상이 발생하기 때문이다<sup>(2)</sup>. 그래서 InP계 트랜지스터로는 JFET이나 HBT가 비교적 안정된 소자로 알려져 있으며 이들을 광소자와 집적시킬 경우, 그 구조상 JFET는 수평형, HBT는 수직형 OEIC 구조에 적합하다.

본 장에서는 제 3 장에서 제안한 광수신 OEIC의 구성 소자인 InP JFET와 InGaAs PIN PD에 관하여 제 2 절과 제 3 절에서 각각 고찰하고, 제 4 절에서는 광수신 집적화 공정에 매우 유용한 것으로 알려진 polyimide 공정에 관하여 기술하였다.

## 제 2 절 InP JFET 제작 및 특성 측정

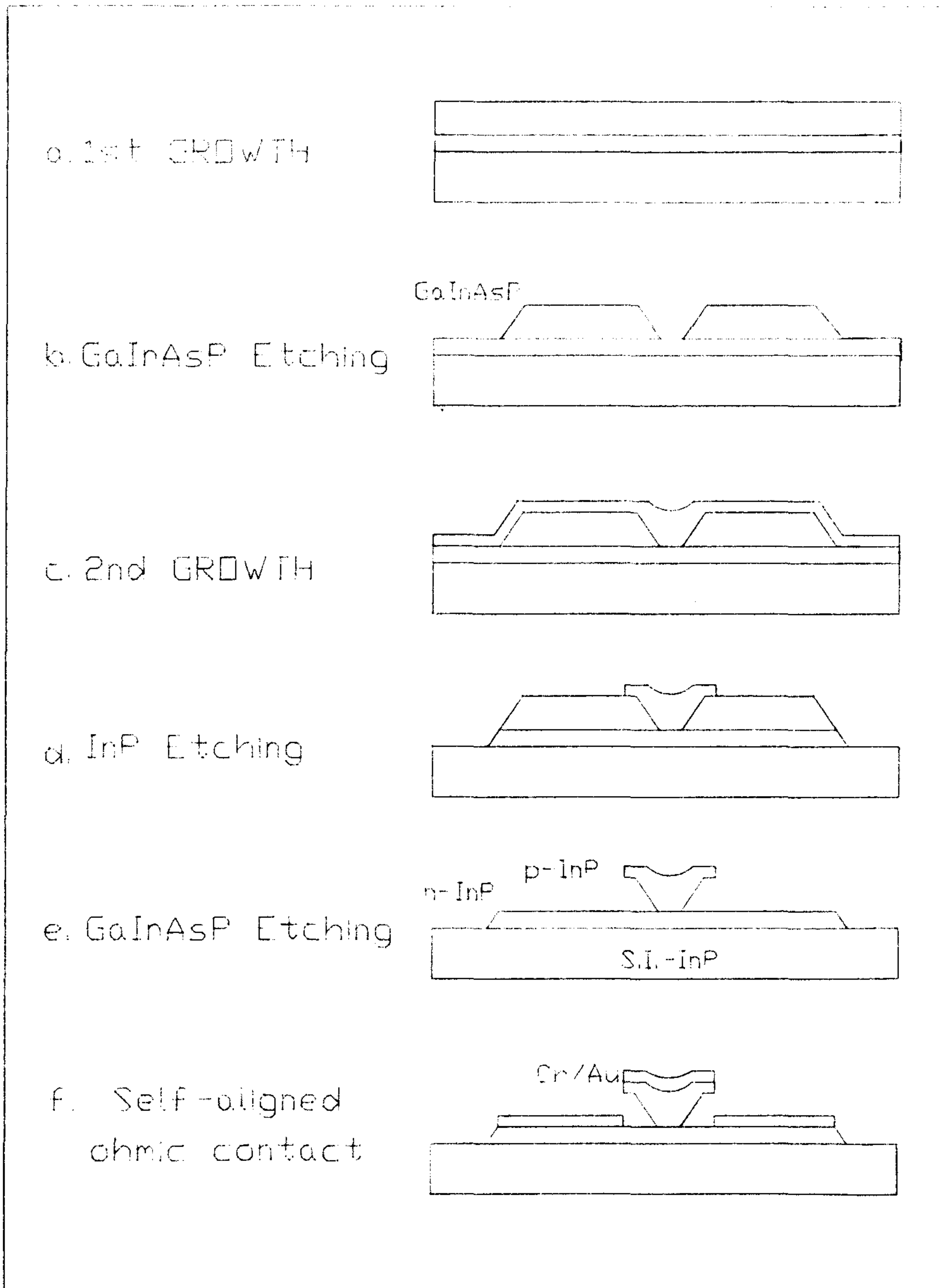
본 절에서는 제 3 장에서 언급한 바와 같이 (그림.6-1)과 같은 자기 정렬 구조의 InP JFET 제작 공정과 특성 측정 결과에 대하여 언급하고자 한다.



(그림.6-1) 자기 정렬 구조의 InP JFET 단면도

### 1. InP JFET 제작

(그림.6-2)는 InP JFET 제작의 주요 공정 단계의 단면도를 나타낸 것으로 LPE 성장, GaInAsP 선택 메사 에칭, OMVPE 2차 성장, InP/GaInAsP 에칭, 전극 증착 등의 공정을 나타낸 것으로 이에 대한 간단한 설명을 하고자 한다.



(그림.6-2) InP JFET 제작 공정 순서도

### 1-1. LPE 에 의한 GaInAsP/InP 성장

제작 공정의 첫 단계로 반 절연 InP 기판에 GaInAsP/InP층을 LPE 에 의한 이상 과냉각법으로 630 °C 에서 0.6 °C/min 냉각 속도로 성장한다.<sup>14)</sup> InP 층은 채널층으로 의도적으로 불순물을 첨가시키지 않아도  $N_d \sim 5 \times 10^{17} \text{ cm}^{-3}$  으로 도우핑되어 있고 두께는 1  $\mu\text{m}$  가 되도록 한다. GsInAsP 층은 광집적회로에서 광검출기의 흡수층에 해당되는 것으로 두께는 1.5  $\mu\text{m}$  가 되도록 한다. 광집적회로 제작시에는 GaInAs 층을 성장하나 JFET 만의 제작을 위해서는 제작의 편의를 위하여 GaInAsP 을 성장하였다.

### 1-2. GaInAsP 선택 메사 에칭

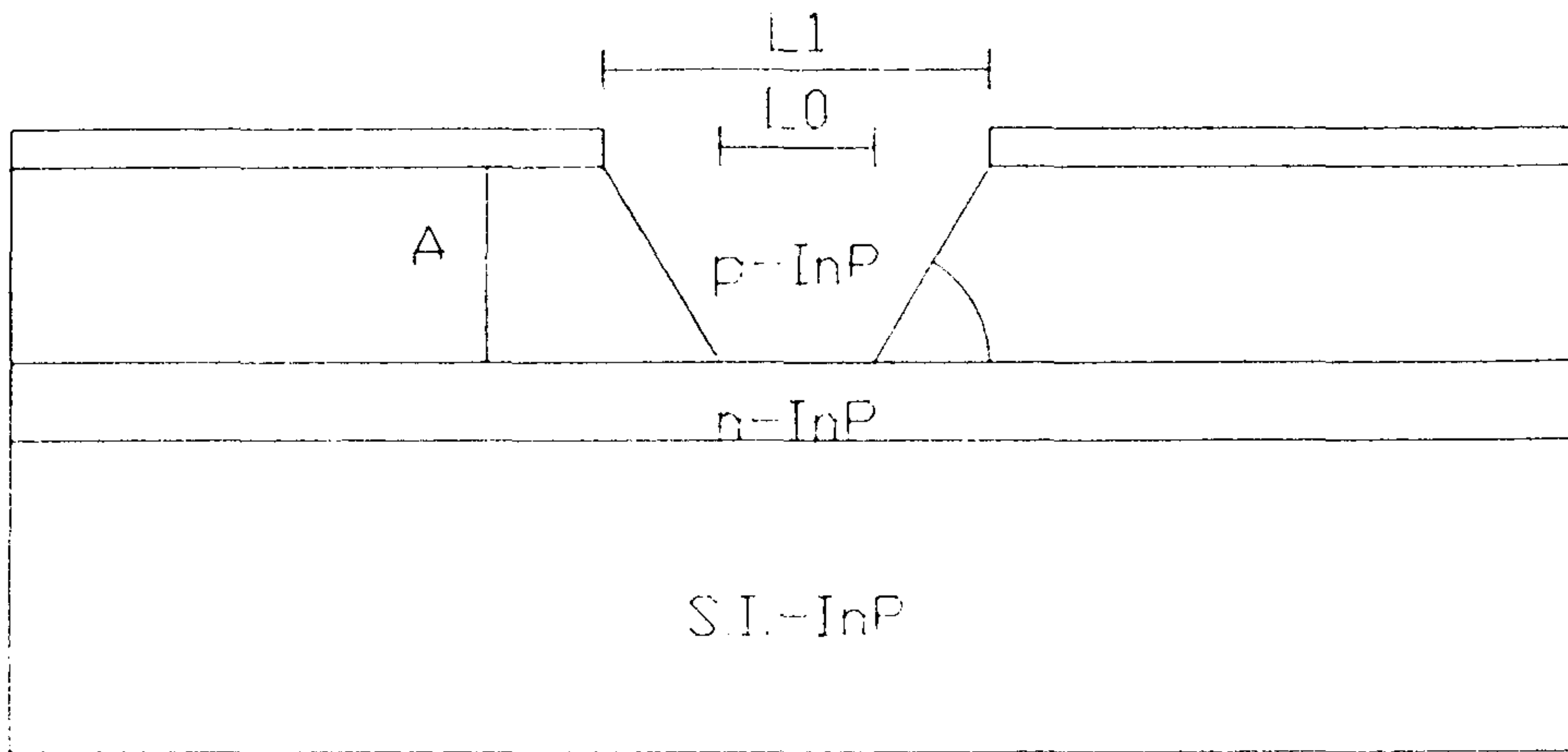
두 번째 공정 단계로 GaInAsP 층을 메사 에칭하는 것으로 2~3  $\mu\text{m}$  의  $\text{SiO}_2$  에칭 마스크로 ~1  $\mu\text{m}$  의 게이트 길이를 얻는 주요 공정이 된다. 공정 순서를 간단히 설명하면 다음과 같다.

- 1) CVD  $\text{SiO}_2$  증착 (330 °C, 2000 A)
- 2) Pre-baking (200 °C, 30 분)
- 3) Primer spin coating and drying (6000 rpm, 30 초)
- 4) PR spin coating (Shipley 1400-27, 6000 rpm, 30 초)
- 5) Soft baking (95 °C, 15 분)
- 6) Exposing (70 초)
- 7) Developing (Shipley 351 :  $\text{H}_2\text{O}$  = 1 : 5, 45 초)

- 8) Hard baking (120 °C, 30 분)
- 9) SiO<sub>2</sub> 에칭 (B.O.E., 30 초)
- 10) PR removing(아세톤, remover)
- 11) PR ashing (Plasma asher, 2 분)
- 12) Plasma ashing 으로 인한 산화막 제거 (HCl : H<sub>2</sub>O = 1 : 5, 20 초)
- 13) GaInAsP 선택 에칭 (H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O = 3:1:1, 30°C, 2분)
- 14) SiO<sub>2</sub> 제거(B.O.E., 30 초)

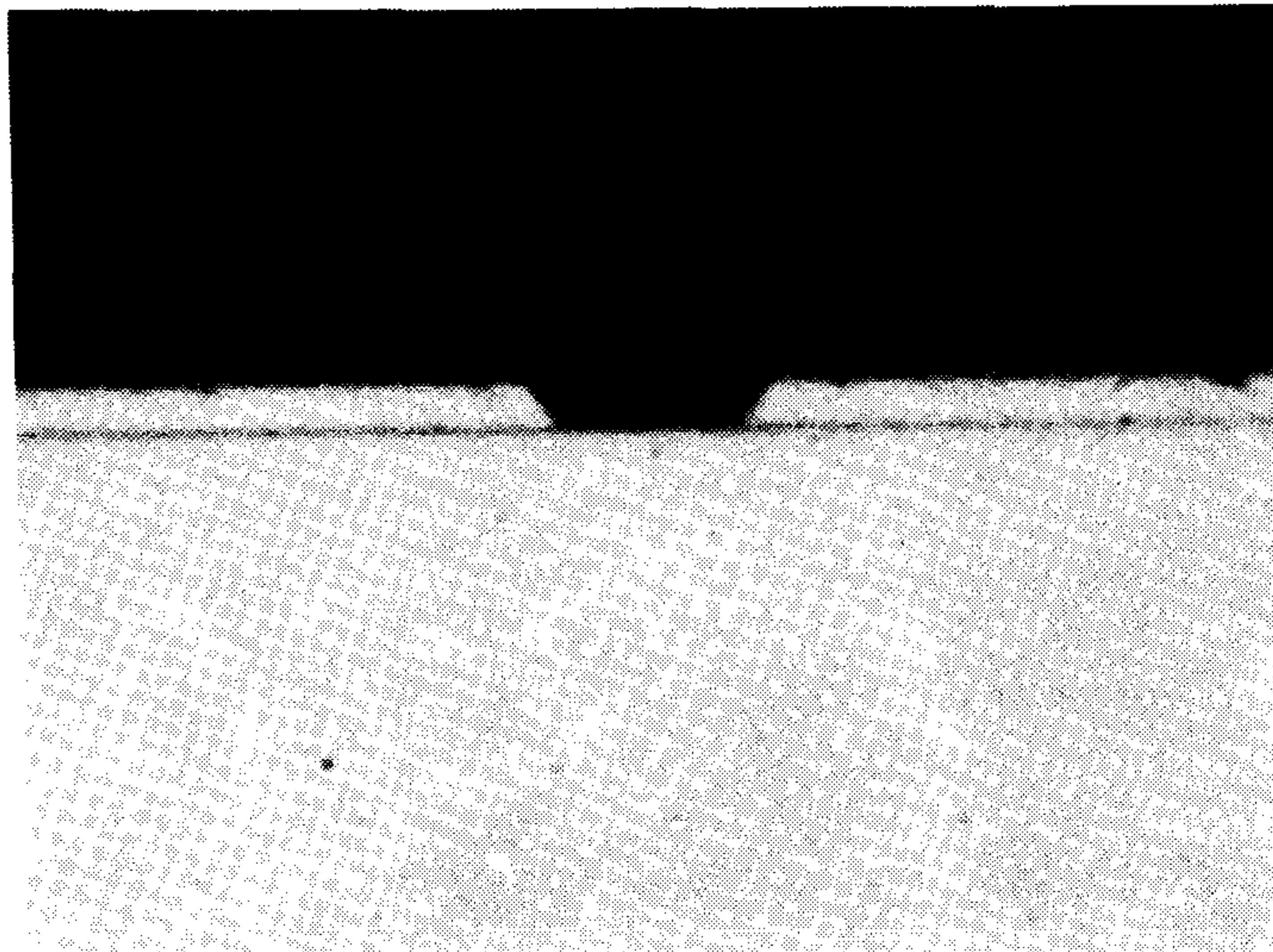
(그림.6-3)은 일반적으로 잘 알려진 바 대로 LPE 에 의해 성장된 웨이퍼의 (0 $\bar{1}1$ ) 면에서 본 SiO<sub>2</sub> 마스크에 의한 에칭 모양을 예상한 결과이나 본 실험에서는 GaInAsP 층과 SiO<sub>2</sub> 층과의 접착력이 좋지 않은 관계로 B.O.E. 가 접합면 사이로 침투되어 SiO<sub>2</sub> 마스크 넓이 보다 넓게 GaInAsP 층이 에칭되어졌다. 즉, (그림.6-3)에서 보듯이 SiO<sub>2</sub> 마스크 폭이 L<sub>0</sub> μm 일 때 외부로 나타난 InP 층의 폭은  $L_1 = L_0 - 2A/\tan(53^\circ)$  으로 계산되어 게이트 길이를 줄일 수 있으나 실험 결과로는 (사진.6-1)에서 보듯이 5 μm 폭의 마스크를 사용하였으나 L<sub>0</sub> = 8 μm 이고 L<sub>1</sub> = 6 μm 로 나타났다.(채널 두께 ; A = 1.5 μm)

이러한 문제의 해결을 위해서 에칭 마스크를 SiO<sub>2</sub> 에서 부착력이 양호한 것으로의 전환이 필요하다. 또 다른 한가지 해결 방법으로는 LPE 에 의한 1차 결정 성장시에 GaInAsP 층 위에 SiO<sub>2</sub> 와 비교적 접착력이 좋은 InP 층을 추가로 성장시켜서 메사 에칭하는 방법이다. 이 공정은 게이트 길이를 조절하는 중요 공정이 되므로 정확한 에칭 조건에 대한 공정 연구가 2 차 년도 연구에서 우선적으로 수행되어질 것이다.



Cross section of etching (011)

(그림.6-3) InP JFET 의 (011) 면의 에칭 단면도



(사진.6-1) SiO<sub>2</sub> 마스크를 이용한 메사 에칭 단면

### 1-3. OMVPE 에 의한 p-InP 성장

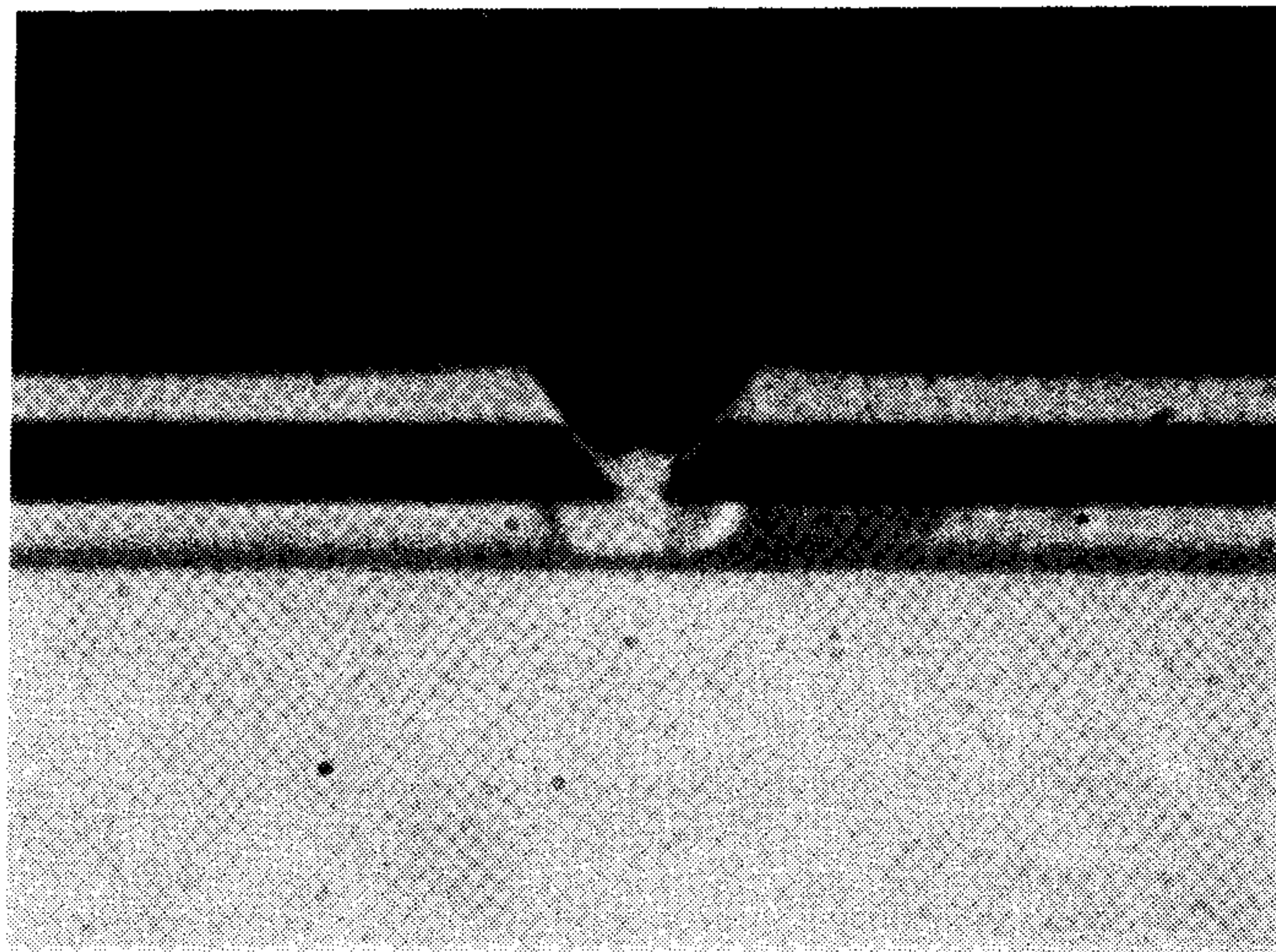
(사진.6-1)과 같이 메사 에칭된 웨이퍼에 p-InP 층을 성장시켜 p/n 접합을 이루게하는 소자 특성을 결정짓는 주요 공정 단계이다. 이 공정에서 고려되어야 할 주요 사항은 2 가지로서, 첫째는 메사 에칭면에 따른 재성장의 모양이고 다른 하나는 재성장 중의 p 형 불순물(;Zn)의 채널층(;n-InP)으로의 확산 효과이다.

(사진.6-2-a)는 605 °C, 상압(760 mTorr)에서 75 분 동안 성장시킨 결과로서 (111)면이 성장 두께가 얇게 되었고 성장 중의 Zn 확산 효과로 p/n 접합면이 채널층을 통과하여 반 절연 InP 기판까지 거의 도달되어 있음을 확인할 수 있다. (사진.6-2-b)는 605 °C 저압(76 mTorr)에서 30 분 동안 성장시킨 결과로 Zn 확산 효과는 줄어 들었으나 (111) 면의 성장 두께 및 GaInAsP 층 위의 성장 두께가 작게되었음을 알 수 있다. (사진.6-2-c)는 630 °C, 저압(76 mTorr)에서 60 분간 성장한 결과로 (111)면의 성장 두께는 JFET 제작에 충분하나 Zn 확산이 거의 반 절연 InP 기판까지 되었음을 알 수 있었다. 이와 같은 위의 3 가지 결과를 바탕으로 하여 610 °C, 저압(76mTorr)에서 u-InP 를 20 분간 성장하고 p-InP 를 40 분간 성장한 결과가 (사진.6-2-d)와 같다. 사진에서 보듯이 u-InP 층이 Zn 확산의 차단벽 역할을 하여 p-InP 결정 성장 전의 n-InP 면에서 p/n 접합이 정확하게 이루어졌다. 채널층으로의 Zn 확산 효과가 실질적인 게이트 길이의 증가 효과를 야기시킴을 고려할 때 중요한 결과로 기대된다.

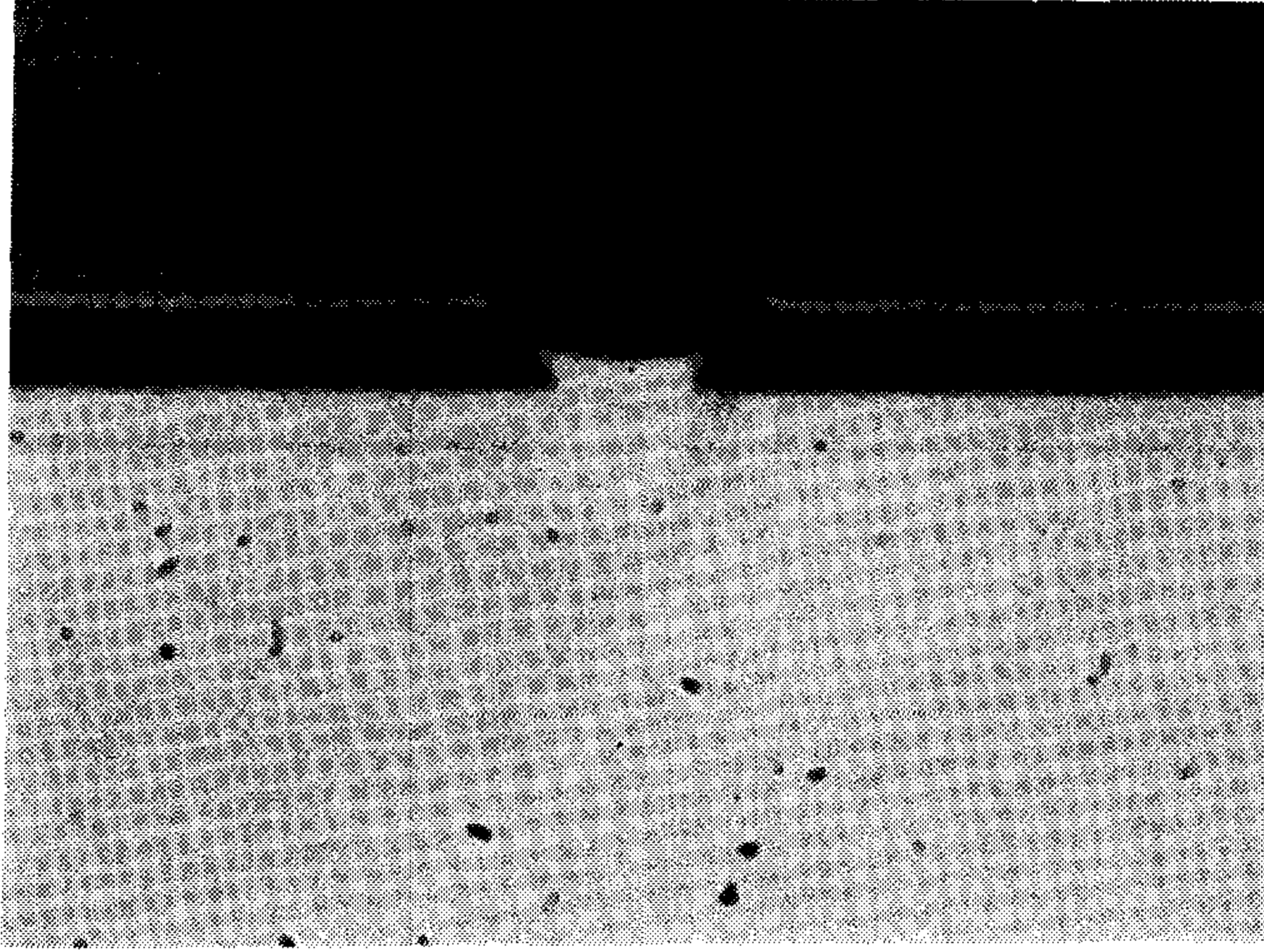
위에서 언급한 바와 같이 OMVPE를 이용한 p-InP 성장의 공정에 있어서 중요 문제점 중에서 Zn 확산에 의한 p/n 접합면의 조절 조건은 어느정도 공정 조건이 확립되어 있으나 메사 에칭면 위의 재성장 모양의 조절에 대한 연구는 2 차년도 연구에서 수행되어 질 것이다. 재성장 모양은 다음 단계의 공정에 미



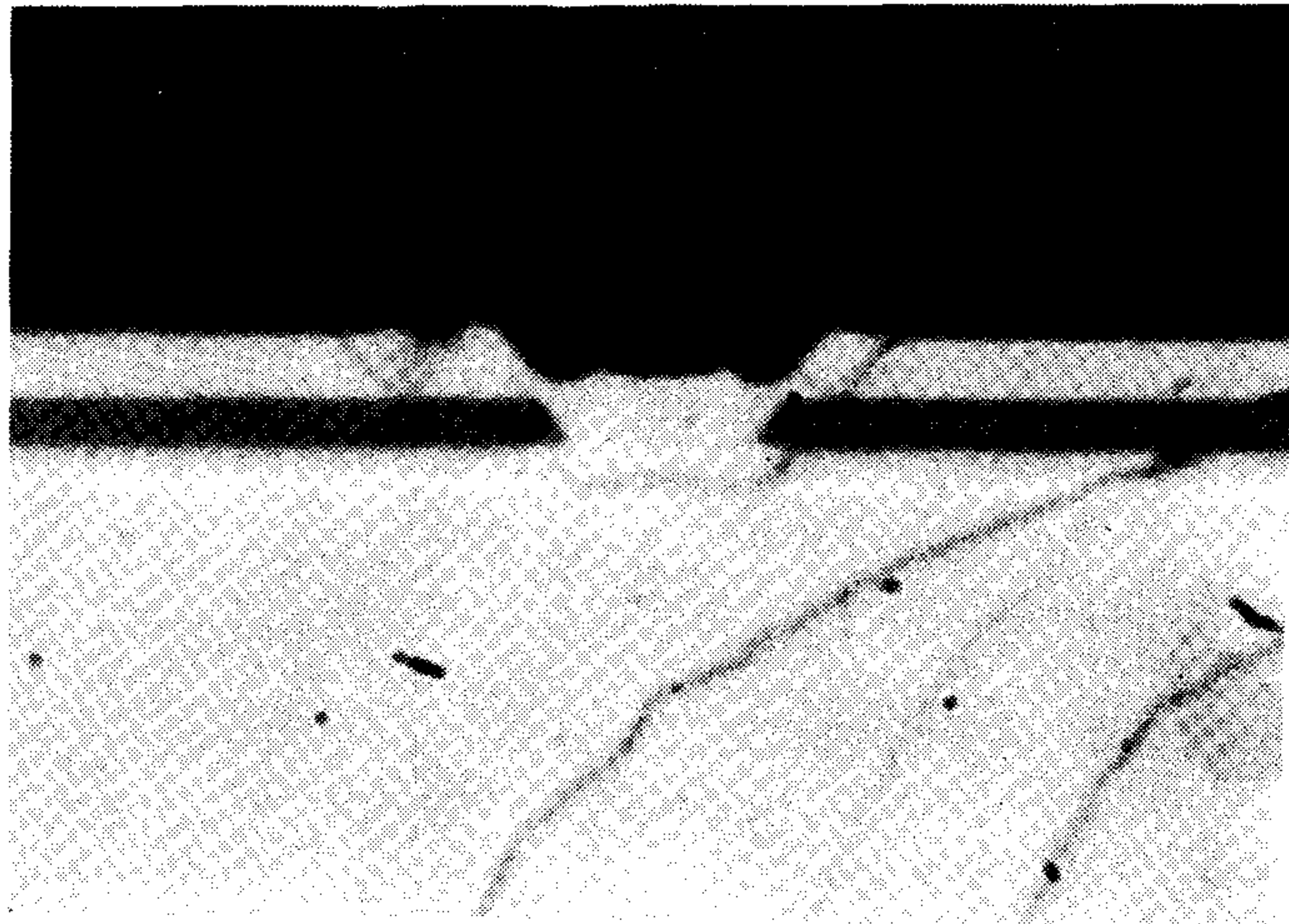
치는 영향이 크게 미치는데, 바람직한 모양은 메사 에칭면을 따라 일정한 두께로 성장되어 다른 부분과의 단차를 줄일 수 있도록 얇게 성장할 수 있게 하고 이로 인한 성장 시간의 감소로 Zn 확산 효과도 줄일 수 있게 된다.



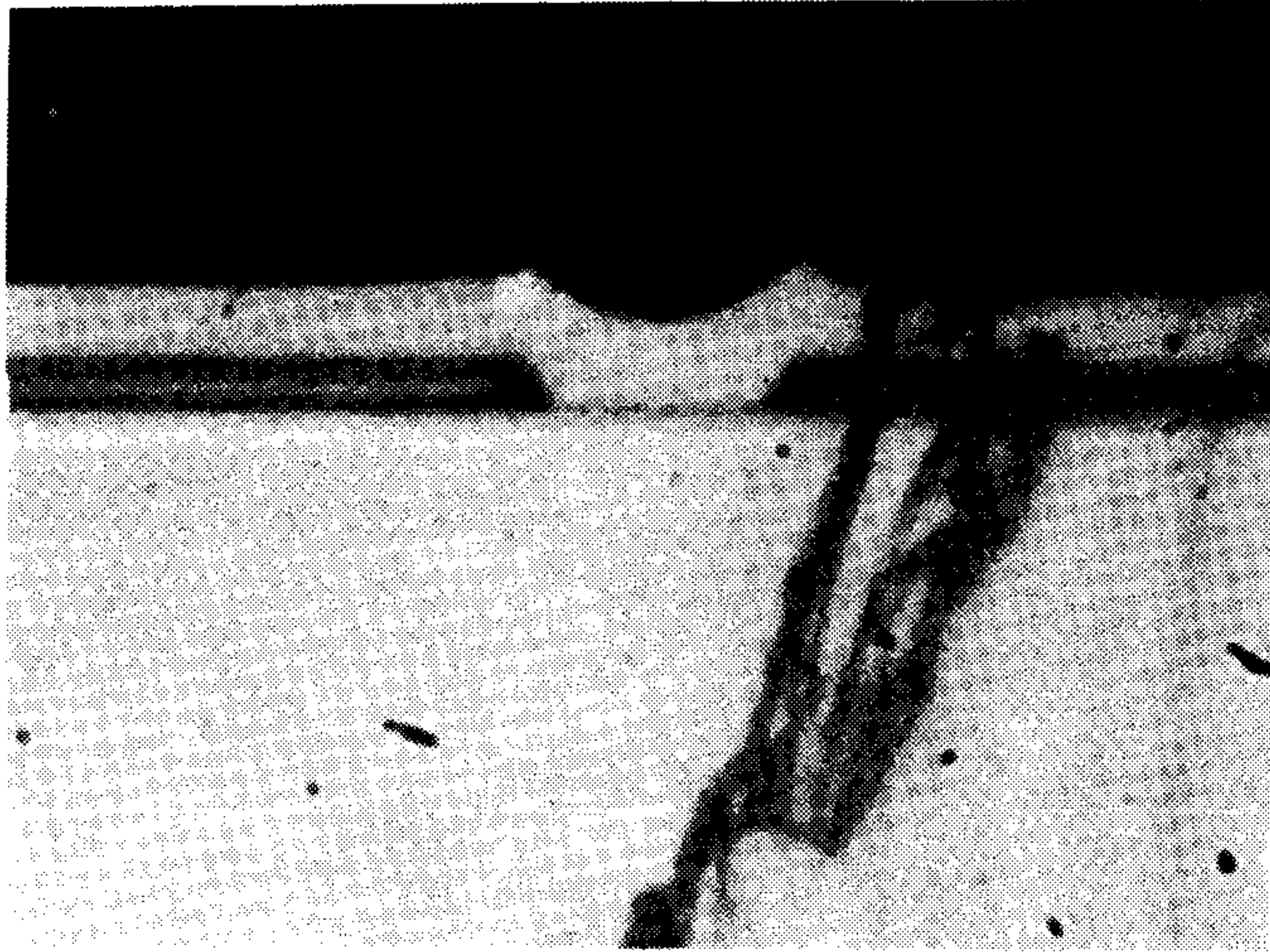
(사진.6-2-a) p-InP 재성장 후 단면(;605 °C, 760 mTorr, 75 min)



(사진.6-2-b) p-InP 재성장 후 단면(;605 °C, 76 mTorr, 30 min)



(사진.6-2-c) p-InP 재성장 후 단면(;630 °C, 76 mTorr, 60 min)

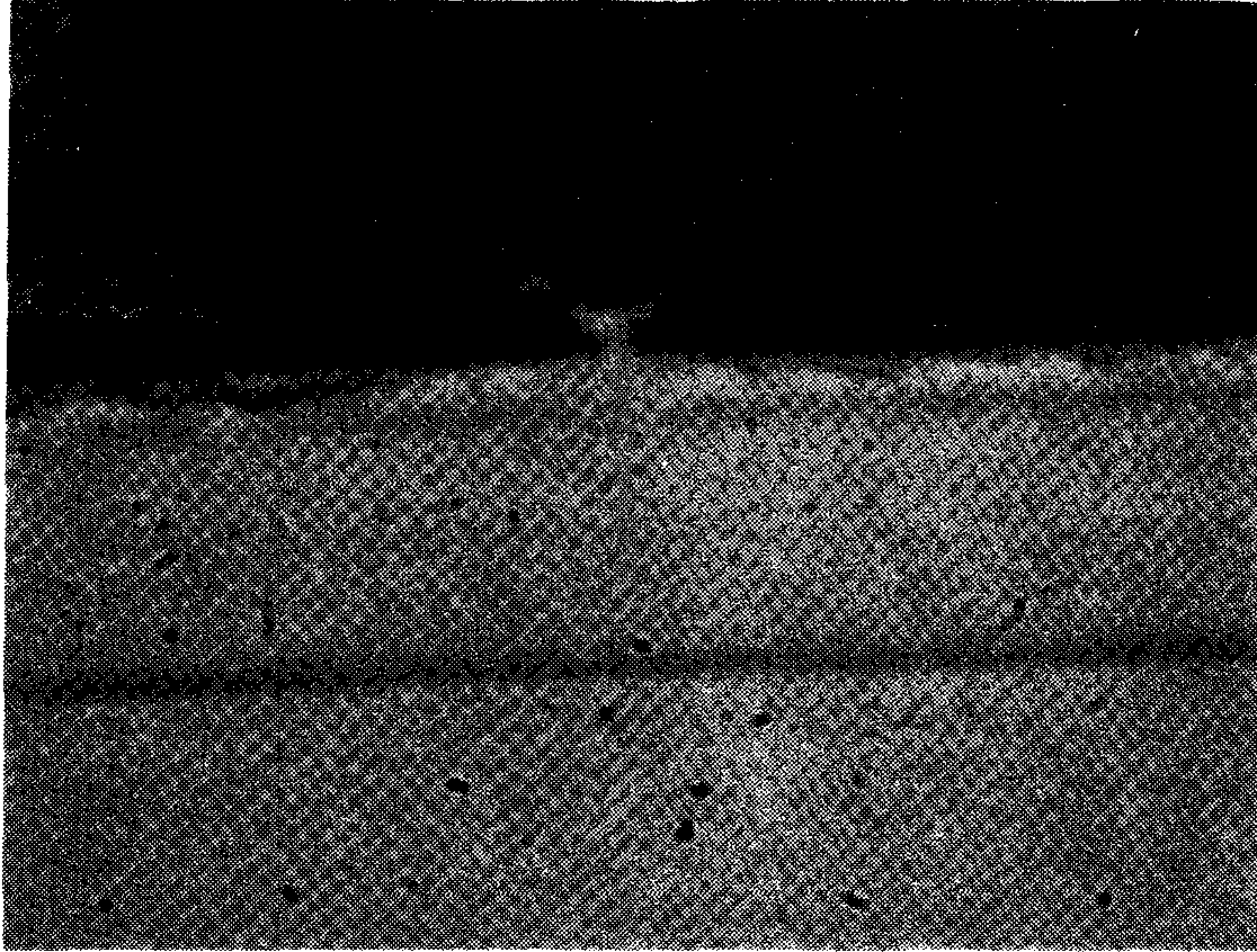


(사진.6-2-d) p-InP 재성장 후 단면(610 °C, 76 mTorr, 60 min)

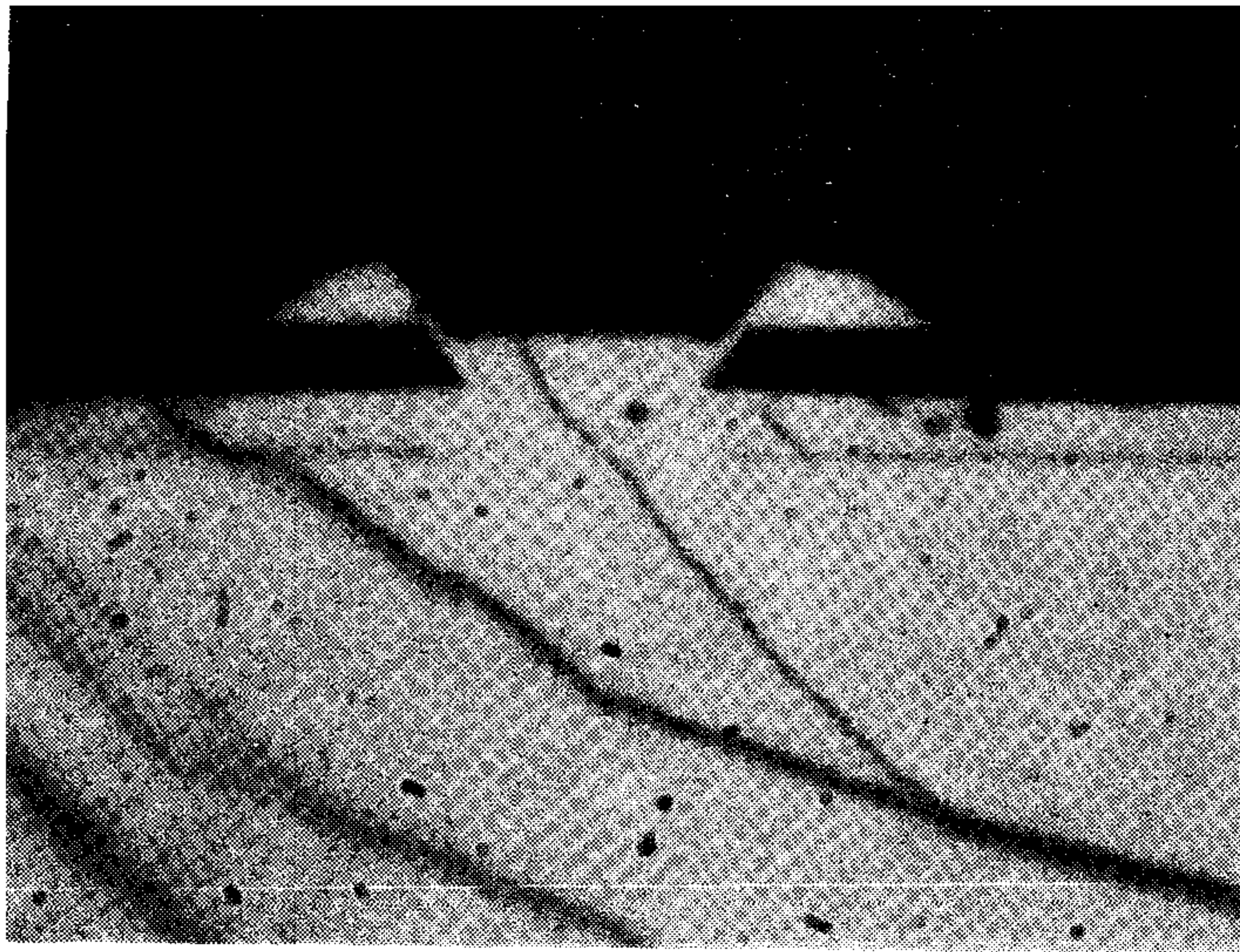
#### 1-4 p-InP/GaInAsP 에칭

다음은 OMVPE 에 의한 재성장 후에 게이트 부분을 제외한 p-InP, GaInAsP 부분을 에칭하는 공정 단계이다.

- 1) CVD 를 이용한  $\text{SiO}_2$  증착(330 °C, 2000 Å)
- 2) Lithography 공정(PR coating, Exposing, Developing 등)
- 3)  $\text{SiO}_2$  패턴 에칭
- 4) PR removing(아세톤, Plasma ashing)
- 5) p-InP 에칭 ( $\text{HCl} : \text{H}_2\text{O} = 4 : 1$ , 0 °C, 2 분)
- 6) GaInAsP 에칭 ( $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 3 : 1 : 1$ , 30 °C, 10 분)



(사진.6-3-a) p-InP/GaInAsP 에칭 후 단면 ( $L_0 = 4 \mu\text{m}$ )



(사진.6-3-b) p-InP/GaInAsP 에칭 후 단면 ( $L_0 = 10 \mu\text{m}$ )

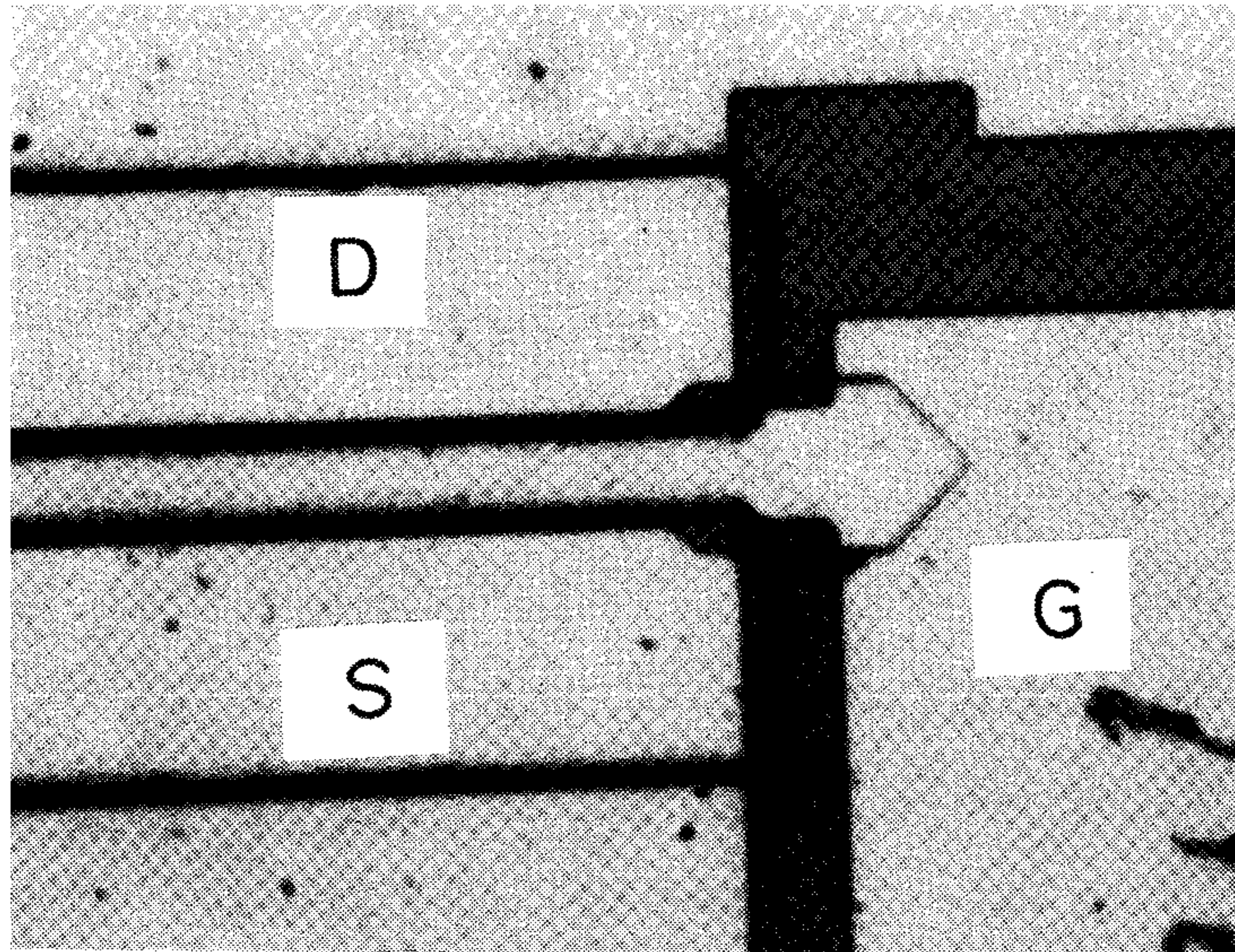
(사진.6-2-a)와 같이 성장된 웨이퍼를 위와 같은 공정 순서에 의하여 선택 에칭한 결과가 (사진.6-4-a,b)와 같이 나타났는데 사진에서 볼 수 있듯이  $L_0=4 \mu\text{m}$  에서  $L_1=2 \mu\text{m}$  를 얻을 수 있었다. 이 공정에서 GaInAsP 층을 10 분으로 길게 에칭한 것은 날개 모양의 p-InP 층 부분의 GaInAsP 를 완전히 제거하기 위해서이다.

#### 1-5 자기 정렬에 의한 전극 증착

다음은 자기 정렬에 의한 전극 형성을 위한 공정으로 (사진.6-3-a,b)의 웨이퍼를 다음과 같은 공정 순서에 의한다.

- 1) Pre-baking (200 °C, 30 분)
- 2) PR spin coating (Shipley 1400-27, 5500 rpm, 30 초)
- 3) 1st Soft baking (65 °C, 15 분)
- 4) Monochlorobenzen baking(15 분)
- 5) 2nd soft baking (95 °, 15 분)
- 6) Exposing (90 초)
- 7) Developing (Shipley 351 : H<sub>2</sub>O = 1 : 5, 80 초)
- 8) E-beam evaporator 에 의한 Cr/Au 증착( $5 \times 10^{-5}$  Torr, 200/3000 A)
- 9) 웨이퍼를 아세톤에 담구어 초음파를 가함
- 10) 웨이퍼 세척(TCE, 아세톤, 메탄올)
- 11) R.T.P 에 의한 annealing (H<sub>2</sub>/N<sub>2</sub>(;29.6%), 420 °C, 60 초)

(사진.6-4)는 이와 같은 방법에 의하여 전극 증착이 이루어진 후의 InP JFET의 전 표면 사진이다. 그러나, 이공정 조건은 일반적으로 단차가 크지 않은 웨이퍼의 경우의 Lift-off 공정 조건으로서 본 경우와 같이 단차가 2  $\mu\text{m}$  정도로 큰 경우는 다음절에서 언급될 Polyimide를 이용한 공정이 요구되어진다.

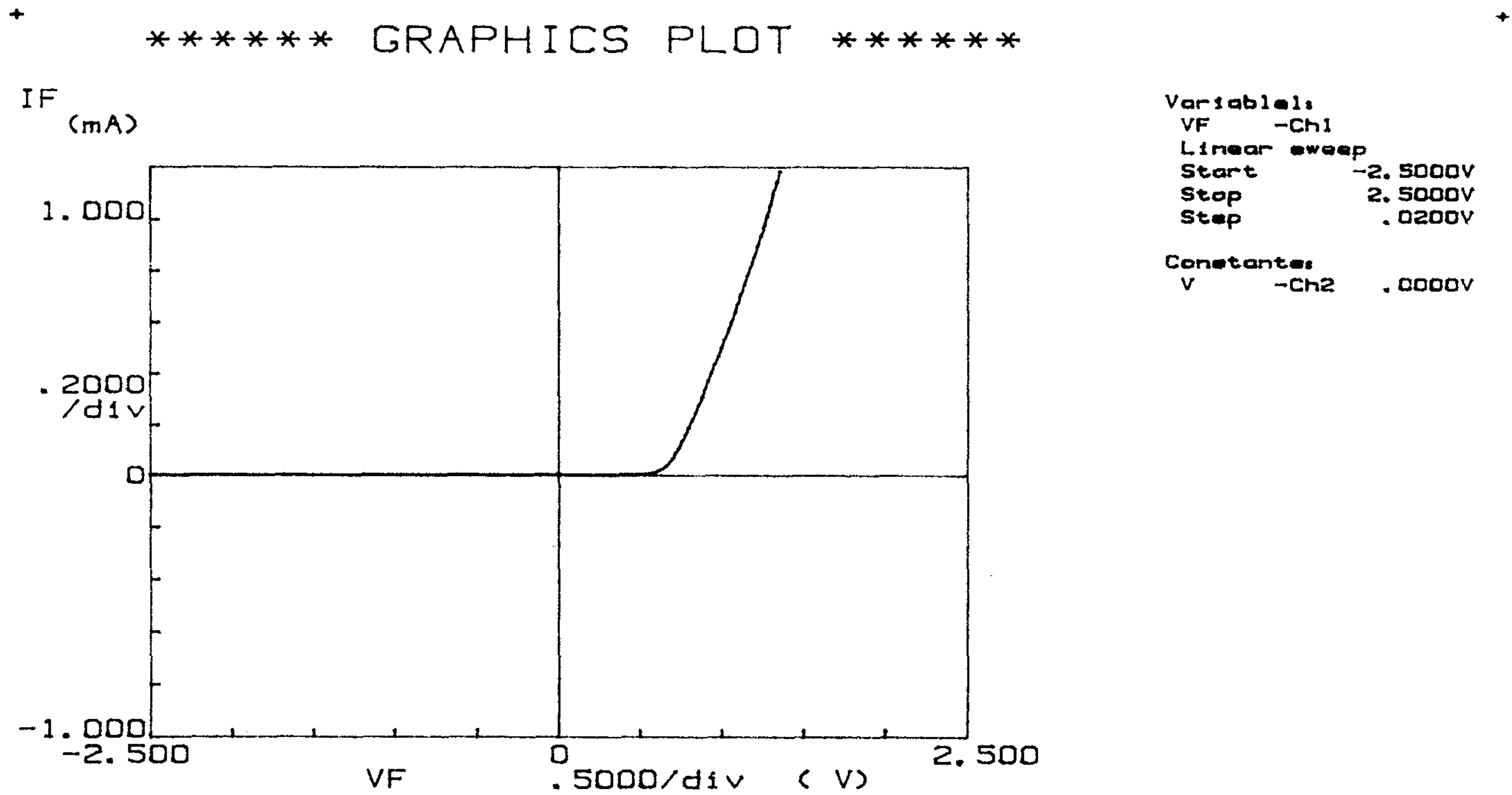


(사진.6-5) 제작된 InP JFET 표면 사진

## 2. InP JFET 의 특성 측정 결과 및 논의

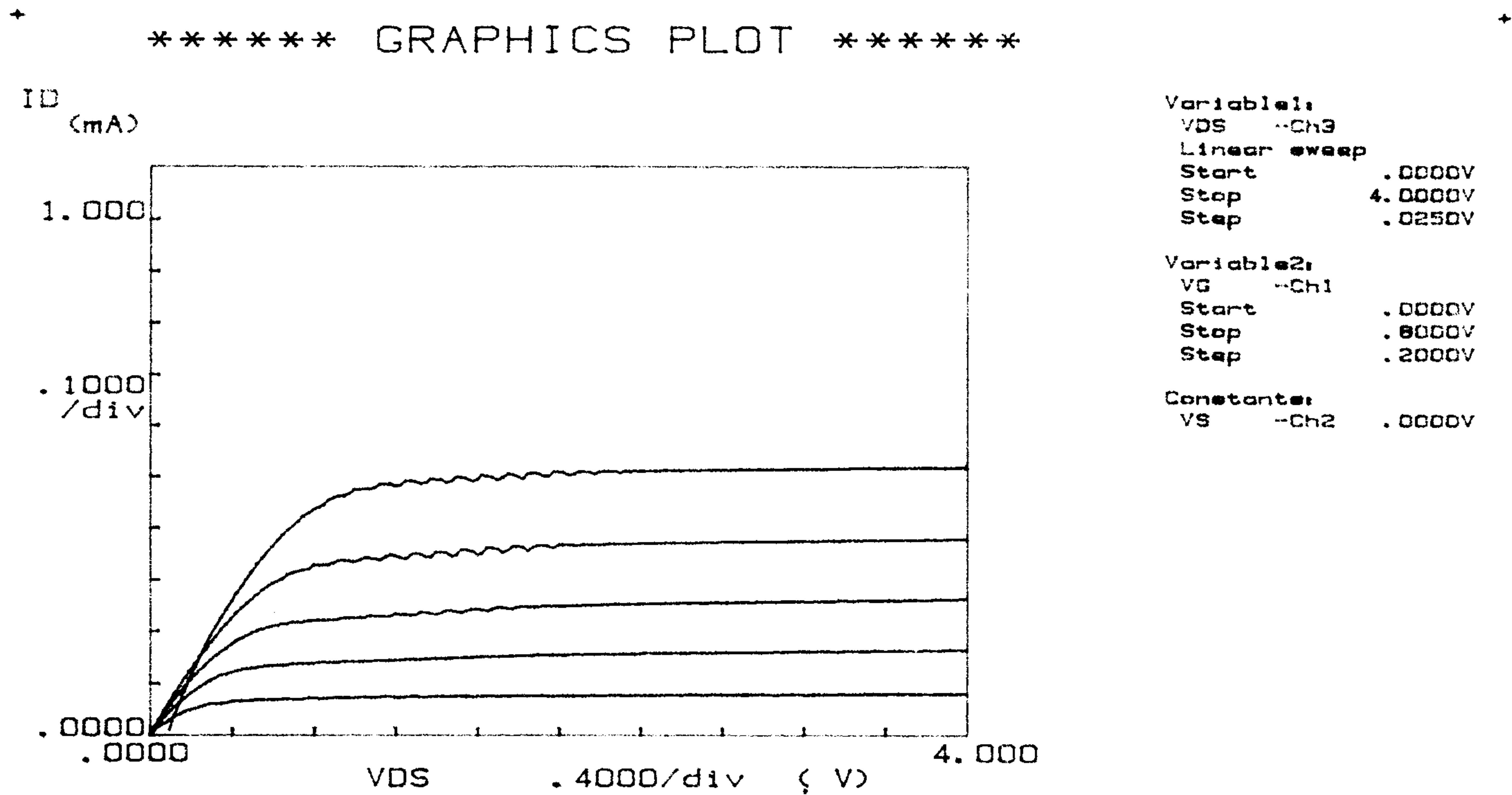
앞 절에서 언급한 바와 같이 (사진.6-3-a)의 웨이퍼로 제작된 InP JFET 의 I-V 특성을 Parameter Analyzer(HP-4145B)를 사용하여 측정한 결과에 대하여 논하기로 한다.

(그림.6-4)는 게이트 길이가  $10\ \mu\text{m}$ , 넓이는  $200\ \mu\text{m}$  이고, 채널층의 두께가  $1\ \mu\text{m}$  인 경우의 게이트와 드레인의 I-V 특성으로 차단 전압이  $0.6\ \text{volt}$  이고  $-5\ \text{volt}$  의 전압에서  $\sim .1\ \mu\text{A}$  의 누설 전류가 흐르므로 소자 요건에 만족되는 것으로 나타났다. 게이트와 소오스 간의 I-V 특성도 게이트/드레인 특성과 거의 같게 나타났다. (그림.6-5)는 트랜지스터 I-V 특성을 측정한 결과를 보여주고 있다. 이 결과에서  $V_{gs} = -.5\ \text{volt}$ ,  $V_{ds}=3\ \text{volt}$  에서  $g_m = .5\ \text{mS}$  로 측정되었다.  $V_g = .8\ \text{volt}$  에서  $V_{sat} = 0.8\ \text{volt}$  로 나타났는데 이를  $V_{sat} = V_{po} - V_{bi} + V_g$  의 관계식으로 부터<sup>3)</sup>  $V_{po} = V_{bi}$  의 결과를 얻을 수 있고  $V_{bi} = 1.266\ \text{volt}$  이고,  $V_{po} = qN_d A^2 / 2\epsilon$  에서  $N_d = 5 \times 10^{17}\ \text{cm}^{-3}$  이므로 채널 두께, A 를 구해보면  $A = 0.065\ \mu\text{m}$  로 추정되어진다. 그러므로, Zn 확산면을 조절하여 채널 두께를  $1\ \mu\text{m}$  로 하여, 게이트 길이를  $1\ \mu\text{m}$  로 하여 제작하였을 경우  $g_m = 77\ \text{mS}$  을 추정할 수 있다. 이외 같이 추정된 값은 제 3 장 에서 설계된 소자 요건 중에서  $g_m$  값은 만족시킬 수 있는 것이다.



(그림.6-4) InP JFET의 게이트와 드레인의 전류/전압 특성





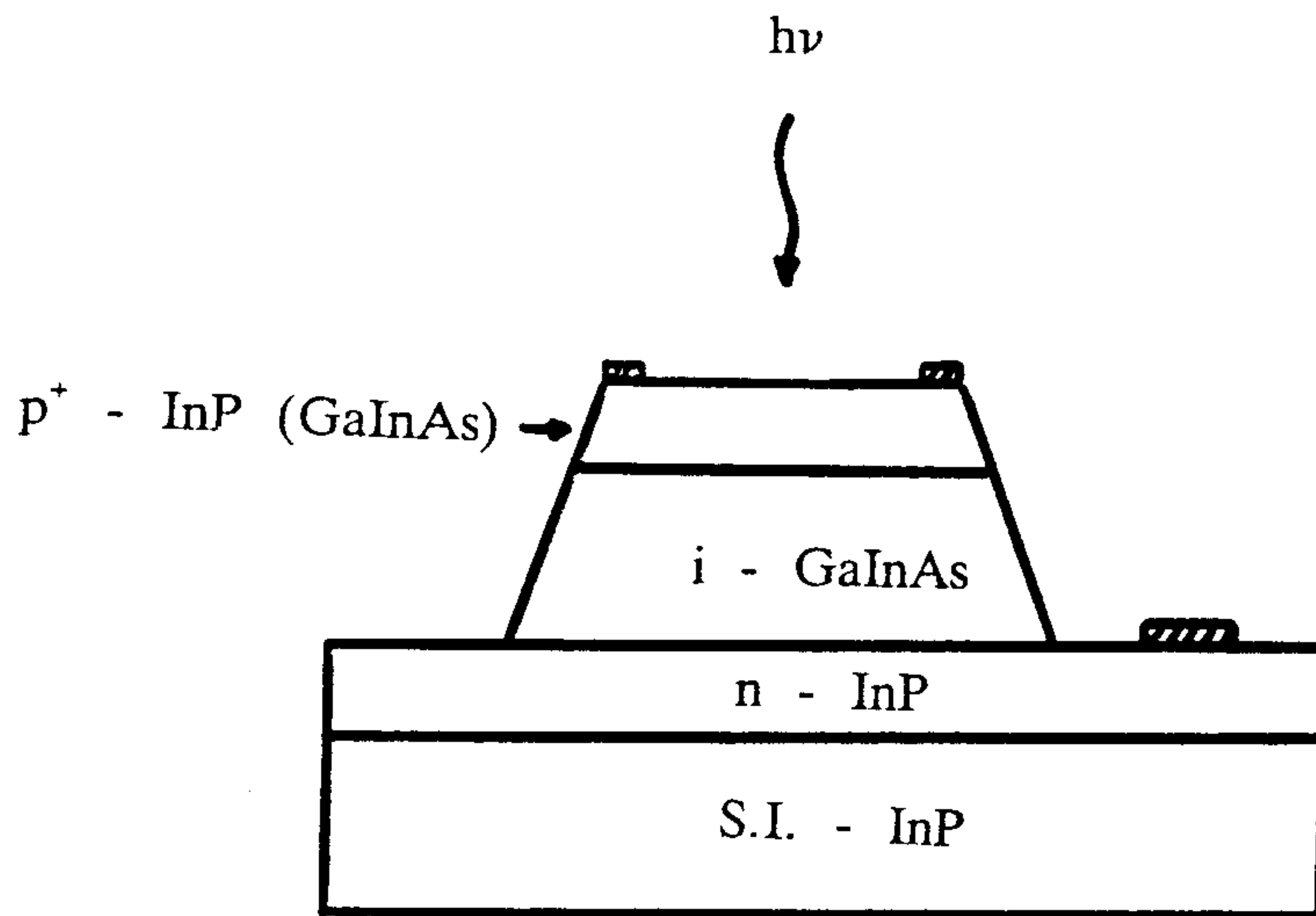
(그림.6-5) InP JFET의 전류/전압 특성

### 제 3 절 InGaAs PIN PD 특성 연구

광검출기의 집적화 연구 방향은 고효율화, 고속화, 저잡음화 등으로 대별할 수 있으며, 이러한 특성을 결정하는 광검출기의 변수는 양자 효율, 정전 용량 및 누설 전류 등이다.

#### 1. 양자 효율

(그림 6-6)에 전형적인 집적용 PIN PD의 단면 구조가 있다. 반절연 InP 기판 위에 n형 InP, 도우핑이 안된 InGaAs 흡수층과 p<sup>+</sup>형 InP 또는 InGaAs cap층으로 구성되어 있다.



GaInAs/InP PIN-PD의 구조

(그림 6-6) 집적용 PIN PD의 단면 구조

여기에서 양자 효율은 식 (6-1)과 같으며

$$\eta = (1-r)(1-e^{-\alpha W}) \quad \text{-----}(6-1)$$

$r$ 은 표면에서의 반사 계수,  $\alpha$ 는 흡수 계수 그리고  $W$ 는 공핍층의 두께이다. 무반사 coating이 없는 경우  $r$ 은 0.3 정도이며, InGaAs에서의 흡수 계수  $\alpha$ 는  $1.3 \mu\text{m}$  파장에서  $1.16 \mu\text{m}^{-1}$  정도이다. (그림 6-7)은 공핍층의 두께에 따른 양자 효율이다. 무반사 coating이 있는 경우와 없는 경우에 대해서 나타나있다. 공핍층의 두께가  $1 \mu\text{m}$ 이면 70% 정도가 흡수되는 것을 알 수 있다. 바이어스 전압에 따른 공핍층의 두께는 InGaAs층의 전하 농도에 따라 달라지며 (그림 6-8)에 공핍층의 두께가 나타나 있다. 바이어스가 안걸린 상태에서 도우핑 농도가  $10^{15} \text{cm}^{-3}$ 이면 공핍층의 두께는 대략  $1 \mu\text{m}$  정도임을 알 수 있다.

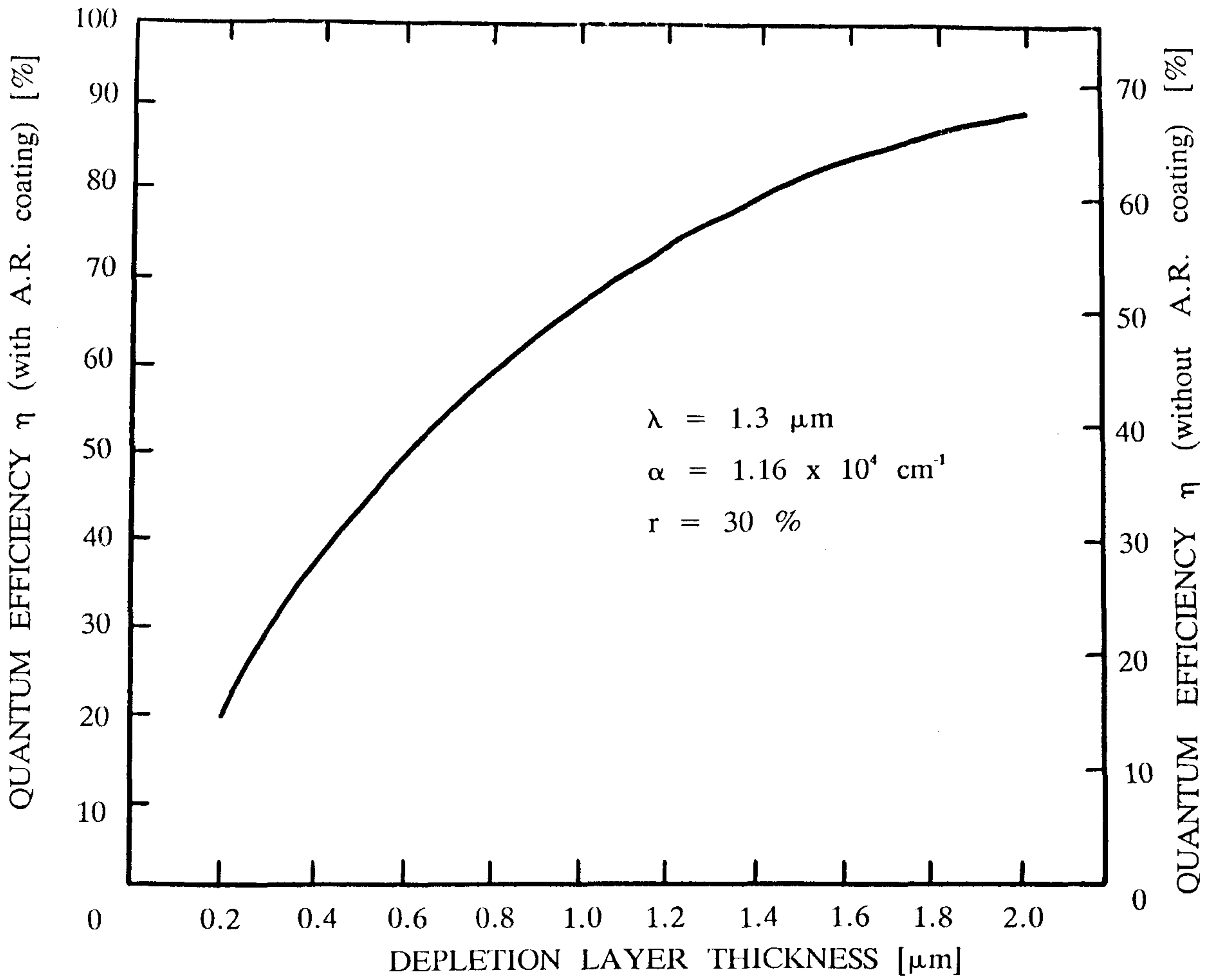
설계 요건으로서 흡수층의 도우핑 농도는 공핍층의 두께를 크게하고 정전 용량을 작게하기 위하여 가능한 낮추는 것이 좋다. 그리고 흡수층의 두께  $d$ 는 (그림 6-8)에 의하여 주어진 바이어스 조건에서 공핍층의 두께와 같도록 한다. 또한  $p^+$ -InGaAs층의 두께  $t$ 를 적게 하거나 이 층을  $p^+$ -InP로 바꾸어 양자 효율을 높이는 것이 좋다.

## 2. 정전 용량

역바이어스에 따른 접합 정전 용량은 공핍층의 두께  $W$ 와 다이오드의 면적  $A$ 에 의해 식 (6-2)와 같이 된다.

$$C_d = \epsilon_s A / W \quad \text{-----}(6-2)$$

$\epsilon_s$ 는 흡수층의 유전율로서 InGaAs의 경우  $14.1\epsilon_0$ 이다. 공핍층의 두께는 클



(그림 6-7) 공핍층 두께에 따른 양자 효율

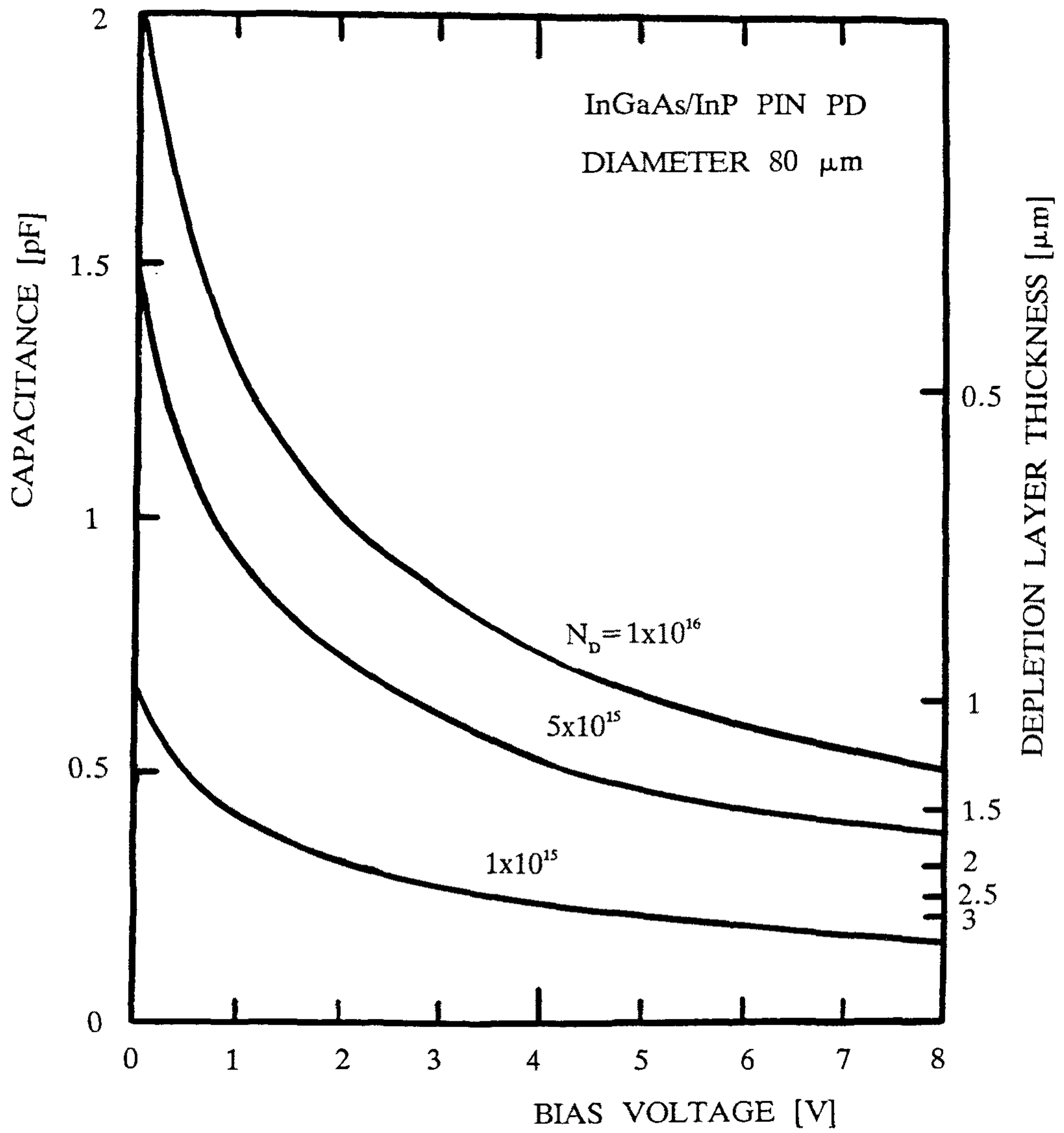
수록, 면적은 작을수록 정전 용량은 작아져서 고속 동작이 가능해진다. 그러나 공핍층의 두께를 크게하기 위해서는 바이어스 전압을 크게 걸어주어야 하며, 큰 공핍층의 두께는 결국 표면 단차를 크게하는 결과를 가져온다. 그리고 흡수 면적을 작게하면 광섬유와의 결합이 어려워져 결합 손실의 증가로 수신감도가 나빠지게 된다. 그러므로 공핍층의 두께는 바이어스 조건에 의해 결정되어야 하며, 흡수 면적은 광섬유와의 결합을 고려하여 광섬유의 단면적과 비슷하게 하는 것이 좋다. (그림 6-8)은 광검출기의 직경이 80  $\mu\text{m}$ 일때 역바이어스 전압에 따른 접합 용량을 그린 것이다. 바이어스가 안걸린 상태에서 capacitance는 도우핑 농도가  $10^{15} \text{ cm}^{-3}$ 과  $10^{16} \text{ cm}^{-3}$ 인 경우 각각 0.7 pF와 2.0 pF이다.

### 3. 누설 전류

수신감도를 결정하는 또 하나의 중요한 변수는 누설 전류이다. 광검출기에서의 누설 전류는 확산에 의한 것, generation-recombination에 의한 것, tunneling에 의한 것 및 표면에서의 누설 전류 등이 있으며, 결정 성장에 문제가 없는 경우에는 표면 누설 전류가 가장 심각한 문제가 된다.

이에 따라 표면 누설 전류를 줄이려는 연구가 진행되었으며, passivation 막으로 polyimide를 사용하거나<sup>(4)</sup>, 또 Zn 확산을 위한 SiN mask가 누설 전류의 원인이 됨이 밝혀져 이 막을 제거하고 살짝 에칭한 뒤에 polyimide로 passivation하는 등의 방법이 개발되었다<sup>(5)</sup>. 그리고 InGaAs와 같이 에너지 갭이 작은 물질은 근본적으로 누설 전류가 크기 때문에 표면에 노출된 p-n 접합면이 InP와 같이 에너지갭이 큰 물질을 놓이게 함으로써 누설 전류를 줄일수도 있다.

따라서 이러한 점들을 고려하여 공정 및 소자 설계를 하면 누설 전류는 수신감도에 영향을 주지않는 수준에까지 낮출수있다.



(그림 6-8) 바이어스 전압에 따른 공핍층의 두께와 집합 정전 용량

## 제 4 절 Polyimide 공정 연구

### 1. Polyimide의 특성

Polyimide는 반도체, 산화막 또는 금속면과 부착력이 좋고 열적, 화학적 및 기계적 특성이 우수할 뿐 아니라 비저항이 크고 유전율이 적어 최근에 반도체 소자의 passivation막으로 사용되기 시작하였으며, 특히 광검출기의 passivation막으로 사용할 경우 누설 전류를 크게 줄일수 있고 spinner을 사용하여 간단히 1 내지 10  $\mu\text{m}$  두께까지 coating할 수 있어 평면화를 쉽게 이룰 수 있을뿐 아니라 표면 단차가 큰 웨이퍼에서 lift-off를 용이하게 하므로 광전집적 공정에 매우 유용하게 사용될 수 있다. <표 6-1>은 이러한 polyimide의 특성과 각 특성에 따른 OEIC에의 응용 분야를 도표화한 것이다.

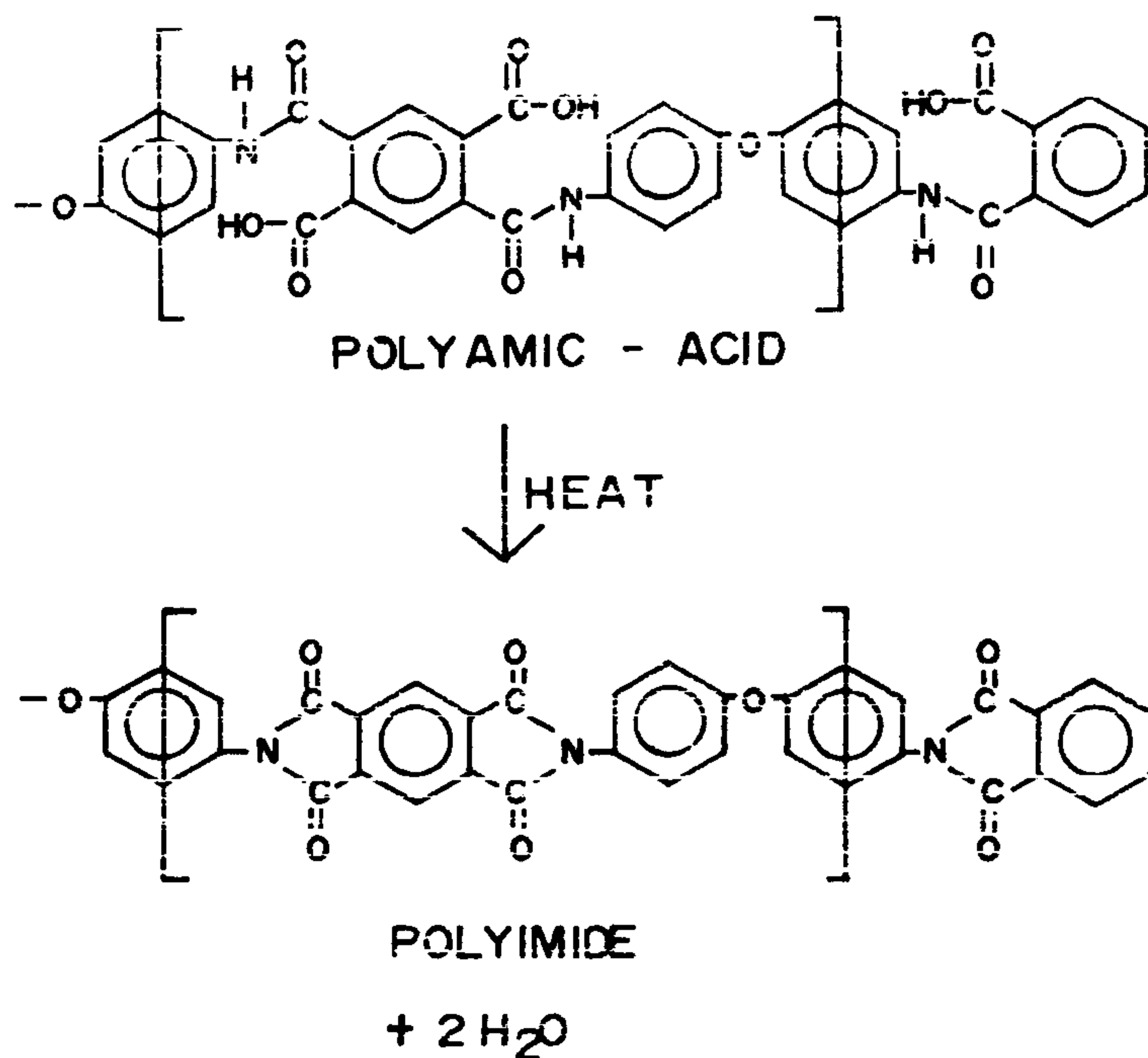
Polyimide는 (그림 6-9)에서 보는것 처럼 NMP (N-Methyl iso-Pyrrolidone)나 Cyclohexanone를 용매로 하여 polyamic acid로 존재하다가 baking에 의해 열을 받으면 한개의 amic acid 기에서 두개의 물 분자를 방출하면서 polyimide로 변환되어 위에서 언급한 특성을 갖게 된다.

### 2. Polyimide 공정 조건

본 실험에서는 Brewer Science사의  $\pi$ P-11 polyimide를 사용하였다. 공정 순서는 (그림 6-10)에 나타나 있다. 먼저 polyimide를 적절한 속도에서 60초 동안 spin coating한다. 이때 spin 속도에 따른 100% imidize 후 polyimide 두께가 (그림 6-11)에 있다. 1  $\mu\text{m}$ 의 두께를 얻기 위해서는 4,000 rpm에서 spin 하면

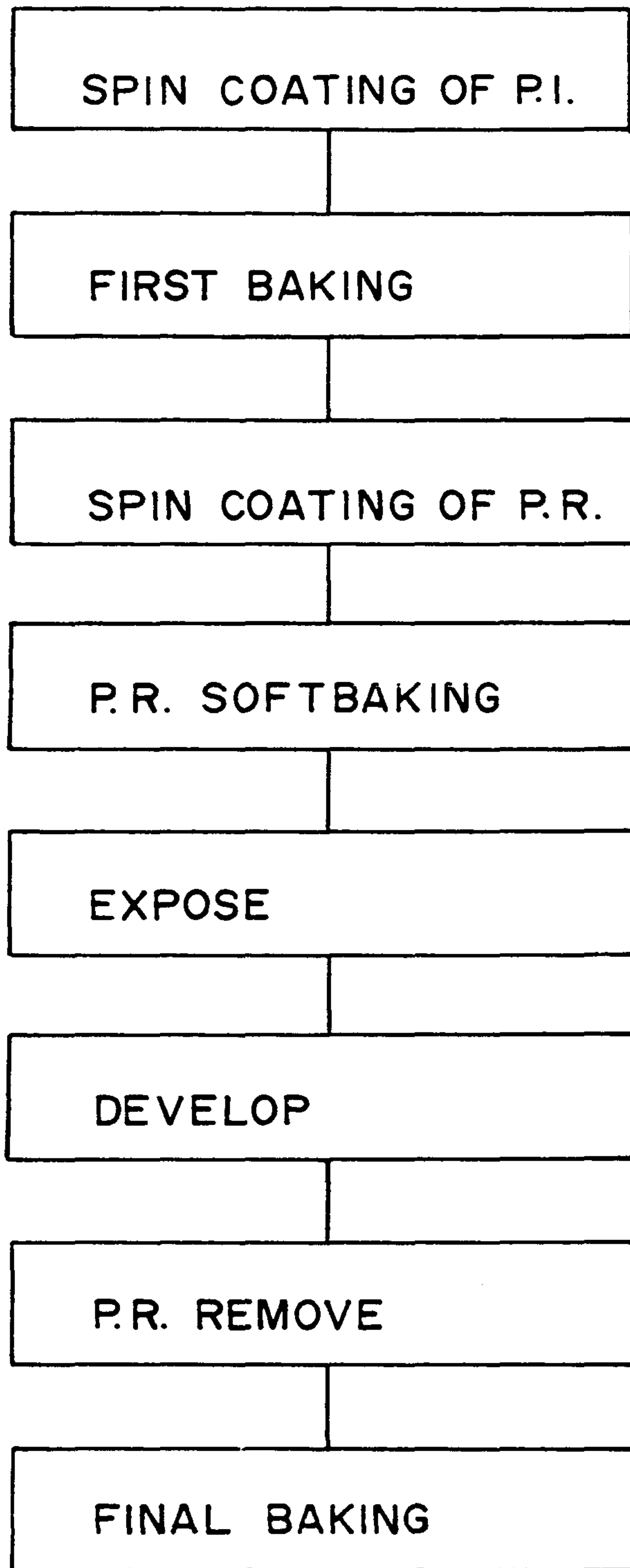
<표 6-1> Polyimide의 특성과 각 특성에 따른 OEIC의 응용 분야

CHARACTERISTICS	APPLICATION TO OEIC
THERMAL, CHEMICAL & MECHANICAL STABILITY	PASSIVATION
LOW SURFACE STATE	LOW LEAKAGE CURRENT
LOW DIELECTRIC CONSTANT ( $\epsilon_r = 3.5$ ) HIGH RESISTIVITY ( $\rho = 10^{16} \Omega\text{cm}$ )	DEVICE ISOLATION, HIGH SPEED
THICK COATING	PLANARIZATION, LIFT-OFF

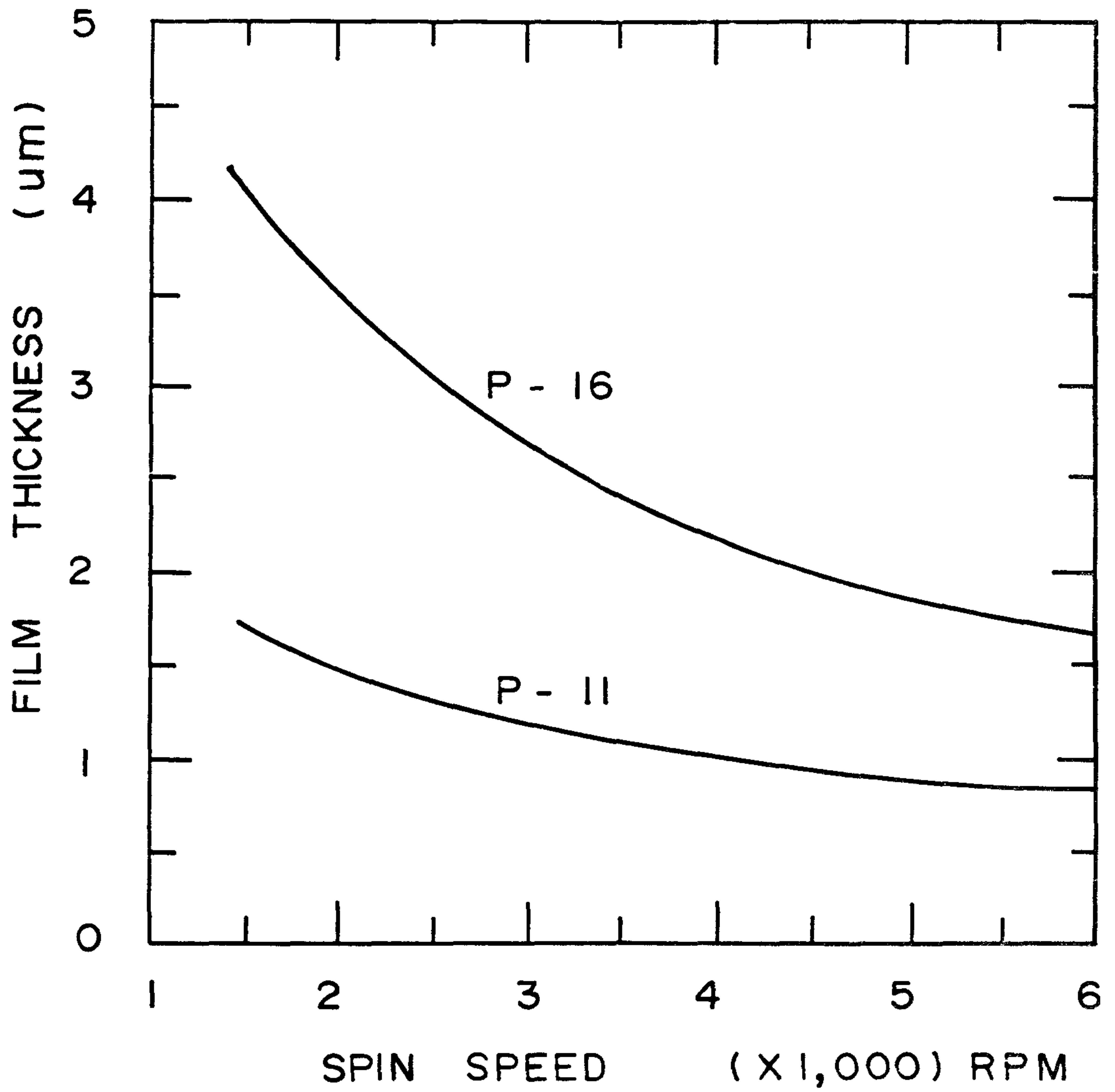


(그림 6-9) Polyimide의 분자 구조





(그림 6-10) Polyimide 공정 순서도



(그림 6-11) Spin 속도에 따른 polyimide의 coating 두께

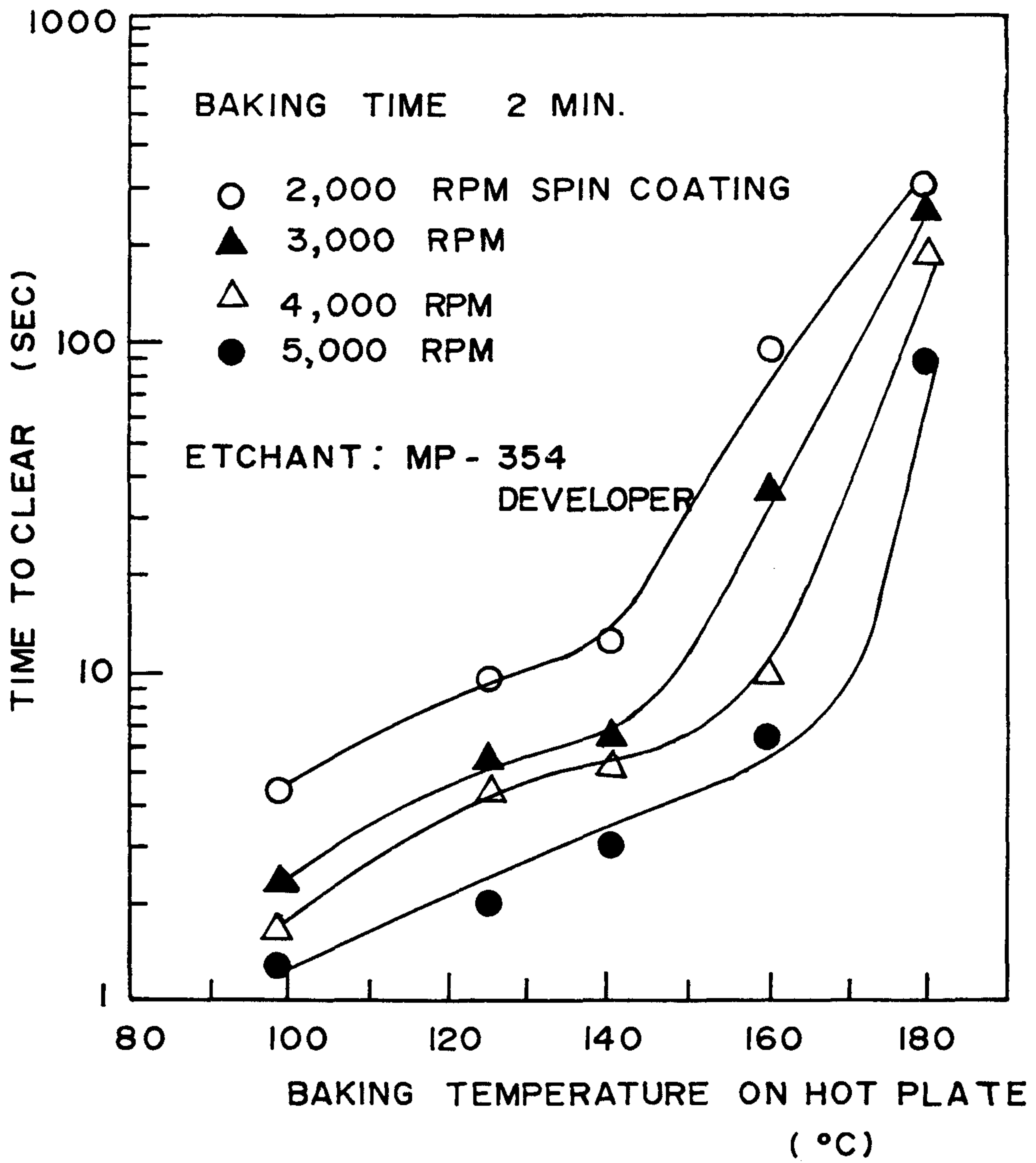
된다. 그리고 coating된 polyimide 속의 solvent를 제거하기 위해 150 내지 170 °C의 hot plate 위에서 2분 동안 baking하며, 그 후에 전통적인 photolithography 방법으로 positive PR을 spin coating하고 softbaking한 후에 mask aligner에서 자외선에 노광시킨다. 그리고 현상액에 PR을 현상하면서 동시에 polyimide를 에칭해 내어 패턴을 형성한다. PR 제거액을 사용하여 PR만을 제거한 후 질소 분위기의 350 내지 400°C에서 polyimide를 baking하여 완전히 imidize시킨다.

이 공정 중에서 polyimide의 첫번째 baking이 가장 중요한 공정이다. (그림 6-12)는 baking 온도에 따라 polyimide를 완전히 에칭해 내는데 걸리는 시간의 그래프이다. Baking 온도가 160°C 정도일때 부터 에칭 시간이 급격히 증가하는 것을 볼 수 있는데, 이것은 이 온도에서 부터 solvent들이 완전히 제거되고 imidize가 시작되는 것을 의미한다. 실험에 의하면 이보다 낮은 온도에서 baking하였을 때는 현상 또는 에칭 시간이 길어지면서 패턴의 선포이 불균일하며, 매우 넓어지는 것을 관찰할 수 있었는데 이는 baking 후에 남아있는 solvent들이 PR의 softbaking 시에 PR로 확산되어 들어가 PR의  $\gamma$  값을 저하시키는 것으로 판단된다. 그러므로 baking 온도는 이 임계점이나 그보다 약간 높은 온도로 잡는 것이 좋다.

### 3. Polyimide 공정의 응용 분야

#### 가. PIN PD의 passivation

전술한 바와 같이 polyimide는 매우 좋은 passivation 물질로 알려져 있으므로 이를 PIN PD의 passivation막으로 이용하였다. n형 InP 기판 위의 InGaAs PIN PD는 본 연구실에서 확보하고 있는 제조 공정에 의해 제작되었으며, 금속 전극 증착과 광감지 영역의 메사 에칭 후 에칭된 부분을 polyimide로 채우고



(그림 6-12) Baking 온도에 따른 polyimide의 에칭 시간

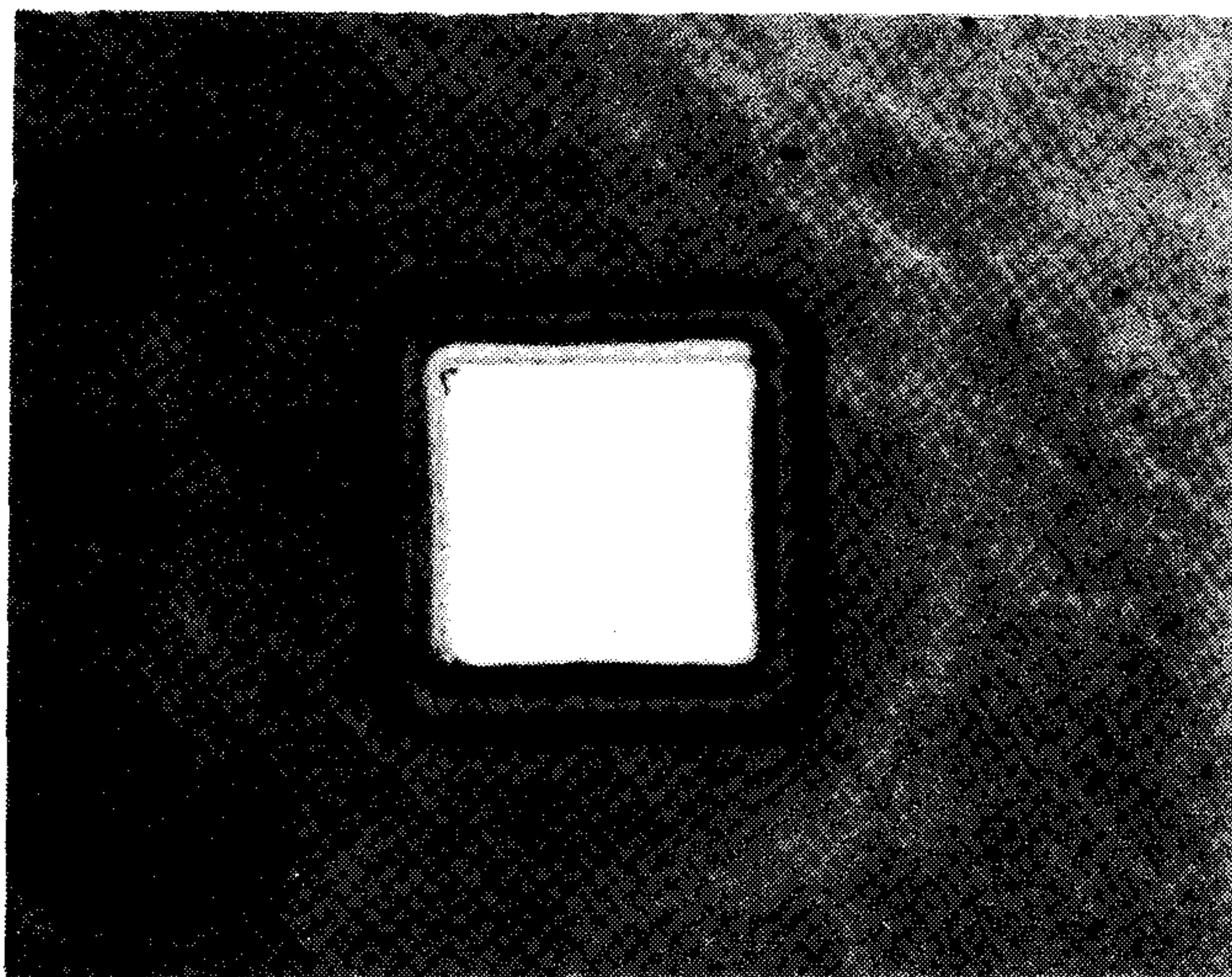
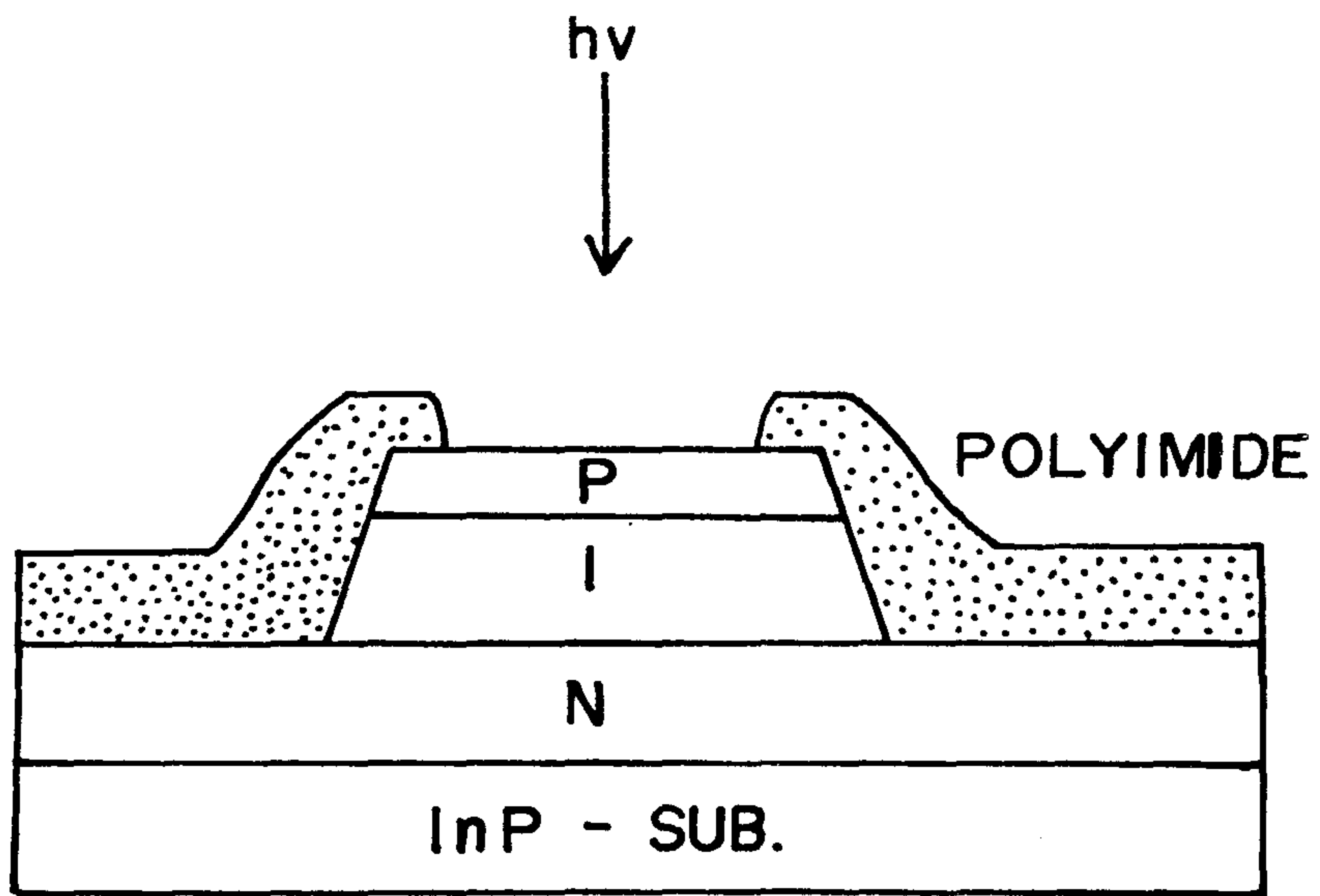
baking하여 100% imidize시켰다. 이렇게 제작된 PIN PD의 단면과 표면이 (그림 6-13)에 있다.

제작된 PIN PD의 암전류를 역방향 바이어스 상태에서 측정하였다. (그림 6-14)는 passivation을 전혀하지 않은 bare 상태의 PIN PD와 polyimide로 passivation한 PIN PD의 역바이어스 전압에 따른 암전류 특성이다. 바이어스 전압이 커질 경우에는 polyimide로 passivation한 PD가 상당히 안정된 암전류 특성을 보이는데 이것은 PD의 신뢰성을 향상시키게 된다. 그러나 낮은 바이어스 전압에서는 오히려 bare 상태의 PD 보다 높은 암전류를 나타내고 있는데 이것은 아직까지 polyimide 공정이 안정되지 않았기 때문이라 생각된다.

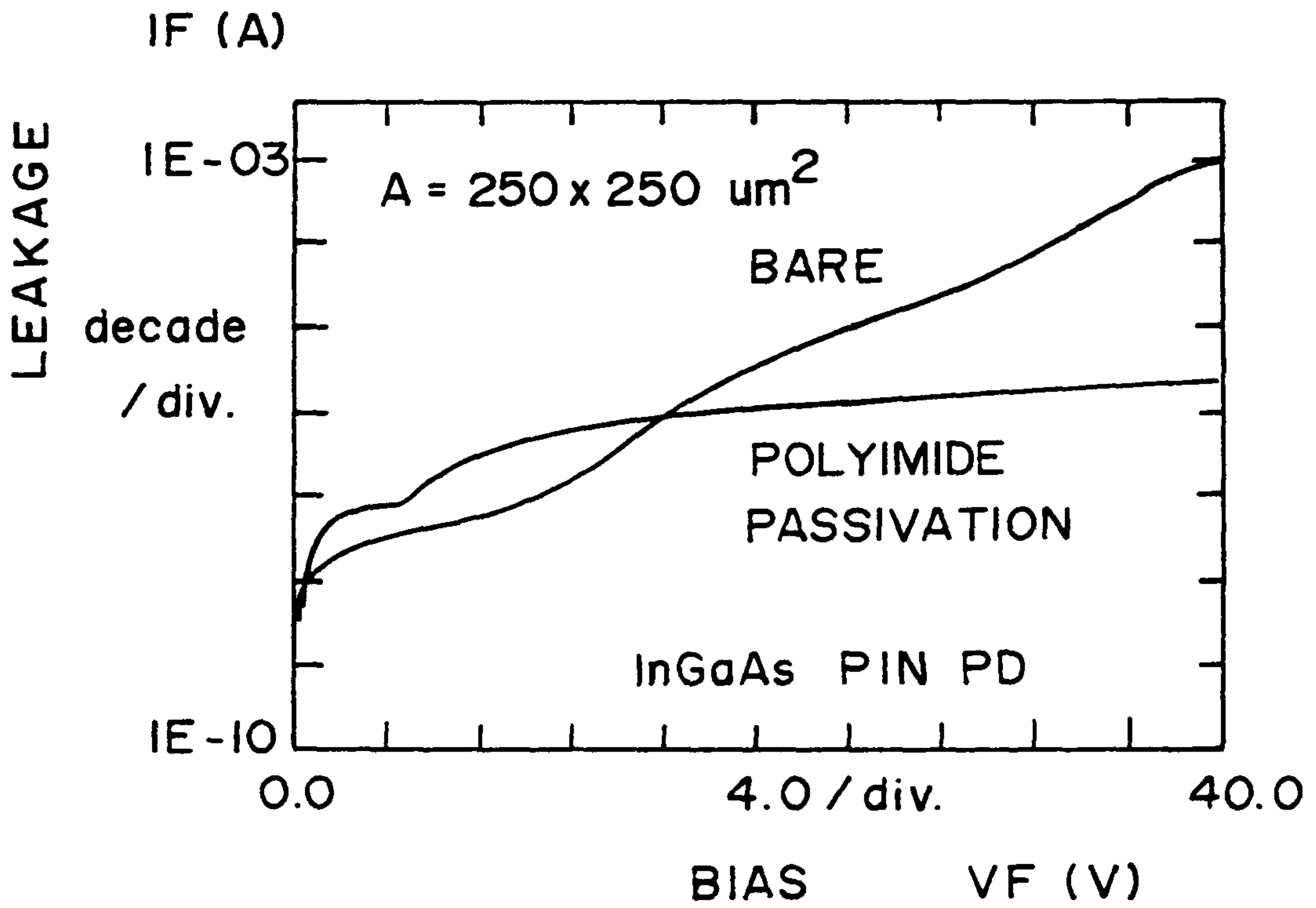
#### 나. 이중 구조 lift-off

Lift-off는 금속의 종류에 관계없이 증착에 의해 미세 패턴을 형성할 수 있는 반도체 공정 기술이다. 그러나 이 lift-off는 금속 증착시 기판의 온도를 올릴 수 없으며 표면 단차가 큰 기판에서는 미세 패턴 형성이 어려운 단점이 있다. 그래서 표면 단차가 큰 기판에서도 미세 패턴 금속 증착이 가능하도록 다층 구조 resist lift-off 공정들이 개발되었다. 그러나 그러한 공정들은 대개 매우 복잡하여 공정 수율을 떨어 뜨리게 된다.

Polyimide는 spinner을 사용하여 수  $\mu\text{m}$  두께를 coating할 수 있으므로 이를 이용하여 이중 구조 lift-off를 하면 간단히 표면 단차가 큰 기판에서의 금속 패턴 형성이 가능하다<sup>(8)</sup>. (그림 6-15)에 polyimide를 이용한 이중 구조 lift-off 공정 순서가 있다. 먼저 polyimide를 coating하여 단차가 있는 기판 표면을 평면화 시킨 다음 PR을 coating하여 패턴을 형성한다. PR 현상액에서 PR을 현상하면서 동시에 polyimide를 에칭해 내면 PR의 over-hang이 일어나고 여기에 금속

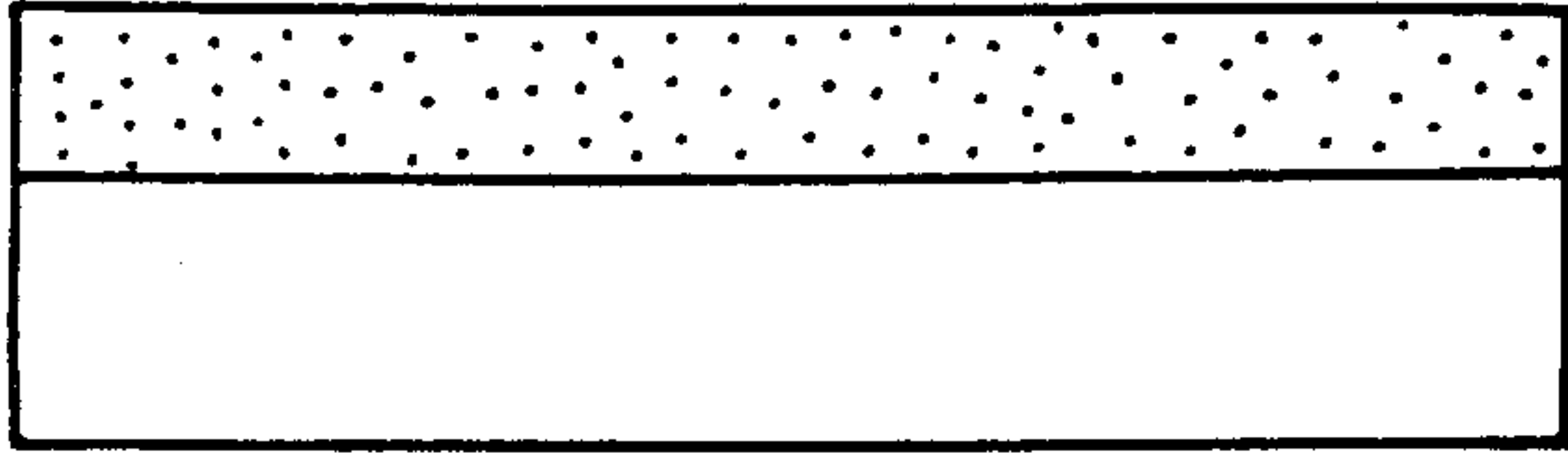


(그림 6-13) Polyimide로 passivation한 PIN PD의 단면과 표면

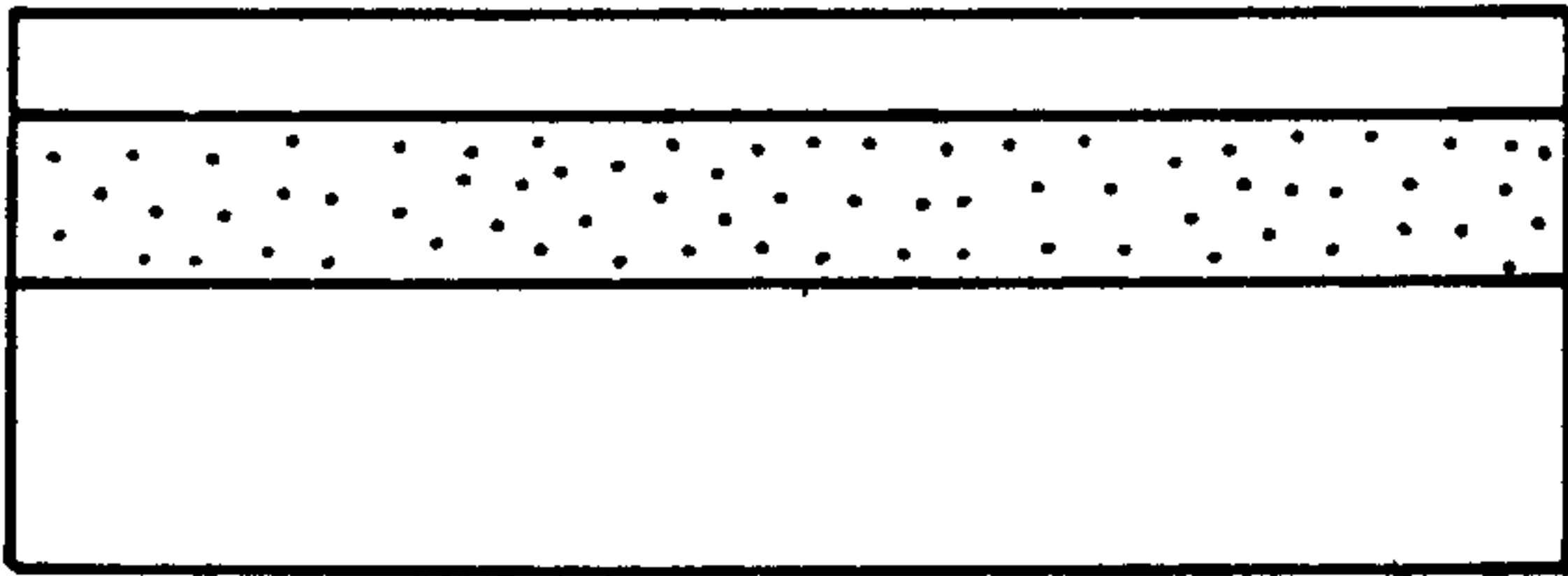


(그림 6-14) PIN PD의 바이어스 전압에 따른 암전류 특성

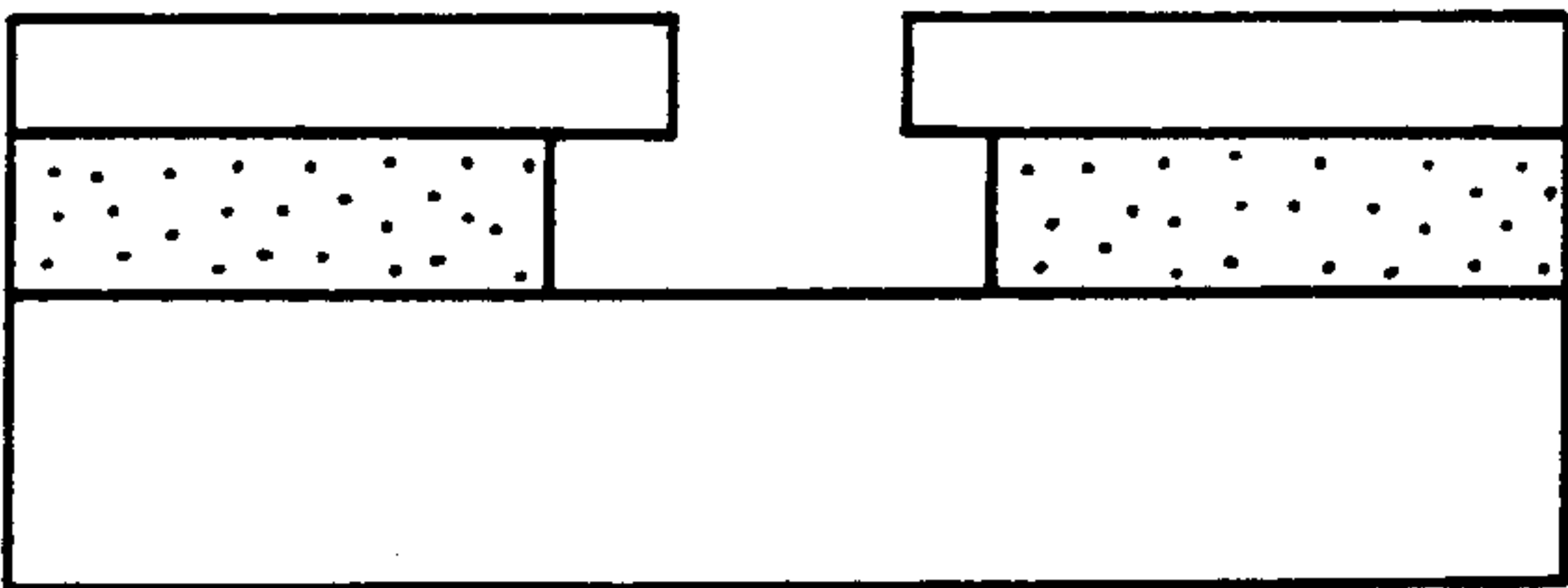
POLYIMIDE COATING



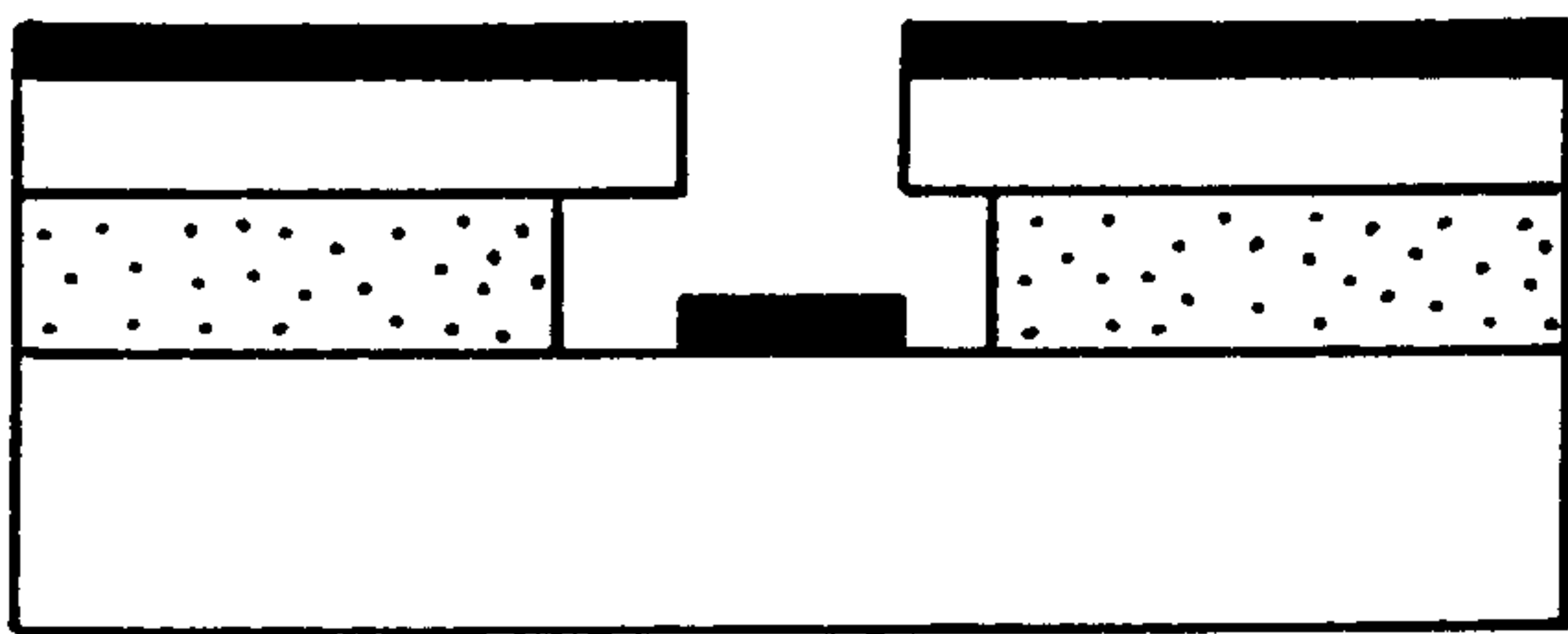
P.R. COATING, EXPOSE



DEVELOP



METAL DEPOSITION

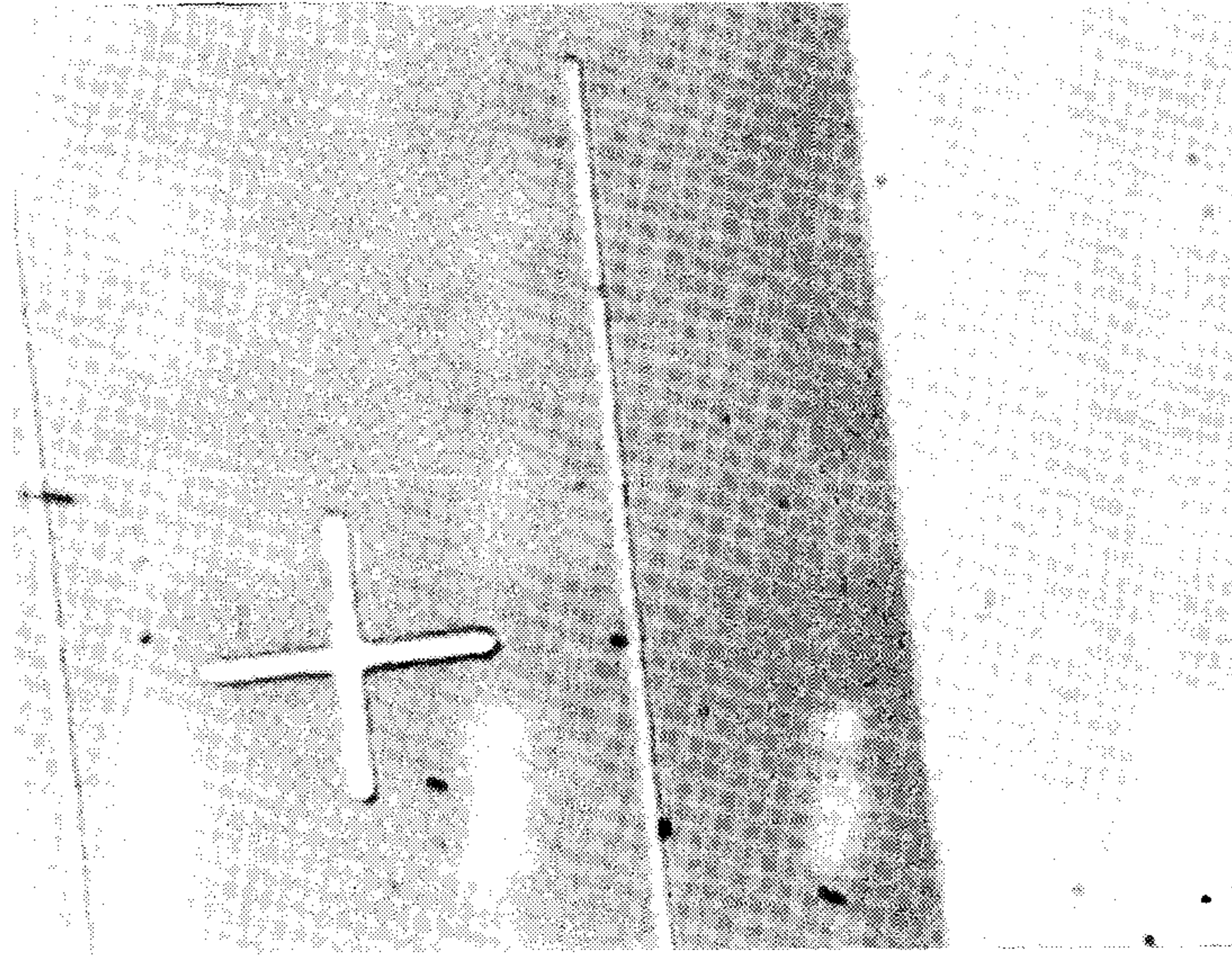


P.R. & POLYIMIDE STRIP



(그림 6-15) Polyimide를 이용한 이중 구조 lift-off 공정 순서도





50 um

(사진 6-6) 이중 구조 lift-off에 의해 형성된 금속 패턴

을 증착한 후 현상액으로 polyimide를 에칭하면 PR 위의 금속이 lift-off 되면서 금속 패턴이 얻어진다. (사진 6-6)은 이러한 방법으로 형성한 금속 패턴이다.

## 제 5 절 결 론

본 장에서는 InP계 광수신 OEIC 제작을 위한 기초 계로서 각 개별 소자와 이들의 집적화 공정에 관하여 기술하였다. 제 3 장에서 제안한 OEIC의 구성 소자인 InGaAs PIN PD와 self-aligned InP JFET 중, 먼저 InP JFET를 제작하고 이의 정특성을 측정하였다. 제작된 InP JFET는 게이트의 길이가 10  $\mu\text{m}$ , 넓이가 200  $\mu\text{m}$  일때 0.6 V의 차단 전압과 -5 V의 전압에서 대략 100 nA의 누설 전류를 나타내었다. JFET의 특성 곡선으로 부터  $g_m$  값은 2.5 mS/mm로 측정되었다. 이 JFET가 제작되므로써 제안된 광수신 OEIC의 제작 가능성이 입증되었으며 여러가지 공정상의 문제점들이 도출되었다.

OEIC의 또다른 구성 소자인 InGaAs PIN PD에 관하여는 중요한 소자 변수들을 계산하여 구조 및 물질 변수가 광검출기의 특성에 미치는 영향을 조사하였다. 그리고 polyimide 공정을 개발하여 polyimide로 passivation한 InGaAs PIN PD를 제작하고 이의 특성을 측정하였으며, polyimide를 이용한 이중 구조 lift-off 공정도 개발하여 이를 금속 패턴 형성에 사용하였다. Polyimide로 passivation한 PIN PD는 40 V의 역바이어스 전압에도  $3.2 \times 10^{-3} \text{ A/cm}^2$ 의 적은 누설 전류 밀도를 나타내어 매우 신뢰성이 높은 것으로 판단되었다.

본 과제의 제 2차년도에는 1차년도에서 제작한 단위 소자들을 더욱 개량하여, 2 Gbps OEIC 설계에 필요한 소자 변수들을 추출하고 초고주파용 소자들을 제작 측정하며 이들의 단일칩 집적 연구가 필요하다.

여 백

## 제 7 장      결론 및 앞으로의 연구방향

여 백

## 제 7 장 결론 및 앞으로의 연구방향

2 Gbps 장파장 광수신 OEIC 제작을 위해 광 검출기와 전치 증폭기의 단일 칩 집적기술 개발을 최종 목표로 하는 본 연구에서는 총 3년 과제중 1차년도 연구를 수행한 결과, 전반적인 OEIC 설계를 비교 검토하고 새로운 구조를 고안 하였으며 이러한 구조 결정을 위해 설계 변수의 최적치들을 계산에 의해 도출 하였다. 그리고, 소자 구성 물질인 InP계 결정 성장을 위해 안전성을 최대로 고려한 OMVPE 시스템을 설치하고 이를 이용한 고순도의 u-InP 결정을 성장 시켰다. 이와 병행하여 단위소자인 InP JFET과 PIN PD의 구조 결정 및 제작후 특성을 조사 하였으며 단일 칩 집적화를 위한 평면화 공정 기술도 아울러 확보하였다.

광 수신기의 구조 결정을 위해 입력 capacitance ( $C_i$ ), 누설 전류 ( $I_s$ ) 및 FET의 전달 conductance ( $g_m$ ) 들을 계산한 결과 2 Gbps의 전송 속도에서 누설 전류는  $1\mu\text{A}$ 까지는 수신 감도에 영향을 끼치지 않았으며, -30 dbm의 수신 감도를 얻기 위한  $C_i$  및  $g_m$  값은 각각 6.5 pF 이하와 30mS 이상이었다. 그리고 5 GHz의 대역폭을 얻기 위한 PIN PD의 공핍층 두께는  $10^4\mu\text{m}^2$ 의 흡수 면적에서  $2\mu\text{m}$ 이었다.

InP계 반도체 소자 제작의 기본 공정인 결정성장 방식에는 저압,수직형 OMVPE 장비를 설치 운용 하였으며 사용 재료들의 유독성을 고려해 유독기체 감지기를 포함한 다단계 안전설비를 갖추었고 안전성과 함께 고순도의 결정 성장을 위해  $10^{-9}\text{mbar l/sec}$  미만의 기체 무누출 상태를 확인하였다. 400-700°C의 넓은 온도 범위에서 u-InP 결정 성장을 수행한 결과 성장 속도는 성장 온도에 크

게 영향을 받지 않았으나 표면 형상은 650°C에서 가장 우수한 성장층을 얻을 수 있었다. DCD (Double Crystal Diffraction) 에 의한 X-ray rocking curve의 반가폭은 20sec 이하로 우수한 결정성을 확인 하였으며 PL 스펙트럼에 의한 exciton peak 의 반가폭 역시 4.0-5.5meV로 우수한 광학적 특성을 나타내었다. 불순물 분석을 위해 AES와 XPS를 측정한 결과 검출한계 미만의 농도를 확인 했으며 Hall 효과 실험에 의한 전기적 특성치 역시 상온에서의 전자 이동도 3,100 cm<sup>2</sup>/V.sec 그리고 77K에서는 48,000 cm<sup>2</sup>/V.sec로 소자 제작에는 충분한 성능을 나타내었다.

OEIC의 구성 소자중 우선 자기 정렬 구조의 InP JFET를 제작하고 정 특성을 측정한 결과 게이트의 길이가 10μm, 넓이가 200μm일때 0.6V의 차단 전압과 -5V의 전압에서 100nA의 누설 전류를 나타 내었고 JFET의 특성 곡선으로부터 g<sub>m</sub>값은 2.5 mS/mm로 측정 되었다. 또다른 구성 소자인 InGaAs PIN PD의 경우 소자 변수를 계산하여 구조 및 물질 변수가 광 검출기의 특성에 미치는 영향을 조사하였으며 Polyimide로 passivation한 InGaAs PIN PD의 제작 및 특성 측정 결과 40V의 역 바이어스 전압에도 3.2×10<sup>-3</sup> A/cm<sup>2</sup> 의 적은 누설 전류 밀도치로 높은 신뢰성을 나타내었다. 이와 같은 단위 소자의 시험 제작 및 특성 조사로 부터 광수신 OEIC의 제작 가능성이 입증 되었으며 이와 아울러 공정상의 문제점들이 구체적으로 도출 되었다.

장파장계 광수신 OEIC의 연구 현황은 아직 공정 기술의 미숙으로 인하여 성능 자체도 하이브리드 형태의 광 수신기에 뒤지고 있는 실정이며 구조 역시 다양하게 시도되고 있는 단계로서 현재로서는 가장 바람직한 구조로 평면 매립형이 성능 및 제작 공정상 유리할 것으로 여겨지며 이에 적합한 평면형 광출검기 제작에 관한 연구가 앞으로 깊이있게 다루어지게 될 것이다. 이와 더불어 각 단위

소자의 성능향상과 함께 OMVPE 결정 성장부문 역시 1차년도 연구 결과를 기반으로 재현성 있는 고순도 u-InP 결정 성장 기술 확보와 n형 및 p형 도우핑 기술 그리고 격자 정합된 InP/InGaAs 이중 성장 기술을 확립하게 될 것이다.



# 참 고 문 헌

## 제 2 장

- (1) C.P.lee, S.Margalit, I.Ury, and A.Yariv, "Integration of an Injection Laser with a Gunn Oscillator on a Semi-insulating GaAs Substrate", Appl. Phys. Lett., vol.32, no.12, pp. 806-807, Jun., 1978.
- (2) 소림공량, "광집적회로(광 IC)", Nikkei Microdevices, pp. 211-228 Jul., 1987.
- (3) Barnoski, et. al., "Integrated Optical Spectrum Analyzer", IEEE trans. cir. syst., vol.CAS-26, no.12, pp. 1113-1124, Dec., 1979.
- (4) J.W.Goodman, F.I.Leonberger, S.Y.Kung, and R.A.Athale, "Optical Interconnections for VLSI Systems", Proc. IEEE, vol.72, no.7, pp. 850-866, Jul., 1984.
- (5) L.D.Hutcheson, P.Haugen, and A.Husain, "Optical Interconnects Replace Hardwire", IEEE Spectrum, pp. 30-35, Mar., 1987.
- (6) 김상배, 박사학위 청구 논문, 제1장, 한국과학기술원, 1987.
- (7) R.F.Leheney, et. al., "Integrated  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  p-i-n F.E.T. Photoreceiver", Electron. Lett., vol.16, no.10, pp. 353-355, May, 1980.
- (8) B.Tell, et. al., "Monolithic Integration of a Planar Embedded InGaAs p-i-n Detector with InP Depletion-Mode FET's", IEEE Trans. Electron Dev., vol.ED-32, no.11, pp. 2319-2321, Nov., 1985.
- (9) C.L.Cheng, et. al., "Monolithically Integrated Receiver Front End : $\text{In}_{0.53}\text{Ga}_{0.47}$

- As p-i-n Amplifier", IEEE Trans. Electron Dev., vol.ED-35, no.9, pp. 1439-1444, Sep., 1988.
- (10) S.J.Kim, et. al., "Monolithic Integration of InGaAs p-i-n Photodetector with Fully Ion-Implanted InP JFET Amplifier", IEEE Electron Dev. Lett., vol.EDL-9, no.9, pp. 447-449, Sep., 1988.
- (11) K.Kasahara, M.Sugimoto, H.Nomura, and S.Suzuki, "Integrated PIN-FET Optical Receiver with High-Frequency InP-MISFET", Electron. Lett., vol.19, no.22, pp. 905-906, Oct., 1983.
- (12) K.Kasahara, et. al., "Monolithically Integrated  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  PIN/InP-MISFET Photoreceiver", Electron. Lett., vol.20, no.8, pp. 314-315, Apr., 1984.
- (13) K.Kasahara, et.al., "InGaAsP/InP Long Wavelength Transmitter and Receiver OEICs for High Speed Optical Transmission Systems", ECOC '86, pp. 119-122, 1986.
- (14) T.Terakado, S.Fujita, and A.Suzuki, "High Sensitivity Long-wavelength PIN-FET OEIC Receiver with Self-Aligned Junction FET", CLEO '87, pp. 304-305, 1987.
- (15) A.Suzuki, et. al., "Long-wavelength PIN-FET Receiver OEIC on a GaAs-on-InP Heterostructure" Electron. Lett., vol.23, no.18, pp. 954-955, Aug., 1987.
- (16) Y.Inomoto, et. al., "A 1.2 Gb/s-52.5km Optical Fiber Transmission Experiment Using OEICs on GaAs-on-InP Heterostructures, OFC '88, pp. PD9-1-4, 1988.
- (17) S.Miura, et. al., "A Novel Planarization Techniques for Optoelectronic

- Integrated Circuits and Its Application to a AlGaAs/GaAs p-i-n FET", IEEE Trans. Electron. Dev., vol.ED-34, no.2, pp. 241-246, Feb., 1987.
- (18) T.Mikawa, et. al., "Planar Monolithic PIN/FET Fabricated by Using an Embedded Structure InP/GaInAs PIN Photodiode and an AlInAs/GaInAs Field-Effect-Transistor", OFC/IOOC '87, p. 160, 1987.
- (19) S.Miura, T.Mikawa, T.Fujii, and O.Wada, "High-Speed Monolithic GaInAs pin FET", Electron. Lett., vol.24, no.7, Mar., 1988.
- (20) H.Nobuhara, et. al., "Monolithic pin HEMT Receiver for Long Wavelength Optical Communications", Electron. Lett., vol.24, no.19, Sep., 1988.
- (21) S.Hata, et. al., "Planar InGaAs/InP PINFET Fabricated by Be Ion Implantation", Electron. Lett., vol.20, no.22, pp. 947-948, Oct., 1984.
- (22) S.Hata. et. al., "Monolithic Integration of a Schottky Photodiode and MESFET Using an InAlAs/InGaAs Heterostructure", ECOC '86, pp. 123-126, 1986.
- (23) Y.Akahori, et. al., "Monolithic InP/GaInAs pin FET Receiver Using MOMBE-Grown Crystal", Electron. Lett., vol.25, no.1, pp. 37-38, Jan., 1989.
- (24) K.Ohnaka, et. al., "A Planar InGaAs PIN/JFET Fiber-Optic Detector", IEEE J.Quant. Electron., vol.QE-21, no.8, pp. 1236-1240, Aug., 1985.
- (25) K.Matsuda. M.Kubo, K.Ohnaka and J.Shibata, "A Monolithically Integrated InGaAs/InP Photoreceiver Operating with a Single 5-V Power Supply", IEEE Trans. Electron Dev., vol.ED-35, no.8, pp. 1284-1288, Aug., 1988.
- (26) P.J.G. Dawe, D.A.H. Spear, G.H.B. Thompson and G.R.Antell, "Monolithic Integration of a GaInAs JFET and a GaInAs Photodiode", 17th ESSDRC,

- pp. 947-950, 1986.
- (27) P.J.G. Dawe, et. al., "Monolithic InP-Based Optical Receiver Front-End", ECOC '88, pp. 21-24, 1988.
- (28) W.S.Lee, S.A.Kitching and S.W.Bland, "Monolithic Integration of Fully Ion-Implanted Lateral GaInAs pin Detector/InP JFET Amplifier for 1.3-1.55 $\mu$ m Optical Receivers", Electron. Lett., vol.25, no.8, pp. 522-523, Apr., 1989.
- (29) M. Razeghi, et. al., "Planar Monolithic Integrated Photoreceiver for 1.3-1.55  $\mu$ m Wavelength Applications using GaInAs-GaAs Heteroepitaxies", Appl. Phys. Lett., vol.49, no.28, pp. 215-217, Jul., 1986.
- (30) M.Razeghi, et. al., "Monolithic Integration of a Schottky Photodiode and a FET Using a Ga<sub>0.47</sub>In<sub>0.51</sub>P/Ga<sub>0.47</sub>In<sub>0.53</sub>As Strained Material", Int. Symp. GaAs and Related Compounds, Heraklin, pp. 625-628, 1987.
- (31) M.Razeghi, et. al, "Monolithic Integration of a GaInAs/GaAs Photoconductor with a GaAs FET for 1.3-1.55  $\mu$ m Wavelength Applications", Ibid, pp. 781-784, 1987.
- (32) K.Ohtsuka, et. al., "Monolithic Integration of InGaAs/InP PIN PD with MISFET on Stepless Substrate", Electron. Lett., vol.22, no.12, pp. 652-653, Jun.,1986.
- (33) G.Sasaki, et. al., "Monolithic pin-HEMT Amplifier on an InP Substrate Grown by OMVPE for Long-Wavelength Fibre Optic Communications", Electron. Lett., vol.24, no.19, pp. 1201-1202, Sep., 1988.
- (34) M.Allovon, et. al., "Monolithic Integration of InGaAs PIN-FET : From Simple Concept to an Involved Technology", SPIE, vol.587, pp. 126-130,

Nov., 1985.

- (35) J.C.Renaud, et. al., "Monolithic Photoreceiver Integrating GaInAs PIN/JFET with Diffused Junctions", *Electron. Lett.*, vol.23, no.20, pp. 1055-1056, Sep., 1987.
- (36) J.C.Renaud, et. al., "GaInAs Monolithic Photoreceiver Integrating p-i-n/JFET with Diffused Junctions and a Resistor", *J. Light. Technol.* vol.LT-6, no.10, pp. 1507-1511, Oct., 1988.
- (37) H.Albrecht, "InGaAs pin Photodiodes and JFETs on InP : Fe Substrates for Optoelectrons IC's", *SPIE*, vol.587, pp. 131-137, Nov., 1985.
- (38) H.Albrecht, et. al., "Monolithically Integrated InAlAs/InGaAs/InP : Fe Photodiode Junction Field-Effect Transistor Structure Grown by MOVPE", *ECOC '88*, pp. 9-12, 1988.
- (39) C.Fan and P.K.L.Yu, "Monolithically Integrated Photodiode and Preamplifier for Wide-Band Fiber Optic Links", *SPIE*, vol.835, pp. 278-282, 1987.
- (40) Gary Y.Robinson, "Physics and Chemistry of III-V Compound Semiconductor Interfaces", ed. C.W.Wilmsen, Plenum Press, N.Y., 1985, ch.2
- (41) U.K.Mishara, et. al., "High Performance AlInAs-GaInAs HEMT's", *IEEE Electron Dev. Lett.*, vol. EDL-9, no.1, pp. 41-43, Jan., 1988.
- (42) W.P.Hong, G.K.Chang and R.Bhat, "High-performance  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  MSM Photodetectors Grown by OMCVD", *IEEE Trans. Electron Dev.*, vol.ED-36, no.4, pp. 659-662, Apr., 1989.
- (43) G.K.Chang, et. al., "High-Performance InGaAs Metal-Semiconductor Field Effect Transistors for Optoelectronic and High Speed IC's", 20th Conference

- on SSDM, Tokyo, pp. 535-538, 1988.
- (44) A.A.Iliadis, "Nearly Ideal Enhanced Barrier Height Schottky Contacts to n-InP for MESFET Applications", *Electron. Lett.*, vol.25, no.9, pp. 572-574, Apr., 1989.
- (45) M.E.Kim "GaAs/GaAlAs Selective MOCVD Epitaxy and Planar Ion-Implantation Techniques for Complex Integrated Optoelectronic Circuit Applications", *IEEE Electron Dev. Lett.*, vol.EDL-5, no.8, pp. 306-309, Aug., 1984.
- (46) D.Botez, "Liquid-Phase Epitaxy over Channelled Substrate", *J.Cryst. Growth*, vol.70, pp. 150-154, 1984.
- (47) M.Makiuchi, et. al., "Small Junction-Area GaInAs/InP pin Photodiode with Monolithic Microlens", *Electron. Lett.*, vol.24, no.2, pp. 109-110, Jan., 1988.
- (48) S.R.Forrest, "Performance of  $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{P}_{1-y}$  Photodiodes with Dark Current Limited by Diffusion, Generation Recombination and Tunneling", *IEEE J. Quant. Electron.*, vol.QE-17, no.2, pp. 217-226, Feb., 1981.
- (49) D.H.Lee, S.S.Li, S.Lee, and R.V.Ramaswamy, "A Study of Surface Passivation on GaAs and  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  Schottky Barrier Photodiodes Using  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  and Polyimide", *IEEE Trans. Electron Dev.*, vol.ED- 35, no.10, pp. 1695-1696, Oct., 1988.
- (50) M.Gallant, N.Puetz, A.Zemel, and F.R.Shepherd, "MOCVD InGaAs Phodiodes with Extremely Low Dark Current", *Int. Symp. GaAs and Related Compounds, Heraklion*, pp.813-816, 1987.
- (51) C.Fan, P.K.L.Lu, and P.C.Chen, "High-Speed, Self-Passivated InGaAs PIN

- Photodiode for Microwave Fibre Links", *Electron. Lett.*, vol.23, no.11, pp. 571-572, May, 1987.
- (52) K.W.Chung and Y.S.Kwon, "Photodetector with Embedded Semiconductor-Metal-Semiconductor Structure", *Japan. J. Appl. Phys*, vol.27, no.11, pp. L 2186--2188, Nov., 1988.
- (53) V.Diadiuk and S.H.Groves, "Lateral Photodetectors on Semi-insulating InGaAs and InP", *Appl. Phys. Lett.*, vol.46, no.15, pp. 157-158, Jan., 1985.
- (54) M.V.Rao, P.K.Bhattachaya and C.Y.Chen, "Low-Noise  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As} : \text{Fe}$  Photoconductive Detectors for Optical Communications", *IEEE Trans. Electron Dev.*, vol.ED-33, no.1, pp. 67-71, Jan., 1986.
- (55) N.Emeis, H.Schumacher and H.Beneking, "High-Speed GaInAs Schottky Photodetectors", *Electron. Lett.*, vol.21, no.5, pp. 180-181, Feb., 1985.
- (56) O.Wada, et. al., "Very High Speed GaInAs Metal-Semiconductor-Metal Photodiode Incorporating an AlInAs/GaInAs Graded Superlattice", *Appl. Phys. Lett.*, vol.54, no.2, pp. 16-17, 1988.
- (57) H.Kroemer, "Heterostructure Bipolar Transistors and Integrated Circuits", *Proc. IEEE*, vol.70, no.1, pp. 13-25, Jan., 1982.
- (58) K.A.Pande, et. al., "Gigahertz Logic Gates Based on InP-MISFET's with Minimal Drain Current Drift", *IEEE Electron Dev. Lett.*, vol.EDL-7, no.7, pp. 407-409, Jul., 1986.
- (59) K.Steiner, et. al., "High Transconductance Submicron Self-Aligned InGaAs JFETs", *Int. Symp. GaAs and Related Compounds, Heraklin*, pp. 721-724, 1987.

- (60) M.D.Feuer, et. al., "Semiconductor-Gated InGaAs/InAlAs Heterostructure Transistors(SISFET's)", IEEE Electron Dev. Lett., vol.EDL-8, no.1, pp. 33-35, Jan., 1987.
- (61) K.Asano. et. al., "GaAs MESFET's Fabricated on InP Substrate", IEEE Electron Dev. Lett., vol.EDL-8, no.7, pp. 289-290, Jul., 1987.
- (62) 김 상배, "장파장 수신 광전집적회로 기술 동향", 한국 전자통신 연구소, 주간 기술동향, 89-15, 1989.
- (63) D.Wake, L.C.Blank, R.H.Walling, and I.D.Heanning, "Top-Illuminated InGaAs/InP p-i-n Photodiodes with a 3-dB Bandwidth in Excess of 26 GHZ", IEEE Electron Dev. Lett., vol.EDL-9, no.5, pp. 226-228, May, 1988.
- (64) M.B.Yi, et. al., "High-Speed Front Illuminated GaInAsP/InP pin Photodiode", Electron. Lett., vol.24, no.8, pp. 455-456, Apr., 1988.

### 제 3 장

- (1) 박 기성, 이 용탁, GaInAs/InP Monolithic PIN-FET 광수신기의 설계", 제4회 파동 및 레이저 학술 발표회, III-3, pp. 176-179, 1989.
- (2) C.D.Motchenbacher and F.C.Fitchen, "Low-Noise Electronic Design", John Wiley
- (3) R.G.Smith and S.D.Personik, "Semiconductor Devices for Optical Communications", ed. H.Kressel, Springe Verlag, N.Y., 1979, p.89
- (4) G.P.Vella-Coleiro, "Optimization of the Optical Sensitivity of p-i-n FET Receivers", IEEE Electron Dev. Lett., vol.EDL-9, no.6, pp. 269-271, Jun.,



1988.

- (5) S.Adachi, Y.Noguchi, and H.Kawaguchi, "Chemical Etching of InGaAsP/InP DH Wafer", J. Electrochem. Soc., vol.129, no.5, pp. 1053-1061, May, 1982.

## 제 4 장

- (1) P.H.Dawson, "Quadrupole Mass Spectrometry and its Applications", p.12, Elsevier, Amsterdam, 1976.
- (2) J.I.Davies, m.J.Parrott, and J.O.Williams, "Application Informations", VG LTD.
- (3) S.Horiguchi, K.Kimura, S.Takagishi, K.Kamon, M.Maschita, M.Mihara, and M.Ishii, Jap. J. Appl. Phys., 26, 2002, 1987.
- (4) 과기처 특정연구개발 사업중 "GaAs 반도체 소자 공정 기술 연구", 최종보고서, 제5장, 1986.
- (5) P.W.Lee, T.R.Omstead, D.R.Mckenna, and K.F.Jensen, J.Crst. Growth, 93, 134, 1988.

## 제 5 장

- (1) Paul D.Agnello et. al., J.Crystal Growth, 73, 1985, p.453
- (2) C.A.Larsen et. al., J.Crystal Growth, 75, 1986, p.247

- (3) D.E.Newbury et. al., "Advanced Scanning Electron Microscopy and X-ray Microanalysis", Plenum Press, 1986, p.87
- (4) B.E.Warren, "X-ray Diffraction", Addison-Wesley, p.969
- (5) L.D.Zhu et. al., J. Appl. Phys., 57(12), 1985, p. 5486
- (6) W.Walukiewicz et. al., J. Appl. Phys., 51(5), 1980, p. 2659

## 제 6 장

- (1) G.Y.Robinson, "Physics and Chemistry of III-V Compound Semiconductor Interfaces", ed. C.W.Wilmsen, Plenum Press, N.Y., 1985, ch.2
- (2) D.L.Lile, "Interfacial Constraints on Device Performance", J. Vac, Sci. Technol. B, vol.2, no.3, pp. 496-503, Jul., 1984.
- (3) M.Shur, "GaAs Devices and Circuits", New York, Plenum, p.301, 1987.
- (4) K.Ohnaka, et. al., "A Planar InGaAs PIN/JFET Fiber-Optic Detector", IEEE J. Quant. Electron, vol.QE-21, no.8, pp. 1236-1240, Aug., 1985.
- (5) K.Ohtsuka, et.al., "Monolithic Integration of InGaAs/InP PIN PD with MISFET on Stepless Substrate", Electron. Lett., vol.22, no.12, pp. 652-653, Jun., 1986.
- (6) 이 용탁, 박 기성, 오 광룡, 박 문수, "광수신 OEIC의 설계 및 공정 연구", "89 레이저 광기술 워크샷, V-1. pp. 70-74, 1989.
- (7) 이 용탁 외, "광통신 기술개발 사업중 광자공학 기술 개발", 한국 전자통신 연구소, 1988.

- (8) Y.Homma, H.Nozawa, and S.Harada, "Polyimide Liftoff Technology for High-Density LSI Metallization", IEEE Trans. Electron Dev., vol.ED-28, no.5, pp. 552-556, May, 1981.

## 부 록

연구기관별 장파장 광수신 OEIC의 특성표

여 백

장파장 광수신 OEIC의 연구 결과 (1)

연구 기관		NEC	NEC	NEC
발표 년도		1983	1984	1986
발 표 자		K.Kasahara	K.Kasahara	K.Kasahara
광 수 신 기	집 적 도	PD1+FET1	PD1+FET1	PD1+FET3
	수신 감도 (전송 속도)	-24.5dBm (100Mbps)	-34.5dBm (100Mbps)	-14.2dBm (1.2Gbps)
	대 역 폭 (전체 용량)	5 pF	2.1 pF	2.5 pF
	칩 크 기 (mm <sup>2</sup> )	0.6 x 0.6		0.6 x 0.6
광 검 출 기	종 류	InGaAsP PIN	PIN	PIN
	정전 용량 (pF)	1.9 (0 V) 1.4 (5 V)	1.5 (0 V) 0.6 (5 V)	
	암 전 류 (nA)	100 (5 V)	3 (5 V)	
	양자 효율	50%	51%	30% (λ = 1.55 μm)
	수광부 지름 (μm)	80		40 x 40
전 자 소 자	종 류	MISFET	MISFET	JFET
	게이트 길이 (μm)	1	1.4	2
	g <sub>m</sub> (mS/mm)	37.5 Max. = 112.5	18 (400 μm)	65
	차단 주파수 (정전 용량)	1 pF	0.8 pF	3 GHz
제조 공정		LPE	LPE+VPE	LPE

장파장 광수신 OEIC의 연구 결과 (2)

연구 기관	NEC	NEC	NEC	
발표 년도	1987	1987	1987	
발 표 자	T.Terakado	A.Suzuki	Y.Inomoto	
광 수 신 기	집 적 도	PD1+FET3+R1	PD1+FET1+R2	PD1+FET4+R1+D5
	수신 감도 (전송 속도)	-22.8dBm (1.2Gbps)	-21.4dBm (2Gbps) -31.0dBm (600Mbps)	-26.0dBm (1.2Gbps)
	대 역 폭 (전체 용량)	0.8 pF	1.4 pF	1 pF, 600 MHz
	칩 크 기 (mm <sup>2</sup> )		0.5 x 0.7	1 x 1
광 검 출 기	종 류	PIN	PIN	PIN
	정전 용량 (pF)	0.2 (5 V)		0.25 (5 V)
	암 전 류 (nA)		5 (5 V)	
	양자 효율	43%	75%	60%
	수광부 지름 ( $\mu$ m)	14 x 21	60	20
전 자 소 자	종 류	JFET	GaAs MESFET	GaAs MESFET
	게이트 길이 ( $\mu$ m)	1	1.8	2
	$g_m$ (mS/mm)	110	100	100
	차단 주파수 (정전 용량)	13 GHz, 0.2 pF (200 $\mu$ m)		
제조 공정	LPE	VPE+MBE	VPE+MBE	

장파장 광수신 OEIC의 연구 결과 (3)

연구 기관	Bell (ATT)	Bell (ATT)	Bell (ATT)
발표 년도	1980	1985	1988
발 표 자	R.F.Leheny	B.Tell	C.L.Cheng
광 수 신 기	집 적 도	PD1+FET1	PD1+FET2+R1
	수신 감도 (전송 속도)		-34.0dBm (90Mbps) -29.5dBm (295Mbps)
	대역 폭 (전체 용량)		75 MHz, 1.5 pF
	칩 크 기 (mm <sup>2</sup> )	0.25 x 0.4	0.8 x 0.8
광 검 출 기	종 류	PIN	PIN
	정전 용량 (pF)		0.15
	암 전 류 (nA)		25 (5 V)
	양자 효율		30%
	수광부 지름 ( $\mu$ m)		50 $\mu$ m <sup>2</sup>
전 자 소 자	종 류	JFET	MISFET
	게이트 길이 ( $\mu$ m)	20	3
	$g_m$ (mS/mm)	1 mS	50 ~ 75
	차단 주파수 (정전 용량)		1.05 pF
제조 공정	LPE	Selective VPE, Ion-implant	VPE+OMVPE, Ion-implant



장파장 광수신 OEIC의 연구 결과 (4)

연구 기관		Bell (ATT)	NTT	NIT
발표 년도		1988	1984	1986
발 표 자		S.J.Kim	S.Hata	S.Hata
광 수 신 기	집 적 도	PD1+FET6+R1+D4	PD1+FET1	PD1+FET1
	수신 감도 (전송 속도)	-36.4dBm (200Mbps)		
	대 역 폭 (전체 용량)	40 MHz		
	칩 크 기 (mm <sup>2</sup> )			
광 검 출 기	종 류	PIN	PIN	SPD
	정전 용량 (pF)	0.25 (5 V)		4 (2 V)
	암 전 류 (nA)	10 (5 V)	50 (5 V)	수 $\mu$ A (2 V)
	양자 효율		70%	14%
	수광부 지름 ( $\mu$ m)	75	80	50
전 자 소 자	종 류	JFET	Column gate-JFET	InAlAs MESFET
	게이트 길이 ( $\mu$ m)		4 (square) 2 (seperation)	2.5
	$g_m$ (mS/mm)	100	10 mS (130 columns)	160 •
	차단 주파수 (정전 용량)	$f_{3dB}=9$ GHz, 1.8 pF		17 GHz
제조 공정		VPE+OMVPE	LPE, Ion-implant	MBE

장파장 광수신 OEIC의 연구 결과 (5)

연구 기관		NTT	NTT	Fujitsu
발표 년도		1988	1989	1987
발 표 자		S.Uehara	Y.Akahori	T.Mikawa
광 수 신 기	집 적 도	PD1+FET6+R1+D2	PD1+FET6+R1+D5	PD1+FET1
	수신 감도 (전송 속도)	Gain=8 dB	Gain=6 dB	
	대 역 폭 (전체 용량)	400 MHz	1.3 GHz	0.3 pF
	칩 크 기 (mm <sup>2</sup> )	1.5 x 1.5		
광 검 출 기	종 류	PIN	PIN	PIN
	정전 용량 (pF)			0.08
	암 전 류 (nA)			30 pA
	양자 효율	75%	75%	85%
	수광부 지름 (μm)	150	50	20 μm <sup>2</sup>
전 자 소 자	종 류	JFET	JFET	InAlAs MESFET
	게이트 길이 (μm)	2	2	
	$g_m$ (mS/mm)	55	52	8.3 mS
	차단 주파수 (정전 용량)	3 GHz	3 GHz, 0.3 pF	
제조 공정		MOMBE, Ion-implant	MOMBE, Ion-implant	VPE+MBE, Ion-milling

장파장 광수신 OEIC의 연구 결과 (6)

연구 기관		Fujitsu	Fujitsu	Matsushita
발표 년도		1987	1988	1983
발 표 자		S.Miura	H.Nobuhara	K.Inoue
광 수 신 기	집 적 도	PD1+FET1	PD1+HEMT1+R1	PD1+FET1
	수신 감도 (전송 속도)	-18.5dBm (2Gbps)	-23.7dBm (2Gbps)	Gain=100
	대역 폭 (전체 용량)	0.2 pF	0.8 pF	
	칩 크 기 (mm <sup>2</sup> )			
광 검 출 기	종 류	PIN	PIN	PIN
	정전 용량 (pF)	0.1 (30 V)	0.15 (1 V)	
	암 전 류 (nA)	10 (30 V)	5 (1 V)	200
	양자 효율	50	60	70
	수광부 지름 ( $\mu$ m)	20	20	10 <sup>4</sup> $\mu$ m <sup>2</sup>
전 자 소 자	종 류	InAlAs MESFET	InAlAs HEMT	JFET
	게이트 길이 ( $\mu$ m)	1.2	1	5
	$g_m$ (mS/mm)	4 mS (110 $\mu$ m)	270	30
	차단 주파수 (정전 용량)	0.1 pF (3 V)		2.0 pF (3 V)
제조 공정		VPE+MBE, Ion-milling	VPE+MBE, Ion-milling	LPE

장파장 광수신 OEIC의 연구 결과 (7)

연구 기관		Matsushita	Matsushita	Mitsubishi
발표 년도		1985	1987	1986
발 표 자		K.Ohnaka	K.Matsuda	H.Ogata
광 수 신 기	집 적 도	PD1+FET1	PD1+FET4+R1+D4	PD1+FET1
	수신 감도 (전송 속도)	-25.0dBm (400Mbps)	-27.1dBm (140Mbps) -22.5dBm (200Mbps)	
	대 역 폭 (전체 용량)	1.3 GHz, 2 pF	240 MHz	
	칩 크 기 (mm <sup>2</sup> )		1.1 x 1.0	
광 검 출 기	종 류	PIN	PIN	PIN
	정전 용량 (pF)		1.1 (3 V)	$f_{3dB} = 1 \text{ GHz}$
	암 전 류 (nA)	20 (5 V)	30 (3 V)	1 ~ 2
	양자 효율	60%	70%	60%
	수광부 지름 ( $\mu\text{m}$ )	80	80	160
전 자 소 자	종 류	JFET	JFET	MISFET
	게이트 길이 ( $\mu\text{m}$ )	5	6	3
	$g_m$ (mS/mm)	20 ~ 40	14	19
	차단 주파수 (정전 용량)		900 MHz, 1.2 pF	
제조 공정		LPE, PI	LPE * single +5 V	LPE, PI

장파장 광수신 OEIC의 연구 결과 (8)

연구 기관		CNET	CNET	CNET
발표 년도		1985	1987	1988
발 표 자		M.Allovon	J.C.Renaud	J.C.Renaud
광 수 신 기	집 적 도	PD1+FET1	PD1+FET1	PD1+FET1+R1
	수신 감도 (전송 속도)		-33.7dBm (140Mbps)	-30dBm (560Mbps)
	대역 폭 (전체 용량)		100 MHz	500 MHz
	칩 크 기 (mm <sup>2</sup> )			
광 검 출 기	종 류	PIN	PIN	PIN
	정전 용량 (pF)		0.17 (10 V)	0.16 (10 V)
	암 전 류 (nA)	10 (5 V)	15 (10 V)	15 (10 V)
	양자 효율		0.5 A/W	0.75 A/W
	수광부 지름 ( $\mu$ m)	70	40	40
전 자 소 자	종 류	JFET	JFET	JFET
	게이트 길이 ( $\mu$ m)	5	1.5	1.5
	$g_m$ (mS/mm)	7.5 mS (150 $\mu$ m)	140	80
	차단 주파수 (정전 용량)	0.4 pF	1.6 pF (0 V)	2 pF/mm (0 V)
제조 공정		MBE, Ion-milling	MBE, PI	MBE, PI

장파장 광수신 OEIC의 연구 결과 (9)

연구 기관		STC	STC	STC
발표 년도		1986	1988	1989
발표 자		P.J.G.Dawe	P.J.G.Dawe	W.S.Lee
광 수 신 기	집적도	PD1+FET1	PD1+FET2+R1	PD1+FET2
	수신 감도 (전송 속도)		-33dBm (560Mbps)	-29dBm (560Mbps)
	대역폭 (전체 용량)		7 MHz, 0.73 pF	11.3 MHz, 0.43 pF
	칩 크기 (mm <sup>2</sup> )			
광 검 출 기	종 류	PIN	PIN	ILPIN
	정전 용량 (pF)	60 fF	230 fF (5 V)	130 fF (5 V)
	암 전 류 (nA)	35	50 (5 V)	1.5 $\mu$ A (5 V)
	양자 효율	50%		0.56 ~ 0.6 A/W
	수광부 지름 ( $\mu$ m)	22 x 22	40	50 x 50
전 자 소 자	종 류	JFET	JFET	JFET
	게이트 길이 ( $\mu$ m)	2.5	1.5	2
	$g_m$ (mS/mm)	95	100	25
	차단 주파수 (정전 용량)	6 GHz	1.5 pF/mm	2.3 pF/mm
제조 공정		LPE	OMVPE, PI	OMVPE, PI

장파장 광수신 OEIC의 연구 결과 (10)

연구 기관		UC San Diego	Siemens	Sumitomo
발표 년도		1987	1988	1988
발 표 자		C.Fan	H.Albrecht	G.Sasaki
광 수 신 기	집 적 도	PD1+FET1	PD1+FET1	PD1+HEMT3+R2
	수신 감도 (전송 속도)	-33dBm (2 Gbps) -49dBm (50 Mbps)		-28dBm (1.6 Gbps)
	대역 폭 (전체 용량)	0.4 pF		
	칩 크 기 (mm <sup>2</sup> )			
광 검 출 기	종 류	PIN	(H)PIN	PIN
	정전 용량 (pF)		0.4 (3 V)	150 fF (2 V)
	암 전 류 (nA)	5 (10 V)	200 (3 V)	1 (2 V)
	양자 효율	65%	56%	0.75 A/W
	수광부 지름 (μm)	20 x 35	75	20
전 자 소 자	종 류	JFET	(H)JFET	InAlAs HEMT
	게이트 길이 (μm)	1	1.6	1
	$g_m$ (mS/mm)	35	160	180
	차단 주파수 (정전 용량)	7 GHz	10 GHz, 0.4 pF	7 GHz
제조 공정		LPE	OMVPE, Air-bridge	OMVPE